

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-26936  
(P2017-26936A)

(43) 公開日 平成29年2月2日(2017.2.2)

(51) Int.Cl.			F I	テーマコード (参考)		
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36		5B077
<b>G06F</b>	<b>13/38</b>	<b>(2006.01)</b>	G06F	13/38	320A	5C006
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	650B	5C080
<b>G06F</b>	<b>1/12</b>	<b>(2006.01)</b>	G09G	3/20	631T	
<b>G06F</b>	<b>3/00</b>	<b>(2006.01)</b>	G09G	3/20	633P	

審査請求 未請求 請求項の数 16 O L (全 49 頁) 最終頁に続く

(21) 出願番号 特願2015-147677 (P2015-147677)  
(22) 出願日 平成27年7月27日 (2015.7.27)

(71) 出願人 308017571  
シナプティクス・ジャパン合同会社  
東京都中野区中野四丁目10番2号  
(74) 代理人 100102864  
弁理士 工藤 実  
(74) 代理人 100117617  
弁理士 中尾 圭策  
(72) 発明者 糸魚川 敬一  
東京都中野区中野4丁目10番2号 シナ  
プティクス・ディスプレイ・デバイス合同  
会社内  
(72) 発明者 堀 良彦  
東京都中野区中野4丁目10番2号 シナ  
プティクス・ディスプレイ・デバイス合同  
会社内

最終頁に続く

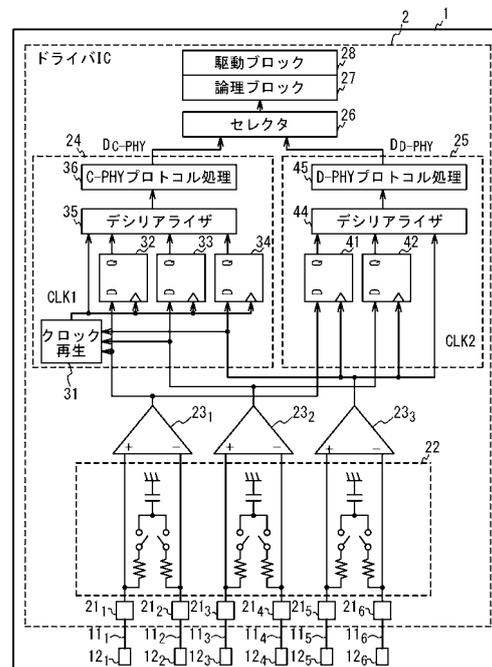
(54) 【発明の名称】 半導体装置、半導体デバイスモジュール、表示パネルドライバ及び表示モジュール

(57) 【要約】

【課題】 MIPI D-PHYによる通信とMIPI C-PHYによる通信との両方に対応した半導体装置を提供する。

【解決手段】 半導体装置が、第1及び第2外部接続端子に接続された第1レシーバと、第3及び第4外部接続端子に接続された第2レシーバと、第5及び第6外部接続端子に接続された第3レシーバと、C-PHYブロックと、D-PHYブロックと、主処理部とを具備する。C-PHYブロックは、第1乃至第3レシーバから受け取った信号に対してMIPI C-PHYの規格に従った信号処理を行って第1受信データを出力するように構成されている。D-PHYブロックは、第1乃至第3レシーバから受け取った信号に対してMIPI D-PHYの規格に従った信号処理を行って第2受信データを出力するように構成されている。主処理部は、第1受信データと第2受信データとを選択的に受け取って所望の処理を行うように構成されている。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

第 1 乃至第 6 外部接続端子と、  
 前記第 1 外部接続端子及び前記第 2 外部接続端子に接続された第 1 レシーバと、  
 前記第 3 外部接続端子及び前記第 4 外部接続端子に接続された第 2 レシーバと、  
 前記第 5 外部接続端子及び前記第 6 外部接続端子に接続された第 3 レシーバと、  
 前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対し  
 て、M I P I (Mobile Industry Processor Interface) C - P H Y の規格に従った信  
 号処理を行って第 1 受信データを出力するように構成された C - P H Y ブロックと、  
 前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対し  
 て、M I P I D - P H Y の規格に従った信号処理を行って第 2 受信データを出力するよ  
 うに構成された D - P H Y ブロックと、  
 前記第 1 受信データと前記第 2 受信データとを選択的に受け取り、受け取ったデータに  
 対して所望の処理を行うように構成された主処理部  
 とを具備する  
 半導体装置。

10

## 【請求項 2】

請求項 1 に記載の半導体装置であって、  
 前記 C - P H Y ブロックは、  
 前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対  
 してクロック再生を行って第 1 クロック信号を生成するクロック再生回路と、  
 前記第 1 クロック信号に同期して前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3  
 レシーバから出力される信号をラッチすることで第 1 データ列を生成する第 1 ラッチ部と  
 、  
 前記第 1 データ列から前記第 1 受信データを生成する第 1 処理部  
 を備え、  
 前記 D - P H Y ブロックは、  
 前記第 1 レシーバから出力される第 1 出力信号をクロック信号として用いて前記第 2  
 レシーバ及び前記第 3 レシーバから出力される信号をラッチすることで第 2 データ列を生  
 成する第 2 ラッチ部と、  
 前記第 2 データ列から前記第 2 受信データを生成する第 2 処理部  
 とを備える  
 半導体装置。

20

30

## 【請求項 3】

請求項 1 に記載の半導体装置であって、  
 更に、  
 第 7 外部接続端子及び第 8 外部接続端子に接続された第 4 レシーバを具備し、  
 前記 C - P H Y ブロックは、  
 前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対  
 してクロック再生を行って第 1 クロック信号を生成するクロック再生回路と、  
 前記第 1 クロック信号に同期して前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3  
 レシーバから出力される信号をラッチすることで第 1 データ列を生成する第 1 ラッチ部と  
 、  
 前記第 1 データ列から前記第 1 受信データを生成する第 1 処理部  
 を備え、  
 前記 D - P H Y ブロックは、  
 前記第 4 レシーバから出力される第 1 出力信号をクロック信号として用いて前記第 1 レ  
 シーバ、前記第 2 レシーバ及び前記第 3 レシーバから出力される信号をラッチすること  
 で第 2 データ列を生成する第 2 ラッチ部と、  
 前記第 2 データ列から前記第 2 受信データを生成する第 2 処理部

40

50

とを備える

半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の半導体装置であって、

更に、

第 1 共通接続ノードと回路接地の間に接続された第 1 キャパシタと、

第 2 共通接続ノードと回路接地の間に接続された第 2 キャパシタと、

第 3 共通接続ノードと回路接地の間に接続された第 3 キャパシタと、

前記第 1 外部接続端子と第 1 ノードとの間に接続された第 1 抵抗素子と、

前記第 1 ノードと前記第 1 共通接続ノードとの間に接続された第 1 スイッチと、

10

前記第 2 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 2 抵抗素子及び第 2 スイッチと、

前記第 3 外部接続端子と第 2 ノードとの間に接続された第 3 抵抗素子と、

前記第 2 ノードと前記第 2 共通接続ノードとの間に接続された第 3 スイッチと、

前記第 4 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 4 抵抗素子及び第 4 スイッチと、

前記第 5 外部接続端子と第 3 ノードとの間に接続された第 5 抵抗素子と、

前記第 3 ノードと前記第 3 共通接続ノードとの間に接続された第 5 スイッチと、

前記第 6 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 6 抵抗素子及び第 6 スイッチと、

20

第 4 共通接続ノードと回路接地の間に接続された第 4 キャパシタと、

前記第 1 ノードと前記第 4 共通接続ノードの間に接続された第 7 スイッチと、

前記第 2 ノードと前記第 4 共通接続ノードの間に接続された第 8 スイッチと、

前記第 3 ノードと前記第 4 共通接続ノードの間に接続された第 9 スイッチ

とを具備する

半導体装置。

【請求項 5】

請求項 1 乃至 3 のいずれかに記載の半導体装置であって、

更に、

第 1 共通接続ノードと回路接地の間に接続された第 1 キャパシタと、

30

第 2 共通接続ノードと回路接地の間に接続された第 2 キャパシタと、

第 3 共通接続ノードと回路接地の間に接続された第 3 キャパシタと、

前記第 1 外部接続端子と第 1 ノードとの間に接続された第 1 抵抗素子と、

前記第 1 ノードと前記第 1 共通接続ノードとの間に接続された第 1 スイッチと、

前記第 1 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 2 抵抗素子及び第 2 スイッチと、

前記第 2 外部接続端子と第 2 ノードとの間に接続された第 3 抵抗素子と、

前記第 2 ノードと前記第 1 共通接続ノードとの間に接続された第 3 スイッチと、

前記第 2 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 4 抵抗素子及び第 4 スイッチと、

40

前記第 3 外部接続端子と第 3 ノードとの間に接続された第 5 抵抗素子と、

前記第 3 ノードと前記第 2 共通接続ノードとの間に接続された第 5 スイッチと、

前記第 3 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 6 抵抗素子及び第 6 スイッチと、

前記第 4 外部接続端子と第 4 ノードとの間に接続された第 7 抵抗素子と、

前記第 4 ノードと前記第 2 共通接続ノードとの間に接続された第 7 スイッチと、

前記第 4 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 8 抵抗素子及び第 8 スイッチと、

前記第 5 外部接続端子と第 5 ノードとの間に接続された第 9 抵抗素子と、

前記第 5 ノードと前記第 3 共通接続ノードとの間に接続された第 9 スイッチと、

50

前記第 5 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 10 抵抗素子及び第 10 スイッチと、

前記第 6 外部接続端子と第 6 ノードとの間に接続された第 11 抵抗素子と、

前記第 6 ノードと前記第 3 共通接続ノードとの間に接続された第 11 スイッチと、

前記第 6 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 12 抵抗素子及び第 12 スイッチと、

第 4 共通接続ノードと回路接地の間に接続された第 4 キャパシタと、

前記第 1 ノードと前記第 4 共通接続ノードの間に接続された第 13 スイッチと、

前記第 2 ノードと前記第 4 共通接続ノードの間に接続された第 14 スイッチと、

前記第 3 ノードと前記第 4 共通接続ノードの間に接続された第 15 スイッチと、

前記第 4 ノードと前記第 4 共通接続ノードの間に接続された第 16 スイッチと、

前記第 5 ノードと前記第 4 共通接続ノードの間に接続された第 17 スイッチと、

前記第 6 ノードと前記第 4 共通接続ノードの間に接続された第 18 スイッチ

とを具備する

半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の半導体装置であって、

更に、

前記第 1 外部接続端子と前記第 1 レシーバの第 1 入力の間接続された第 1 入力側スイッチと、

前記第 2 外部接続端子と前記第 1 レシーバの第 2 入力の間接続された第 2 入力側スイッチと、

前記第 3 外部接続端子と前記第 2 レシーバの第 1 入力の間接続された第 3 入力側スイッチと、

前記第 4 外部接続端子と前記第 2 レシーバの第 2 入力の間接続された第 4 入力側スイッチと、

前記第 5 外部接続端子と前記第 3 レシーバの第 1 入力の間接続された第 5 入力側スイッチと、

前記第 6 外部接続端子と前記第 3 レシーバの第 2 入力の間接続された第 6 入力側スイッチと、

前記第 3 外部接続端子と前記第 1 レシーバの前記第 2 入力の間接続された第 7 入力側スイッチと、

前記第 5 外部接続端子と前記第 2 レシーバの前記第 2 入力の間接続された第 8 入力側スイッチと、

前記第 1 外部接続端子と前記第 3 レシーバの前記第 2 入力の間接続された第 9 入力側スイッチ

とを具備する

半導体装置。

【請求項 7】

請求項 1 乃至 3 のいずれかに記載の半導体装置であって、

前記第 1 レシーバは、

前記第 1 外部接続端子及び前記第 2 外部接続端子に接続された第 1 入力段と、

前記第 1 外部接続端子及び前記第 3 外部接続端子に接続された第 2 入力段と、

第 1 出力段と、

前記第 1 入力段の出力と前記第 1 出力段の入力の間接続された第 1 出力選択スイッチと、

前記第 2 入力段の出力と前記第 1 出力段の入力の間接続された第 2 出力選択スイッチ

とを備え、

前記第 2 レシーバは、

10

20

30

40

50

前記第 3 外部接続端子及び前記第 4 外部接続端子に接続された第 3 入力段と、  
 前記第 3 外部接続端子及び前記第 5 外部接続端子に接続された第 4 入力段と、  
 第 2 出力段と、  
 前記第 3 入力段の出力と前記第 2 出力段の入力の間に接続された第 3 出力選択スイッチと、

前記第 4 入力段の出力と前記第 2 出力段の入力の間に接続された第 4 出力選択スイッチ

とを備え、

前記第 3 レシーバは、

前記第 5 外部接続端子及び前記第 6 外部接続端子に接続された第 5 入力段と、

前記第 5 外部接続端子及び前記第 1 外部接続端子に接続された第 6 入力段と、

第 3 出力段と、

前記第 5 入力段の出力と前記第 3 出力段の入力の間に接続された第 5 出力選択スイッチと、

前記第 6 入力段の出力と前記第 3 出力段の入力の間に接続された第 6 出力選択スイッチ

とを備える

半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置であって、

更に、

第 1 共通接続ノードと回路接地の間に接続された第 1 キャパシタと、

第 2 共通接続ノードと回路接地の間に接続された第 2 キャパシタと、

第 3 共通接続ノードと回路接地の間に接続された第 3 キャパシタと、

前記第 1 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 1 抵抗素子及び第 1 スイッチと、

前記第 2 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 2 抵抗素子及び第 2 スイッチと、

前記第 3 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 3 抵抗素子及び第 3 スイッチと、

前記第 4 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 4 抵抗素子及び第 4 スイッチと、

前記第 5 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 5 抵抗素子及び第 5 スイッチと、

前記第 6 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 6 抵抗素子及び第 6 スイッチと、

前記第 1 共通接続ノードと前記第 2 共通接続ノードとの間に接続された第 7 スイッチと

、  
 前記第 2 共通接続ノードと前記第 3 共通接続ノードとの間に接続された第 8 スイッチ

とを備えた

半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれかに記載の半導体装置と、

前記第 1 外部接続端子に電氣的に接続された第 1 伝送線と、前記第 3 外部接続端子に電氣的に接続された第 2 伝送線と、前記第 5 外部接続端子に電氣的に接続された第 3 伝送線とを備える配線基板

とを具備し、

前記半導体装置の前記主処理部は、前記第 1 受信データを受け取って動作する

半導体デバイスモジュール。

【請求項 10】

10

20

30

40

50

請求項 9 に記載の半導体デバイスモジュールであって、  
前記第 1 伝送線が、前記第 2 外部接続端子に電氣的に接続され、  
前記第 2 伝送線が、前記第 4 外部接続端子に電氣的に接続され、  
前記第 3 伝送線が、前記第 6 外部接続端子に電氣的に接続された  
半導体デバイスモジュール。

【請求項 1 1】

請求項 1 乃至 8 のいずれかに記載の半導体装置と、  
前記第 1 乃至第 6 外部接続端子にそれぞれに電氣的に接続された第 1 乃至第 6 伝送線を  
備える配線基板  
を具備し、

10

前記半導体装置の前記主処理部は、前記第 2 受信データを受け取って動作する  
半導体デバイスモジュール。

【請求項 1 2】

表示パネルを駆動する表示パネルドライバであって、  
第 1 乃至第 6 外部接続端子と、  
前記第 1 外部接続端子及び前記第 2 外部接続端子に接続された第 1 レシーバと、  
前記第 3 外部接続端子及び前記第 4 外部接続端子に接続された第 2 レシーバと、  
前記第 5 外部接続端子及び前記第 6 外部接続端子に接続された第 3 レシーバと、  
前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対し  
て、M I P I (Mobile Industry Processor Interface) C - P H Y の規格に従った信  
号処理を行って第 1 受信データを出力するように構成された C - P H Y ブロックと、  
前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対し  
て、M I P I D - P H Y の規格に従った信号処理を行って第 2 受信データを出力するよ  
うに構成された D - P H Y ブロックと、  
前記第 1 受信データと前記第 2 受信データとを選択的に受け取り、受け取ったデータに  
応答して前記表示パネルを駆動する主処理部  
とを具備する

20

表示パネルドライバ。

【請求項 1 3】

請求項 1 2 に記載の表示パネルドライバと、  
前記第 1 外部接続端子に電氣的に接続された第 1 伝送線と、前記第 3 外部接続端子に電  
氣的に接続された第 2 伝送線と、前記第 5 外部接続端子に電氣的に接続された第 3 伝送線  
とを備えるフレキシブル配線基板  
とを具備し、

30

前記表示パネルドライバの前記主処理部は、前記第 1 受信データを受け取り、前記第 1  
受信データに応答して前記表示パネルを駆動する

表示モジュール。

【請求項 1 4】

表示パネルと、  
請求項 1 2 に記載の表示パネルドライバと、  
第 1 乃至第 3 伝送線を備えるフレキシブル配線基板  
とを具備し、

40

前記表示パネルは、

基板と、

前記基板上に形成され、前記表示パネルドライバの前記第 1 乃至第 6 外部接続端子に  
それぞれに接続される第 1 乃至第 6 接続端子と、

前記基板上に形成された第 7 乃至第 9 接続端子と、

前記第 1 接続端子と前記第 7 接続端子とを接続する第 1 配線と、

前記第 3 接続端子と前記第 8 接続端子とを接続する第 2 配線と、

前記第 5 接続端子と前記第 9 接続端子とを接続する第 3 配線と、

50

前記第 1 接続端子と前記第 6 接続端子とを接続する第 4 配線と、  
 前記第 2 接続端子と前記第 3 接続端子とを接続する第 5 配線と、  
 前記第 4 接続端子と前記第 5 接続端子とを接続する第 6 配線

とを備え、

前記フレキシブル配線基板の前記第 1 乃至第 3 伝送線が、それぞれ、前記表示パネルの前記第 7 乃至第 9 接続端子に電氣的に接続される表示モジュール。

【請求項 15】

表示パネルと、

請求項 12 に記載の表示パネルドライバと、

フレキシブル配線基板

とを具備し、

前記表示パネルは、

基板と、

前記基板上に形成され、前記表示パネルドライバの前記第 1 乃至第 6 外部接続端子にそれぞれに接続される第 1 乃至第 6 接続端子と、

前記基板上に所定方向に並んで配置された第 7 乃至第 12 接続端子と、

前記第 1 乃至第 6 接続端子を、それぞれ、前記第 7 乃至第 12 接続端子に接続する第 1 乃至第 6 配線

とを備え、

前記フレキシブル配線基板は、

前記所定の方向に並んで配置され、前記表示パネルの前記第 7 乃至第 12 接続端子に接続される第 13 乃至第 18 接続端子と、

第 1 乃至第 3 伝送線と、

第 7 乃至第 9 配線

とを備え、

前記第 1 伝送線、前記第 2 伝送線及び前記第 3 伝送線は、それぞれ、前記第 13 接続端子、前記第 15 接続端子及び前記第 17 接続端子に電氣的に接続され、

前記第 13 接続端子と前記第 18 接続端子は、前記第 13 乃至第 18 接続端子の列の両端に位置し、

前記第 7 配線は、前記第 13 接続端子と前記第 18 接続端子とを接続し、

前記第 8 配線は、前記第 14 接続端子と前記第 15 接続端子とを接続し、

前記第 9 配線は、前記第 16 接続端子と前記第 17 接続端子とを接続し、

前記第 7 配線は、前記第 13 乃至第 18 接続端子の列を挟んで前記第 1 乃至第 3 伝送線が形成される領域と反対に位置している

表示モジュール。

【請求項 16】

表示パネルと、

請求項 12 に記載の表示パネルドライバと、

前記第 1 乃至第 6 外部接続端子にそれぞれに電氣的に接続された第 1 乃至第 6 伝送線を備えるフレキシブル配線基板

を具備し、

前記表示パネルドライバの前記主処理部は、前記第 2 受信データを受け取り、前記第 2 受信データに应答して前記表示パネルを駆動する

表示モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示パネルドライバ及び表示モジュールに関し、特に、半導体

10

20

30

40

50

装置、半導体デバイスモジュール、表示パネルドライバ及び表示モジュールの通信インターフェースに関する。

【背景技術】

【0002】

MIPI (Mobile Industry Processor Interface) アライアンスは、通信インターフェースの規格を確定する組織であり、MIPIによって確定された規格 (MIPI specifications) は、ホストと周辺機器との間の通信に広く用いられている。

【0003】

MIPI規格のうち、携帯端末におけるアプリケーションプロセッサと表示モジュールの間の通信に最も典型的に用いられてきたのが、MIPI D-PHYである。MIPI D-PHYでは、1本のクロックレーンと1本以上4本以下のデータレーンを用いて通信が行われる。各レーンは、小振幅の差動信号を伝送する1対の信号線を含んでいる。クロックレーンは、差動クロック信号を伝送するために用いられ、各データレーンは、差動データ信号を伝送するために用いられる。高速通信が行われるモード (HS (high speed) モードと呼ばれる) に通信インターフェースが設定されると、送信側は、クロックレーンで伝送された差動クロック信号を伝送し、データレーンで差動データ信号を伝送する。受信側は、クロックレーンで伝送された差動クロック信号に同期してデータレーンで伝送された差動データ信号をラッチしてデータ受信を行う。なお、MIPI D-PHYによる通信を行うシステムについては、例えば、特開2014-168195号公報に開示されている。

10

20

【0004】

近年の表示パネルの高精細化により、画像データをより高速に伝送する必要が生じており、このため、より高速な通信インターフェースが要求されている。このような要求に応じるために新たに規定された規格が、MIPI C-PHYである。MIPI C-PHYでは、3本の信号線を用いて通信が行われる。各信号線では、小振幅の3値信号 (high, low, middleの3値の信号) が伝送され、受信側では、該3値信号が2値の論理信号に変換される。MIPI C-PHYの一つの特徴は、クロック信号がデータ信号に埋め込まれることであり、受信側では、データ信号の受信においてクロック再生を行う。

【0005】

MIPI C-PHYを用いれば高速通信を実現できるが、その一方で、新たな通信規格を採用することは、ユーザに必ずしも容易なことではない。このため、MIPI D-PHYの使用を希望するユーザと、MIPI C-PHYの使用を希望するユーザとがいることが想定される。半導体装置のベンダーは、これらの2つの規格に対応する半導体装置を提供することが望ましい。

30

【0006】

最も単純な手法としては、MIPI D-PHYによる通信を行う通信インターフェースと、MIPI C-PHYによる通信を行う通信インターフェースとの両方を半導体装置に集積化することが考えられる。しかしながら、独立した複数の通信インターフェースを単純に半導体装置に集積化することは、回路規模の増大を招く。

【0007】

したがって、回路規模を低減しながら、MIPI D-PHYによる通信とMIPI C-PHYによる通信との両方に対応した半導体装置を提供することには技術的なニーズが存在する。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2014-168195号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

50

したがって、本発明の目的の一つは、回路規模を低減しながら、M I P I D - P H Y による通信とM I P I C - P H Yによる通信との両方に対応した半導体装置、表示パネルドライバ及び表示モジュールを提供することにある。

【0010】

本発明の他の目的及び新規な特徴は、下記の開示から当業者には理解されるであろう。

【課題を解決するための手段】

【0011】

本発明の一の観点では、半導体装置が、第1乃至第6外部接続端子と、第1外部接続端子及び前記第2外部接続端子に接続された第1レシーバと、第3外部接続端子及び前記第4外部接続端子に接続された第2レシーバと、第5外部接続端子及び前記第6外部接続端子に接続された第3レシーバと、C - P H Yブロックと、D - P H Yブロックと、主処理部とを具備する。C - P H Yブロックは、第1レシーバ、前記第2レシーバ及び前記第3レシーバから受け取った信号に対して、M I P I (Mobile Industry Processor Interface) C - P H Yの規格に従った信号処理を行って第1受信データを出力するように構成される。一方、D - P H Yブロックは、第1レシーバ、前記第2レシーバ及び前記第3レシーバから受け取った信号に対して、M I P I D - P H Yの規格に従った信号処理を行って第2受信データを出力するように構成される。主処理部は、第1受信データと前記第2受信データとを選択的に受け取り、受け取ったデータに対して所望の処理を行うように構成されている。

10

【0012】

本発明の他の観点では、半導体デバイスモジュールが、上記の半導体装置と、第1外部接続端子に電氣的に接続された第1伝送線と、前記第3外部接続端子に電氣的に接続された第2伝送線と、前記第5外部接続端子に電氣的に接続された第3伝送線とを備える配線基板とを具備する。このような構成は、M I P I C - P H Yによる通信に対応しており、この場合、該半導体装置の主処理部は、前記第1受信データを受け取って動作する。

20

【0013】

本発明の更に他の観点では、半導体デバイスモジュールが、上記の半導体装置と、第1乃至第6外部接続端子にそれぞれに電氣的に接続された第1乃至第6伝送線を備える配線基板を具備する。このような構成は、M I P I D - P H Yによる通信に対応しており、この場合、半導体装置の前記主処理部は、前記第2受信データを受け取って動作する。

30

【0014】

本発明の更に他の観点では、表示パネルを駆動する表示パネルドライバが提供される。該表示パネルドライバは、第1乃至第6外部接続端子と、第1外部接続端子及び前記第2外部接続端子に接続された第1レシーバと、第3外部接続端子及び前記第4外部接続端子に接続された第2レシーバと、第5外部接続端子及び前記第6外部接続端子に接続された第3レシーバと、C - P H Yブロックと、D - P H Yブロックと、主処理部とを具備する。C - P H Yブロックは、第1レシーバ、前記第2レシーバ及び前記第3レシーバから受け取った信号に対して、M I P I (Mobile Industry Processor Interface) C - P H Yの規格に従った信号処理を行って第1受信データを出力するように構成される。D - P H Yブロックは、前記第1レシーバ、前記第2レシーバ及び前記第3レシーバから受け取った信号に対して、M I P I D - P H Yの規格に従った信号処理を行って第2受信データを出力するように構成される。主処理部は、第1受信データと前記第2受信データとを選択的に受け取り、受け取ったデータに回答して前記表示パネルを駆動する。

40

【0015】

本発明の更に他の観点では、表示モジュールが、表示パネルと、上記の表示パネルドライバと、フレキシブル配線基板とを具備する。該フレキシブル配線基板は、第1外部接続端子に電氣的に接続された第1伝送線と、前記第3外部接続端子に電氣的に接続された第2伝送線と、前記第5外部接続端子に電氣的に接続された第3伝送線とを備えている。このような構成は、M I P I C - P H Yによる通信に対応しており、この場合、表示パネルドライバの前記主処理部は、前記第1受信データを受け取り、前記第1受信データに

50

答して前記表示パネルを駆動する。

【0016】

本発明の更に他の観点では、表示パネルを駆動する表示パネルドライバが提供される。該表示パネルドライバは、表示パネルと、上記の表示パネルドライバと、フレキシブル配線基板とを具備する。該フレキシブル配線基板は、第1乃至第6外部接続端子にそれぞれに電氣的に接続された第1乃至第6伝送線を備える。このような構成は、MIPI D-PHYによる通信に対応しており、この場合、前記表示パネルドライバの前記主処理部は、前記第2受信データを受け取り、前記第2受信データに応答して前記表示パネルを駆動する。

【発明の効果】

10

【0017】

本発明によれば、回路規模を低減しながら、MIPI D-PHYによる通信とMIPI C-PHYによる通信との両方に対応した半導体装置、表示パネルドライバ及び表示モジュールを提供することができる。

【図面の簡単な説明】

【0018】

【図1】一実施形態における表示モジュールの構成を示す概念図である。

【図2】本実施形態におけるドライバICの構成を示すブロック図である。

【図3A】図2のドライバICをMIPI C-PHYによる通信が行われる表示モジュールに適用する場合の実施例を図示するブロック図である。

20

【図3B】図2のドライバICをMIPI D-PHYによる通信が行われる表示モジュールに適用する場合の実施例を図示するブロック図である。

【図4】本実施形態におけるドライバICの構成の変形例を示すブロック図である。

【図5】図4のドライバICをMIPI D-PHYによる通信が行われる表示モジュールに適用する場合の実施例を図示するブロック図である。

【図6】双方向通信に対応した構成のドライバICの構成を部分的に示すブロック図である。

【図7A】図6のドライバICをMIPI C-PHYによる通信が行われる表示モジュールに適用する場合の実施例を図示するブロック図である。

【図7B】図6のドライバICをMIPI D-PHYによる通信が行われる表示モジュールに適用する場合の実施例を図示するブロック図である。

30

【図8】一実施形態における終端抵抗回路の構成を示す回路図である。

【図9A】図8に図示されている終端抵抗回路を備えるドライバICをMIPI C-PHYによる通信が行われる表示モジュールに適用する場合における、該終端抵抗回路の設定を示す図である。

【図9B】図8に図示されている終端抵抗回路を備えるドライバICをMIPI D-PHYによる通信が行われる表示モジュールに適用する場合における、該終端抵抗回路の設定を示す図である。

【図10】他の実施形態における終端抵抗回路の構成を示す回路図である。

【図11A】図10に図示されている終端抵抗回路を備えるドライバICをMIPI C-PHYによる通信が行われる表示モジュールに適用する場合における、該終端抵抗回路の設定を示す図である。

40

【図11B】図10に図示されている終端抵抗回路を備えるドライバICをMIPI D-PHYによる通信が行われる表示モジュールに適用する場合における、該終端抵抗回路の設定を示す図である。

【図12A】フレキシブル配線基板における配線の交差を避けるように構成された表示モジュールの構成の一例を示す概念図である。

【図12B】液晶表示パネルとドライバICとの接続部、及び、液晶表示パネルとフレキシブル配線基板との接続部の構造の一例を概念的に示す断面図である。

【図12C】液晶表示パネルに形成される配線の形状を示す平面図である。

50

【図13A】フレキシブル配線基板における配線の交差を避けるように構成された表示モジュールの構成の一例を示す概念図である。

【図13B】液晶表示パネルとドライバICとの接続部、及び、液晶表示パネルとフレキシブル配線基板との接続部の構造の一例を概念的に示す断面図である。

【図13C】フレキシブル配線基板に形成される配線の形状を示す平面図である。

【図13D】液晶表示パネルに形成される配線の形状を示す平面図である。

【図14】内部においてMIPI C-PHYによる通信、及び、MIPI D-PHYによる通信を切り替えるように構成されたドライバICの構成の一例を示す回路図である。

【図15A】図14に図示されたドライバICの、MIPI C-PHYによる通信が行われる場合における設定を示す図である。

【図15B】図14に図示されたドライバICの、MIPI D-PHYによる通信が行われる場合における設定を示す図である。

【図16】内部においてMIPI C-PHYによる通信、及び、MIPI D-PHYによる通信を切り替えるように構成されたドライバICの構成の他の例を示す回路図である。

【図17A】図16に図示されたドライバICの、MIPI C-PHYによる通信が行われる場合における設定を示す図である。

【図17B】図16に図示されたドライバICの、MIPI D-PHYによる通信が行われる場合における設定を示す図である。

【図18】内部においてMIPI C-PHYによる通信、及び、MIPI D-PHYによる通信を切り替えるように構成されたドライバICの構成の更に他の例を示す回路図である。

【図19A】図18に図示されたドライバICの、MIPI C-PHYによる通信が行われる場合における設定を示す図である。

【図19B】図18に図示されたドライバICの、MIPI C-PHYによる通信が行われる場合における他の設定を示す図である。

【図19C】図18に図示されたドライバICの、MIPI D-PHYによる通信が行われる場合における設定を示す図である。

【発明を実施するための形態】

【0019】

以下では、本発明の様々な実施形態について説明する。なお、以下の説明において、同一又は対応する構成要素は、同一又は対応する参照符号で参照され得ることに留意されたい。また、添付図面においては、発明の理解を容易にするために、部材の寸法が実際の寸法の比率とは異なる比率で図示されることがあることにも留意されたい。

【0020】

(全体構成と動作)

図1は、本発明の一実施形態における表示モジュール10の構成を示す概念図である。表示モジュール10は、液晶表示パネル1と、ドライバIC2と、フレキシブル配線基板3とを備えている。液晶表示パネル1は、画像が表示される表示領域4を備えており、表示領域4には、画素と、ゲート線(走査線、ディジット線とも呼ばれる)及びソース線(信号線、データ線とも呼ばれる)が設けられている。

【0021】

ドライバIC2は、液晶表示パネル1の駆動に用いられる半導体装置である。より具体的には、ドライバIC2は、液晶表示パネル1のソース線を駆動する。加えて、ドライバIC2は、液晶表示パネル1にゲート線を駆動するゲート線駆動回路(GIP(gate in panel)回路と呼ばれる)が集積化される場合には、該ゲート線駆動回路を制御する制御信号を供給する。液晶表示パネル1に該ゲート線駆動回路が集積化されない場合には、ドライバIC2は、ゲート線を駆動するように形成されていてもよい。ドライバIC2は、例えば、液晶表示パネル1にCOG(chip on glass)技術のような表面実装技術によっ

10

20

30

40

50

て搭載される。

【0022】

フレキシブル配線基板3は、ホスト(図示されない)とドライバIC2との間の通信に用いられる配線を備えている。後述のように、ドライバIC2の外部接続端子は、液晶表示パネル1のガラス基板の上に形成された配線を介してフレキシブル配線基板3に集積化された配線に接続されている。

【0023】

図2は、ドライバIC2の構成を示すブロック図である。ドライバIC2は、外部接続端子 $21_1 \sim 21_6$ と、終端抵抗回路22と、レシーバ $23_1 \sim 23_3$ と、C-PHYブロック24と、D-PHYブロック25と、セクタ26と、論理ブロック27と、駆動ブロック28とを備えている。

10

【0024】

外部接続端子 $21_1 \sim 21_6$ は、ホストとの通信において、ホストから送られた信号をドライバIC2に入力するために用いられる端子である。本実施形態では、COG技術によって外部接続端子 $21_1 \sim 21_6$ のそれぞれは、パッドとバンプとで構成される。外部接続端子 $21_1 \sim 21_6$ は、それぞれ、液晶表示パネル1のガラス基板上に形成された配線 $11_1 \sim 11_6$ に接続されている。ここで、配線 $11_1 \sim 11_6$ は、それぞれ、フレキシブル配線基板3の配線に接続される接続端子 $12_1 \sim 12_6$ に接続されており、よって、外部接続端子 $21_1 \sim 21_6$ は、配線 $11_1 \sim 11_6$ 及び接続端子 $12_1 \sim 12_6$ を介してフレキシブル配線基板3の配線に接続されることになる。

20

【0025】

終端抵抗回路22は、外部接続端子 $21_1 \sim 21_6$ のそれぞれに必要な終端抵抗を提供する。図2では、終端抵抗回路22の構成は簡略化して図示されており、終端抵抗回路22の構成の詳細は後述する。

【0026】

レシーバ $23_1$ 、 $23_2$ 、 $23_3$ は、ホストから送られた信号を受け取る。図2の構成では、レシーバ $23_1$ 、 $23_2$ 、 $23_3$ は、それぞれ、正転入力(+)と反転入力(-)とを備えた差動アンプとして構成されており、その正転入力、反転入力に入力された差動信号をシングルエンド信号に変換する。レシーバ $23_1$ の正転入力は、外部接続端子 $21_1$ に接続され、反転入力は、外部接続端子 $21_2$ に接続されている。同様に、レシーバ $23_2$ の正転入力は、外部接続端子 $21_3$ に接続され、反転入力は、外部接続端子 $21_4$ に接続されており、また、レシーバ $23_3$ の正転入力は、外部接続端子 $21_5$ に接続され、反転入力は、外部接続端子 $21_6$ に接続されている。

30

【0027】

C-PHYブロック24は、レシーバ $23_1$ 、 $23_2$ 、 $23_3$ から出力される信号に対してMIPI C-PHYに規定された信号処理を行ってホストから送られてくる各種のデータ(例えば、制御データ及び画像データ)を取り出す。詳細には、C-PHYブロック24は、クロック再生回路31と、フリップフロップ32、33、34と、デシリアライザ35と、C-PHYプロトコル処理回路36とを備えている。

【0028】

クロック再生回路31は、レシーバ $23_1$ 、 $23_2$ 、 $23_3$ から出力される信号に対してクロック再生を行ってクロック信号CLK1を生成する。フリップフロップ32、33、34は、レシーバ $23_1$ 、 $23_2$ 、 $23_3$ から出力される信号をラッチするラッチ回路を構成しており、フリップフロップ32、33、34は、それぞれ、レシーバ $23_1$ 、 $23_2$ 、 $23_3$ から出力される信号をクロック信号CLK1に同期してラッチすることでデータ列を生成する。デシリアライザ35とC-PHYプロトコル処理回路36とは、フリップフロップ32、33、34から出力されるデータ列から受信データを取り出すデータ処理部を構成している。詳細には、デシリアライザ35は、フリップフロップ32、33、34から出力されるデータ列をデシリアライズ(deserialize)する。C-PHYプロトコル処理回路36は、デシリアライザ35から出力されるデータに対してMIPI C

40

50

- P H Yに従ったデータ処理を行い、所望の受信データ（例えば、制御データ及び画像データ）を取り出す。以下では、上述のように構成されたC - P H Yブロック24によって得られる受信データ（即ち、C - P H Yプロトコル処理回路36から出力される受信データ）を、受信データD<sub>C - P H Y</sub>と記載することがある。

【0029】

D - P H Yブロック25は、レシーバ23<sub>1</sub>、23<sub>2</sub>、23<sub>3</sub>から出力される信号に対してM I P I D - P H Yに規定された信号処理を行ってホストから送られてくる各種のデータ（例えば、制御データ及び画像データ）を取り出す。詳細には、D - P H Yブロック25は、フリップフロップ41、42と、デシリアライザ44と、D - P H Yプロトコル処理回路45とを備えている。

10

【0030】

D - P H Yブロック25は、レシーバ23<sub>3</sub>から出力される信号をクロック信号C L K 2として用いてレシーバ23<sub>1</sub>、23<sub>2</sub>から出力される信号をラッチするように構成されている。フリップフロップ41、42は、レシーバ23<sub>1</sub>、23<sub>2</sub>から出力される信号をラッチするラッチ部を構成しており、フリップフロップ41、42は、それぞれ、レシーバ23<sub>1</sub>、23<sub>2</sub>から出力される信号をクロック信号C L K 2（即ち、レシーバ23<sub>3</sub>から出力される信号）に同期してラッチすることでデータ列を生成する。デシリアライザ44とD - P H Yプロトコル処理回路45とは、フリップフロップ41、42から出力されるデータ列から受信データを取り出す処理部を構成している。詳細には、デシリアライザ44は、フリップフロップ41、42から出力されるデータ列をデシリアライズする。D - P H Yプロトコル処理回路45は、デシリアライザ44から出力されるデータに対してM I P I D - P H Yに従ったデータ処理を行い、所望の受信データ（例えば、制御データ及び画像データ）を取り出す。以下では、上述のように構成されたD - P H Yブロック25によって得られる受信データ（即ち、D - P H Yプロトコル処理回路45から出力される受信データ）を、受信データD<sub>D - P H Y</sub>と記載することがある。

20

【0031】

セクタ26は、C - P H Yブロック24とD - P H Yブロック25のうち的一方を選択し、選択したブロックから受け取った受信データを論理ブロック27に転送する。C - P H Yブロック24が選択される場合、セクタ26は、C - P H Yブロック24から受け取った受信データD<sub>C - P H Y</sub>を論理ブロック27に転送し、D - P H Yブロック25が選択される場合、セクタ26は、D - P H Yブロック25から受け取った受信データD<sub>D - P H Y</sub>を論理ブロック27に転送する。

30

【0032】

論理ブロック27及び駆動ブロック28は、セクタ26から受け取った受信データに対して所望の処理を行う主処理部として動作する。詳細には、論理ブロック27は、受信データに含まれている制御データに応じてドライバI C 2の各回路の制御を行い、更に、画像データに対して所望の画像処理を行う。駆動ブロック28は、画像データ及び制御データに応じて液晶表示パネル1を駆動する。

【0033】

図2の構成のドライバI C 2は、フレキシブル配線基板3の配線を変更することで、M I P I C - P H Yによる通信、及び、M I P I D - P H Yによる通信の両方に対応可能である。ここで、外部接続端子21<sub>1</sub>～21<sub>6</sub>とレシーバ23<sub>1</sub>～23<sub>3</sub>とが、M I P I C - P H Yによる通信、及び、M I P I D - P H Yによる通信の両方に兼用されていることに留意されたい。これは、回路規模の低減に有効である。

40

【0034】

図3Aは、図2のドライバI C 2をM I P I C - P H Yによる通信が行われる表示モジュールに適用する場合の実施例を示している。フレキシブル配線基板3Aには、M I P I C - P H Yによる通信に用いられる3本の伝送線51、52、53が設けられている。伝送線51、52、53は、それぞれ、トランスミッタ54、55、56から出力される信号を伝送する。伝送線51は、液晶表示パネル1に設けられた接続端子12<sub>1</sub>、12

50

4 に接続されている。また、伝送線 5 2 は、接続端子 1 2 2、1 2 5 に接続され、伝送線 5 3 は、接続端子 1 2 3、1 2 6 に接続されている。言い換えれば、伝送線 5 1 は、レシーバ 2 3 1 の正転入力 (+) 及びレシーバ 2 3 2 の反転入力 (-) に接続され、伝送線 5 2 は、レシーバ 2 3 1 の反転入力及びレシーバ 2 3 3 の正転入力に接続され、伝送線 5 3 は、レシーバ 2 3 2 の正転入力及びレシーバ 2 3 3 の反転入力に接続される。このような接続によれば、伝送線 5 1、5 2、5 3 で伝送される 3 値信号を、レシーバ 2 3 1 ~ 2 3 3 を用いて 2 値のシングルエンド信号に変換することができる。

#### 【0035】

更に、クロック再生回路 3 1 によるクロック再生で生成されたクロック信号 CLK 1 に同期してレシーバ 2 3 1 ~ 2 3 3 から出力されるシングルエンド信号がフリップフロップ 3 2 ~ 3 4 によってラッチされ、フリップフロップ 3 2 ~ 3 4 から出力されるデータ列が、デシリアライザ 3 5、C-PHY プロトコル処理回路 3 6 によって処理されて受信データ D<sub>C-PHY</sub> が生成される。セクタ 2 6 によって C-PHY ブロック 2 4 が選択され、これにより、C-PHY ブロック 2 4 によって生成された受信データ D<sub>C-PHY</sub> が論理ブロック 2 7 に供給される。このような動作により、MIPIC-PHY による通信が実現される。

#### 【0036】

図 3 B は、図 2 のドライバ IC 2 を MIPID-PHY による通信が行われる表示モジュールに適用する場合の実施例を示している。フレキシブル配線基板 3 B には、MIPID-PHY による通信に用いられる伝送線 5 7 1 ~ 5 7 6 が設けられている。伝送線 5 7 1 ~ 5 7 6 は、それぞれ、トランスミッタ 5 8 1 ~ 5 8 6 が接続される。ここで、伝送線 5 7 1、5 7 2 は、データレーン # 0 として用いられ、伝送線 5 7 3、5 7 4 は、データレーン # 1 として用いられる。また、伝送線 5 7 5、5 7 6 は、クロックレーンとして用いられる。伝送線 5 7 1 ~ 5 7 6 は、それぞれ、液晶表示パネル 1 の接続端子 1 2 1 ~ 1 2 6 に接続される。言い換えれば、伝送線 5 7 1 は、レシーバ 2 3 1 の正転入力 (+) に接続され、伝送線 5 7 2 は、レシーバ 2 3 1 の反転入力 (-) に接続される。また、伝送線 5 7 3 は、レシーバ 2 3 2 の正転入力 (+) に接続され、伝送線 5 7 4 は、レシーバ 2 3 2 の反転入力 (-) に接続される。更に、伝送線 5 7 5 は、レシーバ 2 3 3 の正転入力 (+) に接続され、伝送線 5 7 6 は、レシーバ 2 3 3 の反転入力 (-) に接続される。

#### 【0037】

このような接続では、伝送線 5 7 5、5 7 6、即ち、クロックレーンで伝送された差動クロック信号がレシーバ 2 3 3 に入力され、レシーバ 2 3 3 により、シングルエンド信号であるクロック信号 CLK 2 が生成される。加えて、伝送線 5 7 1、5 7 2、即ち、データレーン # 0 で伝送された差動データ信号がレシーバ 2 3 1 に入力され、伝送線 5 7 3、5 7 4、即ち、データレーン # 1 で伝送された差動データ信号がレシーバ 2 3 2 に入力される。データレーン # 0、# 1 で伝送された差動データ信号は、レシーバ 2 3 1、2 3 2 により 2 値のシングルエンド信号に変換される。更に、レシーバ 2 3 3 によって生成されたクロック信号 CLK 2 に同期してレシーバ 2 3 1、2 3 2 から出力されるシングルエンド信号がフリップフロップ 4 1、4 2 によってラッチされ、フリップフロップ 4 1、4 2 から出力されるデータ列が、デシリアライザ 4 4、D-PHY プロトコル処理回路 4 5 によって処理されて受信データ D<sub>D-PHY</sub> が生成される。セクタ 2 6 によって D-PHY ブロック 2 5 が選択され、これにより、D-PHY ブロック 2 5 によって生成された受信データ D<sub>D-PHY</sub> が論理ブロック 2 7 に供給される。このような動作により、MIPID-PHY による通信が実現される。

#### 【0038】

なお、図 3 B には 2 つのデータレーンしか図示されていないが、ドライバ IC 2 に追加のレシーバを設け、フレキシブル配線基板 3 B に該レシーバに接続される追加の伝送線を設けることで、データレーンの数を増やすこともできる。MIPID-PHY では、最高で 4 本までのデータレーンが許容されていることは上述した通りである。

## 【 0 0 3 9 】

図 2 の構成では、C - P H Y ブロック 2 4、D - P H Y ブロック 2 5 の両方に接続されているレシーバ 2 3<sub>3</sub> が D - P H Y ブロック 2 5 で用いられるクロック信号 C L K 2 の生成に用いられているが、クロック信号 C L K 2 は、D - P H Y ブロック 2 5 のみに接続されているレシーバによって生成されてもよい。

## 【 0 0 4 0 】

図 4 は、このような構成のドライバ I C 2 の構成を示すブロック図である。図 4 に図示されているドライバ I C 2 の構成は、図 2 に図示されている構成とほぼ同様である。ただし、図 4 のドライバ I C 2 では、レシーバ 2 3<sub>4</sub> が設けられる。レシーバ 2 3<sub>4</sub> は、正転入力 (+) が外部接続端子 2 1<sub>7</sub> に接続され、反転入力 (-) が外部接続端子 2 1<sub>8</sub> に接続される。液晶表示パネル 1 には、配線 1 1<sub>7</sub>、1 1<sub>8</sub> と接続端子 1 2<sub>7</sub>、1 2<sub>8</sub> が設けられ、外部接続端子 2 1<sub>7</sub> は、配線 1 1<sub>7</sub> を介して接続端子 1 2<sub>7</sub> に接続され、外部接続端子 2 1<sub>8</sub> は、配線 1 1<sub>8</sub> を介して接続端子 1 2<sub>8</sub> に接続される。更に、D - P H Y ブロック 2 5 にフリップフロップ 4 3 が設けられる。フリップフロップ 4 1 ~ 4 3 は、レシーバ 2 3<sub>4</sub> から出力される信号をクロック信号 C L K 2 として用いてレシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> から出力される信号をラッチする。

## 【 0 0 4 1 】

図 5 は、図 4 の構成のドライバ I C 2 を M I P I D - P H Y による通信が行われる表示モジュールに適用する場合の実施例を示している。フレキシブル配線基板 3 B には、M I P I D - P H Y による通信に用いられる伝送線 5 7<sub>1</sub> ~ 5 7<sub>6</sub> が設けられている。ここで、伝送線 5 7<sub>1</sub>、5 7<sub>2</sub> は、データレーン # 0 として用いられ、伝送線 5 7<sub>3</sub>、5 7<sub>4</sub> は、データレーン # 1 として用いられる。また、伝送線 5 7<sub>5</sub>、5 7<sub>6</sub> は、データレーン # 2 として用いられ、伝送線 5 7<sub>7</sub>、5 7<sub>8</sub> は、クロックレーンとして用いられる。伝送線 5 7<sub>1</sub> ~ 5 7<sub>8</sub> は、それぞれ、液晶表示パネル 1 の接続端子 1 2<sub>1</sub> ~ 1 2<sub>8</sub> に接続される。

## 【 0 0 4 2 】

データレーン # 0 ~ # 2 で伝送された差動データ信号は、それぞれ、レシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> により 2 値のシングルエンド信号に変換される。更に、レシーバ 2 3<sub>4</sub> によって生成されたクロック信号 C L K 2 に同期してレシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> から出力されるシングルエンド信号がフリップフロップ 4 1 ~ 4 3 によってラッチされ、フリップフロップ 4 1 ~ 4 3 から出力されるデータ列が、デシリアライザ 4 4、D - P H Y プロトコル処理回路 4 5 によって処理されて受信データ D<sub>D - P H Y</sub> が生成される。セレクタ 2 6 によって D - P H Y ブロック 2 5 が選択され、これにより、D - P H Y ブロック 2 5 によって生成された受信データ D<sub>D - P H Y</sub> が論理ブロック 2 7 に供給される。このような動作により、M I P I D - P H Y による通信が実現される。

## 【 0 0 4 3 】

なお、図 4 の構成のドライバ I C 2 が M I P I C - P H Y による通信を行う表示モジュールに適用される場合には、図 3 A と同様に、伝送線 5 1 が接続端子 1 2<sub>1</sub>、1 2<sub>4</sub> に接続され、伝送線 5 2 が接続端子 1 2<sub>2</sub>、1 2<sub>5</sub> に接続され、伝送線 5 3 が接続端子 1 2<sub>3</sub>、1 2<sub>6</sub> に接続される。

## 【 0 0 4 4 】

M I P I D - P H Y による通信においては、データレーンにおいて双方向通信が行われる場合があり、この場合には、データレーンに接続される外部接続端子にトランスミッタが接続される。図 6 は、このような構成のドライバ I C 2 の構成を部分的に示す図である。図 6 のドライバ I C 2 は、図 4 に図示されているドライバ I C 2 と同様に、M I P I D - P H Y による通信が行われる場合、レシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> がデータレーンに接続され、レシーバ 2 3<sub>4</sub> がクロックレーンに接続される構成を有している。データレーンにおける双方向通信を行うために、外部接続端子 2 1<sub>1</sub> ~ 2 1<sub>6</sub> には、それぞれ、トランスミッタ 2 9<sub>1</sub> ~ 2 9<sub>6</sub> が接続されている。

## 【 0 0 4 5 】

10

20

30

40

50

図6の構成のドライバIC2をMIPI C-PHYによる通信を行う表示モジュールに適用する場合、トランスミッタ29<sub>1</sub>~29<sub>6</sub>のうち3つを双方向通信のために用いてもよい。図7Aは、図6の構成のドライバIC2をMIPI C-PHYによる通信を行う表示モジュールに適用する実施例を図示している。伝送線51は、外部接続端子21<sub>1</sub>、21<sub>4</sub>に接続されており、外部接続端子21<sub>1</sub>、21<sub>4</sub>は、それぞれ、トランスミッタ29<sub>1</sub>、29<sub>4</sub>に接続されている。同様に、伝送線52は、外部接続端子21<sub>2</sub>、21<sub>5</sub>に接続されており、外部接続端子21<sub>2</sub>、21<sub>5</sub>は、それぞれ、トランスミッタ29<sub>2</sub>、29<sub>5</sub>に接続されている。更に、伝送線53は、外部接続端子21<sub>3</sub>、21<sub>6</sub>に接続されており、外部接続端子21<sub>3</sub>、21<sub>6</sub>は、それぞれ、トランスミッタ29<sub>3</sub>、29<sub>6</sub>に接続されている。MIPI C-PHYによる通信が行われる場合、トランスミッタ29<sub>1</sub>、29<sub>4</sub>のうち一方が活性化され、トランスミッタ29<sub>2</sub>、29<sub>5</sub>のうち一方が活性化され、トランスミッタ29<sub>3</sub>、29<sub>6</sub>のうち一方が活性化される。活性化された3つのトランスミッタにより、ドライバIC2から外部に信号が送信される。

10

#### 【0046】

一方、図7Bは、図6の構成のドライバIC2をMIPI D-PHYによる通信を行う表示モジュールに適用する実施例を図示している。伝送線57<sub>1</sub>~57<sub>8</sub>は、それぞれ、外部接続端子21<sub>1</sub>~21<sub>8</sub>に接続される。伝送線57<sub>1</sub>、57<sub>2</sub>は、データレーン#0として用いられ、伝送線57<sub>3</sub>、57<sub>4</sub>は、データレーン#1として用いられる。また、伝送線57<sub>5</sub>、57<sub>6</sub>は、データレーン#2として用いられ、伝送線57<sub>7</sub>、57<sub>8</sub>は、クロックレーンとして用いられる。MIPI D-PHYによる通信が行われる場合、トランスミッタ29<sub>1</sub>~29<sub>6</sub>により、データレーン#0~#2を介してドライバIC2から外部に信号が送信される。

20

#### 【0047】

(終端抵抗回路の構成と動作)

上述されたドライバIC2をMIPI C-PHYによる通信が行われる表示モジュールとMIPI D-PHYによる通信が行われる表示モジュールの両方に用いる場合における一つの問題は、MIPI C-PHYにおいて推奨される終端抵抗の接続と、MIPI D-PHYにおいて推奨される終端抵抗の接続とが相違することである。MIPI C-PHYでは、各伝送線に50Ωの終端抵抗がY結線で接続されることが推奨され、MIPI D-PHYにおいては、各レーンの一对の伝送線が100Ωの終端抵抗で接続されることが推奨されている。外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される終端抵抗回路22は、MIPI C-PHYにおける推奨とMIPI D-PHYにおける推奨の両方を満たすように構成されることが好ましい。以下では、終端抵抗回路22の好適な構成と動作について詳細に説明する。

30

#### 【0048】

図8は、一実施形態における終端抵抗回路22の構成を示す回路図である。図8の終端抵抗回路22は、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>と、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>と、抵抗素子63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>と、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>と、キャパシタ65<sub>1</sub>、65<sub>2</sub>、65<sub>3</sub>と、スイッチ66<sub>1</sub>、66<sub>3</sub>、66<sub>5</sub>と、C-PHYキャパシタ67とを備えている。好適な一実施形態では、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>、抵抗素子63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>の抵抗値は、いずれも、50Ωである。

40

#### 【0049】

キャパシタ65<sub>1</sub>、65<sub>2</sub>、65<sub>3</sub>は、それぞれ、共通接続ノードN<sub>COM1</sub>、N<sub>COM2</sub>、N<sub>COM3</sub>と回路接地の間に接続されている。キャパシタ65<sub>1</sub>、65<sub>2</sub>、65<sub>3</sub>により、共通接続ノードN<sub>COM1</sub>、N<sub>COM2</sub>、N<sub>COM3</sub>は、交流的に接地されることになる。また、C-PHYキャパシタ67は、共通接続ノードN<sub>COM4</sub>と回路接地の間に接続されている。C-PHYキャパシタ67により、共通接続ノードN<sub>COM4</sub>は、交流的に接地されることになる。

#### 【0050】

抵抗素子61<sub>1</sub>は、外部接続端子21<sub>1</sub>とノードN<sub>1</sub>の間に接続されており、スイッチ

50

62<sub>1</sub>は、ノードN<sub>1</sub>と共通接続ノードN<sub>COM1</sub>の間に接続されている。更に、抵抗素子63<sub>2</sub>とスイッチ64<sub>2</sub>は、外部接続端子21<sub>2</sub>と共通接続ノードN<sub>COM1</sub>の間に直列に接続されている。抵抗素子61<sub>3</sub>は、外部接続端子21<sub>3</sub>とノードN<sub>3</sub>の間に接続されており、スイッチ62<sub>3</sub>は、ノードN<sub>3</sub>と共通接続ノードN<sub>COM2</sub>の間に接続されている。更に、抵抗素子63<sub>4</sub>とスイッチ64<sub>4</sub>は、外部接続端子21<sub>4</sub>と共通接続ノードN<sub>COM2</sub>の間に直列に接続されている。更に、抵抗素子61<sub>5</sub>は、外部接続端子21<sub>5</sub>とノードN<sub>5</sub>の間に接続されており、スイッチ62<sub>5</sub>は、ノードN<sub>5</sub>と共通接続ノードN<sub>COM3</sub>の間に接続されている。更に、抵抗素子63<sub>6</sub>とスイッチ64<sub>6</sub>は、外部接続端子21<sub>6</sub>と共通接続ノードN<sub>COM3</sub>の間に直列に接続されている。

【0051】

更に、スイッチ66<sub>1</sub>、66<sub>3</sub>、66<sub>5</sub>は、それぞれ、ノードN<sub>1</sub>、N<sub>3</sub>、N<sub>5</sub>と共通接続ノードN<sub>COM4</sub>の間に接続されている。

【0052】

このような構成の終端抵抗回路22は、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>、及び、スイッチ66<sub>1</sub>、66<sub>3</sub>、66<sub>5</sub>のオンオフを適切に設定することにより、MIPIC-PHYにおいて推奨される終端抵抗の接続と、MIPID-PHYにおいて推奨される終端抵抗の接続の両方に対応可能である。

【0053】

図9Aは、ドライバIC2との通信がMIPIC-PHYによって行われる場合における図8に図示されている終端抵抗回路22の設定を示す図である。ドライバIC2との通信がMIPIC-PHYによって行われる場合には、上述の通り、フレキシブル配線基板3Aに設けられた伝送線51が外部接続端子21<sub>1</sub>、21<sub>4</sub>に接続され、伝送線52が外部接続端子21<sub>2</sub>、21<sub>5</sub>に接続され、伝送線53が外部接続端子21<sub>3</sub>、21<sub>6</sub>に接続される。

【0054】

ドライバIC2との通信がMIPIC-PHYによって行われる場合、スイッチ66<sub>1</sub>、66<sub>3</sub>、66<sub>5</sub>がオンされると共に、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>がオフされる。このような設定によれば、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>が共通接続ノードN<sub>COM4</sub>に共通に接続される。即ち、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>が、伝送線51、52、53にMIPIC-PHYにおいて推奨されるY結線によって接続されることになる。ここで、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>の抵抗値が50であれば、50の終端抵抗がY結線によって接続され、MIPIC-PHYにおける推奨に適合するため、より好ましい。

【0055】

一方、図9Bは、ドライバIC2との通信がMIPID-PHYによって行われる場合の終端抵抗回路22の設定を示す図である。ドライバIC2との通信がMIPID-PHYによって行われる場合には、上述の通り、フレキシブル配線基板3Bに設けられた伝送線57<sub>1</sub>~57<sub>6</sub>が、それぞれ外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される。

【0056】

ドライバIC2との通信がMIPID-PHYによって行われる場合、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>がオンされると共に、スイッチ66<sub>1</sub>、66<sub>3</sub>、66<sub>5</sub>がオフされる。このような設定によれば、外部接続端子21<sub>1</sub>、21<sub>2</sub>が抵抗素子61<sub>1</sub>、63<sub>2</sub>を介して接続され、外部接続端子21<sub>3</sub>、21<sub>4</sub>が抵抗素子61<sub>3</sub>、63<sub>4</sub>を介して接続され、外部接続端子21<sub>5</sub>、21<sub>6</sub>が抵抗素子61<sub>5</sub>、63<sub>6</sub>を介して接続される。即ち、伝送線57<sub>1</sub>、57<sub>2</sub>が抵抗素子61<sub>1</sub>、63<sub>2</sub>を介して接続され、伝送線57<sub>3</sub>、57<sub>4</sub>が抵抗素子61<sub>3</sub>、63<sub>4</sub>を介して接続され、伝送線57<sub>5</sub>、57<sub>6</sub>が抵抗素子61<sub>5</sub>、63<sub>6</sub>を介して接続される。このような接続は、MIPID-PHYにおける推奨に沿ったものである。ここで、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>、63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>の抵抗値がそれぞれ50であれば、100の終端抵抗が2つの外部接続端子21の間に接続されることになり、MIPID-PHYにお

10

20

30

40

50

る推奨に適合するため、より好ましい。ここで、抵抗素子  $61_1$ 、 $61_3$ 、 $61_5$  の抵抗値が  $50$  であれば、M I P I C - P H Y における推奨にも同時に適合することに留意されたい。

【0057】

図8の回路構成では、レシーバ  $23_1$ 、 $23_2$ 、 $23_3$  の正転入力 (+) と反転入力 (-) とで、回路素子の接続態様が異なっており、正転入力 (+) と反転入力 (-) の間のバランスが崩れている。これは、差動信号の受信のために好ましくない。

【0058】

図10は、正転入力 (+) と反転入力 (-) の間のバランスの問題に対応する終端抵抗回路22の構成の一例を示す回路図である。図10の終端抵抗回路22は、抵抗素子  $61_1 \sim 61_6$  と、スイッチ  $62_1 \sim 62_5$  と、抵抗素子  $63_1 \sim 63_6$  と、スイッチ  $64_1 \sim 64_6$  と、キャパシタ  $65_1 \sim 65_3$  と、スイッチ  $66_1 \sim 66_6$  と、C - P H Y キャパシタ  $67$  とを備えている。好適な一実施形態では、抵抗素子  $61_1 \sim 61_6$ 、抵抗素子  $63_1 \sim 63_6$  の抵抗値は、いずれも、 $100$  である。

10

【0059】

キャパシタ  $65_1$ 、 $65_2$ 、 $65_3$  は、それぞれ、共通接続ノード  $N_{COM1}$ 、 $N_{COM2}$ 、 $N_{COM3}$  と回路接地の間に接続されている。キャパシタ  $65_1$ 、 $65_2$ 、 $65_3$  により、共通接続ノード  $N_{COM1}$ 、 $N_{COM2}$ 、 $N_{COM3}$  は、交流的に接地されることになる。また、C - P H Y キャパシタ  $67$  は、共通接続ノード  $N_{COM4}$  と回路接地の間に接続されている。C - P H Y キャパシタ  $67$  により、共通接続ノード  $N_{COM4}$  は、交流的に接地されることになる。

20

【0060】

外部接続端子  $21_1$  には、回路素子が下記のように接続されている。抵抗素子  $61_1$  は、外部接続端子  $21_1$  とノード  $N_1$  の間に接続されており、スイッチ  $62_1$  は、ノード  $N_1$  と共通接続ノード  $N_{COM1}$  の間に接続されている。更に、抵抗素子  $63_1$  とスイッチ  $64_1$  が、外部接続端子  $21_1$  と共通接続ノード  $N_{COM1}$  の間に直列に接続されている。ここで、抵抗素子  $63_1$ 、スイッチ  $64_1$  は、抵抗素子  $61_1$ 、スイッチ  $62_1$  と並列に接続されていることに留意されたい。

【0061】

他の外部接続端子  $21$  についても同様である。抵抗素子  $61_2$  は、外部接続端子  $21_2$  とノード  $N_2$  の間に接続されており、スイッチ  $62_2$  は、ノード  $N_2$  と共通接続ノード  $N_{COM1}$  の間に接続されている。更に、抵抗素子  $63_2$  とスイッチ  $64_2$  が、外部接続端子  $21_2$  と共通接続ノード  $N_{COM1}$  の間に直列に接続されている。ここで、抵抗素子  $63_2$ 、スイッチ  $64_2$  は、抵抗素子  $61_2$ 、スイッチ  $62_2$  と並列に接続されていることに留意されたい。

30

【0062】

また、抵抗素子  $61_3$  は、外部接続端子  $21_3$  とノード  $N_3$  の間に接続されており、スイッチ  $62_3$  は、ノード  $N_3$  と共通接続ノード  $N_{COM2}$  の間に接続されている。更に、抵抗素子  $63_3$  とスイッチ  $64_3$  が、外部接続端子  $21_3$  と共通接続ノード  $N_{COM2}$  の間に直列に接続されている。

40

【0063】

更に、抵抗素子  $61_4$  は、外部接続端子  $21_4$  とノード  $N_4$  の間に接続されており、スイッチ  $62_4$  は、ノード  $N_4$  と共通接続ノード  $N_{COM2}$  の間に接続されている。更に、抵抗素子  $63_4$  とスイッチ  $64_4$  が、外部接続端子  $21_4$  と共通接続ノード  $N_{COM2}$  の間に直列に接続されている。

【0064】

また、抵抗素子  $61_5$  は、外部接続端子  $21_5$  とノード  $N_5$  の間に接続されており、スイッチ  $62_5$  は、ノード  $N_5$  と共通接続ノード  $N_{COM3}$  の間に接続されている。更に、抵抗素子  $63_5$  とスイッチ  $64_5$  が、外部接続端子  $21_5$  と共通接続ノード  $N_{COM3}$  の間に直列に接続されている。

50

## 【0065】

更に、抵抗素子 $61_6$ は、外部接続端子 $21_6$ とノード $N_6$ の間に接続されており、スイッチ $62_6$ は、ノード $N_6$ と共通接続ノード $N_{COM3}$ の間に接続されている。更に、抵抗素子 $63_6$ とスイッチ $64_6$ が、外部接続端子 $21_6$ と共通接続ノード $N_{COM3}$ の間に直列に接続されている。

## 【0066】

更に、スイッチ $66_1 \sim 66_6$ が、それぞれ、ノード $N_1 \sim N_6$ と共通接続ノード $N_{COM4}$ の間に接続されている。

## 【0067】

図11Aは、ドライバIC2との通信がMIPI C-PHYによって行われる場合における図10に図示されている終端抵抗回路22の設定を示す図である。ドライバIC2との通信がMIPI C-PHYによって行われる場合には、上述の通り、フレキシブル配線基板3Aに設けられた伝送線51が外部接続端子 $21_1$ 、 $21_4$ に接続され、伝送線52が外部接続端子 $21_2$ 、 $21_5$ に接続され、伝送線53が外部接続端子 $21_3$ 、 $21_6$ に接続される。

10

## 【0068】

ドライバIC2との通信がMIPI C-PHYによって行われる場合、スイッチ $66_1 \sim 66_6$ がオンされると共に、スイッチ $62_1 \sim 62_6$ 、スイッチ $64_1 \sim 64_6$ がオフされる。このような設定によれば、抵抗素子 $61_1 \sim 61_6$ が共通接続ノード $N_{COM4}$ に共通に接続される。ここで、抵抗素子 $61_1$ 、 $61_4$ は、伝送線51と共通接続ノード $N_{COM4}$ の間に電氣的に並列に接続されることに留意されたい。同様に、抵抗素子 $61_2$ 、 $61_5$ は、伝送線52と共通接続ノード $N_{COM4}$ の間に電氣的に並列に接続され、抵抗素子 $61_3$ 、 $61_6$ は、伝送線53と共通接続ノード $N_{COM4}$ の間に電氣的に並列に接続される。よって、伝送線51、52、53に、終端抵抗がMIPI C-PHYにおいて推奨されるY結線によって接続されることになる。ここで、抵抗素子 $61_1 \sim 61_6$ の抵抗値が $100 \Omega$ であれば、伝送線51、52、53と共通接続ノード $N_{COM4}$ の間に $50 \Omega$ の終端抵抗がY結線によって接続されることになり、MIPI C-PHYにおける推奨に適合するため、より好ましい。

20

## 【0069】

図11Bは、ドライバIC2との通信がMIPI D-PHYによって行われる場合における図10に図示されている終端抵抗回路22の設定を示す図である。ドライバIC2との通信がMIPI D-PHYによって行われる場合には、上述の通り、フレキシブル配線基板3Bに設けられた伝送線 $57_1 \sim 57_6$ が、それぞれ、外部接続端子 $21_1 \sim 21_6$ に接続される。

30

## 【0070】

ドライバIC2との通信がMIPI D-PHYによって行われる場合、スイッチ $62_1 \sim 62_6$ 、スイッチ $64_1 \sim 64_6$ がオンされると共に、スイッチ $66_1 \sim 66_6$ がオフされる。このような設定によれば、外部接続端子 $21_1$ 、 $21_2$ が抵抗素子 $61_1$ 、 $61_2$ 、 $63_1$ 、 $63_2$ を介して接続され、外部接続端子 $21_3$ 、 $21_4$ が抵抗素子 $61_3$ 、 $61_4$ 、 $63_3$ 、 $63_4$ を介して接続され、外部接続端子 $21_5$ 、 $21_6$ が抵抗素子 $61_5$ 、 $61_6$ 、 $63_5$ 、 $63_6$ を介して接続される。言い換えれば、伝送線 $57_1$ 、 $57_2$ が抵抗素子 $61_1$ 、 $61_2$ 、 $63_1$ 、 $63_2$ を介して接続され、伝送線 $57_3$ 、 $57_4$ が抵抗素子 $61_3$ 、 $61_4$ 、 $63_3$ 、 $63_4$ を介して接続され、伝送線 $57_5$ 、 $57_6$ が抵抗素子 $61_5$ 、 $61_6$ 、 $63_5$ 、 $63_6$ を介して接続されることになる。このような接続は、MIPI D-PHYにおける推奨に沿ったものである。ここで、抵抗素子 $61_1 \sim 61_6$ 、 $63_1 \sim 63_6$ の抵抗値がそれぞれ $100 \Omega$ であれば、 $100 \Omega$ の終端抵抗が2つの外部接続端子 $21$ の間に接続されることになり、MIPI D-PHYにおける推奨に適合するため、より好ましい。ここで、抵抗素子 $61_1 \sim 61_6$ の抵抗値が $100 \Omega$ であれば、MIPI C-PHYにおける推奨にも同時に適合することに留意されたい。

40

## 【0071】

50

(液晶表示パネル及びフレキシブル配線基板における配線)

例えば図3Aに図示されているように、MIPIC-PHYによる通信が行われる場合には、各伝送線(51、52、53)が、液晶表示パネル1の2つの接続端子12に接続される。このとき、フレキシブル配線基板3Aにおいて、例えば、図3Aに図示されているような配線がなされると、各伝送線(51、52、53)を液晶表示パネル1の2つの接続端子12に接続する配線が交差する。この交差は、MIPIC-PHYによる通信の特性の劣化をもたらす可能性がある。以下に議論するように、このような問題は、液晶表示パネルとフレキシブル配線基板に形成される配線を適切に設計することで解消可能である。

【0072】

図12A~図12Cは、フレキシブル配線基板3Aにおける配線の交差を避けるように構成された表示モジュール10の構成の一例を示す概念図である。図12A~図12Cに図示されている構造の一つの特徴は、伝送線51、52、53に接続される接続端子12のそれぞれが、液晶表示パネル1に形成された配線を介してドライバIC2の2つの外部接続端子21に接続されていることである。伝送線51、52、53のそれぞれを、液晶表示パネル1の単一の接続端子12(12<sub>1</sub>、12<sub>3</sub>、12<sub>5</sub>)に接続すると、伝送線51、52、53のそれぞれが、液晶表示パネル1に形成された配線を通じて必要な2つの外部接続端子21に接続されるので、フレキシブル配線基板3Aにおける配線の交差を避けることができる。以下、図12A~図12Cに図示されている表示モジュール10の構成について説明する。

【0073】

図12Bは、液晶表示パネル1とドライバIC2との接続部、及び、液晶表示パネル1とフレキシブル配線基板3との接続部の構造の一例を概念的に示す断面図である。液晶表示パネル1のガラス基板1aの上には、配線11、14と接続端子12、13とが形成される。ドライバIC2の半導体チップ2aには、外部接続端子21が形成される。図12Bの構造では、各外部接続端子21は、パッド21aとバンプ21bとを備えている。フレキシブル配線基板3の樹脂基板3aには、配線50(例えば、伝送線51~53)が形成される。

【0074】

ドライバIC2の外部接続端子21のバンプ21bは、コンタクト15を介して液晶表示パネル1の接続端子13に接合される。コンタクト15としては、例えば、異方性導電膜(ACF(anisotropic conductive film))が用いられ得る。同様に、フレキシブル配線基板3の配線50は、コンタクト16を介して液晶表示パネル1の接続端子12に接合される。コンタクト16としては、例えば、異方性導電膜が用いられ得る。

【0075】

図12Cは、液晶表示パネル1に形成される配線の形状を示す平面図である。図12Cにおいて、符号2aで示されている破線で描かれた矩形は、ドライバIC2が配置される領域を示している。MIPIC-PHYによる通信が行われる表示モジュール10に適用される場合、液晶表示パネル1には、配線11<sub>1</sub>、11<sub>3</sub>、11<sub>5</sub>と、接続端子12<sub>1</sub>、12<sub>3</sub>、12<sub>5</sub>と、接続端子13<sub>1</sub>~13<sub>6</sub>と、配線14<sub>1</sub>~14<sub>3</sub>とが形成される。接続端子12<sub>1</sub>、12<sub>3</sub>、12<sub>5</sub>は、MIPIC-PHYによる通信が行われる際に、フレキシブル配線基板3Aに形成される伝送線51、52、53に接続される端子である。一方、接続端子13<sub>1</sub>~13<sub>6</sub>は、ドライバIC2の外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される端子である。配線11<sub>1</sub>、11<sub>3</sub>、11<sub>5</sub>は、それぞれ、接続端子12<sub>1</sub>、12<sub>3</sub>、12<sub>5</sub>と接続端子13<sub>1</sub>、13<sub>2</sub>、13<sub>5</sub>とを接続するように形成されている。一方、配線14<sub>1</sub>は、接続端子13<sub>1</sub>と接続端子13<sub>6</sub>とを接続するように形成されており、配線14<sub>2</sub>は、接続端子13<sub>2</sub>と接続端子13<sub>3</sub>とを接続するように形成されており、配線14<sub>3</sub>は、接続端子13<sub>4</sub>と接続端子13<sub>5</sub>とを接続するように形成されている。

【0076】

このような構成の液晶表示パネル1を用いれば、MIPIC-PHYによる通信が行

10

20

30

40

50

われる場合に、フレキシブル配線基板 3 A における配線の交差を避けながら伝送線 5 1、5 2、5 3 をドライバ IC 2 のレシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> に電氣的に接続することができる。より具体的には、図 1 2 A に図示されているように、M I P I C - P H Y による通信が行われる場合、フレキシブル配線基板 3 A に形成された伝送線 5 1、5 2、5 3 が、それぞれ、液晶表示パネル 1 の接続端子 1 2<sub>1</sub>、1 2<sub>3</sub>、1 2<sub>5</sub> に接続される一方で、ドライバ IC 2 の外部接続端子 2 1<sub>1</sub> ~ 2 1<sub>6</sub> が、それぞれ、液晶表示パネル 1 の接続端子 1 3<sub>1</sub> ~ 1 3<sub>6</sub> に接続される。

#### 【 0 0 7 7 】

ここで、図 1 2 C に図示されているように、液晶表示パネル 1 に形成された接続端子 1 3<sub>1</sub>、1 3<sub>6</sub> が配線 1 4<sub>1</sub> によって接続されているので、結果として、伝送線 5 1 は、外部接続端子 2 1<sub>1</sub> を介してレシーバ 2 3<sub>1</sub> の正転入力 (+) に接続され、更に、配線 1 4<sub>1</sub> 及び外部接続端子 2 1<sub>6</sub> を介してレシーバ 2 3<sub>3</sub> の反転入力 (-) に接続される。同様に、接続端子 1 3<sub>2</sub>、1 3<sub>3</sub> が配線 1 4<sub>2</sub> によって接続されているので、伝送線 5 2 は、外部接続端子 2 1<sub>3</sub> を介してレシーバ 2 3<sub>2</sub> の正転入力 (+) に接続され、更に、配線 1 4<sub>2</sub> 及び外部接続端子 2 1<sub>2</sub> を介してレシーバ 2 3<sub>1</sub> の反転入力 (-) に接続される。また、接続端子 1 3<sub>4</sub>、1 3<sub>5</sub> が配線 1 4<sub>3</sub> によって接続されているので、伝送線 5 3 は、外部接続端子 2 1<sub>5</sub> を介してレシーバ 2 3<sub>3</sub> の正転入力 (+) に接続され、更に、配線 1 4<sub>3</sub> 及び外部接続端子 2 1<sub>4</sub> を介してレシーバ 2 3<sub>2</sub> の反転入力 (-) に接続される。このような接続によれば、伝送線 5 1、5 2、5 3 で伝送される 3 値信号を、レシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> を用いて 2 値のシングルエンド信号に変換することができる。その一方で、伝送線 5 1、5 2、5 3 が、それぞれ、単一の接続端子 (1 2<sub>1</sub>、1 2<sub>3</sub>、1 2<sub>5</sub>) にしか接続されないので、フレキシブル配線基板 3 A における配線の交差を避けることができる。

#### 【 0 0 7 8 】

なお、図 1 2 A ~ 図 1 2 C に図示された構成では、フレキシブル配線基板 3 A の伝送線 5 1 が、液晶表示パネル 1 に形成された接続端子 1 2<sub>1</sub>、配線 1 1<sub>1</sub>、接続端子 1 3<sub>1</sub> を介してドライバ IC 2 の外部接続端子 2 1<sub>1</sub> に接続されているが、伝送線 5 1 は、外部接続端子 2 1<sub>1</sub> の代わりに外部接続端子 2 1<sub>6</sub> に接続されてもよい。この場合、配線 1 1<sub>1</sub>、接続端子 1 2<sub>1</sub> が形成される位置が変更され、配線 1 1<sub>1</sub>、接続端子 1 2<sub>1</sub> が、接続端子 1 3<sub>1</sub> の代わりに接続端子 1 3<sub>6</sub> に接続される。この場合でも、第 1 伝送線 5 1 は、配線 1 4<sub>1</sub> を介して外部接続端子 2 1<sub>1</sub> に電氣的に接続されるので、表示モジュール 1 0 は、同様に動作可能である。

#### 【 0 0 7 9 】

同様に、伝送線 5 2 は、外部接続端子 2 1<sub>3</sub> の代わりに外部接続端子 2 1<sub>2</sub> に接続されてもよい。この場合、配線 1 1<sub>3</sub>、接続端子 1 2<sub>3</sub> が形成される位置が変更され、配線 1 1<sub>3</sub>、接続端子 1 2<sub>3</sub> は、接続端子 1 3<sub>3</sub> の代わりに接続端子 1 3<sub>2</sub> に接続される。また、伝送線 5 3 は、外部接続端子 2 1<sub>5</sub> の代わりに外部接続端子 2 1<sub>4</sub> に接続されてもよい。この場合、配線 1 1<sub>5</sub>、接続端子 1 2<sub>5</sub> の位置が変更され、配線 1 1<sub>5</sub>、接続端子 1 2<sub>5</sub> は、接続端子 1 3<sub>5</sub> の代わりに接続端子 1 3<sub>4</sub> に接続される。

#### 【 0 0 8 0 】

図 1 3 A ~ 図 1 3 D は、フレキシブル配線基板 3 A における配線の交差を避けるように構成された表示モジュール 1 0 の構成の他の例を示す概念図である。図 1 3 A ~ 図 1 3 D に図示されている構造においては、フレキシブル配線基板 3 A の構造に工夫がされることで、フレキシブル配線基板 3 A における配線の交差が回避されている。以下、図 1 3 A ~ 図 1 3 D に図示されている表示モジュール 1 0 の構成について説明する。

#### 【 0 0 8 1 】

図 1 3 B は、図 1 3 A ~ 図 1 3 D に図示されている表示モジュール 1 0 における、液晶表示パネル 1 とドライバ IC 2 との接続部、及び、液晶表示パネル 1 とフレキシブル配線基板 3 A との接続部の構造の一例を概念的に示す断面図である。液晶表示パネル 1 のガラス基板 1 a の上には、配線 1 1 と接続端子 1 2、1 3 とが形成される。ドライバ IC 2 の

10

20

30

40

50

半導体チップ 2 a には、外部接続端子 2 1 が形成される。図 1 3 B の構造では、各外部接続端子 2 1 は、パッド 2 1 a と bumps 2 1 b とを備えている。フレキシブル配線基板 3 の樹脂基板 3 a には、配線 5 0 (例えば、伝送線 5 1 ~ 5 3) と、接続端子 7 1 と、配線 7 2 とが形成される。

【0082】

ドライバ IC 2 の外部接続端子 2 1 の bumps 2 1 b は、コンタクト 1 5 を介して液晶表示パネル 1 の接続端子 1 3 に接合される。コンタクト 1 5 としては、例えば、異方性導電膜 (ACF (anisotropic conductive film)) が用いられ得る。同様に、フレキシブル配線基板 3 の接続端子 7 1 は、コンタクト 1 6 を介して液晶表示パネル 1 の接続端子 1 2 に接合される。コンタクト 1 6 としては、例えば、異方性導電膜が用いられ得る。

10

【0083】

図 1 3 C は、MIPI C-PHY による通信が行われる場合に用いられるフレキシブル配線基板 3 A に形成される配線の形状を示す平面図である。フレキシブル配線基板 3 A には、伝送線 5 1、5 2、5 3 と、接続端子 7 1<sub>1</sub> ~ 7 1<sub>6</sub> と、配線 7 2<sub>1</sub> ~ 7 2<sub>3</sub> とが形成される。接続端子 7 1<sub>1</sub> ~ 7 1<sub>6</sub> は、それぞれ、液晶表示パネル 1 の接続端子 1 2<sub>1</sub> ~ 1 2<sub>6</sub> に接続される端子である。ここで、6 つの接続端子 7 1 のうち接続端子 7 1<sub>1</sub>、7 1<sub>3</sub>、7 1<sub>5</sub> が、それぞれ、伝送線 5 1、5 2、5 3 に接続されている。更に、接続端子 7 1<sub>1</sub>、7 1<sub>6</sub> が、配線 7 2<sub>1</sub> によって接続されている。また、接続端子 7 1<sub>2</sub>、7 1<sub>3</sub> が、配線 7 2<sub>2</sub> によって接続されており、接続端子 7 1<sub>4</sub>、7 1<sub>5</sub> が、配線 7 2<sub>3</sub> によって接続されている。

20

【0084】

ここで、図 1 3 C に図示されている構造では、接続端子 7 1<sub>1</sub>、7 1<sub>6</sub> (即ち、接続端子 7 1<sub>1</sub> ~ 7 1<sub>6</sub> のうち両端に位置する接続端子) を接続する配線 7 2<sub>1</sub> が、伝送線 5 1、5 2、5 3 が形成される領域に対して接続端子 7 1<sub>1</sub> ~ 7 1<sub>6</sub> の列を挟んで反対に位置していることに留意されたい。より具体的には、配線 7 2<sub>1</sub> は、接続端子 7 1<sub>1</sub> から伝送線 5 1、5 2、5 3 が形成される領域と反対の方向に延伸する配線部分 7 3 と、接続端子 7 1<sub>6</sub> から伝送線 5 1、5 2、5 3 が形成される領域と反対方向に延伸する配線部分 7 4 と、配線部分 7 3、7 4 を接続する配線部分 7 5 を備えている。このような配置によれば、フレキシブル配線基板 3 A において配線 7 2<sub>1</sub> が伝送線 5 1、5 2、5 3 と交差することを避けることができる。

30

【0085】

なお、図 1 3 C に図示されている配置では、接続端子 7 1<sub>2</sub>、7 1<sub>3</sub> を接続する配線 7 2<sub>2</sub> と接続端子 7 1<sub>4</sub>、7 1<sub>5</sub> を接続する配線 7 2<sub>3</sub> も、接続端子 7 1<sub>1</sub> ~ 7 1<sub>6</sub> の列を挟んで伝送線 5 1、5 2、5 3 が形成される領域と反対に位置しているが、配線 7 2<sub>2</sub>、7 2<sub>3</sub> は、伝送線 5 1、5 2、5 3 と交差しなければ、どのような配置であってもよい。例えば、配線 7 2<sub>2</sub> が接続する接続端子 7 1<sub>2</sub>、7 1<sub>3</sub> は隣接しているので、配線 7 2<sub>2</sub> は、接続端子 7 1<sub>2</sub>、7 1<sub>3</sub> を最短で結ぶように配置してもよい。配線 7 2<sub>3</sub> についても同様に、接続端子 7 1<sub>4</sub>、7 1<sub>5</sub> を最短で結ぶように配置してもよい。

【0086】

一方、図 1 3 D に図示されているように、液晶表示パネル 1 には、配線 1 1<sub>1</sub> ~ 1 1<sub>6</sub> と、接続端子 1 2<sub>1</sub> ~ 1 2<sub>6</sub> と、接続端子 1 3<sub>1</sub> ~ 1 3<sub>6</sub> とが形成される。上述のように、接続端子 1 2<sub>1</sub> ~ 1 2<sub>6</sub> は、フレキシブル配線基板 3 A の接続端子 7 1<sub>1</sub> ~ 7 1<sub>6</sub> に接続される端子であり、接続端子 1 3<sub>1</sub> ~ 1 3<sub>6</sub> は、ドライバ IC 2 の外部接続端子 2 1<sub>1</sub> ~ 2 1<sub>6</sub> に接続される端子である。

40

【0087】

このような構成の表示モジュール 1 0 でも、MIPI C-PHY による通信が行われる場合に、フレキシブル配線基板 3 A における配線の交差を避けながら伝送線 5 1、5 2、5 3 をドライバ IC 2 のレシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> に電氣的に接続することができる。より具体的には、図 1 3 A に図示されているように、フレキシブル配線基板 3 A では、伝送線 5 1、5 2、5 3 が接続端子 7 1<sub>1</sub>、7 1<sub>3</sub>、7 1<sub>5</sub> に接続され、更に、接続端子 7 1

50

1、71<sub>3</sub>、71<sub>5</sub>が配線72<sub>1</sub>、72<sub>2</sub>、72<sub>3</sub>を介してそれぞれ接続端子71<sub>6</sub>、71<sub>2</sub>、71<sub>4</sub>に接続されている。更に、接続端子71<sub>1</sub>～71<sub>6</sub>が、液晶表示パネル1の接続端子12<sub>1</sub>～12<sub>6</sub>に接続される一方で、ドライバIC2の外部接続端子21<sub>1</sub>～21<sub>6</sub>が、それぞれ、液晶表示パネル1の接続端子13<sub>1</sub>～13<sub>6</sub>に接続される。

#### 【0088】

このような接続によれば、伝送線51は、接続端子71<sub>1</sub>、接続端子12<sub>1</sub>、配線11<sub>1</sub>及び外部接続端子21<sub>1</sub>を介してレシーバ23<sub>1</sub>の正転入力(+)に接続され、更に、配線72<sub>1</sub>、接続端子71<sub>6</sub>、接続端子12<sub>6</sub>、配線11<sub>6</sub>及び外部接続端子21<sub>6</sub>を介してレシーバ23<sub>3</sub>の反転入力(-)に接続される。同様に、伝送線52は、接続端子71<sub>3</sub>、接続端子12<sub>3</sub>、配線11<sub>3</sub>及び外部接続端子21<sub>3</sub>を介してレシーバ23<sub>2</sub>の正転入力(+)に接続され、更に、配線72<sub>2</sub>、接続端子71<sub>2</sub>、接続端子12<sub>2</sub>、配線11<sub>2</sub>及び外部接続端子21<sub>2</sub>を介してレシーバ23<sub>1</sub>の反転入力(-)に接続される。また、伝送線53は、接続端子71<sub>5</sub>、接続端子12<sub>5</sub>、配線11<sub>5</sub>及び外部接続端子21<sub>5</sub>を介してレシーバ23<sub>3</sub>の正転入力(+)に接続され、更に、配線72<sub>3</sub>、接続端子71<sub>4</sub>、接続端子12<sub>4</sub>、配線11<sub>4</sub>及び外部接続端子21<sub>4</sub>を介してレシーバ23<sub>2</sub>の反転入力(-)に接続される。このような接続によれば、伝送線51、52、53で伝送される3値信号を、レシーバ23<sub>1</sub>～23<sub>3</sub>を用いて2値のシングルエンド信号に変換することができる。その一方で、伝送線51、52、53が、それぞれ、単一の接続端子(71<sub>1</sub>、71<sub>3</sub>、71<sub>5</sub>)にしか接続されないので、フレキシブル配線基板3Aにおける配線の交差を避けることができる。

10

20

#### 【0089】

なお、図13A～図13Dに図示されている構成では、フレキシブル配線基板3Aにおいて、伝送線51が接続端子71<sub>1</sub>に接続されているが、伝送線51は、接続端子71<sub>6</sub>に接続されていてもよい。この場合でも、伝送線51が配線72<sub>1</sub>を介して接続端子71<sub>1</sub>に電氣的に接続されるので、表示モジュール10は、同様に動作可能である。同様に、伝送線52は、接続端子71<sub>3</sub>の代わりに接続端子71<sub>2</sub>に接続されてもよい。この場合でも、伝送線52は、配線72<sub>2</sub>を介して接続端子71<sub>3</sub>に電氣的に接続される。更に、同様に、伝送線53は、接続端子71<sub>5</sub>の代わりに接続端子71<sub>4</sub>に接続されてもよい。この場合でも、伝送線52は、配線72<sub>3</sub>を介して接続端子71<sub>5</sub>に電氣的に接続される。

30

#### 【0090】

(ドライバICの内部におけるMIPI C-PHY及びMIPI D-PHYの切り換え)

上述されている実施形態では、フレキシブル配線基板3及び/又は液晶表示パネル1の配線を、MIPI C-PHYによる通信、及び、MIPI D-PHYによる通信のいずれを行うかに応じて設計することが求められる。しかしながら、液晶表示パネル1及びフレキシブル配線基板3に形成される配線を特殊な設計にすることは、ユーザにとって好ましくないことがある。

#### 【0091】

このような問題に対処するために、以下に述べられる実施形態では、液晶表示パネル1及びフレキシブル配線基板3に形成される配線の設計を単純化しながら、ドライバIC2の内部においてMIPI C-PHYによる通信、及び、MIPI D-PHYによる通信を切り替える構成が採用される。

40

#### 【0092】

図14は、その内部においてMIPI C-PHYによる通信、及び、MIPI D-PHYによる通信を切り替えるように構成されたドライバIC2の構成の一例を示す回路図である。図14に図示されているドライバIC2では、外部接続端子21<sub>1</sub>～21<sub>6</sub>とレシーバ23<sub>1</sub>～23<sub>3</sub>の入力との接続関係を切り替える入力側スイッチを備えるスイッチ回路81が追加される。

#### 【0093】

50

スイッチ回路 8 1 は、スイッチ 8 2<sub>1</sub> ~ 8 2<sub>6</sub> と、スイッチ 8 3<sub>1</sub> ~ 8 3<sub>3</sub> とを備えている。スイッチ 8 2<sub>1</sub> は、レシーバ 2 3<sub>1</sub> の正転入力 (+) と外部接続端子 2 1<sub>1</sub> の間に接続され、スイッチ 8 2<sub>2</sub> は、レシーバ 2 3<sub>1</sub> の反転入力 (-) と外部接続端子 2 1<sub>2</sub> の間に接続されている。スイッチ 8 2<sub>3</sub> は、レシーバ 2 3<sub>2</sub> の正転入力と外部接続端子 2 1<sub>3</sub> の間に接続され、スイッチ 8 2<sub>4</sub> は、レシーバ 2 3<sub>2</sub> の反転入力と外部接続端子 2 1<sub>4</sub> の間に接続されている。スイッチ 8 2<sub>5</sub> は、レシーバ 2 3<sub>3</sub> の正転入力と外部接続端子 2 1<sub>5</sub> の間に接続され、スイッチ 8 2<sub>6</sub> は、レシーバ 2 3<sub>3</sub> の反転入力と外部接続端子 2 1<sub>6</sub> の間に接続されている。

【0094】

スイッチ 8 3<sub>1</sub> ~ 8 3<sub>3</sub> は、レシーバ 2 3<sub>1</sub>、2 3<sub>2</sub>、2 3<sub>3</sub> の正転入力に接続されている外部接続端子 2 1<sub>1</sub>、2 1<sub>3</sub>、2 1<sub>5</sub> を、更に、レシーバ 2 3<sub>3</sub>、2 3<sub>1</sub>、2 3<sub>2</sub> の反転入力に接続するために用いられる。スイッチ 8 3<sub>1</sub> は、レシーバ 2 3<sub>1</sub> の反転入力と外部接続端子 2 1<sub>3</sub> の間に接続され、スイッチ 8 3<sub>2</sub> は、レシーバ 2 3<sub>2</sub> の反転入力と外部接続端子 2 1<sub>5</sub> の間に接続され、スイッチ 8 3<sub>3</sub> は、レシーバ 2 3<sub>3</sub> の反転入力と外部接続端子 2 1<sub>1</sub> の間に接続される。

10

【0095】

なお、図 1 4 では、図 8 に図示されている終端抵抗回路 2 2 が使用されているドライバ IC 2 の構成が図示されているが、他の構成の終端抵抗回路 2 2 (例えば、図 1 0 に図示されている終端抵抗回路 2 2) が用いられてもよい。

【0096】

図 1 5 A は、ドライバ IC 2 との通信が M I P I C - P H Y によって行われる場合における図 1 4 に図示されているドライバ IC 2 の設定を示す図である。本実施形態では、M I P I C - P H Y による通信が行われる場合、フレキシブル配線基板 3 A に設けられた伝送線 5 1 が外部接続端子 2 1<sub>1</sub> に接続され、伝送線 5 2 が外部接続端子 2 1<sub>3</sub> に接続され、伝送線 5 3 が外部接続端子 2 1<sub>5</sub> に接続される。

20

【0097】

ドライバ IC 2 との通信が M I P I C - P H Y によって行われる場合、スイッチ 8 2<sub>1</sub>、8 2<sub>3</sub>、8 2<sub>5</sub> 及びスイッチ 8 3<sub>1</sub>、8 3<sub>2</sub>、8 3<sub>3</sub> がオンされると共に、スイッチ 8 2<sub>2</sub>、8 2<sub>4</sub>、8 2<sub>6</sub> がオフされる。このような設定によれば、伝送線 5 1 が、レシーバ 2 3<sub>1</sub> の正転入力 (+) とレシーバ 2 3<sub>3</sub> の反転入力 (-) に接続され、伝送線 5 2 が、レシーバ 2 3<sub>2</sub> の正転入力 (+) とレシーバ 2 3<sub>1</sub> の反転入力 (-) に接続され、伝送線 5 3 が、レシーバ 2 3<sub>3</sub> の正転入力 (+) とレシーバ 2 3<sub>2</sub> の反転入力 (-) に接続される。したがって、伝送線 5 1、5 2、5 3 によって伝送される 3 値信号をレシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> によってシングルエンド信号に変換することができる。上述のように、レシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> から出力される信号は C - P H Y ブロック 2 4 に供給され、C - P H Y ブロック 2 4 では、レシーバ 2 3<sub>1</sub> ~ 2 3<sub>3</sub> から出力される信号に対して M I P I C - P H Y に従った信号処理が行われ、受信データ D<sub>C - P H Y</sub> が生成される。

30

【0098】

なお、M I P I C - P H Y による通信が行われる場合、終端抵抗回路 2 2 においては、スイッチ 6 6<sub>1</sub>、6 6<sub>3</sub>、6 6<sub>5</sub> がオンされ、スイッチ 6 2<sub>1</sub>、6 2<sub>3</sub>、6 2<sub>5</sub> 及び 6 4<sub>2</sub>、6 4<sub>4</sub>、6 4<sub>6</sub> がオフされる。これにより抵抗素子 6 1<sub>1</sub>、6 1<sub>3</sub>、6 1<sub>5</sub> が、M I P I C - P H Y において推奨されているように Y 結線によって接続されることは上述されている通りである。

40

【0099】

一方、図 1 5 B は、ドライバ IC 2 との通信が M I P I D - P H Y によって行われる場合の終端抵抗回路 2 2 の設定を示す図である。ドライバ IC 2 との通信が M I P I D - P H Y によって行われる場合には、フレキシブル配線基板 3 B に設けられた伝送線 5 7<sub>1</sub> ~ 5 7<sub>6</sub> が、それぞれ外部接続端子 2 1<sub>1</sub> ~ 2 1<sub>6</sub> に接続される。

【0100】

ドライバ IC 2 との通信が M I P I D - P H Y によって行われる場合、スイッチ 8 2

50

$1 \sim 8 2_6$  がオンされると共に、スイッチ  $8 3_1 \sim 8 3_3$  がオフされる。このような設定によれば、伝送線  $5 7_1$ 、 $5 7_2$  が、それぞれ、レシーバ  $2 3_1$  の正転入力 (+) 及び反転入力 (-) に接続され、伝送線  $5 7_3$ 、 $5 7_4$  が、それぞれ、レシーバ  $2 3_2$  の正転入力及び反転入力に接続され、伝送線  $5 7_5$ 、 $5 7_6$  が、それぞれ、レシーバ  $2 3_3$  の正転入力及び反転入力に接続される。したがって、伝送線  $5 7_1$ 、 $5 7_2$  で伝送される差動信号、伝送線  $5 7_3$ 、 $5 7_4$  で伝送される差動信号、伝送線  $5 7_5$ 、 $5 7_6$  で伝送される差動信号をレシーバ  $2 3_1 \sim 2 3_3$  によってシングルエンド信号に変換することができる。上述のように、レシーバ  $2 3_1 \sim 2 3_3$  から出力される信号は D - P H Y ブロック 2 5 に供給され、D - P H Y ブロック 2 5 では、レシーバ  $2 3_1 \sim 2 3_3$  から出力される信号に対して M I P I D - P H Y に従った信号処理が行われ、受信データ  $D_D - P H Y$  が生成される。

10

#### 【0101】

なお、M I P I D - P H Y による通信が行われる場合、終端抵抗回路 2 2 においては、スイッチ  $6 2_1$ 、 $6 2_3$ 、 $6 2_5$  及び  $6 4_2$ 、 $6 4_4$ 、 $6 4_6$  がオンされ、スイッチ  $6 6_1$ 、 $6 6_3$ 、 $6 6_5$  がオフされる。これにより、伝送線  $5 7_1$ 、 $5 7_2$  が抵抗素子  $6 1_1$ 、 $6 3_2$  を介して接続され、伝送線  $5 7_3$ 、 $5 7_4$  が抵抗素子  $6 1_3$ 、 $6 3_4$  を介して接続され、伝送線  $5 7_5$ 、 $5 7_6$  が抵抗素子  $6 1_5$ 、 $6 3_6$  を介して接続されることになる。このような接続は、M I P I D - P H Y における推奨に沿ったものである。

#### 【0102】

このように、図 1 4 に図示されているドライバ I C 2 の構成によれば、ドライバ I C 2 の内部において M I P I C - P H Y による通信、及び、M I P I D - P H Y による通信を切り替えることができる。

20

#### 【0103】

レシーバ  $2 3_1$ 、 $2 3_2$ 、 $2 3_3$  の入力と外部接続端子  $2 1_1 \sim 2 1_6$  の間にスイッチ回路 8 1 を設ける代わりに、各レシーバが、M I P I C - P H Y による通信のための入力段と、M I P I D - P H Y による通信のための入力段とを備えており、それらの入力段を選択するように構成されてもよい。図 1 6 は、このような構成のドライバ I C 2 の構成を示す回路図である。

#### 【0104】

図 1 6 に図示されているドライバ I C 2 は、レシーバ  $2 3 A_1$ 、 $2 3 A_2$ 、 $2 3 A_3$  を備えている。レシーバ  $2 3 A_1$  は、入力段  $9 1_1$ 、 $9 2_1$  と、出力選択スイッチ  $9 3_1$ 、 $9 4_1$  と、出力段  $9 5_1$  とを備えている。入力段  $9 1_1$  は、M I P I D - P H Y による通信が行われる場合に用いられる差動入力回路であり、正転入力 (+) が外部接続端子  $2 1_1$  に接続され、反転入力 (-) が外部接続端子  $2 1_2$  に接続されている。入力段  $9 2_1$  は、M I P I C - P H Y による通信が行われる場合に用いられる差動入力回路であり、正転入力 (+) が外部接続端子  $2 1_1$  に接続され、反転入力 (-) が外部接続端子  $2 1_3$  に接続されている。出力選択スイッチ  $9 3_1$  は、入力段  $9 1_1$  の出力と出力段  $9 5_1$  の入力の間に接続されており、出力選択スイッチ  $9 4_1$  は、入力段  $9 2_1$  の出力と出力段  $9 5_1$  の入力の間に接続されている。出力段  $9 5_1$  は、入力段  $9 1_1$ 、 $9 2_1$  のうち、出力選択スイッチ  $9 3_1$ 、 $9 4_1$  によって選択された一方の入力段から出力される出力信号に応じたシングルエンド信号を出力する。入力段  $9 1_1$ 、 $9 2_1$  としては、一般的に用いられる簡単な回路構成の差動増幅回路を用いることができる。

30

40

#### 【0105】

レシーバ  $2 3 A_2$ 、 $2 3 A_3$  も同様の構成を有している。レシーバ  $2 3 A_2$  は、入力段  $9 1_2$ 、 $9 2_2$  と、出力選択スイッチ  $9 3_2$ 、 $9 4_2$  と、出力段  $9 5_2$  とを備えている。入力段  $9 1_2$  は、M I P I D - P H Y による通信が行われる場合に用いられる差動入力回路であり、正転入力 (+) が外部接続端子  $2 1_3$  に接続され、反転入力 (-) が外部接続端子  $2 1_4$  に接続されている。入力段  $9 2_2$  は、M I P I C - P H Y による通信が行われる場合に用いられる差動入力回路であり、正転入力 (+) が外部接続端子  $2 1_3$  に接続され、反転入力 (-) が外部接続端子  $2 1_5$  に接続されている。出力選択スイッチ  $9 3$

50

2 は、入力段 9 1 2 の出力と出力段 9 5 2 の入力の間に接続されており、出力選択スイッチ 9 4 2 は、入力段 9 2 2 の出力と出力段 9 5 2 の入力の間に接続されている。出力段 9 5 2 は、入力段 9 1 2、9 2 2 のうち、出力選択スイッチ 9 3 2、9 4 2 によって選択された一方の入力段から出力される出力信号に応じたシングルエンド信号を出力する。入力段 9 1 2、9 2 2 としては、一般的に用いられる簡単な回路構成の差動増幅回路を用いることができる。

#### 【0106】

同様に、レシーバ 2 3 A 3 は、入力段 9 1 3、9 2 3 と、出力選択スイッチ 9 3 3、9 4 3 と、出力段 9 5 3 とを備えている。入力段 9 1 3 は、M I P I D - P H Y による通信が行われる場合に用いられる差動入力回路であり、正転入力 (+) が外部接続端子 2 1 5 に接続され、反転入力 (-) が外部接続端子 2 1 6 に接続されている。入力段 9 2 3 は、M I P I C - P H Y による通信が行われる場合に用いられる差動入力回路であり、正転入力 (+) が外部接続端子 2 1 5 に接続され、反転入力 (-) が外部接続端子 2 1 1 に接続されている。出力選択スイッチ 9 3 3 は、入力段 9 1 3 の出力と出力段 9 5 3 の入力の間に接続されており、出力選択スイッチ 9 4 3 は、入力段 9 2 3 の出力と出力段 9 5 3 の入力の間に接続されている。出力段 9 5 3 は、入力段 9 1 3、9 2 3 のうち、出力選択スイッチ 9 3 3、9 4 3 によって選択された一方の入力段から出力される出力信号に応じたシングルエンド信号を出力する。入力段 9 1 3、9 2 3 としては、一般的に用いられる簡単な回路構成の差動増幅回路を用いることができる。

10

#### 【0107】

図 1 7 A は、ドライバ I C 2 との通信が M I P I C - P H Y によって行われる場合における図 1 6 に図示されているドライバ I C 2 の設定を示す図である。本実施形態では、ドライバ I C 2 との通信が M I P I C - P H Y によって行われる場合、フレキシブル配線基板 3 A に設けられた伝送線 5 1、5 2、5 3 がそれぞれ、外部接続端子 2 1 1、2 1 3、2 1 5 に接続される。

20

#### 【0108】

ドライバ I C 2 との通信が M I P I C - P H Y によって行われる場合、レシーバ 2 3 A 1 では、出力選択スイッチ 9 3 1 がオフされると共に出力選択スイッチ 9 4 1 がオンされて、入力段 9 2 1 が選択される。同様に、レシーバ 2 3 A 2 では、出力選択スイッチ 9 3 2 がオフされると共に出力選択スイッチ 9 4 2 がオンされて、入力段 9 2 2 が選択され、また、レシーバ 2 3 A 3 では、出力選択スイッチ 9 3 3 がオフされると共に出力選択スイッチ 9 4 3 がオンされて、入力段 9 2 3 が選択される。ここで、伝送線 5 1 が、レシーバ 2 3 A 1 の入力段 9 2 1 の正転入力 (+) とレシーバ 2 3 A 3 の入力段 9 2 3 の反転入力 (-) に接続され、伝送線 5 2 が、レシーバ 2 3 A 2 の入力段 9 2 2 の正転入力 (+) とレシーバ 2 3 A 1 の入力段 9 2 1 の反転入力 (-) に接続され、伝送線 5 3 が、レシーバ 2 3 A 3 の入力段 9 2 3 の正転入力 (+) 及びレシーバ 2 3 A 2 の入力段 9 2 2 の反転入力 (-) に接続されていることに留意されたい。このような接続により、伝送線 5 1、5 2、5 3 によって伝送される 3 値信号をレシーバ 2 3 A 1 ~ 2 3 A 3 によってシングルエンド信号に変換することができる。上述のように、レシーバ 2 3 A 1 ~ 2 3 A 3 から出力される信号は C - P H Y ブロック 2 4 に供給され、C - P H Y ブロック 2 4 では、レシーバ 2 3 A 1 ~ 2 3 A 3 から出力される信号に対して M I P I C - P H Y に従った信号処理が行われ、受信データ D C - P H Y が生成される。

30

40

#### 【0109】

なお、M I P I C - P H Y による通信が行われる場合、終端抵抗回路 2 2 においては、スイッチ 6 6 1、6 6 3、6 6 5 がオンされ、スイッチ 6 2 1、6 2 3、6 2 5 及び 6 4 2、6 4 4、6 4 6 がオフされる。これにより抵抗素子 6 1 1、6 1 3、6 1 5 が、M I P I C - P H Y において推奨されているように Y 結線によって接続されることは上述されている通りである。

#### 【0110】

一方、図 1 7 B は、ドライバ I C 2 との通信が M I P I D - P H Y によって行われる

50

場合のドライバIC 2の設定を示す図である。ドライバIC 2との通信がMIPI D-PHYによって行われる場合には、上述の通り、フレキシブル配線基板3Bに設けられた伝送線57<sub>1</sub>~57<sub>6</sub>が、それぞれ外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される。

【0111】

ドライバIC 2との通信がMIPI D-PHYによって行われる場合、レシーバ23A<sub>1</sub>では、出力選択スイッチ94<sub>1</sub>がオフされると共に出力選択スイッチ93<sub>1</sub>がオンされて、入力段91<sub>1</sub>が選択される。同様に、レシーバ23A<sub>2</sub>では、出力選択スイッチ94<sub>2</sub>がオフされると共に出力選択スイッチ93<sub>2</sub>がオンされて、入力段91<sub>2</sub>が選択され、また、レシーバ23A<sub>3</sub>では、出力選択スイッチ94<sub>3</sub>がオフされると共に出力選択スイッチ93<sub>3</sub>がオンされて、入力段91<sub>3</sub>が選択される。

10

【0112】

ここで、伝送線57<sub>1</sub>、57<sub>2</sub>が、レシーバ23A<sub>1</sub>の入力段91<sub>1</sub>の正転入力(+)、反転入力(-)にそれぞれ接続され、伝送線57<sub>3</sub>、57<sub>4</sub>が、レシーバ23A<sub>2</sub>の入力段91<sub>2</sub>の正転入力(+)、反転入力(-)にそれぞれ接続され、伝送線57<sub>5</sub>、57<sub>6</sub>が、レシーバ23A<sub>3</sub>の入力段91<sub>3</sub>の正転入力(+)、反転入力(-)にそれぞれ接続されていることに留意されたい。このような接続により、伝送線57<sub>1</sub>、57<sub>2</sub>によって伝送される差動信号をレシーバ23A<sub>1</sub>によってシングルエンド信号に変換し、伝送線57<sub>3</sub>、57<sub>4</sub>によって伝送される差動信号をレシーバ23A<sub>2</sub>によってシングルエンド信号に変換し、伝送線57<sub>5</sub>、57<sub>6</sub>によって伝送される差動信号をレシーバ23A<sub>3</sub>によってシングルエンド信号に変換することができる。上述のように、レシーバ23A<sub>1</sub>~23A<sub>3</sub>から出力される信号はD-PHYブロック25に供給され、D-PHYブロック25では、レシーバ23A<sub>1</sub>~23A<sub>3</sub>から出力される信号に対してMIPI D-PHYに従った信号処理が行われ、受信データD<sub>D-PHY</sub>が生成される。

20

【0113】

なお、MIPI D-PHYによる通信が行われる場合、終端抵抗回路22においては、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>及び64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>がオンされ、スイッチ66<sub>1</sub>、66<sub>3</sub>、66<sub>5</sub>がオフされる。これにより、伝送線57<sub>1</sub>、57<sub>2</sub>が抵抗素子61<sub>1</sub>、63<sub>2</sub>を介して接続され、伝送線57<sub>3</sub>、57<sub>4</sub>が抵抗素子61<sub>3</sub>、63<sub>4</sub>を介して接続され、伝送線57<sub>5</sub>、57<sub>6</sub>が抵抗素子61<sub>5</sub>、63<sub>6</sub>を介して接続されることになる。このような接続は、MIPI D-PHYにおける推奨に沿ったものである。

30

【0114】

図16では、図8に図示されている終端抵抗回路22を備えたドライバIC 2の構成が図示されているが、終端抵抗回路22の構成は様々に変更され得る。例えば、図10に図示されている終端抵抗回路22が、代わりに用いられてもよい。

【0115】

ここで、図16に図示されているように、各レシーバ23Aが、MIPI D-PHYによる通信の際に伝送される差動信号を受信する入力段91と、MIPI C-PHYによる通信の際に伝送される3値信号を受信する入力段92とを別々に有する構成が採用される場合には、回路素子の数が少ない簡略な構成の終端抵抗回路22を用いることができる。図18は、回路素子の数が少ない終端抵抗回路22が用いられる場合のドライバIC 2の構成の一例を示す回路図である。

40

【0116】

図18のドライバIC 2では、終端抵抗回路22が、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>と、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>と、抵抗素子63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>と、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>と、キャパシタ65<sub>1</sub>、65<sub>2</sub>、65<sub>3</sub>と、スイッチ68<sub>1</sub>、68<sub>2</sub>とを備えている。好適な一実施形態では、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>、抵抗素子63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>の抵抗値は、いずれも、50Ωである。

【0117】

キャパシタ65<sub>1</sub>、65<sub>2</sub>、65<sub>3</sub>は、それぞれ、共通接続ノードN<sub>COM1</sub>、N<sub>COM2</sub>、N<sub>COM3</sub>と回路接地の間に接続されている。キャパシタ65<sub>1</sub>、65<sub>2</sub>、65<sub>3</sub>

50

により、共通接続ノード  $N_{COM1}$ 、 $N_{COM2}$ 、 $N_{COM3}$  は、交流的に接地されることになる。

【0118】

抵抗素子  $61_1$  とスイッチ  $62_1$  とは、外部接続端子  $21_1$  と共通接続ノード  $N_{COM1}$  の間に直列に接続されており、更に、抵抗素子  $63_2$  とスイッチ  $64_2$  は、外部接続端子  $21_2$  と共通接続ノード  $N_{COM1}$  の間に直列に接続されている。抵抗素子  $61_3$  とスイッチ  $62_3$  とは、外部接続端子  $21_3$  と共通接続ノード  $N_{COM2}$  の間に直列に接続されており、更に、抵抗素子  $63_4$  とスイッチ  $64_4$  は、外部接続端子  $21_4$  と共通接続ノード  $N_{COM2}$  の間に直列に接続されている。また、抵抗素子  $61_5$  とスイッチ  $62_5$  とは、外部接続端子  $21_5$  と共通接続ノード  $N_{COM3}$  の間に直列に接続されており、更に、抵抗素子  $63_6$  とスイッチ  $64_6$  は、外部接続端子  $21_6$  と共通接続ノード  $N_{COM3}$  の間に直列に接続されている。

10

【0119】

更に、スイッチ  $68_1$  は、共通接続ノード  $N_{COM1}$ 、 $N_{COM2}$  の間に接続され、スイッチ  $68_2$  は、共通接続ノード  $N_{COM2}$ 、 $N_{COM3}$  の間に接続される。

【0120】

図19Aは、ドライバIC2との通信がMIPI C-PHYによって行われる場合における図18に図示されているドライバIC2の設定を示す図である。ドライバIC2との通信がMIPI C-PHYによって行われる場合には、フレキシブル配線基板3Aに設けられた伝送線51、52、53が、それぞれ、外部接続端子  $21_1$ 、 $21_3$ 、 $21_5$  に接続される。

20

【0121】

ドライバIC2との通信がMIPI C-PHYによって行われる場合には、上述の通り、レシーバ  $23A_1$  では、出力選択スイッチ  $93_1$  がオフされると共に出力選択スイッチ  $94_1$  がオンされて、入力段  $92_1$  が選択される。同様に、レシーバ  $23A_2$  では、出力選択スイッチ  $93_2$  がオフされると共に出力選択スイッチ  $94_2$  がオンされて、入力段  $92_2$  が選択され、また、レシーバ  $23A_3$  では、出力選択スイッチ  $93_3$  がオフされると共に出力選択スイッチ  $94_3$  がオンされて、入力段  $92_3$  が選択される。このような接続により、伝送線51、52、53によって伝送される3値信号をレシーバ  $23A_1 \sim 23A_3$  によってシングルエンド信号に変換することができる。

30

【0122】

一方、終端抵抗回路22では、スイッチ  $62_1$ 、 $62_3$ 、 $62_5$  及びスイッチ  $68_1$ 、 $68_2$  がオンされ、スイッチ  $64_2$ 、 $64_4$ 、 $64_6$  がオフされる。スイッチ  $68_1$ 、 $68_2$  がオンされるので、共通接続ノード  $N_{COM1} \sim N_{COM3}$  が電氣的に接続される。電氣的に接続された共通接続ノード  $N_{COM1} \sim N_{COM3}$  は、電氣的に一つのノードと考えるので、以下では、電氣的に接続された共通接続ノード  $N_{COM1} \sim N_{COM3}$  を共通接続ノード  $N_{COM1-3}$  と記載する。更に、スイッチ  $62_1$ 、 $62_3$ 、 $62_5$  がオンされるので、抵抗素子  $61_1$ 、 $61_3$ 、 $61_5$  が共通接続ノード  $N_{COM1-3}$  に共通に接続される。この結果、伝送線51は、抵抗素子  $61_1$  を介して共通接続ノード  $N_{COM1-3}$  に接続され、伝送線52は、抵抗素子  $61_2$  を介して共通接続ノード  $N_{COM1-3}$  に接続され、伝送線53は、抵抗素子  $61_3$  を介して共通接続ノード  $N_{COM1-3}$  に接続される。即ち、抵抗素子  $61_1$ 、 $61_3$ 、 $61_5$  が、伝送線51、52、53にMIPI C-PHYにおいて推奨されるY結線によって接続されることになる。ここで、抵抗素子  $61_1$ 、 $61_3$ 、 $61_5$  の抵抗値が50であれば、50の終端抵抗がY結線によって接続されることになり、MIPI C-PHYにおける推奨に適合するため、より好ましい。

40

【0123】

図19Aに図示されている終端抵抗回路22の設定では、外部接続端子  $21_2$ 、 $21_4$ 、 $21_6$  及びそれらに電氣的に接続されているノードが電氣的にフローティングになる。外部接続端子  $21_2$ 、 $21_4$ 、 $21_6$  及びそれらに電氣的に接続されているノードが電氣

50

的にフローティングになると、信号クロストークにより、レシーバ23A<sub>1</sub>、23A<sub>2</sub>、23A<sub>3</sub>の入力段92<sub>1</sub>、92<sub>2</sub>、92<sub>3</sub>に入力される信号にノイズが発生し得るため、好ましくない。

#### 【0124】

このような問題に対処するためには、図19Bに図示されているように、ドライバIC2との通信がMIPI C-PHYによって行われる場合に、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>及びスイッチ68<sub>1</sub>、68<sub>2</sub>に加え、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>をオンすればよい。これにより、外部接続端子21<sub>2</sub>、21<sub>4</sub>、21<sub>6</sub>が抵抗素子63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>及びスイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>を通じて共通接続ノードN<sub>COM1-3</sub>に接続されるので、外部接続端子21<sub>2</sub>、21<sub>4</sub>、21<sub>6</sub>がフローティングにならず、信号クロストークを低減することができる。

10

#### 【0125】

一方、図19Cは、ドライバIC2との通信がMIPI D-PHYによって行われる場合の終端抵抗回路22の設定を示す図である。ドライバIC2との通信がMIPI D-PHYによって行われる場合には、フレキシブル配線基板3に設けられた伝送線57<sub>1</sub>~57<sub>6</sub>が、それぞれ外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される。このような接続により、伝送線57<sub>1</sub>、57<sub>2</sub>によって伝送される差動信号をレシーバ23A<sub>1</sub>によってシングルエンド信号に変換し、伝送線57<sub>3</sub>、57<sub>4</sub>によって伝送される差動信号をレシーバ23A<sub>2</sub>によってシングルエンド信号に変換し、伝送線57<sub>5</sub>、57<sub>6</sub>によって伝送される差動信号をレシーバ23A<sub>3</sub>によってシングルエンド信号に変換することができる。

20

#### 【0126】

ドライバIC2との通信がMIPI D-PHYによって行われる場合には、上述の通り、レシーバ23A<sub>1</sub>では、出力選択スイッチ93<sub>1</sub>がオンされると共に出力選択スイッチ94<sub>1</sub>がオフされて、入力段91<sub>1</sub>が選択される。同様に、レシーバ23A<sub>2</sub>では、出力選択スイッチ93<sub>2</sub>がオンされると共に出力選択スイッチ94<sub>2</sub>がオフされて、入力段91<sub>2</sub>が選択され、また、レシーバ23A<sub>3</sub>では、出力選択スイッチ93<sub>3</sub>がオンされると共に出力選択スイッチ94<sub>3</sub>がオフされて、入力段91<sub>3</sub>が選択される。このような接続により、伝送線57<sub>1</sub>、57<sub>2</sub>によって伝送される差動信号をレシーバ23A<sub>1</sub>によってシングルエンド信号に変換し、伝送線57<sub>3</sub>、57<sub>4</sub>によって伝送される差動信号をレシーバ23A<sub>2</sub>によってシングルエンド信号に変換し、伝送線57<sub>5</sub>、57<sub>6</sub>によって伝送される差動信号をレシーバ23A<sub>3</sub>によってシングルエンド信号に変換することができる。

30

#### 【0127】

一方、終端抵抗回路22では、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>がオンされると共に、スイッチ68<sub>1</sub>、66<sub>2</sub>がオフされる。このような設定によれば、伝送線57<sub>1</sub>、57<sub>2</sub>が抵抗素子61<sub>1</sub>、63<sub>2</sub>を介して接続され、伝送線57<sub>3</sub>、57<sub>4</sub>が抵抗素子61<sub>3</sub>、63<sub>4</sub>を介して接続され、伝送線57<sub>5</sub>、57<sub>6</sub>が抵抗素子61<sub>5</sub>、63<sub>6</sub>を介して接続される。このような接続は、MIPI D-PHYにおける推奨に沿ったものである。ここで、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>、63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>の抵抗値がそれぞれ50Ωであれば、100Ωの終端抵抗が2つの外部接続端子21の間に接続されることになり、MIPI D-PHYにおける推奨に適合するため、より好ましい。ここで、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>の抵抗値が50Ωであれば、MIPI C-PHYにおける推奨にも同時に適合することに留意されたい。

40

#### 【0128】

以上には、本発明の実施形態が具体的に記述されているが、本発明は、上記の実施形態に限定されると解釈してはならない。本発明が様々な変更と共に実施され得ることは、当業者には自明的であろう。例えば、上記では、本発明が液晶表示パネルを備える表示モジュール装置に適用されている実施形態が記載されているが、本発明は、他の表示パネルを備える表示モジュール(例えば、OLED(organic light emitting diode)表示パネルを備える表示モジュール)にも適用可能である。

50

## 【 0 1 2 9 】

また、本発明は、M I P I D - P H Yによる通信又はM I P I C - P H Yによる通信を行うシステムで用いられる半導体デバイスモジュールに一般に適用可能である。この場合、表示パネル（上述の実施形態では、液晶表示パネル1）に設けられた配線を介さずに半導体装置（上述の実施形態では、ドライバIC2）に設けられた外部接続端子に、フレキシブル配線基板に設けられた配線が接続されてもよい。

## 【 0 1 3 0 】

また、上記の実施形態は、技術的な矛盾がない限り、組み合わせて実施され得ることに留意されたい。

## 【 符号の説明 】

10

## 【 0 1 3 1 】

1 0 : 表示モジュール  
 1 : 液晶表示パネル  
 1 a : ガラス基板  
 2 : ドライバIC  
 2 a : 半導体チップ  
 3、3 A、3 B : フレキシブル配線基板  
 3 a : 樹脂基板  
 4 : 表示領域  
 1 1 : 配線  
 1 2、1 3 : 接続端子  
 1 4 : 配線  
 1 5、1 6 : コンタクト  
 2 1 : 外部接続端子  
 2 1 a : パッド  
 2 1 b : バンプ  
 2 2 : 終端抵抗回路  
 2 3、2 3 A : レシーバ  
 2 4 : C - P H Yブロック  
 2 5 : D - P H Yブロック  
 2 6 : セレクタ  
 2 7 : 論理ブロック  
 2 8 : 駆動ブロック  
 2 9 : トランスミッタ  
 3 1 : クロック再生回路  
 3 2、3 3、3 4 : フリップフロップ  
 3 5 : デシリアライザ  
 3 6 : C - P H Yプロトコル処理回路  
 4 1、4 2、4 3 : フリップフロップ  
 4 4 : デシリアライザ  
 4 5 : D - P H Yプロトコル処理回路  
 5 0 : 配線  
 5 1、5 2、5 3 : 伝送線  
 5 4、5 5、5 6 : トランスミッタ  
 5 7 : 伝送線  
 5 8 : トランスミッタ  
 6 1、6 3 : 抵抗素子  
 6 2、6 4 : スイッチ  
 6 5 : キャパシタ  
 6 6 : スイッチ

20

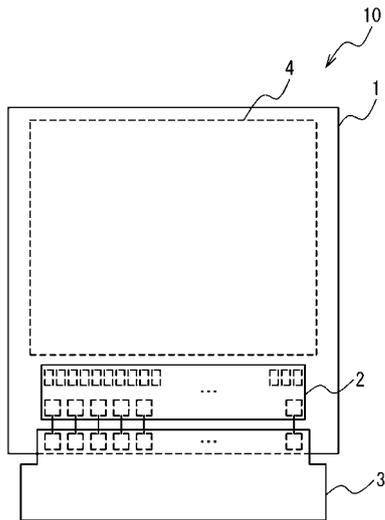
30

40

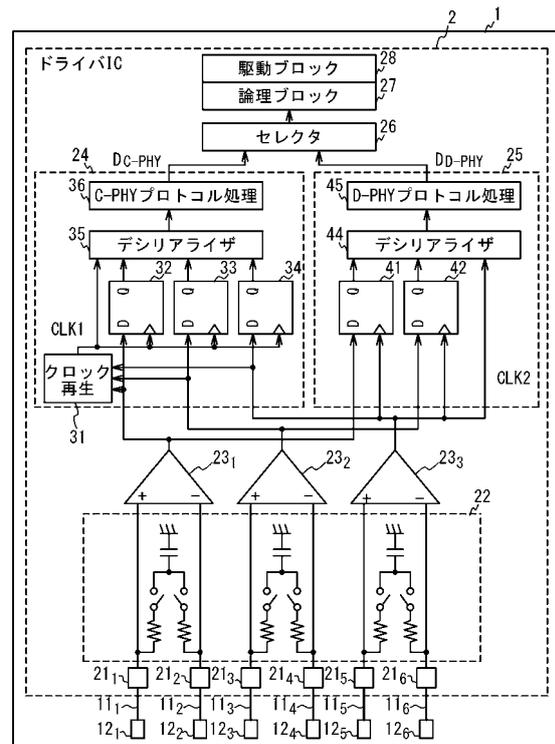
50

- 67 : C-PHYキャパシタ
- 71 : 接続端子
- 72 : 配線
- 73、74、75 : 配線部分
- 81 : スイッチ回路
- 82、83 : スイッチ
- 91、92 : 入力段
- 93、94 : 出力選択スイッチ
- 95 : 出力段
- N<sub>1</sub> ~ N<sub>6</sub> : ノード
- N<sub>COM1</sub> ~ N<sub>COM4</sub>、N<sub>COM1-3</sub> : 共通接続ノード

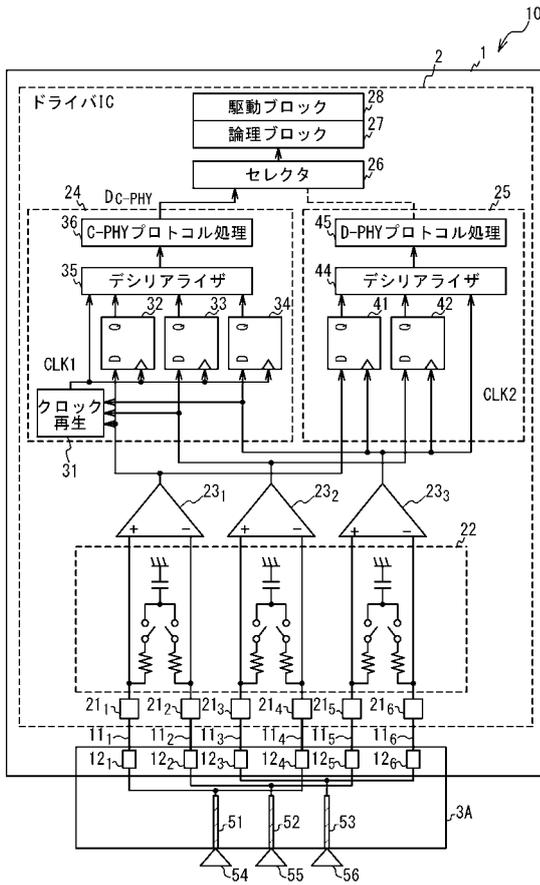
【図1】



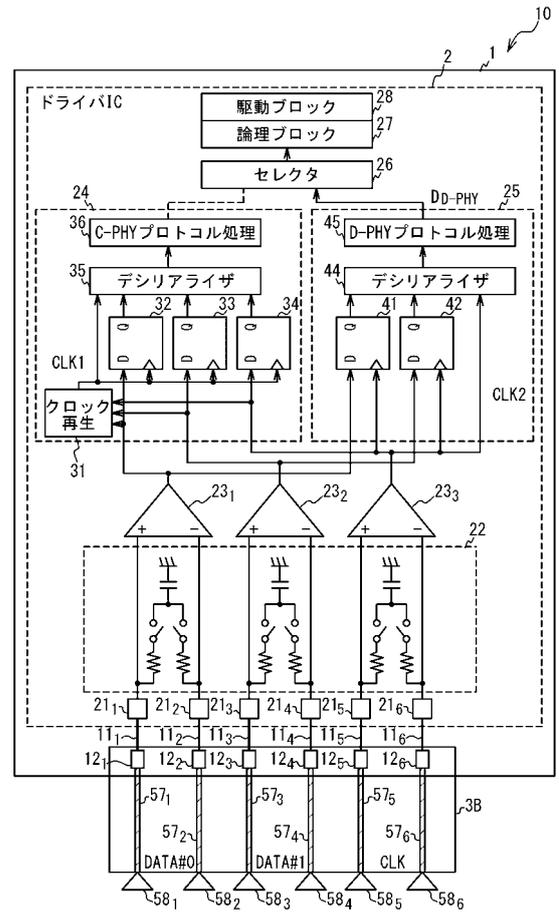
【図2】



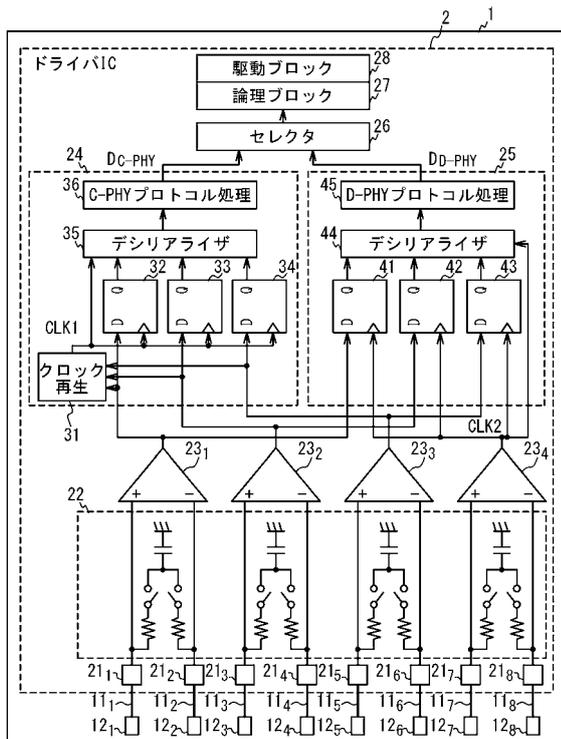
【図3A】



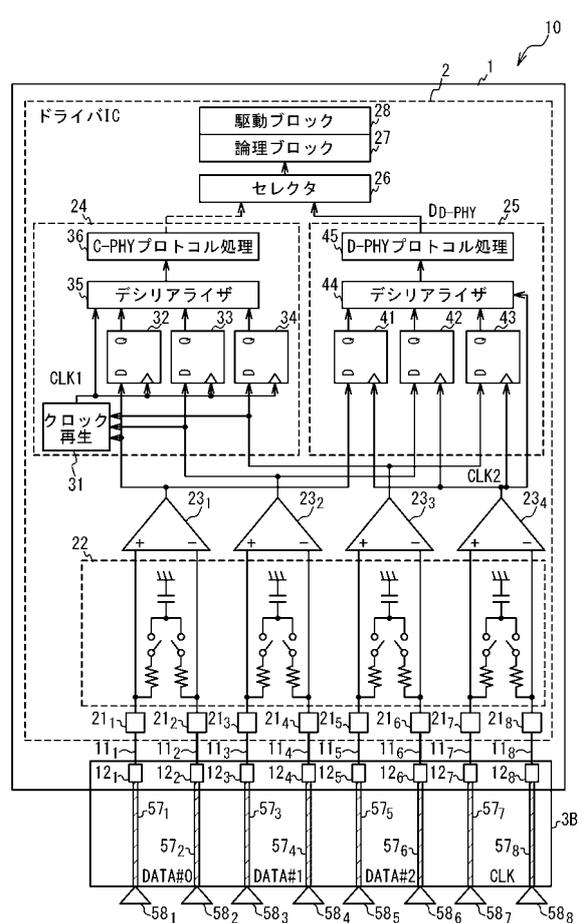
【図3B】



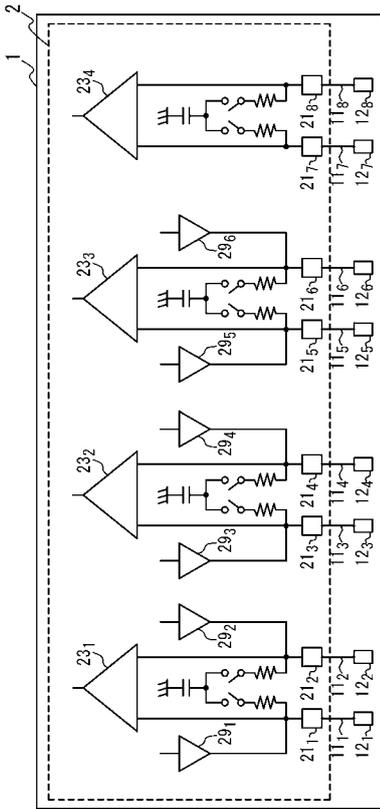
【図4】



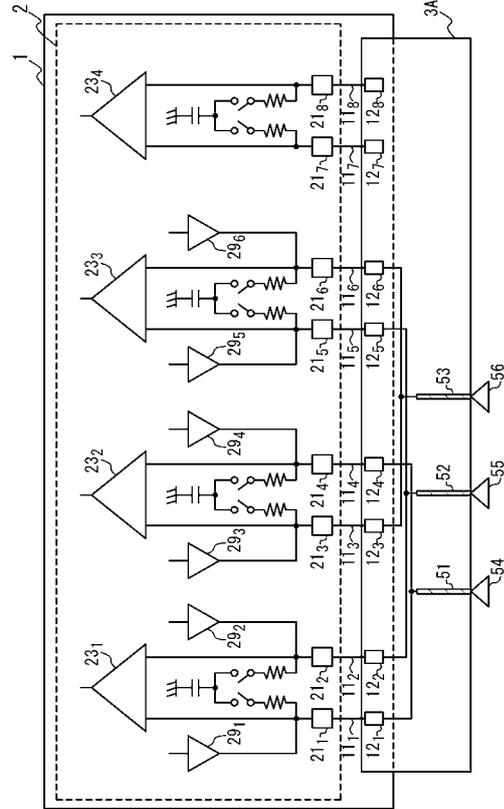
【図5】



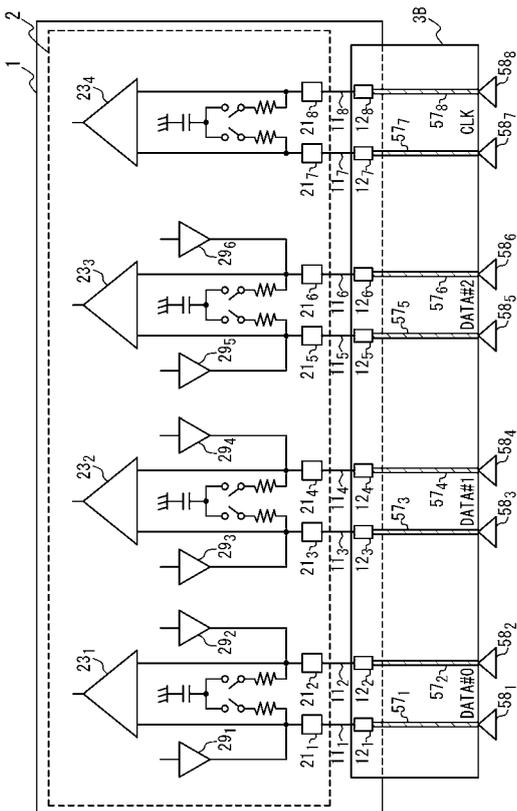
【図6】



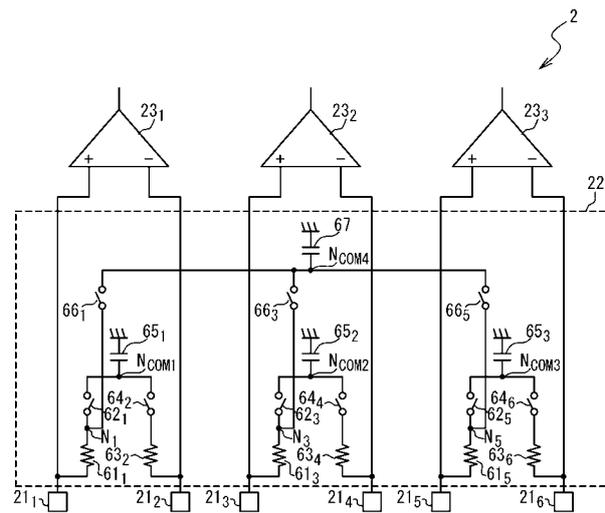
【図7A】



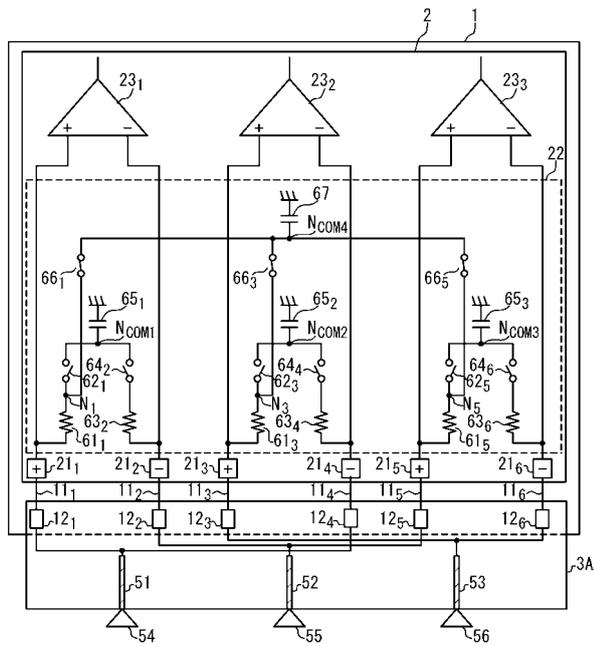
【図7B】



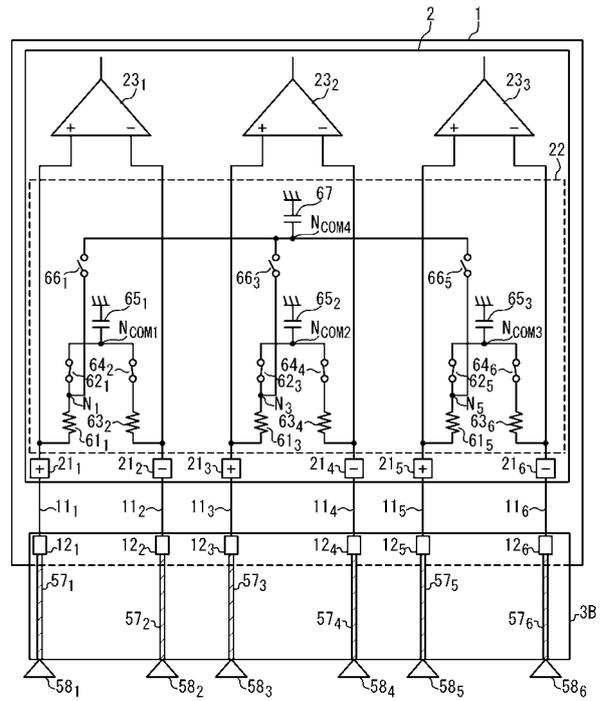
【図8】



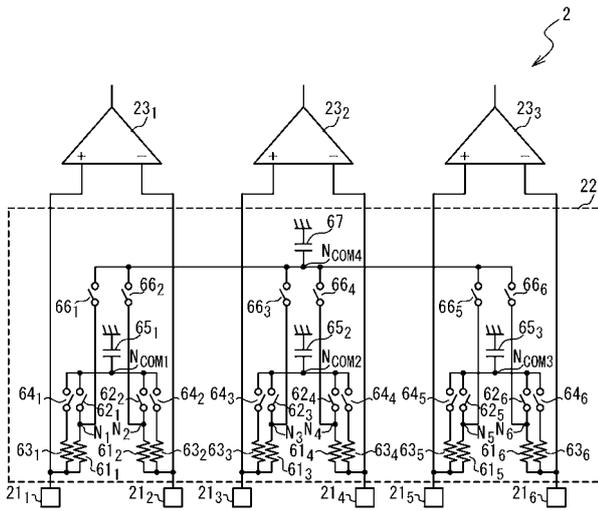
【図 9 A】



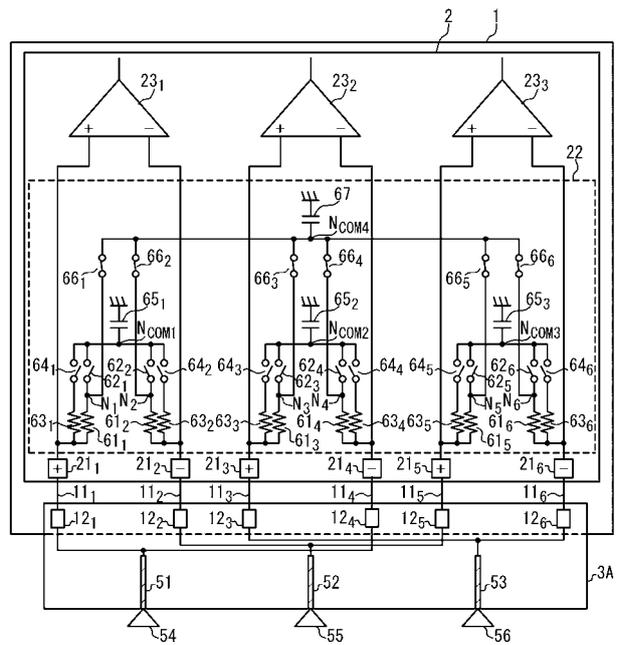
【図 9 B】



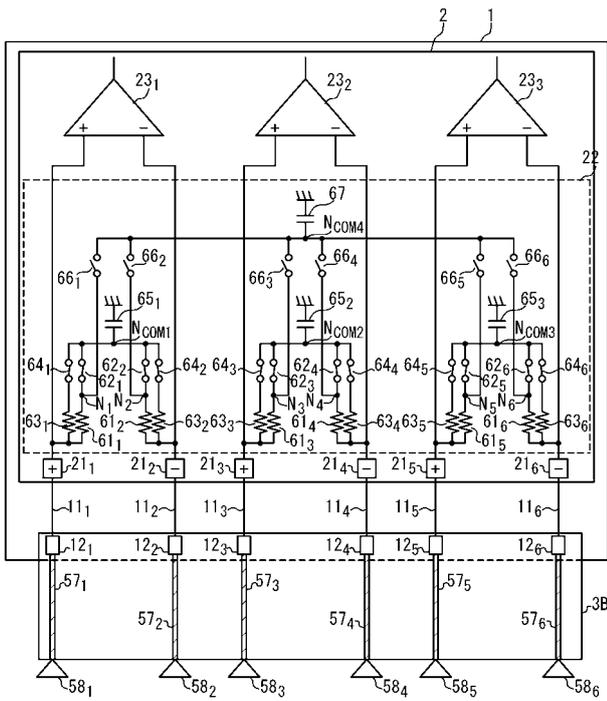
【図 10】



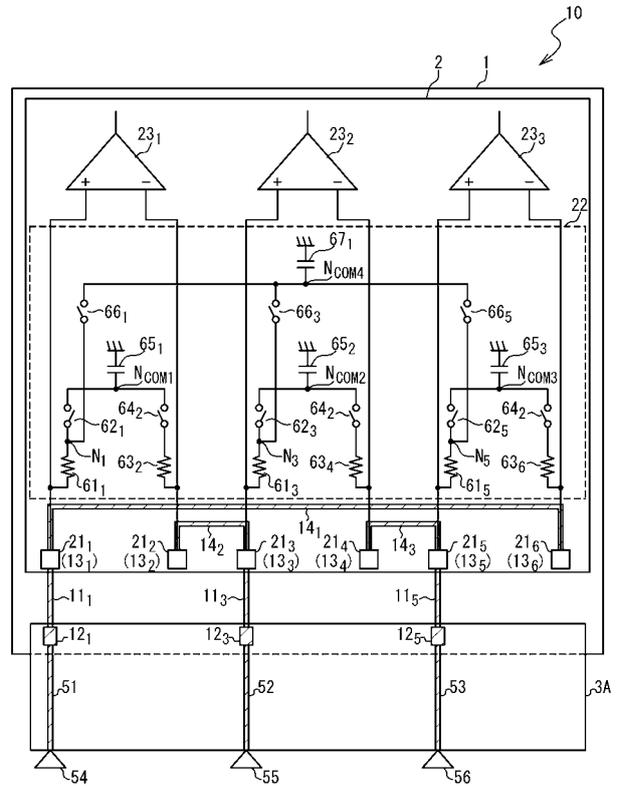
【図 11 A】



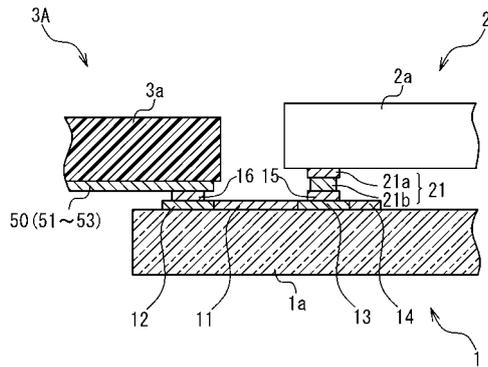
【図11B】



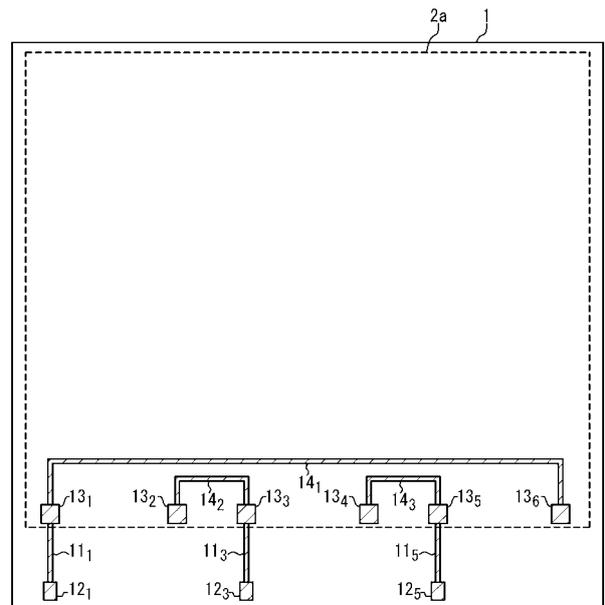
【図12A】



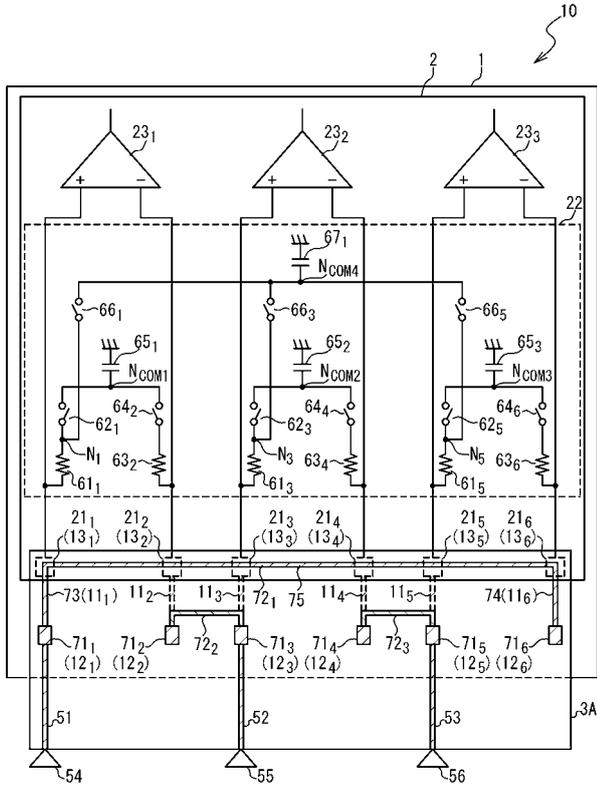
【図12B】



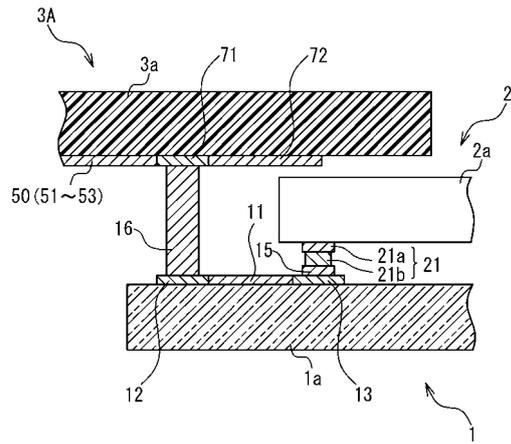
【図12C】



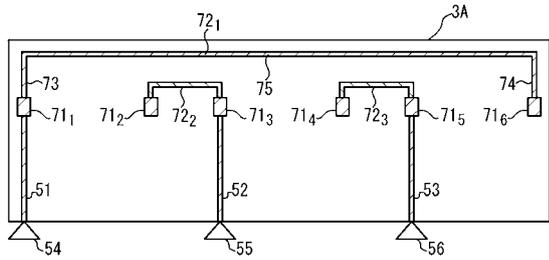
【図13A】



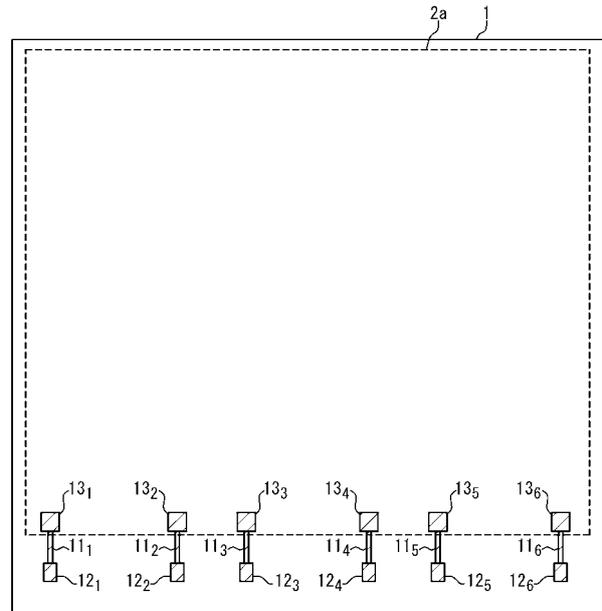
【図13B】



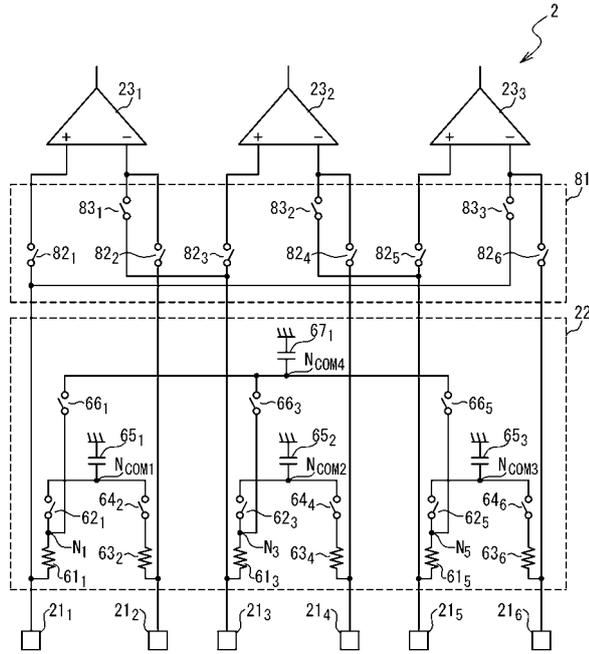
【図13C】



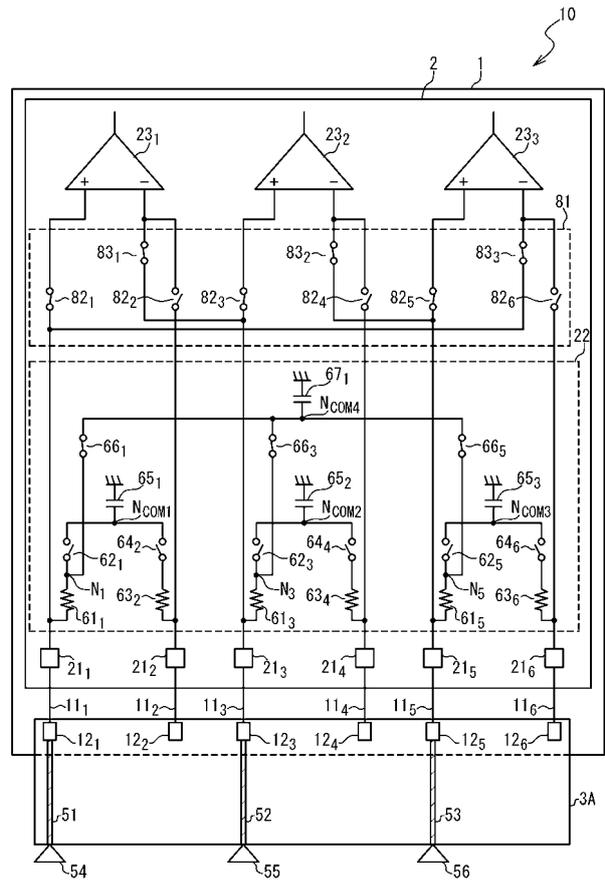
【図13D】



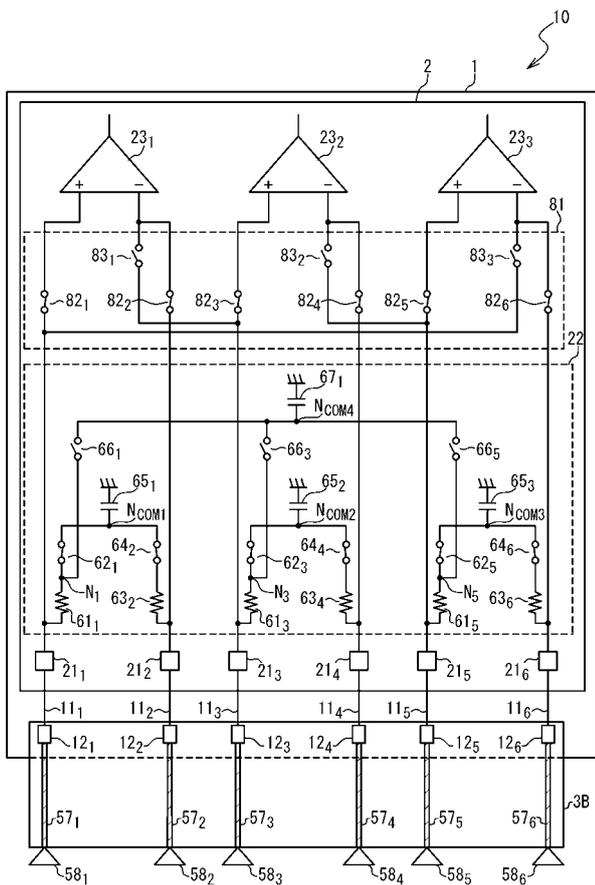
【図 14】



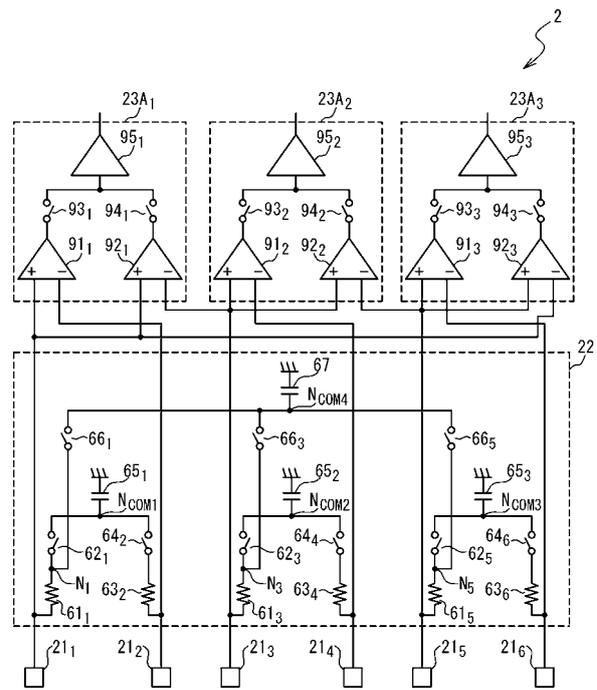
【図 15 A】



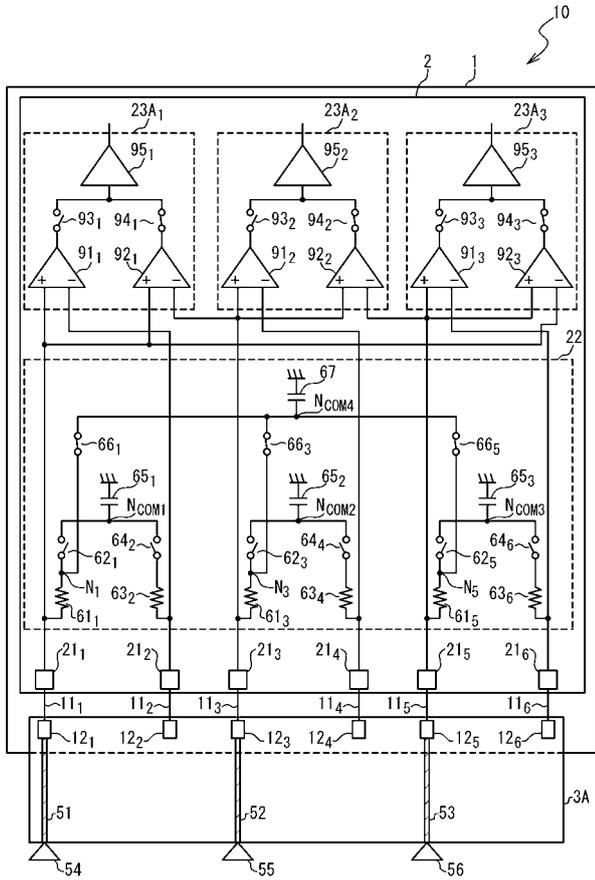
【図 15 B】



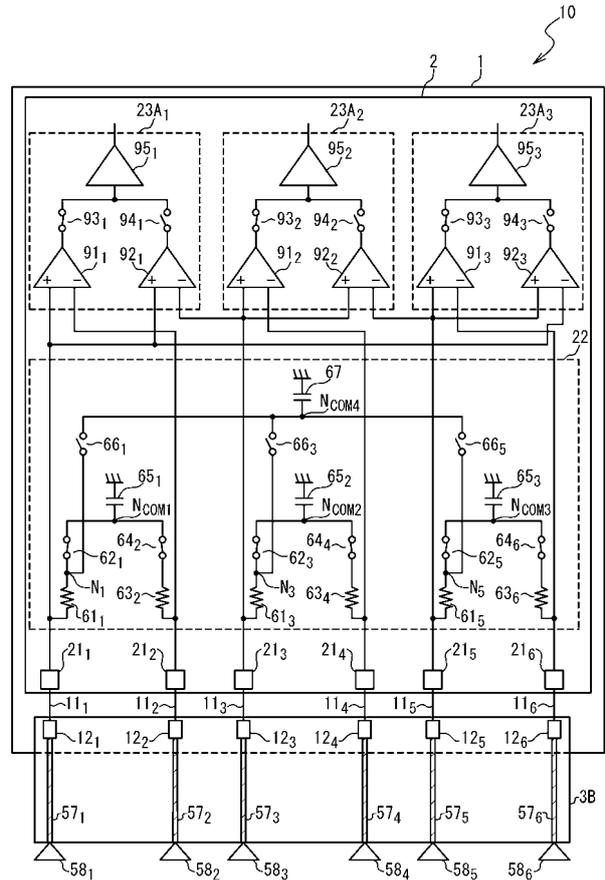
【図 16】



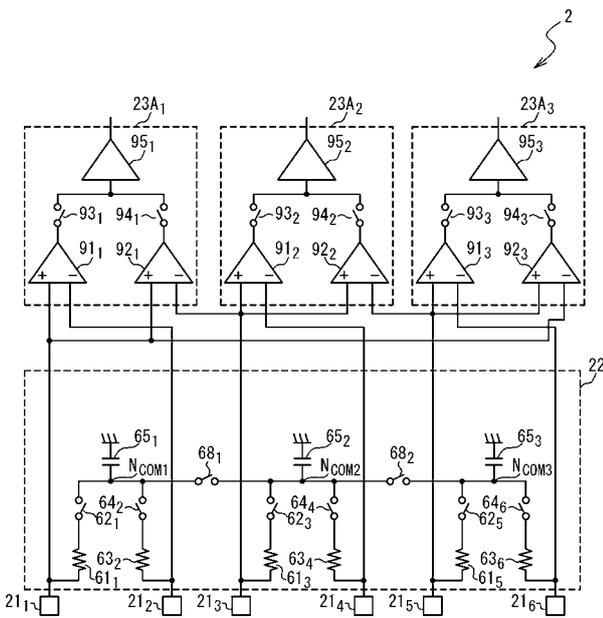
【図17A】



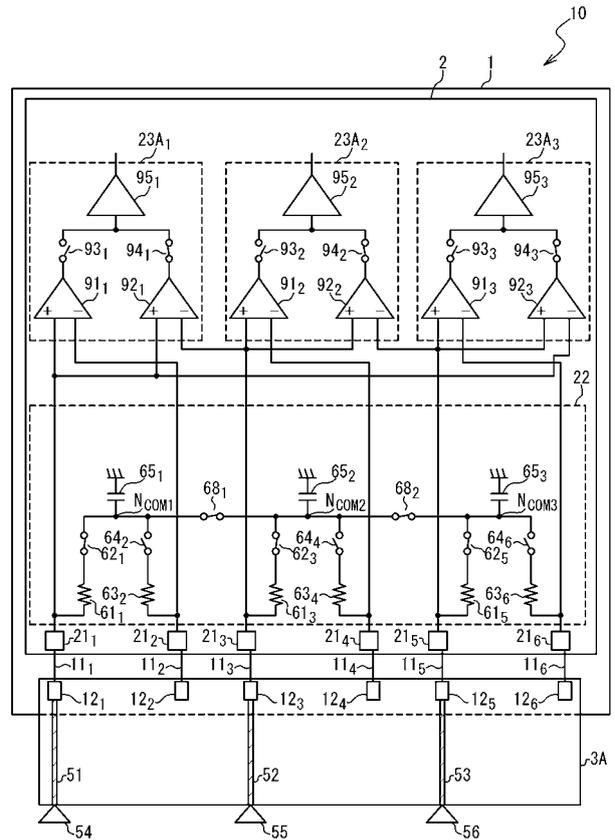
【図17B】



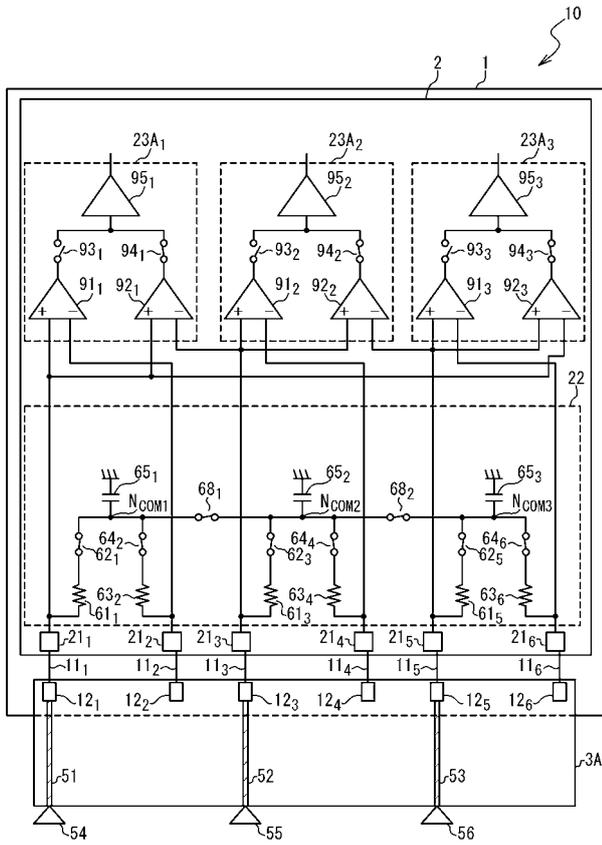
【図18】



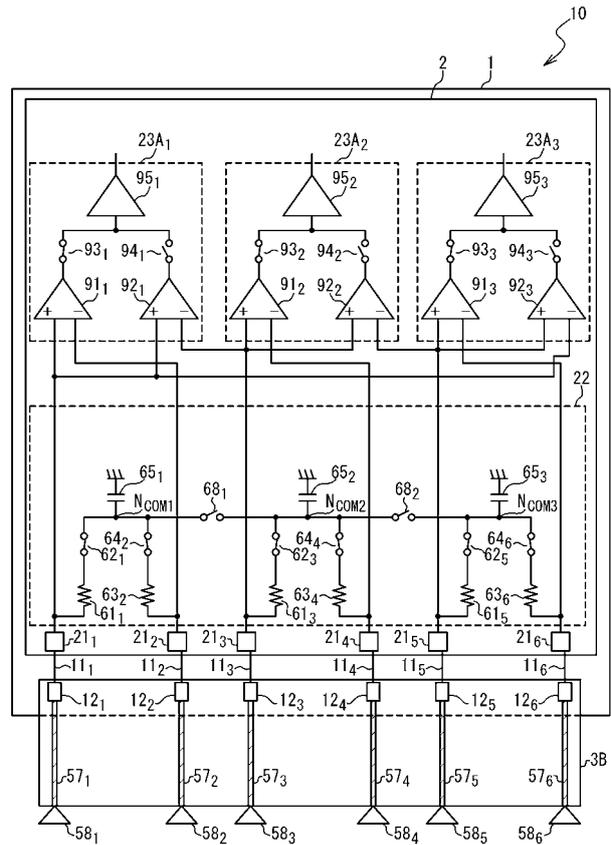
【図19A】



【図19B】



【図19C】



【手続補正書】

【提出日】平成28年8月31日(2016.8.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1乃至第6外部接続端子と、

前記第1外部接続端子及び前記第2外部接続端子に接続された第1レシーバと、

前記第3外部接続端子及び前記第4外部接続端子に接続された第2レシーバと、

前記第5外部接続端子及び前記第6外部接続端子に接続された第3レシーバと、

前記第1レシーバ、前記第2レシーバ及び前記第3レシーバから受け取った信号に対して、M I P I (Mobile Industry Processor Interface) C - P H Yの規格に従った信号処理を行って第1受信データを出力するように構成されたC - P H Yブロックと、

前記第1レシーバ、前記第2レシーバ及び前記第3レシーバから受け取った信号に対して、M I P I D - P H Yの規格に従った信号処理を行って第2受信データを出力するように構成されたD - P H Yブロックと、

前記第1受信データと前記第2受信データとを選択的に受け取り、受け取ったデータに対して所望の処理を行うように構成された主処理部

とを具備する

半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、

前記 C - P H Y ブロックは、

前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対してクロック再生を行って第 1 クロック信号を生成するクロック再生回路と、

前記第 1 クロック信号に同期して前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから出力される信号をラッチすることで第 1 データ列を生成する第 1 ラッチ部と、

前記第 1 データ列から前記第 1 受信データを生成する第 1 処理部を備え、

前記 D - P H Y ブロックは、

前記第 1 レシーバから出力される第 1 出力信号をクロック信号として用いて前記第 2 レシーバ及び前記第 3 レシーバから出力される信号をラッチすることで第 2 データ列を生成する第 2 ラッチ部と、

前記第 2 データ列から前記第 2 受信データを生成する第 2 処理部とを備える

半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置であって、

更に、

第 7 外部接続端子及び第 8 外部接続端子に接続された第 4 レシーバを具備し、

前記 C - P H Y ブロックは、

前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対してクロック再生を行って第 1 クロック信号を生成するクロック再生回路と、

前記第 1 クロック信号に同期して前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから出力される信号をラッチすることで第 1 データ列を生成する第 1 ラッチ部と、

前記第 1 データ列から前記第 1 受信データを生成する第 1 処理部を備え、

前記 D - P H Y ブロックは、

前記第 4 レシーバから出力される第 1 出力信号をクロック信号として用いて前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから出力される信号をラッチすることで第 2 データ列を生成する第 2 ラッチ部と、

前記第 2 データ列から前記第 2 受信データを生成する第 2 処理部とを備える

半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の半導体装置であって、

更に、

第 1 共通接続ノードと回路接地の間に接続された第 1 キャパシタと、

第 2 共通接続ノードと回路接地の間に接続された第 2 キャパシタと、

第 3 共通接続ノードと回路接地の間に接続された第 3 キャパシタと、

前記第 1 外部接続端子と第 1 ノードとの間に接続された第 1 抵抗素子と、

前記第 1 ノードと前記第 1 共通接続ノードとの間に接続された第 1 スイッチと、

前記第 2 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 2 抵抗素子及び第 2 スイッチと、

前記第 3 外部接続端子と第 2 ノードとの間に接続された第 3 抵抗素子と、

前記第 2 ノードと前記第 2 共通接続ノードとの間に接続された第 3 スイッチと、

前記第 4 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 4 抵抗素子及び第 4 スイッチと、

前記第 5 外部接続端子と第 3 ノードとの間に接続された第 5 抵抗素子と、

前記第 3 ノードと前記第 3 共通接続ノードとの間に接続された第 5 スイッチと、

前記第 6 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 6 抵抗素子及び第 6 スイッチと、

第 4 共通接続ノードと回路接地の間に接続された第 4 キャパシタと、

前記第 1 ノードと前記第 4 共通接続ノードの間に接続された第 7 スイッチと、

前記第 2 ノードと前記第 4 共通接続ノードの間に接続された第 8 スイッチと、

前記第 3 ノードと前記第 4 共通接続ノードの間に接続された第 9 スイッチ

とを具備する

半導体装置。

【請求項 5】

請求項 1 乃至 3 のいずれかに記載の半導体装置であって、

更に、

第 1 共通接続ノードと回路接地の間に接続された第 1 キャパシタと、

第 2 共通接続ノードと回路接地の間に接続された第 2 キャパシタと、

第 3 共通接続ノードと回路接地の間に接続された第 3 キャパシタと、

前記第 1 外部接続端子と第 1 ノードとの間に接続された第 1 抵抗素子と、

前記第 1 ノードと前記第 1 共通接続ノードとの間に接続された第 1 スイッチと、

前記第 1 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 2 抵抗素子及び第 2 スイッチと、

前記第 2 外部接続端子と第 2 ノードとの間に接続された第 3 抵抗素子と、

前記第 2 ノードと前記第 1 共通接続ノードとの間に接続された第 3 スイッチと、

前記第 2 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 4 抵抗素子及び第 4 スイッチと、

前記第 3 外部接続端子と第 3 ノードとの間に接続された第 5 抵抗素子と、

前記第 3 ノードと前記第 2 共通接続ノードとの間に接続された第 5 スイッチと、

前記第 3 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 6 抵抗素子及び第 6 スイッチと、

前記第 4 外部接続端子と第 4 ノードとの間に接続された第 7 抵抗素子と、

前記第 4 ノードと前記第 2 共通接続ノードとの間に接続された第 7 スイッチと、

前記第 4 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 8 抵抗素子及び第 8 スイッチと、

前記第 5 外部接続端子と第 5 ノードとの間に接続された第 9 抵抗素子と、

前記第 5 ノードと前記第 3 共通接続ノードとの間に接続された第 9 スイッチと、

前記第 5 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 10 抵抗素子及び第 10 スイッチと、

前記第 6 外部接続端子と第 6 ノードとの間に接続された第 11 抵抗素子と、

前記第 6 ノードと前記第 3 共通接続ノードとの間に接続された第 11 スイッチと、

前記第 6 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 12 抵抗素子及び第 12 スイッチと、

第 4 共通接続ノードと回路接地の間に接続された第 4 キャパシタと、

前記第 1 ノードと前記第 4 共通接続ノードの間に接続された第 13 スイッチと、

前記第 2 ノードと前記第 4 共通接続ノードの間に接続された第 14 スイッチと、

前記第 3 ノードと前記第 4 共通接続ノードの間に接続された第 15 スイッチと、

前記第 4 ノードと前記第 4 共通接続ノードの間に接続された第 16 スイッチと、

前記第 5 ノードと前記第 4 共通接続ノードの間に接続された第 17 スイッチと、

前記第 6 ノードと前記第 4 共通接続ノードの間に接続された第 18 スイッチ

とを具備する

半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の半導体装置であって、

更に、

前記第 1 外部接続端子と前記第 1 レシーバの第 1 入力の間接続された第 1 入力側スイッチと、  
前記第 2 外部接続端子と前記第 1 レシーバの第 2 入力の間接続された第 2 入力側スイッチと、  
前記第 3 外部接続端子と前記第 2 レシーバの第 1 入力の間接続された第 3 入力側スイッチと、  
前記第 4 外部接続端子と前記第 2 レシーバの第 2 入力の間接続された第 4 入力側スイッチと、  
前記第 5 外部接続端子と前記第 3 レシーバの第 1 入力の間接続された第 5 入力側スイッチと、  
前記第 6 外部接続端子と前記第 3 レシーバの第 2 入力の間接続された第 6 入力側スイッチと、  
前記第 3 外部接続端子と前記第 1 レシーバの前記第 2 入力の間接続された第 7 入力側スイッチと、  
前記第 5 外部接続端子と前記第 2 レシーバの前記第 2 入力の間接続された第 8 入力側スイッチと、  
前記第 1 外部接続端子と前記第 3 レシーバの前記第 2 入力の間接続された第 9 入力側スイッチとを具備する  
半導体装置。

【請求項 7】

請求項 1 乃至 3 のいずれかに記載の半導体装置であって、  
前記第 1 レシーバは、  
前記第 1 外部接続端子及び前記第 2 外部接続端子に接続された第 1 入力段と、  
前記第 1 外部接続端子及び前記第 3 外部接続端子に接続された第 2 入力段と、  
第 1 出力段と、  
前記第 1 入力段の出力と前記第 1 出力段の入力の間接続された第 1 出力選択スイッチと、  
前記第 2 入力段の出力と前記第 1 出力段の入力の間接続された第 2 出力選択スイッチとを備え、  
前記第 2 レシーバは、  
前記第 3 外部接続端子及び前記第 4 外部接続端子に接続された第 3 入力段と、  
前記第 3 外部接続端子及び前記第 5 外部接続端子に接続された第 4 入力段と、  
第 2 出力段と、  
前記第 3 入力段の出力と前記第 2 出力段の入力の間接続された第 3 出力選択スイッチと、  
前記第 4 入力段の出力と前記第 2 出力段の入力の間接続された第 4 出力選択スイッチとを備え、  
前記第 3 レシーバは、  
前記第 5 外部接続端子及び前記第 6 外部接続端子に接続された第 5 入力段と、  
前記第 5 外部接続端子及び前記第 1 外部接続端子に接続された第 6 入力段と、  
第 3 出力段と、  
前記第 5 入力段の出力と前記第 3 出力段の入力の間接続された第 5 出力選択スイッチと、  
前記第 6 入力段の出力と前記第 3 出力段の入力の間接続された第 6 出力選択スイッチとを備える  
半導体装置。

**【請求項 8】**

請求項 7 に記載の半導体装置であって、  
更に、

第 1 共通接続ノードと回路接地の間に接続された第 1 キャパシタと、  
第 2 共通接続ノードと回路接地の間に接続された第 2 キャパシタと、  
第 3 共通接続ノードと回路接地の間に接続された第 3 キャパシタと、  
前記第 1 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 1 抵抗素子及び第 1 スイッチと、  
前記第 2 外部接続端子と前記第 1 共通接続ノードとの間に直列に接続された第 2 抵抗素子及び第 2 スイッチと、  
前記第 3 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 3 抵抗素子及び第 3 スイッチと、  
前記第 4 外部接続端子と前記第 2 共通接続ノードとの間に直列に接続された第 4 抵抗素子及び第 4 スイッチと、  
前記第 5 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 5 抵抗素子及び第 5 スイッチと、  
前記第 6 外部接続端子と前記第 3 共通接続ノードとの間に直列に接続された第 6 抵抗素子及び第 6 スイッチと、  
前記第 1 共通接続ノードと前記第 2 共通接続ノードとの間に接続された第 7 スイッチと、  
、  
前記第 2 共通接続ノードと前記第 3 共通接続ノードとの間に接続された第 8 スイッチとを備えた  
半導体装置。

**【請求項 9】**

請求項 1 乃至 8 のいずれかに記載の半導体装置と、  
前記第 1 外部接続端子に電氣的に接続された第 1 伝送線と、前記第 5 外部接続端子に電氣的に接続された第 2 伝送線と、前記第 3 外部接続端子に電氣的に接続された第 3 伝送線とを備える配線基板  
とを具備し、  
前記半導体装置の前記主処理部は、前記第 1 受信データを受け取って動作する  
半導体デバイスモジュール。

**【請求項 10】**

請求項 9 に記載の半導体デバイスモジュールであって、  
前記第 1 伝送線が、前記第 4 外部接続端子に電氣的に接続され、  
前記第 2 伝送線が、前記第 2 外部接続端子に電氣的に接続され、  
前記第 3 伝送線が、前記第 6 外部接続端子に電氣的に接続された  
半導体デバイスモジュール。

**【請求項 11】**

請求項 1 乃至 8 のいずれかに記載の半導体装置と、  
前記第 1 乃至第 6 外部接続端子にそれぞれに電氣的に接続された第 1 乃至第 6 伝送線を備える配線基板  
を具備し、  
前記半導体装置の前記主処理部は、前記第 2 受信データを受け取って動作する  
半導体デバイスモジュール。

**【請求項 12】**

表示パネルを駆動する表示パネルドライバであって、  
第 1 乃至第 6 外部接続端子と、  
前記第 1 外部接続端子及び前記第 2 外部接続端子に接続された第 1 レシーバと、  
前記第 3 外部接続端子及び前記第 4 外部接続端子に接続された第 2 レシーバと、  
前記第 5 外部接続端子及び前記第 6 外部接続端子に接続された第 3 レシーバと、

前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対して、M I P I (Mobile Industry Processor Interface) C - P H Y の規格に従った信号処理を行って第 1 受信データを出力するように構成された C - P H Y ブロックと、

前記第 1 レシーバ、前記第 2 レシーバ及び前記第 3 レシーバから受け取った信号に対して、M I P I D - P H Y の規格に従った信号処理を行って第 2 受信データを出力するように構成された D - P H Y ブロックと、

前記第 1 受信データと前記第 2 受信データとを選択的に受け取り、受け取ったデータに  
応答して前記表示パネルを駆動する主処理部  
とを具備する

表示パネルドライバ。

【請求項 13】

請求項 12 に記載の表示パネルドライバと、

前記第 1 外部接続端子に電氣的に接続された第 1 伝送線と、前記第 5 外部接続端子に電氣的に接続された第 2 伝送線と、前記第 3 外部接続端子に電氣的に接続された第 3 伝送線とを備えるフレキシブル配線基板

とを具備し、

前記表示パネルドライバの前記主処理部は、前記第 1 受信データを受け取り、前記第 1 受信データに  
応答して前記表示パネルを駆動する

表示モジュール。

【請求項 14】

表示パネルと、

請求項 12 に記載の表示パネルドライバと、

第 1 乃至第 3 伝送線を備えるフレキシブル配線基板

とを具備し、

前記表示パネルは、

基板と、

前記基板上に形成され、前記表示パネルドライバの前記第 1 乃至第 6 外部接続端子にそれぞれに接続される第 1 乃至第 6 接続端子と、

前記基板上に形成された第 7 乃至第 9 接続端子と、

前記第 1 接続端子と前記第 7 接続端子とを接続する第 1 配線と、

前記第 3 接続端子と前記第 8 接続端子とを接続する第 2 配線と、

前記第 5 接続端子と前記第 9 接続端子とを接続する第 3 配線と、

前記第 1 接続端子と前記第 6 接続端子とを接続する第 4 配線と、

前記第 2 接続端子と前記第 3 接続端子とを接続する第 5 配線と、

前記第 4 接続端子と前記第 5 接続端子とを接続する第 6 配線

とを備え、

前記フレキシブル配線基板の前記第 1 乃至第 3 伝送線が、それぞれ、前記表示パネルの前記第 7 乃至第 9 接続端子に電氣的に接続される

表示モジュール。

【請求項 15】

表示パネルと、

請求項 12 に記載の表示パネルドライバと、

フレキシブル配線基板

とを具備し、

前記表示パネルは、

基板と、

前記基板上に形成され、前記表示パネルドライバの前記第 1 乃至第 6 外部接続端子にそれぞれに接続される第 1 乃至第 6 接続端子と、

前記基板上に所定方向に並んで配置された第 7 乃至第 12 接続端子と、

前記第 1 乃至第 6 接続端子を、それぞれ、前記第 7 乃至第 12 接続端子に接続する第

1乃至第6配線

とを備え、

前記フレキシブル配線基板は、

前記所定の方向に並んで配置され、前記表示パネルの前記第7乃至第12接続端子に接続される第13乃至第18接続端子と、

第1乃至第3伝送線と、

第7乃至第9配線

とを備え、

前記第1伝送線、前記第2伝送線及び前記第3伝送線は、それぞれ、前記第13接続端子、前記第15接続端子及び前記第17接続端子に電氣的に接続され、

前記第13接続端子と前記第18接続端子は、前記第13乃至第18接続端子の列の両端に位置し、

前記第7配線は、前記第13接続端子と前記第18接続端子とを接続し、

前記第8配線は、前記第14接続端子と前記第15接続端子とを接続し、

前記第9配線は、前記第16接続端子と前記第17接続端子とを接続し、

前記第7配線は、前記第13乃至第18接続端子の列を挟んで前記第1乃至第3伝送線が形成される領域と反対に位置している

表示モジュール。

【請求項16】

表示パネルと、

請求項12に記載の表示パネルドライバと、

前記第1乃至第6外部接続端子にそれぞれに電氣的に接続された第1乃至第6伝送線を備えるフレキシブル配線基板

を具備し、

前記表示パネルドライバの前記主処理部は、前記第2受信データを受け取り、前記第2受信データに应答して前記表示パネルを駆動する

表示モジュール。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本発明の更に他の観点では、表示モジュールが、表示パネルと、上記の表示パネルドライバと、フレキシブル配線基板とを具備する。該フレキシブル配線基板は、第1外部接続端子に電氣的に接続された第1伝送線と、前記第5外部接続端子に電氣的に接続された第2伝送線と、前記第3外部接続端子に電氣的に接続された第3伝送線とを備えている。このような構成は、MIPI C-PHYによる通信に対応しており、この場合、表示パネルドライバの前記主処理部は、前記第1受信データを受け取り、前記第1受信データに应答して前記表示パネルを駆動する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明の更に他の観点では、表示モジュールが、表示パネルと、上記の表示パネルドライバと、フレキシブル配線基板とを具備する。該フレキシブル配線基板は、第1乃至第6外部接続端子にそれぞれに電氣的に接続された第1乃至第6伝送線を備える。このような構成は、MIPI D-PHYによる通信に対応しており、この場合、前記表示パネルド

ライバの前記主処理部は、前記第2受信データを受け取り、前記第2受信データに応答して前記表示パネルを駆動する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

図3Aは、図2のドライバIC2をMIPI C-PHYによる通信が行われる表示モジュールに適用する場合の実施例を示している。フレキシブル配線基板3Aには、MIPI C-PHYによる通信に用いられる3本の伝送線51、52、53が設けられている。伝送線51、52、53は、それぞれ、トランスミッタ54、55、56から出力される信号を伝送する。伝送線51は、液晶表示パネル1に設けられた接続端子12<sub>1</sub>、12<sub>4</sub>に接続されている。また、伝送線52は、接続端子12<sub>2</sub>、12<sub>5</sub>に接続され、伝送線53は、接続端子12<sub>3</sub>、12<sub>6</sub>に接続されている。言い換えれば、伝送線51は、レシーバ23<sub>1</sub>の正転入力(+)及びレシーバ23<sub>2</sub>の反転入力(-)に接続され、伝送線52は、レシーバ23<sub>1</sub>の反転入力及びレシーバ23<sub>3</sub>の正転入力に接続され、伝送線53は、レシーバ23<sub>3</sub>の正転入力及びレシーバ23<sub>1</sub>の反転入力に接続される。このような接続によれば、伝送線51、52、53で伝送される3値信号を、レシーバ23<sub>1</sub>~23<sub>3</sub>を用いて2値のシングルエンド信号に変換することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

図5は、図4の構成のドライバIC2をMIPI D-PHYによる通信が行われる表示モジュールに適用する場合の実施例を示している。フレキシブル配線基板3Bには、MIPI D-PHYによる通信に用いられる伝送線57<sub>1</sub>~57<sub>8</sub>が設けられている。ここで、伝送線57<sub>1</sub>、57<sub>2</sub>は、データレーン#0として用いられ、伝送線57<sub>3</sub>、57<sub>4</sub>は、データレーン#1として用いられる。また、伝送線57<sub>5</sub>、57<sub>6</sub>は、データレーン#2として用いられ、伝送線57<sub>7</sub>、57<sub>8</sub>は、クロックレーンとして用いられる。伝送線57<sub>1</sub>~57<sub>8</sub>は、それぞれ、液晶表示パネル1の接続端子12<sub>1</sub>~12<sub>8</sub>に接続される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

図10は、正転入力(+)と反転入力(-)の間のバランスの問題に対応する終端抵抗回路22の構成の一例を示す回路図である。図10の終端抵抗回路22は、抵抗素子61<sub>1</sub>~61<sub>6</sub>と、スイッチ62<sub>1</sub>~62<sub>6</sub>と、抵抗素子63<sub>1</sub>~63<sub>6</sub>と、スイッチ64<sub>1</sub>~64<sub>6</sub>と、キャパシタ65<sub>1</sub>~65<sub>3</sub>と、スイッチ66<sub>1</sub>~66<sub>6</sub>と、C-PHYキャパシタ67とを備えている。好適な一実施形態では、抵抗素子61<sub>1</sub>~61<sub>6</sub>、抵抗素子63<sub>1</sub>~63<sub>6</sub>の抵抗値は、いずれも、100である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

## 【補正の内容】

## 【0073】

図12Bは、液晶表示パネル1とドライバIC2との接続部、及び、液晶表示パネル1とフレキシブル配線基板3Aとの接続部の構造の一例を概念的に示す断面図である。液晶表示パネル1のガラス基板1aの上には、配線11、14と接続端子12、13とが形成される。ドライバIC2の半導体チップ2aには、外部接続端子21が形成される。図12Bの構造では、各外部接続端子21は、パッド21aとバンプ21bとを備えている。フレキシブル配線基板3Aの樹脂基板3aには、配線50（例えば、伝送線51～53）が形成される。

## 【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

## 【補正の内容】

## 【0074】

ドライバIC2の外部接続端子21のバンプ21bは、コンタクト15を介して液晶表示パネル1の接続端子13に接合される。コンタクト15としては、例えば、異方性導電膜（ACF(anisotropic conductive film)）が用いられ得る。同様に、フレキシブル配線基板3Aの配線50は、コンタクト16を介して液晶表示パネル1の接続端子12に接合される。コンタクト16としては、例えば、異方性導電膜が用いられ得る。

## 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

## 【補正の内容】

## 【0078】

なお、図12A～図12Cに図示された構成では、フレキシブル配線基板3Aの伝送線51が、液晶表示パネル1に形成された接続端子12<sub>1</sub>、配線11<sub>1</sub>、接続端子13<sub>1</sub>を介してドライバIC2の外部接続端子21<sub>1</sub>に接続されているが、伝送線51は、外部接続端子21<sub>1</sub>の代わりに外部接続端子21<sub>6</sub>に接続されてもよい。この場合、配線11<sub>1</sub>、接続端子12<sub>1</sub>が形成される位置が変更され、配線11<sub>1</sub>、接続端子12<sub>1</sub>が、接続端子13<sub>1</sub>の代わりに接続端子13<sub>6</sub>に接続される。この場合でも、伝送線51は、配線14<sub>1</sub>を介して外部接続端子21<sub>1</sub>に電氣的に接続されるので、表示モジュール10は、同様に動作可能である。

## 【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

## 【補正の内容】

## 【0081】

図13Bは、図13A～図13Dに図示されている表示モジュール10における、液晶表示パネル1とドライバIC2との接続部、及び、液晶表示パネル1とフレキシブル配線基板3Aとの接続部の構造の一例を概念的に示す断面図である。液晶表示パネル1のガラス基板1aの上には、配線11と接続端子12、13とが形成される。ドライバIC2の半導体チップ2aには、外部接続端子21が形成される。図13Bの構造では、各外部接続端子21は、パッド21aとバンプ21bとを備えている。フレキシブル配線基板3Aの樹脂基板3aには、配線50（例えば、伝送線51～53）と、接続端子71と、配線72とが形成される。

## 【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

一方、図15Bは、ドライバIC2との通信がMIPID-PHYによって行われる場合のドライバIC2の設定を示す図である。ドライバIC2との通信がMIPID-PHYによって行われる場合には、フレキシブル配線基板3Bに設けられた伝送線57<sub>1</sub>~57<sub>6</sub>が、それぞれ外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0125

【補正方法】変更

【補正の内容】

【0125】

一方、図19Cは、ドライバIC2との通信がMIPID-PHYによって行われる場合の終端抵抗回路22の設定を示す図である。ドライバIC2との通信がMIPID-PHYによって行われる場合には、フレキシブル配線基板3Bに設けられた伝送線57<sub>1</sub>~57<sub>6</sub>が、それぞれ外部接続端子21<sub>1</sub>~21<sub>6</sub>に接続される。このような接続により、伝送線57<sub>1</sub>、57<sub>2</sub>によって伝送される差動信号をレシーバ23A<sub>1</sub>によってシングルエンド信号に変換し、伝送線57<sub>3</sub>、57<sub>4</sub>によって伝送される差動信号をレシーバ23A<sub>2</sub>によってシングルエンド信号に変換し、伝送線57<sub>5</sub>、57<sub>6</sub>によって伝送される差動信号をレシーバ23A<sub>3</sub>によってシングルエンド信号に変換することができる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0127

【補正方法】変更

【補正の内容】

【0127】

一方、終端抵抗回路22では、スイッチ62<sub>1</sub>、62<sub>3</sub>、62<sub>5</sub>、スイッチ64<sub>2</sub>、64<sub>4</sub>、64<sub>6</sub>がオンされると共に、スイッチ68<sub>1</sub>、68<sub>2</sub>がオフされる。このような設定によれば、伝送線57<sub>1</sub>、57<sub>2</sub>が抵抗素子61<sub>1</sub>、63<sub>2</sub>を介して接続され、伝送線57<sub>3</sub>、57<sub>4</sub>が抵抗素子61<sub>3</sub>、63<sub>4</sub>を介して接続され、伝送線57<sub>5</sub>、57<sub>6</sub>が抵抗素子61<sub>5</sub>、63<sub>6</sub>を介して接続される。このような接続は、MIPID-PHYにおける推奨に沿ったものである。ここで、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>、63<sub>2</sub>、63<sub>4</sub>、63<sub>6</sub>の抵抗値がそれぞれ50Ωであれば、100Ωの終端抵抗が2つの外部接続端子21の間に接続されることになり、MIPID-PHYにおける推奨に適合するため、より好ましい。ここで、抵抗素子61<sub>1</sub>、61<sub>3</sub>、61<sub>5</sub>の抵抗値が50Ωであれば、MIPID-PHYにおける推奨にも同時に適合することに留意されたい。

## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 6 F 1/12 5 1 0	
	G 0 6 F 3/00 A	

- (72)発明者 北村 智満  
東京都中野区中野4丁目10番2号 シナプティクス・ディスプレイ・デバイス合同会社内
- (72)発明者 瀬納 剛史  
東京都中野区中野4丁目10番2号 シナプティクス・ディスプレイ・デバイス合同会社内
- (72)発明者 桑田 英明  
東京都中野区中野4丁目10番2号 シナプティクス・ディスプレイ・デバイス合同会社内
- (72)発明者 田村 敬  
東京都中野区中野4丁目10番2号 シナプティクス・ディスプレイ・デバイス合同会社内
- (72)発明者 黒沢 淳  
東京都中野区中野4丁目10番2号 シナプティクス・ディスプレイ・デバイス合同会社内
- (72)発明者 神田 和彦  
東京都中野区中野4丁目10番2号 シナプティクス・ディスプレイ・デバイス合同会社内

Fターム(参考) 5B077 AA02 HH02

5C006 AC21 BB11 BC16 BF04 BF06 BF24 BF25 BF37 BF49 FA03

FA41

5C080 AA06 AA10 BB05 DD22 JJ02 JJ03 JJ06