



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I541991 B

(45)公告日：中華民國 105 (2016) 年 07 月 11 日

(21)申請案號：103128343 (22)申請日：中華民國 103 (2014) 年 08 月 18 日

(51)Int. Cl. : H01L27/146 (2006.01) H01L31/10 (2006.01)

(30)優先權：2014/01/15 美國 14/156,053

(71)申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)  
美國

(72)發明人：韋伯斯特 艾瑞克 A G WEBSTER, ERIC A. G. (GB)

(74)代理人：陳長文

(56)參考文獻：

CN	103493202A	US	2009/0065831A1
US	2010/0148039A1	US	2010/0225796A1
US	2011/0284927A1	US	2012/0261783A1
US	2013/0284885A1		

審查人員：盧贊文

申請專利範圍項數：18 項 圖式數：4 共 25 頁

(54)名稱

具有高度的短波長偵測效率之背側照明單光子崩潰二極體成像感測器系統

BACK SIDE ILLUMINATED SINGLE PHOTON AVALANCHE DIODE IMAGING SENSOR SYSTEM WITH HIGH SHORT WAVELENGTH DETECTION EFFICIENCY

(57)摘要

本發明揭示一種單光子崩潰二極體(SPAD)，其包含安置於一第一半導體層中之一 n 摻雜磊晶層。一 p 摻雜磊晶層在該 n 摻雜磊晶層上面於該第一半導體層之一背側上。一倍增界面界定於該 n 摻雜磊晶層與該 p 摻雜磊晶層之間的一界面處。一倍增界面經反向偏壓至高於一擊穿電壓，以使得透過該第一半導體層之該背側接收之一光子在該倍增界面中觸發一崩潰倍增程序。一 p-摻雜防護環區域植入於該 n 摻雜磊晶層中環繞該倍增界面。

A single photon avalanche diode (SPAD) includes an n doped epitaxial layer disposed in a first semiconductor layer. A p doped epitaxial layer is above the n doped epitaxial layer on a back side of the first semiconductor layer. A multiplication junction is defined at an interface between the n doped epitaxial layer and the p doped epitaxial layer. A multiplication junction is reversed biased above a breakdown voltage such that a photon received through the back side of the first semiconductor layer triggers an avalanche multiplication process in the multiplication junction. A p- doped guard ring region is implanted in the n doped epitaxial layer surrounding the multiplication junction.

指定代表圖：

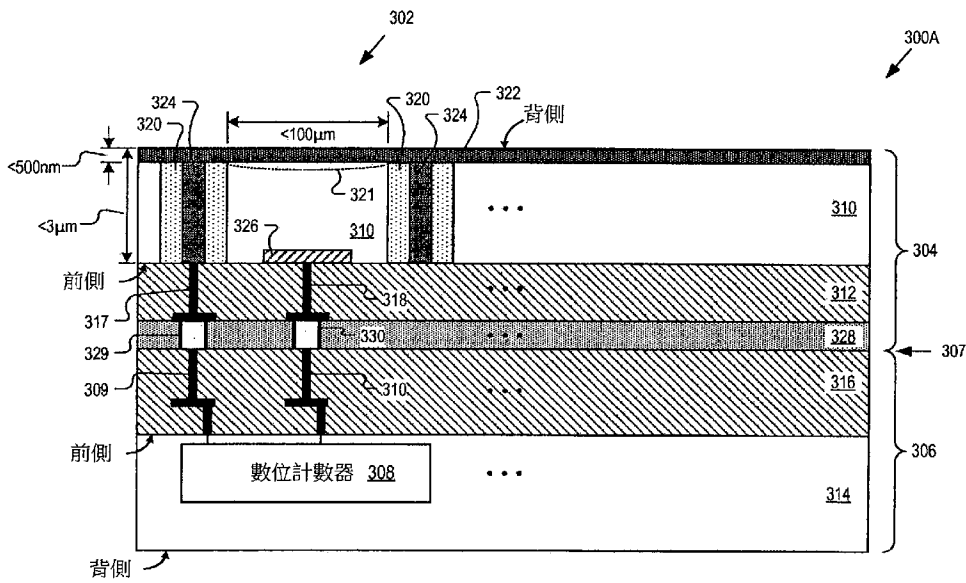


圖 3A

符號簡單說明：

- 300A . . . 積體電路系統
- 302 . . . 單光子崩潰二極體區域/單光子崩潰二極體
- 304 . . . 第一裝置晶圓/堆疊裝置晶圓
- 306 . . . 第二裝置晶圓/堆疊裝置晶圓
- 307 . . . 接合界面
- 308 . . . 數位計數器
- 309 . . . 金屬跡線
- 310 . . . 第一半導體層/半導體層/金屬跡線/n 摻雜磊晶層/磊晶層
- 312 . . . 第一互連層
- 314 . . . 第二半導體層/半導體層
- 316 . . . 第二互連層
- 317 . . . 金屬跡線
- 318 . . . 金屬跡線
- 320 . . . p-摻雜防護環區域/防護環區域/防護環
- 321 . . . 倍增界面/單光子崩潰二極體倍增界面
- 322 . . . p 摻雜磊晶層/淺 p 摻雜磊晶層/磊晶層/薄 p 摻雜磊晶層
- 324 . . . 觸點區域/p+摻雜觸點區域
- 326 . . . n+摻雜觸點區域/觸點區域
- 328 . . . 氧化物層
- 329 . . . 微型穿矽導通體/導通體

I541991

TW I541991 B

330 . . . 微型穿矽導  
通體/導通體

## 發明摘要

公告本

※ 申請案號：103128343

※ 申請日：103年8月18日

※IPC 分類：H01L 27/146 (2006.01)

H01L 31/10 (2006.01)

## 【發明名稱】

具有高度的短波長偵測效率之背側照明單光子崩潰二極體成像感測器系統

BACK SIDE ILLUMINATED SINGLE PHOTON AVALANCHE  
DIODE IMAGING SENSOR SYSTEM WITH HIGH SHORT  
WAVELENGTH DETECTION EFFICIENCY

## 【中文】

本發明揭示一種單光子崩潰二極體(SPAD)，其包含安置於一第一半導體層中之一n摻雜磊晶層。一p摻雜磊晶層在該n摻雜磊晶層上面於該第一半導體層之一背側上。一倍增界面界定於該n摻雜磊晶層與該p摻雜磊晶層之間的一界面處。一倍增界面經反向偏壓至高於一擊穿電壓，以使得透過該第一半導體層之該背側接收之一光子在該倍增界面中觸發一崩潰倍增程序。一p-摻雜防護環區域植入於該n摻雜磊晶層中環繞該倍增界面。

105年4月6日修(東)正替換頁

【英文】

A single photon avalanche diode (SPAD) includes an n doped epitaxial layer disposed in a first semiconductor layer. A p doped epitaxial layer is above the n doped epitaxial layer on a back side of the first semiconductor layer. A multiplication junction is defined at an interface between the n doped epitaxial layer and the p doped epitaxial layer. A multiplication junction is reversed biased above a breakdown voltage such that a photon received through the back side of the first semiconductor layer triggers an avalanche multiplication process in the multiplication junction. A p- doped guard ring region is implanted in the n doped epitaxial layer surrounding the multiplication junction.

## 【代表圖】

【本案指定代表圖】：第(3A)圖。

【本代表圖之符號簡單說明】：

- 300A 積體電路系統
- 302 單光子崩潰二極體區域/單光子崩潰二極體
- 304 第一裝置晶圓/堆疊裝置晶圓
- 306 第二裝置晶圓/堆疊裝置晶圓
- 307 接合界面
- 308 數位計數器
- 309 金屬跡線
- 310 第一半導體層/半導體層/金屬跡線/n摻雜磊晶層/磊晶層
- 312 第一互連層
- 314 第二半導體層/半導體層
- 316 第二互連層
- 317 金屬跡線
- 318 金屬跡線
- 320 p-摻雜防護環區域/防護環區域/防護環
- 321 倍增接面/單光子崩潰二極體倍增接面
- 322 p摻雜磊晶層/淺p摻雜磊晶層/磊晶層/薄p摻雜磊晶層
- 324 觸點區域/p+摻雜觸點區域
- 326 n+摻雜觸點區域/觸點區域
- 328 氧化物層
- 329 微型穿矽導通體/導通體
- 330 微型穿矽導通體/導通體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

具有高度的短波長偵測效率之背側照明單光子崩潰二極體成像感測器系統

BACK SIDE ILLUMINATED SINGLE PHOTON AVALANCHE  
DIODE IMAGING SENSOR SYSTEM WITH HIGH SHORT  
WAVELENGTH DETECTION EFFICIENCY

## 【技術領域】

本發明一般而言係關於光偵測器，且更具體而言，本發明針對於包含單光子崩潰二極體成像感測器之成像系統。

## 【先前技術】

影像感測器已變得普遍存在。其廣泛用於數位靜態相機、蜂巢式電話、安全攝影機以及醫學、汽車及其他應用中。用以製造影像感測器之技術已不斷快速地發展。舉例而言，對較高解析度及較低電力消耗之需求已促進此等影像感測器之進一步小型化及整合。

可在一影像感測器中或在一光偵測器中使用之一種類型之光偵測器係一單光子崩潰二極體(SPAD)。一SPAD (亦稱為一蓋革(Geiger)模式崩潰光電二極體(GM-APD))係能夠偵測一低強度信號(諸如低至一單光子)之一固態光偵測器。SPAD成像感測器係由製作於一矽基板上之SPAD區域之一陣列構成之半導體光敏裝置。SPAD區域在被一光子撞擊時產生一輸出脈衝。SPAD區域具有一p-n接面，該p-n接面經反向偏壓至高於擊穿電壓，以使得一單個光生載子可觸發一崩潰倍增程序，該崩潰倍增程序致使在光子偵測單元之輸出處之電流快速達到其最終值。此崩潰電流繼續直至使用一淬滅元件來藉由減小偏壓電壓

105年4月6日修(東)正替換頁

而使崩潰程序淬滅為止。藉由在一時間窗內計數此等輸出脈衝之數目來獲得由影像感測器接收之光子信號之強度。

在感測光子時所面臨的挑戰之一係藉助背側照明(BSI) SPAD達成高度的藍色偵測效率。舉例而言，在一BSI影像感測器中，後表面可包含具有需要雷射退火之缺陷之植入物。此等缺陷可致使藉助此等技術製作之一SPAD裝置無法維持所需電場。另外，具有此等缺陷之SPAD裝置可係嘈雜的且因此具有不良效能。

### 【圖式簡單說明】

參考以下各圖闡述本發明之非限制性及非詳盡實施例，其中貫穿各個視圖相似元件符號指代相似部件，除非另有規定。

圖1係根據本發明之教示之一實例性單光子崩潰二極體(SPAD)成像感測器系統之具有積體電路晶粒之堆疊半導體晶圓之一項實例之一分解圖。

圖2係圖解說明根據本發明之教示之包含淬滅元件之一堆疊晶片SPAD成像感測器系統之一項實例之一電路圖。

圖3A係根據本發明之教示之包含具有堆疊裝置晶圓之一SPAD成像感測器系統之一積體電路系統之一項實例之一剖面圖。

圖3B係根據本發明之教示之包含具有三個堆疊裝置晶圓之一SPAD成像感測器系統之一積體電路系統之一項實例之一剖面圖。

圖4係根據本發明之教示之展示具有一實例性SPAD成像感測器系統之一積體電路系統之一項實例之一方塊圖。

貫穿圖式之數個視圖，對應元件符號指示對應組件。熟習此項技術者將瞭解，圖中之元件係為簡單及清晰起見而圖解說明，且未必按比例繪製。舉例而言，為有助於改良對本發明之各項實施例之理解，圖中之元件中之某些元件之尺寸可相對於其他元件被放大。此外，通常未繪示在一商業上可行之實施例中 useful 或必需之常見而眾所



周知之元件以便促進對本發明之此等各項實施例之一較不受阻擋之觀察。

### 【實施方式】

在以下說明中，陳述眾多特定細節以便提供對本發明之一透徹理解。然而，熟習此項技術者將明瞭，不需要採用特定細節來實踐本發明。在其他例項中，未詳細闡述眾所周知之材料或方法以避免使本發明模糊。

在此說明書通篇中對「一項實施例」、「一實施例」、「一項實例」或「一實例」之提及意指結合實施例或實例所闡述之一特定特徵、結構或特性包含於本發明之至少一項實施例中。因此，在此說明書通篇中之各個地方中之片語「在一項實施例中」、「在一實施例中」、「一項實例」或「一實例」之出現未必全部係指同一實施例或實例。此外，在一或多項實施例或實例中，可以任何適合組合及/或子組合之形式來組合特定特徵、結構或特性。特定特徵、結構或特性可包含於一積體電路、一電子電路、一組合邏輯電路或提供所闡述功能性之其他適合組件中。另外，應瞭解，隨本文提供之各圖用於向熟習此項技術者解釋之目的且圖式未必按比例繪製。

如將論述，根據本發明之教示之一實例性單光子崩潰二極體 (SPAD) 成像感測器系統包含其中每一 SPAD 適於自背側進行照明且包含一薄 p 磊晶層之一 SPAD 成像陣列，根據本發明之教示，該薄 p 磊晶層形成於背側上在一較厚 n 磊晶層上方，以界定每一 SPAD 之倍增界面。藉由在背側上方形成一薄 p 磊晶層，不再需要藉由可導致倍增界面中之植入損壞誘發之陷阱之植入來形成一背側 P<sup>+</sup> 層。根據本發明之教示在背側上形成 p 磊晶層亦避免使用一雷射退火來試圖修復植入物損壞，但亦導致界面變得較深。此外，根據本發明之教示，在於背側上形成 p 磊晶層之情形下，現在達成了極低雜訊，此改良一實例性

SPAD之效能。

為圖解說明，圖1係根據本發明之教示之將接合在一起以形成一積體電路系統102之一項實例之堆疊裝置晶圓100及100'之一分解圖。裝置晶圓100及100'可包含矽、砷化鎵或其他適合半導體材料。在所圖解說明之實例中，裝置晶圓100包含半導體晶粒111至119，而裝置晶圓100'包含對應半導體晶粒(在圖1中視線被遮擋)。如下文將更詳細地論述，在某些實例中，裝置晶圓100之每一晶粒111至119可包含背側照明SPAD之一陣列，該等背側照明SPAD包含形成於背側上在一較厚n磊晶層上方，以界定倍增接面之一薄p磊晶層，而具有CMOS電路之裝置晶圓100'之每一對應晶粒包含(舉例而言)使用標準CMOS程序製作之數位計數器及相關聯讀出電子器件之一陣列。數位計數器在單獨底部裝置晶圓100'上之放置允許頂部裝置晶圓100上之SPAD陣列中之一極高填充因子。此外，由於裝置晶圓100與裝置晶圓100'單獨地形成，因此根據本發明之教示，可利用定製製作程序來使SPAD陣列中之SPAD區域在裝置晶圓100上之形成最佳化，同時可在於裝置晶圓100'上形成CMOS電路時保持傳統CMOS程序。

圖2係圖解說明根據本發明之教示之包含淬滅元件之一堆疊SPAD成像感測器系統之一項實例之一電路圖。應注意，圖2中所圖解說明之像素電路(例如， $PIXEL_1$ 、 $PIXEL_2$ 、 $\dots$ 、 $PIXEL_N$ )係用於實施具有一成像陣列之每一像素之一SPAD像素電路架構之一項可能實例。在圖2中所繪示之實例中，將像素 $PIXEL_1$ 至 $PIXEL_N$ 圖解說明為配置於一單個列中。然而，在其他實例中，應瞭解，一成像陣列之像素可配置至一單個行中或配置至若干行與列之一個二維陣列中。

如實例中所展示，每一實例性像素包含耦合至安置於一堆疊晶片系統之一頂部晶片中之各別淬滅元件(例如，淬滅元件 $Q_1$ 至 $Q_N$ )之一SPAD(例如， $SPAD_1$ 至 $SPAD_N$ )。在所圖解說明實例中，應注意，

根據本發明之教示，每一SPAD包含形成於背側上在一較厚n磊晶層上方以設計倍增接面之薄p磊晶層。在各項實例中，亦應注意，根據本發明之教示，耦合至每一各別SPAD<sub>1</sub>至SPAD<sub>N</sub>之實例性淬滅元件Q<sub>1</sub>至Q<sub>N</sub>可包含於頂部晶片或底部晶片中。亦應瞭解，根據本發明之教示，可使用被動或主動淬滅元件來實施實例性淬滅元件Q<sub>1</sub>至Q<sub>N</sub>。

如實例中所展示，存在N數目個SPAD、N數目個淬滅元件及N數目個數位計數器(例如，數位計數器1至N)。在所繪示實例中，數位計數器1至N使用安置於堆疊晶片系統之使用一標準CMOS程序製作之一底部晶片上之CMOS電路而實施且經電耦合以回應於一所接收光子而接收由一各別SPAD產生之輸出脈衝202。數位計數器1至N可經啟用以計數由每一各別SPAD在一時間窗期間產生之輸出脈衝202之數目且輸出表示該計數之一數位信號204。雖然圖2中所繪示之實例圖解說明像素電路與數位計數器之間的一直接連接，但根據本發明教示可利用像素電路與數位計數器之間的任何連接，包含以AC耦合方式。此外，可實施任何已知SPAD偏壓極性及/或定向。在一項實例中，每一數位計數器包含用以放大所接收輸出脈衝202之一放大器。另一選擇係，或除數位計數器以外，亦可在每一像素/行/陣列中放置計時電路以對入射光子之到達進行計時。

在操作中，經由高於每一SPAD<sub>1</sub>至SPAD<sub>N</sub>之擊穿電壓之一偏壓電壓V<sub>BIAS</sub>來反向偏壓每一SPAD<sub>1</sub>至SPAD<sub>N</sub>。回應於一單個光生載子，觸發在每一SPAD<sub>1</sub>至SPAD<sub>N</sub>之輸出處導致一崩潰電流之一崩潰倍增程序。此崩潰電流回應於跨越淬滅元件(例如，Q<sub>1</sub>至Q<sub>N</sub>)形成之一電壓降而自淬滅，該電壓降致使跨越SPAD之偏壓電壓下降。在崩潰電流之淬滅之後，跨越SPAD之電壓恢復至高於偏壓電壓且然後SPAD準備好再次被觸發。每一SPAD<sub>1</sub>至SPAD<sub>N</sub>之所得輸出脈衝202由一各別數位

計數器1至N接收，該各別數位計數器回應於該所得輸出脈衝而使其計數遞增。

在與使用一標準CMOS程序製作之CMOS數位計數器相同之晶片上併入SPAD之習用SPAD設計由於CMOS電路本身佔據之面積而具有成像平面上之經減小填充因子。因此，實施根據本發明之教示之一堆疊晶片結構之一個優點係，根據本發明之教示，在SPAD位於頂部晶片上且CMOS電路位於一單獨底部晶片上之情形下，不需要減小頂部晶片上之SPAD成像陣列之填充因子來提供用以在相同晶片上容納CMOS電路之空間。

應注意，**圖2**之電路圖係出於解釋目的而隨本文提供且未詳細展示某些電路元件(例如，諸如電阻器及電容器之被動組件及諸如電晶體之主動組件)以便不使本發明之教示模糊。舉例而言，**圖2**之所圖解說明像素電路可產生需要在由數位計數器之輸入感測之前放大之一輸出脈衝。在另一實例中，淬滅元件 $Q_1$ 與 $SPAD_1$ 之間的節點處之連接將處於一高電壓，此可需要AC耦合。

**圖3A**係根據本發明之教示之包含具有堆疊裝置晶圓之一SPAD成像感測器系統之一積體電路系統300A之一項實例之一部分之一剖面圖。積體電路系統300A係上文在**圖1**至**圖2**中所圖解說明之實例性積體電路系統之一部分之一項可能實施方案。**圖3A**中所展示之積體電路系統300A之所圖解說明實例包含一第一裝置晶圓304、一第二裝置晶圓306及在其處第一裝置晶圓304接合至第二裝置晶圓306之一接合界面307。第一裝置晶圓304包含一第一半導體層310及一第一互連層312，而第二裝置晶圓306展示為包含一第二半導體層314及一第二互連層316。在實例中，根據本發明之教示，將半導體層310展示為包含一SPAD成像陣列，該SPAD成像陣列包含一SPAD區域302，SPAD區域302係形成於半導體層310中之複數個SPAD區域中之一者。在各項

實例中，形成於半導體層310中之SPAD成像陣列之複數個SPAD區域中之每一者實質上類似於SPAD區域302，但未加以詳細圖解說明以便不使本發明之教示模糊。在一項實例中，根據本發明之教示，包含SPAD區域302之SPAD成像陣列適於自背側進行照明，在半導體層310之一前側附近形成且可配置至複數個列及行中。

在所繪示實例中，根據本發明之教示，第二裝置晶圓306係使用一標準CMOS程序製作且包含半導體層314之一CMOS邏輯晶片，半導體層314展示為包含數位計數器308，數位計數器308係形成於半導體層314中之一數位計數器中之一者。在各項實例中，形成於半導體層314中之複數個數位計數器中之每一者實質上類似於數位計數器308，但未加以詳細圖解說明以便不使本發明之教示模糊。在實例中，每一數位計數器在半導體層314之一前側附近形成且耦合至一各別SPAD區域。舉例而言，如在所繪示實例中所展示，數位計數器308藉助金屬跡線309、310、317及318以及導通體329及330耦合至各別SPAD區域302。換言之，在所繪示實例中，每一SPAD區域耦合至其自身之各別CMOS電路(例如，SPAD區域302耦合至其自身之CMOS電路，即數位計數器308)。在一項實例中，其他電路可形成於第二半導體層314中且經由金屬跡線耦合至一各別SPAD區域。諸如計時電路之數位或類比電路可用於諸如飛行時間之應用。

在一項實例中，導通體329及330係安置於一個氧化物層328中之微型穿矽導通體( $\mu$ TSV)。在一項實例中，金屬跡線309、310、317及318可包含包括用於再路由及再分佈複數個SPAD區域中之每一者(例如，SPAD區域302)與複數個數位計數器中之各別者(例如，數位計數器308)之間的電連接之一薄膜(例如，鋁、銅等)之一再分佈層(RDL)。在一項實例中， $\mu$ TSV 329及330可包含沈積於其中之一導電材料(例如，銅、多晶矽等)。

在一項實例中，半導體層310及半導體層314可包含磊晶生長之矽層。在一項實例中，半導體層310係n摻雜磊晶生長之矽。如圖3A中所繪示之實例中所展示，根據本發明之教示，SPAD區域302包含形成於第一半導體層310之一較厚n摻雜磊晶層之背側上方之一薄p摻雜磊晶層322。在一項實例中，p摻雜磊晶層322具有小於約500 nm之一厚度，且第一半導體層310之較厚n摻雜磊晶生長之矽層具有小於約3  $\mu\text{m}$ 之一厚度。

如在實例中所展示，一倍增界面321界定於在n摻雜磊晶層310與p摻雜磊晶層322之間的界面處界定之pn界面處。在一項實例中，SPAD倍增界面321之寬度小於約100 nm且具有可由磊晶層摻雜輪廓極好地控制之摻雜輪廓。舉例而言，在一項實例中，根據本發明之教示，p摻雜磊晶層322具有一漸變摻雜輪廓以便使SPAD效能最佳化。在一項實例中，根據本發明之教示，倍增界面321經反向偏壓至高於一擊穿電壓，以使得透過第一半導體層310之背側接收之一光子在倍增界面321中觸發一崩潰倍增程序。

如圖3A中所繪示之實例中所展示，根據本發明之教示，一p-摻雜防護環區域320植入於n摻雜磊晶層310中環繞倍增界面321以為SPAD 302提供隔離。如在實例中所展示，一p+摻雜觸點區域324植入於p-摻雜防護環區域320內。在實例中，p+摻雜觸點區域324具有比p-摻雜防護環區域320高之一摻雜濃度。如此，根據本發明之教示，p+摻雜觸點區域324經耦合以提供自第一半導體層310之一前側至p摻雜磊晶層322之接觸、透過金屬跡線317、導通體329及金屬跡線309至(舉例而言)數位計數器308之接觸，而防護環區域320提供隔離。

在實例中，一n+摻雜觸點區域326安置於n摻雜磊晶層中在第一半導體層310之前側上，如所展示。如此，根據本發明之教示，n+摻雜觸點區域326經耦合以提供自第一半導體層310之前側至第一半導體

層310之n摻雜磊晶層之接觸、透過金屬跡線319、導通體330及金屬跡線310至(舉例而言)數位計數器308之接觸。

如圖3A之所繪示實例中所圖解說明，根據本發明之教示，n摻雜磊晶層310與p摻雜磊晶層322之間的倍增界面321適於透過第一半導體層310之背側用光子進行照明。在實例中，根據本發明之教示，第一半導體層310之背側上之淺p摻雜磊晶層322提供經改良高藍色敏感度，同時維持良好界面特性及低雜訊。在另一實例中，可使積體電路系統300A之經摻雜區域之極性反向。舉例而言，磊晶層310及觸點區域326可分別係p摻雜的及p+摻雜的，且防護環320、磊晶層322及觸點區域324可分別係n摻雜的、n摻雜的及n+摻雜的。

圖3B係根據本發明之一實施例之具有堆疊裝置晶圓304、306及340之一積體電路系統300B之一剖面圖。積體電路系統300B係圖1之積體電路系統102之一部分之一項可能實施方案。積體電路系統300B之所圖解說明實例包含第一裝置晶圓304、第二裝置晶圓306、第三裝置晶圓340以及接合界面307及344。第一裝置晶圓304及第二裝置晶圓306如上文所論述而接合及操作。然而，積體電路系統300B包含接合至第二裝置晶圓306之一額外第三晶圓340。如所展示，第三晶圓340包含形成於第三裝置晶圓340中或其上之一第三半導體層342及半導體裝置346。在一項實例中，裝置346包含用以充當一圖框儲存器之一儲存裝置(諸如隨機存取記憶體(RAM))以達成高速叢發成像能力。在此實例中，裝置346可經耦合以接收並儲存包含於第二半導體層314中之數位計數器之輸出。

圖4係展示根據本發明之教示之具有一實例性SPAD成像感測器系統400之一積體電路系統之一項實例之一方塊圖。SPAD成像感測器系統400可係上文在圖1至圖3中所圖解說明之實例性堆疊積體電路系統之部分之一項實例性實施方案。圖4中所展示之SPAD成像感測器系統

400之所圖解說明實施例包含一SPAD成像陣列405、高速讀出電路410、功能邏輯415及控制電路420。

如在所繪示實例中所展示，成像陣列405係背側照明成像感測器或像素(例如，像素P1、P2、...、Pn)之一個二維(「2D」)陣列。在一項實例中，根據本發明之教示，每一像素包含適於自背側進行照明且包含一薄p磊晶層之一SPAD區域，該薄p磊晶層形成於背側上在一較厚n磊晶層上方，以界定每一SPAD區域之倍增界面。如所繪示實例中所圖解說明，每一像素配置至一系列(例如，列R1至Ry)及一行(例如，行C1至Cx)中以獲取一人、地點或物件之影像資料，然後可使用該影像資料來再現該人、地點或物件之一2D影像。成像陣列405亦可在計時模式中使用以給出一場景之一「時間影像」，其可在飛行時間應用中用於範圍資訊或針對醫學應用用於螢光生命期。

由成像陣列405之SPAD區域產生之輸出脈衝由高速讀出電路410讀出且傳送至功能邏輯415。讀出電路410包含用於SPAD區域中之每一者之至少一個數位計數器且亦可包含放大電路及/或淬滅電路。功能邏輯415可簡單地將影像資料儲存於記憶體中或甚至藉由應用後影像效應(例如，裁剪、旋轉、移除紅眼、調整亮度、調整對比度或以其他方式)來操縱影像資料。控制電路420耦合至成像陣列405及/或讀出電路410以控制成像陣列405之操作特性。舉例而言，控制電路420可在一時間窗內同時啟用包含於高速讀出電路410中之數位計數器中之每一者以便實施一全域快門操作。因此，本文中所論述之SPAD堆疊晶片影像感測器之實施例提供高速及低光敏感兩者之成像，此通常藉助習用感測器架構無法達成。

包含發明摘要中所闡述內容之本發明之所圖解說明實例之以上說明並非意欲為窮盡性或限制於所揭示之精確形式。儘管出於說明性目的而在本文中闡述本發明之特定實施例及實例，但可在不背離本發



明之較寬廣精神及範疇之情形下做出各種等效修改。

可根據以上詳細說明對本發明之實例做出此等修改。在以下申請專利範圍中使用之術語不應理解為將本發明限制於說明書及申請專利範圍中所揭示之特定實施例。而是，範疇將完全由以下申請專利範圍來判定，申請專利範圍將根據申請專利範圍解釋之既定原則加以理解。因此，應將本說明書及圖視為說明性而非限制性。

### 【符號說明】

100	裝置晶圓/堆疊裝置晶圓/頂部裝置晶圓
100'	裝置晶圓/堆疊裝置晶圓/單獨底部裝置晶圓
102	積體電路系統
111至119	半導體晶粒/晶粒
202	輸出脈衝/所得輸出脈衝/所接收輸出脈衝
204	數位信號
300A	積體電路系統
300B	積體電路系統
302	單光子崩潰二極體區域/單光子崩潰二極體
304	第一裝置晶圓/堆疊裝置晶圓
306	第二裝置晶圓/堆疊裝置晶圓
307	接合界面
308	數位計數器
309	金屬跡線
310	第一半導體層/半導體層/金屬跡線/n摻雜磊晶層/磊晶層
312	第一互連層
314	第二半導體層/半導體層
316	第二互連層

317	金屬跡線
318	金屬跡線
320	p-摻雜防護環區域/防護環區域/防護環
321	倍增接面/單光子崩潰二極體倍增接面
322	p摻雜磊晶層/淺p摻雜磊晶層/磊晶層/薄p摻 雜磊晶層
324	觸點區域/p+摻雜觸點區域
326	n+摻雜觸點區域/觸點區域
328	氧化物層
329	微型穿矽導通體/導通體
330	微型穿矽導通體/導通體
340	堆疊裝置晶圓/第三裝置晶圓/額外第三晶圓/ 第三晶圓
342	第三半導體層
344	接合界面
346	半導體裝置/裝置
400	實例性單光子崩潰二極體成像感測器系統/ 單光子崩潰二極體成像感測器系統
405	單光子崩潰二極體成像陣列/成像陣列
410	高速讀出電路/讀出電路
415	功能邏輯
420	控制電路
$C_1$ 至 $C_x$	行
$P_1$ 至 $P_N$	像素
$PIXEL_1$ 至 $PIXEL_N$	像素電路/像素
$Q_1$ 至 $Q_N$	淬滅元件/實例性淬滅元件

$R_1$ 至 $R_y$

列

$SPAD_1$ 至 $SPAD_N$

單光子崩潰二極體(SPAD)

$V_{BIAS}$

偏壓電壓

## 申請專利範圍

1. 一種單光子崩潰二極體(SPAD)，其包括：
  - n摻雜磊晶層，其安置於一第一半導體層中；
  - p摻雜磊晶層，其形成於該n摻雜磊晶層上方在該第一半導體層之一背側上，其中該p摻雜磊晶層覆蓋該第一半導體層之整個該背側；
  - 倍增界面，其界定於該n摻雜磊晶層與該p摻雜磊晶層之間的一界面處，其中一倍增界面經反向偏壓至高於一擊穿電壓，以使得透過該第一半導體層之該背側接收之一光子在該倍增界面中觸發一崩潰倍增程序；及
  - p-摻雜防護環區域，其植入於該n摻雜磊晶層中環繞該倍增界面，其中該p摻雜磊晶層自該第一半導體層之該背側覆蓋整個該p-摻雜防護環區域。
2. 如請求項1之單光子崩潰二極體，其進一步包括安置於該n摻雜磊晶層中之一n+摻雜觸點區域，其中該n+摻雜觸點區域經耦合以提供自該第一半導體層之一前側至該n摻雜磊晶層之接觸。
3. 如請求項1之單光子崩潰二極體，其進一步包括植入於該p-摻雜防護環區域內之一p+摻雜觸點區域，其中該p+摻雜觸點區域經耦合以提供自該第一半導體層之一前側至該p摻雜磊晶層之接觸。
4. 如請求項3之單光子崩潰二極體，其中該p+摻雜觸點區域具有比該p-摻雜防護環區域高之一摻雜濃度。
5. 如請求項1之單光子崩潰二極體，其中該p摻雜磊晶層具有一漸變摻雜輪廓。
6. 一種成像感測器系統，其包括：

一第一晶圓之一第一半導體層；

一單光子崩潰二極體(SPAD)成像陣列，其包含形成於該第一半導體層中之複數個像素，其中每一像素包含一SPAD，該SPAD包含：

一n摻雜磊晶層，其安置於該第一半導體層中；

一p摻雜磊晶層，其形成於該n摻雜磊晶層上方在該第一半導體層之一背側上，其中該p摻雜磊晶層覆蓋該第一半導體層之整個該背側；

一倍增界面，其界定於該n摻雜磊晶層與該p摻雜磊晶層之間的一界面處，其中一倍增界面經反向偏壓至高於一擊穿電壓，以使得透過該第一半導體層之該背側接收之一光子在該倍增界面中觸發一崩潰倍增程序；

一p-摻雜防護環區域，其植入於該n摻雜磊晶層中環繞該倍增界面，其中該p摻雜磊晶層自該第一半導體層之該背側覆蓋整個該p-摻雜防護環區域；

一第二晶圓之一第二半導體層，其接合至該第一晶圓；

複數個數位計數器，其形成於該第二半導體層中且電耦合至該SPAD成像陣列，其中該複數個數位計數器中之每一者經耦合以計數由該複數個像素中之一各別者產生之輸出脈衝。

7. 如請求項6之成像感測器系統，其中每一SPAD進一步包含安置於該n摻雜磊晶層中之一n+摻雜觸點區域，其中該n+摻雜觸點區域經耦合以提供自該第一半導體層之一前側至該n摻雜磊晶層之接觸。
8. 如請求項6之成像感測器系統，其中每一SPAD進一步包含植入於該p-摻雜防護環區域內之一p+摻雜觸點區域，其中該p+摻雜觸點區域經耦合以提供自該第一半導體層之一前側至該p摻雜磊晶層

之接觸。

9. 如請求項8之成像感測器系統，其中該p+摻雜觸點區域具有比該p-摻雜防護環區域高之一摻雜濃度。
10. 如請求項6之成像感測器系統，其中該p摻雜磊晶層具有一漸變摻雜輪廓。
11. 如請求項6之成像感測器系統，其中形成於該第二半導體層中之該複數個數位計數器中之每一者包括安置於該第二晶圓之該第二半導體層中之一互補金屬氧化物半導體(CMOS)電路。
12. 如請求項6之成像感測器系統，其中該複數個像素包含N數目個像素，其中該複數個數位計數器包含至少N數目個數位計數器，且其中該N數目個數位計數器中之每一者耦合至該複數個像素中之一各別者。
13. 如請求項6之成像感測器系統，其進一步包括：
  - 一第一互連層，其安置於該第一半導體層之該前側上；及
  - 一第二互連層，其安置於該第二半導體層上，其中該第一晶圓在該第一互連層與該第二互連層之間的一接合界面處接合至該第二晶圓。
14. 如請求項13之成像感測器系統，其中該第一互連層包含一第一氧化物，該第二互連層包含一第二氧化物，且其中該接合界面包含該第一氧化物與該第二氧化物之間的一界面。
15. 如請求項14之成像感測器系統，其中該第一互連層包括複數個導通體，其中該複數個導通體中之每一者耦合至該SPAD成像陣列之一各別像素以在該接合界面處將該輸出脈衝傳送至該第二互連層。
16. 如請求項6之成像感測器系統，其中每一像素包括一淬滅元件，該淬滅元件耦合至一各別SPAD以藉由降低一偏壓電壓而使該各

別SPAD之崩潰淬滅。

17. 如請求項6之成像感測器系統，其進一步包括控制電路，該控制電路形成於該第二半導體層中且耦合至該SPAD成像陣列以控制該SPAD成像陣列之操作。
18. 如請求項17之成像感測器系統，其進一步包括功能邏輯，該功能邏輯形成於該第二半導體層中且耦合至該複數個數位計數器以儲存自該SPAD成像陣列讀出之資料。

圖式

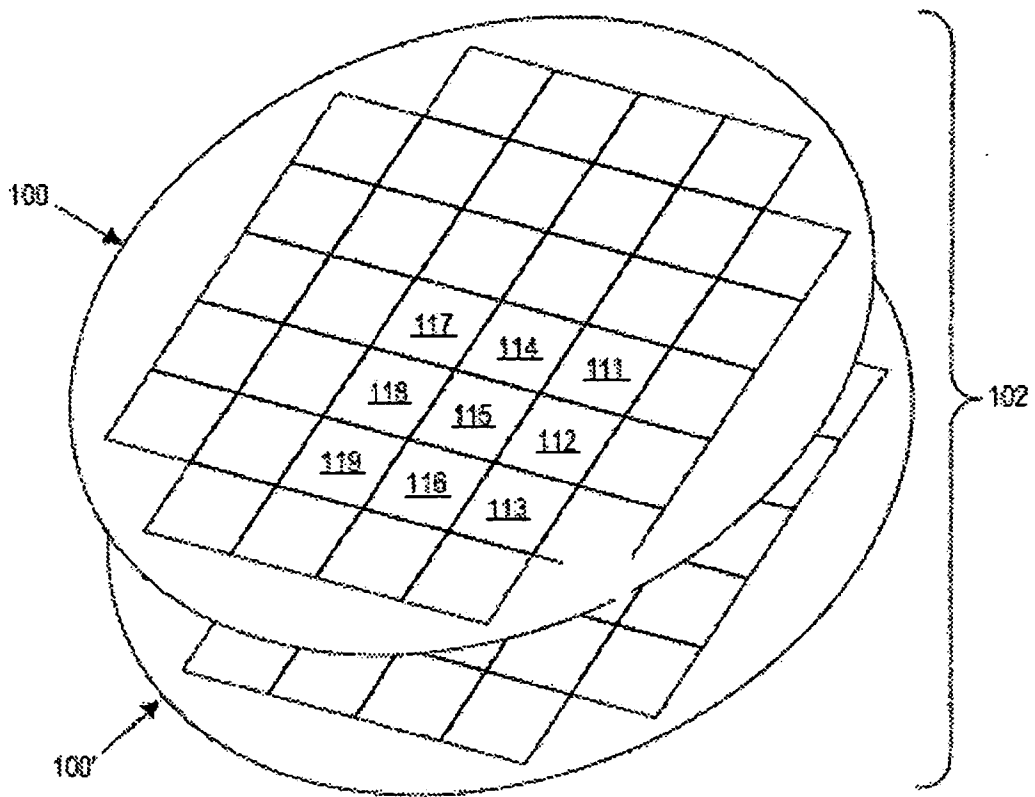


圖 1



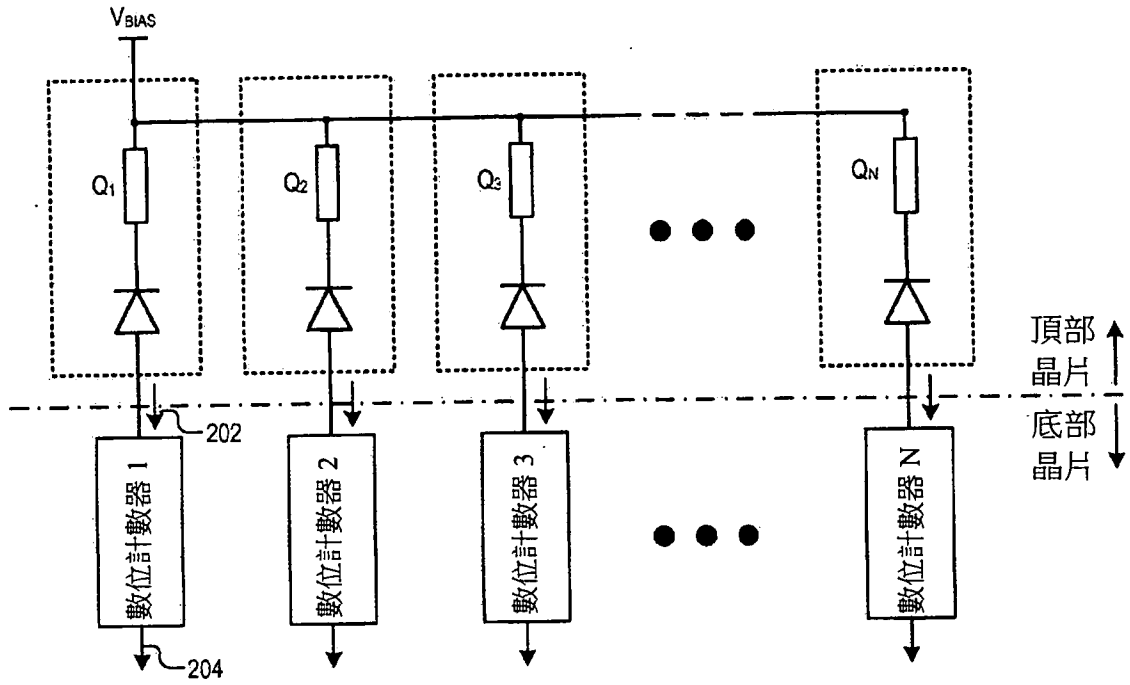


圖 2

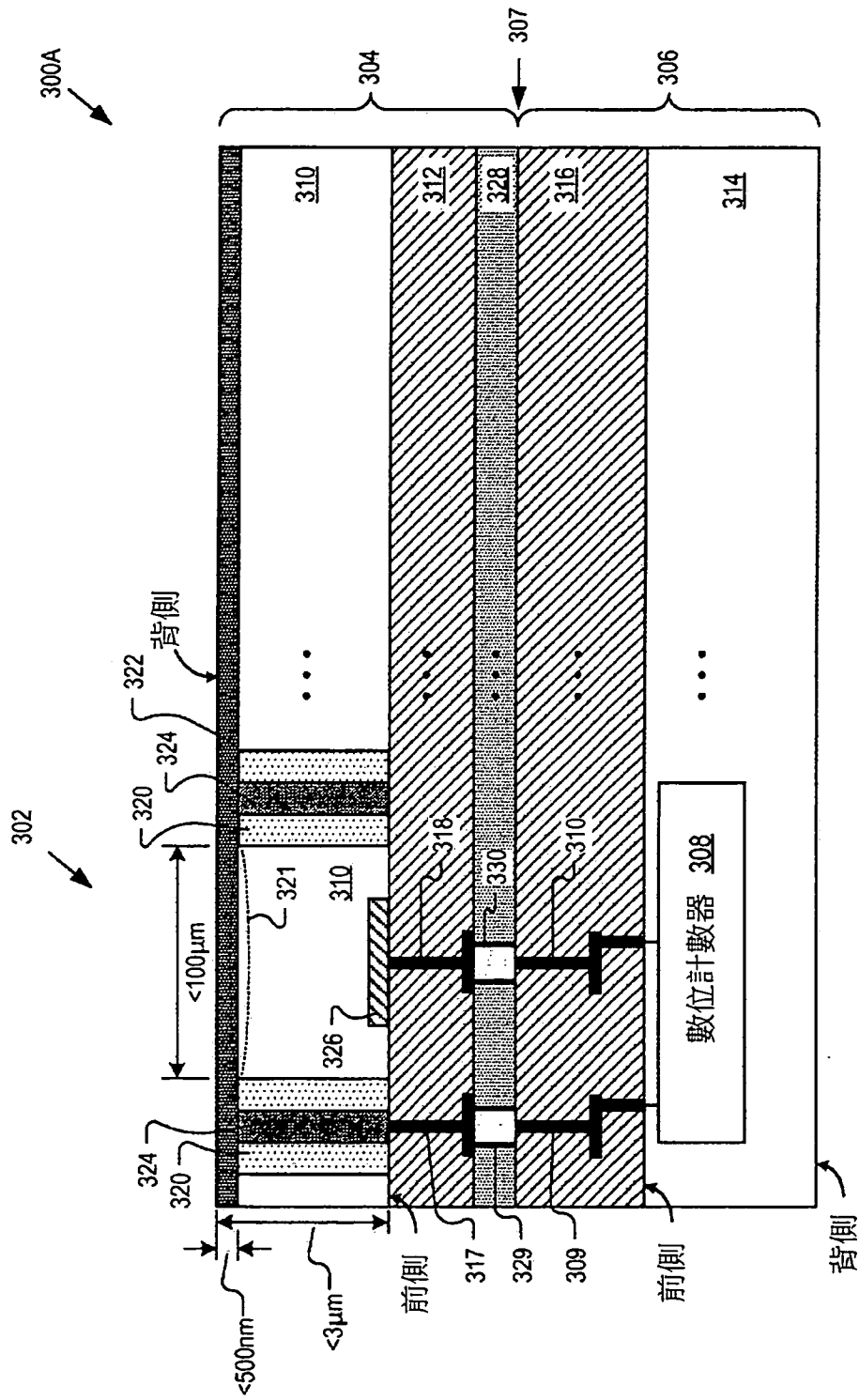


圖 3A

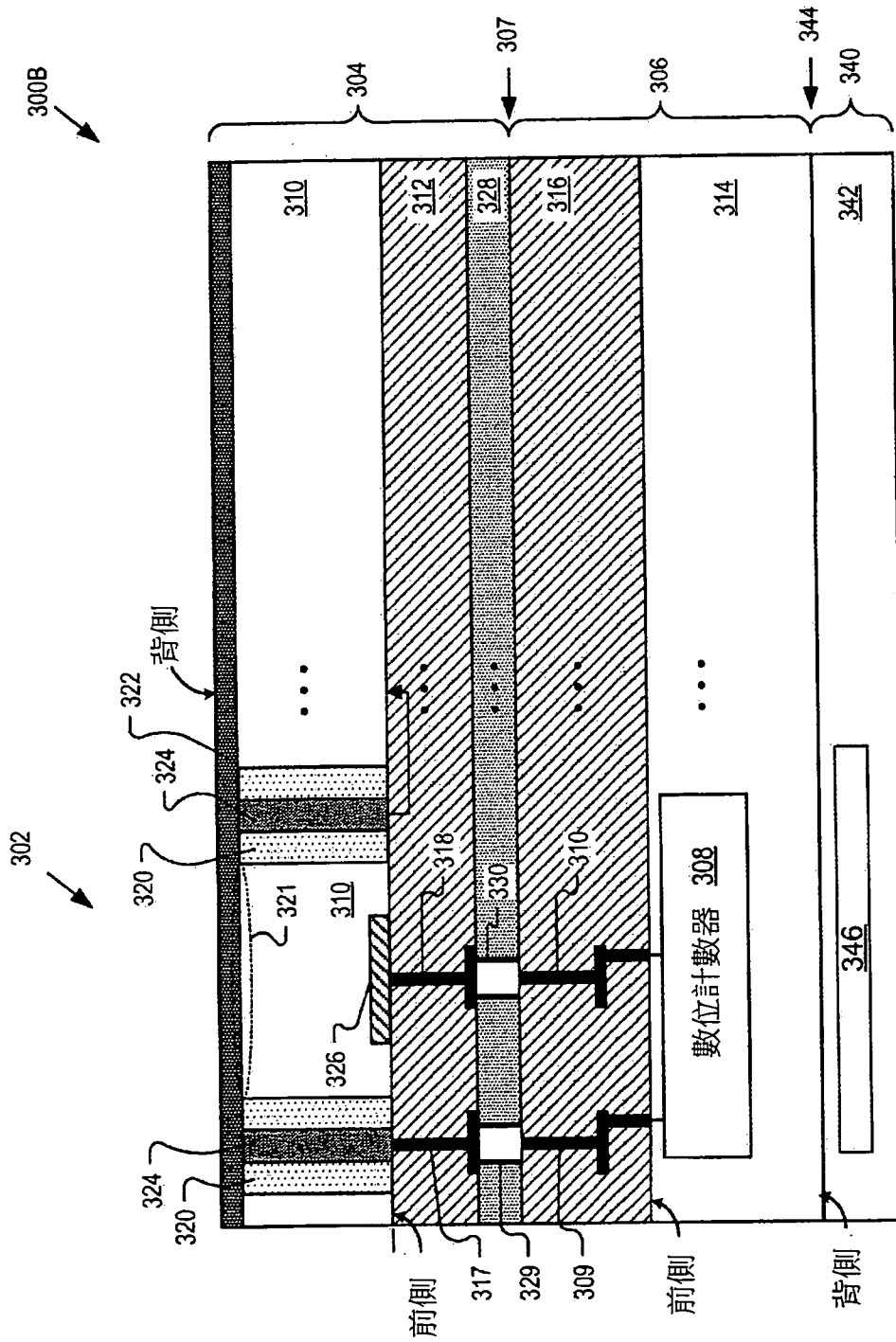


圖 3B

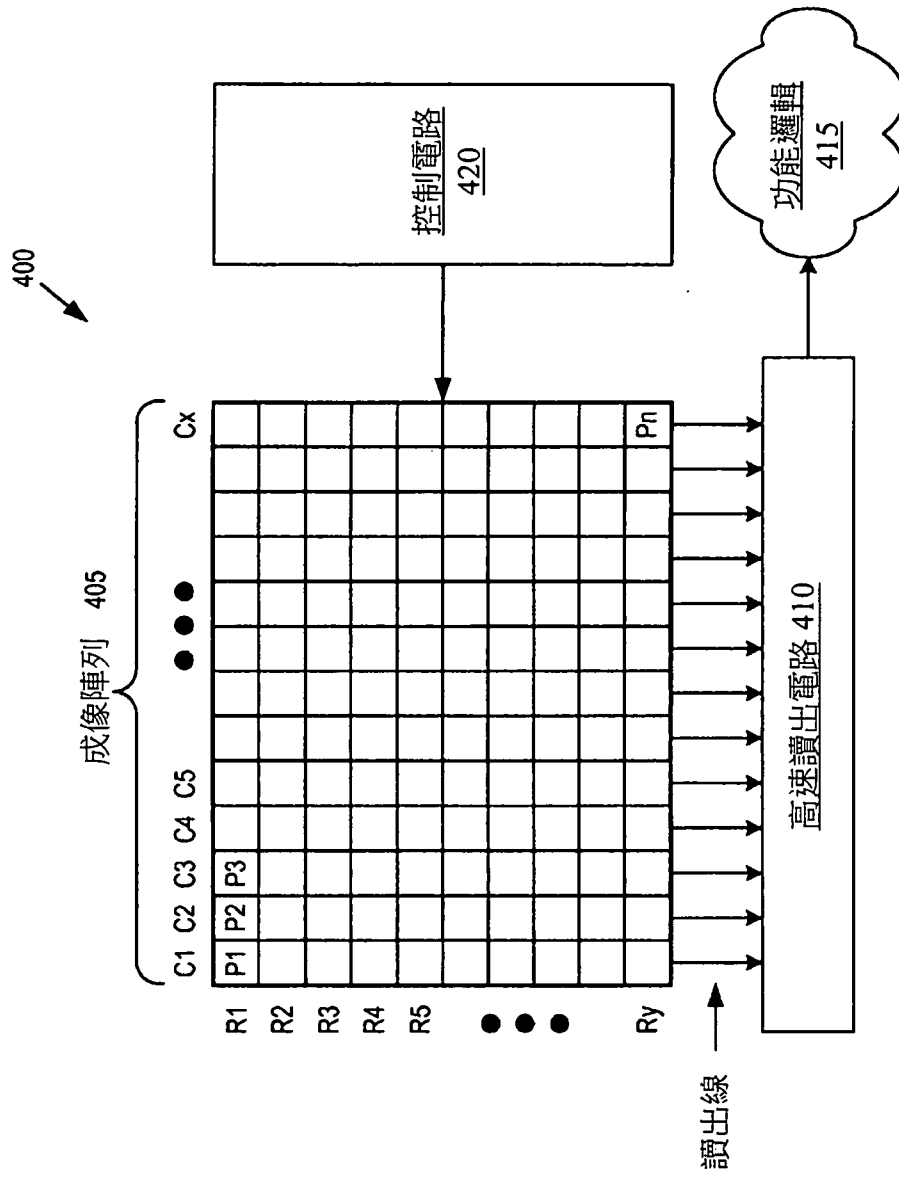


圖 4