

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3558526号
(P3558526)

(45) 発行日 平成16年8月25日(2004.8.25)

(24) 登録日 平成16年5月28日(2004.5.28)

(51) Int. Cl.⁷

F I

G 1 1 C 11/409
G 1 1 C 11/401
H O 1 L 21/8242
H O 1 L 27/108

G 1 1 C 11/34 3 5 4 R
G 1 1 C 11/34 3 7 1 K
G 1 1 C 11/34 3 6 2 H
H O 1 L 27/10 6 8 1 F

請求項の数 6 (全 16 頁)

(21) 出願番号	特願平10-201851	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成10年7月16日(1998.7.16)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2000-36189(P2000-36189A)	(74) 代理人	100077517 弁理士 石田 敬
(43) 公開日	平成12年2月2日(2000.2.2)		100100871 弁理士 土屋 繁
審査請求日	平成13年5月18日(2001.5.18)		100088269 弁理士 戸田 利雄
			100082898 弁理士 西山 雅也
			100081330 弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

アレイ状に配列されたメモリセル群と、
該メモリセル群の列毎に配置され、アクセスするメモリセルへのデータの書き込み/読み出しを行うためのダイレクト型センスアンプ群と、
アクセスするメモリセルが接続される列のセンスアンプを選択するコラム選択線と、
データの書き込み時にアクセスするメモリセルが接続される行のセンスアンプを選択する書き込み専用コラム選択線とを備えた半導体記憶装置であって、
前記書き込み専用コラム選択線を制御する信号として、前記センスアンプを制御する信号を用い、さらに、
前記書き込み専用コラム選択線を制御する回路は、メイン書き込み専用コラム選択線用駆動回路およびサブ書き込み専用コラム選択線用駆動回路を備え、該メイン書き込み専用コラム選択線用駆動回路により前記センスアンプ群の選択を行い、且つ、該サブ書き込み専用コラム選択線用駆動回路により当該選択されたセンスアンプ群におけるセンスアンプを駆動するようにしたことを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置において、前記メイン書き込み専用コラム選択線用駆動回路をメインワードデコーダ列とセンスアンプ列との交差個所に配置し、且つ、前記サブ書き込み専用コラム選択線用駆動回路をサブワードデコーダ列と前記センスアンプ列との交差個所に配置するようにしたことを特徴とする半導体記憶装置。

【請求項3】

請求項1記載の半導体記憶装置において、前記サブ書き込み専用コラム選択線用駆動回路を、Nを自然数として、N個おきのサブワードデコーダ列と前記センスアンプ列との交差点に配置するようにしたことを特徴とする半導体記憶装置。

【請求項4】

請求項1記載の半導体記憶装置において、前記サブ書き込み専用コラム選択線用駆動回路は、ブロックを選択する信号により制御されるようになっていることを特徴とする半導体記憶装置。

【請求項5】

請求項4記載の半導体記憶装置において、ブロックを選択する信号線は、前記コラム選択線と平行にサブワードデコーダ列上に配置されていることを特徴とする半導体記憶装置。

10

【請求項6】

請求項5記載の半導体記憶装置において、前記コラム選択線および前記書き込み専用コラム選択線は、異なる金属配線層で形成されるようになっていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、高速アクセスを可能とするダイレクト型センスアンプ方式の半導体記憶装置に関する。

20

近年、半導体技術の進歩に伴って、半導体記憶装置（例えば、DRAM：Dynamic Random Access Memory）の高速化および高集積化（大容量化）が進められている。そして、高速なアクセスが可能な半導体集積回路として、シンクロナスDRAM（SDRAM）のような外部クロックに同期した半導体記憶装置、特に、ダイレクト型センスアンプを使用して書き込み時のセンスアンプの選択をビット線に平行なコラム選択線とこれに垂直な書き込み専用コラム選択線で行う半導体記憶装置が研究開発されている。そして、このような半導体記憶装置における書き込み専用コラム選択線の制御をレイアウト的にも効率的で簡単に行うことが要望されている。

【0002】

30

【従来の技術】

近年、半導体技術の進歩に伴って、半導体記憶装置の高速化および高集積化が進められている。

ところで、半導体記憶装置の高集積化（大容量化）は、半導体集積回路の微細加工技術の進歩に伴って進められ、高集積化することにより1つの半導体記憶装置の記憶容量が増大すると、従来の1ビットのデータ幅では使い勝手がよくないため、データ幅を多ビット化するのが一般的である。

【0003】

また、半導体記憶装置を高速化する手法としては各種あるが、その中で近年実用化されているものとして同期（シンクロナス）型がある。これは外部からクロック信号を入力し、データの入出力および内部での動作をクロック信号に同期して行わせることにより高速化を図るもので、動作のパイプライン化などが行われている。

40

【0004】

図1は関連技術の半導体記憶装置におけるメモリセルのブロック/アレイ構成の一例を概略的に示す図であり、SDRAMのメモリセルのブロック/アレイ構成を示すものである。

図1に示されるように、例えば、64Mビットや256Mビットの大容量のSDRAMでは、メモリセル群1を複数のブロック2に分割するようになっている。すなわち、図1に示す例では、各ブロックにおいて、メモリセル群を格子状に配列し、横方向（列（コラム）方向）を複数の行群（行グループ）に分割し、縦方向（行（ロウ）方向）を複数の列群

50

(列グループ)に分割している。

【0005】

図1において、参照符号10は、それぞれ縦および横の両方向に分割されたメモリセルアレイを示している。図1に示されるように、各メモリセルアレイ10の横方向の両側にはロウデコーダ11が配置され、また、縦方向の両側にはセンスアンプ群13が配置され、そして、列群毎にコラムデコーダ12が配置されるようになっている。

【0006】

メモリセルへのアクセスは、ロウデコーダ11によりアクセスするメモリセルMCの属する行のワード線WLを選択して活性化し、コラムデコーダ12によりアクセスするメモリセルMCの属する列のビット線BL(/BL)に接続されるセンスアンプ13を選択して活性化することにより行われる。ここで、コラムデコーダ12の出力は、コラム選択線CLを介してセンスアンプ13に供給される。また、参照符号14はWCLドライバ(書き込み専用コラム選択線駆動回路)を示し、後述するようにアクセスするメモリセルの属する行に接続されるセンスアンプを選択して活性化する。

10

【0007】

図2は図1の半導体記憶装置におけるダイレクト型センスアンプの一例を示す回路図である。

図2に示すダイレクト型のセンスアンプは、2個のインバータ21および22で構成されるフリップフロップを相補のビット線対BL, /BLに接続し、各ビット線BL, /BLの情報をデータバスに伝えるためのトランジスタ23, 24のゲートに該各ビット線BL, /BLを直接入力するようになっている。

20

【0008】

フリップフロップ(21, 22)は、読み出し動作の時にはワード線(WL)へのロウデコード信号の供給直後に活性化され、メモリセル(MC)の記憶状態に応じて変化したビット線対BL, /BLの電位差を拡大する。これに応じてトランジスタ23および24の一方がオン状態になり、また、コラム選択線CLに選択信号が供給されてトランジスタ25, 26がオン状態になって、信号rdbx, rdbzが記憶内容に応じて変化する。

【0009】

一方、書き込み時には、コラム選択線CLに選択信号が供給されてトランジスタ27, 28がオン状態になり、また、書き込み専用コラム選択線WCLに選択信号が供給されてトランジスタ29, 30がオン状態になって、ビット線対BL, /BLの電位が書き込みデータwdbz, wdbxに応じて変化する。この状態でワード線(WL)を立ち上げると、対応する行のメモリセル(MC)がビット線対BL, /BLのどちらか一方に接続されて当該メモリセル(MC)がビット線BLまたは/BLの状態に対応した状態になる。

30

【0010】

図2に示すようなダイレクト型のセンスアンプは、ビット線対BLおよび/BLとデータ入出力側が分離されているため、例えば、パイプライン処理を行うSDRAMに適している。また、図2に示すようなダイレクト型のセンスアンプで書き込み処理を行う場合には、上述したように、コラム選択線CLおよび書き込み専用コラム選択線WCLに対して同時に選択信号を与える必要がある。

40

【0011】

なお、センスアンプを図1に示すように配置する場合、各センスアンプ13は、上側のメモリセル10と下側のメモリセル10のいずれに接続するか切り換えられるようになっている。

図3は図1の半導体記憶装置におけるセンスアンプ(シェアードセンスアンプ方式を採用したセンスアンプ)の切り換え機構の一例を説明するための図である。

【0012】

図3に示されるように、各センスアンプ13A, 13Bからはスイッチとして動作するトランジスタ31, 32; 33, 34を介して、上下両側にそれぞれ相補のビット線対BL

50

、 $\bar{B}L$ が延びている。上側のセンスアンプ13Aから延びるビット線対と下側のセンスアンプ13Bから延びるビット線対は並行して配置され、それらに接続されるメモリセル(MC)は各ワード線(WL)に接続される。従って、この部分のワード線がアクセスされる場合には、この部分のビット線対 $B\bar{L}$ 、 $\bar{B}L$ に接続されるトランジスタ31、32または33、34にビット線絶縁ゲート制御信号(BLT)が供給され、センスアンプ13Aまたは13Bがこの部分のビット線対 $B\bar{L}$ 、 $\bar{B}L$ に接続される。なお、センスアンプ13Bの下側のワード線がアクセスされる場合には、この部分のビット線対 $B\bar{L}$ 、 $\bar{B}L$ に接続されるトランジスタ31、32にビット線絶縁ゲート制御信号(BLT)が供給され、センスアンプ13Bは下側のビット線対 $B\bar{L}$ 、 $\bar{B}L$ に接続された状態になる。

【0013】

コラム選択線(行選択信号)CLは、一番上の低抵抗の金属配線層に設けられ、このコラム選択線CLと平行に書き込み専用コラム選択線WCLを設けるのは物理的に無理があるため、書き込み専用コラム選択線WCLは、コラム選択線CLに対して垂直な方向に伸びるワード線WLと平行な線として設けられる。この書き込み専用コラム選択線WCLが設けられる配線層は、センスアンプの活性化信号などと同じ金属配線層であるが、最上層のコラム選択線CLよりは抵抗が高い金属配線層に設けられる。

【0014】

図4は図1の半導体記憶装置におけるセンスアンプ駆動系の一構成例を示す図である。図4に示されるように、センスアンプ(S/A)13は、列毎に、行グループの個数分だけ設けられる。実際には、各メモリセルアレイ10の上下両側に設けられているため行グループの個数に1加えた個数分だけ配設されることになる。また、センスアンプ13は、複数の列のセンスアンプをまとめたセンスアンプブロック20として構成されている。

【0015】

コラムデコーダ12は、入力端子群19から入力されてプリデコーダ15で予備的にデコードされたコラムアドレス信号からコラム選択信号(CL)を発生してコラム選択線CLに供給する。さらに、書き込み時には、ライトイネーブル(WE)信号が入力端子群19から入力され、書き込み専用コラム線WCLを駆動するWCLドライバ14に入力される。WCLドライバ14は、WE信号とロウデコード信号に応じて書き込み専用コラム(WCL)選択信号を発生して書き込み専用コラム線WCLに供給する。ここで、コラム選択信号が供給されたコラム選択線CLと書き込み専用コラム選択信号が供給された書き込み専用コラム線WCLの両方に接続されるセンスアンプ13がライトデータバスに接続され、この時、入力端子群19から入力されたデータDQがライトバッファ17を介してセンスアンプ群に供給されて、アクセスされたメモリセルへの書き込みが行われることになる。

【0016】

図5は図4のセンスアンプ駆動系におけるコラムラインとセンスアンプの構成例を示す図である。

図4では、1本のCLと1本のWCLで1個のセンスアンプ13がアクセスされるように示したが、近年はデータ幅の多ビット化およびCL配線のピッチ緩和のため、図5に示すように、1本のCLに同じ群の2個のセンスアンプ(S/A)13が接続されるようになっている。また、図3で説明したように、各センスアンプ群の間では2組のビット線対が並行に設けられており、隣接する群のセンスアンプは同時に動作する。

【0017】

ここで、ある群の同じCLに接続されるセンスアンプは、それぞれ第1と第2のライトデータバスWDBに接続され、また、隣接する群の同じCLに接続されるセンスアンプは、それぞれ第3と第4のライトデータバスWDBに接続される。従って、あるアドレスをアクセスすると、1本のコラム選択線CLが選択され、1本のワード線(WL)が選択され、そして、4個のセンスアンプ(13)が選択される。

【0018】

なお、書き込み動作の場合には、さらにアクセスするワード線の両側に位置するセンサ

10

20

30

40

50

ンプを選択する書き込み専用コラム線WCLが選択され、4個のセンスアンプが選択されて書き込みが行われる。このようにして、4ビットのデータが並行して入出力される。さらに、図1のブロック2の内の幾つかを並行してアクセスすることで、データ幅の多ビット化が図られている。

【0019】

以上がダイレクト型のセンスアンプを使用した外部信号に同期して動作する半導体記憶装置の基本的な構成である。

【0020】

【発明が解決しようとする課題】

図6は関連技術としての半導体記憶装置におけるバンク構成の一例を示す図であり、具体的に、256MビットのSDRAMのバンク構成を示す図である。図6に示されるように、このSDRAMは、16Mビットのブロック2-0, 2-1, ..., 2-15に分けられており、さらに4ブロックを1組としてグループ3-0, 3-1, ..., 3-3となっている。各グループの4つのブロックは、それぞれバンク0, 1, 2, 3の4つのバンクに属し、各バンクのブロックは同時に並行してアクセスされるようになっている。

10

【0021】

図7は図6のバンク構成におけるコラムラインの選択を説明するための図である。

図7に示されるように、2本のコラム選択線CL0-0とCL0-1, CL1-0とCL1-1などが同時に選択される。各コラム選択線が選択された場合には、図5に示したように4個のセンスアンプ(S/A)が選択されるので、8個のセンスアンプが選択される。上記のように、1つのバンクには4個のブロックがあるので、合計32ビットのデータ幅になる。

20

【0022】

ところで、上述したような関連技術としてのダイレクト型センスアンプを使用して書き込み時のセンスアンプの選択をビット線に平行なコラム選択線CLとこれに垂直な書き込み専用コラム選択線WCLで行う半導体記憶装置において、書き込み専用コラム選択線WCLの簡単な制御方式が必要とされている。

本発明は、上述したダイレクト型センスアンプを使用して書き込み時のセンスアンプの選択をビット線に平行なコラム選択線とこれに垂直な書き込み専用コラム選択線で行う半導体記憶装置に鑑み、書き込み専用コラム選択線の簡単な制御をレイアウト的にも効率的に行うことができる半導体記憶装置の提供を目的とする。

30

【0023】

【課題を解決するための手段】

本発明によれば、アレイ状に配列されたメモリセル群と、該メモリセル群の列毎に配置され、アクセスするメモリセルへのデータの書き込み/読み出しを行うためのダイレクト型センスアンプ群と、アクセスするメモリセルが接続される列のセンスアンプを選択するコラム選択線と、データの書き込み時にアクセスするメモリセルが接続される行のセンスアンプを選択する書き込み専用コラム選択線とを備えた半導体記憶装置であって、前記書き込み専用コラム選択線を制御する信号として、前記センスアンプを制御する信号を用い、さらに、前記書き込み専用コラム選択線を制御する回路は、メイン書き込み専用コラム選択線用駆動回路およびサブ書き込み専用コラム選択線用駆動回路を備え、該メイン書き込み専用コラム選択線用駆動回路により前記センスアンプ群の選択を行い、且つ、該サブ書き込み専用コラム選択線用駆動回路により当該選択されたセンスアンプ群におけるセンスアンプを駆動するようにしたことを特徴とする半導体記憶装置が提供される。

40

すなわち、本発明の半導体記憶装置によれば、書き込み専用のコラム選択線の制御信号として、センスアンプ用の制御信号を使用し、記書き込み専用コラム選択線を制御する回路を、メイン書き込み専用コラム選択線用駆動回路およびサブ書き込み専用コラム選択線用駆動回路で構成し、メイン書き込み専用コラム選択線用駆動回路によりセンスアンプ群の選択を行い、且つ、サブ書き込み専用コラム選択線用駆動回路により選択されたセンスアンプ群におけるセンスアンプを駆動することによって、信号線の増加を防いで書き込み専

50

用コラム選択線の制御をレイアウト的にも効率的で簡単に行うことが可能となる。

【0024】

すなわち、本発明の半導体記憶装置によれば、書き込み専用のコラム選択線の制御信号として、センスアンプ用の制御信号を用いることによって、信号線の増加を防いで書き込み専用コラム選択線の制御をレイアウト的にも効率的で簡単に行うことが可能となる。

【0025】

【発明の実施の形態】

以下、本発明に係る半導体記憶装置の実施例を図面を参照して詳述する。

図8は本発明が適用され得る半導体記憶装置におけるメモリセルのブロック/アレイ構成の一例を概略的に示す図であり、図1に対応するものである。

10

図8に示される半導体記憶装置は、図1の半導体記憶装置に対して、各群のセンスアンプを選択する下位の書き込み専用コラム選択線(SWCL)用の駆動回路(SWCLドライバ)42を設けるようになっている。なお、他の構成は、図1の半導体記憶装置と実質的に同様であり、その説明は省略する。

【0026】

図9は図8の半導体記憶装置におけるセンスアンプ駆動系の一構成例を示す図であり、図4に対応するものである。

図9と図4との比較から明らかなように、図9に示す本センスアンプ駆動系の構成例では、図4の半導体記憶装置におけるWCLドライバ14と書き込み専用コラム選択線WCLを、上位のメイン書き込み専用コラム選択線用駆動回路(MWCLドライバ)41および下位のサブ書き込み専用コラム選択線用駆動回路(SWCLドライバ)42と、上位の書き込み専用コラム選択線MWCLおよび下位の書き込み専用コラム選択線SWCLとの2段構成とするようになっている。ここで、MWCLドライバ41は、図4のセンスアンプ駆動系においてWCLドライバ14が配置された位置に設けられ、また、SWCLドライバ42は、各センスアンプブロック20の近辺に設けられるようになっている。

20

【0027】

図9において、参照符号DQMは、データビットのマスクデータであり、このマスクデータDQMがMWCLドライバ41に供給されるようになっている。これにより、MWCLドライバ41は、たとえ書き込みアクセスするメモリセルがその行群に属する時でも、マスクデータDQMによりマスクを指示された時には書き込み専用コラム選択信号を発生せず、従って、DQMによりマスクを指示された時にはそのブロックへの16ビットのデータの書き込みを行わないようになっている。従って、書き込みを禁止するかしないかは、例えば、16ビット(2バイト)単位で行えることになる。

30

【0028】

図10は本発明に係る半導体記憶装置の一実施例の要部を概略的に示すブロック図である。

図9および図10から明らかなように、本実施例の半導体記憶装置において、MWCLドライバ41は、センスアンプ列毎に1個設けられ、SWCLドライバ42は、同一列の複数個のセンスアンプ13をグループとしたセンスアンプブロック20毎に1個設けられる。MWCLドライバ41は、図4におけるWCLドライバ14と同様に、書き込み時にアクセスするメモリセルがその行群に属する時に書き込み専用コラム選択信号を発生して、上位の書き込み専用コラム選択線MWCLに出力する。SWCLドライバ42は、接続される上位の書き込み専用コラム選択線MWCLに書き込み専用コラム選択信号が出力されるとこれを受けて増幅し、下位の書き込み専用コラム選択線SWCLに出力する。

40

【0029】

ここで、MWCLドライバ(メイン書き込み専用コラム選択線用駆動回路)41は、メインワードデコーダ列とセンスアンプ列との交差個所に配置され、また、SWCLドライバ(サブ書き込み専用コラム選択線用駆動回路)42は、サブワードデコーダ列とセンスアンプ列との交差個所に配置されている。また、書き込み専用コラム選択線MWCLおよびSWCLは、コラム選択線CLと直交するように配置されている。このように、本実

50

施例の半導体記憶装置は、効率的なレイアウトを行うようになっている。

【0030】

具体的に、256MビットのSDRAMであれば、例えば、コラム方向に2K個のセンスアンプが設けられるので、64個のセンスアンプをまとめてセンスアンプブロック20とすると、1行にセンスアンプブロック20は32個あることになる。従って、MWCLドライバ41は32個のSWCLドライバ42を駆動し、SWCLドライバ42は64個のセンスアンプを駆動することになり、従来例に比べて駆動するゲート数ははるかに少なくなるので、たとえ2段階で駆動しても動作速度は速くなる。

【0031】

図11は図10の半導体記憶装置におけるMWCLドライバ41の一例を示す回路図である。 10

図11に示されるように、MWCLドライバ41は、直列に接続されたインバータ411、412および2入力ノアゲート413で構成されている。ここで、ノアゲート413の入力信号としては、ライトイネーブル信号WEおよびセンスアンプ13を制御するラッチイネーブル制御信号LEXが供給されている。また、ラッチイネーブル制御信号LEXの代わりに、センスアンプを制御するビット線プリチャージ活性化制御信号BRSや、シェアードセンスアンプ方式を採用した場合のビット線絶縁ゲート制御信号BLTを使用することもできる。

【0032】

すなわち、本実施例の半導体記憶装置におけるMWCLドライバ41は、センスアンプを 20
制御する信号(LEX, BRS, BLT)を用いるようになっており、これにより、信号線の増加を防いで書き込み専用コラム選択線WCL(MWCL, SWCL)の制御をレイアウト的にも効率的で簡単に行うことが可能となる。

【0033】

図12は図10の半導体記憶装置におけるSWCLドライバ42の一例を示す回路図である。

図12に示されるように、SWCLドライバ42は、直列に接続されたインバータ421 30
および2入力のナンドゲート422で構成されている。ここで、ナンドゲート422の入力信号としては、MWCLドライバ41の出力信号(MWCL)およびブロック選択信号BSが供給されている。

【0034】

図13は図10の半導体記憶装置におけるセンスアンプ(S/A)13の一例を示す回路図である。なお、図13のセンスアンプにおいて、前述した図2に示すダイレクト型セン 30
スアンプを構成する各トランジスタに対応するトランジスタには同じ参照符号を付している。

図13において、Nチャネル型MOSトランジスタ211およびPチャネル型MOSトランジスタ212はインバータ(21)を構成し、また、Nチャネル型MOSトランジスタ221およびPチャネル型MOSトランジスタ222はインバータ(22)を構成し、これらのインバータ(21および22)により相補のビット線対BL, /BLに接続されるフリップフロップが構成される。なお、トランジスタ211, 221のソースには、信号 40
NSAが印加され、また、トランジスタ221, 222のソースには、それぞれ信号PSAが印加されている。

【0035】

トランジスタ23および24のゲートには、相補のビット線BLおよび/BLが直接に接続され、コラム選択線CLにより制御されるトランジスタ25および26を介してデータrdbx, rdbzが読み出されるようになっている。ここで、図2の回路では、トランジスタ23および24のドレインは接地されているが、本実施例の回路では、それぞれ信号RCLE2およびRCLE1が印加されるようになっている。

【0036】

ビット線BLおよび/BLには、書き込み専用コラム選択線WCLにより制御されるトラ 50

ンジスタ 29 および 30、並びに、コラム選択線 CL により制御されるトランジスタ 27 および 28 を介してデータ w d b z , w d b x が書き込まれるようになっている。

図 13 において、トランジスタ 131, 132 および 133, 134 は、前述したシェアードセンスアンプ方式を採用した図 3 に示す回路のスイッチ用トランジスタ 31, 32 および 33, 34 に対応するもので、トランジスタ 131, 132 のゲートにはビット線絶縁ゲート制御信号 B L T L が供給され、また、トランジスタ 133, 134 のゲートにはビット線絶縁ゲート制御信号 B L T R が供給されている。ここで、ビット線絶縁ゲート制御信号 B L T L および B L T R は、その一方のみが高レベル“H”となり、センスアンプ 13 の両側に設けられたメモリセルアレイ (10) のビット線 B L , / B L のうち、使わないメモリセルアレイ側のゲート (131, 132 または 133, 134) を閉じる (オフ状態とする) ようになっている。

10

【0037】

トランジスタ 136, 137, 138 は、例えば、メモリセル (MC) からのデータ読み出し前後等において行うビット線のプリチャージ (ビット線 B L , / B L の短絡およびプリチャージ) を行うためのものであり、各トランジスタ 136, 137, 138 のゲートに供給されたビット線プリチャージ活性化制御信号 B R S が高レベル“H”になることで、相補のビット線 B L と / B L を短絡させると共に、基準電圧 v p r を印加するようになっている。なお、ダミーワード線信号 D W L L および D W L U により制御されるトランジスタ 135 および 139 は、メモリセル (MC) からデータを読み出す場合に、ビット線 B L , / B L 間の差電位が付き易くするためのものである。

20

【0038】

図 14 は図 13 のセンスアンプに使用する信号を発生する回路の一例を示す図である。上述した図 13 のセンスアンプに使用される各制御信号、すなわち、トランジスタ 212 および 222 のソースに供給される信号 P S A、トランジスタ 211 および 221 のソースに供給される信号 N S A、および、基準電圧 v p r は、相補のラッチイネーブル制御信号 L E X , L E Z およびビット線プリチャージ活性化制御信号 B R S を入力とする、Pチャネル型 MOS トランジスタ 141 および Nチャネル型 MOS トランジスタ 142, 143, 144 により構成された回路により生成される。

【0039】

図 15 は図 13 のセンスアンプの動作 (読み出し動作) を説明するためのタイミング図であり、図 16 は図 15 に示す各信号のタイミング波形をまとめて示す図である。

30

図 15 および図 16 に示されるように、シェアードセンスアンプ方式を採用した図 13 のセンスアンプの読み出し動作において、まず、ビット線プリチャージ活性化制御信号 B R S が高レベル“H”から低レベル“L”に変化して、トランジスタ 136, 137, 138 がオフ状態になると、相補のビット線 B L , / B L のプリチャージ (短絡) 状態が開放される。また、ビット線絶縁ゲート制御信号 B L T R (B L T) が高レベル“H”から低レベル“L”に変化すると、トランジスタ 131 および 132 がオフ状態となって、ビット線 B L , / B L が遮断される。このとき、ビット線絶縁ゲート制御信号 B L T L は高レベル“H”を維持しており、トランジスタ 133 および 134 はオン状態を保持し、ビット線 B L , / B L は、トランジスタ 133 および 134 を介して当該トランジスタ 133 および 134 に繋がるメモリセルアレイ (10) に接続される (トランジスタ 133 および 134 に繋がるメモリセルアレイにおけるメモリセル (MC) のデータを読み出す)。

40

【0040】

さらに、選択するワード線 (W L) の信号 W L が低レベル“L”から高レベル“H”に変化し、ビット線 (B L , / B L) と選択されたワード線 (W L) とにより所定のメモリセル (MC) が選択されて、そのメモリセル (MC) のデータが読み出される。すなわち、相補のビット線 B L , / B L は、同じ基準電圧 v p r からレベル差が生じ、ラッチイネーブル信号 L E Z , L E X が変化し、それに応じて (図 14 参照) 信号 P S A が変化して、フリップフロップ (211, 212, 221, 222) が活性化され、ビット線のレベル差を増幅する。なお、図 15 において、参照符号 W E はライトイネーブル信号を示し、ま

50

た、BSはブロック選択信号を示している。

【0041】

図17は本発明に係る半導体記憶装置の他の実施例の要部を概略的に示すブロック図である。

図10と図17との比較から明らかなように、図10の半導体記憶装置では、サブ書き込み専用コラム選択線用駆動回路(SWCLドライバ)42が、各サブワードデコーダ列とセンスアンプ列との交差個所に配置されていたのに対して、図17に示す本実施例の半導体記憶装置では、SWCLドライバ42が、1個おきのサブワードデコーダ列とセンスアンプ列との交差個所に配置するようになっている。すなわち、SWCLドライバ42は、各サブワードデコーダ列とセンスアンプ列との交差個所に配置するのみに限定されず、N個おきのサブワードデコーダ列とセンスアンプ列との交差個所に配置することができる。なお、Nは自然数(1, 2, 3, ...)である。

10

【0042】

図18は図17の半導体記憶装置におけるSWCLドライバ42の一例を示す回路図である。

図18に示されるように、図17に示すような1個おきのサブワードデコーダ列とセンスアンプ列との交差個所に配置するSWCLドライバ42は、2つのインバータ423および424により構成されている。なお、MWCLドライバ41は、前述した図11と同様の回路により構成することができる。

【0043】

このように、書き込み専用のコラム選択線WCL(MWCL, SWCL)を制御するために、センスアンプを制御している信号を使用することにより、信号線の増加を防いで、レイアウト上でも効率化を図ることができる。

20

【0044】

【発明の効果】

以上、詳述したように、本発明の半導体記憶装置によれば、書き込み専用のコラム選択線を制御する信号としてセンスアンプを制御する信号を用いることによって、信号線の増加を防いで書き込み専用コラム選択線の制御をレイアウト的にも効率的で簡単に行うことができる。

【図面の簡単な説明】

30

【図1】関連技術の半導体記憶装置におけるメモリセルのブロック/アレイ構成の一例を概略的に示す図である。

【図2】図1の半導体記憶装置におけるダイレクト型センスアンプの一例を示す回路図である。

【図3】図1の半導体記憶装置におけるセンスアンプの切り換え機構の一例を説明するための図である。

【図4】図1の半導体記憶装置におけるセンスアンプ駆動系の一構成例を示す図である。

【図5】図4のセンスアンプ駆動系におけるコラムラインとセンスアンプの構成例を示す図である。

【図6】関連技術としての半導体記憶装置におけるバンク構成の一例を示す図である。

40

【図7】図6のバンク構成におけるコラムラインの選択を説明するための図である。

【図8】本発明が適用され得る半導体記憶装置におけるメモリセルのブロック/アレイ構成の一例を概略的に示す図である。

【図9】図8の半導体記憶装置におけるセンスアンプ駆動系の一構成例を示す図である。

【図10】本発明に係る半導体記憶装置の一実施例の要部を概略的に示すブロック図である。

【図11】図10の半導体記憶装置におけるMWCLドライバの一例を示す回路図である。

【図12】図10の半導体記憶装置におけるSWCLドライバの一例を示す回路図である。

50

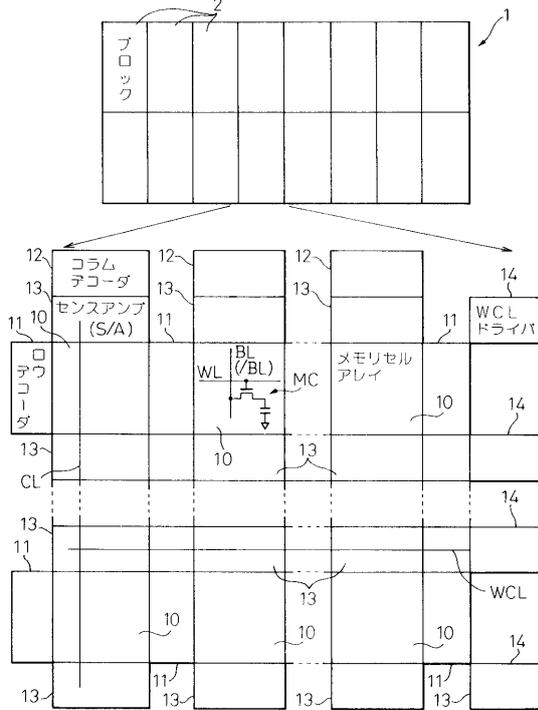
- 【図13】図10の半導体記憶装置におけるセンスアンプの一例を示す回路図である。
 【図14】図13のセンスアンプに使用する信号を発生する回路の一例を示す図である。
 【図15】図13のセンスアンプの動作を説明するためのタイミング図である。
 【図16】図15に示す各信号のタイミング波形をまとめて示す図である。
 【図17】本発明に係る半導体記憶装置の他の実施例の要部を概略的に示すブロック図である。
 【図18】図17の半導体記憶装置におけるSWCLドライバの一例を示す回路図である。

【符号の説明】

- | | |
|--|----|
| 1 ... メモリセル群 | 10 |
| 2 ... ブロック | |
| 10 ... メモリセルアレイ | |
| 11 ... ロウデコーダ | |
| 12 ... コラムデコーダ | |
| 13 ... センスアンプ | |
| 14 ... WCLドライバ | |
| 15 ... プリデコーダ | |
| 17 ... ライトバッファ | |
| 19 ... 入力端子群 | |
| 20 ... センスアンプブロック | 20 |
| 41 ... 上位の書き込み専用コラム選択線用駆動回路 (MWCLドライバ) | |
| 42 ... 下位の書き込み専用コラム選択線用駆動回路 (SWCLドライバ) | |
| CL ... コラム選択線 | |
| WCL ... 書き込み専用コラム選択線 | |
| MWCL ... 上位の書き込み専用コラム選択線 | |
| SWCL ... 下位の書き込み専用コラム選択線 | |

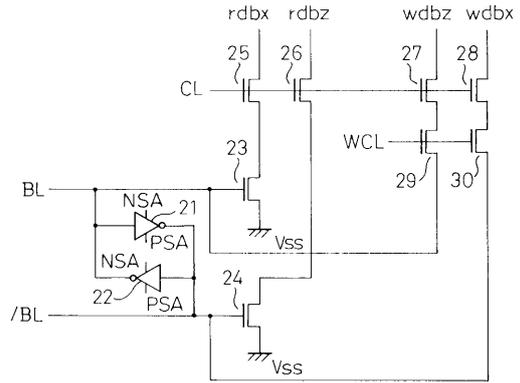
【図1】

図1 関連技術の半導体記憶装置におけるメモリスセルのブロック/アレイ構成の一例を概略的に示す図



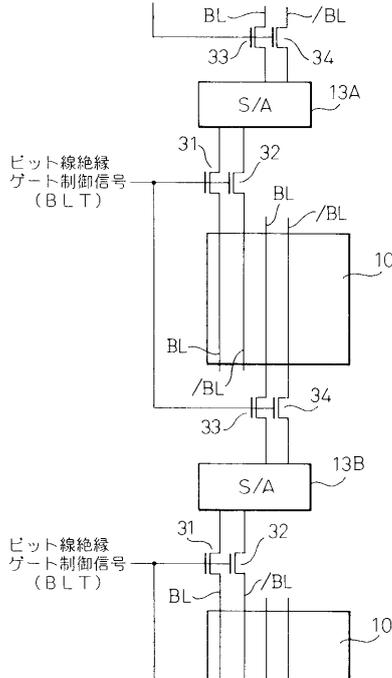
【図2】

図2 図1の半導体記憶装置におけるダイレクト型センスアンプの一例を示す回路図



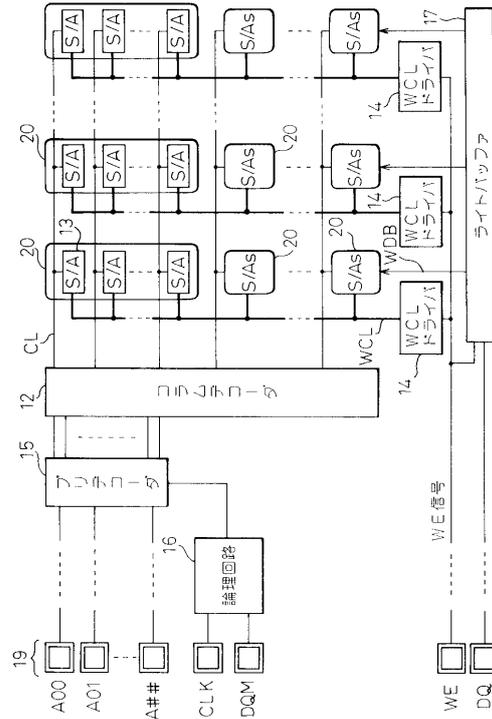
【図3】

図3 図1の半導体記憶装置におけるセンスアンプの切り換え機構の一例を説明するための図



【図4】

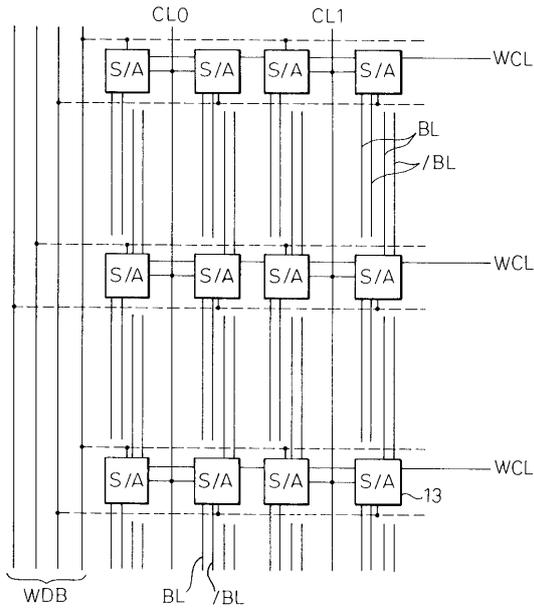
図4 図1の半導体記憶装置におけるセンスアンプ駆動系の一構成例を示す図



【 図 5 】

図 5

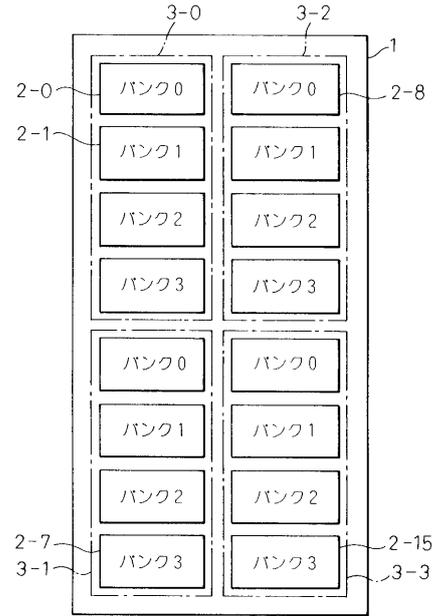
図 4 のセンスアンプ駆動系におけるコラムラインとセンスアンプの構成例を示す図



【 図 6 】

図 6

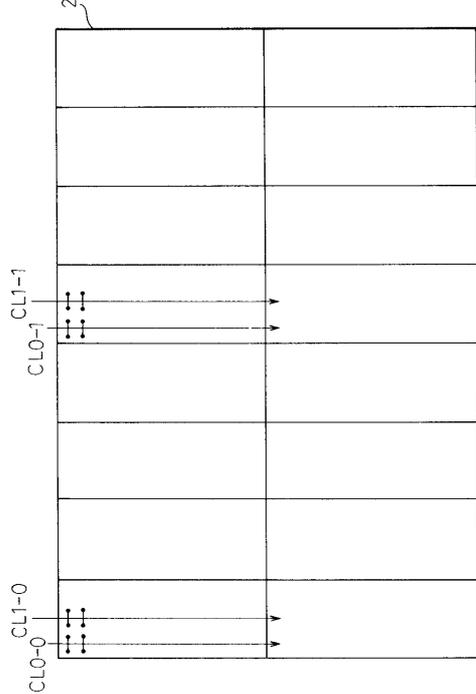
関連技術としての半導体記憶装置におけるバンク構成の一例を示す図



【 図 7 】

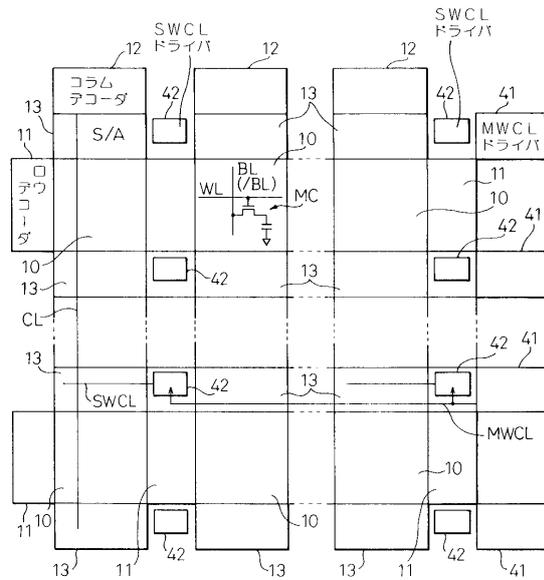
図 7

図 6 のバンク構成におけるコラムラインの選択を説明するための図



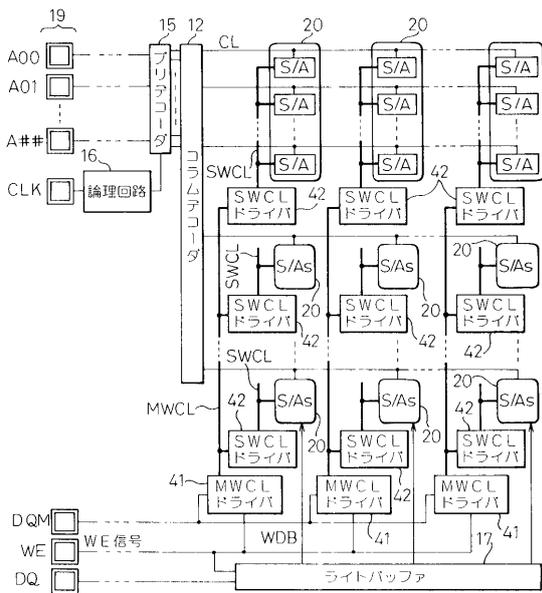
【 図 8 】

本発明が適用され得る半導体記憶装置におけるメモセルのブロック/アレイ構成の一例を概略的に示す図



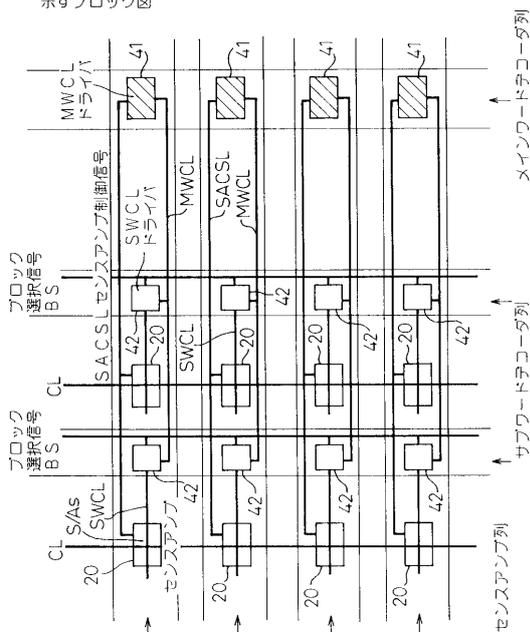
【 図 9 】

図 9 図 8 の半導体記憶装置におけるセンスアンプ駆動系の一構成例を示す図



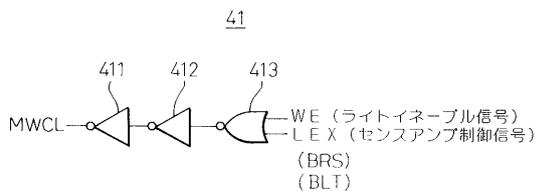
【 図 10 】

図 10 本発明に係る半導体記憶装置の一実施例の要部を概略的に示すブロック図



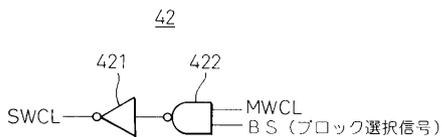
【 図 11 】

図 10 の半導体記憶装置における MWCL ドライバの一例を示す回路図



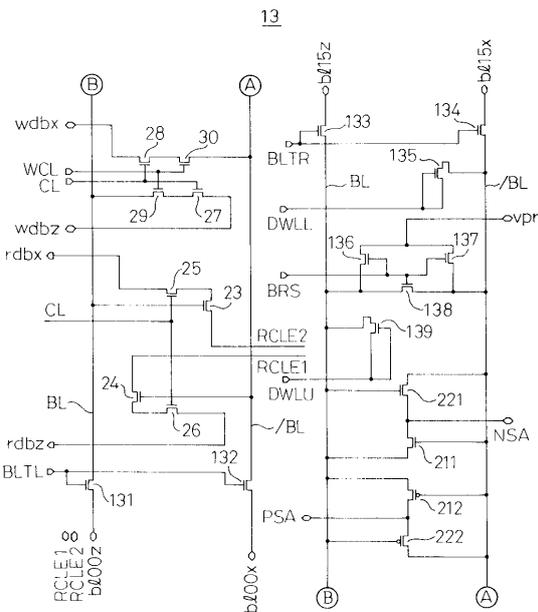
【 図 12 】

図 10 の半導体記憶装置における SWCL ドライバの一例を示す回路図



【 図 13 】

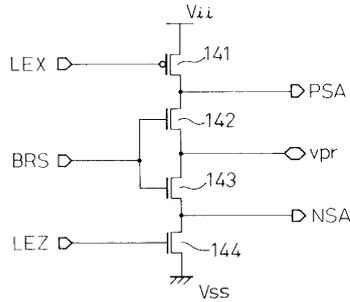
図 13 図 10 の半導体記憶装置におけるセンスアンプの一例を示す回路図



【 図 1 4 】

図 14

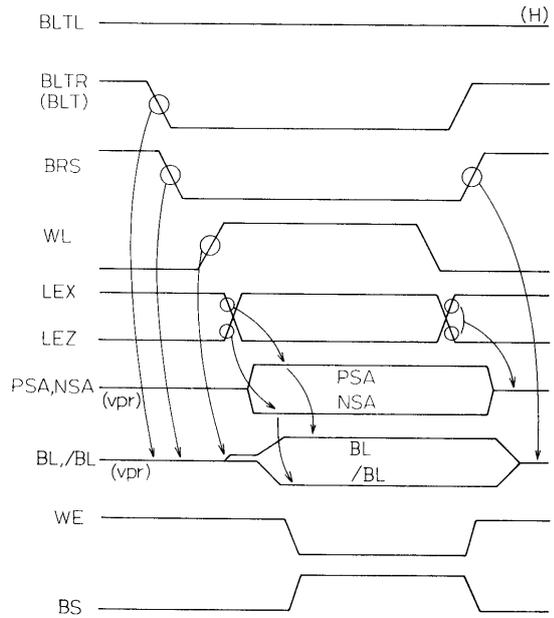
図13のセンスアンプに使用する信号を発生する回路の一例を示す図



【 図 1 5 】

図 15

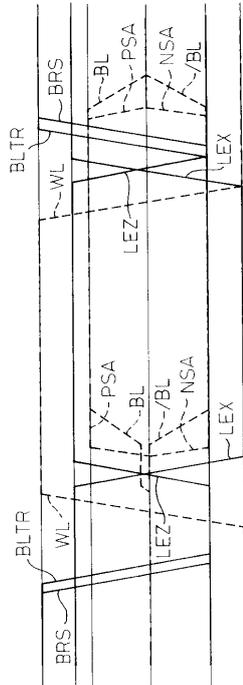
図13のセンスアンプの動作を説明するためのタイミング図



【 図 1 6 】

図 16

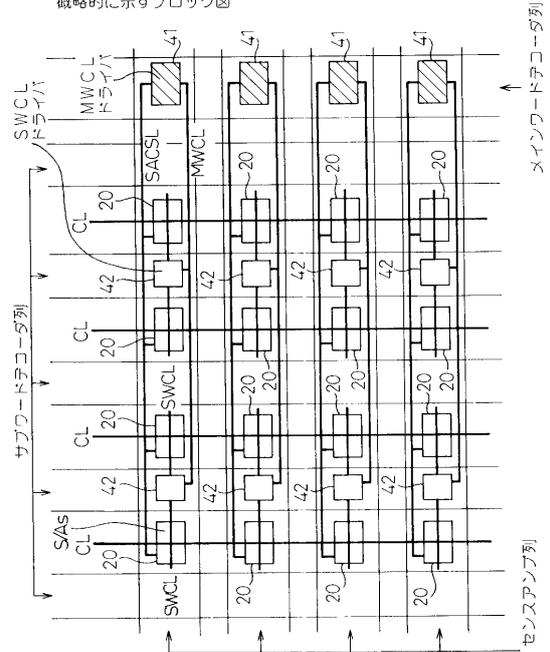
図15に示す各信号のタイミング波形をまとめて示す図



【 図 1 7 】

図 17

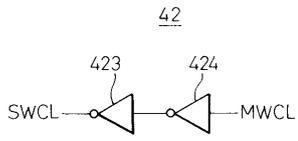
本発明に係る半導体記憶装置の他の実施例の要部を概略的に示すブロック図



【 図 1 8 】

図 18

図17の半導体記憶装置におけるSWCLドライバの一例を示す回路図



フロントページの続き

- (72)発明者 菊竹 陽
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 松宮 正人
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 江渡 聡
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 川畑 邦範
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 鶴澤 裕一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 古賀 徹
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 堀田 和義

- (56)参考文献 特開平05-028761(JP,A)
特開平03-222182(JP,A)
特開平07-130164(JP,A)
特開平05-054634(JP,A)
特開平03-222182(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/409