

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-92368

(P2017-92368A)

(43) 公開日 平成29年5月25日(2017.5.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/06 3 0 1 D	
	HO 1 L 29/06 3 0 1 V	

審査請求 未請求 請求項の数 10 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2015-223774 (P2015-223774)
 (22) 出願日 平成27年11月16日 (2015.11.16)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 星 保幸
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

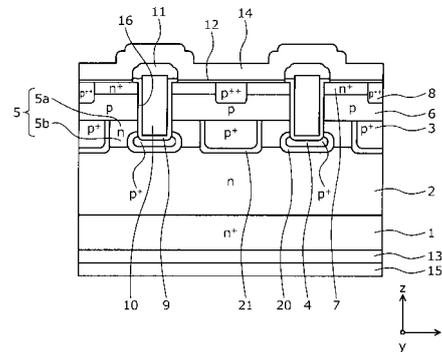
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】簡易に形成することができ、活性部の耐電圧を抑えることにより耐圧構造部の耐電圧設計を容易にし、かつオン抵抗を下げる。

【解決手段】炭化珪素半導体基体の第1主面側には、トレンチ16、n⁺型高濃度領域5が設けられ、n⁺型高濃度領域5の内部に、p型ベース層6に接する第1p⁺型ベース領域3を囲む、n⁺型高濃度領域5より高不純物濃度の第3n型領域20と、トレンチ16の底部に設けられた第2p⁺型ベース領域4を囲む、n⁺型高濃度領域5より高不純物濃度の第4n型領域21とが設けられる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

シリコンよりもバンドギャップが広い半導体からなる第 1 導電型のワイドバンドギャップ半導体基板と、

前記ワイドバンドギャップ半導体基板のおもて面に形成された、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第 1 導電型ワイドバンドギャップ半導体層と、

前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された第 2 導電型の第 1 ベース領域と、

前記第 1 導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第 2 導電型の第 2 ベース領域と、

前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された、前記第 1 導電型ワイドバンドギャップ半導体層より高不純物濃度の第 1 導電型の第 1 領域と、

前記第 1 導電型ワイドバンドギャップ半導体層の内部に選択的に形成された、前記第 1 領域より高不純物濃度の第 1 導電型の第 2 領域および第 1 導電型の第 3 領域と、

前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に形成された、シリコンよりもバンドギャップが広い半導体からなる第 2 導電型ワイドバンドギャップ半導体層と、

前記第 2 導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第 1 導電型のソース領域と、

前記第 2 導電型ワイドバンドギャップ半導体層および前記ソース領域を貫通して前記第 1 領域に達するトレンチと、

前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、

前記第 2 導電型ワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極と、

前記ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、

を備え、

前記第 2 ベース領域は、前記トレンチと深さ方向に対向する位置に配置され、

前記第 1 ベース領域の一部は、前記トレンチ側に延在し、前記第 2 ベース領域に接続され、

前記第 2 領域は、前記第 2 ベース領域を部分的に囲み、

前記第 3 領域は、前記第 1 ベース領域を部分的に囲むことを特徴とする半導体装置。

【請求項 2】

前記第 2 ベース領域の幅は、前記トレンチの幅よりも広いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 ベース領域および前記第 2 領域は、前記トレンチと接触していないことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 ベース領域の一部と前記第 2 ベース領域との接続部分と、前記第 2 導電型ワイドバンドギャップ半導体層との間に、前記第 1 領域が延在していることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

【請求項 5】

前記第 1 領域を挟んで、前記第 1 ベース領域の一部と前記第 2 ベース領域との接続部分を、前記第 1 ベース領域と前記第 2 ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする請求項 1 ~ 4 のいずれか一つに記載の半導体装置。

【請求項 6】

前記第 1 ベース領域の前記ドレイン電極側の端部の少なくとも一部は、前記第 2 ベース

10

20

30

40

50

領域の前記ドレイン電極側の端部よりも前記ドレイン電極側に位置することを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体装置。

【請求項 7】

前記第 1 ベース領域の前記ドレイン電極側の端部の、前記第 2 ベース領域の前記ドレイン電極側の端部よりも深い部分を、前記第 1 ベース領域と前記第 2 ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

【請求項 8】

シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする請求項 1 ~ 7 のいずれか一つに記載の半導体装置。

10

【請求項 9】

シリコンよりもバンドギャップが広い半導体からなる第 1 導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第 1 導電型の第 1 ワイドバンドギャップ半導体層を形成する工程と、

前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に、前記第 1 導電型ワイドバンドギャップ半導体層より高不純物濃度の第 1 導電型の第 1 領域を選択的に形成する工程と、

前記第 1 導電型の第 1 ワイドバンドギャップ半導体層の表面層に、第 2 導電型の第 1 ベース領域、第 2 導電型の第 2 ベース領域、前記第 1 ベース領域を部分的に囲む第 1 導電型の第 3 領域および前記第 2 ベース領域を部分的に囲む第 1 導電型の第 2 領域を選択的に形成する工程と、

20

前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に、シリコンよりもバンドギャップが広い半導体からなる第 2 導電型ワイドバンドギャップ半導体層を形成する工程と、

前記第 2 導電型ワイドバンドギャップ半導体層の内部に第 1 導電型のソース領域を選択的に形成する工程と、

前記第 1 導電型のソース領域および前記第 2 導電型ワイドバンドギャップ半導体層を貫通して前記第 1 領域に達するトレンチを、前記第 2 導電型の第 2 ベース領域と深さ方向に対向する位置に形成する工程と、

前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する工程と、

30

前記第 2 導電型ワイドバンドギャップ半導体層および前記第 1 導電型のソース領域に接するソース電極を形成する工程と、

前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 10】

前記第 1 領域の、前記ワイドバンドギャップ半導体基板に対して反対側の表面部分は、エピタキシャル成長によって形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、パワー半導体素子においては、素子のオン抵抗の低減を図るため、トレンチ構造を有する縦型 MOSFET (Metal Oxidized Semiconductor Field Effect Transistor: 絶縁ゲート型電解効果トランジスタ) が作製されている。縦型 MOSFET では、チャネルが基板表面に対して平行に形成されるプレーナー構造よりも基板表面に対して垂直に形成されるトレンチ構造の方が単位面積当たりのセル密度を増やすことができるため、単位面積当たりの電流密度を増やすことが

50

でき、コスト面から有利である。

【0003】

しかしながら、縦型MOSFETにトレンチ構造を形成するとチャンネルを垂直方向に形成するためにトレンチ内壁全域をゲート絶縁膜で覆う構造となり、ゲート絶縁膜のトレンチ底部の部分がドレイン電極に近づくため、ゲート絶縁膜のトレンチ底部の部分に高電界が印加されやすい。特に、ワイドバンドギャップ半導体（シリコンよりもバンドギャップが広い半導体、例えば、炭化珪素（SiC））では超高耐圧素子を作製するため、トレンチ底部のゲート絶縁膜への悪影響は、縦型MOSFETの信頼性を大きく低下させる。

【0004】

このような問題を解消する方法として、トレンチ底部の電界強度を緩和させるために、p型ベース領域に接し、かつトレンチ底部より深い位置に達するp型領域を形成し、トレンチ底部よりも深い位置にpn接合を形成する構造が提案されている（例えば、下記特許文献1参照。）。また、トレンチ底部にp型領域を形成する構造が提案されている（例えば、下記特許文献2参照。）。また、p型ベース領域に接し、かつトレンチ底部より深い位置に達するp型領域を形成し、トレンチ底部よりも深い位置にpn接合を形成する構造とトレンチ底部にp型領域を形成する構造を組み合わせた構造が提案されている（例えば、下記特許文献3参照。）。

10

【先行技術文献】

【特許文献】

【0005】

20

【特許文献1】特許第5539931号公報

【特許文献2】米国特許第6180958号公報

【特許文献3】特開2009-260253号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1の技術を用いてpn接合を形成した場合、pn接合をトレンチ底部より深い位置、もしくは、トレンチに近い位置に形成しなければ耐電圧が確保できないため、製造が非常に困難である。また、特許文献2の技術を用いてp型領域を形成した場合、トレンチ側壁のゲート絶縁膜に高電界が印加されやすくなり、オン状態では電流経路が狭くなるため、オン抵抗が高くなる。また、特許文献3の技術を用いてトレンチから離れた位置に深いp構造とトレンチ底部のp型領域の両方を形成した場合、オン抵抗を下げるためにトレンチ下部のp領域の幅をトレンチ幅より狭くしているため、トレンチ底部のコーナー部へ高電界が緩和されない。さらに、特許文献3では、pn接合がトレンチ直下（ドレイン側）の領域に広く形成されるため、半導体装置がオン状態のときに電流が流れる活性部の耐電圧がワイドバンドギャップ半導体の性能限界近くまで上がる。これにより、活性部の耐電圧が、活性部の周囲を囲むように設けられドリフト層の基板おもて面側の電界を緩和し耐圧を保持する耐圧構造部の耐電圧以上になりやすく素子の耐量を低下させる虞がある。また、オン抵抗が上昇するといった課題がある。

30

【0007】

40

この発明は、上述した従来技術による問題点を解消するため、簡易に形成することができ、活性部の耐電圧を抑えることにより耐圧構造部の耐電圧設計を容易にし、かつオン抵抗を下げる半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板と、前記ワイドバンドギャップ半導体基板のおもて面に形成された、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型ワイドバンドギャップ半導体層と、前記

50

第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された第2導電型の第1ベース領域と、前記第1導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第2導電型の第2ベース領域と、前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された、前記第1導電型ワイドバンドギャップ半導体層より高不純物濃度の第1導電型の第1領域と、前記第1導電型ワイドバンドギャップ半導体層の内部に選択的に形成された、前記第1領域より高不純物濃度の第1導電型の第2領域および第1導電型の第3領域と、前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に形成された、シリコンよりもバンドギャップが広い半導体からなる第2導電型ワイドバンドギャップ半導体層と、前記第2導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第1導電型のソース領域と、前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域を貫通して前記第1領域に達するトレンチと、前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極と、前記ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、を備え、前記第2ベース領域は、前記トレンチと深さ方向に対向する位置に配置され、前記第1ベース領域の一部は、前記トレンチ側に延在し、前記第2ベース領域に接続され、前記第2領域は、前記第2ベース領域を部分的に囲み、前記第3領域は、前記第1ベース領域を部分的に囲む。

【0009】

また、この発明にかかる半導体装置は、上述した発明において、前記第2導電型の第2ベース領域の幅は、前記トレンチの幅よりも広いことを特徴とする。

【0010】

また、この発明にかかる半導体装置は、上述した発明において、前記第2ベース領域および前記第2領域は、前記トレンチと接触していないことを特徴とする。

【0011】

また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域の一部と前記第2ベース領域との接続部分と、前記第2導電型ワイドバンドギャップ半導体層との間に、前記第1領域が延在していることを特徴とする。

【0012】

また、この発明にかかる半導体装置は、上述した発明において、前記第1領域を挟んで、前記第1ベース領域の一部と前記第2ベース領域との接続部分を、前記第1ベース領域と前記第2ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする。

【0013】

また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域の前記ドレイン電極側の端部の少なくとも一部は、前記第2ベース領域の前記ドレイン電極側の端部よりも前記ドレイン電極側に位置することを特徴とする。

【0014】

また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域の前記ドレイン電極側の端部の、前記第2ベース領域の前記ドレイン電極側の端部よりも深い部分を、前記第1ベース領域と前記第2ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする。

【0015】

また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする。

【0016】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半

10

20

30

40

50

導体基板より低不純物濃度の第 1 導電型の第 1 ワイドバンドギャップ半導体層を形成する工程と、前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に、前記第 1 導電型ワイドバンドギャップ半導体層より高不純物濃度の第 1 導電型の第 1 領域を選択的に形成する工程と、前記第 1 導電型の第 1 ワイドバンドギャップ半導体層の表面層に、第 2 導電型の第 1 ベース領域、第 2 導電型の第 2 ベース領域、前記第 1 ベース領域を部分的に囲む第 1 導電型の第 3 領域および前記第 2 ベース領域を部分的に囲む第 1 導電型の第 2 領域を選択的に形成する工程と、前記第 1 導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に、シリコンよりもバンドギャップが広い半導体からなる第 2 導電型ワイドバンドギャップ半導体層を形成する工程と、前記第 2 導電型ワイドバンドギャップ半導体層の内部に第 1 導電型のソース領域を選択的に形成する工程と、前記第 1 導電型のソース領域および前記第 2 導電型ワイドバンドギャップ半導体層を貫通して前記第 1 領域に達するトレンチを、前記第 2 導電型の第 2 ベース領域と深さ方向に対向する位置に形成する工程と、前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する工程と、前記第 2 導電型ワイドバンドギャップ半導体層および前記第 1 導電型のソース領域に接するソース電極を形成する工程と、前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と、を含む。

【0017】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第 1 領域の、前記ワイドバンドギャップ半導体基板に対して反対側の表面部分は、エピタキシャル成長によって形成する。

【0018】

上述した発明によれば、第 2 領域が、第 2 ベース領域を部分的に囲み、第 3 領域が、第 1 ベース領域を部分的に囲むことにより、高濃度 n 型ドリフト層内の、第 1 ベース領域と第 2 ベース領域に挟まれた部分（以下、JFET 領域とする）の n 型不純物濃度を、高濃度 n 型ドリフト層の他の部分に比べて相対的に高くすることができる。このため、JFET 領域の抵抗成分が削減でき、オン抵抗を低下させることができる。

【発明の効果】

【0019】

本発明にかかる半導体装置および半導体装置の製造方法によれば、簡易に形成することができ、活性部の耐電圧を抑えることにより耐压構造部の耐電圧設計を容易にし、かつオン抵抗を下げるということができるという効果を奏する。

【図面の簡単な説明】

【0020】

【図 1】実施の形態 1 にかかる炭化珪素半導体装置の構成を示す断面図である。

【図 2】実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 1）。

【図 3】実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 2）。

【図 4】実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 3）。

【図 5】実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 4）。

【図 6】実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 5）。

【図 7】実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その 6）。

【図 8】実施の形態 1 にかかる炭化珪素半導体装置の電流電圧特性と従来の炭化珪素半導体装置の電流電圧特性の比較図である。

【図 9】従来の炭化珪素半導体装置の構成を示す断面図である。

【図10】実施の形態2にかかる炭化珪素半導体装置の構成を示す断面図である。

【図11】実施の形態2にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

【発明を実施するための形態】

【0021】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めたnやpの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

10

【0022】

(実施の形態1)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。図1は、実施の形態1にかかる炭化珪素半導体装置の構成を示す断面図である。

20

【0023】

図1に示すように、実施の形態にかかる炭化珪素半導体装置は、n⁺型炭化珪素基板(第1導電型ワイドバンドギャップ半導体基板)1の第1主面(おもて面)、例えば(0001)面(Si面)、にn型炭化珪素エピタキシャル層(第1導電型の第1ワイドバンドギャップ半導体層)2が堆積されている。

【0024】

n⁺型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板である。n型炭化珪素エピタキシャル層2は、n⁺型炭化珪素基板1よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度n型ドリフト層である。n型炭化珪素エピタキシャル層2の、n⁺型炭化珪素基板1側に対して反対側の表面側は、n⁺型高濃度領域(第1導電型の第1領域)5が形成されている。n⁺型高濃度領域5は、n⁺型炭化珪素基板1よりも低くn型炭化珪素エピタキシャル層2よりも高い不純物濃度で、例えば窒素がドーピングされている高濃度n型ドリフト層である。以下、n⁺型炭化珪素基板1とn型炭化珪素エピタキシャル層2と後述するp型ベース層(第2導電型ワイドバンドギャップ半導体層)6とを併せて炭化珪素半導体基体とする。

30

【0025】

n⁺型炭化珪素基板1の第2主面(裏面、すなわち炭化珪素半導体基体の裏面)には、裏面電極(ドレイン電極)13が設けられている。裏面電極13は、ドレイン電極を構成する。裏面電極13の表面には、ドレイン電極パッド15が設けられている。

【0026】

炭化珪素半導体基体の第1主面側(p型ベース層6側)には、トレンチゲート構造が形成されている。具体的には、トレンチ16は、p型ベース層6のn⁺型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面からp型ベース層6を貫通してn⁺型高濃度領域5に達する。トレンチ16の内壁に沿って、トレンチ16の底部および側壁にゲート絶縁膜9が形成されており、トレンチ16内のゲート絶縁膜9の内側にゲート電極10が形成されている。ゲート絶縁膜9によりゲート電極10が、n型炭化珪素エピタキシャル層2およびp型ベース層6と絶縁されている。ゲート電極10の一部は、トレンチ16の上方(ソース電極パッド14側)からソース電極パッド14側に突出していてもよい。

40

【0027】

50

n型炭化珪素エピタキシャル層2のn⁺型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面層には、第1p⁺型ベース領域(第2導電型の第1ベース領域)3と第2p⁺型ベース領域(第2導電型の第2ベース領域)4と第3n型領域(第1導電型の第2領域)20と第4n型領域(第1導電型の第3領域)21が選択的に設けられている。第1p⁺型ベース領域3は、トレンチ16の底部よりもドレイン側に深い位置にまで達している。第1p⁺型ベース領域3の下端部(ドレイン側端部)は、トレンチ16の底部よりもドレイン側に位置する。第2p⁺型ベース領域4の下端部は、トレンチ16の底部よりもドレイン側に位置する。第2p⁺型ベース領域4は、トレンチ16の底部と深さ方向zに対向する位置に形成される。第2p⁺型ベース領域4の幅は、トレンチ16の幅よりも広い。トレンチ16の底部は、第2p⁺型ベース領域4に達してもよいし、p型ベース層6と第2p⁺型ベース領域4に挟まれたn⁺型高濃度領域5内に位置し、第2p⁺型ベース領域4と接触していなくてもよい。第1p⁺型ベース領域3と第2p⁺型ベース領域4は、例えばアルミニウム(A1)がドーピングされている。

【0028】

第3n型領域20および第4n型領域21は、n⁺型高濃度領域5よりも高い不純物濃度で、例えば窒素がドーピングされている高濃度n型ドリフト層である。第3n型領域20は、第2p⁺型ベース領域4を部分的に囲む。具体的には、第3n型領域20は、n型炭化珪素エピタキシャル層2と対向する、第2p⁺型ベース領域4の表面上、および、n⁺型高濃度領域5と対向する、第2p⁺型ベース領域4の表面上に設けられる。また、第4n型領域21は、n型炭化珪素エピタキシャル層2と対向する、第1p⁺型ベース領域3の表面上、および、n⁺型高濃度領域5と対向する、第1p⁺型ベース領域3の表面上に設けられる。なお、第4n型領域21は、n⁺型高濃度領域5と対向する第1p⁺型ベース領域3の表面上で、後述するp型ベース層6に近い部分に設けなくてもよい。

【0029】

第1p⁺型ベース領域3の一部をトレンチ16側に延在させることで第2p⁺型ベース領域4に接続した構造となっている。この場合、第1p⁺型ベース領域3の一部は、第1p⁺型ベース領域3と第2p⁺型ベース領域4とが並ぶ方向(以下、第1方向とする)xと直交する方向(以下、第2方向とする)yに、n⁺型高濃度領域5と交互に繰り返し配置された平面レイアウトを有していてもよい。つまり、直交する方向yで、第1p⁺型ベース領域3の一部と第2p⁺型ベース領域4の一部が少なくとも1か所以上接続されていればよい。これにより、第2p⁺型ベース領域4とn型炭化珪素エピタキシャル層2の接合部分でアバラシエ降伏が起こったときに発生するホールを効率よくソース電極12に退避させることができ、ゲート絶縁膜9への負担が軽減されるため、信頼性が向上する。

【0030】

n型炭化珪素エピタキシャル層2の基体第1主面側には、p型ベース層(第2導電型ワイドバンドギャップ半導体層)6が設けられている。p型ベース層6は、第1p⁺型ベース領域3に接する。p型ベース層6の不純物濃度は、例えば第1p⁺型ベース領域3の不純物濃度よりも低くてもよい。これにより、閾値電圧を下げるためにp型ベース層6の濃度を下げても、p型ベース層6の空乏層の広がりを抑えることでパンチスルーによる耐圧低下を回避することができる。p型ベース層6の内部には、基体第1主面側にn⁺ソース領域(第1導電型のソース領域)7およびp⁺⁺コンタクト領域(第2導電型のコンタクト領域)8が選択的に設けられている。また、n⁺ソース領域7およびp⁺⁺コンタクト領域8は互いに接する。また、n型炭化珪素エピタキシャル層2の基体第1主面側の表面層の第1p⁺型ベース領域3と第2p⁺型ベース領域4に挟まれた領域と、p型ベース層6と第2p⁺型ベース領域4に挟まれた領域にn⁺型高濃度領域5が設けられている。

【0031】

図1では、2つのトレンチMOS構造のみを図示しているが、さらに多くのトレンチ構造のMOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造が並列に配置されていてもよい。

【0032】

10

20

30

40

50

層間絶縁膜 11 は、炭化珪素半導体基体の第 1 主面側の全面に、トレンチ 16 に埋め込まれたゲート電極 10 を覆うように設けられている。ソース電極 12 は、層間絶縁膜 11 に開口されたコンタクトホールを介して、 n^+ ソース領域 7 および p^{++} コンタクト領域 8 に接する。ソース電極 12 は、層間絶縁膜 11 によって、ゲート電極 10 と電氣的に絶縁されている。ソース電極 12 上には、ソース電極パッド 14 が設けられている。

【0033】

(実施の形態 1 にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態 1 にかかる炭化珪素半導体装置の製造方法について説明する。図 2 ~ 図 7 は、実施の形態 1 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

10

【0034】

まず、 n 型の炭化珪素でできた n^+ 型炭化珪素基板 1 を用意する。そして、この n^+ 型炭化珪素基板 1 の第 1 主面上に、 n 型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできた第 1 n 型炭化珪素エピタキシャル層 (第 1 の第 1 導電型ワイドバンドギャップ半導体層) 2 a を、例えば $30 \mu\text{m}$ 程度の厚さまでエピタキシャル成長させる。この第 1 n 型炭化珪素エピタキシャル層 2 a は、 n 型炭化珪素エピタキシャル層 2 となる。ここまでの状態が図 2 に示されている。

【0035】

次に、第 1 n 型炭化珪素エピタキシャル層 2 a の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって n 型の不純物、例えばリン原子 (P) をイオン注入する。それによって、第 1 n 型炭化珪素エピタキシャル層 2 a の表面領域の一部に、第 1 の第 3 n 型領域 20 a と第 1 の第 4 n 型領域 21 a が形成される。

20

【0036】

次に、第 1 の第 3 n 型領域 20 a と第 1 の第 4 n 型領域 21 a を形成するためのイオン注入時に用いたマスクを除去する。そして、第 1 n 型炭化珪素エピタキシャル層 2 a の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、第 1 の第 3 n 型領域 20 a と第 1 の第 4 n 型領域 21 a を選択的に p 型に反転させて、第 1 p 型領域 (第 2 導電型の第 1 ベース領域) 3 a と第 2 p^+ 型ベース領域 (第 2 導電型の第 2 ベース領域) 4 が形成される。第 1 p 型領域 3 a と第 2 p^+ 型ベース領域 4 は、それぞれ、例えば深さ $0.5 \mu\text{m}$ 程度である。また、隣り合う第 1 p 型領域 3 a と第 2 p^+ 型ベース領域 4 との間の距離は、例えば、 $1.5 \mu\text{m}$ 程度である。

30

【0037】

次に、第 1 p 型領域 3 a と第 2 p^+ 型ベース領域 4 を形成するためのイオン注入時に用いたマスクを除去する。そして、第 1 n 型炭化珪素エピタキシャル層 2 a の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって n 型の不純物、例えばリン原子をイオン注入する。それによって、第 2 p^+ 型ベース領域 4 の表面領域に、第 1 の第 3 n 型領域 20 a と接する第 2 の第 3 n 型領域 20 b が形成される。この第 2 の第 3 n 型領域 20 b と第 1 の第 3 n 型領域 20 a を合わせて第 3 n 型領域 (第 1 導電型の第 2 領域) 20 となる。

40

【0038】

第 1 p 型領域 3 a と第 2 p^+ 型ベース領域 4 を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。第 1、第 2 の第 3 n 型領域 20 a、b と第 1 の第 4 n 型領域 21 a を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。

【0039】

50

次に、第1の第3 n型領域20bを形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によってn型の不純物、例えば窒素原子をイオン注入する。それによって、第1 n型炭化珪素エピタキシャル層2aの表面層の、第1 p型領域3aと第2 p⁺型ベース領域4との間に、例えば深さ0.5 μm以下程度の第1 n型領域5aが形成される。第1 n型領域5aを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図3に示されている。

【0040】

次に、第1 n型炭化珪素エピタキシャル層2aの表面上に、n型の不純物、例えば窒素原子をドーピングしながら第2 n型炭化珪素エピタキシャル層（第2の第1導電型ワイドバンドギャップ半導体層）2bを、例えば0.5 μm程度の厚さまでエピタキシャル成長させる。この第2 n型炭化珪素エピタキシャル層2bと第1 n型炭化珪素エピタキシャル層2aを合わせてn型炭化珪素エピタキシャル層2となる。第2 n型炭化珪素エピタキシャル層2bを形成するためのエピタキシャル成長の条件を、例えば第2 n型炭化珪素エピタキシャル層2bの不純物濃度が $3 \times 10^{15} / \text{cm}^3$ 程度となるように設定してもよい。

【0041】

次に、n型炭化珪素エピタキシャル層2の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってn型の不純物、例えばリン原子をイオン注入する。それによって、n型炭化珪素エピタキシャル層2の表面領域の一部に、例えば深さ0.5 μm程度の第2の第4 n型領域21bが、例えば第1 p型領域3aの上部に重なるように形成される。第2の第4 n型領域21bを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。この第2の第4 n型領域21bと第1の第4 n型領域21aを合わせて第4 n型領域（第1導電型の第3領域）21となる。

【0042】

次に、第2の第4 n型領域21bを形成するためのイオン注入時に用いたマスクを除去する。そして、n型炭化珪素エピタキシャル層2の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってp型の不純物、例えばアルミニウム原子をイオン注入する。それによって、第2の第4 n型領域21bを選択的にp型に反転させて、例えば深さ0.5 μm程度の第2 p型領域（第2導電型の第3半導体領域）3bが、例えば第1 p型領域3aの上部に重なるように形成される。この第2 p型領域3bと第1 p型領域3aを合わせて第1 p⁺型ベース領域3となる。第2 p型領域3bを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。次に、第2 p型領域3bを形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によってn型の不純物、例えば窒素原子をイオン注入する。それによって、第2 n型炭化珪素エピタキシャル層2bの表面層の一部に、第1 p型領域3a、第2 p⁺型ベース領域4、第1 n型領域5aに接するように、例えば深さ0.5 μm程度の第2 n型領域（第1導電型の第2領域）5bが形成される。第2 n型領域5bを設けるためのイオン注入時のドーズ量を、例えば不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。この第2 n型領域5bと第1 n型領域5aを合わせてn⁺型高濃度領域5となる。ここまでの状態が図4に示されている。

【0043】

次に、n型炭化珪素エピタキシャル層2の表面（すなわち第1 p⁺型ベース領域3および第2 n型領域5bの表面）上に、p型の不純物、例えばアルミニウム原子をドーピングしながらp型ベース層（第2導電型ワイドバンドギャップ半導体層）6を、例えば1.3 μm程度の厚さまでエピタキシャル成長させる。p型ベース層6を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が第1 p⁺型ベース領域3の不純物濃度よりも低い $4 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの工程により、n⁺型

10

20

30

40

50

炭化珪素基板 1 上に n 型炭化珪素エピタキシャル層 2 および p 型ベース層 6 を積層してなる炭化珪素半導体基体が形成される。

【 0 0 4 4 】

次に、p 型ベース層 6 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって n 型の不純物、例えばリンをイオン注入する。それによって、p 型ベース層 6 の表面層の一部に n⁺ソース領域 (第 1 導電型のソース領域) 7 が形成される。n⁺ソース領域 7 を形成するためのイオン注入時のドーズ量を、例えば第 1 p⁺型ベース領域 3 よりも不純物濃度が高くなるように設定してもよい。次に、n⁺ソース領域 7 を形成するためのイオン注入時に用いたマスクを除去する。そして、p 型ベース層 6 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成し、この酸化膜をマスクとして p 型ベース層 6 の表面上に p 型の不純物、例えばアルミニウムをイオン注入する。それによって、p 型ベース層 6 の表面領域の一部に p⁺⁺コンタクト領域 (第 2 導電型のコンタクト領域) 8 が形成される。p⁺⁺コンタクト領域 8 を形成するためのイオン注入時のドーズ量を、例えば第 2 p⁺型ベース領域 4 よりも不純物濃度が高くなるように設定してもよい。続いて、p⁺⁺コンタクト領域 8 を形成するためのイオン注入時に用いたマスクを除去する。n⁺ソース領域 7 を形成するためのイオン注入と、p⁺⁺コンタクト領域 8 を形成するためのイオン注入と、の順序を入れ替えてもよい。ここまでの状態が図 5 に示されている。

10

【 0 0 4 5 】

次に、熱処理 (アニール) を行って、例えば第 1 p 型領域 3 a、第 2 p 型領域 3 b、n⁺ソース領域 7、p⁺⁺コンタクト領域 8 を活性化させる。熱処理の温度は、例えば 1 7 0 0 程度であってもよい。熱処理の時間は、例えば 2 分程度であってもよい。なお、上述したように 1 回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

20

【 0 0 4 6 】

次に、p 型ベース層 6 の表面 (すなわち n⁺ソース領域 7 および p⁺⁺コンタクト領域 8 の表面) 上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてドライエッチング等によって n⁺ソース領域 7 および p 型ベース層 6 を貫通して n⁺型高濃度領域 5 に達するトレンチ 1 6 を形成する。トレンチ 1 6 の底部は、第 2 p⁺型ベース領域 4 に達してもよいし、p 型ベース層 6 と第 2 p⁺型ベース領域 4 に挟まれた n⁺型高濃度領域 5 内に位置していてもよい。続いて、トレンチ 1 6 を形成するために用いたマスクを除去する。ここまでの状態が図 6 に示されている。

30

【 0 0 4 7 】

次に、n⁺ソース領域 7 および p⁺⁺コンタクト領域 8 の表面と、トレンチ 1 6 の底部および側壁と、に沿ってゲート絶縁膜 9 を形成する。このゲート絶縁膜 9 は、酸素雰囲気において 1 0 0 0 程度の温度の熱処理によって熱酸化によって形成してもよい。また、このゲート絶縁膜 9 は高温酸化 (High Temperature Oxide : H T O) 等のような化学反応によって堆積する方法で形成してもよい。

40

【 0 0 4 8 】

次に、ゲート絶縁膜 9 上に、例えばリン原子がドーピングされた多結晶シリコン層を形成する。この多結晶シリコン層はトレンチ 1 6 内を埋めるように形成する。この多結晶シリコン層をパターニングして、トレンチ 1 6 内部に残すことによって、ゲート電極 1 0 が形成される。ゲート電極 1 0 の一部は、トレンチ 1 6 の上方 (ソース電極パッド 1 4 側) からソース電極パッド 1 4 側に突出していてもよい。

【 0 0 4 9 】

次に、ゲート絶縁膜 9 およびゲート電極 1 0 を覆うように、例えばリンガラス (P S G) を 1 μ m 程度の厚さで成膜し、層間絶縁膜 1 1 を形成する。層間絶縁膜 1 1 およびゲート絶縁膜 9 をパターニングして選択的に除去することによって、コンタクトホールを形成

50

し、 n^+ ソース領域 7 および p^{++} コンタクト領域 8 を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜 11 を平坦化する。ここまでの状態が図 7 に示されている。

【0050】

次いで、コンタクトホール内および層間絶縁膜 11 の上にソース電極 12 となる導電性の膜を形成する。この導電性の膜を選択的に除去して、例えばコンタクトホール内のみソース電極 12 を残す。

【0051】

次いで、 n^+ 型炭化珪素基板 1 の第 2 主面上に、例えばニッケル（Ni）膜でできたドレイン電極 13 を形成する。その後、例えば 970 程度の温度で熱処理を行って、 n^+ 型炭化珪素基板 1 とドレイン電極 13 とをオーミック接合する。

10

【0052】

次に、例えばスパッタ法によって、ソース電極 12 および層間絶縁膜 11 を覆うように、例えばアルミニウム膜を、厚さが例えば 5 μm 程度になるように、設ける。その後、アルミニウム膜を選択的に除去して、素子全体の活性部を覆うように残すことによって、ソース電極パッド 14 を形成する。

【0053】

次に、ドレイン電極 13 の表面に、例えばチタン（Ti）、ニッケルおよび金（Au）を順に積層することによって、ドレイン電極パッド 15 を形成する。以上のようにして、図 1 に示す半導体装置が完成する。

【0054】

20

（実施例）

図 8 は、実施の形態 1 にかかる炭化珪素半導体装置の電流電圧特性と従来の炭化珪素半導体装置の電流電圧特性の比較図である。図 9 は、従来の炭化珪素半導体装置の構成を示す断面図である。従来の炭化珪素半導体装置は、実施の形態 1 にかかる炭化珪素半導体装置から第 1 n 型領域 20 と第 2 n 型領域 21 を除いたトレンチゲート構造の縦型 MOSFET である。

【0055】

図 8 は、ドレイン電極 13 とソース電極 12 間の電圧と、オン状態のときにドレイン電極 13 からソース電極 12 に流れる電流をプロットしたグラフである。図 8 において、横軸は電圧値であり、縦軸は電流値である。実施例が、実施の形態 1 にかかる炭化珪素半導体装置の電流電圧特性であり、従来例が、従来の炭化珪素半導体装置の電流電圧特性である。

30

【0056】

実施例は、従来例に比べると電流電圧特性の直線の傾きが大きく、電圧の増加が同じ場合、電流が従来例より多く増加し、抵抗値が小さい。このように、実施例のオン抵抗は、従来例のオン抵抗より減少している。

【0057】

なお、本実施の形態 1 においては、第 2 n 型領域 5b の形成をイオン注入で行う形態を示したが、第 2 n 型領域 5b として第 2 n 型炭化珪素エピタキシャル層 2b を形成してもよい。すなわち、第 2 n 型炭化珪素エピタキシャル層 2b のエピタキシャル成長時に窒素の不純物濃度が第 2 n 型領域 5b の不純物濃度となるように設定し、イオン注入を省略する製造方法としても良い。また、 n^+ 型炭化珪素基板 1 および n 型炭化珪素エピタキシャル層 2 を合わせて炭化珪素半導体基体とし、 n 型炭化珪素エピタキシャル層 2 の基体第 1 主面側の表面層に p 型ベース層 6 をイオン注入により形成してもよい。また、 n^+ 型炭化珪素基板 1 単体を炭化珪素半導体基体とし、 n^+ 型炭化珪素基板 1 の第 1 主面側の表面層に MOS ゲート構造を構成するすべての領域（ n^+ 型高濃度領域 5、第 1、2 p 型ベース領域 3、4 および第 3、4 n 型領域 20、21 を含む）をイオン注入により形成してもよい。

40

【0058】

以上、説明したように、実施の形態 1 によれば、 n 型ドリフト層の内部に、 p 型ベース

50

層に接する第1 p⁺型ベース領域を囲む、n型ドリフト層より高濃度の第3 n型領域と、トレンチ底部に設けられた第2 p⁺型ベース領域を囲む、n型ドリフト層より高濃度の第4 n型領域とが設けられる。これにより、高濃度n型ドリフト層内の、第1 p⁺型ベース領域と第2 p⁺型ベース領域に挟まれた部分のn型不純物濃度を、高濃度n型ドリフト層の他の部分に比べて相対的に高くすることができる。このため、JFET領域の抵抗成分が削減でき、オン抵抗を低下させることができる。

【0059】

また、実施の形態1によれば、p型ベース層に接する第1 p⁺型ベース領域を設けることで、隣り合うトレンチ間に、トレンチの底部よりもドレイン側に近い位置に、第1 p⁺型ベース領域とn型ドリフト層とのpn接合を形成することができる。また、n型ドリフト層の内部に、トレンチ底部を囲むように、またはトレンチ底部よりも深くかつトレンチと深さ方向に対向するように、第2 p⁺型ベース領域を設けることで、トレンチの底部に近い位置に、第2 p⁺型ベース領域とn型ドリフト層とのpn接合を形成することができる。このように、第1, 2 p型ベース領域とn型ドリフト層とのpn接合を形成することで、トレンチ底部のゲート絶縁膜に高電界が印加されることを防止することができる。このため、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる。また、トレンチ幅よりも幅の広い第2 p⁺型ベース領域を設けることで、トレンチの底部のコーナー部の電界を緩和させることができるため、さらに耐電圧を高くすることができる。

10

【0060】

また、実施の形態1によれば、第1 p⁺型ベース領域の一部が前記トレンチ側に延在し、第2 p⁺型ベース領域に接続されていることで、第2 p⁺型ベース領域とn型炭化珪素エピタキシャル層の接合部分でアパランシェ降伏が起こったときに発生するホールを効率よくソース電極に退避させることができる。このため、耐電圧が高い状態で、オン抵抗を下げることができる。また、実施の形態1によれば、第2 p⁺型ベース領域の幅がトレンチの幅よりも広いことで、トレンチと第2 p⁺型ベース領域との横方向位置に合わせズレが生じたとしても、トレンチ底部の少なくとも一方のコーナー部を囲むように第2 p⁺型ベース領域が配置される。これにより、従来よりもゲート絶縁膜への最大電界強度が高く、かつオン抵抗を従来と同程度に維持した半導体装置を提供することができる。このため、エピタキシャル成長およびイオン注入、またはイオン注入のみで、耐電圧が高くかつオン抵抗の低い半導体装置を従来よりも簡易な製造方法で製造することができる。

20

30

【0061】

(実施の形態2)

図10は、実施の形態2にかかる炭化珪素半導体装置の構成を示す断面図である。図10に示すように、実施の形態2にかかる炭化珪素半導体装置は、n型炭化珪素エピタキシャル層2の内部に、第1 p⁺型ベース領域3の下端部(ドレイン側端部)に接するように、第3 p型領域3cを設け、第4 n型領域21が第3 p型領域3cを囲む構造である。第3 p型領域3cは、p型ベース層6および第1 p⁺型ベース領域3とともにベース領域として機能する。

【0062】

第3 p型領域3cの厚さは、例えば0.1 μm ~ 0.5 μm程度であってもよい。第3 p型領域3cの幅は、第1 p⁺型ベース領域3の幅より狭く、例えば第1 p⁺型ベース領域3よりも0.1 μm以上狭くてもよい。また、第3 p型領域3cは、第1 p⁺型ベース領域3の側壁方向とn⁺炭化珪素基板1の表面に平行な方向に沿って連続して同じ厚さで設けられていてもよく、n⁺炭化珪素基板1側から俯瞰してみると周期的な点状の形状で設けられていてもよい。

40

【0063】

実施の形態2にかかる炭化珪素半導体装置のその他の構成については、実施の形態1にかかる炭化珪素半導体装置の構成と同様であるため、重複する説明を省略する。

【0064】

50

(実施の形態2にかかる炭化珪素半導体装置の製造方法)

図11は、実施の形態2にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。図11に示すように、第1p型領域3a、第2p⁺型ベース領域4、第1n型領域5a、第3n型領域20、第4n型領域21を形成した後、イオン注入時に用いたマスクを除去する。その後、第1n型炭化珪素エピタキシャル層2aの表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えばレジストで形成する。そして、このレジストをマスクとしてイオン注入法によって、n型の不純物、例えばリン原子をイオン注入し、第1p型領域3aおよび第1n型炭化珪素エピタキシャル層2aを選択的にn型に反転させ、第4n型領域21と接するn型領域(不図示)を形成する。次に、第4n型領域21と接するn型領域を形成するために用いたマスクを除去し、別のマスクを、例えばレジストで形成する。そして、このレジストをマスクとしてイオン注入法によって、p型の不純物、例えばアルミニウム原子をイオン注入し、n型領域を選択的にp型に反転させる。選択的にp型に反転された領域が、第1p型領域3aおよび第3p型領域3cとなり、p型に反転されない領域が第4n型領域21となる。これによって、図11に示すように、第1p型領域3aの下部(ドレイン側端部)に、第1p型領域3aに接するように、例えば厚さ0.25μm程度の、第4n型領域21で囲まれた第3p型領域3cが、例えば幅1μm程度となるように、形成される。第3p型領域3cを形成する際のイオンのエネルギーを、例えば700keV、ドーズ量を、例えば $1 \times 10^{14} / \text{cm}^2$ 程度となるように設定してもよい。

10

20

【0065】

実施の形態2にかかる炭化珪素半導体装置のその他の製造方法については、実施の形態1にかかる炭化珪素半導体装置の製造方法と同様であるため、重複する説明を省略する。

【0066】

以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を奏する。また、実施の形態2によれば、第1p⁺型ベース領域の下端部の少なくとも一部(第3p型領域)を第2p⁺型ベース領域の下端部よりも深くすることで、アバランシェ降伏が起こったときに、ソース領域から第3p型領域を通過しドレイン側へ電流が流れる。このため、トレンチの底部のゲート絶縁膜の電界強度をさらに緩和させることができる。

【0067】

以上において本発明では、炭化珪素でできた炭化珪素基板の第1主面を(0001)面とし当該(0001)面上にMOSゲート構造を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体の種類(例えば窒化ガリウム(GaN)など)、基板主面の面方位などを種々変更可能である。また、本発明では、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

30

【産業上の利用可能性】

【0068】

以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

【符号の説明】

40

【0069】

- 1 n⁺型炭化珪素基板
- 2 n型炭化珪素エピタキシャル層
- 2a 第1n型炭化珪素エピタキシャル層
- 2b 第2n型炭化珪素エピタキシャル層
- 3 第1p⁺型ベース領域
- 3a 第1p型領域
- 3b 第2p型領域
- 3c 第3p型領域
- 4 第2p⁺型ベース領域

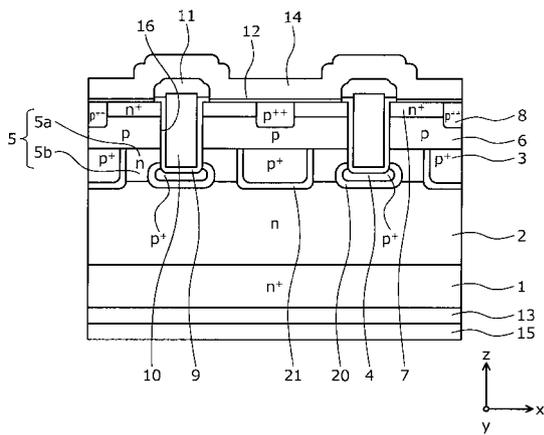
50

- 5 n⁺型高濃度領域
- 5 a 第1 n型領域
- 5 b 第2 n型領域
- 6 p型ベース層
- 7 n⁺ソース領域
- 8 p⁺⁺コンタクト領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 13 裏面電極 (ドレイン電極)
- 14 ソース電極パッド
- 15 ドレイン電極パッド
- 16 トレンチ
- 20 第3 n型領域
- 20 a 第1の第3 n型領域
- 20 b 第2の第3 n型領域
- 21 第4 n型領域
- 21 a 第1の第4 n型領域
- 21 b 第2の第4 n型領域

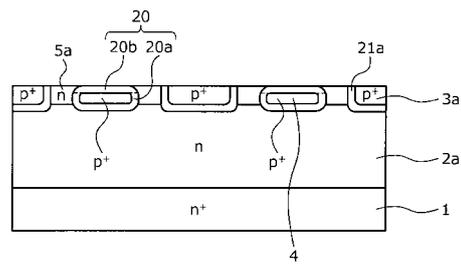
10

20

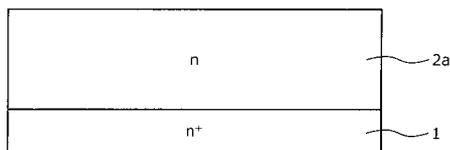
【図1】



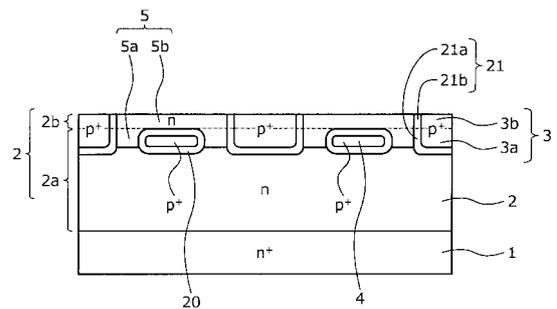
【図3】



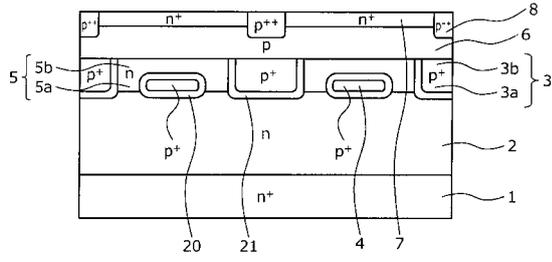
【図2】



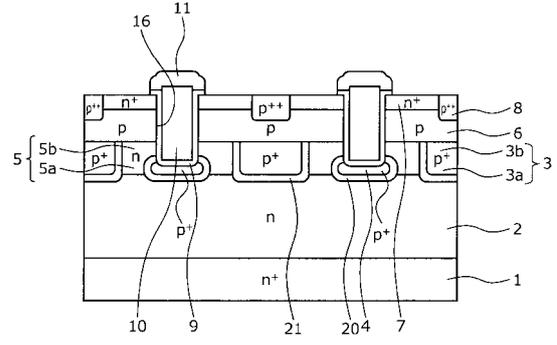
【図4】



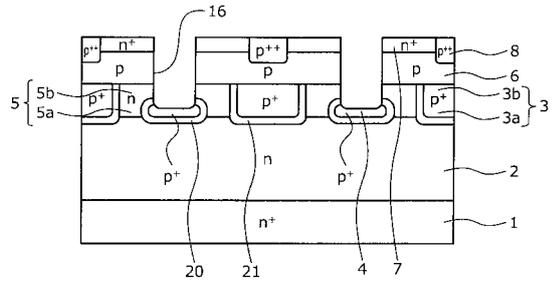
【 図 5 】



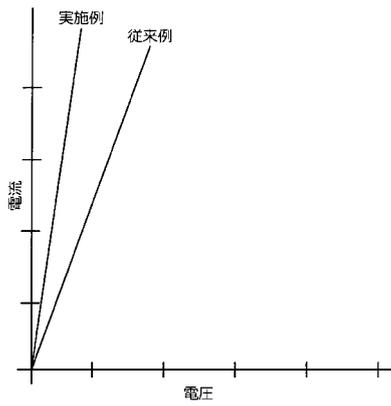
【 図 7 】



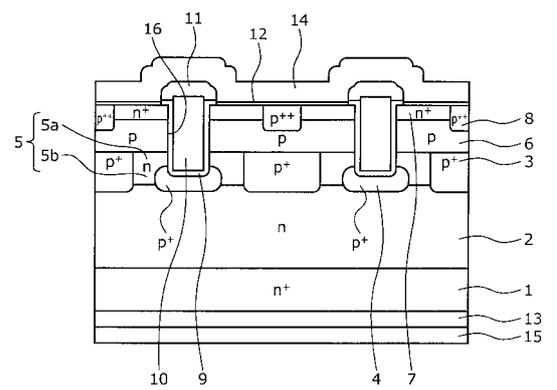
【 図 6 】



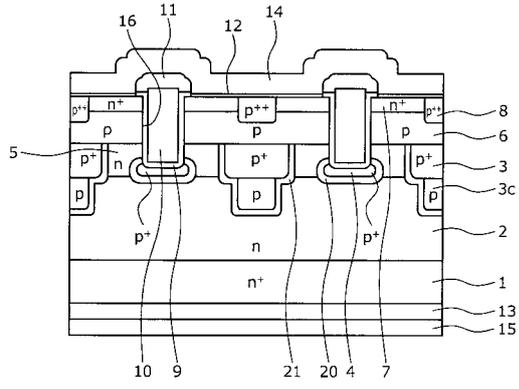
【 図 8 】



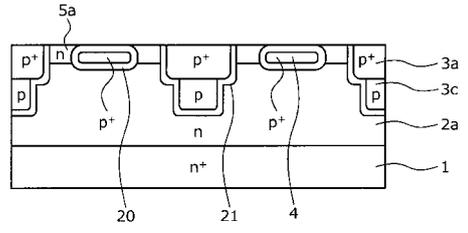
【 図 9 】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/78	6 5 8 E
H 0 1 L	29/78	6 5 2 D