



### 청구항 1.

표시패널의 복수의 데이터선에 해당하는 데이터 신호를 각각 인가하는 데이터 구동장치에 있어서,

복수의 데이터 신호를 순차적으로 선택하여 출력하는 적어도 하나의 다중화부,

상기 다중화부에 대응하여 상기 다중화부로부터 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 적어도 하나의 D/A변환부, 및

상기 D/A 변환부에서 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 출력신호 제어부를 포함하는 데이터 구동장치.

### 청구항 2.

제1항에 있어서,

상기 다중화부는

제1 시프트 신호를 생성하는 시프트 레지스터; 및

상기 제1 시프트 신호에 동기하여 상기 복수의 데이터 신호를 순차적으로 D/A변환부로 인가하는 멀티플렉서를 포함하는 데이터 구동장치.

### 청구항 3.

제2항에 있어서,

상기 시프트 레지스터는 제2 시프트 신호를 생성하며,

상기 출력신호 제어부는 상기 제2 시프트 신호에 동기하여 제1 D/A 변환부에서 변환된 데이터 신호가 해당하는 데이터선에 인가되도록 제어하는 데이터 구동장치.

### 청구항 4.

제1항에 있어서,

상기 D/A변환부는 R, G, B 데이터를 각각 변환하는 3개의 디지털아날로그변환기를 포함하는 데이터 구동장치.

### 청구항 5.

제1항에 있어서,

상기 복수의 데이터 신호는 제1 및 제2 그룹의 데이터 신호를 포함하는 복수의 그룹의 데이터 신호로 구성되고,

상기 다중화부는,

상기 제1 그룹의 데이터 신호를 각각 순차적으로 선택하여 출력하는 제1 다중화부; 및

상기 제2 그룹의 데이터 신호를 각각 순차적으로 선택하여 출력하는 제2 다중화부를 포함하는 데이터 구동장치.

### 청구항 6.

제5항에 있어서,

상기 D/A 변환부는,

상기 제1 다중화부로부터 순차적으로 전달되는 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 제1 D/A 변환부; 및

상기 제2 다중화부로부터 순차적으로 전달되는 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 제2 D/A 변환부

를 포함하는 데이터 구동장치.

### 청구항 7.

선택신호를 전달하는 복수의 주사선, 데이터 신호를 전달하는 복수의 데이터선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소를 포함하는 표시부와 상기 데이터 신호를 생성하여 상기 데이터선에 각각 인가하는 데이터 구동부와 상기 선택신호를 생성하여 상기 주사선에 각각 인가하는 주사구동부를 포함하는 발광 표시 장치에 있어서,

상기 데이터 구동부는,

외부신호에 따라 순차적으로 시프트되는 제1 시프트 신호를 생성하는 시프트레지스터부;

제1 그룹 신호 및 제2 그룹 신호를 포함하는 데이터 신호를 상기 제1 시프트 신호에 동기하여 샘플링하여 저장하는 래치부;

상기 래치부에서 출력되는 상기 제1 및 제2 그룹 신호를 각각 순차적으로 선택하여 전달하는 제1 및 제2 다중화부;

상기 제1 및 제2 다중화부로부터 각각 입력된 제1 및 제2 그룹 신호를 아날로그 신호로 각각 변환하는 제1 및 제2 D/A 변환부;

상기 제1 및 제2 D/A 변환부로부터 각각 순차적으로 출력된 데이터 신호를 해당 데이터선에 출력하도록 제어하는 출력신호제어부

를 포함하는 발광 표시 장치.

### 청구항 8.

제7항에 있어서,

상기 제1 다중화부는

제2 및 제3 시프트 신호를 생성하는 시프트레지스터; 및

상기 시프트레지스터에서 생성된 제2 시프트 신호에 동기하여 상기 래치부로부터 출력된 제1 그룹 신호를 순차적으로 선택하여 제1 D/A 변환부로 출력하는 멀티플렉서를 포함하는 발광 표시 장치.

### 청구항 9.

제8항에 있어서,

상기 제2 다중화부는

제4 및 제5 시프트 신호를 생성하는 시프트레지스터; 및

상기 시프트레지스터에서 생성된 제4 시프트 신호에 동기하여 상기 래치부로부터 출력된 제2 그룹 신호를 순차적으로 선택하여 제2 D/A 변환부로 출력하는 멀티플렉서를 포함하는 발광 표시 장치.

### 청구항 10.

제9항에 있어서,

상기 제2 및 제4 시프트 신호는 동일한 형태의 신호인 발광 표시 장치.

### 청구항 11.

제9항에 있어서,

상기 출력신호 제어부는 상기 제3 및 제5 시프트 신호에 동기하여 상기 제1 및 제2 D/A 변환부에서 변환된 데이터신호를 해당하는 데이터선에 각각 출력되도록 제어하는 발광 표시 장치.

### 청구항 12.

제7항에 있어서,

상기 제1 및 제2 D/A 변환부 각각은

R, G, B 데이터 신호를 각각 변환하는 3개의 디지털아날로그변환기를 포함하는 발광 표시 장치.

### 청구항 13.

발광 표시 패널에 있어서,

선택신호를 전달하는 복수의 주사선,

데이터 전류를 전달하는 복수의 데이터선,

상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소,

상기 선택신호를 생성하여 해당하는 주사선에 각각 인가하는 주사구동부, 및

상기 데이터 신호를 생성하여 해당하는 데이터선에 각각 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

디지털 값을 갖는 복수의 데이터 신호를 순차적으로 선택하여 출력하는 적어도 하나의 다중화부,

상기 다중화부에 대응하여 상기 다중화부로부터 순차적으로 전달되는 상기 데이터 신호를 대응하는 아날로그 데이터 전류로 순차적으로 변환하는 적어도 하나의 D/A변환부, 및

상기 D/A변환부에서 변환된 데이터 전류를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 출력신호 제어부를 포함하는 발광 표시 패널.

#### 청구항 14.

제13항에 있어서,

상기 다중화부는

제1 및 제2 시프트 신호를 생성하는 시프트 레지스터; 및

상기 제1 시프트 신호에 동기하여 상기 데이터 신호를 순차적으로 선택하여 상기 D/A변환부로 인가하는 멀티플렉서를 포함하는 발광 표시 패널.

#### 청구항 15.

제14항에 있어서,

상기 출력신호 제어부는 상기 제2 시프트 신호에 동기하여 상기 D/A변환부에서 변환되어 순차적으로 출력되는 데이터 신호가 해당하는 데이터선에 인가되도록 제어하는 발광 표시 패널.

#### 청구항 16.

발광 표시 패널에 있어서,

선택신호를 전달하는 복수의 주사선, 데이터 신호를 전달하는 복수의 데이터선 및 상기 주사선과 상기 데이터선에 각각 연결되어 매트릭스 형태로 배열되는 복수의 화소를 포함하는 표시부;

상기 선택신호를 생성하여 해당하는 주사선에 각각 인가하는 주사구동부; 및

상기 데이터 신호를 생성하여 해당하는 데이터선에 각각 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

외부신호에 따라 순차적으로 시프트되는 제1 시프트 신호를 생성하는 시프트레지스터부;

제1 그룹 신호 및 제2 그룹 신호를 포함하는 데이터 신호를 상기 제1 시프트 신호에 동기하여 샘플링하여 저장하는 래치부;

상기 래치부에서 출력되는 상기 제1 및 제2 그룹 신호를 각각 순차적으로 선택하여 전달하는 제1 및 제2 다중화부;

상기 제1 및 제2 다중화부로부터 각각 입력된 제1 및 제2 그룹 신호를 아날로그 신호로 각각 변환하는 제1 및 제2 D/A변환부;

상기 제1 및 제2 D/A 변환부로부터 각각 순차적으로 출력된 데이터 신호를 해당 데이터선에 출력하도록 제어하는 출력신호 제어부

를 포함하는 발광 표시 패널.

### 청구항 17.

제16항에 있어서,

상기 제1 다중화부는, 제2 및 제3 시프트 신호를 생성하는 시프트레지스터 및 상기 시프트레지스터에서 생성된 제2 시프트 신호에 동기하여 상기 래치부로부터 출력된 제1 그룹 신호를 순차적으로 선택하여 상기 제1 D/A 변환부로 출력하는 멀티플렉서를 포함하고,

상기 제2 다중화부는, 제4 및 제5 시프트 신호를 생성하는 시프트레지스터 및 상기 시프트레지스터에서 생성된 제4 시프트 신호에 동기하여 상기 래치부로부터 출력된 제2 그룹 신호를 순차적으로 선택하여 상기 제2 D/A 변환부로 출력하는 멀티플렉서를 포함하는 발광 표시 패널.

### 청구항 18.

제17항에 있어서,

상기 출력신호 제어부는 상기 제3 및 제5 시프트 신호에 동기하여 상기 제1 및 제2 D/A 변환부에서 변환된 데이터신호를 해당하는 데이터선에 각각 출력되도록 제어하는 발광 표시 패널.

### 청구항 19.

제16항 내지 제18항 중 어느 한 항에 있어서,

상기 제1 및 제2 D/A 변환부 각각은

R, G, B 데이터 신호를 각각 아날로그 데이터 전류로 변환하는 3개의 전류형 디지털아날로그변환기를 포함하는 발광 표시 패널.

### 청구항 20.

발광 표시 장치의 구동방법에 있어서,

(a) 복수의 데이터 신호 각각을 상기 제1 시프트 신호에 동기하여 샘플링하여 저장하는 단계,

(b) 상기 저장된 복수의 데이터 신호를 전달받고, 다중화부를 이용하여 상기 복수의 데이터 신호 각각을 순차적으로 선택하여 전달하는 단계,

(c) 상기 선택되어 전달된 복수의 데이터 신호를 순차적으로 복수의 아날로그 신호로 각각 변환하는 단계, 및

(d) 상기 복수의 아날로그 신호로 변환된 복수의 데이터 신호 각각을 해당 데이터선에 출력하도록 제어하는 단계를 포함하는 발광 표시 장치의 구동방법.

**청구항 21.**

제20항에 있어서,

(e) 제1 및 제2 시프트 신호를 생성하는 단계를 더 포함하고,

상기 (b)단계는,

상기 다중화부는 상기 제1 시프트 신호에 동기하여 상기 복수의 데이터 신호 각각을 순차적으로 선택하여 전달하는 발광 표시 장치의 구동방법.

**청구항 22.**

제21항에 있어서,

상기 (d)단계는,

상기 제2 시프트 신호에 동기하여 상기 복수의 데이터 신호 각각을 해당 데이터선에 출력하도록 제어하는 발광 표시 장치의 구동방법.

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 발광 표시 장치에 관한 것으로, 보다 상세하게는 표시소자에 데이터 전류를 인가하는 데이터 구동장치 및 이를 이용한 발광 표시 장치에 관한 것이다.

일반적으로 발광 표시 장치는 유기 물질의 전계발광을 이용한 유기EL(Organic Electro Luminescence) 표시장치로서, 행렬 형태로 배열된  $N \times M$  개의 유기 발광셀들을 전압 구동 혹은 전류 구동하여 영상을 표현한다.

이러한 유기 발광셀은 다이오드 특성을 가져서 유기 발광 다이오드(Organic Light Emission Diode; OLED)로도 불리며, 애노드(ITO), 유기 박막, 캐소드 전극층의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다. 이러한 유기 발광셀들이  $N \times M$  개의 매트릭스 형태로 배열되어 유기 EL 표시패널을 형성한다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 어드레싱 방식에 따라 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 연결하고 박막 트랜지스터의 게이트에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 이때, 커패시터에 전압을 기입하여 유지시키기 위해 인가되는 신호의 형태에 따라 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

전압 기입 방식은 표시될 영상데이터 신호에 기초한 데이터 전압이 화소 회로 각각에 인가된다. 데이터 전압은 소정의 명암 계조를 표현하기 위하여 일정 범위에서 다단계의 값을 갖는다. 그런데 이와 같은 전압 기입 방식의 화소 회로에서는 제조 공정의 불균일성에 의해 화소마다 생기는 박막 트랜지스터의 문턱 전압(threshold voltage) 및 전자 이동도(electron mobility)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다.

한편, 전류 기입 방식은 표시될 영상데이터 신호에 기초한 데이터 전류가 화소 회로 각각에 인가된다. 데이터 전류는 소정의 명암 계조를 표현하기 위하여 일정 범위에서 다단계의 값을 갖는다. 이와 같은 전류 기입 방식에 따르면, 화소 회로에 전류를 공급하는 전류원이 패널 전체, 즉 모든 데이터선에 대해 균일하다고 하면 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다.

도 1은 종래의 유기EL 표시장치의 데이터 구동장치의 구성을 보여주는 도면이다.

도 1의 데이터 구동장치는 표시패널의 화소 회로 각각에 데이터 전압 또는 데이터 전류를 인가하는 구동장치로서, 시프트 레지스터(10), 샘플링래치(20), 홀딩래치(30), 레벨시프터(40), D/A변환부(50) 및 출력버퍼(60)를 포함한다.

시프트레지스터(10)는 타이밍 신호(CLK, SP) 등을 입력받아 래치 클럭 신호를 순차적으로 생성한다. 샘플링래치(20)는 래치클럭의 상승천이 또는 하강천이 순간에 입력된 디지털 영상신호들(DB\_R, DB\_G, DB\_B)을 래칭하여 순차적으로 저장한다. 홀딩래치(30)는 샘플링래치(20)에서 디지털 데이터를 받아서 데이터를 유지한다. 레벨시프터(40)는 홀딩래치(30)에서 출력된 데이터 신호의 레벨의 특정의 레벨로 시프트한다. D/A변환부(50)는 특정의 레벨로 시프트된 디지털 데이터신호를 아날로그 신호로 변환하며, 각 데이터선에 대응하는 다수의 D/A변환기(DAC)를 포함한다. D/A변환부(50)에서 아날로그 신호로 변환된 데이터 신호는 출력버퍼(60)를 통하여 각 데이터선으로 출력된다.

이와 같은 데이터 구동장치는 도 1에 도시된 바와 같이 일반적으로 한 개의 데이터선마다 개별적으로 DAC(digital analog convertor)가 마련된다. 즉, 하나의 데이터 구동장치가 보통 300~480개의 데이터선에 데이터 신호를 인가하는 경우, 데이터 구동장치에는 300~480개의 DAC가 집적되어야만 한다.

그런데 전류 기입 방식을 사용하는 유기EL 표시장치에서, 데이터 구동장치는 D/A 변환부(50)의 출력이 전류이므로 전류 모드 DAC가 필수적이다. 일반적으로 전류모드 DAC는 차지하는 면적이 매우 크므로, 모든 출력 데이터선 마다 D/A 변환기를 집적하는 것이 어렵다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, D/A 변환기의 수를 감소시킬 수 있는 데이터 구동장치를 제공하는 것이다.

본 발명의 다른 기술적 과제는, D/A 변환기의 수를 감소시킬 수 있는 데이터 구동장치를 이용한 발광 표시 장치를 제공하는 것이다.

### 발명의 구성

본 발명의 하나의 특징에 따른 데이터 구동장치는, 표시패널의 복수의 데이터선에 해당하는 데이터 신호를 각각 인가하는 데이터 구동장치로서,

복수의 데이터 신호를 순차적으로 선택하여 출력하는 다중화부; 상기 다중화부로부터 순차적으로 전달되는 복수의 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 D/A변환부; 및 상기 D/A변환부에서 변환된 데이터 신호를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 출력신호 제어부를 포함한다.

여기서, 상기 다중화부는 제1 시프트 신호를 생성하는 시프트 레지스터; 및 상기 제1 시프트 신호에 동기하여 상기 복수의 데이터 신호를 순차적으로 D/A변환부로 인가하는 멀티플렉서를 포함할 수 있다.

상기 시프트 레지스터는 제2 시프트 신호를 생성하며, 상기 출력신호 제어부는 상기 제2 시프트 신호에 동기하여 제1 D/A 변환부에서 변환된 데이터 신호가 해당하는 데이터선에 인가되도록 제어할 수 있다.

상기 D/A변환부는 R, G, B 데이터를 각각 변환하는 3개의 디지털아날로그변환기를 포함할 수 있다.

상기 복수의 데이터 신호는 제1 및 제2 그룹의 데이터 신호를 포함하는 복수의 그룹의 데이터 신호로 구성되고, 상기 다중화부는, 상기 제1 그룹의 데이터 신호를 각각 순차적으로 선택하여 출력하는 제1 다중화부; 및 상기 제2 그룹의 데이터 신호를 각각 순차적으로 선택하여 출력하는 제2 다중화부를 포함할 수 있고, 상기 D/A변환부는, 상기 제1 다중화부로부터

순차적으로 전달되는 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 제1 D/A변환부; 및 상기 제2 다중화부로부터 순차적으로 전달되는 데이터 신호를 순차적으로 아날로그 데이터 신호로 변환하는 제2 D/A변환부를 포함할 수 있다.

본 발명의 다른 특징에 따른 발광 표시 장치는, 선택신호를 전달하는 복수의 주사선, 데이터 신호를 전달하는 복수의 데이터선 및 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소를 포함하는 표시부와 상기 데이터 신호를 생성하여 상기 데이터선에 각각 인가하는 데이터 구동부와 상기 선택신호를 생성하여 상기 주사선에 각각 인가하는 주사구동부를 포함하는 발광 표시 장치로서,

상기 데이터 구동부는, 외부신호에 따라 순차적으로 시프트되는 제1 시프트 신호를 생성하는 시프트레지스터부; 제1 그룹 신호 및 제2 그룹 신호를 포함하는 데이터 신호를 상기 제1 시프트 신호에 동기하여 샘플링하여 저장하는 래치부; 상기 래치부에서 출력되는 상기 제1 및 제2 그룹 신호를 각각 순차적으로 선택하여 전달하는 제1 및 제2 다중화부; 상기 제1 및 제2 다중화부로부터 각각 입력된 제1 및 제2 그룹 신호를 아날로그 신호로 각각 변환하는 제1 및 제2 D/A변환부; 상기 제1 및 제2 D/A변환부로부터 각각 순차적으로 출력된 데이터 신호를 해당 데이터선에 출력하도록 제어하는 출력신호제어부를 포함한다.

상기 제1 다중화부는 제2 및 제3 시프트 신호를 생성하는 시프트레지스터; 및 상기 시프트레지스터에서 생성된 제2 시프트 신호에 동기하여 상기 래치부로부터 출력된 제1 그룹 신호를 순차적으로 선택하여 제1 D/A 변환부로 출력하는 멀티플렉서를 포함하고, 상기 제2 다중화부는 제4 및 제5 시프트 신호를 생성하는 시프트레지스터; 및 상기 시프트레지스터에서 생성된 제4 시프트 신호에 동기하여 상기 래치부로부터 출력된 제2 그룹 신호를 순차적으로 선택하여 제2 D/A 변환부로 출력하는 멀티플렉서를 포함할 수 있다. 상기 제2 및 제4 시프트 신호는 동일한 형태의 신호일 수 있다.

상기 출력신호 제어부는 상기 제3 및 제5 시프트 신호에 동기하여 상기 제1 및 제2 D/A 변환부에서 변환된 데이터신호를 해당하는 데이터선에 각각 출력되도록 제어할 수 있다.

상기 제1 및 제2 D/A 변환부 각각은 R, G, B 데이터 신호를 각각 변환하는 3개의 디지털아날로그변환기를 포함할 수 있다.

본 발명의 또 다른 특징에 따른 발광 표시 패널은,

선택신호를 전달하는 복수의 주사선; 데이터 전류를 전달하는 복수의 데이터선; 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소; 상기 선택신호를 생성하여 해당하는 주사선에 각각 인가하는 주사구동부; 및 상기 데이터 신호를 생성하여 해당하는 데이터선에 각각 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는, 디지털 값을 갖는 복수의 데이터 신호를 순차적으로 선택하여 출력하는 다중화부; 상기 다중화부로부터 순차적으로 전달되는 상기 데이터 신호를 대응하는 아날로그 데이터 전류로 순차적으로 변환하는 D/A변환부; 및 상기 D/A변환부에서 변환된 데이터 전류를 해당하는 상기 데이터선에 각각 인가하도록 제어하는 출력신호 제어부를 포함할 수 있다.

상기 다중화부는 제1 및 제2 시프트 신호를 생성하는 시프트 레지스터; 및 상기 제1 시프트 신호에 동기하여 상기 데이터 신호를 순차적으로 선택하여 상기 D/A변환부로 인가하는 멀티플렉서를 포함할 수 있다.

상기 출력신호 제어부는 상기 제2 시프트 신호에 동기하여 상기 D/A변환부에서 변환되어 순차적으로 출력되는 데이터 신호가 해당하는 데이터선에 인가되도록 제어할 수 있다.

본 발명의 또 다른 특징에 따른 발광 표시 패널은,

선택신호를 전달하는 복수의 주사선, 데이터 신호를 전달하는 복수의 데이터선 및 상기 주사선과 상기 데이터선에 각각 연결되어 매트릭스 형태로 배열되는 복수의 화소를 포함하는 표시부; 상기 선택신호를 생성하여 해당하는 주사선에 각각 인가하는 주사구동부; 및 상기 데이터 신호를 생성하여 해당하는 데이터선에 각각 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는, 외부신호에 따라 순차적으로 시프트되는 제1 시프트 신호를 생성하는 시프트레지스터부; 제1 그룹 신호 및 제2 그룹 신호를 포함하는 데이터 신호를 상기 제1 시프트 신호에 동기하여 샘플링하여 저장하는 래치부; 상기 래치부에서 출력되는 상기 제1 및 제2 그룹 신호를 각각 순차적으로 선택하여 전달하는 제1 및 제2 다중화부; 상기 제1 및

제2 다중화부로부터 각각 입력된 제1 및 제2 그룹 신호를 아날로그 신호로 각각 변환하는 제1 및 제2 D/A 변환부; 상기 제1 및 제2 D/A 변환부로부터 각각 순차적으로 출력된 데이터 신호를 해당 데이터선에 출력하도록 제어하는 출력신호제어부를 포함한다.

본 발명의 또 다른 특징에 따른 발광 표시 장치의 구동방법은,

데이터 신호를 상기 제1 시프트 신호에 동기하여 샘플링하여 저장하는 단계;

상기 래치부에서 출력되는 상기 데이터 신호를 각각 순차적으로 선택하여 전달하는 단계;

상기 선택되어 전달된 데이터 신호를 순차적으로 아날로그 신호로 각각 변환하는 단계; 및

상기 아날로그 신호로 변환된 데이터 신호를 해당 데이터선에 출력하도록 제어하는 단계를 포함한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

도 2는 본 발명의 제1 실시예에 따른 발광 표시 장치의 구성을 개략적으로 보여주는 도면이다.

발광 표시 장치는 표시패널(100), 주사구동부(200) 및 데이터구동부(300)를 포함한다.

표시패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D1-Dm), 행 방향으로 뻗어 있는 복수의 주사선(S1-Sn), 및 복수의 화소회로(110)를 포함한다. 데이터선(D1-Dm)은 화상 신호를 나타내는 데이터 신호를 화소회로로 전달하며, 주사선(S1-Sn)은 선택 신호를 화소회로로 전달한다. 화소회로는 이웃한 두 데이터선(D1-Dm)과 이웃한 두 주사선(S1-Sn)에 의해 정의되는 화소 영역에 형성되어 있다.

주사 구동부(200)는 주사선(S1-Sn)에 각각 선택 신호를 순차적으로 생성하여 인가한다. 데이터 구동부(300)는 데이터선(D1-Dm)에 R, G, B 영상신호에 대응되는 데이터 전류를 인가한다.

이하에서는 도 3을 참조하여 본 발명의 실시예에 따른 발광 표시 장치를 상세하게 설명한다.

도 3은 유기 EL 소자를 구동하기 위한 전류 기입 방식의 화소 회로(110)를 대표적으로 도시한 것이다. 도 3을 참조하면, 유기EL 소자(OLED)에 트랜지스터(M1)가 연결되어 발광을 위한 전류를 공급하며, 트랜지스터(M1)의 전류량은 트랜지스터(M2)를 통해 인가되는 데이터 전류( $I_{DATA}$ )에 의해 제어되도록 되어있다.

먼저, 주사선(Sn)으로부터의 선택 신호에 의해 트랜지스터(M2, M3)가 턴온되면, 트랜지스터(M1)는 다이오드 연결 상태가 되고 데이터선(Dm)으로부터의 데이터 전류( $I_{DATA}$ )에 대응하는 전압이 커패시터(C1)에 저장된다. 다음, 주사선(Sn)으로부터의 선택 신호가 하이 레벨이 되어 트랜지스터(M2, M3)가 턴오프되고, 주사선(En)으로부터의 발광 신호가 로우 레벨이 되어 트랜지스터(M4)가 턴온된다. 그러면 전원 전압(VDD)으로부터 전원이 공급되고 커패시터(C1)에 저장된 전압에 대응하는 전류가 유기 EL 소자(OLED)로 흘러 발광이 이루어진다. 이때, 유기 EL 소자(OLED)에 흐르는 전류는 수학식 2와 같다.

수학식 1

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = I_{DATA}$$

여기서,  $V_{GS}$ 는 트랜지스터(M1)의 소스와 게이트 사이의 전압,  $V_{TH}$ 는 트랜지스터(M1)의 문턱전압,  $\beta$ 는 상수 값을 나타낸다.

다음은, 도 3과 같은 전류 기입 방식으로 구동되는 발광 표시장치의 데이터 구동부에 대하여 상세하게 설명한다.

도 4는 도 2의 데이터 구동부(300)의 구성을 보여주는 도면이다.

데이터 구동부(300)는 시프트 레지스터부(310), 래치부(320), 제1 및 제2 D/A 변환부(360, 370), 제1 및 제2 다중화부(330, 340), 출력신호제어부(350) 및 출력부(380)를 포함한다.

시프트 레지스터부(310)는 클럭신호에 기초하여 시프트 신호를 생성한다. 래치부(320)는 시프트 레지스터부(310)에서 생성된 시프트 신호에 기초하여 입력된 R, G, B 데이터신호(DB\_R, DB\_G, DB\_B)를 샘플링하여 저장한다. 제1 및 제2 D/A 변환부(360, 370)는 각각 래치부(320)에 저장된 디지털 R, G, B 데이터신호를 각각 아날로그 데이터 신호로 변환한다. 제1 및 제2 다중화부(330, 340)는 래치부(320)에 저장된 디지털 R, G, B 데이터신호 중에서 일부(제1 그룹의 데이터 신호)를 제1 D/A 변환부(360)로 전달하고 디지털 R, G, B 데이터신호의 다른 일부(제2 그룹의 데이터 신호)는 제2 D/A 변환부(370)로 전달되도록 제어한다. 출력신호제어부(350)는 제1 및 제2 D/A 변환부(360, 370)에서 출력된 아날로그 데이터 신호가 해당 데이터선에 인가될 수 있도록 제어한다. 출력부(380)는 출력신호제어부(350)의 제어에 기초하여 데이터 신호를 해당 데이터선에 인가한다.

이하에서는, 이와 같은 데이터 구동부의 동작에 대하여 보다 상세하게 설명한다. 본 발명의 실시예에 따르면, 데이터 구동부는 적색(R), 녹색(G) 및 청색(B) 각각 10비트의 디지털 데이터를 입력받아, 각각 100채널, 즉 총 300 채널에 해당하는 데이터를 생성하고 이 300 채널의 데이터를 각각에 대응하는 300개의 데이터선에 인가하는 경우를 예로써 설명하나 본 발명은 이에 한정되는 것은 아니다.

먼저, 외부로부터 클럭신호(CLKH) 및 입력인에이블신호(input enable; IE)가 시프트 레지스터부(310)에 입력된다. 시프트 레지스터부(310)는 클럭신호(CLKH) 및 입력인에이블신호(IE)에 기초하여 데이터 샘플링에 필요한 100개의 시프트 신호(SRH0 ~ SRH99)를 순차적으로 출력한다. 본 실시예에서 표시패널의 데이터선의 수가 300개이고, R, G, B 각각 100채널이므로 시프트 신호의 수는 100개가 된다.

또한, 시프트 레지스터부(310)는 도면에는 도시하지 않았지만, 양방향 출력, 즉 좌측에서 우측으로 시프트되는 시프트 신호 또는 우측에서 좌측으로 시프트되는 시프트 신호를 출력할 수 있다. 시프트 레지스터부(310)가 양방향 출력이 가능한 경우에는 방향을 결정하는 방향제어신호 및 캐리인(carry-in) 신호가 입력되고, 이 방향제어신호 및 캐리인 신호에 기초하여 좌측에서 우측으로 시프트되는 시프트 신호 또는 우측에서 좌측으로 시프트되는 시프트 신호가 선택적으로 출력될 수 있다.

R, G, B 데이터신호를 샘플링하여 저장하는 래치부(320)는 샘플링래치(321) 및 홀딩래치(323)를 포함한다. 샘플링래치(321)는 시프트 레지스터부(310)로부터 입력받은 시프트신호(SRH0 ~ SRH99)를 샘플링 클럭신호로 이용하여 입력되는 10비트의 R, G, B 디지털 데이터 신호(DB\_R, DB\_G, DB\_B)를 각각 100 채널의 데이터로 샘플링한다. 즉, 샘플링래치(321)는 시프트 레지스터(310)의 출력인 시프트신호(SRH0 ~ SRH99)를 샘플링 클럭신호로 인가받아 하나의 샘플링 클럭신호마다 R, G, B 각각 10비트씩 총 30비트의 데이터를 샘플링한다.

그 다음 홀딩래치(323)는 샘플링래치(321)에 저장된 R, G, B(DB\_R<0~99>, DB\_G<0~99>, DB\_B<0~99>) 각각 100 채널, 즉 총 300 채널에 해당하는 데이터들을 입력받아 한 행시간(row line time) 동안 데이터를 유지한다. 홀딩래치(323)는 홀딩래치 인에이블 신호(DH)에 기초하여 동시에 병렬적으로 저장한다. 이때 홀딩래치 인에이블 신호(DH)는 홀딩래치(323)에 직접 입력되지 않고 내부 클럭(CLKH)에 동기화 시켜서 사용할 수도 있다. 인에이블 신호(DH)가 내부 클럭과 동기화 됨에 따라 외부로부터의 잠음에 대해서 신호(DH)가 순간적으로 원치 않는 상태변화를 일으키더라도 홀딩래치의 동작에 영향을 미치지 않는다. 인에이블 신호(DH)는 홀딩래치(323)에서 100개의 버퍼를 구동하게 되며 한 개의 버퍼는 데이터 홀딩에 사용되는 소자, 예컨대 플리플롭을 3개씩 구동하게 되어 300개 채널에 해당하는 전체 디지털 데이터(DB\_R<0~99>, DB\_G<0~99>, DB\_B<0~99>)를 저장하게 된다.

제1 및 제2 다중화부(330, 340)는 각각 시프트레지스터(331, 341) 및 멀티플렉서(332, 342)를 포함한다.

도 5 및 도 6은 제1 및 제2 다중화부(330, 340)의 구성을 보여주는 도면이다. 도 5 및 도 6에서와 같이, 제1 다중화부(330)의 시프트레지스터(331)는 클럭신호(CLKL) 및 캐리인 신호(DAS)를 입력받아 신호(MSW0~MSW49) 및 신호(SRL0~SRL49)를 생성하고, 제2 다중화부(340)의 시프트레지스터(341)는 클럭신호(CLKL) 및 캐리인 신호(DAS)를 입력받아 신호(MSW50~MSW99) 및 신호(SRL50~SRL99)를 생성한다. 여기서, 시프트레지스터(331)에 인가되는 클럭신호(CLKL)는 시프트 레지스터부(310)에 인가되는 클럭신호(CLKH)보다 주파수가 낮을 수 있다. 캐리인 신호(DAS)는 홀

덩래치(323)에서 사용되는 인에이블 신호(DH)와 동일한 타이밍을 갖는다. 신호(MSW0~MSW49)와 신호(MSW50~MSW99)는 동일한 형태의 신호이고, 신호(SRL0~SRL49)와 신호(SRL50~SRL99)도 동일한 형태의 신호이다.

신호(MSW0~MSW49)는 제1 다중화부(330)의 멀티플렉서(332)로 인가되고 신호(MSW50~MSW99)는 제2 다중화부(340)의 멀티플렉서(342)로 인가된다. 또한 신호(SRL0~SRL49) 및 신호(SRL50~SRL99)는 출력신호신호제어부(350)로 출력한다.

제1 다중화부(330)의 멀티플렉서(332)는 신호(MSW0~MSW49)에 기초하여 홀딩래치(323)에 저장된 R, G, B 각각 100 채널의 데이터(DB\_R<0~99>, DB\_G<0~99>, DB\_B<0~99>) 중에서 제1 그룹에 해당하는 R, G, B 각각 50 채널의 데이터(DB\_R<0~49>, DB\_G<0~49>, DB\_B<0~49>)를 순차적으로 제1 D/A변환부(360)에 인가하고, 제2 다중화부(340)의 멀티플렉서(342)는 신호(MSW50~MSW99)에 기초하여 제2 그룹에 해당하는 R, G, B 각각 50 채널의 데이터(DB\_R<50~99>, DB\_G<50~99>, DB\_B<50~99>)를 순차적으로 제2 D/A변환부(370)에 인가한다.

제1 및 제2 D/A변환부(360, 370)는 R, G, B 데이터를 각각 아날로그 전류신호로 변환하여 출력하는 3개의 DAC(Digital Analog Convertor)를 각각 포함한다. 구체적으로, 제1 D/A변환부(360)는 제1 다중화부(330)의 멀티플렉서(332)를 통하여 입력받은 제1 그룹의 데이터(DB\_R<0~49>, DB\_G<0~49>, DB\_B<0~49>)를 각각 DAC\_R, DAC\_G, DAC\_B(361, 362, 363)를 이용하여 아날로그 전류신호로 순차적으로 변환하여 출력한다. 또한 제2 D/A변환부(370)는 제2 다중화부(340)의 멀티플렉서(342)를 통하여 입력받은 제2 그룹의 데이터(DB\_R<50~99>, DB\_G<50~99>, DB\_B<50~99>)를 각각 DAC\_R, DAC\_G, DAC\_B(371, 372, 373)를 이용하여 아날로그 전류신호로 순차적으로 변환하여 출력한다.

도 7은 제1 D/A변환부(360)의 DAC\_R(361)의 구성을 보여주는 도면이다. 제1 및 제2 D/A변환부(360, 370)의 다른 DAC도 DAC\_R(361)과 동일하므로 그 구성 및 동작설명은 생략한다.

도 7에서와 같이, DAC\_R(361)은 전류원( $I_B$ )에 연결되는 트랜지스터(TB) 및 10개의 미러트랜지스터( $T_0 \sim T_9$ ) 및 미러트랜지스터( $T_0 \sim T_9$ )와 연결되는 스위칭소자(SW1~SW9)를 포함한다.

미러트랜지스터( $T_0 \sim T_9$ )는 각각 트랜지스터(TB)의  $2^0 \sim 2^9$ 배의 크기를 갖는다. 따라서 미러트랜지스터( $T_0 \sim T_9$ )는 트랜지스터(TB)를 통하여 흐르는 전류( $I_B$ )의  $2^0 \sim 2^9$ 배의 전류( $2^0 I_B \sim 2^9 I_B$ )가 각각 출력된다. 스위칭소자(SW0~SW9) 각각은 제1 다중화부(360)의 멀티플렉서(362)로부터 입력되는 데이터(DB\_R)의 하나의 비트데이터에 응답하여 턴온되어 미러트랜지스터( $T_0 \sim T_9$ )와 출력단자 각각을 연결한다. 예컨대, 데이터(DB\_R)가 (0010100010)인 경우 스위칭 소자(SW1, SW5, SW7)가 턴온되어 출력되는 전류는  $(2^1 + 2^5 + 2^7) I_B$ 가 된다. 이렇게 제1 및 제2 D/A변환부(360, 370)에서 아날로그 전류값으로 변환되어 생성된 R, G, B 데이터 전류는 출력부(380)로 입력된다.

도 4에서, 출력신호제어부(350)는 제1 및 제2 다중화부(330, 340)의 시프트레지스터로부터 생성되어 입력된 신호(SRL0~SRL99)에 기초하여 제1 및 제2 D/A변환부(360, 370)에서 순차적으로 출력되는 데이터 전류를 해당 출력 데이터선에 인가하도록 제어한다.

출력부(380)는 제1 및 제2 D/A변환부(360, 370)로부터 출력된 300 채널 데이터 신호를 해당 데이터선(D1 ... Dm)으로 인가한다.

이와 같은 본 발명의 제1 실시예에 따른 발광 표시 장치를 사용함으로써, 각 출력 채널마다 개별적으로 DAC를 마련하는 대신 소정 수의 채널이 하나의 DAC를 공통적으로 사용하도록 함으로써 데이터 구동장치에서 DAC를 위한 면적을 대폭 감소시킬 수 있다. 또한, 복수개의 채널 데이터가 동일한 DAC를 통하여 변환되므로 변환에 의한 데이터 편차를 감소시킬 수 있다.

다음은 도 8 내지 도 12를 참조하여 본 발명의 제2 실시예에 따른 발광 표시 장치를 상세하게 설명한다.

도 8은 본 발명의 제2 실시예에 따른 발광 표시 장치는 주사 구동부 및 데이터 구동부가 하나의 기관(400)에 집적된다는 점이 제1 실시예와 다르다.

하나의 기관에 형성되는 발광 표시 장치는 표시영역(500), 주사구동부(600) 및 데이터구동부(700)를 포함한다.

표시영역(500)은 열 방향으로 뻗어 있는 복수의 데이터선(D1-Dm), 행 방향으로 뻗어 있는 복수의 주사선(S1-Sn), 및 복수의 화소회로(510)를 포함한다. 데이터선(D1-Dm)은 화상 신호를 나타내는 데이터 신호를 화소회로로 전달하며, 주사선(S1-Sn)은 선택 신호를 화소회로로 전달한다. 화소회로는 이웃한 두 데이터선(D1-Dm)과 이웃한 두 주사선(S1-Sn)에 의해 정의되는 화소 영역에 형성되어 있다. 주사 구동부(600)는 주사선(S1-Sn)에 각각 선택 신호를 순차적으로 생성하여 인가한다. 데이터 구동부(700)는 데이터선(D1-Dm)에 R, G, B 영상신호에 대응되는 데이터 전류를 인가한다.

도 9는 본 발명의 제2 실시예에 따른 발광 표시 장치의 데이터구동부(700)의 구성을 보여주는 도면이다.

데이터구동부(700)는 1개의 다중화부(730) 및 1개의 D/A변환부(760)를 포함한다는 점이 제1 실시예와 다르다. 따라서 제1 실시예와 동일한 구성 및 동작설명은 생략하고 다중화부(730) 및 다중화부(760)에 대하여 구체적으로 설명한다. 다중화부(730)는 각각 시프트레지스터(731) 및 멀티플렉서(732)를 포함한다.

도 10은 다중화부(730)의 구성을 보여주는 도면이다.

도 10에서와 같이, 다중화부(730)의 시프트레지스터(731)는 클럭신호(CLK) 및 캐리인 신호(DAS)를 입력받아 신호(MSW0~MSW99) 및 신호(SRL0~SRL99)를 생성한다.

신호(MSW0~MSW99)는 다중화부(730)의 멀티플렉서(732)로 인가되고 신호(SRL0~SRL99)는 출력신호신호제어부(750)로 출력된다.

다중화부(730)의 멀티플렉서(732)는 신호(MSW0~MSW99)에 기초하여 홀딩래치(723)에 저장된 R, G, B 각각 100 채널의 데이터(DB\_R<0~99>, DB\_G<0~99>, DB\_B<0~99>)를 순차적으로 D/A변환부(760)에 인가한다.

D/A변환부(760)는 R, G, B 데이터를 각각 아날로그 전류신호로 변환하여 출력하는 3개의 DAC(Digital Analog Convertor)를 포함한다. 구체적으로, D/A변환부(760)는 다중화부(730)의 멀티플렉서(732)를 통하여 입력받은 100 채널의 디지털 데이터(DB\_R<0~49>, DB\_G<0~49>, DB\_B<0~49>)를 각각 DAC\_R, DAC\_G, DAC\_B(761, 762, 763)를 이용하여 아날로그 전류신호로 순차적으로 변환하여 출력한다.

도 11은 D/A변환부(760)의 구성을 보여주는 도면이다.

도 11에서, D/A변환부(760)는 DAC\_G(761), DAC\_G(762) 및 DAC\_B(763)를 포함한다. DAC\_R(761)은 다중화부(730)로부터 적색 디지털 데이터(DB\_R<0~99>)를 순차적으로 입력받고 바이어스전류 생성장치(미도시)로부터 생성되어 출력된 바이어스전류(I<sub>B0</sub> ... I<sub>B9</sub>)를 입력받아 디지털 데이터(DB\_R<0~99>) 각각에 대응되는 데이터 전류 값을 순차적으로 출력한다. DAC\_G(762)는 다중화부(730)로부터 녹색 디지털 데이터(DB\_G<0~99>)를 순차적으로 입력받고 바이어스전류 생성장치(미도시)로부터 생성되어 출력된 바이어스전류(I<sub>B0</sub> ... I<sub>B9</sub>)를 입력받아 디지털 데이터(DB\_G<0~99>) 각각에 대응되는 데이터 전류 값을 순차적으로 출력한다. DAC\_B(763)는 다중화부(730)로부터 청색 디지털 데이터(DB\_B<0~99>)를 순차적으로 입력받고 바이어스전류 생성장치(미도시)로부터 생성되어 출력된 바이어스전류(I<sub>B0</sub> ... I<sub>B9</sub>)를 입력받아 디지털 데이터(DB\_B<0~99>) 각각에 대응되는 데이터 전류 값을 순차적으로 생성하여 출력부(780)로 출력한다. DAC\_R(761), DAC\_G(762) 및 DAC\_B(763) 각각은 데이터의 비트 수에 해당하는 개수의 전류 샘플/홀드 회로를 포함한다. 본 제2 실시예에서는 디지털 데이터(DB\_G, DB\_G, DB\_B)가 10비트이므로 10개의 바이어스전류(I<sub>B0</sub> ... I<sub>B9</sub>)가 입력되는 것이다. 즉 입력되는 바이어스전류의 수는 디지털 데이터(DB\_G, DB\_G, DB\_B)에 따라 달라질 수 있다.

도 12는 DAC\_R(761)의 구성을 보여주는 도면이다. DAC\_G(762) 및 DAC\_B(763)의 구성 및 동작은 DAC\_R(761)과 동일하므로 자세한 설명은 생략하기로 한다.

도 12에 도시된 바와 같이, DAC\_R(761)은 10개의 전류회로(761<sub>0</sub>~761<sub>9</sub>)를 포함한다. 대표적으로, 전류회로(761<sub>0</sub>)는 트랜지스터(M0), 커패시터(C0), 및 스위칭 소자(SW01, SW02, SW03)를 포함한다.

트랜지스터(M0)는 P 타입의 채널을 갖는 MOS 트랜지스터로 형성되고, 소스가 전원 전압(VDD)에 연결되어 있다. 그리고 트랜지스터(M0)의 게이트 및 소스 간에는 커패시터(C0)가 연결되어 있다. 스위칭 소자(SW01)는 트랜지스터(M0)의 드레인과 게이트 간에 연결되며, 전원 전압(VDD)에서부터 전류패스가 형성되어 바이어스전류가 복사되도록 하는 바이어스신

호에 응답하여 턴온된다. 스위칭 소자(SW02)는 바이어스 전류가 인가되는 입력단과 트랜지스터(M0)의 드레인 간에 접속되고, 전원 전압(VDD)에서부터 전류패스가 형성되어 바이어스전류가 복사되도록 하는 바이어스신호에 응답하여 턴온된다. 그리고, 스위칭 소자(SW03)는 트랜지스터(M0)의 드레인과 출력단 간에 연결되고, 데이터(DB\_R)의 첫번째 비트에 응답하여 턴온된다.

이로써, 전원 전압(VDD)에서부터 전류패스가 형성되어 바이어스전류가 복사되도록 하는 바이어스신호가 입력되면 스위칭 소자(SW01)가 턴온되고 스위칭 소자(SW02)가 턴온되어 전류패스가 형성되고 이 전류패스에 바이어스 전류( $I_{B1}$ )가 흐르게 되고, 바이어스 전류( $I_{B1}$ )에 대응되는 전압이 커패시터(C0)에 저장된다.

그런 다음, 스위칭 소자(SW01) 및 스위칭 소자(SW02)가 턴오프되고, 데이터(DB\_R)가 입력되면, 데이터(DB\_R)의 첫 번째 비트가 1인 경우 스위칭 소자(SW03)가 턴온된다. 그러면, 커패시터(C0)에 저장된 전압에 대응되는 전류가 트랜지스터(M0)를 통하여 출력단으로 흐르게 된다. 데이터(DB\_R)의 첫번째 비트가 0인 경우에는 스위칭 소자(SW03)가 턴오프되며, 트랜지스터(M0)로부터의 전류가 차단된다. 이와 같은 전류 회로는 데이터(DB\_R)의 비트 수만큼 형성되고, 각 전류 회로(761<sub>0</sub>~761<sub>9</sub>)의 스위칭 소자(SW03~SW93)에 게조 데이터의 첫 번째 내지 열 번째 비트가 각각 인가됨으로써, 10비트 데이터에 대응되는 데이터 전류가 출력될 수 있다. 예컨대, 데이터(DB\_R)가 (0010100010)인 경우도 8의 좌측에서 세 번째, 다섯 번째 및 아홉 번째 전류회로(761<sub>2</sub>, 761<sub>4</sub>, 761<sub>8</sub>)의 스위칭 소자(SW23, SW43, SW83)가 턴온되어, 커패시터(C2, C4, C8)에 저장된 전압에 대응되는 전류가 출력단자로 출력된다.

앞서 설명한 본 발명의 제2 실시예에 따르면, 각 출력 채널마다 개별적으로 D/A변환기를 마련하는 대신 하나의 D/A변환부를 공통적으로 사용하도록 함으로써 제1 실시예보다 DAC를 위한 면적을 더욱더 감소시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 본 발명은 이에 한정되는 것은 아니다. 즉, D/A 변환부를 하나 또는 2개를 사용하는 경우를 예로써 설명하였으나, 복수개의 채널 데이터를 순차적으로 D/A 변환하는 3개 이상의 D/A변환부를 사용할 수도 있다. 또한, 본 발명의 발광 표시장치를 예로써 설명하였지만 데이터 구동장치를 필요로 하는 표시장치에 모두 적용될 수 있다. 결국, 본 발명의 권리범위는 앞서 설명한 실시예에 한정되는 것이 아니며, 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 발명의 효과

본 발명에 따르면, 복수의 채널 데이터가 하나의 디지털-아날로그 변환기를 공통적으로 사용하도록 함으로써 데이터 구동장치에서 디지털-아날로그 변환기를 위한 면적을 대폭 감소시킬 수 있다. 또한, 복수개의 채널 데이터가 동일한 디지털-아날로그 변환기를 통하여 변환되므로 변환에 의한 데이터 편차를 감소시킬 수 있다. 따라서 이와 같은 데이터 구동장치를 이용함으로써 표시장치의 표시특성을 더욱 개선시킬 수 있다.

### 도면의 간단한 설명

도 1은 종래의 유기EL 표시장치의 데이터 구동장치의 구성을 보여주는 도면이다 .

도 2는 본 발명의 제1 실시예에 따른 발광 표시 장치의 구성을 개략적으로 보여주는 도면이다.

도 3은 유기 EL 소자를 구동하기 위한 전류 기입 방식의 화소 회로(110)를 대표적으로 도시한 것이다.

도 4는 도 2의 데이터 구동부(300)의 구성을 보여주는 도면이다.

도 5는 제1 다중화부(330)의 구성을 보여주는 도면이다.

도 6은 제2 다중화부(340)의 구성을 보여주는 도면이다.

도 7은 제1 D/A변환부(360)의 DAC\_R(361)의 구성을 보여주는 도면이다.

도 8은 본 발명의 제2 실시예에 따른 발광 표시 장치의 구성을 개략적으로 보여주는 도면이다.

도 9는 본 발명의 제2 실시예에 따른 발광 표시 장치의 데이터구동부(700)의 구성을 보여주는 도면이다.

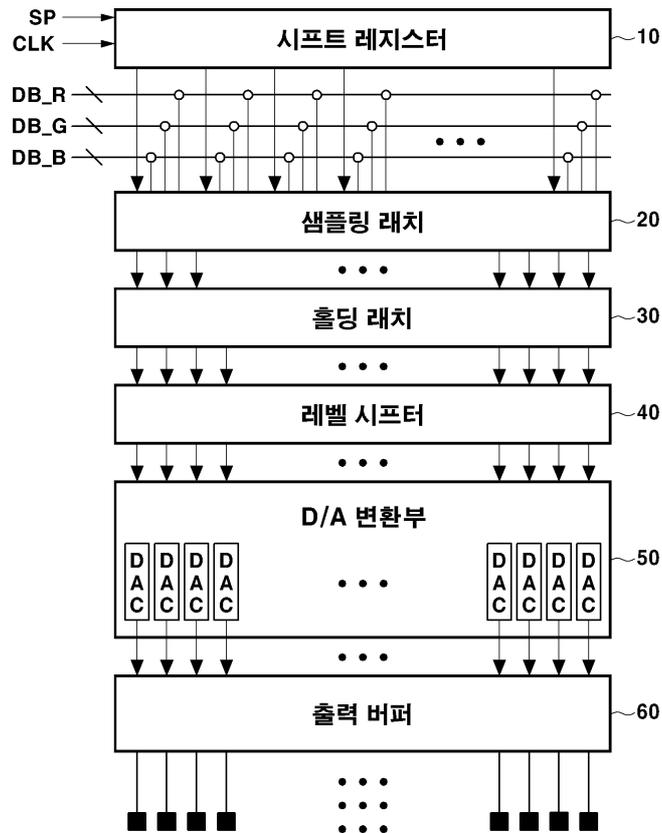
도 10은 다중화부(730)의 구성을 보여주는 도면이다.

도 11은 D/A변환부(760)의 구성을 보여주는 도면이다.

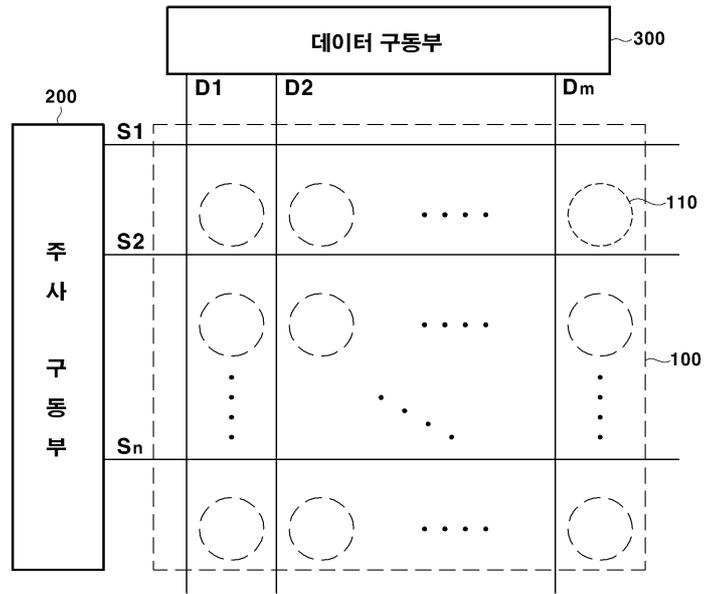
도 12는 DAC\_R(761)의 구성을 보여주는 도면이다.

도면

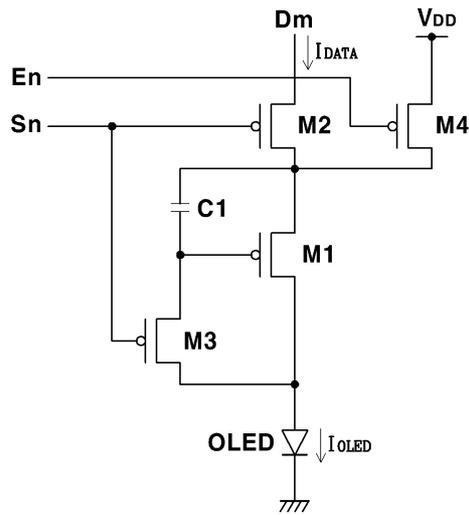
도면1



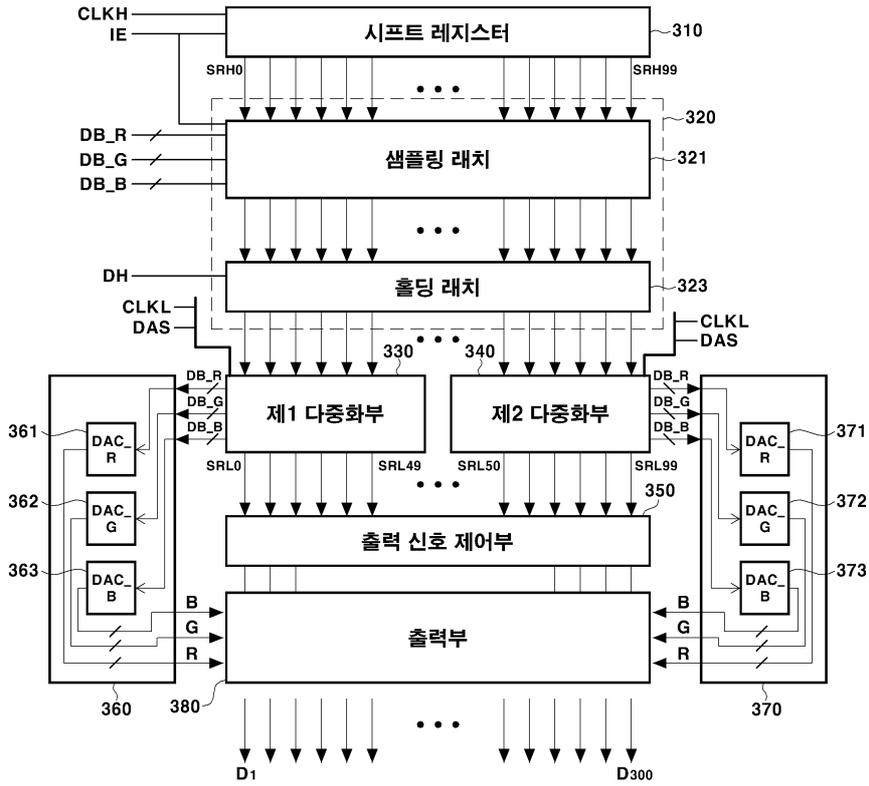
도면2



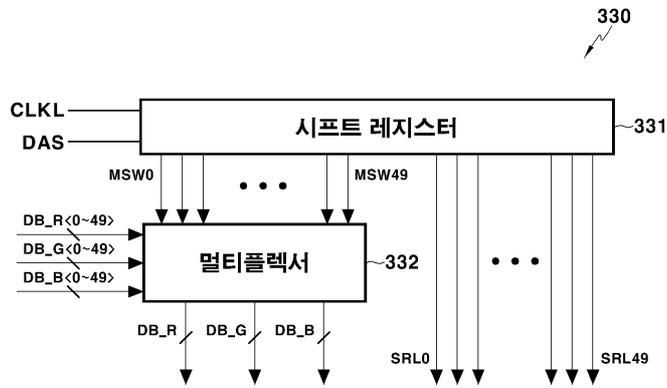
도면3



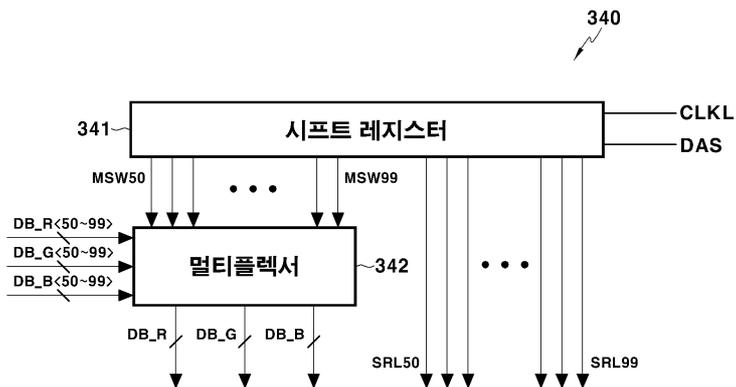
도면4



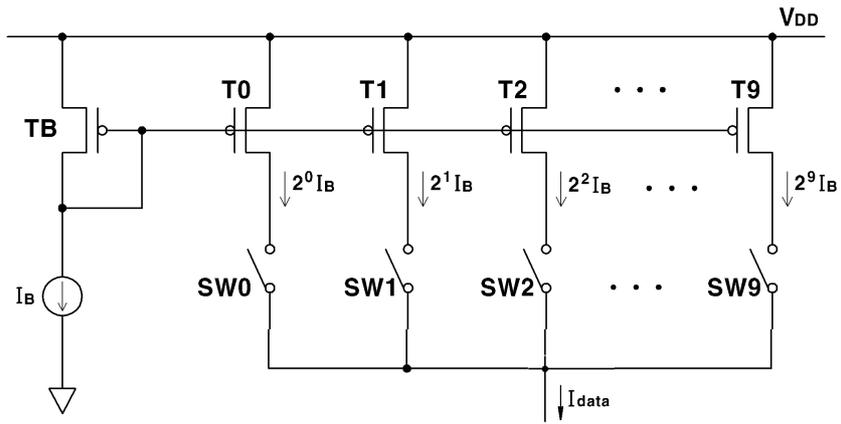
도면5



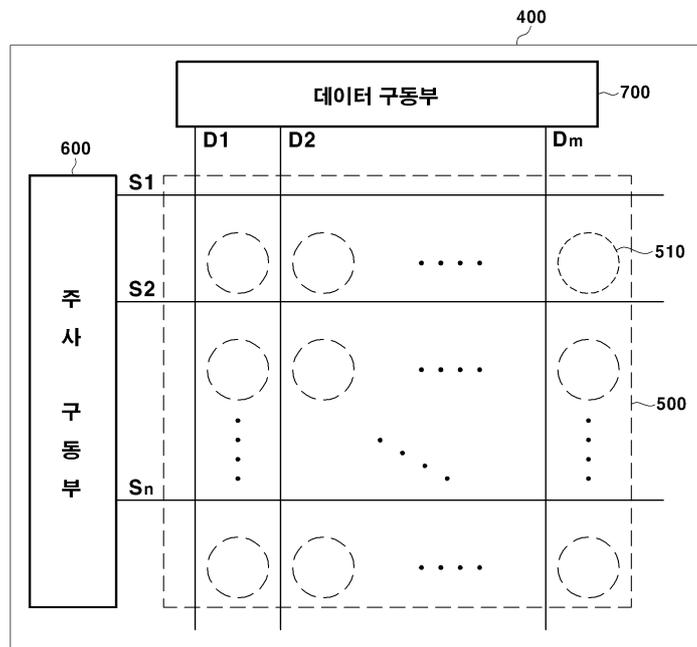
도면6



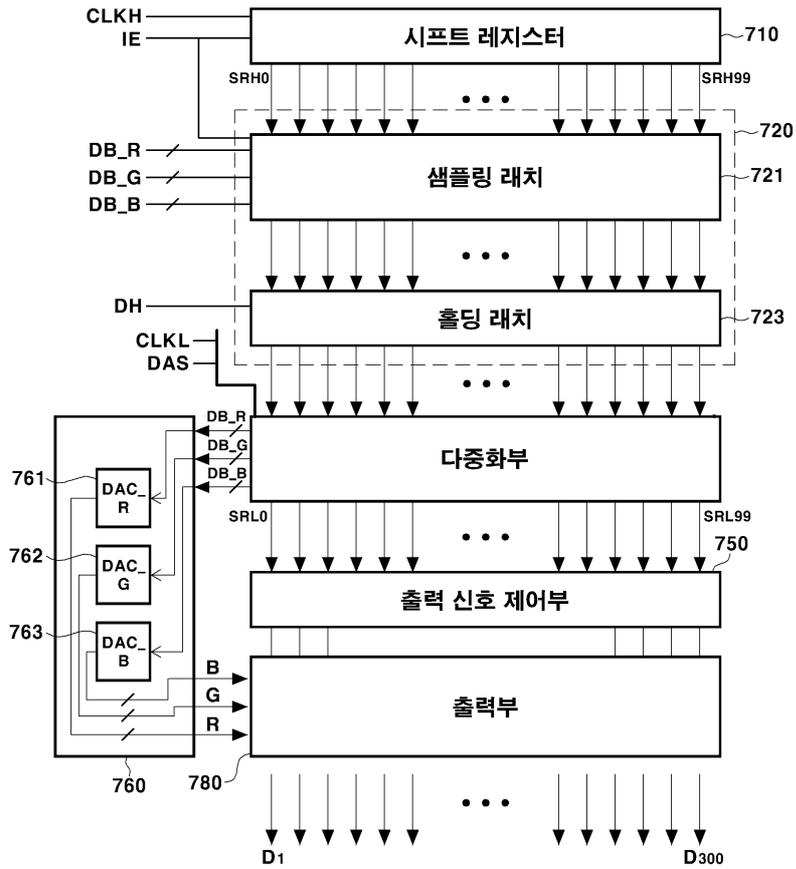
도면7



도면8



도면9



도면10

