

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年8月7日 (07.08.2003)

PCT

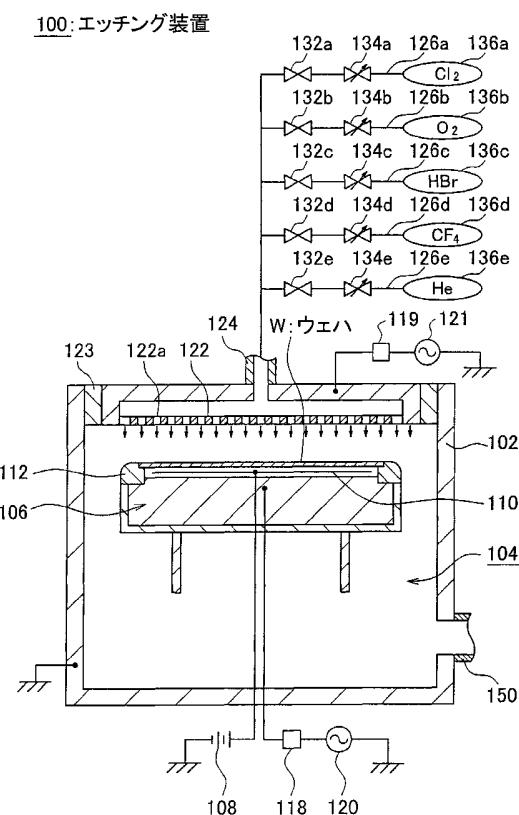
(10) 国際公開番号  
WO 03/065435 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/3065 [JP/JP]; 〒107-8481 東京都 港区 赤坂五丁目3番6号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP03/00998
- (22) 国際出願日: 2003年1月31日 (31.01.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-26015 2002年2月1日 (01.02.2002) JP
- (71) 出願人(米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)
- (72) 発明者; および  
(75) 発明者/出願人(米国についてのみ): 山下 朝夫 (YAMASHITA,Asao) [JP/JP]; 〒407-8511 山梨県 莩崎市藤井町 北下条2381番地の1 東京エレクトロンAT株式会社内 Yamanashi (JP). 樋口 文彦 (HIGUCHI,Fumihiko) [JP/JP]; 〒407-8511 山梨県 莩崎市藤井町 北下条2381番地の1 東京エレクトロンAT株式会社内 Yamashita (JP). 榎本 隆 (ENOMOTO,Takashi) [JP/JP]; 〒407-8511 山梨県 莩崎市藤井町 北下条2381番地の1 東京エレクトロンAT株式会社内 Yamanashi (JP).

[続葉有]

(54) Title: ETCHING METHOD

(54) 発明の名称: エッティング方法



100...ETCHING SYSTEM  
W...WAFER

(57) Abstract: A method for plasma etching a polysilicon film on a gate oxide film formed on a silicon substrate by introducing processing gas into an airtight processing chamber comprising a main etching step for etching the polysilicon film in the depth direction of an opening made in a mask pattern serving as a mask by applying a high-frequency power to the upper and lower electrodes, and an overetching step for removing the residual part of the polysilicon film following the main etching step, wherein the polysilicon film is etched until a part of the gate oxide film is exposed by lowering the high-frequency power being applied to the upper electrode down to a specified level or below in the middle of the main etching step. Anisotropy in the profile can be improved while enhancing the selection ratio of etching and total etching rate can be prevented from lowering.

WO 03/065435 A1

[続葉有]



(74) 代理人: 亀谷 美明, 外(KAMEYA,Yoshiaki et al.); 〒  
160-0004 東京都 新宿区 四谷3-1-3 第一富澤ビル はづ  
き国際特許事務所 四谷オフィス Tokyo (JP).

添付公開書類:  
— 國際調査報告書

(81) 指定国(国内): CN, JP, US.

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドンスノート」を参照。

---

(57) 要約:

気密な処理室内に処理ガスを導入しシリコン基板に形成されたゲート酸化膜上のポリシリコン膜層に対してプラズマエッティング処理を施すエッティング方法において、上部電極と下部電極の両方に高周波電力を印加しマスクパターンをマスクとしてこのマスクパターンの開口部の深さ方向へポリシリコン膜層にエッティング処理を施すメインエッティング工程と、メインエッティング工程の後ポリシリコン膜層の残存した部分を除去するエッティング処理を施すオーバーエッティング工程とを行う場合、上記メインエッティング工程の途中から上部電極に印加する高周波電力を所定電力以下に下げてゲート酸化膜層の一部が露出するまでポリシリコン膜層にエッティング処理を施すようとした。これにより、エッティングの選択比を向上させつつ形状の異方性も向上させることができ、エッティング処理全体としてのエッティングレートの低下も防ぐことができる。

## 明細書

## エッチング方法

5

## 技術分野

本発明は、プラズマ処理によって行うエッチング方法に関する。

## 背景技術

10

被処理基板上にメモリ、ロジック等のMOS構造などを形成する際、シリコン酸化膜、多結晶シリコン膜等のシリコン系半導体膜層のエッチングが行われる。例えば被処理基板上にゲート電極を加工する場合、被処理基板上に絶縁膜として形成された下地のシリコン酸化膜であるゲート酸化膜に、多結晶シリコン膜であるポリシリコン膜をCVD（化学気相成長法）などにより積層した層構造をエッチングする工程が行われる。  
15

15

このようなエッチングを行うプラズマ処理装置としては、気密な処理室内に互いに対向する上部電極と下部電極を設けこの両方の電極に高周波電力を印加可能としたプラズマ処理装置がある。  
20

25

このプラズマ処理装置によってゲート電極を加工する場合に上記層構造に対して酸化膜などのマスクパターンをマスクとしてポリシリコン膜をエッチングする際、処理容器内にCl<sub>2</sub>、HBr、O<sub>2</sub>等の処理ガスを導入してプラズマ処理を行う。このとき、エッチング

レートを高めるため等の目的で上部電極及び下部電極の両方に高周波電力を印加し、下地のゲート酸化膜が露出されるまでエッティングを行った後、残りの部分をオーバーエッティングしていた。

5 最近、半導体装置の集積度が飛躍的に向上し、それに伴って被処理基板上に形成される各種素子の更なる微細化も技術的要項の一つとして挙げられている。この素子の微細化等のために例えばゲート電極を加工する際にも下地に使用されるゲート酸化膜の膜厚もさらに薄膜化が図られている。

10

ところが、上述したような従来のプラズマエッティングではエッティング処理全体としての高エッティングレート等を目的としてプラズマ処理装置の処理室内に上部電極と下部電極を設け、両方の電極に高周波電力を印加していたため、多結晶シリコン膜のゲート酸化膜に対する選択比が小さくなり、下地のゲート酸化膜が薄い程、ゲート酸化膜まで抜けてしまうという問題があった。

一方、多結晶シリコン膜のゲート酸化膜に対する選択比を増大させるには、プラズマ処理装置の処理室内に下部電極のみを設け、下部電極のみに高周波電力を印加してエッティングを行うことも考えられる。ところが、下部電極のみに高周波電力を印加してエッティングを行ったのではエッティングレートが低下してしまうという問題があった。

25 特に、選択比を大きくすると、エッティングによるSiBrなどの反応生成物が多い状態、いわゆるデポリッチの状態になることが多

いため、この反応生成物が堆積してゲートの下部に大きくテープができる、異方性形状が得られない。このように、被処理基板面に垂直方向のエッチング形状と選択比とはトレードオフの関係にある。

5 そこで、本発明は、このような問題に鑑みてなされたもので、その目的とするところは、エッチングの選択比を向上させつつ形状の異方性も向上させること（例えば被処理基板面に垂直なパターン形状を得ること）ができ、エッチング処理全体としてのエッチングレートの低下も防止できるエッチング方法を提供することを目的とし  
10 ている。

### 発明の開示

上記課題を解決するために、本発明によれば、気密な処理室内に  
15 互いに対向する上部電極と下部電極を設け両方の電極に高周波電力を印加可能としたプラズマ処理装置により、前記処理室内に処理ガスを導入し被処理体に形成された絶縁膜層上の被処理膜層に対して  
20 プラズマエッチング処理を施すエッチング方法として新規かつ改良された方法が提供される。

すなわち、本発明にかかる発明は、前記上部電極と前記下部電極の両方に高周波電力を印加し、前記被処理膜層に対してプラズマエッチング処理を施す途中で、前記上部電極に印加する高周波電力を所定電力以下にすることを特徴としている。

また、前記被処理膜層は、前記被処理体に形成された絶縁膜層上

にあることが好ましい。また、前記第1のエッティング工程の途中で前記上部電極に印加する高周波電力を $0.16\text{ W}/\text{cm}^2$ 以下（直径 $200\text{ mm}$ のウェハの場合には約 $50\text{ W}$ 以下）にすることが好ましく、 $0\text{ W}/\text{cm}^2$ にすることがより好ましい。この場合、前記下部電極に印加する高周波電力は、 $0.4\text{ W}/\text{cm}^2$ 以下（直径 $200\text{ mm}$ のウェハの場合には約 $150\text{ W}$ 以下）とすることが好ましい。

また、ある観点から詳細に本願発明の特徴を言えば、前記上部電極と前記下部電極の両方に高周波電力を印加しマスクパターンをマスクとして、このマスクパターンの開口部の深さ方向へ前記被処理膜層にエッティング処理を施すメインエッティング工程と、前記メインエッティング工程の後、前記被処理膜層の残存した部分を除去するエッティング処理を施すオーバーエッティング工程とを有し、前記メインエッティング工程の途中で、前記上部電極に印加する高周波電力を所定電力以下に下げて前記絶縁膜層の一部が露出するまで前記被処理膜層にエッティング処理を施すことを特徴としている。

さらに、前記メインエッティング工程は、前記絶縁膜層が露出しない程度まで前記被処理膜層にエッティング処理を施す第1のメインエッティング工程と、前記第1のメインエッティング工程の後、前記上部電極に印加する高周波電力を前記第1のメインエッティング工程の場合よりも低い所定電力以下に下げて前記絶縁膜層の一部が露出するまで前記被処理膜層にエッティング処理を施す第2のメインエッティング工程とを有することが好ましい。

る高周波電力を $0.16\text{ W}/\text{cm}^2$ 以下にすることが好ましく、 $0\text{ W}/\text{cm}^2$ にすることがより好ましい。この場合、前記下部電極に印加する高周波電力は、 $0.4\text{ W}/\text{cm}^2$ 以下とすることが好ましい。

5

また、別の観点から詳細に本願発明の特徴を言えば、前記上部電極と前記下部電極の両方に高周波電力を印加しマスクパターンをマスクとして、このマスクパターンの開口部の深さ方向へ前記絶縁膜層の一部が露出する程度まで前記被処理膜層にエッティング処理を施すメインエッティング工程と、前記メインエッティング工程の後、前記被処理膜層の残存した部分を除去するエッティング処理を施すオーバーエッティング工程とを有し、前記オーバーエッティング工程で前記上部電極に印加する高周波電力を所定電力以下に下げて、残った被処理膜層にエッティング処理を施すことを特徴としている。

15

特に、前記オーバーエッティング工程で前記上部電極に印加する高周波電力を $0.16\text{ W}/\text{cm}^2$ 以下にすることが好ましく、 $0\text{ W}/\text{cm}^2$ にすることがより好ましい。この場合、前記下部電極に印加する高周波電力は、 $0.4\text{ W}/\text{cm}^2$ 以下とすることが好ましい。

20

また、本発明の別の観点にかかる発明は、前記上部電極と前記下部電極の両方に高周波電力を印加しマスクパターンをマスクとして、このマスクパターンの開口部の深さ方向へ前記絶縁膜層の一部が露出するまで前記被処理膜層にエッティング処理を施すメインエッティング工程と、前記メインエッティング工程の後、前記被処理膜層の残存した部分を除去するエッティング処理を施すオーバーエッティング工程

とを有し、前記メインエッチング工程の途中と前記オーバーエッチング工程とのうちいずれか一方又は両方で、前記上部電極に印加する高周波電力を所定電力以下に下げて前記被処理膜層にエッチング処理を施すことを特徴としている。

5

また、本発明の別の観点にかかる発明は、前記上部電極と前記下部電極の両方に高周波電力を印加しマスクパターンをマスクとして、このマスクパターンの開口部の深さ方向へ前記絶縁膜層が露出しない程度まで前記被処理膜層にエッチング処理を施す第1のメインエッチング工程と、前記第1のメインエッチング工程の後、前記絶縁膜層の一部が露出するまで前記被処理膜層にエッチング処理を施す第2のメインエッチング工程と、前記被処理膜層の残存した部分を除去するエッチング処理を施すオーバーエッチング工程とを有し、前記第2のメインエッチング工程からオーバーエッチング工程まで、  
10 前記上部電極に印加する高周波電力を所定電力以下に下げて前記被処理膜層にエッチング処理を施すことを特徴としている。

特に、前記第2のメインエッチング工程から前記オーバーエッチング工程までにおいて、前記上部電極に印加する高周波電力を0.  
20 16W/cm<sup>2</sup>以下にすることが好ましく、0W/cm<sup>2</sup>にすること  
がより好ましい。この場合、前記下部電極に印加する高周波電力は、  
0.4W/cm<sup>2</sup>以下とすることが好ましい。

このような発明によれば、メインエッチング工程の途中又はオーバーエッチング工程のいずれか一方又は両方で、上部電極に印加する高周波電力を所定値以下、例えば0.16W/cm<sup>2</sup>以下にする

とエッティングによる反応生成物が上部電極に付着し、より好ましくは  $0 \text{ W}/\text{cm}^2$  にすると、さらに多くの反応生成物が上部電極に付着する。

- 5 また、高周波電力が  $0 \sim 16 \text{ W}/\text{cm}^2$  以下なら上部電極にシース電圧が発生しても極力小さく、また高周波電力が  $0 \text{ W}/\text{cm}^2$  であれば上部電極にシース電圧は発生しないため、上部電極に付着した反応生成物がウェハ上に降ってくることを極力防止することができる。このため、エッティングによる反応生成物がウェハ上に極力堆積しない状態（デポレスの状態）にすることができる。

このため、ゲート酸化膜層などの絶縁膜層に対するポリシリコン膜層などの被処理膜層の選択比（絶縁膜層のエッティングレートに対する被処理膜のエッティングレート又は絶縁膜層のエッティング速度に対する被処理膜のエッティング速度）を高くしつつ、しかもエッティングによる反応生成物がウェハ上に極力堆積しない状態にすること（例えば被処理基板面に垂直なパターン形状を得ること）ができる。このため、ゲートの形状をその底部にテーパが極力形成されないような形状にすることができる。従って、選択性を向上させつつ、形状の異方性も向上させることができる。また、第1のメインエッティング工程において絶縁膜層が露出しない程度までは上部電極と下部電極の両方に高周波電力を印加したエッティング処理を施すため、エッティング処理全体としてのエッティングレートの低下も防ぐことができる。

25

なお、本明細書中  $1 \text{ mTorr}$  は  $(10^{-3} \times 101325)/76$

0) Pa, 1 sccmは ( $10^{-6}/60$ )  $m^3/sec$ とする。

#### 図面の簡単な説明

5 図 1 は本発明の第 1 の実施の形態におけるエッティング方法を適用可能なエッティング装置の概略構成図。

図 2 は同実施の形態におけるエッティング方法の工程を説明するための模式図。

10 図 3 は同実施の形態におけるエッティング方法の工程を説明するための模式図。

15 図 4 は同実施の形態における第 1 のメインエッティング終点を検出する検出手段の構成例を説明する図。

図 5 は同実施の形態におけるポリシリコン膜をエッティングする際の作用説明図。

20 図 6 は干渉光の発光強度とエッティング時間との関係を示す図。

図 7 は第 2 のメインエッティングの工程において上部電極に 300 W の高周波電力を印加して各エッティング処理を行った場合の実験結果を示す図。

25 図 8 は第 2 のメインエッティングの工程において上部電極に高周波

電力を印加しないで各エッティング処理を行った場合の実験結果を示す図。

5 図 9 は本発明の第 2 の実施の形態におけるエッティング方法の工程を説明するための模式図。

図 10 は同実施の形態におけるエッティング方法の工程を説明するための模式図。

10 図 11 は同実施の形態におけるエッティング方法の工程を説明する模式図。

図 12 はオーバーエッティング工程において上部電極に高周波電力を印加しないで各エッティング処理を行った場合の実験結果を示す図。

15 図 13 は本発明の第 3 の実施の形態にかかる第 1 のメインエッティング工程の途中から上部電極に高周波電力を印加しないでオーバーエッティング工程まで行った場合の実験結果を示す図。

20

### 発明を実施するための最良の形態

以下に添付図面を参照しながら、本発明にかかる装置の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の

符号を付することにより重複説明を省略する。

図1は本実施の形態にかかるエッティング方法を実施するためのエッティング装置の一例としての平行平板型のプラズマエッティング装置  
5 の概略構成を示す。

このエッティング装置100の保安接地された処理容器102内には、処理室104が形成されており、この処理室104内には、上下動自在なサセプタを構成する下部電極106が配置されている。  
10 下部電極106の上部には、高圧直流電源108に接続された静電チャック110が設けられており、この静電チャック110の上面に被処理体、例えば半導体ウェハ（以下、「ウェハ」と称する。）Wが載置される。さらに、下部電極106上に載置されたウェハWの周囲には、絶縁性のフォーカスリング112が配置されている。また、下部電極106には、整合器118を介して第2高周波電源15  
15 20が接続されている。

また、下部電極106の載置面と対向する処理室104の天井部には、多数のガス吐出孔122aを備えた上部電極122が配置されている。上部電極122と処理容器102との間には絶縁体123が介装され電気的に絶縁されている。また、上部電極122には、整合器119を介してプラズマ生成高周波電力を出力する第1高周波電源121が接続されている。  
20

25 なお、上記上部電極122には第1高周波電源121から例えば30MHz以上、好ましくは60MHzの第1高周波電力が供給さ

れる。また、下部電極 106 には、第 1 高周波電源 120 からの高周波電力の周波数よりも低い周波数、例えば 1 MHz 以上で、30 MHz よりも小さい周波数、好ましくは 13.56 MHz の第 2 高周波電力が供給される。上記各電極 106, 122 に印加される高周波電力は例えば 0 W ~ 650 W まで切替えることができるようになっている。

上記ガス吐出孔 122a には、ガス供給管 124 が接続され、さらにそのガス供給管 124 には、例えば Cl<sub>2</sub> を供給するプロセスガス供給系 126a と、O<sub>2</sub> を供給するプロセスガス供給系 126b, 少なくとも H と Br を含むガスさらに具体的には HBr を供給するプロセスガス供給系 126c, 少なくとも C と F を含むガスさらに具体的には CF<sub>4</sub> を供給するプロセスガス供給系 126d, He を供給するプロセスガス供給系 126e が接続されている。

15

各プロセスガス供給系 126a, 126b, 126c, 126d, 126e には、それぞれ開閉バルブ 132a, 132b, 132c, 132d, 132e と流量調整バルブ 134a, 134b, 134c, 134d, 134e を介して、Cl<sub>2</sub> ガス供給源 136a, O<sub>2</sub> ガス供給源 136b, HBr ガス供給源 136c, CF<sub>4</sub> ガス供給源 136d, He ガス供給源 136e が接続されている。

また、処理容器 102 の下方には、不図示の真空引き機構と連通する排気管 150 が接続されており、その真空引き機構の作動により、処理室 104 内を所定の減圧雰囲気に維持することができる。

次に、上記エッティング装置を用いて本実施の形態にかかるエッティング方法を適用する工程について図2～図8を参照しながら説明する。先ず、本発明にかかるエッティング方法を適用する膜構造の具体例について図2(a)を参照しながら説明する。

5

この膜構造は次のように形成される。被処理体例えは直径200mmのウェハのシリコン基板200の上面に、絶縁膜としてゲート酸化膜(例えばSiO<sub>2</sub>膜)202を形成する。その後、シリコン基板200の上に全面にわたって多結晶シリコン膜としてポリシリコン膜204を堆積する。その後、フォトリソグラフィーなどを用いてパターニングされたフォトレジストマスクからのパターン転写によりポリシリコン膜204上にSiO<sub>2</sub>など酸化膜206のマスクパターンを形成する。

15 次に、こうして形成された図2(a)に示すような膜構造に対して、上記エッティング装置を用いてエッティング処理を行う。先ず少なくともCF<sub>4</sub>とO<sub>2</sub>を含む混合ガスを用いてポリシリコン膜204の露出面の自然酸化膜を除去するエッティング処理を行う(BT；ブレークスルーエッティング工程)。このブレークスルーエッティングを行う際の条件としては例えば処理容器102内の圧力が10mTorr, 上部電極122と下部電極106との間隔140mm, CF<sub>4</sub>/O<sub>2</sub>のガス流量比(CF<sub>4</sub>のガス流量/O<sub>2</sub>のガス流量)は134sccm/26sccmとし、ウェハを吸着する静電チャックに印加する電圧は2.5kV, ウェハ裏面冷却ガス圧力はセンタ、エッジともに3mTorr, 処理室104内の設定温度については下部電極を75°C, 上部電極を80°C, 側壁部を60°Cとする。

また、この場合には両電極 106, 122 に高い高周波電力を印加する。例えば上部電極 122 に印加する高周波電力を 650W, 下部電極 106 に印加する高周波電力を 220W とする。これにより、図 2 (b) に示すようにポリシリコン膜 204 の露出面の自然酸化膜が除去される。

次いで、マスクパターンの開口部の深さ方向へポリシリコン膜層 204 にエッティング処理を施すメインエッティング工程を行う。この 10 メインエッティング工程は、さらに第 1 のメインエッティング工程と第 2 のメインエッティング工程に分けられる。

このメインエッティング工程では、先ず少なくとも HBr と O<sub>2</sub> を含む混合ガスを処理ガスとしてマスクパターンの開口部の深さ方向 15 ヘゲート酸化膜 202 が露出しない程度まで、例えばポリシリコン膜 204 を 85% 程度まで削るエッティング処理を行う (ME1 : 第 1 のメインエッティング工程)。この第 1 のメインエッティング工程では、未だゲート酸化膜が露出しないので主にポリシリコン膜 204 のエッティングレートが高くなるような条件でエッティングを行う。

20

第 1 のメインエッティングを行う際の条件としては例えば処理容器 102 内の圧力が 20 mTorr, 上部電極 122 と下部電極 106 との間隔 140 mm, HBr/O<sub>2</sub> のガス流量比 (HBr のガス流量/O<sub>2</sub> のガス流量) は 400 sccm / 1 sccm とし、ウェハを吸着する静電チャックに印加する電圧は 2.5 kV, ウェハ裏面冷却ガス圧力はセンタ、エッジともに 3 mTorr, 処理室 10

4 内の設定温度については下部電極を 75 °C, 上部電極を 80 °C, 側壁部を 60 °C とする。

また, この場合にも両電極 106, 122 に比較的高い高周波電力 5 を印加する。例えば上部電極 122 に印加する高周波電力を 200W, 下部電極 106 に印加する高周波電力を 100W とする。これにより, 図 2 (c) に示すようにポリシリコン膜 204 のマスクパターンの開口部が 85 % 程度エッティングされる。

10 このように, 第 1 のメインエッティング工程の終点を検出するには, 次のような方法がある。例えば 1 つの方法として, 予めダミーウェハを用いてポリシリコン膜 204 を所望の深さ(例えば 85 % 程度)までエッティングした時間を検出しておく。そして, 第 1 のメインエッティング工程を上記検出した時間だけ行う。これにより, ポリシリコン膜 204 を深さ方向へ所望の深さだけエッティングすることができる。  
15

また, 別の方法として, 第 1 のメインエッティング工程の終点をゲート酸化膜 202 の上面(ポリシリコン膜 204 とゲート酸化膜 202 の境界面)からのポリシリコン膜 204 の膜厚で検出するようにしてもよい。上述した 1 つの方法のようにエッティング時間を決めてエッティングする場合には, ポリシリコン膜 204 の上面から所定の時間エッティングされたところでエッティングを終了することになる。従って, ポリシリコン膜 204 の膜厚に誤差やばらつきがあると, 25 エッティングを終了したときに, ゲート酸化膜 202 の上面からのポリシリコン膜 204 の膜厚が変ってしまうおそれがある。従って,

第1のメインエッティング工程の終点をゲート酸化膜202の上面からの膜厚で検出することができれば、ポリシリコン膜204の膜厚に誤差やばらつきがあっても常にゲート酸化膜202の上面から所定の膜厚のところまでエッティングすることができる。

5

このように、第1のメインエッティング工程の終点をゲート酸化膜202の上面からの膜厚で検出する方法を図4～図6を参照しながら説明する。図4に示すように処理室104の上部電極に筒状の観察部140を設け、この観察部140を介して光源（図示しない）からの光をウェハ上に照射するとともに、反射光の波長の干渉光を例えばポリクロメータ（図示しない）により検出し、この干渉光の変化に基づいて検出する。

より具体的に説明すると、この観察部140は、その上端に石英ガラス等により形成された窓部142が設けられている。また観察部140は、上記窓部142に対向して設けられた集光レンズ144を介して光ファイバ146などにより、光源及びポリクロメータに接続されている。光源としては例えばキセノンランプやタンクスランプなどが用いられる。

20

図4及び図5に示すように光源例えばキセノンランプからの白色光Lを観察部140からウェハ上に向けて照射すると、白色光Lの一部はポリシリコン膜204の表面から反射光L1として反射され、残余の白色光Lはポリシリコン膜204を透過し、ポリシリコン膜204とゲート酸化膜202との境界面から反射光L2として反射される。これらの反射光L1、L2は干渉光となって、観察部14

0から光ファイバなどを介してポリクロメータにより検出される。

こうして得られた反射光L<sub>1</sub>, L<sub>2</sub>の干渉光は、ポリシリコン膜204がエッティングされるに従って図6に示すように変化する。図5-6は、横軸にポリシリコン膜204のエッティング時間をとり、縦軸に干渉光の単位時間あたりの発光強度をとったものである。図6に示すように干渉光の上記発光強度は、ポリシリコン膜204の残存膜厚が薄くなるに連れて周期的な変動を繰り返し、ポリシリコン膜204の残存膜厚がなくなるところで最も大きくなり、残存膜厚が10完全になくなると一定になる。このように、干渉光の上記発光強度が一定となったところが、ポリシリコン膜204がエッティングされ、ゲート酸化膜202が露出した時点Eである。

従って、第1のメインエッティング工程の終点は、この時点E以前15にあるはずである。そこで、予めダミーウェハを用いて、ポリシリコン膜204がゲート酸化膜202の上面から所望の膜厚となる時点の干渉光の反射強度（例えば図6に示す時点Pの反射強度）を検出しておく。そして、干渉光の反射強度をモニタし、検出した反射強度の時点に達したら第1のメインエッティングを終了する。これに20より、ポリシリコン膜204は所望の深さ、すなわちゲート酸化膜202の上面から所望の膜厚のところまでエッティングされる。

本実施の形態では、例えばゲート酸化膜202の上面からの厚さが例えば30nm程度のところを第1のメインエッティング工程の終25点としている（例えば図6に示す時点P）。この30nmという厚さは、ポリシリコン膜204の厚さ全体から見ると約15%の厚さで

あり、別の言い方をすれば第1のメインエッティング工程の終点はポリシリコン膜204を85%程度エッティングしたところと言える。

なお、この方法では、ポリシリコン膜204におけるゲート酸化膜202の上面からの残膜に基づいて第1のメインエッティング工程の終点を検出するので、たとえエッティング前のポリシリコン膜204などの膜厚にばらつきがあっても、ゲート酸化膜202の上面から所定の膜厚のところまでのエッティングを正確に行うことができる。

10 そして、上述したような方法により第1のemainエッティング工程の終点が検出されると第1のemainエッティング工程を終了する。

次に、少なくともHBrとO<sub>2</sub>とHeを含む混合ガスを処理ガスとしてゲート酸化膜202が露出するまでポリシリコン膜204の  
15 エッティング処理を行う(ME2；第2のemainエッティング工程)。

第2のemainエッティング工程では、エッティングが進むに連れてゲート酸化膜202が露出し始めるため、ゲート酸化膜破れを防止するためにはゲート酸化膜202に対するポリシリコン膜204の選択比(ゲート酸化膜202のエッティングレートに対するポリシリコン膜204のエッティングレート又はゲート酸化膜202のエッティング速度に対するポリシリコン膜204のエッティング速度)を向上させる必要がある。このため、例えばO<sub>2</sub>やHBrの流量比を多くしている。

25

ところが、これらの流量比が多いとエッティングによる反応生成物

が多い状態（デポリッチの状態）になり易い。このような反応生成物が多いとウェハ上に堆積してゲートの下部にテーパが形成されてしまう。このため、ゲートの底部にテーパが形成され、形状の異方性の向上を図ることができない。従って、上記選択比を向上させつつ、ゲートの形状をその底部にテーパが極力形成されないような形状にするためには反応生成物を少なくしてウェハ上に極力堆積しない状態にする必要がある。

そこで、実験を重ねた結果、メインエッチング工程中、すなわち  
10 第1の実施の形態の場合には第1のメインエッチングの後に上部電極122に印加する高周波電力を所定電力以下にすることにより、  
ゲート酸化膜202に対するポリシリコン膜204の選択比（ゲート酸化膜202のエッティングレートに対するポリシリコン膜204のエッティングレート又はゲート酸化膜202のエッティング速度に対するポリシリコン膜204のエッティング速度）を向上させつつ、反応生成物を少なくしてウェハ上に極力堆積しない状態にすることができることがわかった。

すなわち、上部電極122に印加する高周波電力を所定値以下、  
20 例えば直径200mmのウェハにエッティングする場合には約50W  
(0.16W/cm<sup>2</sup>)以下、より好ましくは0W(0W/cm<sup>2</sup>)  
にすると、エッティングによる反応生成物が上部電極122に付着する。  
さらに、高周波電力が50W以下なら上部電極122にシース電圧が発生しても極力小さく、また高周波電力が0Wであれば上部  
25 電極122に実効的なシース電圧は発生しないため、上部電極122に付着した反応生成物がウェハ上に降ってくることを極力防止す

ることができる。このため、エッティングによる反応生成物がウェハ上に極力堆積しない状態（デポレスの状態）にすることができる。

このような原理に基づいて第2のメインエッティングを行う。この  
5 第2のメインエッティングを行う際の条件としては例えば処理容器1  
02内の圧力が20mTorr, 上部電極122と下部電極106  
との間隔140mm, HBr/O<sub>2</sub>/Heのガス流量比（HBrの  
ガス流量/O<sub>2</sub>のガス流量/Heのガス流量）は500sccm/  
15scdm/440scdmとし、ウェハを吸着する静電チャック  
10 クに印加する電圧は2.5kV, ウェハ裏面冷却ガス圧力はセンタ,  
エッジともに3mTorr, 処理室104内の設定温度については  
下部電極を75°C, 上部電極を80°C, 側壁部を60°Cとする。

また、下部電極106には上述の第1のメインエッティングと同様  
15 に例えば高周波電力100Wを印加する。これに対して上部電極1  
22に印加する高周波電力は、上述の第1のメインエッティングのときよりも低い所定電力に切替えて、上部電極122に印加する高周  
波電力を一気に低くする。例えばエッティングによる反応生成物がウ  
エハ上に堆積しない程度、具体的には上部電極122に印加する高  
20 周波電力を0.16W/cm<sup>2</sup>以下（直径200mmのウェハにエッティングする場合には約50W以下）にするのが好ましく、0W/  
cm<sup>2</sup>とするのがより好ましい。この場合、下部電極106に印加  
する高周波電力を高くしすぎると、酸化膜破れが生じるおそれがあ  
る。このため、下部電極106に印加する高周波電力は0.4W/  
25 cm<sup>2</sup>以下（直径200mmのウェハにエッティングする場合には約  
150W以下）にすることが好ましい。

これにより、図3(a)に示すように残りのポリシリコン膜204がエッティングされ、ゲートの形状をその底部にテーパが極力形成されないような形状にすることができる。従って、選択性を向上させつつ、形状の異方性も向上させることができる。

なお、このような第2のメインエッティング工程におけるエッティング終点は、例えば上記観察部140へ光源からの光をウェハに向けて照射し、その反射光の干渉光の変化に基づいて検出してもよい。  
10 具体的には例えば図6に示すグラフにおいて発光強度が一定となつた時点(E)を終点とする。

その他、第2のemainエッティング工程の終点は、処理室104内で励起されたプラズマの発光スペクトルの変化に基づいて検出してよい。具其他的には処理室104の側壁に例えば石英から成るプラズマ光の検出窓(図示しない)を設け、この検出窓を介して処理室104内の発光スペクトルを、処理室104の外部に設けた終点検出器(図示しない)の光受容部に伝達する。そして、終点検出器では、光受容部で伝達された発光スペクトルの変化に基づいてエッティング処理の終点を検出する。

例えば第2のemainエッティング工程の処理時には、処理室104内にプラズマが励起され、そのプラズマによりウェハWに対して所定のエッティング処理が施される。この際、ウェハWの処理に伴って25 プラズマの発光スペクトルが変化する。そこで、第2のemainエッティング工程の終点において予め発光スペクトルがどのように変化す

るかを検出しておき、実際にウェハWを第2のメインエッティングする際にそのような変化が生じたところをエッティング終点として検出する。そして、上述したような方法によりエッティング終点が検出されると第2のメインエッティングを終了する。

5

次に、ポリシリコン膜層204の残存した部分を除去するエッティング処理を施すオーバーエッティング工程を行う。すなわち、少なくともHBrとO<sub>2</sub>を含む混合ガスを処理ガスとして最終的に残った部分（ゲートの底部のテーパ部分など）のポリシリコン膜204を10エッティングする（OE；オーバーエッティング工程）。

オーバーエッティング工程を行う際の条件としては例えば処理容器102内の圧力が150mTorr, 上部電極122と下部電極106との間隔140mm, HBr/O<sub>2</sub>のガス流量比（HBrのガス流量/O<sub>2</sub>のガス流量）は1000sccm/4scmとし、ウェハを吸着する静電チャックに印加する電圧は2.5kV、ウェハ裏面冷却ガス圧力はセンタ、エッジとともに10mTorr、処理室104内の設定温度については下部電極を75°C、上部電極を80°C、側壁部を60°Cとする。

20

この場合には残った部分のポリシリコン膜204のエッティングレートを大きくするため、両電極106, 122に高い高周波電力を印加する。例えば上部電極122に印加する高周波電力を650W、下部電極106に印加する高周波電力を200Wとする。なお、この場合には処理容器102内の圧力を例えば150mTorrのように高圧状態にしているので、上部電極122に印加する高周波電

力を 650W のような高圧にしてもプラズマ中のイオンが散乱されるためゲート酸化膜破れが発生することはない。これにより、図 3 (b) に示すように最終的に残った部分（ゲートの底部のテーパ部分など）のポリシリコン膜 204 がエッチングされ、異方性形状の 5 よいゲート電極（例えばゲート酸化膜に対して垂直なパターン形状のゲート電極）が形成される。

なお、このようなゲートを形成する際のポリシリコン膜のエッチングにおいては、例えばゲート酸化膜 202 が 15 Å (Å ; オングストローム), ポリシリコン膜 204 が 150 nm, マスクとなる酸化膜 206 が 50 nm の膜構造においては、エッチングレート 1500 Å/m in 以上, 面内均一性 ±3.0 % 以内, ゲート下部のゲート酸化膜に対する角度が 90 deg, ゲート酸化膜破れ（オキサイドブレイク）が生じないなどが好ましい条件として要求される。 15 本発明にかかるエッチング処理はこれらの要求を満たすことができる。

ここで、第 2 のメインエッチング工程において上部電極 122 に 300W の高周波電力を印加した場合と、第 2 のメインエッチング 20 工程において上部電極 122 に高周波電力を印加しないで上記各エッチング処理を行った場合の実験結果を比較する。

図 7 は、第 1, 第 2 のメインエッチング工程において上部電極 122 に 300W の高周波電力を印加してエッチング処理を行った場合の実験結果を示しており、図 7 (a) はウェハ上のセンタ部分に 25 ゲートを形成した場合、図 7 (b) はウェハ上のエッジ部分にゲー

トを形成した場合である。この場合にはウェハ上のセンタ部分、エッジ部分ともに形成されたゲートの底部にテーパ部が残っている。

これに対して図8は、メインエッチング工程において途中で上部電極122の高周波電力を0W、すなわち上部電極122には高周波電力を印加しないで上記各エッチング処理を行った場合の実験結果を示しており、図8(a)はウェハ上のセンタ部分にゲートを形成した場合、図8(b)はウェハ上のエッジ部分にゲートを形成した場合である。この場合にはウェハ上のセンタ部分、エッジ部分ともに形成されたゲートの底部に図7に示すようなテーパ部のない良好な形状に形成される。

このように、第1のメインエッチング工程の後に、上部電極122に印加する高周波電力を、第1のメインエッチング工程よりも低い50W以下、より好ましくは0Wに切替えて一気に低くすることにより、ゲート酸化膜202に対するポリシリコン膜204の選択比(ゲート酸化膜202のエッチングレートに対するポリシリコン膜204のエッチングレート又はゲート酸化膜202のエッチング速度に対するポリシリコン膜204のエッチング速度)が高い状態で、しかもエッチングによる反応生成物がウェハ上に極力堆積しない状態(デボレスの状態)にすることができる。このため、ゲートの形状をその底部にテーパが極力形成されないような形状にすることはできる。従って、第1の実施の形態によれば選択性を向上させつつ、形状の異方性も向上させることができる。

の第 2 の実施形態について説明する。第 1 の実施の形態においてはメインエッティング工程の途中から上部電極 122 に印加する高周波電力を所定電力に低下させるようにする例を説明したが、第 2 の実施の形態においてはオーバーエッティング工程において上部電極 125 2 に印加する高周波電力を所定電力に低下させるようにする例を説明する。この第 2 の実施の形態における工程を図 9 ~ 図 12 に示す。

先ず、本発明にかかるエッティング方法を適用する膜構造の具体例について図 9 (a) を参照しながら説明する。第 2 の実施の形態における膜構造は次のように形成される。被処理体例えば直径 200 mm のウェハのシリコン基板 300 の上面に、絶縁膜としてゲート酸化膜 302 を形成する。その後、シリコン基板 300 の上に全面にわたって多結晶シリコン膜としてポリシリコン膜 304 を堆積する。その後、フォトリソグラフィーなどを用いてポリシリコン膜 315 304 上に反射防止膜 306 を形成し、KRF などのレジスト膜 (PR) 308 のマスクパターンを形成する。

次に、こうして形成された図 9 (a) に示すような膜構造に対して、第 1 の実施の形態において説明したエッティング装置を用いてエッティング処理を行う。先ず少なくとも Cl<sub>2</sub> と O<sub>2</sub> を含む混合ガスを用いてレジスト膜 308 のマスクパターンに対応して反射防止膜 306 を除去するエッティングを行う (ARC : 反射防止膜除去エッティング)。この ARC エッティング工程を行う際の条件としては例えば処理容器 102 内の圧力が 5 mTorr, 上部電極 122 と下部電極 25 106 との間隔 80 mm, Cl<sub>2</sub> / O<sub>2</sub> のガス流量比 (Cl<sub>2</sub> のガス流量 / O<sub>2</sub> のガス流量) は 10 sccm / 30 sccm とし、ウェ

ハを吸着する静電チャックに印加する電圧は 1.5 kV, ウェハ裏面冷却ガス圧力はセンタ, エッジともに 3 mTorr, 処理室 104 内の設定温度については下部電極を 70°C, 上部電極を 80°C, 側壁部を 60°C とする。また、上部電極 122 に印加する高周波電力を 300W, 下部電極 106 に印加する高周波電力を 30W とし, 100 sec 程度プラズマ処理を行う。これにより、図 9 (b) に示すようにレジスト膜 308 のマスクパターンに対応して反射防止膜 306 が除去される。

10 続いて、この反射防止膜 306 及びレジスト膜 308 をマスクとして、少なくとも CF<sub>4</sub> と O<sub>2</sub> を含む混合ガスを用いてポリシリコン膜 304 の露出面の自然酸化膜を除去するエッチング処理を行う (BT; ブレークスルーエッチング工程)。ブレークスルーエッチング工程を行う際の条件としては例えば処理容器 102 内の圧力が 10 mTorr, 上部電極 122 と下部電極 106 との間隔 85 mm, CF<sub>4</sub>/O<sub>2</sub> のガス流量比 (CF<sub>4</sub> ガスの流量/O<sub>2</sub> ガスの流量) は 6.7 sccm/13 sccm とし、ウェハを吸着する静電チャックに印加する電圧は 1.5 kV, ウェハ裏面冷却ガス圧力はセンタ, エッジともに 3 mTorr, 処理室 104 内の設定温度については下部電極を 70°C, 上部電極を 80°C, 側壁部を 60°C とする。また、上部電極 122 に印加する高周波電力を 350W, 下部電極 106 に印加する高周波電力を 75W とし, 5.0 sec 程度プラズマ処理を行う。これにより、図 10 (a) に示すようにポリシリコン膜 304 の露出面の自然酸化膜が除去される。

- 304にエッティング処理を施すメインエッティング工程を行う。すなわち、ここでは先ず少なくともHBrとO<sub>2</sub>を含む混合ガスを処理ガスとしてマスクパターンの開口部の深さ方向へゲート酸化膜302が露出しない程度まで、例えばポリシリコン膜304を85%程度まで削るエッティング処理を行う(ME1:第1のメインエッティング工程)。この第1のメインエッティング工程では、未だゲート酸化膜が露出しないので主にポリシリコン膜304のエッティングレートが高くなるような条件でエッティングを行う。
- 10 第1のメインエッティング工程を行う際の条件としては例えば処理容器102内の圧力が50mTorr, 上部電極122と下部電極106との間隔100mm, HBr/Cl<sub>2</sub>のガス流量比(HBrのガス流量/Cl<sub>2</sub>のガス流量)は350sccm/50scdmとし、ウェハを吸着する静電チャックに印加する電圧は1.5kV,  
15 ウェハ裏面冷却ガス圧力はセンタ、エッジとともに3mTorr, 処理室104内の設定温度については下部電極を70°C, 上部電極を80°C, 側壁部を60°Cとする。また、上部電極122に印加する高周波電力を700W, 下部電極106に印加する高周波電力を75Wとする。45.0sec程度プラズマ処理を行う。これにより,  
20 図10(b)に示すようにポリシリコン膜304のマスクパターンの開口部が85%程度エッティングされる。なお、第1のメインエッティング工程の終点は、第1の実施の形態と同様の方法で検出するようにしてよい。
- 25 次に、ポリシリコン膜層304の残存した部分を除去するエッティング処理を施す第2のメインエッティング工程(ME2)を行う。こ

の第2のメインエッティング工程では、先ず少なくともHBrを含む混合ガスを処理ガスとしてゲート酸化膜302が露出するまでポリシリコン膜304のエッティング処理を行う。なお、第2のメインエッティングの終点は第1の実施の形態と同様に検出するようにしても  
5 よい。

第2のメインエッティング工程を行う際の条件としては例えば処理容器102内の圧力が60mTorr, 上部電極122と下部電極106との間隔90mm, HBrのガス流量は300sccmとし、  
10 ウェハを吸着する静電チャックに印加する電圧は1.5kV, ウェハ裏面冷却ガス圧力はセンタ, エッジとともに10mTorr, 処理室104内の設定温度については下部電極を70°C, 上部電極を80°C, 側壁部を60°Cとする。この場合には残った部分のポリシリコン膜304のエッティングレートを大きくするため、両電極106, 15 122に高い高周波電力を印加する。例えば上部電極122に印加する高周波電力を150W, 下部電極106に印加する高周波電力を20Wとし, 25.0sec程度プラズマ処理を行う。これにより、図11(a)に示すようにゲート酸化膜302が露出するまでポリシリコン膜304がエッティングされる。

20

続いて、少なくともHBrとO<sub>2</sub>を含む混合ガスを処理ガスとして最終的に残った部分（ゲートの底部のテーパ部分など）のポリシリコン膜304をエッティングする(OE; オーバーエッティング工程)。

25 このオーバーエッティング工程では、ゲート酸化膜302に対するポリシリコン膜304のエッティングレート（エッティング速度）の選

択性（ゲート酸化膜302のエッティングレートに対するポリシリコン膜304のエッティングレート又はゲート酸化膜302のエッティング速度に対するポリシリコン膜304のエッティング速度）を向上させるなどのため、例えばO<sub>2</sub>やHBrを含む混合ガスを処理ガスとしているので、エッティングによる反応生成物が比較的多く発生する。第2の実施の形態では、酸化膜をマスクパターンとした第1の実施の形態と異なり、レジスト膜をマスクパターンにしているため、特に反応生成物が多く発生し易い。従って、反応生成物がウェハ上に堆積してゲートの下部にテーパが形成される可能性は第1の実施の形態の場合よりも高いため、形状の異方性の向上を図ることができない。

従って、上記選択性を向上させつつ、ゲートの形状をその底部にテーパが極力形成されないような形状にするためにはオーバーエッティング工程において反応生成物を少なくしてウェハ上に極力堆積しない状態にする必要がある。

そこで、実験を重ねた結果、オーバーエッティング工程において、第2のメインエッティングの後において、上部電極122に印加する高周波電力を所定電力以下にすることにより、第1の実施の形態と同様の原理で、ゲート酸化膜302に対するポリシリコン膜304の選択性（ゲート酸化膜302のエッティングレートに対するポリシリコン膜304のエッティングレート又はゲート酸化膜302のエッティング速度に対するポリシリコン膜304のエッティング速度）を向上させつつ、反応生成物を少なくしてウェハ上に極力堆積しない状態にできることがわかった。

このような原理に基づいてオーバーエッチングを行う。このオーバーエッチングを行う際の条件としては例えば処理容器 102 内の圧力が 20 mTorr, 上部電極 122 と下部電極 106 との間隔 5 150 mm, HBr/O<sub>2</sub> のガス流量比 (HBr のガス流量/O<sub>2</sub> のガス流量) は 26 sccm/4 sccm とし、ウェハを吸着する静電チャックに印加する電圧は 1.5 kV, ウェハ裏面冷却ガス圧力はセンタ、エッジともに 10 mTorr, 処理室 104 内の設定温度については下部電極を 70 °C, 上部電極を 80 °C, 側壁部を 60 °C 10 とする。

また、下部電極 106 には上述の第 2 のメインエッチングと同様に例えば高周波電力 100 W を印加する。これに対して上部電極 122 に印加する高周波電力は、上述の第 2 のメインエッチングのときよりも低い所定電力に切替えて、上部電極 122 に印加する高周波電力を一気に低くして 30.0 sec 程度プラズマ処理を行う。 15

上部電極に印加する高周波電力としては、例えばエッチングによる反応生成物がウェハ上に堆積しない程度、具体的には 50 W 以下 20 にするのが好ましく、0 W とするのがより好ましい。これにより、図 11 (b) に示すように最終的に残った部分 (ゲートの底部のテーパ部分など) のポリシリコン膜 304 がエッチングされ、異方性形状のよいゲート電極が形成される。この場合、下部電極 106 に印加する高周波電力を高くしすぎると、酸化膜破れが生じるおそれ 25 がある。このため、下部電極 106 に印加する高周波電力は 0.4 W/cm<sup>2</sup> 以下にすることが好ましい。

ここで、オーバーエッチングの工程において上部電極 122 に高周波電力を印加しないで、すなわち上記各エッチング処理を行った場合の実験結果を図 12 に示す。なお、図 12 (a) はウェハ上のセンタ部分にゲートを形成した場合、図 12 (b) はウェハ上のエッジ部分にゲートを形成した場合である。この図 12 に示すようにこの場合にはウェハ上のセンタ部分、エッジ部分ともに形成されたゲートの底部にテーパ部のない良好な形状に形成されることがわかる。

10

このように、第 2 のメインエッチング工程の後に、上部電極 122 に印加する高周波電力を、第 2 のメインエッチング工程よりも低い  $0.16 \text{ W/cm}^2$  以下、より好ましくは  $0 \text{ W/cm}^2$  に切替えて一気に低くすることにより、ゲート酸化膜 302 に対するポリシリコン膜 304 の選択比（ゲート酸化膜 302 のエッチングレートに対するポリシリコン膜 304 のエッチングレート又はゲート酸化膜 302 のエッチング速度に対するポリシリコン膜 304 のエッチング速度）が高い状態で、しかもエッチングによる反応生成物がウェハ上に極力堆積しない状態（デポレスの状態）にすることができる。

このため、ゲートの形状をその底部にテーパが極力形成されないような形状にすることができる。従って、第 2 の実施の形態によっても選択性を向上させつつ、形状の異方性も向上させること（例えばゲート酸化膜 302 に対して垂直な形状を得ること）ができる。

また、第 2 の実施の形態では、酸化膜をマスクとした第 1 の実施の形態とは異なり、反射防止膜 306 及びレジスト膜 308 をマス

クとするため、第1の実施の形態よりもエッティングによる反応生成物が多くなるため、この反応生成物を少なくしてウェハ上に極力堆積しない状態（デポレス状態）にできる効果は大きい。特に、最も反応生成物が多くなるオーバーエッティング工程において上部電極122に印加する高周波電力を途中で50W以下、より好ましくは0Wに切替えて一気に低くするのでさらに効果が大きい。

次に、添付図面を参照しながら、本発明にかかるエッティング方法の第3の実施形態について説明する。上部電極122に印加する高周波電力を所定電力に低下させるエッティング処理を、メインエッティング工程の途中からオーバーエッティング工程にかけて行った例を説明する。

本実施の形態にかかるエッティング方法を適用する膜構造の具体例は第1の実施の形態と同様である。図2(a)に示すような膜構造に対して、先ず、ポリシリコン膜204の露出面の自然酸化膜を除去するエッティング処理を行う(BT；ブレークスルーエッティング工程)。この場合のエッティングを行う際の条件としては例えば処理容器102内の圧力が10mTorr、上部電極122と下部電極106との間隔80mm、CF<sub>4</sub>/O<sub>2</sub>のガス流量比(CF<sub>4</sub>のガス流量/O<sub>2</sub>のガス流量)は67sccm/13scmとし、ウェハを吸着する静電チャックに印加する電圧は1.5kV、ウェハ裏面冷却ガス圧力はセンタ、エッジともに3mTorr、処理室104内の設定温度については下部電極を60°C、上部電極を80°C、側壁部を60°Cとする。

また、この場合には両電極 106, 122 に高い高周波電力を印加する。例えば上部電極 122 に印加する高周波電力を 650W, 下部電極 106 に印加する高周波電力を 220W とする。これにより、図 2 (b) に示すようにポリシリコン膜 204 の露出面の自然酸化膜が除去される。

次いで、第 1 の実施の形態における第 1 のメインエッチング工程に相当するエッチング工程を行う。この第 1 のメインエッチング工程では、先ず少なくとも HBr と O<sub>2</sub> を含む混合ガスを処理ガスとしてマスクパターンの開口部の深さ方向へゲート酸化膜 202 が露出しない程度まで、例えばポリシリコン膜 204 を 85% 程度まで削るエッチング処理を行う。この第 1 のメインエッチング工程では、未だゲート酸化膜が露出しないので主にポリシリコン膜 204 のエッチングレートが高くなるような条件でエッチングを行う。

15

この第 1 のメインエッチングを行う際の条件としては例えば処理容器 102 内の圧力が 30 mTorr, 上部電極 122 と下部電極 106 との間隔 120 mm, HBr / O<sub>2</sub> のガス流量比 (HBr のガス流量 / O<sub>2</sub> のガス流量) は 400 sccm / 3 sccm とし、ウェハを吸着する静電チャックに印加する電圧は 1.5 kV, ウェハ裏面冷却ガス圧力はセンタ、エッジとともに 3 mTorr, 処理室 104 内の設定温度については下部電極を 60°C, 上部電極を 80°C, 側壁部を 60°C とする。

25 また、この場合にも両電極 106, 122 に比較的高い高周波電力を印加する。例えば上部電極 122 に印加する高周波電力を 10

0 W、下部電極 106 に印加する高周波電力を 75 W とする。これにより、図 2 (c) に示すようにポリシリコン膜 204 のマスクパターンの開口部が 85 % 程度エッティングされる。なお、第 1 のメインエッティング工程の終点は、第 1 の実施の形態と同様の方法で検出 5 するようにしてもよい。

次に、上部電極 122 に印加する高周波電力を所定値以下にし、少なくとも HBr と O<sub>2</sub> と He を含む混合ガスを処理ガスとして、ポリシリコン膜層 204 の残存した部分をすべて除去するエッティング工程を行う。すなわち、上部電極 122 に印加する高周波電力を一気に低下して、上記第 1 の実施の形態における第 2 のメインエッティング工程 (ME2) からオーバーエッティング工程 (OE) までに相当するエッティング工程を同一のエッティング条件により行う。

15 具体的には上部電極 122 に印加する高周波電力を 0.16 W/cm<sup>2</sup> 以下（直径 200 mm のウェハにエッティングする場合には約 50 W 以下）にするのが好ましく、0 W/cm<sup>2</sup> とするのがより好ましい。この場合、下部電極 106 に印加する高周波電力を高くしきると、酸化膜破れが生じるおそれがある。このため、下部電極 20 106 に印加する高周波電力は 0.4 W/cm<sup>2</sup> 以下（直径 200 mm のウェハにエッティングする場合には約 150 W 以下）にすることが好ましい。

この場合のエッティングを行う際の条件としては例えば処理容器 1 25 O<sub>2</sub> 内の圧力が 60 mTorr、上部電極 122 と下部電極 106 との間隔 120 mm、HBr/O<sub>2</sub>/He のガス流量比 (HBr の

ガス流量／O<sub>2</sub>のガス流量／Heのガス流量)は400 sccm／8 sccm／500 sccmとし、ウェハを吸着する静電チャックに印加する電圧は1.5 kV、ウェハ裏面冷却ガス圧力はセンタ、エッジともに10 mTorr、処理室104内の設定温度について  
5 は下部電極を60°C、上部電極を80°C、側壁部を60°Cとする。

また、下部電極106には例えば高周波電力100Wを印加する。これに対して上部電極122に印加する高周波電力は、例えば0Wとする。すなわち、上部電極122に印加する高周波電力は上述の  
10 第1のメインエッチングのときよりも一気に低くする。

これにより、図3(b)に示すように残った部分のポリシリコン膜204がすべてエッチングされ、異方性形状のよいゲート電極(例えばゲート酸化膜に対して垂直なパターン形状のゲート電極)が形成される。  
15

ここで、第2のメインエッチング工程からオーバーエッチング工程まで上部電極122に高周波電力を印加しないで、エッチング処理を行った場合の実験結果を図13に示す。なお、図13(a)はウェハ上のセンタ部分にゲートを形成した場合、図13(b)はウェハ上のエッジ部分にゲートを形成した場合である。この図13に示すようにこの場合にはウェハ上のセンタ部分、エッジ部分とともに形成されたゲートの底部にテーパ部のない良好な形状に形成されることがわかる。

25

このように、上部電極122に印加する高周波電力を一気に低下

して、第2のメインエッチング工程（M E 2）からオーバーエッチング工程（O E）までを同一のエッチング条件により行うようにしても、ゲート酸化膜破れを生じるとこなく、選択性を向上させつつ、形状の異方性も向上させることができる。

5

以上、添付図面を参照しながら本発明に係る好適な実施形態について説明したが、本発明は係る例に限定されることは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、  
10 それらについても当然に本発明の技術的範囲に属するものと了解される。

例えば、上記第1～第3の実施の形態では絶縁膜であるゲート酸化膜としては、熱酸化膜で形成されたT h - O x i d e 膜、C V D  
15 で形成されたC V D膜、液体ガラスを回転の遠心力でウェハ全面につけるS O G (spin on glass) で形成したS O G膜、他の熱酸化膜としてもよい。

また、第1又は第3の実施の形態において、酸化膜をマスクとして絶縁膜上の被処理膜層であるポリシリコン膜層をエッチングする場合について説明したが、必ずしもこれに限定されるものではなく、被処理膜層としてはその他の多結晶シリコン、ポリサイド膜層、単結晶シリコン膜層などのシリコン系膜層に適用してもよい。また、酸化膜をマスクとして絶縁膜上の被処理膜層であるメタル層をメタ  
25 ルエッチングする場合に適用してもよい。

また、上部電極122に印加する高周波電力を切替えて一気に低くするのは、第1の実施の形態のようにメインエッチング工程の途中であってもよいし、第2の実施の形態のようにオーバーエッチング工程でもよく、さらに第3の実施の形態のようにメインエッチング工程の途中からオーバーエッチング工程にかけて行ってもよい。

以上詳述したように本発明によれば、処理容器内に上部電極と下部電極を備えたプラズマ処理装置において上部電極に印加する高周波電力をエッチング工程の途中で所定電力以下に下げることにより、エッチングの選択比を向上させつつ形状の異方性も向上させること（例えば被処理基板面に対して垂直なパターン形状を得ること）ができる、エッチング処理全体としてのエッチングレートの低下も防止できる。

#### 産業上の利用の可能性

本発明は、エッチング方法に適用可能であり、特に互いに対向する上部電極と下部電極を有し両方の電極に高周波電力を印加可能なプラズマ処理装置により行うエッチング方法に適用可能である。

また、上部電極 122 に印加する高周波電力を切替えて一気に低くするのは、第 1 の実施の形態のようにメインエッチング工程の途中であってもよいし、第 2 の実施の形態のようにオーバーエッチング工程でもよく、さらに第 3 の実施の形態のようにメインエッチング工程の途中からオーバーエッチング工程にかけて行ってもよい。

以上詳述したように本発明によれば、処理容器内に上部電極と下部電極を備えたプラズマ処理装置において上部電極に印加する高周波電力をエッチング工程の途中で所定電力以下に下げることにより、  
10 エッチングの選択比を向上させつつ形状の異方性も向上させること（例えば被処理基板面に対して垂直なパターン形状を得ること）ができる、エッチング処理全体としてのエッチングレートの低下も防止できる。

## 15 産業上の利用の可能性

本発明は、エッチング方法に適用可能であり、特に互いに対向する上部電極と下部電極を有し両方の電極に高周波電力を印加可能なプラズマ処理装置により行うエッチング方法に適用可能である。

20

## 請求の範囲

(1) 気密な処理室内に互いに対向する上部電極と下部電極を設け両方の電極に高周波電力を印加可能としたプラズマ処理装置により、前記処理室内に処理ガスを導入し被処理体に形成された被処理膜層に対してプラズマエッティング処理を施すエッティング方法において、  
5 前記上部電極と前記下部電極の両方に高周波電力を印加し、前記被処理膜層に対してプラズマエッティング処理を施す途中で、前記上部電極に印加する高周波電力を所定電力以下にすることを特徴とするエッティング方法。

10 前記上部電極と前記下部電極の両方に高周波電力を印加し、前記被処理膜層に対してプラズマエッティング処理を施す途中で、前記上部電極に印加する高周波電力を所定電力以下にすることを特徴とするエッティング方法。

15 (2) 前記被処理膜層は、前記被処理体に形成された絶縁膜層上有ることを特徴とする請求項1に記載のエッティング方法。

(3) 前記被処理膜層に対してプラズマエッティング処理を施す途中で、前記上部電極に印加する高周波電力を $0.16\text{ W/cm}^2$ 以下にすることを特徴とする請求項2に記載のエッティング方法。

20 (4) 前記下部電極に印加する高周波電力を $0.4\text{ W/cm}^2$ 以下にすることを特徴とする請求項3に記載のエッティング方法。

25 (5) 前記被処理膜層に対してプラズマエッティング処理を施す途中で、前記上部電極に印加する高周波電力を $0\text{ W/cm}^2$ にすることを特徴とする請求項2に記載のエッティング方法。

(6) 前記上部電極と前記下部電極の両方に高周波電力を印加しマスクパターンをマスクとして、このマスクパターンの開口部の深さ方向へ前記被処理膜層にエッティング処理を施すメインエッティング工程と、

- 5 前記メインエッティング工程の後、前記被処理膜層の残存した部分を除去するエッティング処理を施すオーバーエッティング工程とを有し、  
前記メインエッティング工程の途中で、前記上部電極に印加する高周波電力を所定電力以下に下げて前記絶縁膜層の一部が露出するまで前記被処理膜層にエッティング処理を施すこと、  
10 を特徴とする請求項2に記載のエッティング方法。

(7) 前記メインエッティング工程は、前記絶縁膜層が露出しない程度まで前記被処理膜層にエッティング処理を施す第1のメインエッティング工程と、

- 15 前記第1のメインエッティング工程の後、前記上部電極に印加する高周波電力を前記第1のメインエッティング工程の場合よりも低い所定電力以下に下げて前記絶縁膜層の一部が露出するまで前記被処理膜層にエッティング処理を施す第2のメインエッティング工程とを有することを特徴とする請求項6に記載のエッティング方法。

20

(8) 前記第2のメインエッティング工程で前記上部電極に印加する高周波電力を $0.16\text{ W}/\text{cm}^2$ 以下にすることを特徴とする請求項6に記載のエッティング方法。

- 25 (9) 前記第2のメインエッティング工程で前記下部電極に印加する高周波電力を $0.4\text{ W}/\text{cm}^2$ 以下にすることを特徴とする請求

項 8 に記載のエッティング方法。

(10) 前記第 2 のメインエッティング工程で前記上部電極に印加する高周波電力を  $0\text{W}/\text{cm}^2$  にすることを特徴とする請求項 6 に  
5 記載のエッティング方法。

(11) 前記上部電極と前記下部電極の両方に高周波電力を印加しマスクパターンをマスクとして、このマスクパターンの開口部の深さ方向へ前記絶縁膜層の一部が露出する程度まで前記被処理膜層  
10 にエッティング処理を施すメインエッティング工程と、

前記メインエッティング工程の後、前記被処理膜層の残存した部分を除去するエッティング処理を施すオーバーエッティング工程とを有し、

前記オーバーエッティング工程で前記上部電極に印加する高周波電力を所定電力以下に下げて、残った被処理膜層にエッティング処理を  
15 施すこと、

を特徴とする請求項 2 に記載のエッティング方法。

(12) 前記オーバーエッティング工程で前記上部電極に印加する高周波電力を  $0.16\text{W}/\text{cm}^2$  以下にすることを特徴とする請求  
20 項 1 に記載のエッティング方法。

(13) 前記オーバーエッティング工程で前記下部電極に印加する高周波電力を  $0.4\text{W}/\text{cm}^2$  以下にすることを特徴とする請求項  
1 2 に記載のエッティング方法。

25

(14) 前記オーバーエッティング工程で前記上部電極に印加する

高周波電力を  $0\text{W}/\text{cm}^2$  にすることを特徴とする請求項 1 に記載のエッチング方法。

(15) 前記上部電極と前記下部電極の両方に高周波電力を印加  
5 しマスクパターンをマスクとして、このマスクパターンの開口部の  
深さ方向へ前記絶縁膜層の一部が露出するまで前記被処理膜層にエッチング処理を施すメインエッチング工程と、

前記メインエッチング工程の後、前記被処理膜層の残存した部分  
を除去するエッチング処理を施すオーバーエッチング工程とを有し、

10 前記メインエッチング工程の途中と前記オーバーエッチング工程  
とのうちいずれか一方又は両方で、前記上部電極に印加する高周波  
電力を所定電力以下に下げて前記被処理膜層にエッチング処理を施  
すこと、を特徴とする請求項 2 に記載のエッチング方法。

15 (16) 前記上部電極と前記下部電極の両方に高周波電力を印加  
しマスクパターンをマスクとして、このマスクパターンの開口部の  
深さ方向へ前記絶縁膜層が露出しない程度まで前記被処理膜層にエッチング処理を施す第 1 のメインエッチング工程と、

前記第 1 のメインエッチング工程の後、前記絶縁膜層の一部が露  
20 出するまで前記被処理膜層にエッチング処理を施す第 2 のメインエッチング工程と、

前記被処理膜層の残存した部分を除去するエッチング処理を施す  
オーバーエッチング工程とを有し、

前記第 2 のメインエッチング工程からオーバーエッチング工程ま  
25 で、前記上部電極に印加する高周波電力を所定電力以下に下げて前  
記被処理膜層にエッチング処理を施すこと、

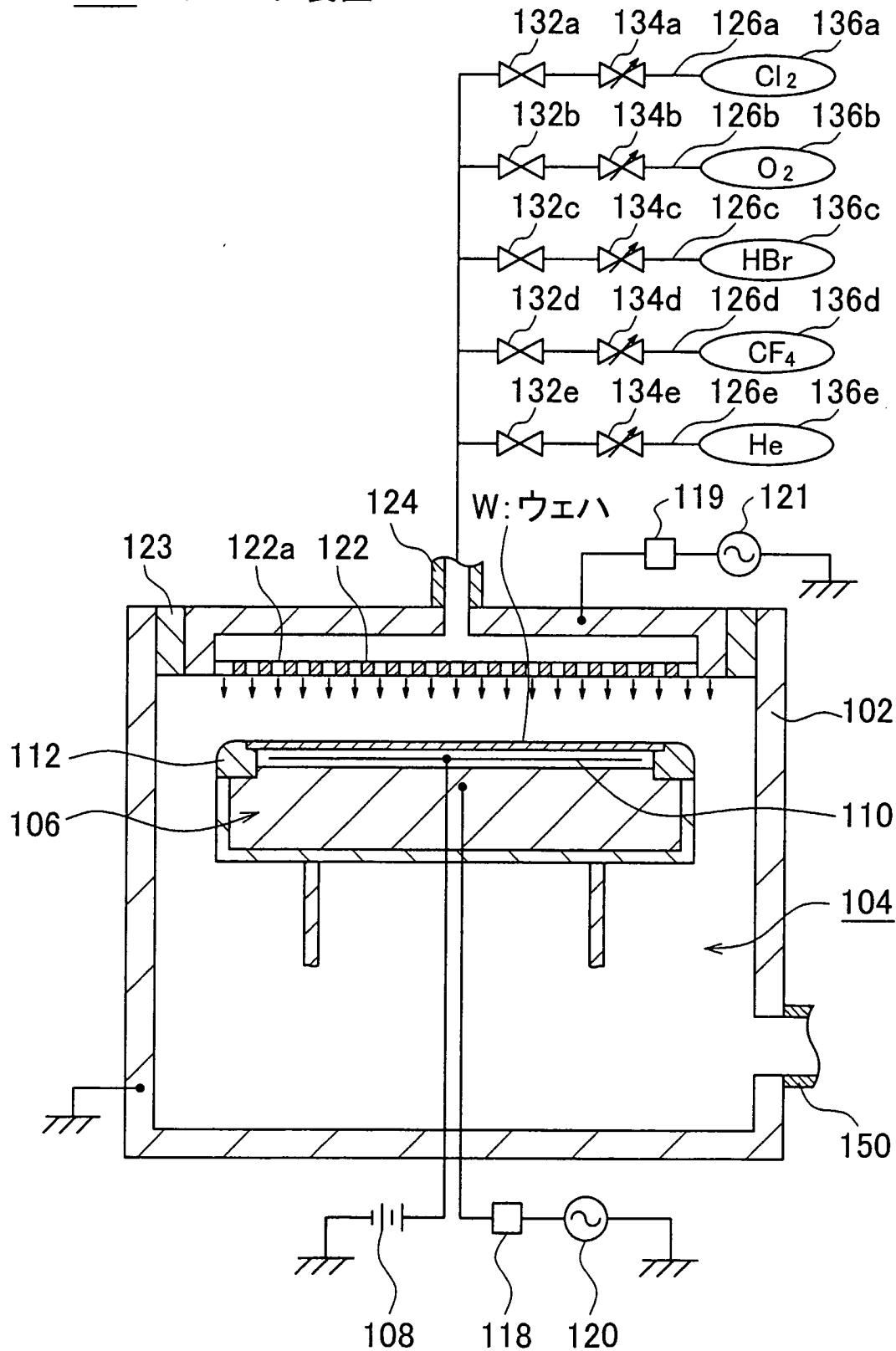
を特徴とする請求項 2 に記載のエッティング方法。

(17) 前記メインエッティング工程の途中からから前記オーバー  
エッティング工程まで前記上部電極に印加する高周波電力を 0. 16  
5 W / cm<sup>2</sup> 以下にすることを特徴とする請求項 16 に記載のエッチ  
ング方法。

(18) 前記emainエッティング工程の途中からから前記オーバー  
エッティング工程まで前記下部電極に印加する高周波電力を 0. 4 W  
10 / cm<sup>2</sup> 以下にすることを特徴とする請求項 17 に記載のエッчин  
グ方法。

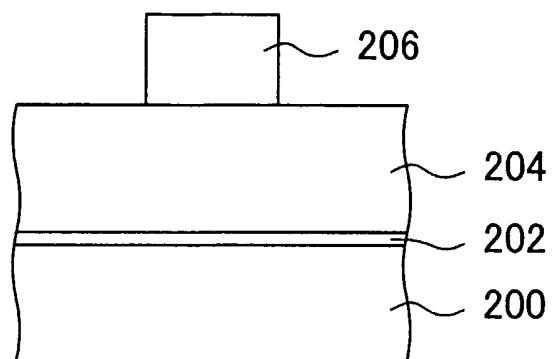
(19) 前記emainエッティング工程の途中からから前記オーバー  
エッティング工程まで前記上部電極に印加する高周波電力を 0 W / c  
15 m<sup>2</sup> にすることを特徴とする請求項 18 に記載のエッティング方法。

第1図

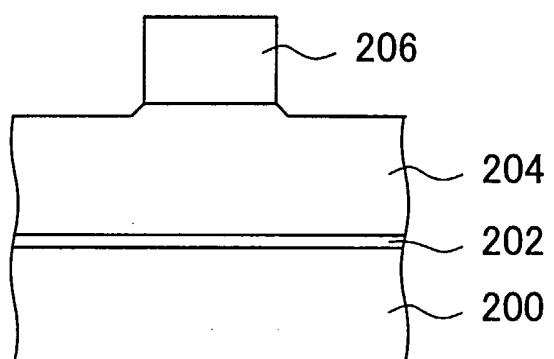
100:エッチング装置

2/14

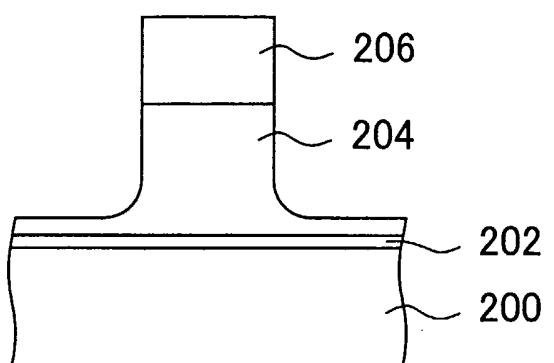
第2図



(a)



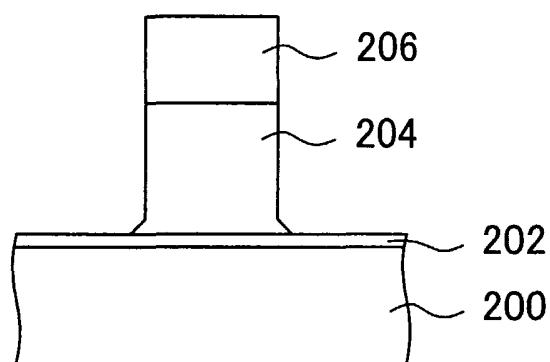
(b)



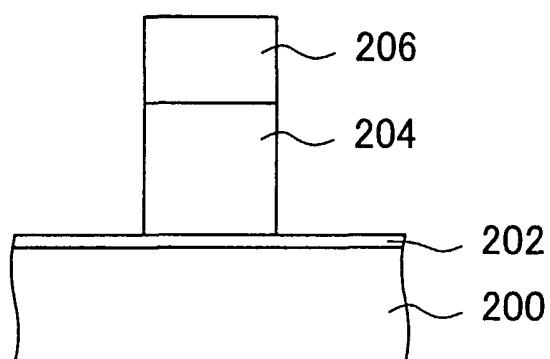
(c)

3/14

第3図



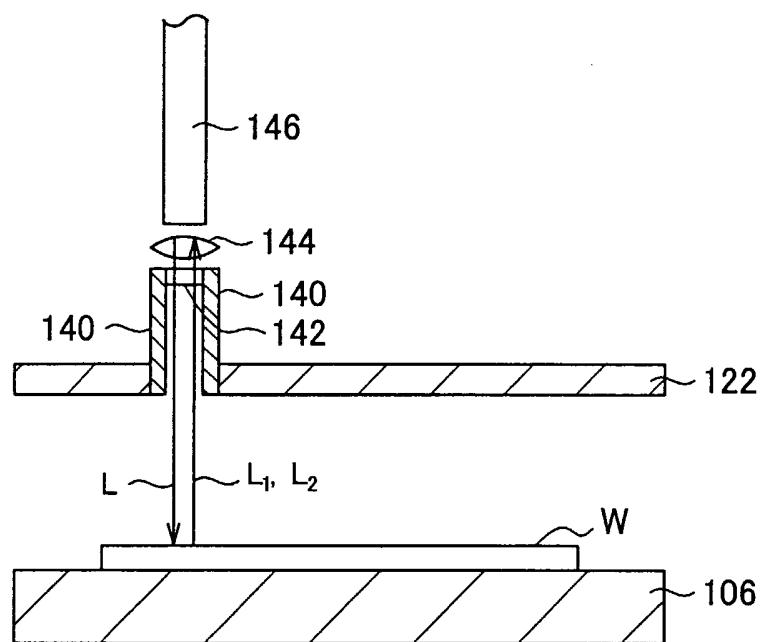
(a)



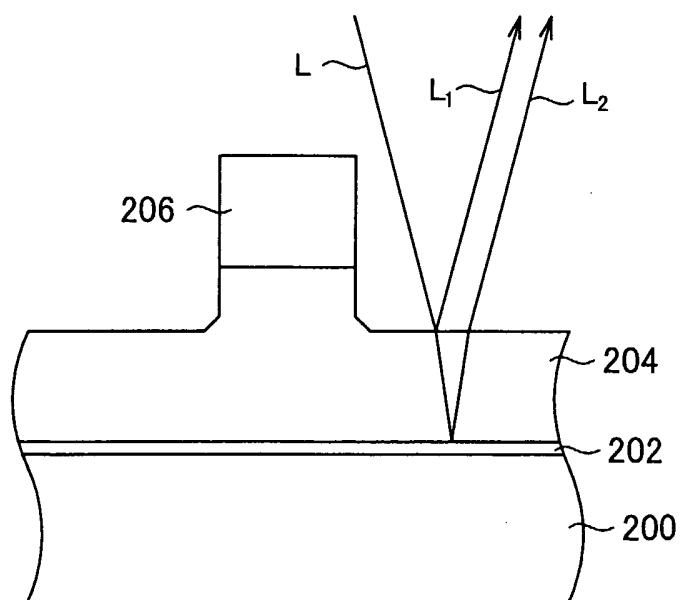
(b)

4/14

第4図

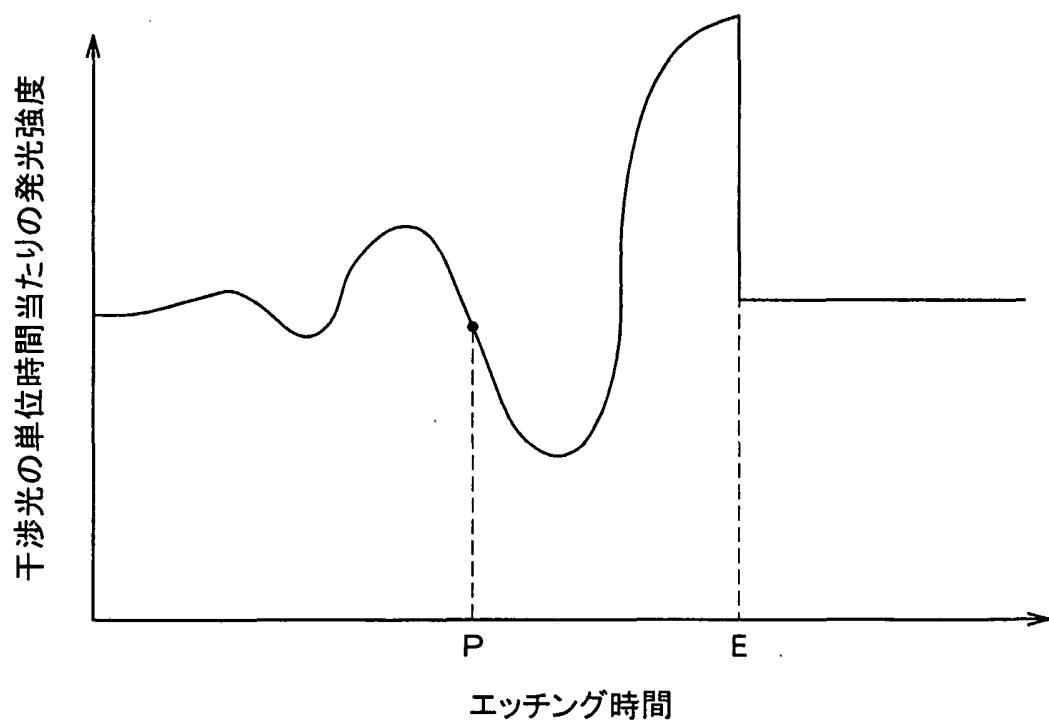


第5図



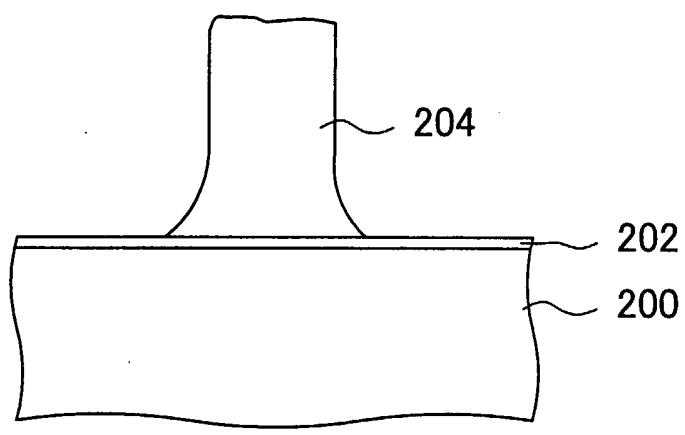
5/14

第6図

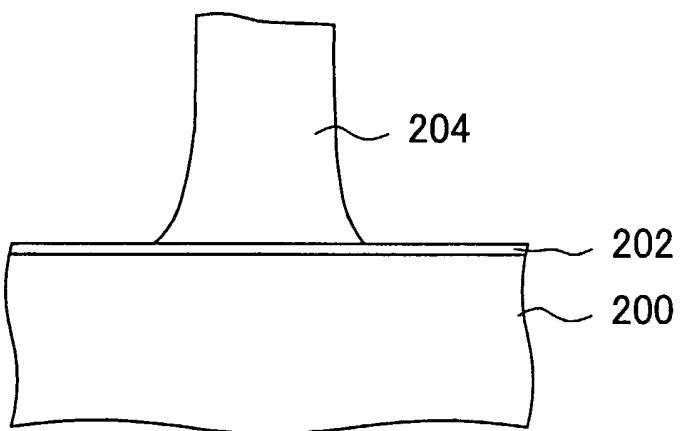


6/14

第7図



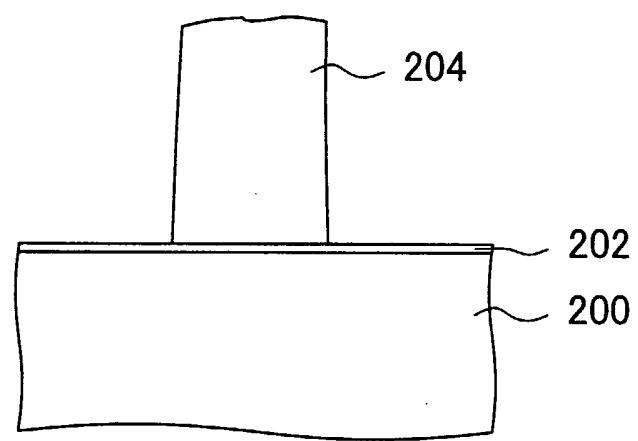
(a)



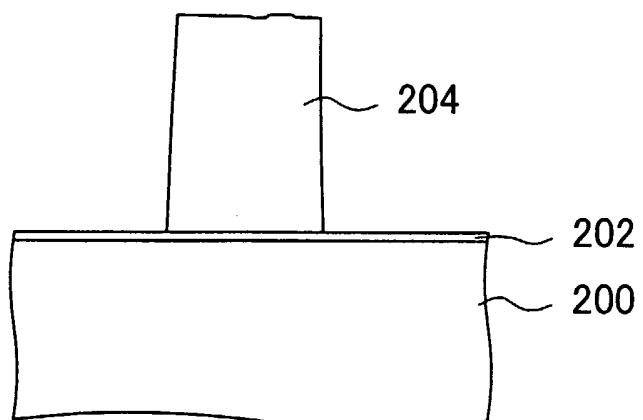
(b)

7/14

第8図



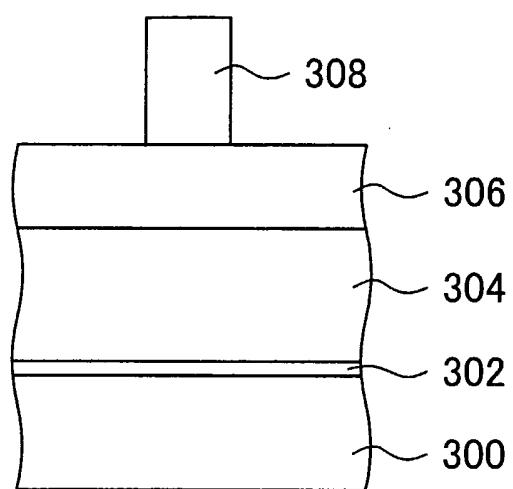
(a)



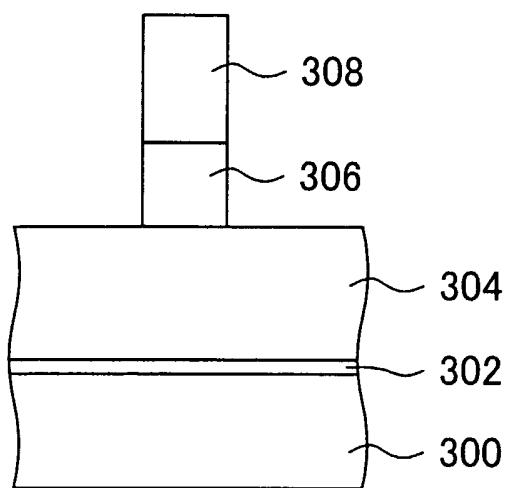
(b)

8/14

第9図



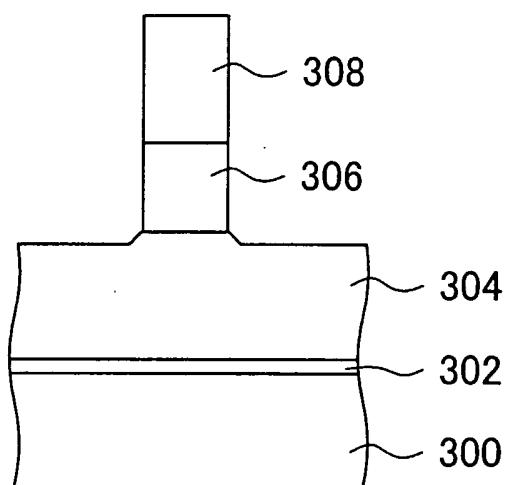
(a)



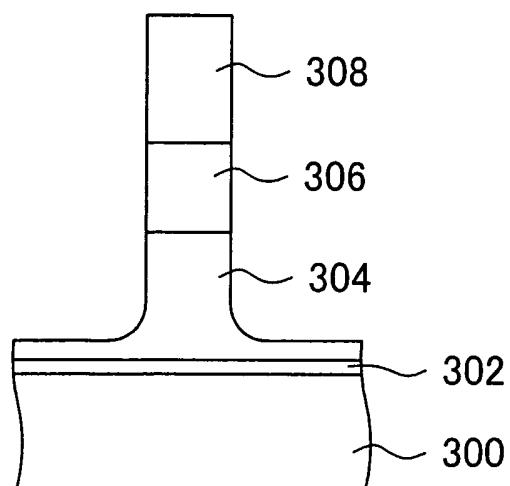
(b)

9/14

第10図



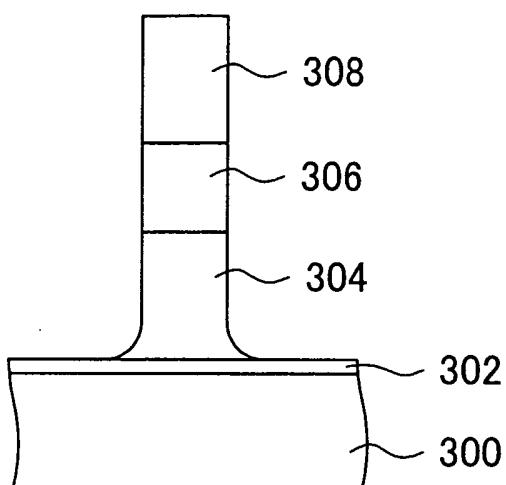
(a)



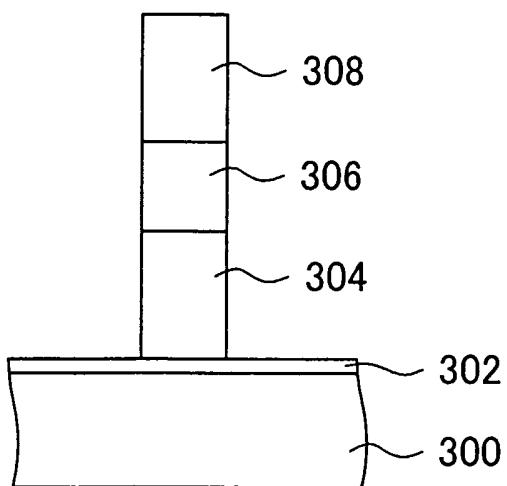
(b)

10/14

第11図



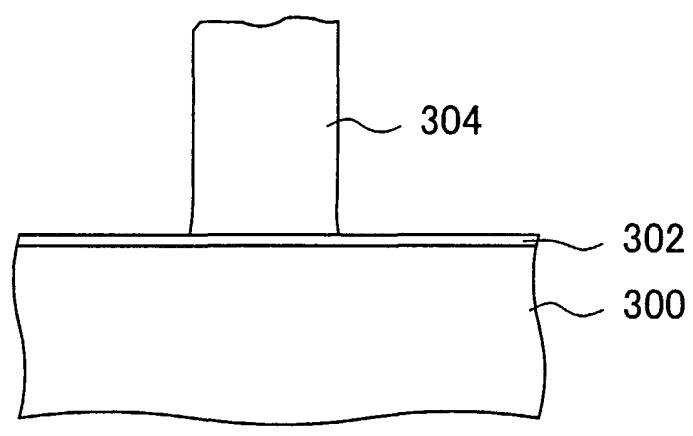
(a)



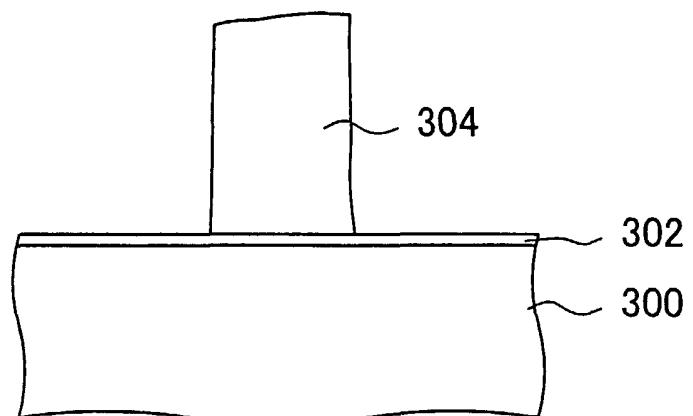
(b)

11/14

第12図



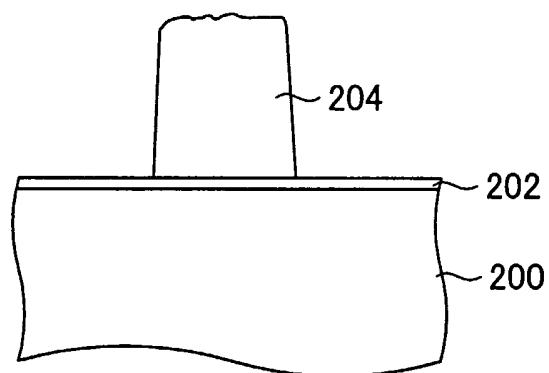
(a)



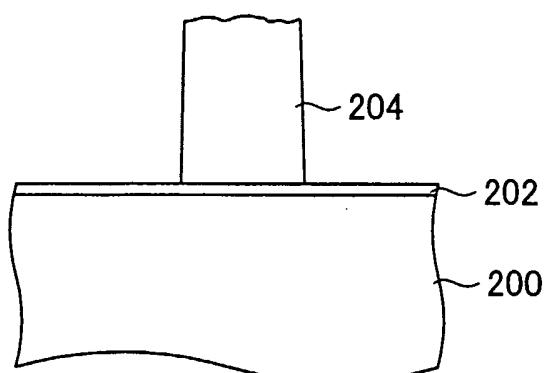
(b)

12/14

第13図



(a)



(b)

## 符号の説明

- 100 … エッティング装置  
102 … 処理容器  
5 104 … 処理室  
106 … 下部電極  
108 … 高圧電流電源  
110 … 静電チャック  
112 … フォーカスリング  
10 118 … 整合器  
119 … 整合器  
120 … 高周波電源  
121 … 高周波電源  
122 … 上部電極  
15 122a … ガス供給孔  
123 … 絶縁体  
124 … ガス供給管  
126a ~ 126e … ガス供給系  
132a ~ 132e … 開閉バルブ  
20 134a ~ 134e … 流量調整バルブ  
136a ~ 136e … ガス供給源  
150 … 排気管  
200 … シリコン基板  
202 … ゲート酸化膜  
25 204 … ポリシリコン膜  
206 … 酸化膜

300…シリコン基板

302…ゲート酸化膜

304…ポリシリコン膜

306…反射防止膜

5 308…レジスト膜

W…ウェハ

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00998

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl<sup>7</sup> H01L21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/3065

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X, Y	GB 2362757 A (NEC Corp.), 28 November, 2001 (28.11.01), Page 4, line 19 to page 14, line 15 & JP 2001-156041 A	1,2,5-7,10, 11,14-16,19, <u>3,4,8,9,12,</u> <u>13,17,18</u>
Y	JP 2000-357683 A (Hitachi, Ltd.), 26 December, 2000 (26.12.00), Par. Nos. [0010] to [0053] (Family: none)	3,4,8,9,12, 13,17,18
X	EP 1143497 A (TOKYO ELECTRON LTD.), 10 October, 2001 (10.10.01), Column 2, line 14 to column 13, line 47 & JP 2000-223480 A	1,6,7,11,15, 16

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 April, 2003 (15.04.03)

Date of mailing of the international search report  
30 April, 2003 (30.04.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int.Cl.<sup>7</sup> H01L21/3065

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int.Cl.<sup>7</sup> H01L21/3065

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X, <u>Y</u>	GB 2362757 A (NEC Corporation) 2001.11.28 第4頁第19行～第14頁第15行 & JP 2001-156041 A	1, 2, 5-7, 10, 11, 14-16, 19, <u>3, 4, 8, 9, 12,</u> <u>13, 17, 18</u>
Y	JP 2000-357683 A (株式会社日立製作所) 2000.12.26 第10～53段落 (ファミリーなし)	3, 4, 8, 9, 12, 13, 17, 18
X	EP 1143497 A (TOKYO ELECTRON LIMITED) 2001.10.10 第2欄第14行～第13欄第47行 & JP 2000-223480 A	1, 6, 7, 11, 15, 16,

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日  
15.04.03

国際調査報告の発送日

30.04.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）  
今井 淳一

4R 9055

印

電話番号 03-3581-1101 内線 9055