

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年3月8日(08.03.2012)

PCT

(10) 国際公開番号
WO 2012/029767 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) H03K 19/0175 (2006.01)
- (21) 国際出願番号: PCT/JP2011/069585
- (22) 国際出願日: 2011年8月30日(30.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-197202 2010年9月2日(02.09.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本 悦雄
(YAMAMOTO, Etsuo). 村上 祐一郎(MURAKAMI,
Yuhichiroh). 佐々木 寧(SASAKI, Yasushi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

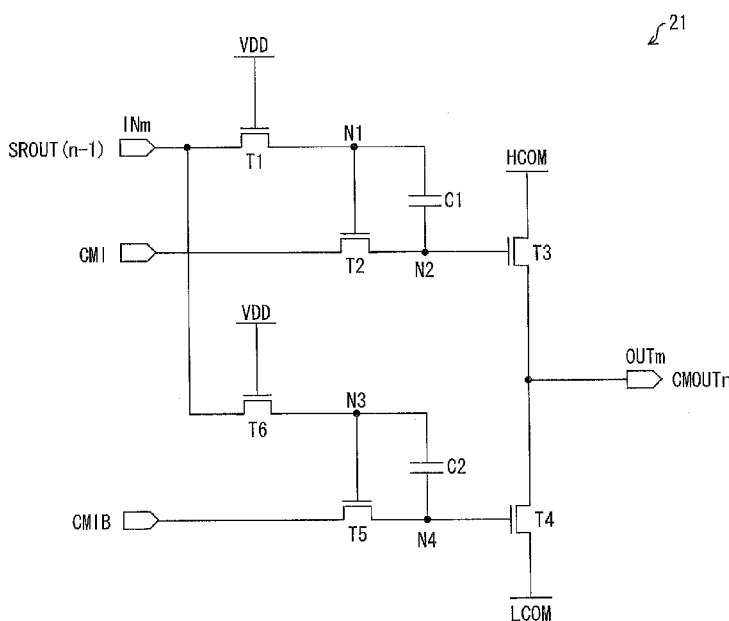
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: 半導体回路及び表示装置

[図4]



(57) Abstract: The present invention comprises: a transistor (T3) with an HCOM provided to the drain terminal, and a source terminal connected to the output terminal (OUTm); and a transistor (T2) with an on-state voltage provided to a gate terminal in accordance with an input signal (SROUT (n-1)), a polar signal (CMI) provided to the drain terminal, and the source terminal connected to the gate terminal of the transistor (T3). A capacitance (C1) is formed between the gate terminal and source terminal of the transistor (T2). The voltage level of the input signal provided to the gate terminal of the transistor (T2) is raised by the capacitance (C1) to retrieve the polar signal (CMI), while the polar signal (CMI) is provided to the gate terminal of the transistor (T3). Thus provided in a simple structure is a semiconductor circuit, capable of preventing the decrease of electric potential while maintaining stable signal output, and a display device comprising the semiconductor circuit.

(57) 要約:

[続葉有]

WO 2012/029767 A1

ドレイン端子にHCOMが与えられ、ソース端子が出力端子（OUT_m）に接続されたトランジスタ（T₃）と、ゲート端子に入力信号（SROUT（n-1））に応じたオン電圧が与えられ、ドレイン端子に極性信号（CMI）が与えられ、ソース端子がトランジスタ（T₃）のゲート端子に接続されたトランジスタ（T₂）とを備え、トランジスタ（T₂）のゲート端子とソース端子との間に容量（C₁）が形成され、トランジスタ（T₂）のゲート端子に与えられる上記入力信号の電圧レベルを容量（C₁）により引き上げて極性信号（CMI）を取り込むとともに、該極性信号（CMI）をトランジスタ（T₃）のゲート端子に与える。これにより、簡易な構成により、電位レベルの低下を防いで安定した信号を出力することができる半導体回路及びそれを備えた表示装置を提供する。

明 細 書

発明の名称：半導体回路及び表示装置

技術分野

[0001] 本発明は、同一導電型のトランジスタで構成された半導体回路、及びそれを用いた表示装置に関する。

背景技術

[0002] 一般に、液晶表示装置では、シフトレジスタやバッファ等の半導体回路が用いられているが、これら半導体回路をCMOSトランジスタで構成するとPチャネル及びNチャネルのそれぞれを形成するプロセスが必要になるため、製造工程が複雑化する。そこで、製造工程の簡略化を図るため、同一導電型、例えばNチャネルのみなど単極性のチャネルのトランジスタで構成された半導体回路が提案されている（例えば特許文献1）。特許文献1では、上記半導体回路を用いた表示装置が開示されている。

[0003] 図27は、特許文献1の表示装置に含まれる共通電極駆動回路の構成を示す回路図である。

[0004] 上記共通電極駆動回路は、9個のNチャネル型トランジスタ $T_{r1} \sim T_{r9}$ と、容量 C_{bs1} 、 C_{bs2} とを備えている。図27に示す n 段目の共通電極駆動回路には、走査信号線駆動回路に含まれる n 段目のシフトレジスタの出力信号 S_{Rn} 、及び、 $(n-1)$ 段目のシフトレジスタの出力信号 $S_{R(n-1)}$ が入力される。また、基準電圧 V_{SS} 、交流化信号 M 、 MB 、正極の共通電極 V_{COMH} 、負極性の共通電極 V_{COML} が与えられる。

[0005] 図28は、図27に示す共通電極駆動回路の動作時のタイミングチャートである。

[0006] まず、前段の走査線選択信号 $S_{R(n-1)}$ がハイレベルになり、節点 $ND1$ と節点 $ND2$ に、一旦、ローレベルが取り込まれてリセット後、交流化信号 M 、 MB の状態を取り込み、かつ、トランジスタ T_{r5} とトランジスタ T_{r6} とをオン状態にすることにより、節点 $ND4$ と節点 $ND5$ の電位が、

基準電圧 V_{SS} になる。これにより、容量 C_{bs1} 、 C_{bs2} には、交流化信号 M 、 MB の電圧が充電される。

- [0007] この状態で、前段の走査線選択信号 $SR(n-1)$ がローレベルになり、節点 $ND1$ 、 $ND2$ 、 $ND4$ 、 $ND5$ は、電圧の保持状態となる。
- [0008] 次に、 n 番目の走査線選択信号 SR_n がハイレベルになると、ダイオード接続されたトランジスタ $Tr7$ を介して、節点 $ND3$ にハイレベル（実際には、閾値電圧 V_{th} 分低下した電圧）が書き込まれる。ここで、節点 $ND1$ がハイレベルで、節点 $ND2$ がローレベルとすると、トランジスタ $Tr8$ がオン状態になり、トランジスタ $Tr9$ がオフ状態になるため、節点 $ND5$ はローレベルのままで、節点 $ND4$ にのみハイレベルが書き込まれる。
- [0009] よって、容量 C_{bs1} を介して、ブートストラップ効果により、節点 $ND1$ の電圧が上昇する。節点 $ND1$ の電圧上昇により、トランジスタ $Tr8$ は完全にオン状態になるため、節点 $ND1$ の電圧は、最大で、 n 番目の走査線選択信号 SR_n のハイレベルから閾値電圧 V_{th} が減算された電圧分上昇する。節点 $ND2$ は、節点 $ND5$ が変動しないため、電圧変動は起こらず、ローレベルに保持される。
- [0010] このように、上記共通電極駆動回路の構成によれば、ブートストラップ効果を利用することにより、高電位の信号を出力することができる。そのため、このような半導体回路を表示装置内の各部において好適に利用することが可能になる。

先行技術文献

特許文献

- [0011] 特許文献1：日本国公開特許公報「特開2006-276541号公報（2006年10月12日公開）」

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、従来の半導体回路では、ブートストラップ効果を得るため

に、トランジスタ等の素子数が増加し、回路構成が複雑化するという問題点がある。

[0013] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、簡易な構成により、電位レベルの低下を防いで安定した信号を出力することができる半導体回路、及びそれを備えた表示装置を提供することにある。

課題を解決するための手段

[0014] 本発明の半導体回路は、上記課題を解決するために、
同一導電型のトランジスタで構成された半導体回路であって、
一方の導通端子に第1電源電圧が与えられ、他方の導通端子が出力端子に接続された第1出力制御トランジスタと、
制御端子に入力信号に応じたオン電圧が与えられ、一方の導通端子に第1データ信号が与えられ、他方の導通端子が上記第1出力制御トランジスタの制御端子に接続された第1ラッチ制御トランジスタとを備え、
上記第1ラッチ制御トランジスタの制御端子と、上記第1ラッチ制御トランジスタの他方の導通端子との間に第1容量が形成され、
上記第1ラッチ制御トランジスタの制御端子に与えられる上記入力信号の電圧レベルを上記容量により引き上げて上記第1データ信号を取り込むとともに、該第1データ信号を上記第1出力制御トランジスタの制御端子に与えることを特徴とする。

[0015] 上記の構成によれば、上記第1データ信号(CMI)の電位変化(ローレベルからハイレベル)を利用して、第1容量により、上記第1ラッチ制御トランジスタの制御端子に与えられる上記入力信号の電圧レベルを引き上げる(ブートストラップ効果)ことができる。これにより、上記第1データ信号の最大電圧(VDD)を上記第1出力制御トランジスタに与えることができるため、上記第1出力制御トランジスタに与えられるオン電圧を確実に出力することができる。

[0016] また、上記半導体回路は、従来の半導体回路(図27参照)と比較して、トランジスタ及び容量の素子数を削減できるため、回路構成を簡略化するこ

とができる。

- [0017] 本発明の表示装置は、上記課題を解決するために、
データ信号線、走査信号線及び共通電極配線を備えた表示パネルを備えた表示装置であって、
同一導電型のトランジスタで構成された上記何れかの半導体回路を多段接続した構成を有し、上記共通電極配線を順次駆動する共通電極駆動回路と、
上記データ信号線に映像信号を供給するデータ信号線駆動回路と、
走査信号を、上記半導体回路及び上記走査信号線に、順次供給する走査信号線駆動回路とを備えることを特徴とする。

- [0018] 本発明の表示装置は、上記課題を解決するために、
データ信号線、走査信号線及び保持容量配線を備えた表示パネルを備えた表示装置であって、
同一導電型のトランジスタで構成された上記何れかの半導体回路を多段接続した構成を有し、上記保持容量配線を順次駆動する保持容量配線駆動回路と、
上記データ信号線に映像信号を供給するデータ信号線駆動回路と、
走査信号を、上記半導体回路及び上記走査信号線に、順次供給する走査信号線駆動回路とを備えることを特徴とする。

発明の効果

- [0019] 本発明の半導体回路は、以上のように、上記第1ラッチ制御トランジスタの制御端子に与えられる上記入力信号の電圧レベルを上記容量により引き上げて上記第1データ信号を取り込むとともに、該第1データ信号を上記第1出力制御トランジスタの制御端子に与える構成である。これにより、簡易な構成により、電位レベルの低下を防いで安定した信号を出力することができる半導体回路、及びそれを備えた表示装置を提供することができる。

図面の簡単な説明

- [0020] [図1]本発明の実施の形態1に係る共通電極駆動回路の構成を示すブロック図である。

[図2]図 1 に示す共通電極駆動回路及び走査信号線駆動回路を備えた液晶表示装置の概略構成を示すブロック図である。

[図3]図 2 に示す液晶表示装置の画素の電氣的構成を示す等価回路図である。

[図4]実施の形態 1 の実施例 1 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図5]図 4 に示す共通電極駆動回路の動作時のタイミングチャートである。

[図6]実施の形態 1 の実施例 2 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図7]実施の形態 1 の実施例 3 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図8]図 7 に示す共通電極駆動回路に含まれる単位回路の他の構成を示す回路図である。

[図9]実施の形態 1 の実施例 4 に係る共通電極駆動回路の構成を示すブロック図である。

[図10]実施の形態 1 の実施例 4 に係る共通電極駆動回路に含まれる単位回路の回路図である。

[図11]図 1 0 に示す共通電極駆動回路に入力される G C K を生成するための G C K 生成回路 (G C K バッファ) の回路図である。

[図12]図 1 1 に示す G C K 生成回路の動作時のタイミングチャートである。

[図13]図 1 1 に示す G C K 生成回路の他の構成を示す回路図である。

[図14]実施の形態 2 に係る保持容量配線駆動回路の構成を示すブロック図である。

[図15]図 1 4 に示す共通電極駆動回路及び走査信号線駆動回路を備えた液晶表示装置の概略構成を示すブロック図である。

[図16]図 1 5 に示す液晶表示装置の画素の電氣的構成を示す等価回路図である。

[図17]実施の形態 2 の実施例 1 に係る保持容量配線駆動回路に含まれる C S 単位回路の回路図である。

[図18]図 1 7 に示す保持容量配線駆動回路の動作時のタイミングチャートである。

[図19]実施の形態 2 の実施例 2 に係る保持容量配線駆動回路の構成を示すブロック図である。

[図20]実施の形態 2 の実施例 2 に係る保持容量配線駆動回路に含まれる C S 単位回路の回路図である。

[図21]図 2 0 に示す保持容量配線駆動回路の動作時のタイミングチャートである。

[図22]実施の形態 2 の実施例 3 に係る保持容量配線駆動回路に含まれる C S 単位回路の回路図である。

[図23]図 2 2 に示す保持容量配線駆動回路に含まれる単位回路の他の構成を示す回路図である。

[図24]図 2 2 に示す保持容量配線駆動回路に含まれる単位回路の他の構成を示す回路図である。

[図25]実施の形態 2 の実施例 4 に係る保持容量配線駆動回路の構成を示すブロック図である。

[図26]実施の形態 2 の実施例 4 に係る保持容量配線駆動回路に含まれる C S 単位回路の回路図である。

[図27]従来の表示装置に含まれる共通電極駆動回路の構成を示す回路図である。

[図28]図 2 7 に示す共通電極駆動回路の動作時のタイミングチャートである。

発明を実施するための形態

[0021] 〔実施の形態 1〕

本発明に係る実施の形態 1 について、以下に説明する。図 1 は、実施の形態 1 に係る共通電極駆動回路の構成を示すブロック図である。なお、図 1 には、走査信号線駆動回路の構成も示している。また、図 2 は、本実施の形態 1 に係る共通電極駆動回路及び走査信号線駆動回路を備えた液晶表示装置の

概略構成を示すブロック図であり、図3は、液晶表示装置1の画素の電氣的構成を示す等価回路図である。

- [0022] まず、図2及び図3を用いて液晶表示装置の概略構成について説明する。液晶表示装置1は、走査信号線駆動回路100、共通電極駆動回路200、データ信号線駆動回路300、及び表示パネル400を備えている。また、液晶表示装置1には、各駆動回路を制御する制御回路（図示せず）が含まれる。なお、各駆動回路はアクティブマトリクス基板にモノリシックに作り込まれていてもよい。
- [0023] 表示パネル400は、図示しないアクティブマトリクス基板と対向基板との間に液晶を挟持して構成されており、行列状に配列された多数の画素P（図3）を有している。
- [0024] そして、表示パネル400は、アクティブマトリクス基板上に、走査信号線41（GL_n）、データ信号線43（SL_n）、薄膜トランジスタ（Thin Film Transistor；以下「TFT」と称する）44、及び画素電極45を備え、対向基板上にコモンライン（共通電極配線）42（CML_n）を備えている。
- [0025] 走査信号線41は行方向（横方向）に互いに平行となるように各行に1本ずつ形成されており、データ信号線43は、列方向（縦方向）に互いに平行となるように各列に1本ずつ形成されている。図3に示すように、TFT44及び画素電極45は、走査信号線41とデータ信号線43との各交点に対応してそれぞれ形成されており、TFT44のゲート電極gが走査信号線41に、ソース電極sがデータ信号線43に、ドレイン電極dが画素電極45にそれぞれ接続されている。また、画素電極45は、コモンライン42との間に液晶を介して液晶容量C_{lc}を形成している。
- [0026] これにより、走査信号線41に供給されるゲート信号（走査信号）によってTFT44のゲートをオン状態にし、データ信号線43からのソース信号（データ信号）を画素電極45に書き込んで画素電極45を上記ソース信号に応じた電位に設定し、コモンライン42との間に介在する液晶に対して上

記ソース信号に応じた電圧を印加することによって、上記ソース信号に応じた階調表示を実現することができる。

[0027] 上記構成の表示パネル400は、走査信号線駆動回路100、共通電極駆動回路200、データ信号線駆動回路300、及びこれらを制御する制御回路によって駆動される。

[0028] 本実施の形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。

[0029] そのため、走査信号線駆動回路100は、TFT44をオンするためのゲート信号を各行の水平走査期間に同期して当該行の走査信号線41に対して順次出力する。

[0030] 共通電極駆動回路200は、走査信号線駆動回路100を構成するシフトレジスタ10の出力信号（SROUT）に基づいて、各コモンライン42にハイレベルの信号（HCOM）またはローレベルの信号（LCOM）を供給する。

[0031] データ信号線駆動回路300は、各データ信号線43に対してソース信号を出力する。このソース信号は、液晶表示装置1の外部から制御回路を介してデータ信号線駆動回路300に供給された映像信号を、データ信号線駆動回路300において各列に割り当て、昇圧等を施した信号である。

[0032] 制御回路は、上述した走査信号線駆動回路100、共通電極駆動回路200、及びデータ信号線駆動回路300を制御することにより、これら各回路から、ゲート信号、ソース信号、及びコモン信号を出力させる。

[0033] 本実施の形態に係る液晶表示装置1では、共通電極駆動回路200の出力信号の電位レベルの低下を防いで安定した動作を行う構成を有している。以下では、走査信号線駆動回路100及び共通電極駆動回路200の具体的な構成について説明する。

[0034] 走査信号線駆動回路100を構成するシフトレジスタ10は、図1に示すように、 n 個（ n は2以上の整数）の単位回路11を多段接続して構成され

ている。単位回路 11 は、クロック端子 CK、CKB、入力端子 INs、及び出力端子 OUTs を有している。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ（例えば、クロック端子 CK 経由で入力される信号をクロック信号 CK という）。

[0035] シフトレジスタ 10 には、外部からスタートパルス ST と 2 相のクロック信号 CK、CKB が供給される。スタートパルス ST は、1 段目の単位回路 11 の入力端子 INs に与えられる。クロック信号 CK1 は、奇数段目の単位回路 11 のクロック端子 CK と、偶数段目（偶数にはゼロも含まれる、以下同じ）の単位回路 11 のクロック端子 CKB に与えられる。クロック信号 CK2 は、奇数段目の単位回路 11 のクロック端子 CKB と、偶数段目の単位回路 11 のクロック端子 CK に与えられる。単位回路 11 の出力信号 OUTs は、出力信号 SROUT1 ~ SROUTn として走査信号線 GL1 ~ GLn に順に出力されるとともに、後段の単位回路 11 の入力端子 INs に与えられる。また、単位回路 11 の出力信号 OUTs は、対応する共通電極駆動回路 200 の単位回路 21 に供給される。

[0036] 共通電極駆動回路 200 は、図 1 に示すように、n 個（n は 2 以上の整数）の単位回路 21 を多段接続して構成されている。単位回路 21 は、入力端子 INm、極性端子 CMI、CMB、及び出力端子 OUTm を有している。共通電極駆動回路 200 には、シフトレジスタ 10 の出力信号 OUTs、及び、極性信号 CMI（第 1 データ信号）、CMB（第 2 データ信号）が供給される。単位回路 21 の出力信号 OUTm は、出力信号 CMOUT1 ~ CMOUTn としてコモンライン（COMライン）CML1 ~ CMLn に順に出力される。

[0037] 具体的には、共通電極駆動回路 200 の n 段目の単位回路 21 には、シフトレジスタ 10 の (n-1) 段目の単位回路 11 の出力信号 SROUT(n-1) が供給され、n 段目の単位回路 21 は、出力信号 CMOUTn をコモンライン CMLn に出力する。このように、共通電極駆動回路 200 は、シフトレジスタ 10 のシフト動作に伴って、出力信号 CMOUT1 ~ CMOUT

T_nを、コモンラインCML 1～CML nに順に出力する。なお、1段目の単位回路21には、シフトレジスタ10のスタートパルスSTが供給される。

[0038] シフトレジスタ10は周知の構成を適用することができる。よって、シフトレジスタ10の詳細な説明は省略し、以下では、共通電極駆動回路200の詳細な構成について説明する。

[0039] (実施例1)

図4は、実施例1に係る共通電極駆動回路200に含まれる単位回路21の回路図である。図4に示すように、単位回路21は同一導電型のトランジスタで構成され、6個のNチャネル型トランジスタT1～T6と、2個の容量C1、C2とを含んでいる。トランジスタT1は第1入力制御トランジスタ、トランジスタT2は第1ラッチ制御トランジスタ、トランジスタT3は第1出力制御トランジスタ、トランジスタT4は第2出力制御トランジスタ、トランジスタT5は第2ラッチ制御トランジスタ、トランジスタT6は第2入力制御トランジスタとして機能する。以下、ゲート端子(制御端子)に与えたときにトランジスタをオン状態にする電圧(信号のレベル)をオン電圧(オンレベル)といい、ゲート端子に与えたときにトランジスタをオフ状態にする電圧(信号のレベル)をオフ電圧(オフレベル)という。Nチャネル型トランジスタでは、ハイ電圧がオン電圧(ハイレベルがオンレベル)、ロー電圧がオフ電圧(ローレベルがオフレベル)になり、Pチャネル型トランジスタではその逆になる。

[0040] トランジスタT1のゲート端子(制御端子)には電源電圧VDDが与えられ、トランジスタT1のドレイン端子(一方の導通端子)は入力端子INmに接続される。トランジスタT2のゲート端子はトランジスタT1のソース端子(他方の導通端子)に接続され、トランジスタT2のドレイン端子は極性端子CMIに接続される。トランジスタT1、T2の接続点を節点N1という。トランジスタT3のゲート端子はトランジスタT2のソース端子に接続され、トランジスタT3のドレイン端子には電源電圧HCOM(第1電源

電圧) が与えられ、トランジスタ T 3 のソース端子は出力端子 O U T m に接続される。トランジスタ T 2、T 3 の接続点を節点 N 2 という。

[0041] トランジスタ T 6 のゲート端子には電源電圧 V D D が与えられ、トランジスタ T 6 のドレイン端子は入力端子 I N m に接続される。トランジスタ T 5 のゲート端子はトランジスタ T 6 のソース端子に接続され、トランジスタ T 5 のドレイン端子は極性端子 C M I B に接続される。トランジスタ T 5、T 6 の接続点を節点 N 3 という。トランジスタ T 4 のゲート端子は、トランジスタ T 5 のソース端子に接続され、トランジスタ T 4 のドレイン端子は出力端子 O U T m に接続され、トランジスタ T 4 のソース端子には電源電圧 L C O M (第 2 電源電圧) が与えられる。トランジスタ T 4、T 5 の接続点を節点 N 4 という。

[0042] 容量 C 1、C 2 は容量素子で構成される。容量 C 1 はトランジスタ T 2 のゲート端子とソース端子との間に設けられ、容量 C 2 はトランジスタ T 5 のゲート端子とソース端子との間に設けられる。容量 C 1、C 2 はブートストラップ容量として機能する。なお、容量 C 1、C 2 は、容量素子ではなく、配線容量やトランジスタの寄生容量を用いて構成してもよい。これにより、容量素子を設けない分だけ回路構成を簡素化することができる。

[0043] なお、トランジスタ T 1、T 6 は、それぞれ、ゲート端子とドレイン端子が互いに接続されたダイオード接続の構成としてもよい。

[0044] 上記構成の単位回路 2 1 を含む共通電極駆動回路 2 0 0 は、1 フレームごとにハイレベル及びローレベルが切り替わる出力信号 C M O U T 1 ~ C M O U T n を 1 つずつ順に出力する動作を行う。以下、クロック信号 C K 1、C K 2 を含め、共通電極駆動回路 2 0 0 の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときには V D D、ローレベルのときには V S S であるとする。

[0045] (動作について)

共通電極駆動回路 2 0 0 の動作について図 5 を用いて説明する。図 5 は、共通電極駆動回路 2 0 0 の動作時のタイミングチャートである。図 5 では、

($n-2$) 段目の単位回路 2 1、($n-1$) 段目の単位回路 2 1、 n 段目の単位回路 2 1 における入出力信号を示している。SR ($n-3$)、SR ($n-2$)、SR ($n-1$)、SR n は、それぞれ、シフトレジスタ 1 0 の ($n-3$) 段目の単位回路 1 1、($n-2$) 段目の単位回路 1 1、($n-1$) 段目の単位回路 1 1、 n 段目の単位回路 1 1 の出力信号 SROUT ($n-3$)、SROUT ($n-2$)、SROUT ($n-1$)、SROUT n の電位を示している。CMI、CMI B は極性信号を示し、N1~N4 はそれぞれ、節点 N1~N4 の電位を示している。CM ($n-2$)、CM ($n-1$)、CM n は、それぞれ、共通電極駆動回路 2 0 0 の ($n-2$) 段目の単位回路 2 1、($n-1$) 段目の単位回路 2 1、 n 段目の単位回路 2 1 の出力信号 CMOUT ($n-2$)、CMOUT ($n-1$)、CMOUT n を示している。CMI、CMI B は、互いに極性が逆転し、1 水平走査期間ごとに極性が反転する信号である。出力信号 SROUT ($n-3$) が出力されてから次の出力信号 SROUT ($n-3$) が出力されるまでの期間が 1 垂直走査期間 (1 フレーム) に相当する。

[0046] まず、($n-2$) 段目の単位回路 2 1 における第 1 フレームの動作について説明する。

[0047] 初めに、($n-2$) 段目の単位回路 2 1 の入力端子 IN m に、シフトレジスタ 1 0 の ($n-3$) 段目の単位回路 1 1 の出力信号 SROUT ($n-3$) (ハイレベル) が入力される。トランジスタ T1 は、VDD が与えられているためオン状態になり、節点 N1 の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタ T1 の閾値電圧) になる。これにより、トランジスタ T2 がオン状態になり、極性信号 CMI がハイレベルであるため、節点 N2 の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタ T2 の閾値電圧) になる。すなわち、節点 N2 の電位は、ローレベルからハイレベルに変化する。

[0048] ここで、節点 N1 の電位が $VDD - V_{th}$ に充電されるとトランジスタ T1 はオフ状態になり、節点 N1 はフローティング状態になる。節点 N1 とト

ランジスタT2のソース端子とは、電位差 $V_{DD} - V_{th}$ を保持した容量C1を介して接続されているため、トランジスタT2のソース端子（節点N2）の電位がローレベルからハイレベルに変化すると、節点N1の電位は同じ量だけ変化して電源電圧 V_{DD} よりも高くなる（ブートストラップ効果）。

[0049] 節点N1の電位が V_{DD} よりも高くなると、最大電圧が V_{DD} である極性信号CMIは、トランジスタT2を電圧降下なく通過し、節点N2の電位が V_{DD} になる。これにより、トランジスタT3がオン状態になる。

[0050] 一方、入力信号 I_{Nm} としてハイレベルの出力信号 $S_{ROUT}(n-3)$ が入力されると、トランジスタT6は、 V_{DD} が与えられているためオン状態になり、節点N3の電位は、 $V_{DD} - V_{th}$ （ただし、 V_{th} はトランジスタT6の閾値電圧）になる。これにより、トランジスタT5がオン状態になり、極性信号CMI Bがローレベルであるため、節点N4の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT4はオフ状態になる。なお、節点N3は、容量C2によって突き下げられ $V_{DD} - V_{th}$ よりも低い電位になる。トランジスタT6がオン状態であるため節点N3の電位が $V_{DD} - V_{th}$ まで充電され、その後トランジスタT6はオフ状態になる。

[0051] ここで、電源電圧 H_{COM} が、 $V_{DD} - H_{COM} > V_{th}$ （ただし、 V_{th} はトランジスタT3の閾値電圧）の関係を満たす場合、トランジスタT3がオン状態になると、出力端子 O_{UTm} からは H_{COM} がそのままの電圧レベルで出力される。これにより、出力信号 H_{COM} が、 $(n-2)$ 行目のコモンライン $CML(n-2)$ に供給される。

[0052] 続いて、シフトレジスタ10の出力信号 $S_{ROUT}(n-3)$ がハイレベルからローレベルになると、節点N1の電位はハイレベルからローレベルに変化し、トランジスタT2がオフ状態になり、節点N2はフローティング状態になる。節点N2の電位は、容量C1によって V_{DD} に保持されるため、トランジスタT3はオン状態を維持する。一方、出力信号 $S_{ROUT}(n-3)$ がハイレベルからローレベルになると、節点N3の電位はローレベルに

なり、トランジスタT5はオフ状態になる。節点N4は、容量C2によってローレベルに保持されるため、トランジスタT4はオフ状態を維持する。これにより、引き続き、出力端子OUT_mからはHCOMがそのままの電圧レベルで出力される。このようにして、第1フレームでは、安定してハイレベルの出力信号HCOMを(n-2)行目のコモンラインCML(n-2)に供給することができる。

[0053] 次に、(n-2)段目の単位回路21における第2フレームの動作について説明する。

[0054] 初めに、(n-2)段目の単位回路21の入力端子IN_mに、シフトレジスタ10の(n-3)段目の単位回路11の出力信号SROUT(n-3)(ハイレベル)が入力される。トランジスタT1はVDDが与えられているためオン状態になり、節点N1の電位が、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT1の閾値電圧)になる。これにより、トランジスタT2がオン状態になり、極性信号CMIがローレベルであるため、節点N2の電位は、ローレベルになる。すなわち、節点N2の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT3はオフ状態になる。なお、節点N1は、容量C1によって突き下げられ $VDD - V_{th}$ よりも低い電位になる。トランジスタT1がオン状態であるため節点N1の電位がVDD - V_{th} まで充電され、その後トランジスタT1はオフ状態になる。

[0055] 一方、入力信号IN_mとしてハイレベルの出力信号SROUT(n-3)が入力されると、トランジスタT6は、VDDが与えられているためオン状態になり、節点N3の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT6の閾値電圧)になる。これにより、トランジスタT5がオン状態になり、極性信号CMI_Bがハイレベルであるため、節点N4の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT5の閾値電圧)になる。すなわち、節点N4の電位は、ローレベルからハイレベルに変化する。

[0056] ここで、節点N3の電位が $VDD - V_{th}$ に充電されるとトランジスタT6はオフ状態になり、節点N3はフローティング状態になる。節点N3とト

ランジスタT5のソース端子とは、電位差 $V_{DD} - V_{th}$ を保持した容量C2を介して接続されているため、トランジスタT5のソース端子（節点N4）の電位がローレベルからハイレベルに変化すると、節点N3の電位は同じ量だけ変化して電源電圧 V_{DD} よりも高くなる（ブートストラップ効果）。

[0057] 節点N3の電位が V_{DD} よりも高くなると、最大電圧が V_{DD} である極性信号CMI Bは、トランジスタT5を電圧降下なく通過し、節点N4の電位が V_{DD} になる。これにより、トランジスタT4がオン状態になり、出力端子OUT_mからはLCOMが出力され、出力信号LCOMが、(n-2)行目のコモンラインCML(n-2)に供給される。

[0058] 続いて、シフトレジスタ10の出力信号SROUT(n-3)がハイレベルからローレベルになると、節点N1の電位はローレベルになり、トランジスタT2はオフ状態になる。節点N2は、容量C1によってローレベルに保持されるため、トランジスタT3はオフ状態を維持する。一方、出力信号SROUT(n-3)がハイレベルからローレベルになると、節点N3の電位はハイレベルからローレベルに変化し、トランジスタT5がオフ状態になり、節点N4はフローティング状態になる。節点N4の電位は、容量C2によって V_{DD} に保持されるため、トランジスタT4はオン状態を維持する。これにより、引き続き、出力端子OUT_mからはLCOMがそのままの電圧レベルで出力される。このようにして、第2フレームでは、安定してローレベルの出力信号LCOMを(n-2)行目のコモンラインCML(n-2)に供給することができる。

[0059] 次に、(n-1)段目の単位回路21における第1フレームの動作について説明する。

[0060] 初めに、(n-1)段目の単位回路21の入力端子IN_mに、シフトレジスタ10の(n-2)段目の単位回路11の出力信号SROUT(n-2)（ハイレベル）が入力される。トランジスタT1は V_{DD} が与えられているためオン状態になり、節点N1の電位が、 $V_{DD} - V_{th}$ （ただし、 V_{th} はトランジスタT1の閾値電圧）になる。これにより、トランジスタT2が

オン状態になり、極性信号CMIがローレベルであるため、節点N2の電位は、ローレベルになる。すなわち、節点N2の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT3はオフ状態になる。なお、節点N1は、容量C1によって突き下げられ $V_{DD} - V_{th}$ よりも低い電位になる。トランジスタT1がオン状態であるため節点N1の電位が $V_{DD} - V_{th}$ まで充電され、その後トランジスタT1はオフ状態になる。

[0061] 一方、入力信号IN_mとしてハイレベルの出力信号SROUT (n-2)が入力されると、トランジスタT6は、 V_{DD} が与えられているためオン状態になり、節点N3の電位は、 $V_{DD} - V_{th}$ (ただし、 V_{th} はトランジスタT6の閾値電圧)になる。これにより、トランジスタT5がオン状態になり、極性信号CMI_Bがハイレベルであるため、節点N4の電位は、 $V_{DD} - V_{th}$ (ただし、 V_{th} はトランジスタT5の閾値電圧)になる。すなわち、節点N4の電位は、ローレベルからハイレベルに変化する。

[0062] ここで、節点N3の電位が $V_{DD} - V_{th}$ に充電されるとトランジスタT6はオフ状態になり、節点N3はフローティング状態になる。節点N3とトランジスタT5のソース端子とは、電位差 $V_{DD} - V_{th}$ を保持した容量C2を介して接続されているため、トランジスタT5のソース端子(節点N4)の電位がローレベルからハイレベルに変化すると、節点N3の電位は同じ量だけ変化して電源電圧 V_{DD} よりも高くなる(ブートストラップ効果)。

[0063] 節点N3の電位が V_{DD} よりも高くなると、最大電圧が V_{DD} である極性信号CMI_Bは、トランジスタT5を電圧降下なく通過し、節点N4の電位が V_{DD} になる。これにより、トランジスタT4がオン状態になる。これにより、出力端子OUT_mからはLCOMが出力され、出力信号LCOMが、(n-1)行目のコモンラインCML (n-1)に供給される。

[0064] 続いて、シフトレジスタ10の出力信号SROUT (n-2)がハイレベルからローレベルになると、節点N1の電位はローレベルになり、トランジスタT2はオフ状態になる。節点N2は、容量C1によってローレベルに保持されるため、トランジスタT3はオフ状態を維持する。一方、出力信号S

ROUT (n-2) がハイレベルからローレベルになると、節点N3の電位はハイレベルからローレベルに変化し、トランジスタT5がオフ状態になり、節点N4はフローティング状態になる。節点N4の電位は、容量C2によってVDDに保持されるため、トランジスタT4はオン状態を維持する。これにより、引き続き、出力端子OUTmからはLCOMがそのままの電圧レベルで出力される。このようにして、第1フレームでは、安定してローレベルの出力信号LCOMを(n-1)行目のコモンラインCML(n-1)に供給することができる。

[0065] 次に、(n-1)段目の単位回路21における第2フレームの動作について説明する。

[0066] 初めに、(n-1)段目の単位回路21の入力端子INmに、シフトレジスタ10の(n-2)段目の単位回路11の出力信号SROUT(n-2) (ハイレベル)が入力される。トランジスタT1は、VDDが与えられているためオン状態になり、節点N1の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT1の閾値電圧)になる。これにより、トランジスタT2がオン状態になり、極性信号CMIがハイレベルであるため、節点N2の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT2の閾値電圧)になる。すなわち、節点N2の電位は、ローレベルからハイレベルに変化する。

[0067] ここで、節点N1の電位が $VDD - V_{th}$ に充電されるとトランジスタT1はオフ状態になり、節点N1はフローティング状態になる。節点N1とトランジスタT2のソース端子とは、電位差 $VDD - V_{th}$ を保持した容量C1を介して接続されているため、トランジスタT2のソース端子(節点N2)の電位がローレベルからハイレベルに変化すると、節点N1の電位は同じ量だけ変化して電源電圧VDDよりも高くなる(ブートストラップ効果)。

[0068] 節点N1の電位がVDDよりも高くなると、最大電圧がVDDである極性信号CMIは、トランジスタT2を電圧降下なく通過し、節点N2の電位がVDDになる。これにより、トランジスタT3がオン状態になる。

[0069] 一方、入力信号 IN_m としてハイレベルの出力信号 $SROUT(n-2)$ が入力されると、トランジスタ T_6 は、 VDD が与えられているためオン状態になり、節点 N_3 の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタ T_6 の閾値電圧) になる。これにより、トランジスタ T_5 がオン状態になり、極性信号 $CMIB$ がローレベルであるため、節点 N_4 の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタ T_4 はオフ状態になる。なお、節点 N_3 は、容量 C_2 によって突き下げられ $VDD - V_{th}$ よりも低い電位になる。トランジスタ T_6 がオン状態であるため節点 N_3 の電位が $VDD - V_{th}$ まで充電され、その後トランジスタ T_6 はオフ状態になる。

[0070] ここで、電源電圧 $HCOM$ が、 $VDD - HCOM > V_{th}$ (ただし、 V_{th} はトランジスタ T_3 の閾値電圧) の関係を満たす場合、トランジスタ T_3 がオン状態になると、出力端子 OUT_m からは $HCOM$ がそのままの電圧レベルで出力される。これにより、出力信号 $HCOM$ が、 $(n-1)$ 行目のコモンライン $CML(n-1)$ に供給される。

[0071] 続いて、シフトレジスタ 10 の出力信号 $SROUT(n-2)$ がハイレベルからローレベルになると、節点 N_1 の電位はハイレベルからローレベルに変化し、トランジスタ T_2 がオフ状態になり、節点 N_2 はフローティング状態になる。節点 N_2 の電位は、容量 C_1 によって VDD に保持されるため、トランジスタ T_3 はオン状態を維持する。一方、出力信号 $SROUT(n-2)$ がハイレベルからローレベルになると、節点 N_3 の電位はローレベルになり、トランジスタ T_5 はオフ状態になる。節点 N_4 は、容量 C_2 によってローレベルに保持されるため、トランジスタ T_4 はオフ状態を維持する。これにより、引き続き、出力端子 OUT_m からは $HCOM$ がそのままの電圧レベルで出力される。このようにして、第2フレームでは、安定してハイレベルの出力信号 $HCOM$ を $(n-1)$ 行目のコモンライン $CML(n-1)$ に供給することができる。

[0072] n 段目の単位回路 21 には、シフトレジスタ 10 の $(n-1)$ 段目の単位

回路 1 1 の出力信号 S R O U T (n - 1) (ハイレベル) が入力される。以降の動作は、上記 (n - 2) 段目の単位回路 2 1 の動作と同一である。以上のように、各段の単位回路 2 1 が動作する。なお、第 3 フレーム以降は、上記第 1 及び第 2 フレームの動作を繰り返す。

[0073] なお、単位回路 2 1 において、トランジスタ T 2、T 3 は、節点 N 1 の充電速度が節点 N 2 の充電速度よりも早くなるように形成されている。例えば、トランジスタ T 3 のチャンネルサイズ (W 長、L 長を含む面積) が、トランジスタ T 2 のチャンネルサイズ (W 長、L 長を含む面積) よりも大きくなるように形成されている。これにより、容量 C 1 による上記ブートストラップ動作を確実に行うことができる。

[0074] 次に、本実施の形態 1 に係る共通電極駆動回路の他の形態について説明する。なお、以下の説明では、主に、実施例 1 に係る共通電極駆動回路 2 0 0 との相違点について説明するものとし、実施例 1 で説明した各構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0075] (実施例 2)

図 6 は、実施例 2 に係る共通電極駆動回路 2 0 0 に含まれる単位回路 2 2 の回路図である。図 6 に示すように、単位回路 2 2 は同一導電型のトランジスタで構成され、5 個の N チャンネル型トランジスタ T 1 ~ T 5 と、1 個の容量 C 1 とを含んでいる。

[0076] トランジスタ T 1 ~ T 3 の接続関係は、図 4 に示す実施例 1 の構成と同一である。トランジスタ T 5 のゲート端子は、入力端子 I N m 及びトランジスタ T 1 のドレイン端子に接続され、トランジスタ T 5 のドレイン端子は極性端子 C M I B に接続される。トランジスタ T 1、T 5 の接続点を節点 N 3 という。トランジスタ T 4 のゲート端子はトランジスタ T 5 のソース端子に接続され、トランジスタ T 4 のドレイン端子は出力端子 O U T m に接続され、トランジスタ T 4 のソース端子には電源電圧 L C O M が与えられる。トランジスタ T 4、T 5 の接続点を節点 N 4 という。

[0077] 上記構成の単位回路 2 2 を含む共通電極駆動回路 2 0 0 は、実施例 1 の共

通電極駆動回路200と同様、1フレームごとにハイレベル及びローレベルが切り替わる出力信号CMOUT1~CMOUTnを1つずつ順に出力する動作を行う。実施例2の構成によれば、トランジスタT6、容量C2を省略することができるため、回路構成を簡略化することができる。

[0078] (動作について)

実施例2に係る共通電極駆動回路200の動作について説明する。ここでは、(n-2)段目の単位回路22を例に挙げる。

[0079] まず、第1フレームの動作について説明する。なお、HCOM側(トランジスタT1、T2、T3)の動作は、実施例1に係る共通電極駆動回路200の動作と同一であるため、説明を省略する。

[0080] (n-2)段目の単位回路22の入力端子INmに、入力信号INmとしてハイレベルの出力信号SROUT(n-3)が入力されると、トランジスタT5がオン状態になる。極性信号CMIBはローレベルであるため、節点N4の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT4はオフ状態になる。

[0081] 続いて、シフトレジスタ10の出力信号SROUT(n-3)がハイレベルからローレベルになると、節点N3の電位はローレベルになり、トランジスタT5はオフ状態になる。節点N4は、ローレベルのままフローティング状態になり、トランジスタT4はオフ状態を維持する。これにより、出力端子OUTmからはHCOMがそのままの電圧レベルで出力される。このようにして、第1フレームでは、安定してハイレベルの出力信号HCOMを(n-2)行目のコモンラインCML(n-2)に供給することができる。

[0082] 次に、第2フレームの動作について説明する。なお、HCOM側(トランジスタT1、T2、T3)の動作は、実施例1に係る共通電極駆動回路200の動作と同一であるため、説明を省略する。

[0083] (n-2)段目の単位回路22の入力端子INmに、入力信号INmとしてハイレベルの出力信号SROUT(n-3)が入力されると、トランジスタT5がオン状態になる。極性信号CMIBはハイレベルであるため、節点

N4の電位は、 $V_{DD} - V_{th}$ （ただし、 V_{th} はトランジスタT4の閾値電圧）になる。ここで、節点N4の電位が、 $L_{COM} + V_{th}$ （ただし、 V_{th} はトランジスタT4の閾値電圧）以上である場合、トランジスタT4がオン状態になり、出力端子OUT_mからはL_{COM}が出力される。そして、出力信号L_{COM}は、(n-2)行目のコモンラインCML(n-2)に供給される。

[0084] 続いて、シフトレジスタ10の出力信号SROUT(n-3)がハイレベルからローレベルになると、節点N3の電位はローレベルになり、トランジスタT5はオフ状態になる。節点N4は、ハイレベルのままフローティング状態になり、トランジスタT4はオン状態を維持する。これにより、出力端子OUT_mからはL_{COM}が出力される。このようにして、第2フレームでは、安定してローレベルの出力信号L_{COM}を(n-2)行目のコモンラインCML(n-2)に供給することができる。

[0085] (実施例3)

図7は、実施例3に係る共通電極駆動回路200に含まれる単位回路23の回路図である。図7に示すように、単位回路23は同一導電型のトランジスタで構成され、8個のNチャネル型トランジスタT1a、T1b、T2~T5、T6a、T6bと、2個の容量C1、C2とを含んでいる。トランジスタT1a、T1b、T6a、T6bは、走査方向切替回路として機能する。

[0086] トランジスタT2~T5の接続関係は、図4に示す実施例1の単位回路21の構成と同一である。トランジスタT1aのゲート端子には切替信号UDが与えられ、ドレイン端子は入力端子IN1aに接続され、ソース端子はトランジスタT2のゲート端子に接続される。トランジスタT1bのゲート端子には切替信号UDB(UDの否定)が与えられ、ドレイン端子は入力端子IN1bに接続され、ソース端子はトランジスタT2のゲート端子に接続される。トランジスタT1a、T1b、T2の接続点を節点N1という。トランジスタT6aのゲート端子には切替信号UDが与えられ、ドレイン端子は

入力端子 $IN6a$ に接続され、ソース端子はトランジスタ $T5$ のゲート端子に接続される。トランジスタ $T6b$ のゲート端子には切替信号 UDB (UD の否定) が与えられ、ドレイン端子は入力端子 $IN6b$ に接続され、ソース端子はトランジスタ $T5$ のゲート端子に接続される。トランジスタ $T6a$ 、 $T6b$ 、 $T5$ の接続点を節点 $N3$ という。

[0087] 上記単位回路 23 において、入力端子 $IN1a$ には、前段のシフトレジスタ $SR(n-1)$ の出力信号 $SROUT(n-1)$ が入力され、入力端子 $IN1b$ には、後段のシフトレジスタ $SR(n+1)$ の出力信号 $SROUT(n+1)$ が入力される。切替信号 UD 、 UDB は、互いに極性が逆転した信号であり、切替信号 UD がハイレベルのときは、トランジスタ $T1a$ がオン状態になって出力信号 $SROUT(n-1)$ が取り込まれ、切替信号 UDB がハイレベルのときは、トランジスタ $T1b$ がオン状態になって出力信号 $SROUT(n+1)$ が取り込まれる。同様に、切替信号 UD がハイレベルのときは、トランジスタ $T6a$ がオン状態になって出力信号 $SROUT(n-1)$ が取り込まれ、切替信号 UDB がハイレベルのときは、トランジスタ $T6b$ がオン状態になって出力信号 $SROUT(n+1)$ が取り込まれる。

[0088] これにより、共通電極駆動回路 200 を、シフト方向 (走査方向) が切り替わる (1 段目から n 段目へ向かう第 1 方向、及び、 n 段目から 1 段目へ向かう第 2 方向とを相互に切り替える) 走査信号線駆動回路 100 に対応することができる。

[0089] なお、図 8 の単位回路 24 に示すように、図 7 の単位回路 23 において、容量 $C2$ を省略した構成としても良い。

[0090] (実施例 4)

図 9 は、実施例 4 に係る共通電極駆動回路 200 の構成を示すブロック図である。

[0091] 共通電極駆動回路 200 は、図 9 に示すように、 n 個 (n は 2 以上の整数) の単位回路 25 を多段接続して構成されている。単位回路 25 は、入力端子 INm 、 INg (入力部)、極性端子 $CM1$ 、 $CM1B$ 、及び出力端子 O

UT_mを有している。共通電極駆動回路200には、シフトレジスタ10の出力信号OUT_s、極性信号CMI、CMIB、クロック信号GCK1（またはGCK2）が供給される。単位回路25の出力信号OUT_mは、出力信号CMOUT₁~CMOUT_nとしてコモンラインCML₁~CML_nに順に出力される。クロック信号GCK1、GCK2は、互いに位相が逆転したデューティ比50%のクロック信号である。

[0092] 図10は、実施例4に係る共通電極駆動回路200に含まれる単位回路25の回路図である。図10に示すように、単位回路25は同一導電型のトランジスタで構成され、16個のNチャネル型トランジスタT1~T6、T11~T20と、4個の容量C1~C4とを含んでいる。トランジスタT11、T12、T13、T19及び容量C4は第1アクティブ信号保持回路（第1保持回路）として機能し、トランジスタT14、T15、T16、T17及び容量C3は第2アクティブ信号保持回路（第2保持回路）として機能し、トランジスタT20は第1安定化回路として機能し、トランジスタT18は第2安定化回路として機能する。

[0093] トランジスタT1~T6、容量C1、C2の接続関係は、実施例1（図4参照）の単位回路21と同一であり、また、これらに入力される各入力信号、すなわち、シフトレジスタ10の(n-1)段目の単位回路11（SR(n-1)）の出力信号SROUT(n-1)、極性信号CMI、CMIBも、単位回路21と同一である。本実施例4に係る共通電極駆動回路200では、より安定した電位レベルのコモン信号を出力する構成を有している。以下では、単位回路11との相違点を中心に説明する。

[0094] 図10に示すように、トランジスタT11のゲート端子が節点N2に接続され、トランジスタT11のドレイン端子に電源電圧VDDが与えられる。トランジスタT12のゲート端子がトランジスタT11のソース端子に接続され、トランジスタT12のドレイン端子にVDDが与えられ、ソース端子が節点N2に接続される。トランジスタT13のゲート端子にVDDが与えられ、トランジスタT13のドレイン端子がトランジスタT11、T12の

接続点に接続される。トランジスタT19のドレイン端子がトランジスタT13のソース端子に接続され、トランジスタT19のソース端子にL COMが与えられる。トランジスタT20のゲート端子がトランジスタT19のゲート端子及び節点N4に接続され、トランジスタT20のドレイン端子が節点N2に接続され、ソース端子にL COMが与えられる。

[0095] トランジスタT14のゲート端子が節点N4に接続され、ドレイン端子にVDDが与えられる。トランジスタT15のゲート端子がトランジスタT14のソース端子に接続され、ドレイン端子にVDDが与えられ、ソース端子が節点N4に接続される。トランジスタT16のゲート端子にVDDが与えられ、ドレイン端子がトランジスタT14、T15の接続点に接続される。トランジスタT17のドレイン端子がトランジスタT16のソース端子に接続され、トランジスタT17のソース端子にL COMが与えられる。トランジスタT18のゲート端子が、トランジスタT17のゲート端子、トランジスタT11のゲート端子、及び節点N2に接続され、トランジスタT18のドレイン端子が節点N4に接続され、ソース端子にL COMが与えられる。

[0096] 入力端子INgは、容量C3を介して、トランジスタT14のソース端子、トランジスタT16のドレイン端子、及び、トランジスタT15のゲート端子に接続される。さらに、入力端子INgは、容量C4を介して、トランジスタT11のソース端子、トランジスタT13のドレイン端子、及び、トランジスタT12のゲート端子に接続される。

[0097] 上記構成の単位回路25の動作について、単位回路21との相違点を中心に説明する。

[0098] 節点N2の電位がVDDである場合、トランジスタT11がオン状態になる。このとき、容量C4による突き上げ（ブートストラップ効果）により、VDDよりも高い電位がトランジスタT12に与えられ、トランジスタT12がオン状態になることにより、最大電圧VDDを、節点N2を介してトランジスタT3のゲート端子に与えることができる。また、節点N2がVDDであるため、トランジスタT18がオン状態になり、節点N4がL COMに

固定される。よって、安定してハイレベルの出力信号HCOMをコモンラインCMLに供給することができる。

[0099] 一方、節点N4の電位がVDDである場合、トランジスタT14がオン状態になる。このとき、容量C3による突き上げ（ブートストラップ効果）により、VDDよりも高い電位がトランジスタT15に与えられ、トランジスタT15がオン状態になることにより、最大電圧VDDを、節点N4を介してトランジスタT4のゲート端子に与えることができる。また、節点N4がVDDであるため、トランジスタT20がオン状態になり、節点N2がLCOMに固定される。よって、安定してローレベルの出力信号LCOMをコモンラインCMLに供給することができる。

[0100] なお、図10において、トランジスタT17、T18、T4のソース端子に与えられる電源電圧を共通にLCOMとしているため、レイアウト面積を縮小することができる。しかし、本発明では、これに限定されるものではなく、別途の電源電圧VSSを設けても良い。

[0101] ここで、単位回路25に入力される入力信号GCK（GCK1、GCK2）の生成方法について説明する。図11は、GCK生成回路（GCKバッファ）12の回路図である。図11に示すように、GCK生成回路12は同一導電型のトランジスタで構成され、5個のNチャネル型トランジスタTr1～Tr5と、1個の容量C1とを含んでいる。

[0102] GCK生成回路12は、入力端子IN1、IN2、及び出力端子OUTgを有している。トランジスタTr1のゲート端子は入力端子IN1に接続され、ドレイン端子にVDDが与えられる。トランジスタTr2のゲート端子は入力端子IN2に接続され、ドレイン端子がトランジスタTr1のソース端子に接続され、トランジスタTr2のソース端子にVSSが与えられる。トランジスタTr1、Tr2の接続点を節点n1という。トランジスタTr3のゲート端子にVDDが与えられ、ドレイン端子が節点n1に接続される。トランジスタTr4のゲート端子がトランジスタTr3のソース端子に接続され、ドレイン端子にVDDが与えられ、ソース端子が出力端子OUTg

に接続される。トランジスタ $T r 3$ 、 $T r 4$ の接続点を $n 2$ という。トランジスタ $T r 4$ のゲート端子及びソース端子の間には容量 $C 1$ が設けられている。トランジスタ $T r 5$ のゲート端子が入力端子 $I N 2$ に接続され、ドレイン端子がトランジスタ $T r 4$ のソース端子及び出力端子 $O U T g$ に接続され、トランジスタ $T r 5$ のソース端子に $V S S$ が与えられる。

[0103] $G C K$ 生成回路 $1 2$ の動作について図 $1 2$ を用いて説明する。図 $1 2$ は、 $G C K$ 生成回路 $1 2$ の動作時のタイミングチャートである。 $I N 1$ 、 $I N 2$ は、それぞれクロック信号 $C K 1$ 、 $C K 2$ の電位を示している。

[0104] 期間 $t 1$ において、入力信号 $I N 1$ がハイレベル、 $I N 2$ がローレベルのとき、トランジスタ $T r 1$ がオン状態になり、節点 $n 1$ の電位は、 $V D D - V t h$ （ただし、 $V t h$ はトランジスタ $T r 1$ の閾値電圧）になる。トランジスタ $T r 3$ はオン状態であるため、節点 $n 2$ の電位は、 $V D D - V t h$ （ただし、 $V t h$ はトランジスタ $T r 1$ 、 $T r 3$ の閾値電圧）になる。節点 $n 2$ が $V D D - V t h$ に充電されるとトランジスタ $T r 3$ はオフ状態になり、節点 $n 2$ はフローティング状態になる。このとき、出力信号 $O U T g$ がローレベルからハイレベルに上がるため、節点 $n 2$ が容量 $C 1$ を介して、 $V D D$ 以上に突き上がる（ブートストラップ効果）ことで、トランジスタ $T r 4$ がオン状態になり、出力端子 $O U T g$ に閾値落ちしない電圧 $V D D$ が出力される。なお、トランジスタ $T r 3$ は、節点 $n 2$ が $V t h$ 以上に突き上がった際に耐圧を分散させる役割がある。

[0105] 期間 $t 2$ において、入力信号 $I N 1$ がローレベル、 $I N 2$ がハイレベルのとき、トランジスタ $T r 2$ がオン状態になり、節点 $n 1$ の電位はローレベルになる。同様に、節点 $n 2$ もローレベルになり、トランジスタ $T r 4$ はオフ状態になる。トランジスタ $T r 5$ がオン状態になるため、出力端子 $O U T g$ に $V S S$ の出力信号が出力される。

[0106] 上記 $G C K$ 生成回路 $1 2$ により生成されたクロック信号 $G C K$ （ $G C K 1$ 、 $G C K 2$ ）を単位回路 $2 5$ に供給する構成によれば、単位回路にクロック信号 $C K 1$ 、 $C K 2$ を直接供給する構成と比較して、クロックの負荷を低減

することができる。そのため、特に解像度が高い表示パネルにおいて、遅延等の影響を抑え、表示品位の低下を防ぐことができる。

[0107] なお、入力信号 I N 1、I N 2 の電位レベルの切り替わりタイミングは、同時でもよいが、ずらしておくことにより、トランジスタ T r 5 が完全にオフした後に節点 n 2 がハイレベルになるため、確実に突き上げ（ブートストラップ）動作を行うことができる。

[0108] また、G C K 生成回路 1 2 は、入力端子 I N 1 にクロック信号 C K 1 が入力され、入力端子 I N 2 にクロック信号 C K 2 が入力されたときは、奇数段目の単位回路 2 5（C M 1、C M 3、…）に G C K 1 を供給し、偶数段目の単位回路 2 5（C M 2、C M 4、…）に G C K 2 を供給する。また、入力端子 I N 1 にクロック信号 C K 2 が入力され、入力端子 I N 2 にクロック信号 C K 1 が入力されたときは、奇数段目の単位回路 2 5（C M 1、C M 3、…）に G C K 2 を供給し、偶数段目の単位回路 2 5（C M 2、C M 4、…）に G C K 1 を供給する。

[0109] 図 1 3 は、G C K 生成回路 1 2 の他の構成を示す回路図である。図 1 3 の G C K 生成回路 1 3 では、図 1 2 の G C K 生成回路 1 2 に、トランジスタ T r 6、T r 7 が追加されている。トランジスタ T r 6 のゲート端子にイニシャル信号 I N T（初期化信号）が与えられ、ドレイン端子が節点 N 2 に接続され、ソース端子に V S S が与えられる。トランジスタ T r 7 のゲート端子にイニシャル信号 I N T が与えられ、ドレイン端子が出力端子 O U T g に接続され、ソース端子に V S S が与えられる。これにより、イニシャル信号 I N T がハイレベルのとき、トランジスタ T r 6、T r 7 をオン状態して、節点 N 2 を V S S に固定するとともに、出力端子 O U T g に確実に V S S を出力することができる。

[0110] [実施の形態 2]

本発明に係る実施の形態 2 について、以下に説明する。なお、以下の説明では、主に、実施の形態 1 に係る液晶表示装置 1 との相違点について説明するものとし、実施の形態 1 で説明した各構成要素と同一の機能を有する構成

要素には同一の番号を付し、その説明を省略する。

- [0111] 図14は、実施の形態2に係る保持容量配線駆動回路500の構成を示すブロック図である。なお、図14には、走査信号線駆動回路100の構成も示している。また、図15は、本実施の形態2に係る液晶表示装置2の概略構成を示すブロック図であり、図16は、液晶表示装置2の画素Pの電氣的構成を示す等価回路図である。
- [0112] まず、図15及び図16を用いて液晶表示装置2の概略構成について説明する。液晶表示装置2は、走査信号線駆動回路100、データ信号線駆動回路300、表示パネル400、及び保持容量配線駆動回路500を備えている。また、液晶表示装置2には、各駆動回路を制御する制御回路（図示せず）が含まれる。
- [0113] 表示パネル400は、アクティブマトリクス基板上に、走査信号線41、データ信号線43、TFT44、保持容量配線46、及び画素電極45を備え、対向基板上に共通電極comを備えている。
- [0114] 保持容量配線46は、行方向（横方向）に互いに平行となるように各行に1本ずつ形成されており、走査信号線41と対をなすように配置されている。この保持容量配線46は、それぞれ各行に配置された画素電極45と容量結合されており、各画素電極45との間で保持容量（「補助容量」ともいう。）Ccsを形成している。
- [0115] 上記構成の表示パネル400は、走査信号線駆動回路100、データ信号線駆動回路300、保持容量配線駆動回路500、及びこれらを制御する制御回路によって駆動される。
- [0116] 本実施の形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。
- [0117] そのため、走査信号線駆動回路100は、TFT44をオンするためのゲート信号を各行の水平走査期間に同期して当該行の走査信号線41に対して順次出力する。

- [0118] 保持容量配線駆動回路500は、走査信号線駆動回路100を構成するシフトレジスタ10の出力信号(SROUT)に基づいて、各保持容量配線46にハイレベルのCS信号(HCS)またはローレベルのCS信号(LCS)を供給する。
- [0119] データ信号線駆動回路300は、各データ信号線43に対してソース信号を出力する。このソース信号は、液晶表示装置2の外部から制御回路を介してデータ信号線駆動回路300に供給された映像信号を、データ信号線駆動回路300において各列に割り当て、昇圧等を施した信号である。
- [0120] 制御回路は、上述した走査信号線駆動回路100、データ信号線駆動回路300、及び保持容量配線駆動回路500を制御することにより、これら各回路から、ゲート信号、ソース信号、及びCS信号を出力させる。
- [0121] 本実施の形態に係る液晶表示装置2では、保持容量配線駆動回路500の出力信号(CS信号)の電位レベルの低下を防いで安定した動作を行う構成を有している。走査信号線駆動回路100は、実施の形態1と同一であるため、以下では、保持容量配線駆動回路500の具体的な構成について説明する。
- [0122] 保持容量配線駆動回路500は、図14に示すように、 n 個(n は2以上の整数)のCS単位回路51を多段接続して構成されている。CS単位回路51は、入力端子 IN_c 、極性端子 CM_I 、 CM_{IB} 、及び出力端子 OUT_c を有している。保持容量配線駆動回路500には、シフトレジスタ10の出力信号 OUT_s 、及び、極性信号 CM_I 、 CM_{IB} が供給される。CS単位回路51の出力信号 OUT_c は、出力信号 $CSOUT_1 \sim CSOUT_n$ として保持容量配線 $CSL_1 \sim CSL_n$ に順に出力される。
- [0123] 具体的には、保持容量配線駆動回路500の($n-1$)段目のCS単位回路51(CS($n-1$))には、シフトレジスタ10の n 段目の単位回路11(SR $_n$)の出力信号 $SROUT_n$ が供給され、当該($n-1$)段目のCS単位回路51(CS($n-1$))は、出力信号 $CSOUT(n-1)$ を保持容量配線 $CSL(n-1)$ に出力する。また、 n 段目のCS単位回路51

(CS_n)には、シフトレジスタ10の(n+1)段目の単位回路11(SR(n+1))の出力信号SROUT(n+1)が供給され、当該n段目のCS単位回路51(CS_n)は、出力信号CSOUT_nを保持容量配線CSL_nに出力する。このように、保持容量配線駆動回路500は、各CS単位回路51に、後段のシフトレジスタ10の単位回路11の出力信号が入力されることにより、シフトレジスタ10のシフト動作に伴って、出力信号CSOUT₁~CSMOUT_nを、保持容量配線CSL₁~CSL_nに順に出力する。

[0124] (実施例1)

図17は、本実施の形態2の実施例1に係る保持容量配線駆動回路500に含まれるCS単位回路51の回路図である。図17に示すように、CS単位回路51は同一導電型のトランジスタで構成され、6個のNチャネル型トランジスタT1~T6と、2個の容量C1、C2とを含んでいる。トランジスタT1は第1入力制御トランジスタ、トランジスタT2は第1ラッチ制御トランジスタ、トランジスタT3は第1出力制御トランジスタ、トランジスタT4は第2出力制御トランジスタ、トランジスタT5は第2ラッチ制御トランジスタ、トランジスタT6は第2入力制御トランジスタとして機能する。以下、ゲート端子(制御端子)に与えたときにトランジスタをオン状態にする電圧(信号のレベル)をオン電圧(オンレベル)といい、ゲート端子に与えたときにトランジスタをオフ状態にする電圧(信号のレベル)をオフ電圧(オフレベル)という。Nチャネル型トランジスタでは、ハイ電圧がオン電圧(ハイレベルがオンレベル)、ロー電圧がオフ電圧(ローレベルがオフレベル)になり、Pチャネル型トランジスタではその逆になる。

[0125] トランジスタT1のゲート端子(制御端子)には電源電圧VDDが与えられ、トランジスタT1のドレイン端子(一方の導通端子)は入力端子IN_cに接続される。トランジスタT2のゲート端子はトランジスタT1のソース端子(他方の導通端子)に接続され、トランジスタT2のドレイン端子は極性端子CM₁に接続される。トランジスタT1、T2の接続点を節点N1と

いう。トランジスタT3のゲート端子はトランジスタT2のソース端子に接続され、トランジスタT3のドレイン端子にはハイレベルの電源電圧VCS（第1電源電圧）が与えられ、トランジスタT3のソース端子は出力端子OUTcに接続される。トランジスタT2、T3の接続点を節点N2という。

[0126] トランジスタT6のゲート端子には電源電圧VDDが与えられ、トランジスタT6のドレイン端子は入力端子INcに接続される。トランジスタT5のゲート端子はトランジスタT6のソース端子に接続され、トランジスタT5のドレイン端子は極性端子CMIBに接続される。トランジスタT5、T6の接続点を節点N3という。トランジスタT4のゲート端子は、トランジスタT5のソース端子に接続され、トランジスタT4のドレイン端子は出力端子OUTcに接続され、トランジスタT4のソース端子にはローレベルの電源電圧VSS（第2電源電圧）が与えられる。トランジスタT4、T5の接続点を節点N4という。

[0127] 容量C1、C2は容量素子で構成される。容量C1はトランジスタT2のゲート端子とソース端子との間に設けられ、容量C2はトランジスタT5のゲート端子とソース端子との間に設けられる。容量C1、C2はブートストラップ容量として機能する。なお、容量C1、C2は、容量素子ではなく、配線容量やトランジスタの寄生容量を用いて構成してもよい。これにより、容量素子を設けない分だけ回路構成を簡素化することができる。

[0128] 上記構成のCS単位回路51を含む保持容量配線駆動回路500は、1フレームごとにハイレベル及びローレベルが切り替わる出力信号CSOUT1～CSOUTnを1つずつ順に出力する動作を行う。以下、クロック信号CK1、CK2を含め、保持容量配線駆動回路500の内部の信号と入出力信号の電位は、特に断わらない限り、ハイレベルのときにはVDD、ローレベルのときにはVSSであるとする。

[0129] （動作について）

保持容量配線駆動回路500の動作について図18を用いて説明する。図18は、保持容量配線駆動回路500の動作時のタイミングチャートである

。図18では、 $(n-2)$ 段目のCS単位回路51、 $(n-1)$ 段目のCS単位回路51、 n 段目のCS単位回路51における入出力信号を示している。SR $(n-1)$ 、SR n 、SR $(n+1)$ は、それぞれ、シフトレジスタ10の $(n-1)$ 段目の単位回路11、 n 段目の単位回路11、 $(n+1)$ 段目の単位回路11の出力信号SROUT $(n-1)$ 、SROUT n 、SROUT $(n+1)$ の電位を示している。CMI、CMIBは極性信号を示し、N1~N4はそれぞれ、節点N1~N4の電位を示している。CS $(n-2)$ 、CS $(n-1)$ 、CS n は、それぞれ、保持容量配線駆動回路500の $(n-2)$ 段目のCS単位回路51、 $(n-1)$ 段目のCS単位回路51、 n 段目のCS単位回路51の出力信号CSOUT $(n-2)$ 、CSOUT $(n-1)$ 、CSOUT n を示している。CMI、CMIBは、互いに極性が逆転し、1水平走査期間ごとに極性が反転する信号である。出力信号SROUT $(n-1)$ が出力されてから次の出力信号SROUT $(n-1)$ が出力されるまでの期間が1垂直走査期間(1フレーム)に相当する。

[0130] まず、 $(n-2)$ 段目のCS単位回路51における第1フレームの動作について説明する。

[0131] 初めに、 $(n-2)$ 段目のCS単位回路51の入力端子INcに、シフトレジスタ10の $(n-1)$ 段目の単位回路11の出力信号SROUT $(n-1)$ (ハイレベル)が入力される。トランジスタT1は、VDDが与えられているためオン状態になり、節点N1の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT1の閾値電圧)になる。これにより、トランジスタT2がオン状態になり、極性信号CMIがハイレベルであるため、節点N2の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT2の閾値電圧)になる。すなわち、節点N2の電位は、ローレベルからハイレベルに変化する。

[0132] ここで、節点N1の電位が $VDD - V_{th}$ に充電されるとトランジスタT1はオフ状態になり、節点N1はフローティング状態になる。節点N1とトランジスタT2のソース端子とは、電位差 $VDD - V_{th}$ を保持した容量C

1を介して接続されているため、トランジスタT2のソース端子（節点N2）の電位がローレベルからハイレベルに変化すると、節点N1の電位は同じ量だけ変化して電源電圧VDDよりも高くなる（ブートストラップ効果）。

[0133] 節点N1の電位がVDDよりも高くなると、最大電圧がVDDである極性信号CMIは、トランジスタT2を電圧降下なく通過し、節点N2の電位がVDDになる。これにより、トランジスタT3がオン状態になる。

[0134] 一方、入力信号INcとしてハイレベルの出力信号SROUT(n-1)が入力されると、トランジスタT6は、VDDが与えられているためオン状態になり、節点N3の電位は、 $VDD - V_{th}$ （ただし、 V_{th} はトランジスタT6の閾値電圧）になる。これにより、トランジスタT5がオン状態になり、極性信号CMI Bがローレベルであるため、節点N4の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT4はオフ状態になる。なお、節点N3は、容量C2によって突き下げられ $VDD - V_{th}$ よりも低い電位になる。トランジスタT6がオン状態であるため節点N3の電位が $VDD - V_{th}$ まで充電され、その後トランジスタT6はオフ状態になる。

[0135] ここで、電源電圧VCSが、 $VDD - VCS > V_{th}$ （ただし、 V_{th} はトランジスタT3の閾値電圧）の関係を満たす場合、トランジスタT3がオン状態になると、出力端子OUTcからはVCSがそのままの電圧レベルで出力される。これにより、出力信号VCSが、(n-2)行目の保持容量配線CSL(n-2)に供給される。

[0136] 続いて、シフトレジスタ10の出力信号SROUT(n-1)がハイレベルからローレベルになると、節点N1の電位はハイレベルからローレベルに変化し、トランジスタT2がオフ状態になり、節点N2はフローティング状態になる。節点N2の電位は、容量C1によってVDDに保持されるため、トランジスタT3はオン状態を維持する。一方、出力信号SROUT(n-1)がハイレベルからローレベルになると、節点N3の電位はローレベルになり、トランジスタT5はオフ状態になる。節点N4は、容量C2によって

ローレベルに保持されるため、トランジスタT4はオフ状態を維持する。これにより、引き続き、出力端子OUTcからはVCSがそのままの電圧レベルで出力される。このようにして、第1フレームでは、安定してハイレベルの出力信号VCSを(n-2)行目の保持容量配線CSL(n-2)に供給することができる。

[0137] 次に、(n-2)段目のCS単位回路51における第2フレームの動作について説明する。

[0138] 初めに、(n-2)段目のCS単位回路51の入力端子INcに、シフトレジスタ10の(n-1)段目の単位回路11の出力信号SROUT(n-1)(ハイレベル)が入力される。トランジスタT1はVDDが与えられているためオン状態になり、節点N1の電位が、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT1の閾値電圧)になる。これにより、トランジスタT2がオン状態になり、極性信号CMIがローレベルであるため、節点N2の電位は、ローレベルになる。すなわち、節点N2の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT3はオフ状態になる。なお、節点N1は、容量C1によって突き下げられ $VDD - V_{th}$ よりも低い電位になる。これにより、トランジスタT1がオン状態になって節点N1の電位が $VDD - V_{th}$ まで充電され、その後トランジスタT1はオフ状態になる。

[0139] 一方、入力信号INcとしてハイレベルの出力信号SROUT(n-1)が入力されると、トランジスタT6は、VDDが与えられているためオン状態になり、節点N3の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT6の閾値電圧)になる。これにより、トランジスタT5がオン状態になり、極性信号CMI Bがハイレベルであるため、節点N4の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT5の閾値電圧)になる。すなわち、節点N4の電位は、ローレベルからハイレベルに変化する。

[0140] ここで、節点N3の電位が $VDD - V_{th}$ に充電されるとトランジスタT6はオフ状態になり、節点N3はフローティング状態になる。節点N3とト

ランジスタT5のソース端子とは、電位差 $V_{DD} - V_{th}$ を保持した容量C2を介して接続されているため、トランジスタT5のソース端子（節点N4）の電位がローレベルからハイレベルに変化すると、節点N3の電位は同じ量だけ変化して電源電圧 V_{DD} よりも高くなる（ブートストラップ効果）。

[0141] 節点N3の電位が V_{DD} よりも高くなると、最大電圧が V_{DD} である極性信号CMIBは、トランジスタT5を電圧降下なく通過し、節点N4の電位が V_{DD} になる。これにより、トランジスタT4がオン状態になり、出力端子OUTcからはVSSが出力され、出力信号VSSが、(n-2)行目の保持容量配線CSL(n-2)に供給される。

[0142] 続いて、シフトレジスタ10の出力信号SROUT(n-1)がハイレベルからローレベルになると、節点N1の電位はローレベルになり、トランジスタT2はオフ状態になる。節点N2は、容量C1によってローレベルに保持されるため、トランジスタT3はオフ状態を維持する。一方、出力信号SROUT(n-1)がハイレベルからローレベルになると、節点N3の電位はハイレベルからローレベルに変化し、トランジスタT5がオフ状態になり、節点N4はフローティング状態になる。節点N4の電位は、容量C2によって V_{DD} に保持されるため、トランジスタT4はオン状態を維持する。これにより、引き続き、出力端子OUTcからはVSSがそのままの電圧レベルで出力される。このようにして、第2フレームでは、安定してローレベルの出力信号VSSを(n-2)行目の保持容量配線CSL(n-2)に供給することができる。

[0143] 次に、(n-1)段目のCS単位回路51における第1フレームの動作について説明する。

[0144] 初めに、(n-1)段目のCS単位回路51の入力端子INcに、シフトレジスタ10のn段目の単位回路11の出力信号SROUTn（ハイレベル）が入力される。トランジスタT1は V_{DD} が与えられているためオン状態になり、節点N1の電位が、 $V_{DD} - V_{th}$ （ただし、 V_{th} はトランジスタT1の閾値電圧）になる。これにより、トランジスタT2がオン状態にな

り、極性信号CMIがローレベルであるため、節点N2の電位は、ローレベルになる。すなわち、節点N2の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT3はオフ状態になる。なお、節点N1は、容量C1によって突き下げられ $V_{DD} - V_{th}$ よりも低い電位になる。これにより、トランジスタT1がオン状態になって節点N1の電位が $V_{DD} - V_{th}$ まで充電され、その後トランジスタT1はオフ状態になる。

[0145] 一方、入力信号INcとしてハイレベルの出力信号SROUTnが入力されると、トランジスタT6は、 V_{DD} が与えられているためオン状態になり、節点N3の電位は、 $V_{DD} - V_{th}$ （ただし、 V_{th} はトランジスタT6の閾値電圧）になる。これにより、トランジスタT5がオン状態になり、極性信号CMI Bがハイレベルであるため、節点N4の電位は、 $V_{DD} - V_{th}$ （ただし、 V_{th} はトランジスタT5の閾値電圧）になる。すなわち、節点N4の電位は、ローレベルからハイレベルに変化する。

[0146] ここで、節点N3の電位が $V_{DD} - V_{th}$ に充電されるとトランジスタT6はオフ状態になり、節点N3はフローティング状態になる。節点N3とトランジスタT5のソース端子とは、電位差 $V_{DD} - V_{th}$ を保持した容量C2を介して接続されているため、トランジスタT5のソース端子（節点N4）の電位がローレベルからハイレベルに変化すると、節点N3の電位は同じ量だけ変化して電源電圧 V_{DD} よりも高くなる（ブートストラップ効果）。

[0147] 節点N3の電位が V_{DD} よりも高くなると、最大電圧が V_{DD} である極性信号CMI Bは、トランジスタT5を電圧降下なく通過し、節点N4の電位が V_{DD} になる。これにより、トランジスタT4がオン状態になり、出力端子OUTcからはVSSが出力され、出力信号VSSが、 $(n-1)$ 行目の保持容量配線CSL $(n-1)$ に供給される。

[0148] 続いて、シフトレジスタ10の出力信号SROUTnがハイレベルからローレベルになると、節点N1の電位はローレベルになり、トランジスタT2はオフ状態になる。節点N2は、容量C1によってローレベルに保持されるため、トランジスタT3はオフ状態を維持する。一方、出力信号SROUT

n がハイレベルからローレベルになると、節点N3の電位はハイレベルからローレベルに変化し、トランジスタT5がオフ状態になり、節点N4はフローティング状態になる。節点N4の電位は、容量C2によってVDDに保持されるため、トランジスタT4はオン状態を維持する。これにより、引き続き、出力端子OUTcからはVSSがそのままの電圧レベルで出力される。このようにして、第1フレームでは、安定してローレベルの出力信号VSSを($n-1$)行目の保持容量配線CSL($n-1$)に供給することができる。

[0149] 次に、($n-1$)段目のCS単位回路51における第2フレームの動作について説明する。

[0150] 初めに、($n-1$)段目のCS単位回路51の入力端子INcに、シフトレジスタ10の n 段目の単位回路11の出力信号SROUTn(ハイレベル)が入力される。トランジスタT1は、VDDが与えられているためオン状態になり、節点N1の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT1の閾値電圧)になる。これにより、トランジスタT2がオン状態になり、極性信号CMIがハイレベルであるため、節点N2の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT2の閾値電圧)になる。すなわち、節点N2の電位は、ローレベルからハイレベルに変化する。

[0151] ここで、節点N1の電位が $VDD - V_{th}$ に充電されるとトランジスタT1はオフ状態になり、節点N1はフローティング状態になる。節点N1とトランジスタT2のソース端子とは、電位差 $VDD - V_{th}$ を保持した容量C1を介して接続されているため、トランジスタT2のソース端子(節点N2)の電位がローレベルからハイレベルに変化すると、節点N1の電位は同じ量だけ変化して電源電圧VDDよりも高くなる(ブートストラップ効果)。

[0152] 節点N1の電位がVDDよりも高くなると、最大電圧がVDDである極性信号CMIは、トランジスタT2を電圧降下なく通過し、節点N2の電位がVDDになる。これにより、トランジスタT3がオン状態になる。

[0153] 一方、入力信号INcとしてハイレベルの出力信号SROUTnが入力さ

れると、トランジスタT6は、VDDが与えられているためオン状態になり、節点N3の電位は、 $VDD - V_{th}$ （ただし、 V_{th} はトランジスタT6の閾値電圧）になる。これにより、トランジスタT5がオン状態になり、極性信号CMI Bがローレベルであるため、節点N4の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタT4はオフ状態になる。なお、節点N3は、容量C2によって突き下げられ $VDD - V_{th}$ よりも低い電位になる。トランジスタT6がオン状態であるため節点N3の電位が $VDD - V_{th}$ まで充電され、その後トランジスタT6はオフ状態になる。

[0154] ここで、電源電圧VCSが、 $VDD - VCS > V_{th}$ （ただし、 V_{th} はトランジスタT3の閾値電圧）の関係を満たす場合、トランジスタT3がオン状態になると、出力端子OUTcからはハイレベルのVCSがそのままの電圧レベルで出力される。これにより、出力信号VCSが、 $(n-1)$ 行目の保持容量配線CSL $(n-1)$ に供給される。

[0155] 続いて、シフトレジスタ10の出力信号SROUTnがハイレベルからローレベルになると、節点N1の電位はハイレベルからローレベルに変化し、トランジスタT2がオフ状態になり、節点N2はフローティング状態になる。節点N2の電位は、容量C1によってVDDに保持されるため、トランジスタT3はオン状態を維持する。一方、出力信号SROUTnがハイレベルからローレベルになると、節点N3の電位はローレベルになり、トランジスタT5はオフ状態になる。節点N4は、容量C2によってローレベルに保持されるため、トランジスタT4はオフ状態を維持する。これにより、引き続き、出力端子OUTcからはVCSがそのままの電圧レベルで出力される。このようにして、第2フレームでは、安定してハイレベルの出力信号VCSを $(n-1)$ 行目の保持容量配線CSL $(n-1)$ に供給することができる。

[0156] n段目のCS単位回路51には、シフトレジスタ10の $(n+1)$ 段目の単位回路11の出力信号SROUT $(n+1)$ （ハイレベル）が入力される。以降の動作は、上記 $(n-2)$ 段目のCS単位回路51の動作と同一であ

る。以上のようにして、各段のCS単位回路51が動作する。なお、第3フレーム以降は、上記第1及び第2フレームの動作を繰り返す。

[0157] 次に、本実施の形態2に係る保持容量配線駆動回路500の他の形態について説明する。なお、以下の説明では、主に、実施例1に係る保持容量配線駆動回路500との相違点について説明するものとし、実施例1で説明した各構成要素と同一の機能を有する構成要素には同一の番号を付し、その説明を省略する。

[0158] (実施例2)

図19は、実施の形態2の実施例2に係る保持容量配線駆動回路500の構成を示すブロック図である。

[0159] 保持容量配線駆動回路500は、図19に示すように、 n 個 (n は2以上の整数)のCS単位回路52を多段接続して構成されている。CS単位回路52は、入力端子 $INc1$ 、 $INc2$ 、極性端子 $CM1$ 、 $CM1B$ 、及び出力端子 $OUTc$ を有している。保持容量配線駆動回路500には、シフトレジスタ10の出力信号 $OUTs$ 、及び、極性信号 $CM1$ 、 $CM1B$ が供給される。CS単位回路52の出力信号 $OUTc$ は、出力信号 $CSOUT1 \sim CSOUTn$ として保持容量配線 $CSL1 \sim CSLn$ に順に出力される。

[0160] 具体的には、保持容量配線駆動回路500の($n-1$)段目のCS単位回路52 ($CS(n-1)$)には、シフトレジスタ10の($n-1$)段目の単位回路11 ($SR(n-1)$)の出力信号 $SROUT(n-1)$ 、及び、 n 段目の単位回路11 (SRn)の出力信号 $SROUTn$ が供給され、当該($n-1$)段目のCS単位回路52 ($CS(n-1)$)は、出力信号 $CSOUT(n-1)$ を保持容量配線 $CSL(n-1)$ に出力する。また、 n 段目のCS単位回路52 (CSn)には、シフトレジスタ10の n 段目の単位回路11 (SRn)の出力信号 $SROUTn$ 、及び、($n+1$)段目の単位回路11 ($SR(n+1)$)の出力信号 $SROUT(n+1)$ が供給され、当該 n 段目のCS単位回路52 (CSn)は、出力信号 $CSOUTn$ を保持容量配線 $CSLn$ に出力する。このように、保持容量配線駆動回路500は、各

CS単位回路52に、自段のシフトレジスタ10の単位回路11の出力信号、及び、後段のシフトレジスタ10の単位回路11の出力信号が入力されることにより、シフトレジスタ10のシフト動作に伴って、出力信号CSOUT1～CSMOUTnを、保持容量配線CSL1～CSLnに順に出力する。

[0161] 図20は、本実施の形態2の実施例2に係る保持容量配線駆動回路500に含まれるCS単位回路52の回路図である。図20に示すように、CS単位回路52は同一導電型のトランジスタで構成され、10個のNチャンネル型トランジスタT1、T2a、T2b、T3、T4、T5a、T5b、T6、T7、T8と、4個の容量C1、C2、C3、C4とを含んでいる。

[0162] トランジスタT1のゲート端子（制御端子）には電源電圧VDDが与えられ、トランジスタT1のドレイン端子（一方の導通端子）は入力端子INc1に接続される。トランジスタT2aのゲート端子はトランジスタT1のソース端子（他方の導通端子）に接続され、トランジスタT2aのドレイン端子は極性端子CM1に接続される。トランジスタT1、T2aの接続点を節点N1という。トランジスタT2bのドレイン端子は極性端子CM1に接続される。トランジスタT3のゲート端子はトランジスタT2a、T2bのソース端子に接続され、トランジスタT3のドレイン端子にはハイレベルの電源電圧VCS（第1電源電圧）が与えられ、トランジスタT3のソース端子は出力端子OUTcに接続される。トランジスタT2a、T2b、T3の接続点を節点N2という。

[0163] トランジスタT6のゲート端子には電源電圧VDDが与えられ、トランジスタT6のドレイン端子は入力端子INc2に接続され、ソース端子はトランジスタT2bのゲート端子に接続される。トランジスタT6、T2bの接続点を節点N5という。

[0164] トランジスタT7のゲート端子には電源電圧VDDが与えられ、トランジスタT7のドレイン端子は入力端子INc1に接続される。トランジスタT5aのゲート端子はトランジスタT7のソース端子に接続され、トランジスタ

タ T 5 a のドレイン端子は極性端子 C M I B に接続される。トランジスタ T 7、T 5 a の接続点を節点 N 3 という。

- [0165] トランジスタ T 8 のゲート端子にはハイレベルの電源電圧 V D D が与えられ、トランジスタ T 8 のドレイン端子は入力端子 I N c 2 に接続される。トランジスタ T 5 b のゲート端子はトランジスタ T 8 のソース端子に接続され、トランジスタ T 5 b のドレイン端子は極性端子 C M I B に接続される。トランジスタ T 8、T 5 b の接続点を節点 N 6 という。トランジスタ T 4 のゲート端子はトランジスタ T 5 a、T 5 b のソース端子に接続され、トランジスタ T 4 のドレイン端子は、トランジスタ T 3 のソース端子及び出力端子 O U T c に接続され、トランジスタ T 4 のソース端子にはローレベルの電源電圧 V S S (第 2 電源電圧) が与えられる。トランジスタ T 5 a、T 5 b、T 4 の接続点を節点 N 4 という。

- [0166] 容量 C 1、C 2、C 3、C 4 は容量素子で構成される。容量 C 1 はトランジスタ T 2 a のゲート端子とソース端子との間に設けられ、容量 C 2 はトランジスタ T 2 b のゲート端子とソース端子との間に設けられ、容量 C 3 はトランジスタ T 5 a のゲート端子とソース端子との間に設けられ、容量 C 4 はトランジスタ T 5 b のゲート端子とソース端子との間に設けられる。各容量 C 1、C 2、C 3、C 4 はブートストラップ容量として機能する。なお、容量 C 1、C 2、C 3、C 4 は、容量素子ではなく、配線容量やトランジスタの寄生容量を用いて構成してもよい。これにより、容量素子を設けない分だけ回路構成を簡素化することができる。

- [0167] 上記構成の C S 単位回路 5 2 を含む保持容量配線駆動回路 5 0 0 は、1 フレームごとにハイレベル及びローレベルが切り替わる出力信号 C S O U T 1 ~ C S O U T n を 1 つずつ順に出力する動作を行う。

- [0168] (動作について)

保持容量配線駆動回路 5 0 0 の動作について図 2 1 を用いて説明する。図 2 1 は、保持容量配線駆動回路 5 0 0 の動作時のタイミングチャートである。図 2 1 では、(n - 2) 段目の C S 単位回路 5 2、(n - 1) 段目の C S

単位回路52、 n 段目のCS単位回路52における入出力信号を示している。SR($n-2$)、SR($n-1$)、SR n 、SR($n+1$)は、それぞれ、シフトレジスタ10の($n-2$)段目の単位回路11、($n-1$)段目の単位回路11、 n 段目の単位回路11、($n+1$)段目の単位回路11の出力信号SROUT($n-2$)、SROUT($n-1$)、SROUT n 、SROUT($n+1$)の電位を示している。CMI、CMIBは極性信号を示し、N1~N5はそれぞれ、節点N1~N5の電位を示している。CS($n-2$)、CS($n-1$)、CS n は、それぞれ、保持容量配線駆動回路500の($n-2$)段目のCS単位回路52、($n-1$)段目のCS単位回路52、 n 段目のCS単位回路52の出力信号CSOUT($n-2$)、CSOUT($n-1$)、CSOUT n を示している。CMI、CMIBは、互いに極性が逆転し、1水平走査期間ごとに極性が反転する信号である。出力信号SROUT($n-1$)が出力されてから次の出力信号SROUT($n-1$)が出力されるまでの期間が1垂直走査期間(1フレーム)に相当する。

[0169] まず、($n-1$)段目のCS単位回路52における第1フレームの動作について説明する。

[0170] 初めに、($n-1$)段目のCS単位回路52の入力端子INc2に、シフトレジスタ10の($n-1$)段目の単位回路11の出力信号SROUT($n-1$)(ハイレベル)が入力される。トランジスタT6は、VDDが与えられているためオン状態になり、節点N5の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT6の閾値電圧)になる。これにより、トランジスタT2bがオン状態になり、極性信号CMIがハイレベルであるため、節点N2の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタT2bの閾値電圧)になる。

[0171] ここで、トランジスタT6のソース端子の電位が $VDD - V_{th}$ に充電されるとトランジスタT6はオフ状態になり、トランジスタT2bとの接続点(節点N5)はフローティング状態になる。節点N5とトランジスタT2bのソース端子とは、電位差 $VDD - V_{th}$ を保持した容量C2を介して接続

されているため、トランジスタT2bのソース端子（節点N2）の電位がローレベルからハイレベルに変化すると、節点N5の電位は同じ量だけ変化して電源電圧VDDよりも高くなる（ブートストラップ効果）。

[0172] 節点N5の電位がVDDよりも高くなると、最大電圧がVDDである極性信号CMIは、トランジスタT2bを電圧降下なく通過し、節点N2の電位がVDDになる。これにより、トランジスタT3がオン状態になる。なお、入力端子INc2に、出力信号SROUT(n-1)（ハイレベル）が入力されると、トランジスタT8は、VDDが与えられているためオン状態になり、節点N6の電位は、 $VDD - V_{th}$ （ただし、 V_{th} はトランジスタT5bの閾値電圧）になる。これによりトランジスタT5bがオン状態になるため、ローレベルのCMIbがトランジスタT4に与えられ、トランジスタT4はオフ状態になる。

[0173] ここで、電源電圧VCSが、 $VDD - VCS > V_{th}$ （ただし、 V_{th} はトランジスタT3の閾値電圧）の関係を満たす場合、トランジスタT3がオン状態になると、出力端子OUTcからはハイレベルのVCSがそのままの電圧レベルで出力される。これにより、出力信号VCSが、(n-1)行目の保持容量配線CSL(n-1)に供給される。

[0174] 続いて、シフトレジスタ10の出力信号SROUT(n-1)がハイレベルからローレベルになると、節点N5の電位はハイレベルからローレベルに変化し、トランジスタT2bがオフ状態になり、節点N2はフローティング状態になる。節点N2の電位は、容量C2によってVDDに保持されるため、トランジスタT3はオン状態を維持する。また、節点N6の電位はハイレベルからローレベルに変化し、トランジスタT5bがオフ状態になり、節点N4はフローティング状態になる。節点N4の電位は、容量C4によってVSSに保持されるため、トランジスタT4はオフ状態を維持する。これにより、引き続き、出力端子OUTcからはVCSがそのままの電圧レベルで出力される。

[0175] 続いて、入力端子INc1に、シフトレジスタ10のn段目の単位回路1

1 の出力信号 $SROUT_n$ (ハイレベル) が入力される。トランジスタ T_1 は VDD が与えられているためオン状態になり、節点 N_1 の電位が、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタ T_1 の閾値電圧) になる。これにより、トランジスタ T_{2a} がオン状態になり、極性信号 CM_I がローレベルであるため、節点 N_2 の電位は、ローレベルになる。すなわち、節点 N_2 の電位は、ハイレベルからローレベルに変化する。これにより、トランジスタ T_3 はオフ状態になる。なお、節点 N_1 は、容量 C_1 によって突き下げられ $VDD - V_{th}$ よりも低い電位になる。トランジスタ T_1 はオン状態であるため節点 N_1 の電位が $VDD - V_{th}$ まで充電され、その後トランジスタ T_1 はオフ状態になる。

[0176] 一方、入力信号 IN_{c1} としてハイレベルの出力信号 $SROUT_n$ が入力されると、トランジスタ T_7 は、 VDD が与えられているためオン状態になり、節点 N_3 の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタ T_3 の閾値電圧) になる。これにより、トランジスタ T_{5a} がオン状態になり、極性信号 CM_{IB} がハイレベルであるため、節点 N_4 の電位は、 $VDD - V_{th}$ (ただし、 V_{th} はトランジスタ T_{5a} の閾値電圧) になる。ここで容量 C_3 によって節点 N_3 の電位が突き上げられ (ブートストラップ効果)、最大電圧が VDD である極性信号 CM_{IB} が、トランジスタ T_{5a} を電圧降下なく通過し、節点 N_4 の電位が VDD になる。これにより、トランジスタ T_4 がオン状態になり、出力端子 OUT_c からは VSS が出力され、出力信号 VSS が、 $(n-1)$ 行目の保持容量配線 $CSL(n-1)$ に供給される。

[0177] 続いて、シフトレジスタ 10 の出力信号 $SROUT_n$ がハイレベルからローレベルになると、節点 N_1 の電位はローレベルになり、トランジスタ T_{2a} はオフ状態になる。節点 N_2 の電位は、容量 C_1 によってローレベルに保持されるため、トランジスタ T_3 はオフ状態を維持する。一方、出力信号 $SROUT_n$ がハイレベルからローレベルになると、節点 N_3 の電位はハイレベルからローレベルに変化し、トランジスタ T_{5a} がオフ状態になり、節点

N4はフローティング状態になる。節点N4の電位は、容量C3によってVDDに保持されるため、トランジスタT4はオン状態を維持する。これにより、引き続き、出力端子OUTcからはVSSがそのままの電圧レベルで出力される。このようにして、第1フレームでは、安定してローレベルの出力信号VSSを(n-1)行目の保持容量配線CSL(n-1)に供給することができる。

[0178] 第2フレームでは、図21に示すように、極性信号CMI、CMIBの極性が互いに逆転することにより、安定してハイレベルの出力信号VCSを(n-1)行目の保持容量配線CSL(n-1)に供給することができる。

[0179] また、n段目のCS単位回路52では、図21に示すように、第1フレームでハイレベルの出力信号VCSをn行目の保持容量配線CSLnに供給し、第2フレームでローレベルの出力信号VSSをn行目の保持容量配線CSLnに供給することができる。

[0180] (実施例3)

図22は、実施の形態2の実施例3に係る保持容量配線駆動回路500に含まれるCS単位回路53の回路図である。図22に示すように、CS単位回路53は同一導電型のトランジスタで構成され、8個のNチャンネル型トランジスタT1a、T1b、T2~T5、T6a、T6bと、2個の容量C1、C2とを含んでいる。トランジスタT1a、T1b、T6a、T6bは、走査方向切替回路として機能する。

[0181] トランジスタT2~T5の接続関係は、図17に示す実施例1のCS単位回路51の構成と同一である。トランジスタT1aのゲート端子には切替信号UDが与えられ、ドレイン端子は入力端子IN1aに接続され、ソース端子はトランジスタT2のゲート端子に接続される。トランジスタT1bのゲート端子には切替信号UDB(UDの否定)が与えられ、ドレイン端子は入力端子IN1bに接続され、ソース端子はトランジスタT2のゲート端子に接続される。トランジスタT1a、T1b、T2の接続点を節点N1という。トランジスタT6aのゲート端子には切替信号UDが与えられ、ドレイン

端子は入力端子 I N 6 a に接続され、ソース端子はトランジスタ T 5 のゲート端子に接続される。トランジスタ T 6 b のゲート端子には切替信号 U D B (U D の否定) が与えられ、ドレイン端子は入力端子 I N 6 b に接続され、ソース端子はトランジスタ T 5 のゲート端子に接続される。トランジスタ T 6 a 、 T 6 b 、 T 5 の接続点を節点 N 3 という。

[0182] 上記 C S 単位回路 5 3 において、入力端子 I N 1 a には、後段のシフトレジスタ S R (n + 1) の出力信号 S R O U T (n + 1) が入力され、入力端子 I N 1 b には、前段のシフトレジスタ S R (n - 1) の出力信号 S R O U T (n - 1) が入力される。切替信号 U D 、 U D B は、互いに極性が逆転した信号であり、切替信号 U D がハイレベルのときは、トランジスタ T 1 a がオン状態になって出力信号 S R O U T (n + 1) が取り込まれ、切替信号 U D B がハイレベルのときは、トランジスタ T 1 b がオン状態になって出力信号 S R O U T (n - 1) が取り込まれる。同様に、切替信号 U D がハイレベルのときは、トランジスタ T 6 a がオン状態になって出力信号 S R O U T (n + 1) が取り込まれ、切替信号 U D B がハイレベルのときは、トランジスタ T 6 b がオン状態になって出力信号 S R O U T (n - 1) が取り込まれる。

[0183] これにより、保持容量配線駆動回路 5 0 0 を、シフト方向 (走査方向) が切り替わる (1 段目から n 段目へ向かう第 1 方向、及び、 n 段目から 1 段目へ向かう第 2 方向とを相互に切り替える) 走査信号線駆動回路 1 0 0 に対応することができる。

[0184] なお、図 2 3 の C S 単位回路 5 4 に示すように、図 2 2 の C S 単位回路 5 3 において、容量 C 2 を省略した構成としても良い。

[0185] また、本実施例 3 の走査方向切替回路 (トランジスタ T 1 a 、 T 1 b 、 T 6 a 、 T 6 b) は、図 2 4 の C S 単位回路 5 5 に示すように、上記実施例 2 (図 2 0 参照) の保持容量配線駆動回路 5 0 0 の C S 単位回路 5 2 に適用することができる。

[0186] (実施例 4)

図25は、実施の形態2の実施例4に係る保持容量配線駆動回路500の構成を示すブロック図である。図25の保持容量配線駆動回路500は、上記実施の形態1の実施例4（図9参照）の共通電極駆動回路200を、保持容量配線駆動回路に適用したものである。

[0187] 保持容量配線駆動回路500は、図25に示すように、 n 個（ n は2以上の整数）のCS単位回路56を多段接続して構成されている。CS単位回路56は、入力端子 IN_c 、 IN_g 、極性端子 CM_I 、 CM_{IB} 、及び出力端子 OUT_c を有している。保持容量配線駆動回路500には、シフトレジスタ10の出力信号 OUT_s 、極性信号 CM_I 、 CM_{IB} 、クロック GCK_1 、 GCK_2 が供給される。CS単位回路56の出力信号 OUT_c は、出力信号 $CSOUT_1 \sim CSOUT_n$ として保持容量配線 $CSL_1 \sim CSL_n$ に順に出力される。

[0188] 図26は、実施の形態2の実施例4に係る保持容量配線駆動回路500に含まれるCS単位回路56の回路図である。図26に示すように、CS単位回路56は、図10に示す共通電極駆動回路200に含まれる単位回路25と同一の回路構成を有し、同一導電型の16個のNチャンネル型トランジスタ $T_1 \sim T_6$ 、 $T_{11} \sim T_{20}$ と、4個の容量 $C_1 \sim C_4$ とを含んでいる。トランジスタ T_{11} 、 T_{12} 、 T_{13} 、 T_{19} 、容量 C_4 は第1アクティブ信号保持回路として機能し、トランジスタ T_{14} 、 T_{15} 、 T_{16} 、 T_{17} 、容量 C_3 は第2アクティブ信号保持回路として機能し、トランジスタ T_{20} は第1安定化回路として機能し、トランジスタ T_{18} は第2安定化回路として機能する。

[0189] 図26のCS単位回路56は、入力端子 IN_c に、シフトレジスタ10の（ $n+1$ ）段目の単位回路11（ $SR(n+1)$ ）の出力信号 $SROUT(n+1)$ が供給される点で、図10の単位回路25とは異なる。CS単位回路56の動作は、図10の単位回路25の動作と同一である。

[0190] また、CS単位回路56の入力端子 IN_g （入力部）に入力される入力信号 GCK を生成方法する GCK 生成回路（ GCK バッファ）は、図11の構

成と同一である。

[0191] 上記GCK生成回路12により生成されたクロック信号GCKをCS単位回路56に供給する構成によれば、CS単位回路にクロック信号CK1、CK2を直接供給する構成と比較して、クロックの負荷を低減することができる。そのため、特に解像度が高い表示パネルにおいて、遅延等の影響を抑え、表示品位の低下を防ぐことができる。

[0192] 以上のように、本発明の半導体回路は、
同一導電型のトランジスタで構成された半導体回路であって、
一方の導通端子に第1電源電圧が与えられ、他方の導通端子が出力端子に接続された第1出力制御トランジスタと、
制御端子に入力信号に応じたオン電圧が与えられ、一方の導通端子に第1データ信号が与えられ、他方の導通端子が上記第1出力制御トランジスタの制御端子に接続された第1ラッチ制御トランジスタとを備え、
上記第1ラッチ制御トランジスタの制御端子と、上記第1ラッチ制御トランジスタの他方の導通端子との間に第1容量が形成され、
上記第1ラッチ制御トランジスタの制御端子に与えられる上記入力信号の電圧レベルを上記容量により引き上げて上記第1データ信号を取り込むとともに、該第1データ信号を上記第1出力制御トランジスタの制御端子に与えることを特徴とする。

[0193] 上記の構成によれば、上記第1データ信号(CMI)の電位変化(ローレベルからハイレベル)を利用して、第1容量により、上記第1ラッチ制御トランジスタの制御端子に与えられる上記入力信号の電圧レベルを引き上げる(ブートストラップ効果)ことができる。これにより、上記第1データ信号の最大電圧(VDD)を上記第1出力制御トランジスタに与えることができるため、上記第1出力制御トランジスタに与えられるオン電圧を確実に出力することができる。

[0194] また、上記半導体回路は、従来の半導体回路(図27参照)と比較して、トランジスタ及び容量の素子数を削減できるため、回路構成を簡略化するこ

とができる。

[0195] 上記半導体回路では、

制御端子にオン電圧が与えられ、一方の導通端子に上記入力信号が与えられ、他方の導通端子が上記第1ラッチ制御トランジスタの制御端子に接続された第1入力制御トランジスタを備え、

上記第1入力制御トランジスタの制御端子にオン電圧が与えられたときに、上記入力信号に応じたオン電圧を上記第1ラッチ制御トランジスタの制御端子に与える構成とすることもできる。

[0196] 上記半導体回路では、

上記第1入力制御トランジスタの制御端子が、該第1入力制御トランジスタの上記一方の導通端子に接続されている構成とすることもできる。

[0197] 上記半導体回路では、

一方の導通端子が上記出力端子に接続され、他方の導通端子に第2電源電圧が与えられる第2出力制御トランジスタと、

制御端子に上記入力信号が与えられ、一方の導通端子に、上記第1データ信号と極性が逆転した第2データ信号が与えられ、他方の導通端子が上記第2出力制御トランジスタの制御端子に接続された第2ラッチ制御トランジスタとを備えている構成とすることもできる。

[0198] 上記半導体回路では、

一方の導通端子が上記出力端子に接続され、他方の導通端子に第2電源電圧が与えられる第2出力制御トランジスタと、

一方の導通端子に、上記第1データ信号と極性が逆転した第2データ信号が与えられ、他方の導通端子が上記第2出力制御トランジスタの制御端子に接続された第2ラッチ制御トランジスタと、

制御端子にオン電圧が与えられ、一方の導通端子に上記入力信号が与えられ、他方の導通端子が上記第2ラッチ制御トランジスタの制御端子に接続された第2入力制御トランジスタとを備え、

上記第2ラッチ制御トランジスタの制御端子と、上記第2ラッチ制御トラン

ンジスタの他方の導通端子との間に第2容量が形成されている構成とすることもできる。

[0199] 上記半導体回路では、

上記第1ラッチ制御トランジスタの他方の導通端子の電圧レベルがローレベルからハイレベルに変化したとき、上記第1容量により、上記第1ラッチ制御トランジスタの制御端子に与えられる電圧レベルを引き上げる構成とすることもできる。

[0200] 上記半導体回路では、

上記第1ラッチ制御トランジスタの制御端子が、上記第1ラッチ制御トランジスタの他方の導通端子よりも前に充電される構成とすることもできる。

[0201] 上記の構成によれば、確実にブートストラップ動作を行うことができる。

[0202] 上記半導体回路では、

上記第1出力制御トランジスタのチャネルサイズが、上記第1ラッチ制御トランジスタのチャネルサイズよりも大きい構成とすることもできる。

[0203] 上記半導体回路では、

上記第1ラッチ制御トランジスタ及び上記第1出力制御トランジスタが接続する第1接続点の電位を安定化するための第1安定化回路と、上記第2ラッチ制御トランジスタ及び上記第2出力制御トランジスタが接続する第2接続点の電位を安定化するための第2安定化回路とを備え、

上記第1安定化回路は、上記第2接続点がハイレベルのときは、上記第1接続点にローレベルのオフ電圧を与え、上記第2安定化回路は、上記第1接続点がハイレベルのときは、上記第2接続点にローレベルのオフ電圧を与える構成とすることもできる。

[0204] 上記半導体回路では、

上記第1安定化回路は、制御端子が上記第2接続点に接続され、一方の導通端子が上記第1接続点に接続され、他方の導通端子にオフ電圧が与えられる第1安定化トランジスタを含み、

上記第2安定化回路は、制御端子が上記第1接続点に接続され、一方の導

通端子が上記第2接続点に接続され、他方の導通端子にオフ電圧が与えられる第2安定化トランジスタを含む構成とすることもできる。

[0205] 上記半導体回路では、

上記第1ラッチ制御トランジスタ及び上記第1出力制御トランジスタが接続する第1接続点の電位を保持するための第1保持回路と、上記第2ラッチ制御トランジスタ及び上記第2出力制御トランジスタが接続する第2接続点の電位を保持するための第2保持回路とを備え、

上記第1及び第2保持回路それぞれの入力部には、クロック信号が入力される構成とすることもできる。

[0206] 上記半導体回路では、

上記第1保持回路は、

制御端子が上記第1接続点に接続され、一方の導通端子にオン電圧が与えられる第1保持トランジスタと、

制御端子が上記第1保持トランジスタの他方の導通端子に接続され、一方導通端子にオン電圧が与えられ、他方の導通端子が上記第1接続点に接続された第2保持トランジスタと、

上記入力部と、上記第1及び第2保持トランジスタの接続点との間に設けられた第1保持容量と、を備え、

上記第2保持回路は、

制御端子が上記第2接続点に接続され、一方の導通端子にオン電圧が与えられる第3保持トランジスタと、

制御端子が上記第3保持トランジスタの他方の導通端子に接続され、一方導通端子にオン電圧が与えられ、他方の導通端子が上記第2接続点に接続された第4保持トランジスタと、

上記入力部と、上記第3及び第4保持トランジスタの接続点との間に設けられた第2保持容量と、を備え、

上記入力部にハイレベルのクロック信号が与えられ、上記第1保持トランジスタの制御端子にオン電圧が与えられると、上記第1接続点にオン電圧を

供給する一方、

上記入力部にハイレベルのクロック信号が与えられ、上記第3保持トランジスタの制御端子にオン電圧が与えられると、上記第2接続点にオン電圧を供給する構成とすることもできる。

[0207] 上記半導体回路では、

上記入力部にクロック信号を与えるクロック信号生成回路を備え、

上記クロック信号生成回路は、ハイレベルの期間が互いに重ならない第1及び第2クロック信号に基づいて、デューティ比50%の上記クロック信号を生成する構成とすることもできる。

[0208] 上記半導体回路では、

上記クロック信号生成回路は、

上記第1クロック信号を入力する第1入力端子と、

上記第2クロック信号を入力する第2入力端子と、

制御端子が上記第1入力端子に接続され、一方の導通端子にオン電圧が与えられる第1クロック入力トランジスタと、

制御端子が上記第2入力端子に接続され、一方の導通端子が上記第1クロック入力トランジスタの他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられる第2クロック入力トランジスタと、

制御端子にオン電圧が与えられ、一方の導通端子が上記第1及び第2クロック入力トランジスタの接続点に接続された耐圧トランジスタと、

制御端子が上記耐圧トランジスタの他方の導通端子に接続され、一方の導通端子にオン電圧が与えられ、他方の導通端子が出力端子に接続された第1クロック出力トランジスタと、

制御端子が上記第2入力端子に接続され、一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第2クロック出力トランジスタと、

上記第1クロック出力トランジスタの制御端子と他方の導通端子との間に形成された容量とを備える構成とすることもできる。

- [0209] 上記半導体回路では、
上記クロック信号生成回路は、さらに、
制御端子に初期化信号が与えられ、一方の導通端子が上記耐圧トランジスタの他方の導通端子と上記第1クロック出力トランジスタの制御端子との接続点に接続され、他方の導通端子にオフ電圧が与えられる第1初期化トランジスタと、
制御端子に上記初期化信号が与えられ、一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第2初期化トランジスタとを備える構成とすることもできる。
- [0210] 本発明の表示装置は、
データ信号線、走査信号線及び共通電極配線を備えた表示パネルを備えた表示装置であって、
同一導電型のトランジスタで構成された上記何れかの半導体回路を多段接続した構成を有し、上記共通電極配線を順次駆動する共通電極駆動回路と、
上記データ信号線に映像信号を供給するデータ信号線駆動回路と、
走査信号を、上記半導体回路及び上記走査信号線に、順次供給する走査信号線駆動回路とを備えることを特徴とする。
- [0211] 本発明の表示装置は、
データ信号線、走査信号線及び保持容量配線を備えた表示パネルを備えた表示装置であって、
同一導電型のトランジスタで構成された上記何れかの半導体回路を多段接続した構成を有し、上記保持容量配線を順次駆動する保持容量配線駆動回路と、
上記データ信号線に映像信号を供給するデータ信号線駆動回路と、
走査信号を、上記半導体回路及び上記走査信号線に、順次供給する走査信号線駆動回路とを備えることを特徴とする。
- [0212] 上記表示装置では、
上記走査信号線駆動回路は、同一導電型のトランジスタで構成された単位

回路を多段接続した構成を有するシフトレジスタを含み、

上記シフトレジスタにおける前段の単位回路から出力された走査信号を、上記半導体回路に与える構成とすることもできる。

[0213] 上記表示装置では、

上記走査信号線駆動回路は、同一導電型のトランジスタで構成された単位回路を多段接続した構成を有するシフトレジスタを含み、

上記シフトレジスタにおける後段の単位回路から出力された走査信号を、上記半導体回路に与える構成とすることもできる。

[0214] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0215] 本発明は、同一導電型のトランジスタを用いて電位レベルの安定した信号を出力することができる半導体回路を実現できるため、特に、表示装置の各駆動回路に好適である。

符号の説明

[0216] 1、2 液晶表示装置（表示装置）

11、12 GCK生成回路（GCKバッファ、クロック信号生成回路）

21、22、23、24、25 単位回路

41 走査信号線（GL）

42 共通電極配線（コモンライン、CML）

43 データ信号線（SL）

46 保持容量配線（CSL）

51、52、53、54、55、56 CS単位回路

100 走査信号線駆動回路

200 共通電極駆動回路

300 データ信号線駆動回路

- 400 表示パネル
- 500 保持容量配線駆動回路
 - T1 トランジスタ (第1入力制御トランジスタ)
 - T2 トランジスタ (第1ラッチ制御トランジスタ)
 - T3 トランジスタ (第1出力制御トランジスタ)
 - T4 トランジスタ (第2出力制御トランジスタ)
 - T5 トランジスタ (第2ラッチ制御トランジスタ)
 - T6 トランジスタ (第2入力制御トランジスタ)
 - T11 トランジスタ (第1保持回路、第1保持トランジスタ)
 - T12 トランジスタ (第1保持回路、第2保持トランジスタ)
 - T14 トランジスタ (第2保持回路、第3保持トランジスタ)
 - T15 トランジスタ (第2保持回路、第4保持トランジスタ)
 - T18 トランジスタ (第2安定化回路、第2安定化トランジスタ)
 - T20 トランジスタ (第1安定化回路、第1安定化トランジスタ)
 - Tr1 トランジスタ (第1クロック入力トランジスタ)
 - Tr2 トランジスタ (第2クロック入力トランジスタ)
 - Tr3 トランジスタ (耐圧トランジスタ)
 - Tr4 トランジスタ (第1クロック出力トランジスタ)
 - Tr5 トランジスタ (第2クロック出力トランジスタ)
 - Tr6 トランジスタ (第1初期化トランジスタ)
 - Tr7 トランジスタ (第2初期化トランジスタ)
- C1、C2 容量
- C3 容量 (第2保持容量)
- C4 容量 (第1保持容量)
- CM1 極性信号 (第1データ信号)
- CM1B 極性信号 (第2データ信号)

請求の範囲

- [請求項1] 同一導電型のトランジスタで構成された半導体回路であって、
一方の導通端子に第1電源電圧が与えられ、他方の導通端子が出力端子に接続された第1出力制御トランジスタと、
制御端子に入力信号に応じたオン電圧が与えられ、一方の導通端子に第1データ信号が与えられ、他方の導通端子が上記第1出力制御トランジスタの制御端子に接続された第1ラッチ制御トランジスタとを備え、
上記第1ラッチ制御トランジスタの制御端子と、上記第1ラッチ制御トランジスタの他方の導通端子との間に第1容量が形成され、
上記第1ラッチ制御トランジスタの制御端子に与えられる上記入力信号の電圧レベルを上記容量により引き上げて上記第1データ信号を取り込むとともに、該第1データ信号を上記第1出力制御トランジスタの制御端子に与えることを特徴とする半導体回路。
- [請求項2] 制御端子にオン電圧が与えられ、一方の導通端子に上記入力信号が与えられ、他方の導通端子が上記第1ラッチ制御トランジスタの制御端子に接続された第1入力制御トランジスタを備え、
上記第1入力制御トランジスタの制御端子にオン電圧が与えられたときに、上記入力信号に応じたオン電圧を上記第1ラッチ制御トランジスタの制御端子に与えることを特徴とする請求項1に記載の半導体回路。
- [請求項3] 上記第1入力制御トランジスタの制御端子が、該第1入力制御トランジスタの上記一方の導通端子に接続されていることを特徴とする請求項2に記載の半導体回路。
- [請求項4] 一方の導通端子が上記出力端子に接続され、他方の導通端子に第2電源電圧が与えられる第2出力制御トランジスタと、
制御端子に上記入力信号が与えられ、一方の導通端子に、上記第1データ信号と極性が逆転した第2データ信号が与えられ、他方の導通

端子が上記第2出力制御トランジスタの制御端子に接続された第2ラッチ制御トランジスタとを備えていることを特徴とする請求項1に記載の半導体回路。

[請求項5] 一方の導通端子が上記出力端子に接続され、他方の導通端子に第2電源電圧が与えられる第2出力制御トランジスタと、

一方の導通端子に、上記第1データ信号と極性が逆転した第2データ信号が与えられ、他方の導通端子が上記第2出力制御トランジスタの制御端子に接続された第2ラッチ制御トランジスタと、

制御端子にオン電圧が与えられ、一方の導通端子に上記入力信号が与えられ、他方の導通端子が上記第2ラッチ制御トランジスタの制御端子に接続された第2入力制御トランジスタとを備え、

上記第2ラッチ制御トランジスタの制御端子と、上記第2ラッチ制御トランジスタの他方の導通端子との間に第2容量が形成されていることを特徴とする請求項1に記載の半導体回路。

[請求項6] 上記第1ラッチ制御トランジスタの他方の導通端子の電圧レベルがローレベルからハイレベルに変化したとき、上記第1容量により、上記第1ラッチ制御トランジスタの制御端子に与えられる電圧レベルを引き上げることを特徴とする請求項1に記載の半導体回路。

[請求項7] 上記第1ラッチ制御トランジスタの制御端子が、上記第1ラッチ制御トランジスタの他方の導通端子よりも前に充電されることを特徴とする請求項6に記載の半導体回路。

[請求項8] 上記第1出力制御トランジスタのチャネルサイズが、上記第1ラッチ制御トランジスタのチャネルサイズよりも大きいことを特徴とする請求項7に記載の半導体回路。

[請求項9] 上記第1ラッチ制御トランジスタ及び上記第1出力制御トランジスタが接続する第1接続点の電位を安定化するための第1安定化回路と、上記第2ラッチ制御トランジスタ及び上記第2出力制御トランジスタが接続する第2接続点の電位を安定化するための第2安定化回路と

を備え、

上記第1安定化回路は、上記第2接続点がハイレベルのときは、上記第1接続点にローレベルのオフ電圧を与え、上記第2安定化回路は、上記第1接続点がハイレベルのときは、上記第2接続点にローレベルのオフ電圧を与えることを特徴とする請求項5に記載の半導体回路。

[請求項10]

上記第1安定化回路は、制御端子が上記第2接続点に接続され、一方の導通端子が上記第1接続点に接続され、他方の導通端子にオフ電圧が与えられる第1安定化トランジスタを含み、

上記第2安定化回路は、制御端子が上記第1接続点に接続され、一方の導通端子が上記第2接続点に接続され、他方の導通端子にオフ電圧が与えられる第2安定化トランジスタを含むことを特徴とする請求項9に記載の半導体回路。

[請求項11]

上記第1ラッチ制御トランジスタ及び上記第1出力制御トランジスタが接続する第1接続点の電位を保持するための第1保持回路と、上記第2ラッチ制御トランジスタ及び上記第2出力制御トランジスタが接続する第2接続点の電位を保持するための第2保持回路とを備え、

上記第1及び第2保持回路それぞれの入力部には、クロック信号が入力されることを特徴とする請求項5に記載の半導体回路。

[請求項12]

上記第1保持回路は、

制御端子が上記第1接続点に接続され、一方の導通端子にオン電圧が与えられる第1保持トランジスタと、

制御端子が上記第1保持トランジスタの他方の導通端子に接続され、一方導通端子にオン電圧が与えられ、他方の導通端子が上記第1接続点に接続された第2保持トランジスタと、

上記入力部と、上記第1及び第2保持トランジスタの接続点との間に設けられた第1保持容量と、を備え、

上記第2保持回路は、

制御端子が上記第2接続点に接続され、一方の導通端子にオン電圧が与えられる第3保持トランジスタと、

制御端子が上記第3保持トランジスタの他方の導通端子に接続され、一方導通端子にオン電圧が与えられ、他方の導通端子が上記第2接続点に接続された第4保持トランジスタと、

上記入力部と、上記第3及び第4保持トランジスタの接続点との間に設けられた第2保持容量と、を備え、

上記入力部にハイレベルのクロック信号が与えられ、上記第1保持トランジスタの制御端子にオン電圧が与えられると、上記第1接続点にオン電圧を供給する一方、

上記入力部にハイレベルのクロック信号が与えられ、上記第3保持トランジスタの制御端子にオン電圧が与えられると、上記第2接続点にオン電圧を供給することを特徴とする請求項11に記載の半導体回路。

[請求項13]

上記入力部にクロック信号を与えるクロック信号生成回路を備え、

上記クロック信号生成回路は、ハイレベルの期間が互いに重ならない第1及び第2クロック信号に基づいて、デューティ比50%の上記クロック信号を生成することを特徴とする請求項11に記載の半導体回路。

[請求項14]

上記クロック信号生成回路は、

上記第1クロック信号を入力する第1入力端子と、

上記第2クロック信号を入力する第2入力端子と、

制御端子が上記第1入力端子に接続され、一方の導通端子にオン電圧が与えられる第1クロック入力トランジスタと、

制御端子が上記第2入力端子に接続され、一方の導通端子が上記第1クロック入力トランジスタの他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられる第2クロック入力トランジスタと、

制御端子にオン電圧が与えられ、一方の導通端子が上記第1及び第

2クロック入力トランジスタの接続点に接続された耐圧トランジスタと、

制御端子が上記耐圧トランジスタの他方の導通端子に接続され、一方の導通端子にオン電圧が与えられ、他方の導通端子が出力端子に接続された第1クロック出力トランジスタと、

制御端子が上記第2入力端子に接続され、一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第2クロック出力トランジスタと、

上記第1クロック出力トランジスタの制御端子と他方の導通端子との間に形成された容量とを備えることを特徴とする請求項13に記載の半導体回路。

[請求項15]

上記クロック信号生成回路は、さらに、

制御端子に初期化信号が与えられ、一方の導通端子が上記耐圧トランジスタの他方の導通端子と上記第1クロック出力トランジスタの制御端子との接続点に接続され、他方の導通端子にオフ電圧が与えられる第1初期化トランジスタと、

制御端子に上記初期化信号が与えられ、一方の導通端子が上記出力端子に接続され、他方の導通端子にオフ電圧が与えられる第2初期化トランジスタとを備えることを特徴とする請求項14に記載の半導体回路。

[請求項16]

データ信号線、走査信号線及び共通電極配線を備えた表示パネルを備えた表示装置であって、

同一導電型のトランジスタで構成された請求項1～15の何れか1項に記載の半導体回路を多段接続した構成を有し、上記共通電極配線を順次駆動する共通電極駆動回路と、

上記データ信号線に映像信号を供給するデータ信号線駆動回路と、

走査信号を、上記半導体回路及び上記走査信号線に、順次供給する走査信号線駆動回路とを備えることを特徴とする表示装置。

[請求項17] データ信号線、走査信号線及び保持容量配線を備えた表示パネルを備えた表示装置であって、

同一導電型のトランジスタで構成された請求項1～15の何れか1項に記載の半導体回路を多段接続した構成を有し、上記保持容量配線を順次駆動する保持容量配線駆動回路と、

上記データ信号線に映像信号を供給するデータ信号線駆動回路と、走査信号を、上記半導体回路及び上記走査信号線に、順次供給する走査信号線駆動回路とを備えることを特徴とする表示装置。

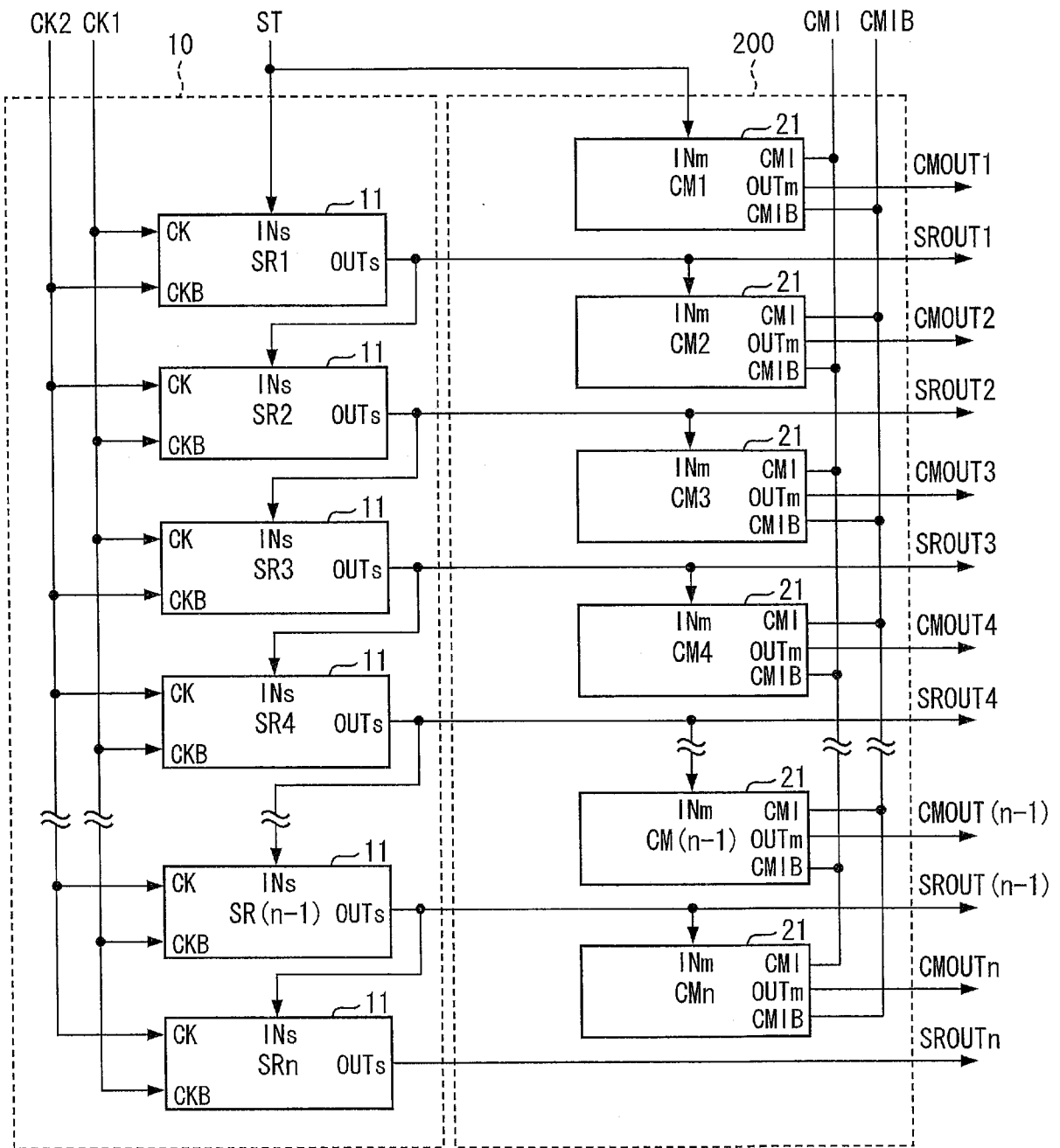
[請求項18] 上記走査信号線駆動回路は、同一導電型のトランジスタで構成された単位回路を多段接続した構成を有するシフトレジスタを含み、

上記シフトレジスタにおける前段の単位回路から出力された走査信号を、上記半導体回路に与えることを特徴とする請求項16に記載の表示装置。

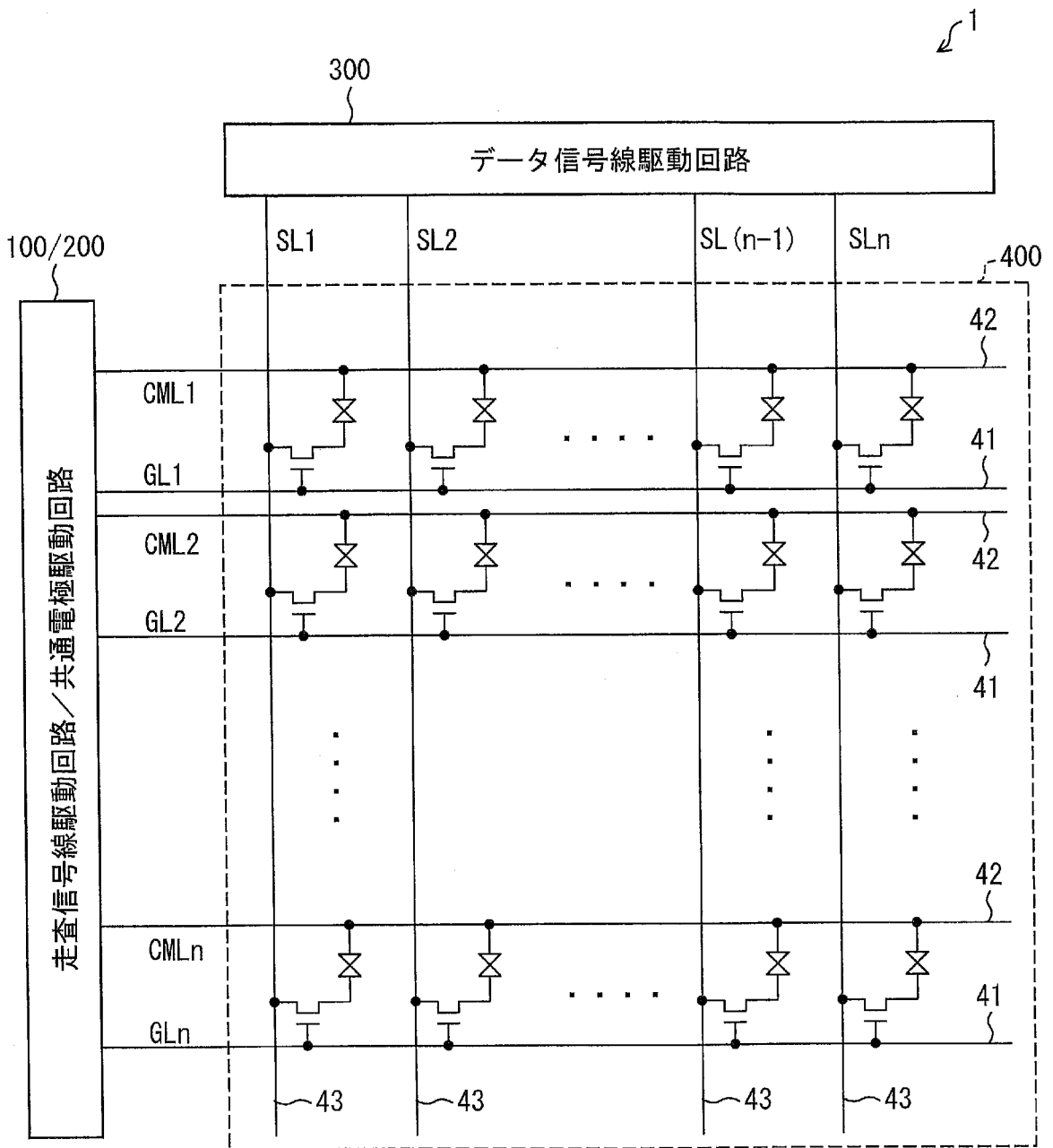
[請求項19] 上記走査信号線駆動回路は、同一導電型のトランジスタで構成された単位回路を多段接続した構成を有するシフトレジスタを含み、

上記シフトレジスタにおける後段の単位回路から出力された走査信号を、上記半導体回路に与えることを特徴とする請求項16に記載の表示装置。

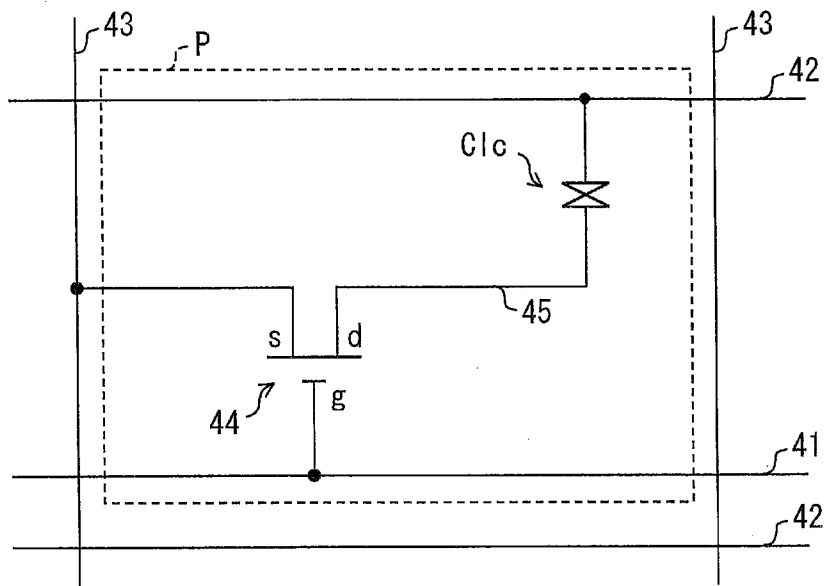
[図1]



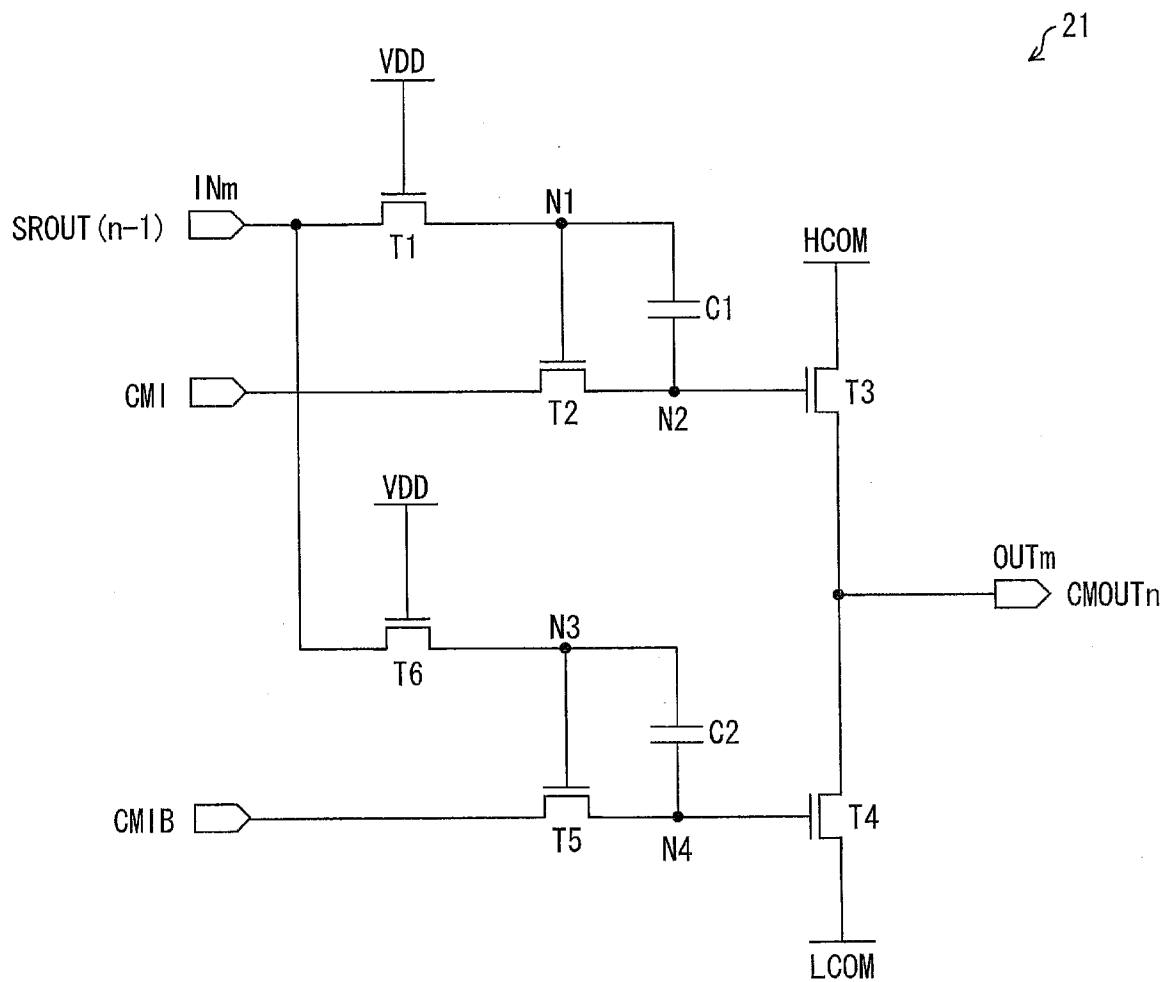
[図2]



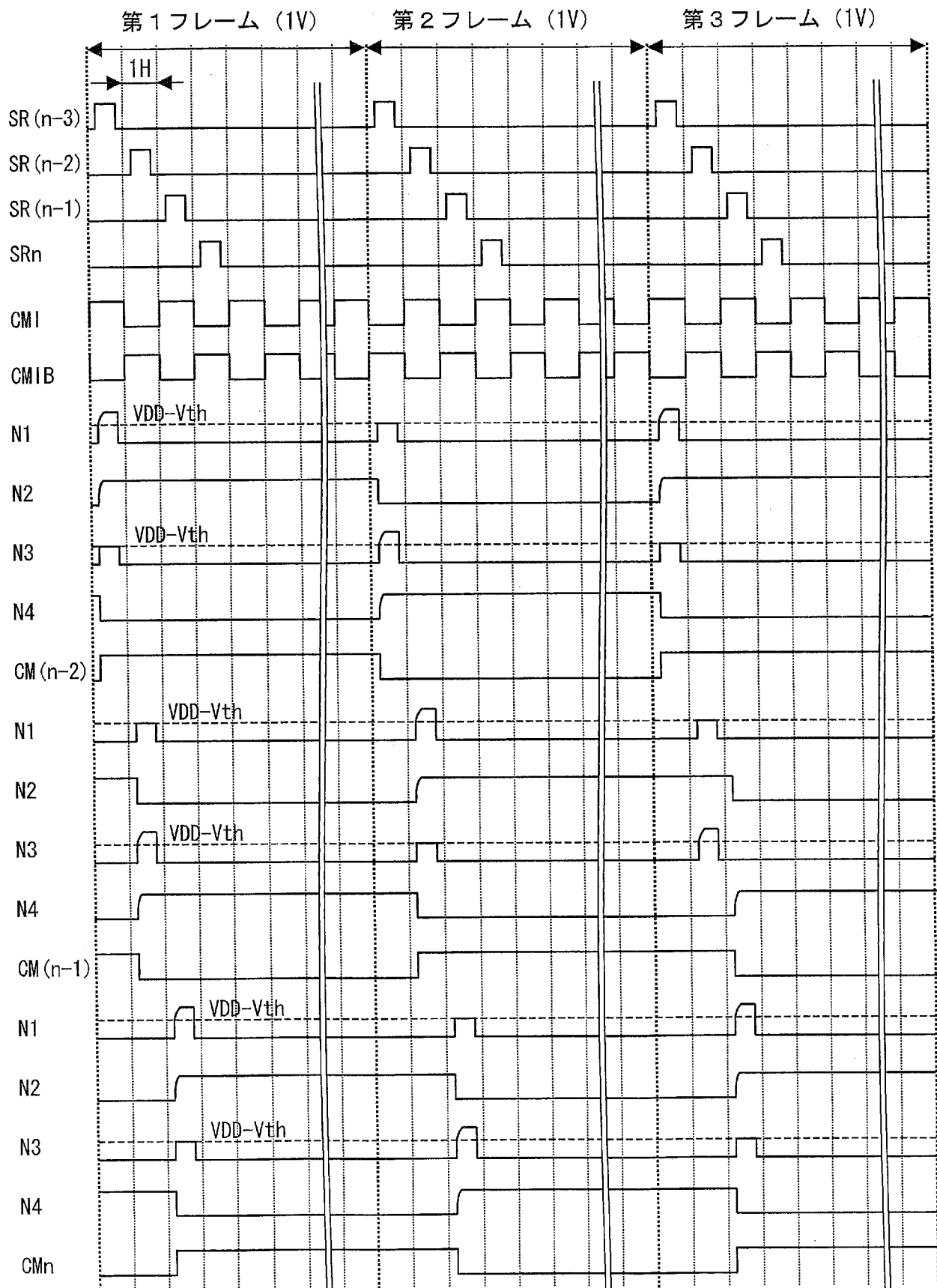
[図3]



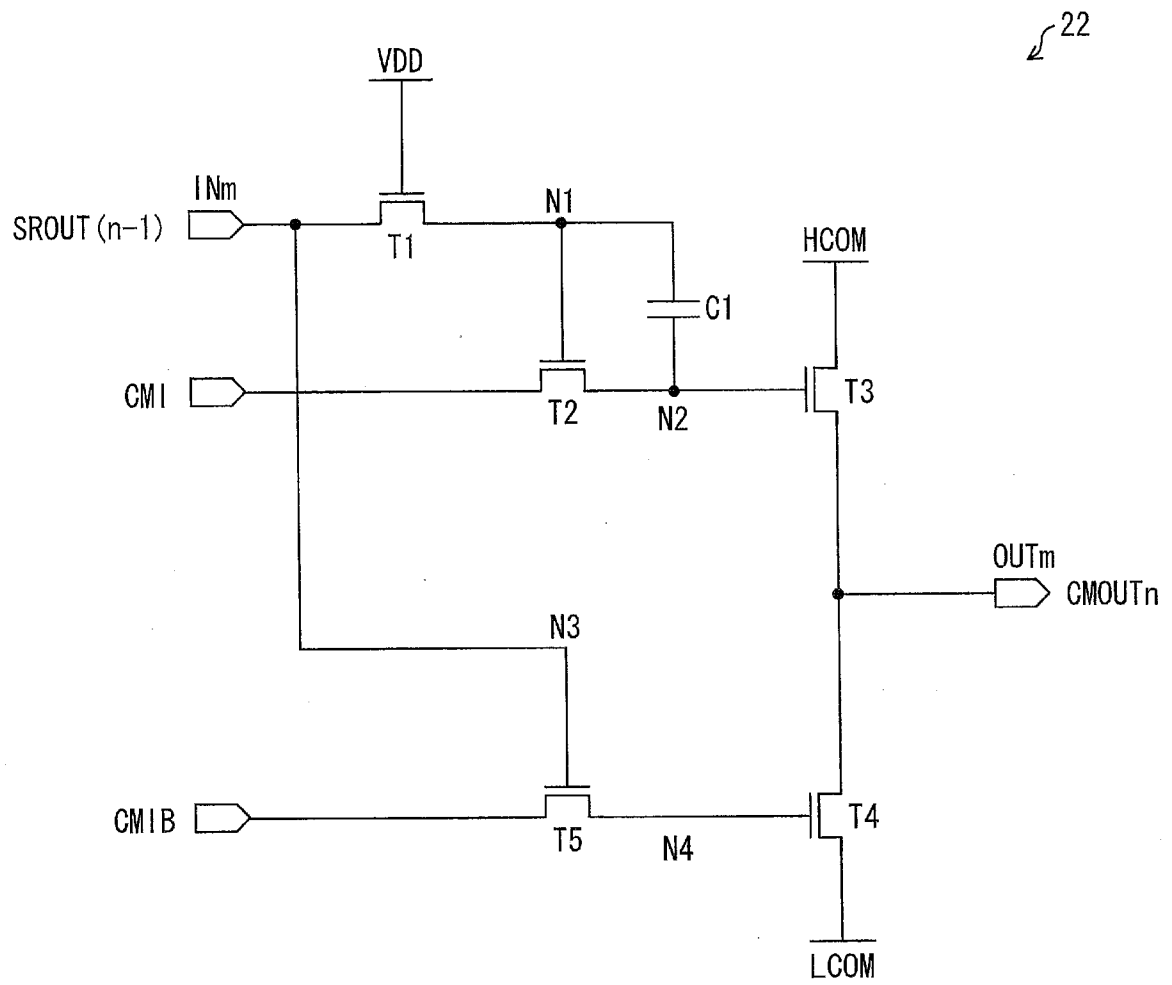
[図4]



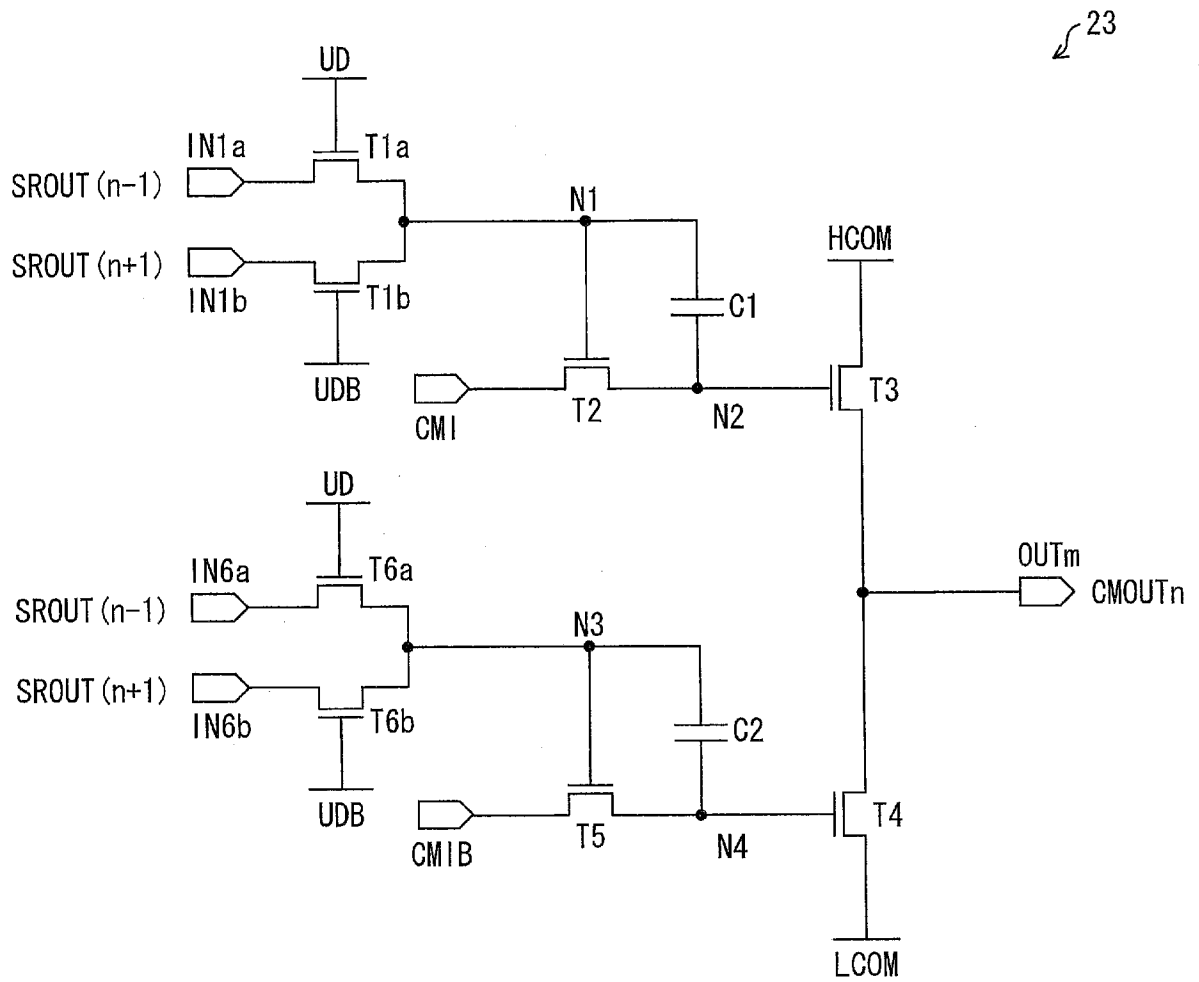
[図5]



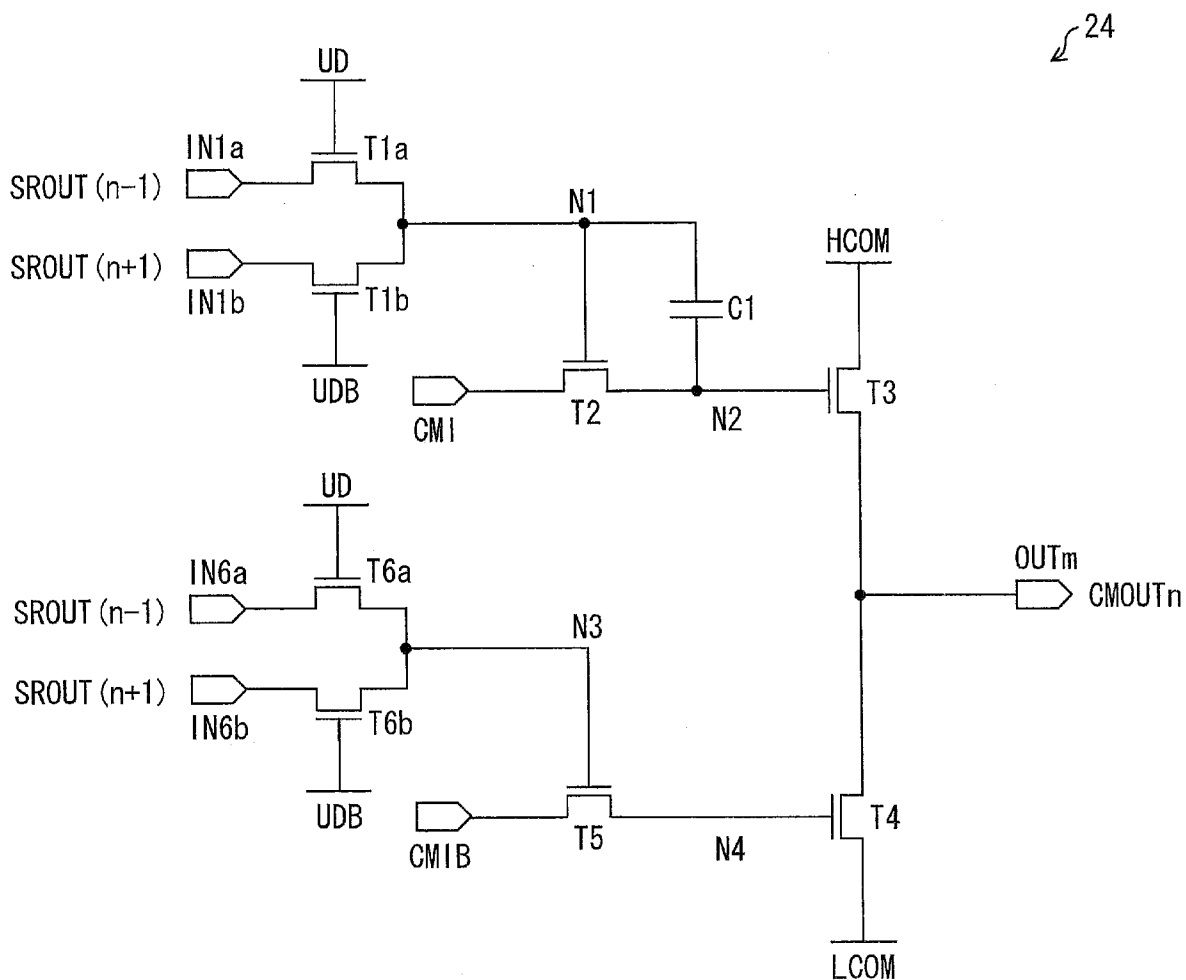
[図6]



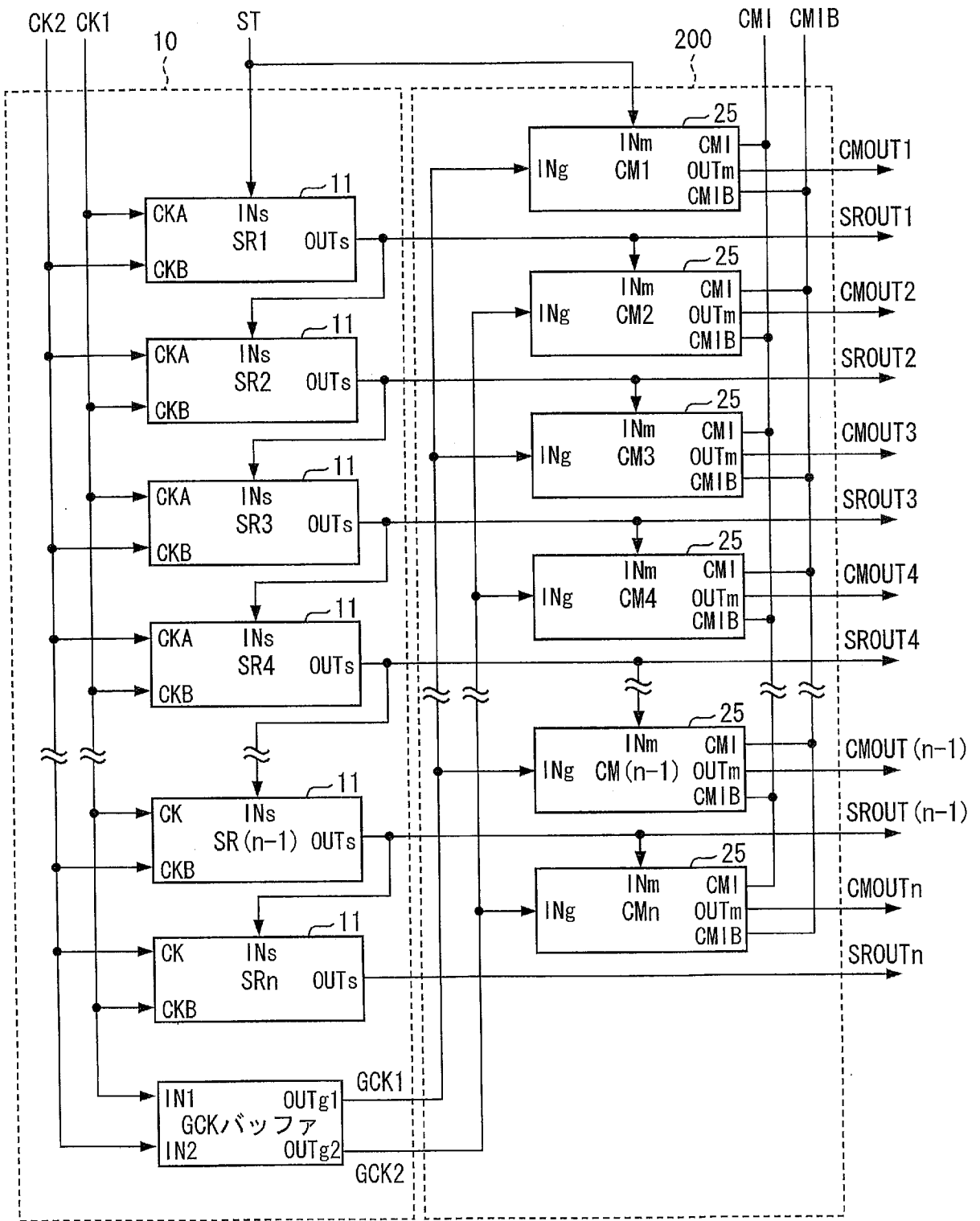
[図7]



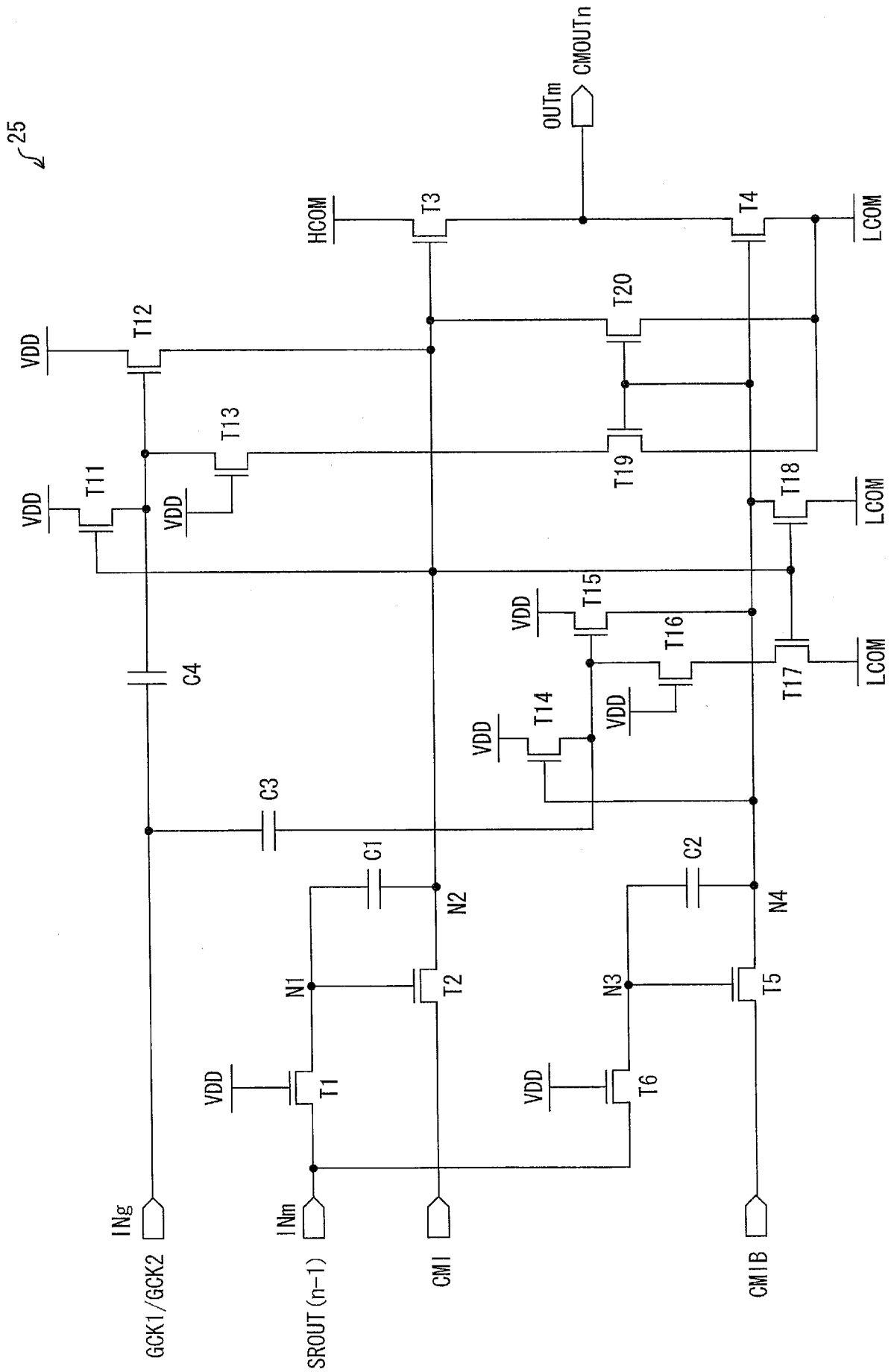
[図8]



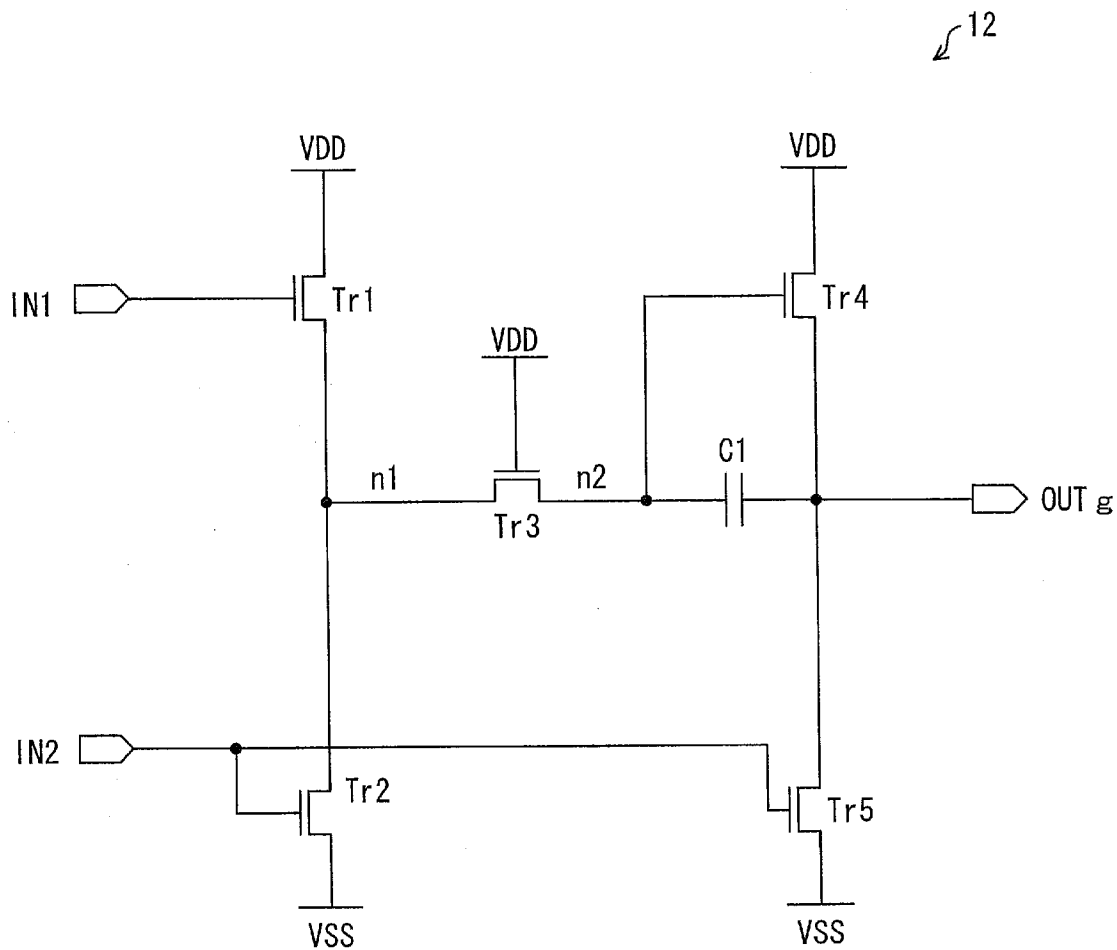
[図9]



[図10]

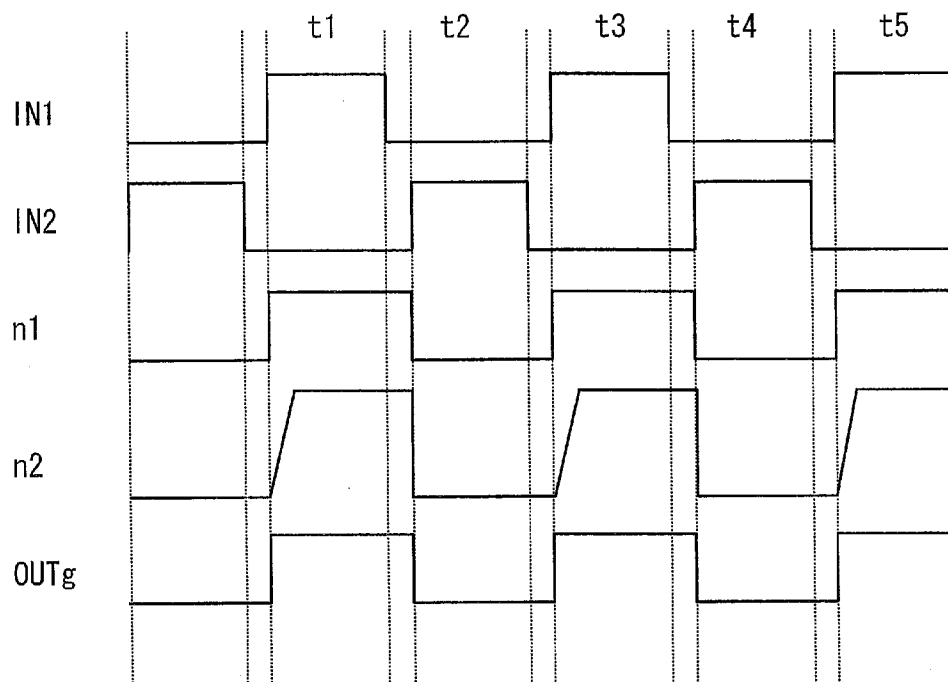


[図11]

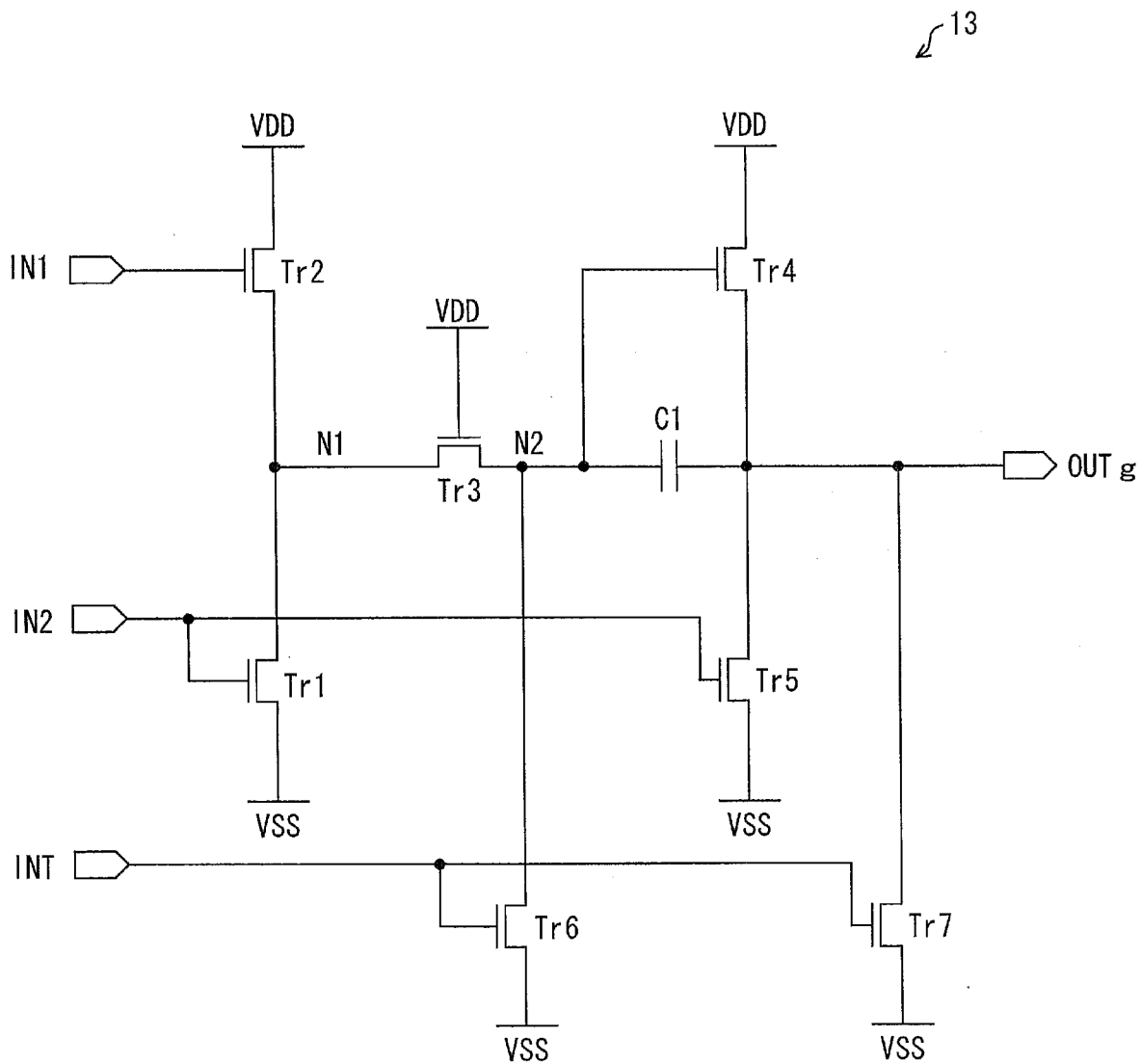


12

[図12]

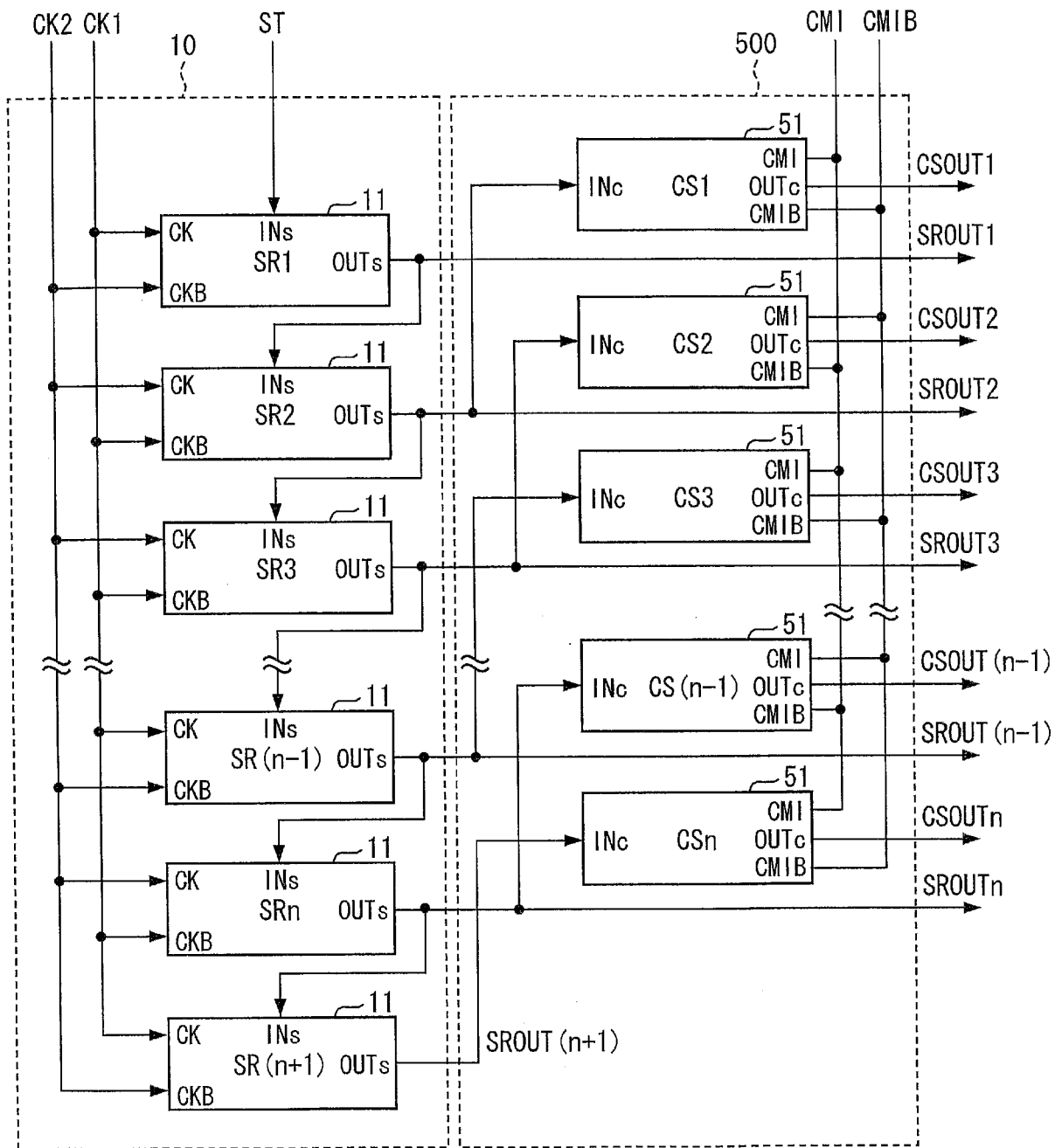


[図13]

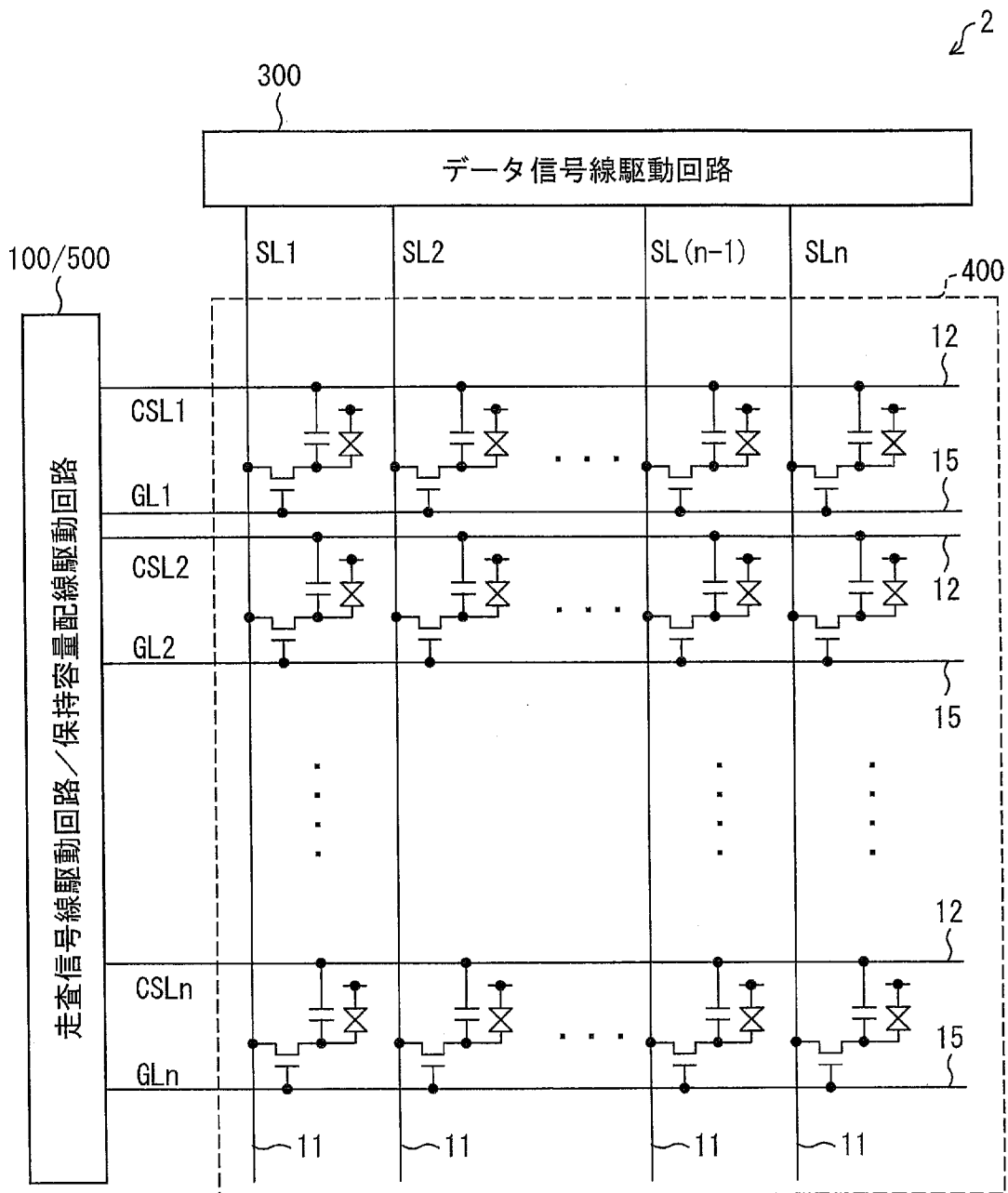


13

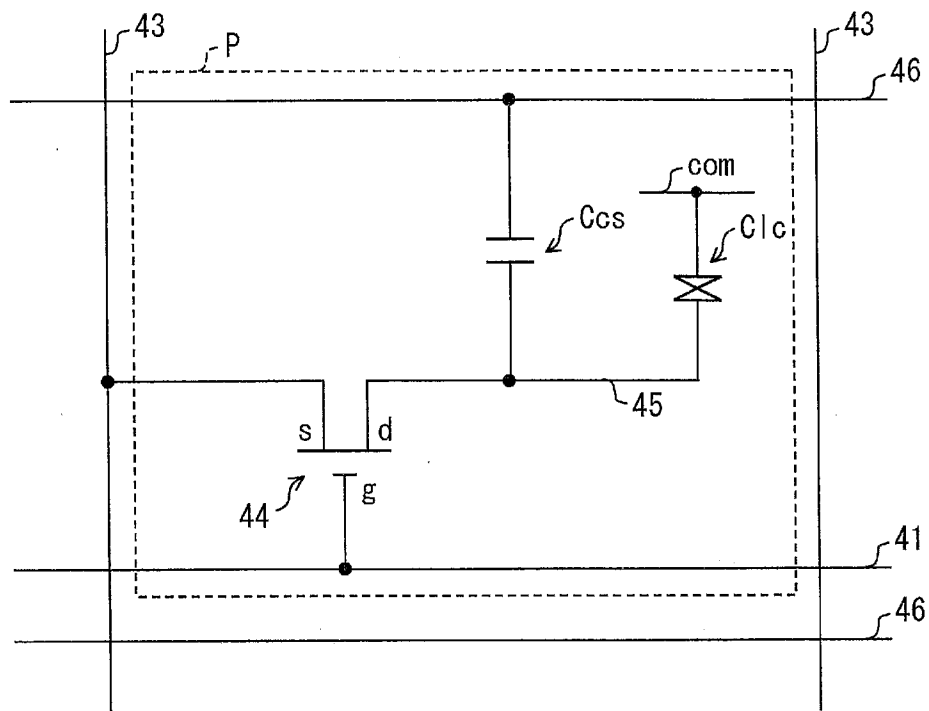
[図14]



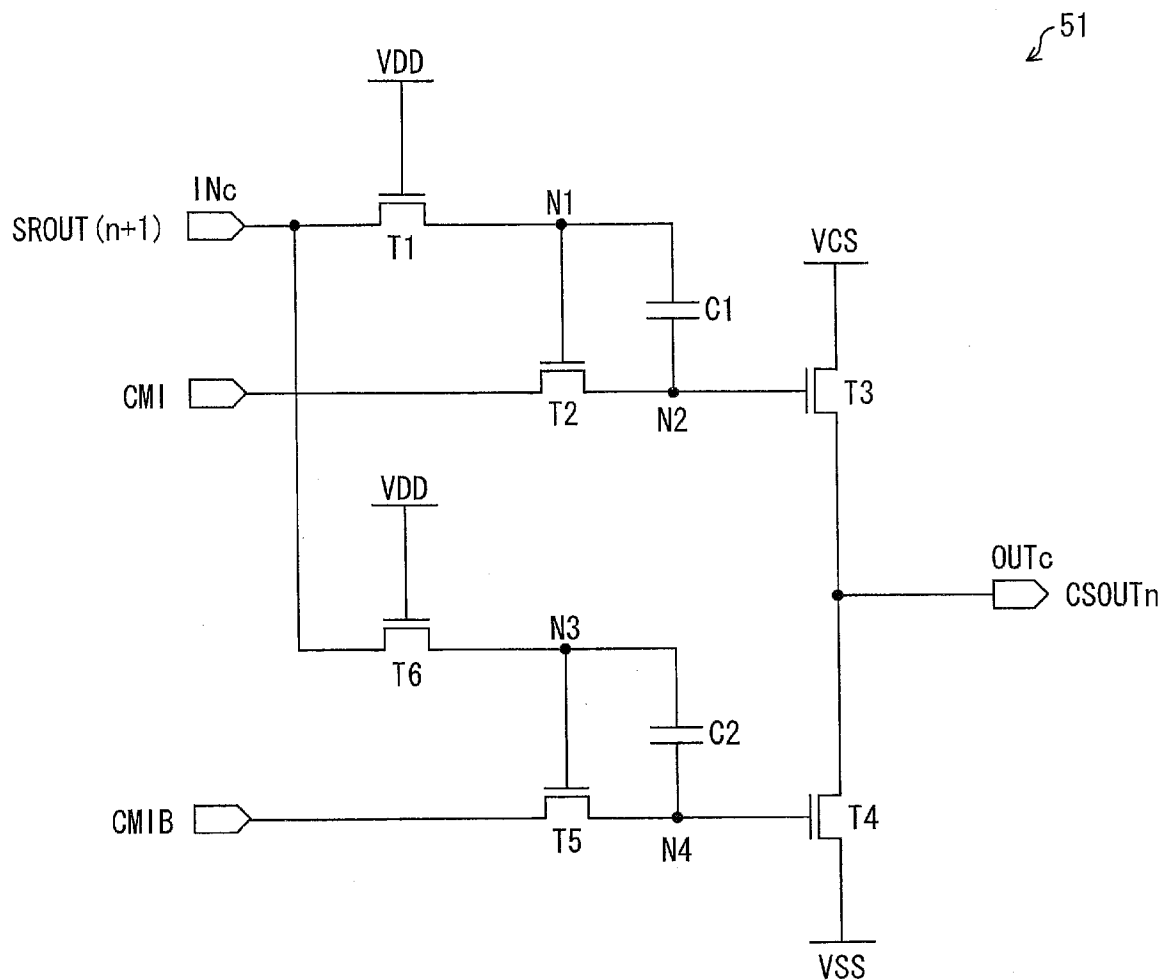
[図15]



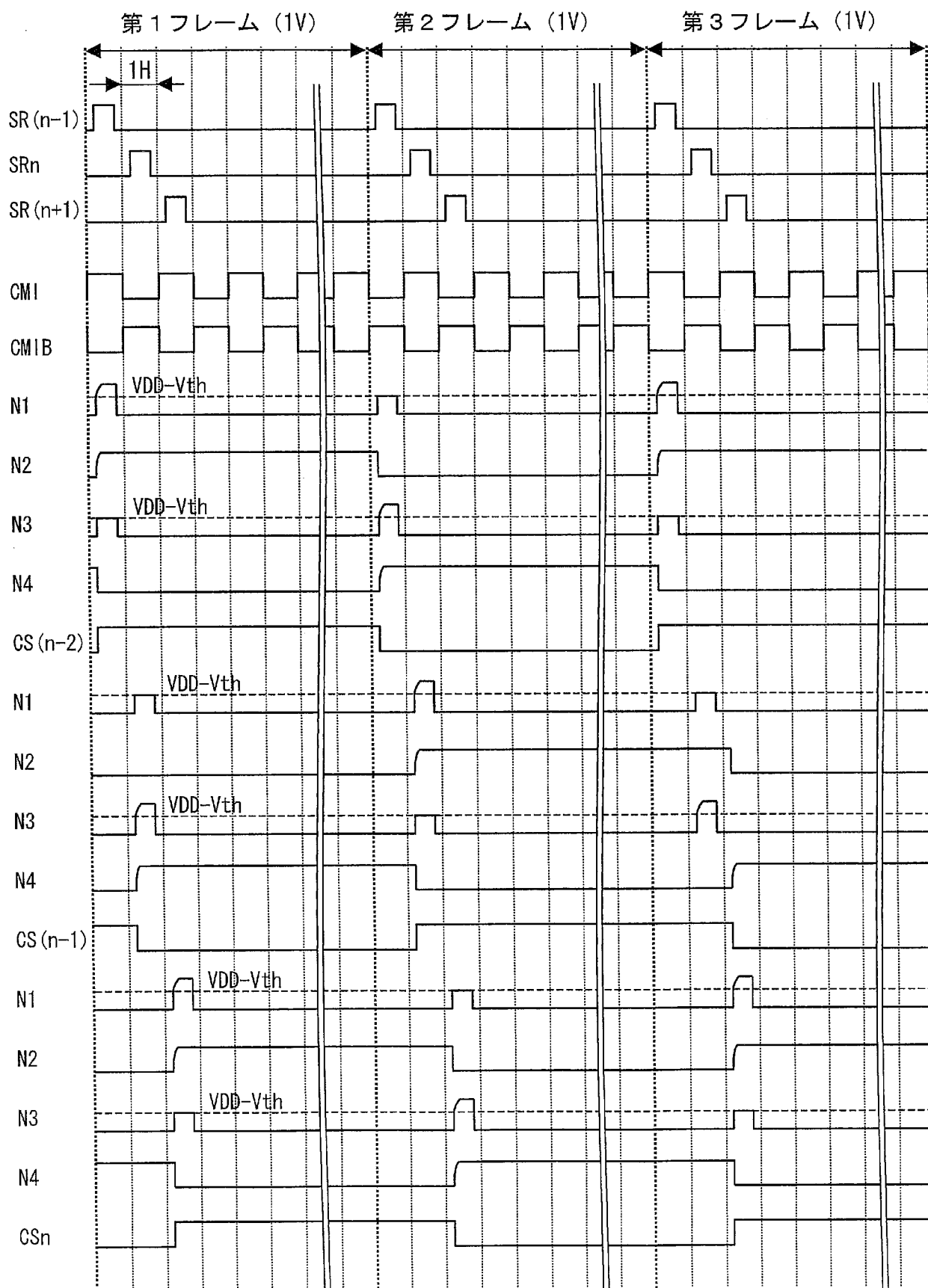
[図16]



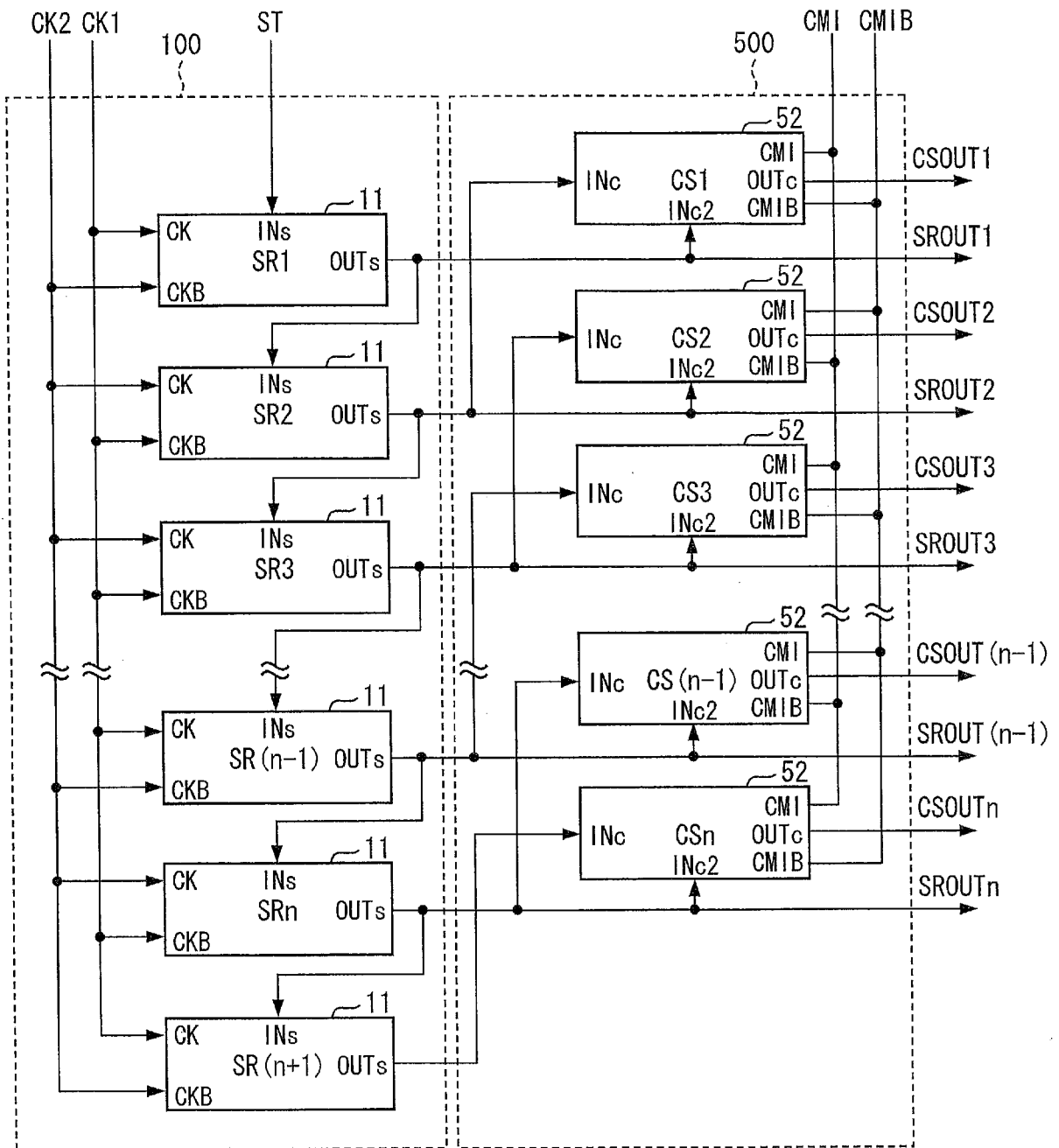
[圖17]



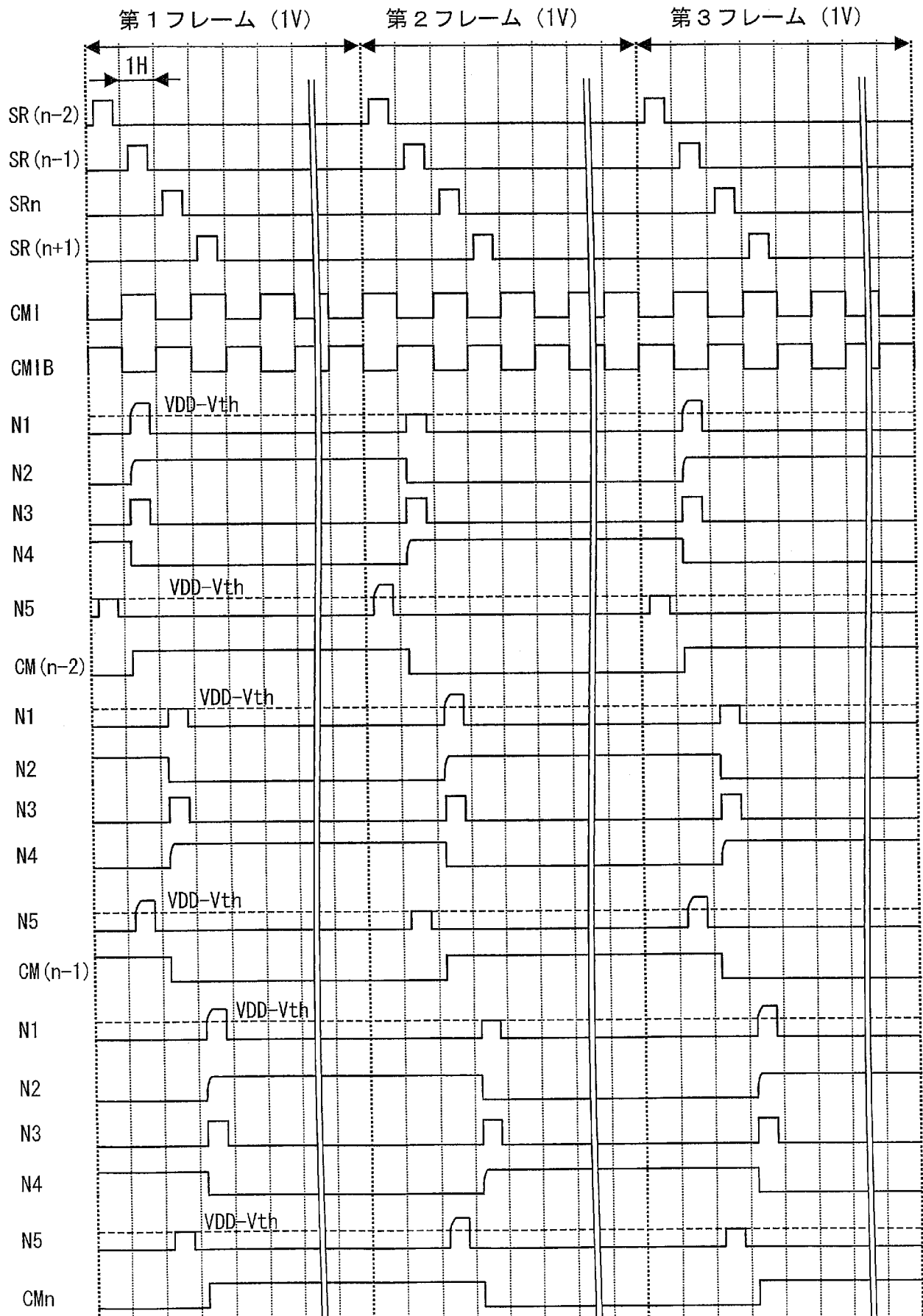
[図18]



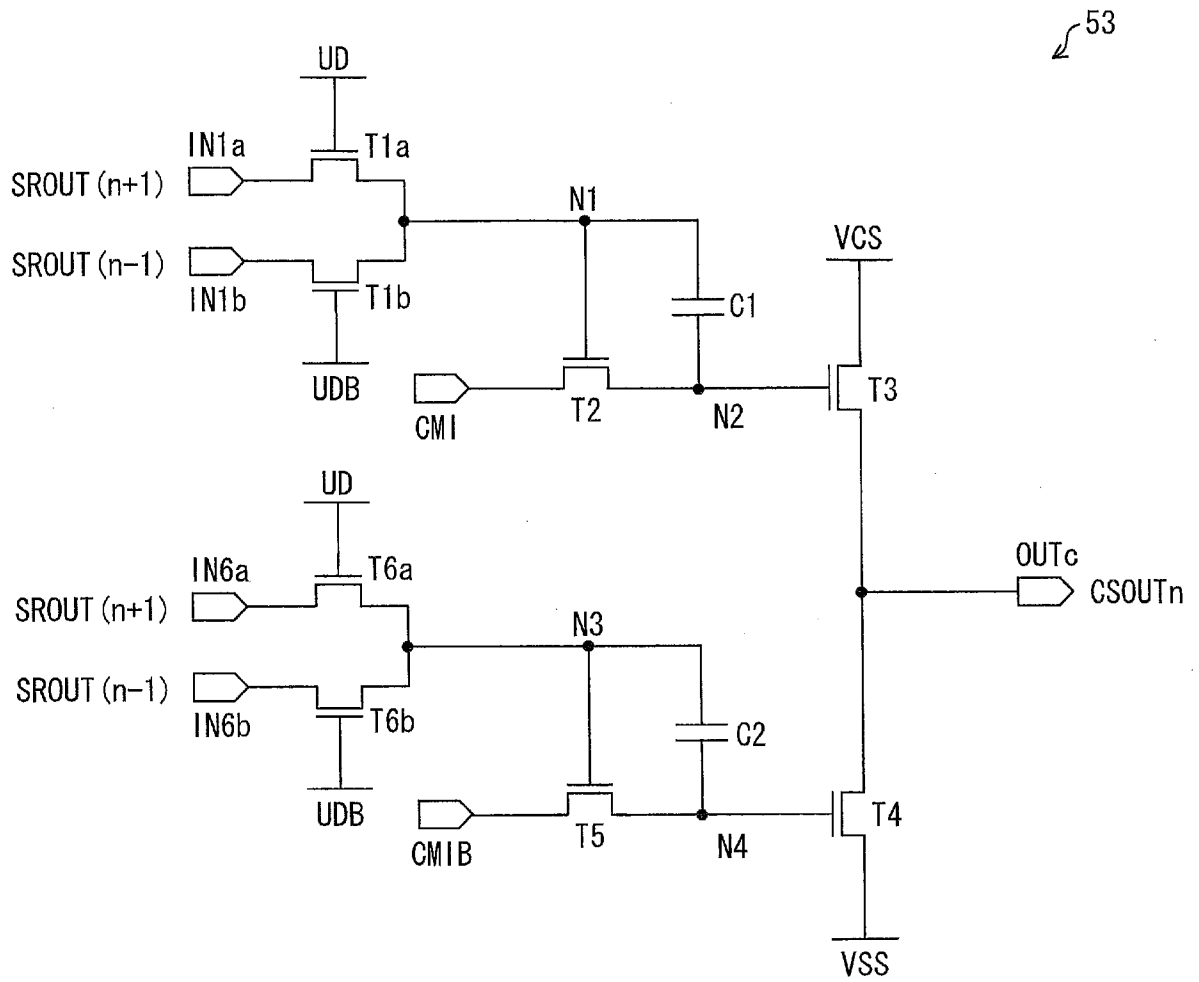
[図19]



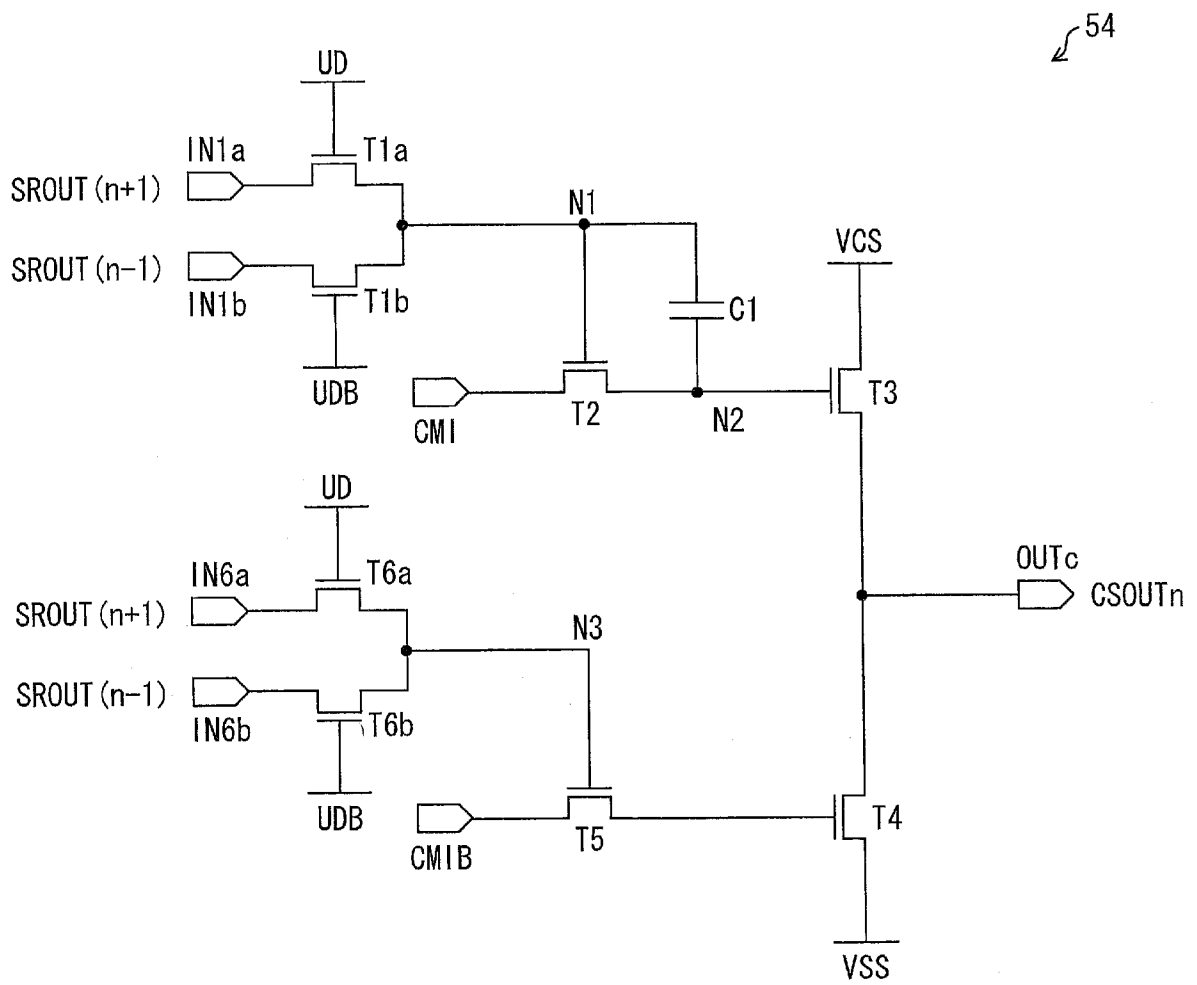
[図21]



[図22]

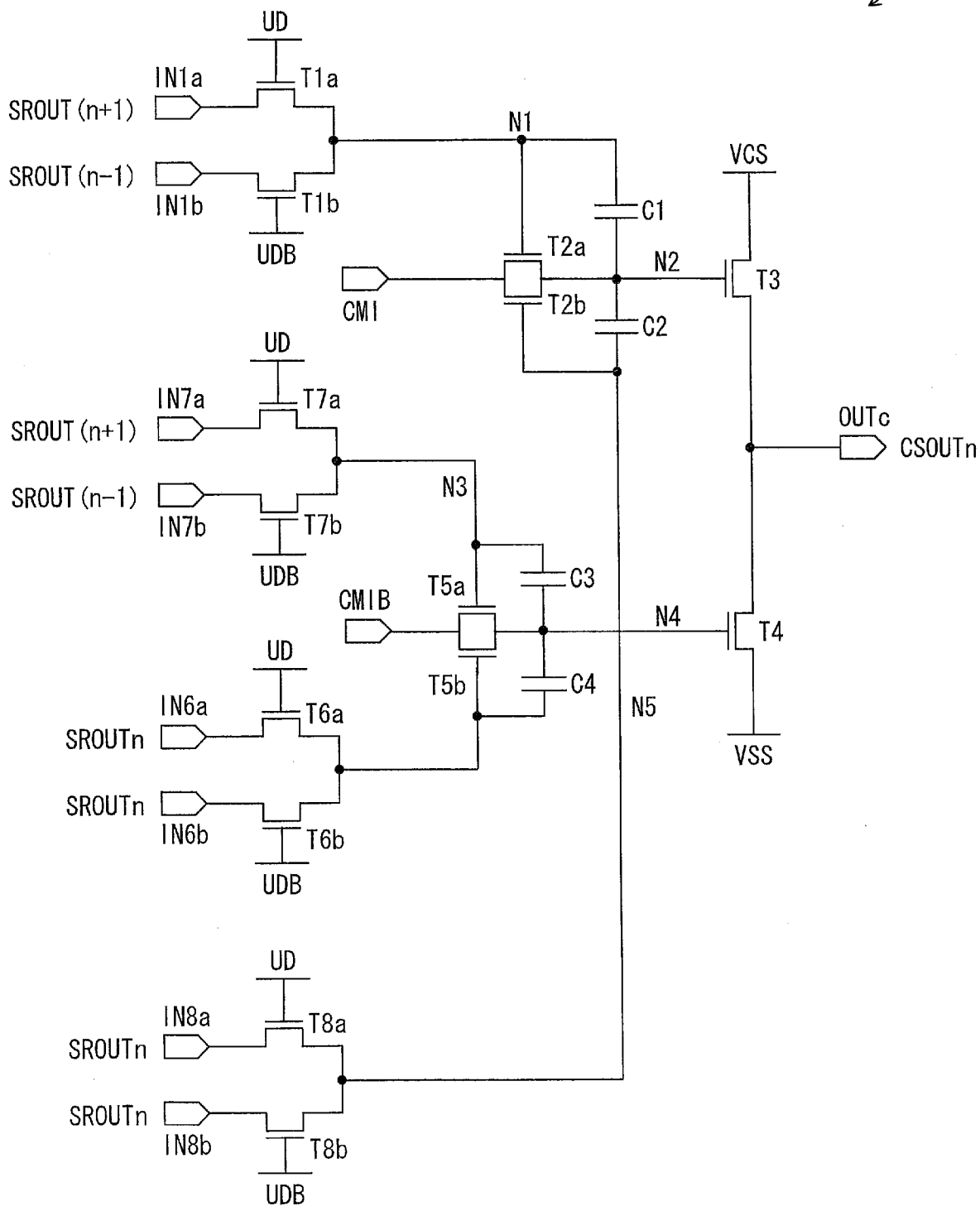


[図23]

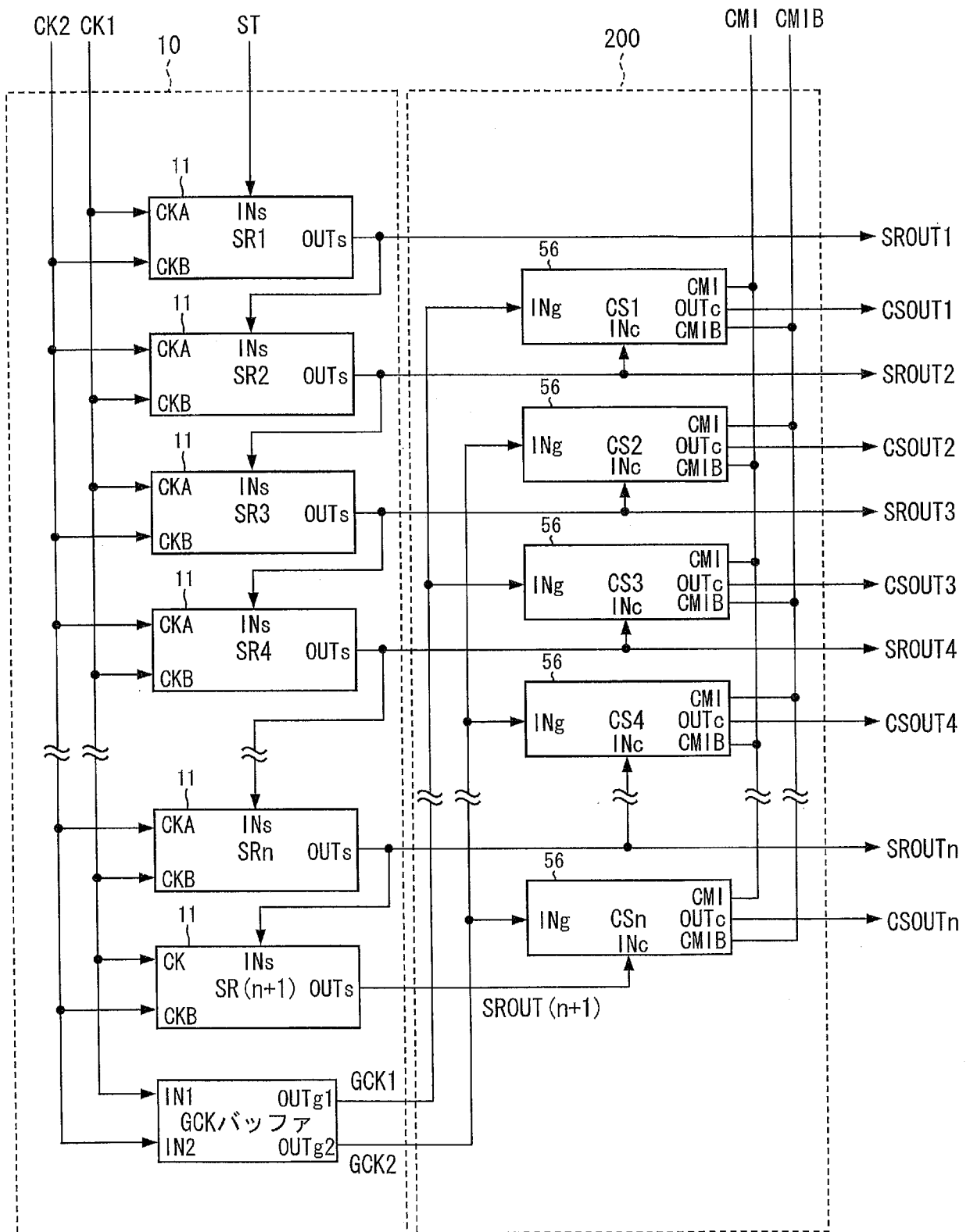


[図24]

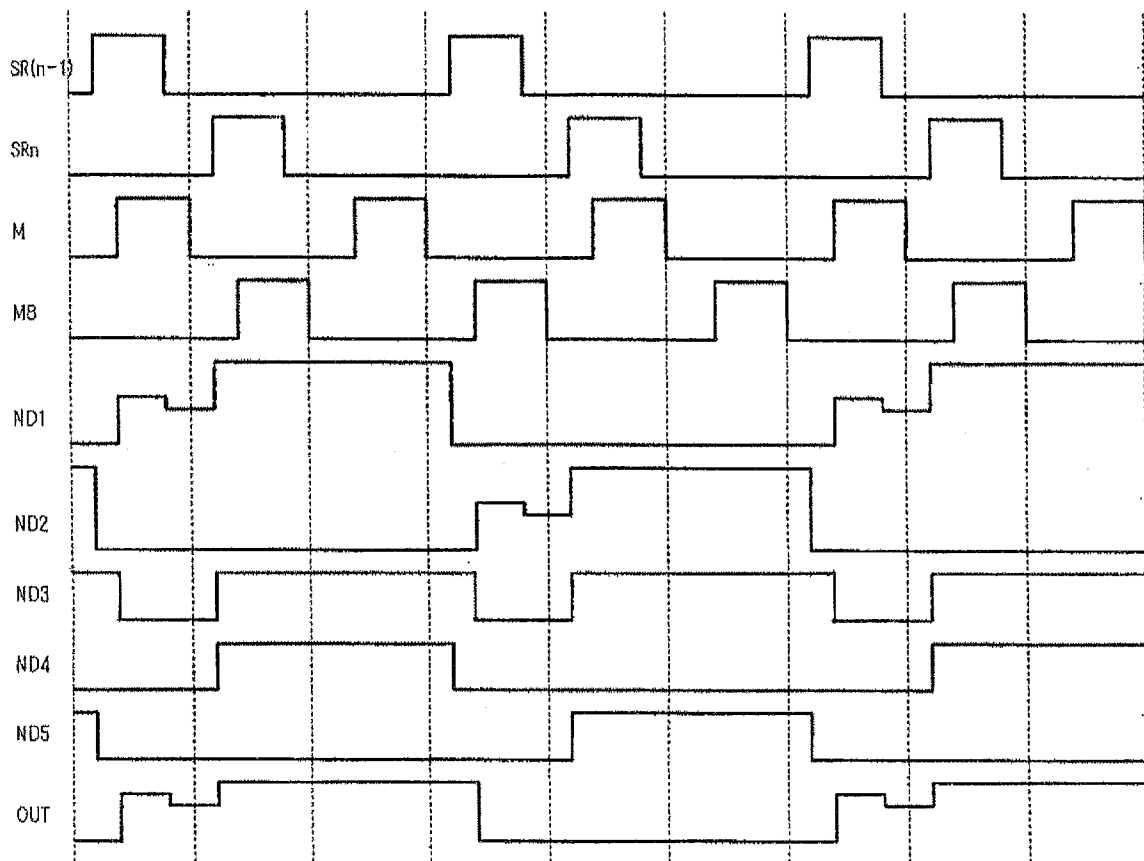
55



[図25]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/069585

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, H03K19/0175
(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-120308 A (Casio Computer Co., Ltd.), 11 May 2006 (11.05.2006), paragraphs [0075] to [0094]; fig. 10 to 12 (Family: none)	1-19
A	JP 2003-337576 A (Seiko Epson Corp.), 28 November 2003 (28.11.2003), entire text; fig. 1 to 24 (Family: none)	1-19

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 September, 2011 (22.09.11)Date of mailing of the international search report
04 October, 2011 (04.10.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/069585

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/059843 A1 (Semiconductor Energy Laboratory Co., Ltd.), 15 July 2004 (15.07.2004), entire text; fig. 1 to 38 & US 2005/0099068 A1 & US 2008/0291352 A1 & WO 2004/059843 A1 & AU 2003292565 A & KR 10-2005-0085895 A & CN 1732622 A & CN 101025535 A	1-19
A	JP 2005-37842 A (Semiconductor Energy Laboratory Co., Ltd.), 10 February 2005 (10.02.2005), entire text; fig. 1 to 15 & US 2005/0012887 A1 & US 2009/0160753 A1 & CN 1577028 A	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, H03K19/0175(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/00-3/38, G02F1/133, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-120308 A (カシオ計算機株式会社) 2006.05.11, 段落【0075】-【0094】, 図10-12 (ファミリーなし)	1-19
A	JP 2003-337576 A (セイコーエプソン株式会社) 2003.11.28, 全文, 図1-24 (ファミリーなし)	1-19

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 22.09.2011

国際調査報告の発送日
 04.10.2011

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	2G	9214
中村 直行		
電話番号 03-3581-1101 内線 3226		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2004/059843 A1 (株式会社半導体エネルギー研究所) 2004. 07. 15, 全文, 図 1 - 3 8 & US 2005/0099068 A1 & US 2008/0291352 A1 & WO 2004/059843 A1 & AU 2003292565 A & KR 10-2005-0085895 A & CN 1732622 A & CN 101025535 A	1-19
A	JP 2005-37842 A (株式会社半導体エネルギー研究所) 2005. 02. 10, 全文, 図 1 - 1 5 & US 2005/0012887 A1 & US 2009/0160753 A1 & CN 1577028 A	1-19