

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4562835号  
(P4562835)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int.Cl. F I  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 7 U  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 7 V

請求項の数 5 (全 46 頁)

(21) 出願番号	特願平11-316129	(73) 特許権者	000153878
(22) 出願日	平成11年11月5日(1999.11.5)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2001-135824(P2001-135824A)		神奈川県厚木市長谷398番地
(43) 公開日	平成13年5月18日(2001.5.18)	(72) 発明者	坂間 光範
審査請求日	平成18年11月3日(2006.11.3)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	石丸 典子
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	浅見 勇臣
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体層を形成する工程と、ゲート電極を形成する工程と、前記半導体層と前記ゲート電極との間のゲート絶縁膜を形成する工程とを有し、

前記ゲート絶縁膜は、少なくとも前記半導体層と接する第1の層となる酸化窒化シリコン膜と前記ゲート電極と接する第2の層となる酸化窒化シリコン膜とを有し、

前記第1の層は、SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から形成し、

前記第2の層は、SiH<sub>4</sub>、N<sub>2</sub>Oから形成することを特徴とする半導体装置の作製方法。

【請求項2】

半導体層を形成する工程と、ゲート電極を形成する工程と、前記半導体層と前記ゲート電極との間のゲート絶縁膜を形成する工程とを有し、

前記ゲート絶縁膜は酸化窒化シリコン膜であり、前記半導体層と接する領域から前記ゲート電極と接する領域にかけて、H<sub>2</sub>流量を減少させ、N<sub>2</sub>O流量を増加させて形成することを特徴とする半導体装置の作製方法。

【請求項3】

半導体層を形成する工程と、ゲート電極を形成する工程と、前記半導体層と前記ゲート電極との間のゲート絶縁膜を形成する工程とを有し、

前記ゲート絶縁膜は、少なくとも前記半導体層と接する第1の層となる酸化窒化シリコン膜と前記ゲート電極と接する第2の層となる酸化窒化シリコン膜とを有し、

前記第1の層は、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ の流量比が $X_h = 0.5 \sim 5$  ( $X_h = \text{H}_2 / (\text{SiH}_4 + \text{N}_2\text{O})$ )、 $X_g = 0.94 \sim 0.97$  ( $X_g = \text{N}_2\text{O} / (\text{SiH}_4 + \text{N}_2\text{O})$ )の範囲で形成し、

前記第2の層は、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ の流量比が $X_h = 0$  ( $X_h = \text{H}_2 / (\text{SiH}_4 + \text{N}_2\text{O})$ )、 $X_g = 0.97 \sim 0.99$  ( $X_g = \text{N}_2\text{O} / (\text{SiH}_4 + \text{N}_2\text{O})$ )の範囲で形成することを特徴とする半導体装置の作製方法。

【請求項4】

半導体層を形成する工程と、ゲート電極を形成する工程と、前記半導体層と前記ゲート電極との間のゲート絶縁膜を形成する工程とを有し、

前記ゲート絶縁膜は酸化窒化シリコン膜であり、前記半導体層と接する領域から前記ゲート電極と接する領域にかけて、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ のガス流量比が $X_h = 0.5 \sim 5$  ( $X_h = \text{H}_2 / (\text{SiH}_4 + \text{N}_2\text{O})$ )、 $X_g = 0.94 \sim 0.97$  ( $X_g = \text{N}_2\text{O} / (\text{SiH}_4 + \text{N}_2\text{O})$ )の範囲から、 $X_h = 0$  ( $X_h = \text{H}_2 / (\text{SiH}_4 + \text{N}_2\text{O})$ )、 $X_g = 0.97 \sim 0.99$  ( $X_g = \text{N}_2\text{O} / (\text{SiH}_4 + \text{N}_2\text{O})$ )の範囲に変化させて形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1または請求項4において、前記ゲート絶縁膜の第1の層と第2の層とを形成する工程は、プラズマCVD装置の同一の反応室で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタを形成するのに必要な絶縁膜材料およびその作製方法に関する。本発明の好適な利用分野として、画素部と駆動回路を同一の基板に設けたアクティブマトリクス型の液晶表示装置やエレクトロルミネッセンス(EL: Electro Luminescence)表示装置に代表される電気光学装置、及びそのような電気光学装置を搭載した電子機器がある。尚、本明細書において半導体装置とは半導体特性を利用することで機能しうる装置全般を指し、薄膜トランジスタを用いて形成されるアクティブマトリクス型の液晶表示装置に代表される電気光学装置、およびそのような電気光学装置を部品として搭載した電子機器を範疇とする。

【0002】

【従来の技術】

ガラスなどの透光性を有する絶縁基板上に非晶質半導体膜を形成し、レーザーアニール法や熱アニール法などで結晶化させた結晶質半導体膜を活性層とする薄膜トランジスタ(以下、TFTと記す)が開発されている。TFTを作製するために使用される基板は、代表的にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板である。このようなガラス基板は石英基板と比べ耐熱性は劣るものの市販価格が低く、また大面積基板を容易に製造できる利点を有している。

【0003】

ゲート電極の配置から見るとTFTの構造はトップゲート型とボトムゲート型に分類できる。トップゲート型はガラスなどの基板上に活性層を形成し、その上にゲート絶縁膜、ゲート電極の順に形成している。基板と活性層の間には下地膜を設ける場合が多い。一方、ボトムゲート型は同様な基板上にまずゲート電極を設け、その上にゲート絶縁膜、活性層の順に形成している。さらに活性層上には保護絶縁膜或いは層間絶縁膜を形成している。

【0004】

いずれにしてもTFTのゲート絶縁膜は酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜などで形成している。このような材料が用いられる理由は、活性層を形成する非晶質シリコン膜または結晶質シリコン膜に対して良好な界面を形成するためであり、そのためにシリコンを主成分の一つとする絶縁膜で形成することが適していると理解されているためである。

10

20

30

40

50

## 【 0 0 0 5 】

上記ゲート絶縁膜は通常プラズマCVD法や減圧CVD法で形成している。プラズマCVD法は原料ガスをグロー放電分解し、プラズマ化することによりラジカル（ここでは化学的活性種を意味する）を形成し、基板上に堆積させて膜を形成する技術であり、通常400以下の低温で膜の堆積を可能としている。しかし、プラズマ中にはイオン種も存在するのでシース領域における電界によって加速されたイオン種による下地へのダメージを上手く抑制する必要がある。一方、減圧CVD法は原料ガスを熱分解して基板上に膜を堆積する方法であり、プラズマCVD法のようにイオン種による基板へのダメージはないものの、堆積速度が原料ガスの供給量と反応温度で律速されてしまい、都合上TFTの製造工程に適用できない場合もある。

10

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

ゲート絶縁膜は界面準位密度と膜中の欠陥準位密度（バルク欠陥密度）を十分低減する必要がある。さらに内部応力やその熱処理による変化量も考慮する必要がある。良質なゲート絶縁膜を形成するためには、膜の堆積過程で界面および膜中に欠陥を導入しないことや、形成した膜の欠陥準位密度が小さくなる組成とすることが重要である。そのために分解効率が高い原料ガスを用いる手段が考えられている。例えば、TEOS（オルトケイ酸テトラエチル：Tetraethyl Orthosilicate、化学式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）と酸素（ $\text{O}_2$ ）の混合ガスによりプラズマCVD法で作製された酸化シリコン膜は良質な絶縁膜を形成できる方法の一つである。この酸化シリコン膜を用いてMOS構造を作製し、BT（バイアス・熱）試験を行うとフラットバンド電圧（以下、 $V_{fb}$ と略して記す）の変動を実用に耐え得る程度に低減できることが知られている。

20

## 【 0 0 0 7 】

しかし、TEOSをグロー放電分解する過程で水分（ $\text{H}_2\text{O}$ ）が生成されやすくこれが容易に膜中に取り込まれるため、上記のような良質な膜とするためには成膜後に400～600で熱アニールを施す必要がある。TFTの製造工程において、このような高温のアニール工程を組み込むことは、製造コストの増加要因となり好ましくない。

## 【 0 0 0 8 】

一方、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ などから作製される窒化シリコン膜は緻密で硬い膜を得ることができるが、欠陥準位密度や内部応力が大きいので活性層と界面を形成すると歪みを与え、TFTの特性に対してしきい値電圧（以下、 $V_{th}$ と記す）のシフトやサブスレッショルド定数（以下、 $S$ 値と略して記す）を大きくする悪影響がある。

30

## 【 0 0 0 9 】

$\text{SiH}_4$ と $\text{N}_2\text{O}$ との混合ガスを用いたプラズマCVD法による酸化窒化シリコン膜は、膜中に数～数十atomic%の窒素が含有させることにより密度の高い膜を形成することができる。しかし、作製条件によっては $\text{Si-N}$ 結合による欠陥準位が形成され、BT試験で $V_{fb}$ の値が大きく変動してしまう。或いはBT試験で安定であっても熱安定性に欠け、300～550の熱処理で $V_{fb}$ が変動してしまう。このような特性の変動は酸化窒化シリコン膜の組成の変化に起因するものと推測することができる。

## 【 0 0 1 0 】

一方、プラズマCVD法で $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ の混合ガスから酸化窒化シリコン膜を作製する技術が知られている。例えば、「"Structural and optical properties of amorphous silicon oxynitride", Jiun-lin Yeh and Si-ChenLee, Journal of Applied Physics vol.79, No.2, pp656-663,1996」において開示されている文献では、プラズマCVD法で分解温度を250とし、水素（ $\text{H}_2$ ）対 $\text{SiH}_4 + \text{N}_2\text{O}$ の混合比を0.9対1.0で一定として、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ の混合比を $X_g = [\text{N}_2\text{O}] / ([\text{SiH}_4] + [\text{N}_2\text{O}])$ で表し、その $X_g$ の値を0.05～0.975まで変化させて作製された酸化窒化水素化シリコン膜について述べられている。しかしながら、ここで作製された酸化窒化水素化シリコン膜には、 $\text{HSi-O}_3$ 結合や $\text{H}_2\text{Si-O}_2$ 結合の存在がフーリエ変換赤外分光法（FT-IR）により明瞭にその存在が観測されている。このような結合は熱的安定性に劣

40

50

るばかりか、配位数の変動によりその結合が存在する周辺に欠陥準位密度を形成してしまうことが推測される。そのような場合、酸化窒化シリコン膜であっても、その組成或いは不純物元素までを含めた成分まで詳細に吟味しないと、容易にはTFTの特性に重大な影響を与えるゲート絶縁膜に使用することはできない。

【0011】

本発明は上記問題点を解決するための技術であり、TFTに代表される絶縁ゲート型トランジスタに適したゲート絶縁膜、及びその作製方法を提供することを目的とする。また、本発明はそのようなゲート絶縁膜を用いTFTの $V_{th}$ やS値などの特性の安定性及び信頼性を確保することを目的とする。

【0012】

【課題を解決するための手段】

上記問題点を解決するために本発明は、プラズマCVD法で $SiH_4$ 、 $N_2O$ 、 $H_2$ を用いて酸化窒化シリコン膜を作製し、この膜をTFTのゲート絶縁膜に適用する。作製される酸化窒化シリコン膜の特性は、主に $N_2O$ と $H_2$ の流量を変化させて制御する。 $H_2$ の流量の増加により膜中の水素濃度と窒素濃度を上記範囲内において増加させることができる。また、 $N_2O$ の流量の増加により膜中の水素濃度と窒素濃度が減少し酸素濃度を高くすることができる。一方、 $H_2$ と $N_2O$ のガス流量比のみを変化させてもシリコンの濃度は殆ど変化しない。

【0013】

具体的には、 $SiH_4$ 、 $N_2O$ 、 $H_2$ の流量比が $X_h = 0.5 \sim 5$  ( $X_h = H_2 / SiH_4 + N_2O$ )、 $X_g = 0.94 \sim 0.97$  ( $X_g = N_2O / SiH_4 + N_2O$ )の範囲で形成する酸化窒化シリコン膜と、 $X_h = 0$  ( $X_h = H_2 / SiH_4 + N_2O$ )、 $X_g = 0.97 \sim 0.99$  ( $X_g = N_2O / SiH_4 + N_2O$ )の範囲で形成する酸化窒化シリコン膜とを形成し、それらの酸化窒化シリコン膜を使い分ける。

【0014】

プラズマCVD法で酸化窒化シリコン膜を作製する時に、 $SiH_4$ と $N_2O$ の混合ガスに $H_2$ を添加することで、 $SiH_4$ から分解して生成されたラジカルが気相中(反応空間中)でポリマー化をするのを防ぎ、パーティクルの生成を無くすることができる。また、膜の成長表面において、水素ラジカルによる表面吸着水素の引き抜き反応により過剰な水素が膜中へ取り込まれるのを防止することができる。このような作用は膜堆積時の基板温度と密接な相関があり、基板温度を $300 \sim 450$ 、好ましくは $400$ にすることによりその作用を得ることができる。その結果、欠陥密度の少ない緻密な膜を形成することを可能とし、膜中に含まれる微量の水素は格子歪みを緩和する作用として有効に働く。水素を分解して水素ラジカルの発生密度を高めるには、グロー放電を発生させるための高周波電源周波数 $13.56 \sim 120$  MHz、好ましくは $27 \sim 60$  MHzの範囲とし、放電電力密度 $0.1 \sim 1$  W/cm<sup>2</sup>とする。

【0015】

上記の作製条件を採用することにより、本発明に適用される酸化窒化シリコン膜の組成は、窒素濃度が $0.5$  atomic%以上 $10$  atomic%未満、水素濃度が $0.5$  atomic%以上 $5$  atomic%未満、酸素濃度が $50$  atomic%以上 $70$  atomic%未満となるようにする。

【0016】

本発明の特徴は、酸化窒化シリコン膜でTFTのゲート絶縁膜を形成する場合において、少なくとも、ゲート絶縁膜の活性層側とゲート電極側とでその組成を異ならせ、相対的に前者の方が膜中窒素濃度及び水素濃度が高く酸素濃度が低くなるようにする。

【0017】

例えば、ゲート絶縁膜の活性層と接する第1層目を窒素濃度 $7 \sim 10$  atomic%、水素濃度が $2 \sim 3$  atomic%、酸素濃度が $52 \sim 55$  atomic%の酸化窒化シリコン膜で形成し、ゲート電極に接する第2層目を窒素濃度 $1 \sim 2$  atomic%、水素濃度 $0.5 \sim 2$  atomic%、酸素濃度が $62 \sim 65$  atomic%の酸化窒化シリコン膜で形成し、階段状の濃度勾配を設ける。或いは、上記のように第1層目と第2層目との明確な区別を無くし、組成を連続的に変化さ

10

20

30

40

50

せても良い。

【0018】

このような構成のゲート絶縁膜は、トップゲート型のTFTであってもボトムゲート型（或いは逆スタガ型）のTFTであっても適用することができる。

【0019】

本発明の酸化窒化シリコン膜はプラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>を原料ガスとして作製されるものである。ここでは、その酸化窒化シリコン膜を用いてMOS構造の試料を作製したときに得られる容量 電圧特性（以下、C-V特性と略して記す）を示す。

【0020】

酸化窒化シリコン膜の作製にはプラズマ装置の構成は容量結合型の平行平板方式のものを用いる。その他にも誘導結合型の方式や電子サイクロトロン共鳴など磁場のエネルギーを援用したプラズマCVD装置を用いても良い。酸化窒化シリコン膜はSiH<sub>4</sub>、N<sub>2</sub>Oガスをを用い、さらにH<sub>2</sub>を添加して組成を変化させることができる。プラズマ形成時の圧力は10～133Pa（好ましくは20～40Pa）、高周波電力密度0.2～1W/cm<sup>2</sup>（好ましくは0.3～0.5W/cm<sup>2</sup>）、基板温度200～450（好ましくは300～400）、高周波電源の発振周波数は10～120MHz（好ましくは27～60MHz）で形成する。

【0021】

表1には3種類の作製条件が記載されている。条件#210はSiH<sub>4</sub>とN<sub>2</sub>Oから作製する酸化窒化シリコン膜の作製条件である。一方、#211と#212はSiH<sub>4</sub>とN<sub>2</sub>OにH<sub>2</sub>を添加したときの作製条件であり、添加するH<sub>2</sub>流量を変化させたものである。本明細書ではSiH<sub>4</sub>とN<sub>2</sub>Oから作製する酸化窒化シリコン膜を酸化窒化シリコン膜（A）と表記し、SiH<sub>4</sub>とN<sub>2</sub>OにH<sub>2</sub>から作製する酸化窒化シリコン膜を酸化窒化シリコン膜（B）と表記する。酸化窒化シリコン膜（A）はSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>の流量比がXh=0（Xh=H<sub>2</sub>/SiH<sub>4</sub>+N<sub>2</sub>O）、Xg=0.97～0.99（Xg=N<sub>2</sub>O/SiH<sub>4</sub>+N<sub>2</sub>O）の範囲で形成し、酸化窒化シリコン膜（B）はSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>の流量比がXh=0.5～5（Xh=H<sub>2</sub>/SiH<sub>4</sub>+N<sub>2</sub>O）、Xg=0.94～0.97（Xg=N<sub>2</sub>O/SiH<sub>4</sub>+N<sub>2</sub>O）の範囲で形成する。

【0022】

また、表1には酸化窒化シリコン膜の成膜前に実施する前処理条件について記載されている。この前処理は必須なものではないが、酸化窒化シリコン膜特性の再現性やTFTに応用した場合におけるその特性の再現性を高めるために有用である。

【0023】

【表1】

条件 \ サンプルNo.		#210	#211	#212	
プラズマ処理	ガス(sccm)	H <sub>2</sub>	100	200	200
		O <sub>2</sub>	100	0	0
	圧力(Pa)		20	20	20
	高周波電力(W/cm <sup>2</sup> )		0.2	0.2	0.2
	処理時間(分)		2	2	2
成膜	ガス(sccm)	SiH <sub>4</sub>	4	5	5
		N <sub>2</sub> O	400	120	120
		H <sub>2</sub>	0	500	125
	圧力(Pa)		20	20	20
	高周波電力(W/cm <sup>2</sup> )		0.4	0.4	0.4
	基板温度(°C)		400	400	400

【0024】

表1を参照すると前処理条件は水素を200 SCCM導入し、圧力20 Pa、高周波電力0.2 W/cm<sup>2</sup>でプラズマを生成して2分間処理する。また、水素を100 SCCMと酸素を100 SCCM導入して同様にプラズマを生成して処理しても良い。また、表には記載しないがN<sub>2</sub>Oと水素を導入して圧力10~70 Pa、高周波電力密度0.1~0.5 W/cm<sup>2</sup>で数分間処理しても良い。このような前処理のとき基板温度は300~450、好ましくは400とすれば良い。前処理の効果は基板上の被堆積表面をクリーニングする作用や、被堆積表面に水素を吸着させ一時的に不活性化させることで、その後堆積される酸化窒化水素化シリコン膜の界面特性を安定化させる作用がある。また、酸素やN<sub>2</sub>Oを同時に導入することにより被堆積表面の最表面およびその近傍を酸化させ、界面準位密度を低減させるなどの好ましい作用がある。

10

## 【0025】

具体的には、酸化窒化水素化シリコン膜(B)の成膜条件は、#211の条件でSiH<sub>4</sub>を5 SCCM、N<sub>2</sub>Oを120 SCCM、水素を500 SCCM、反応圧力20 Pa、高周波電力密度0.4 W/cm<sup>2</sup>とし、基板温度400で作製した。高周波電源周波数は10~120 MHz、好ましくは27~60 MHzが適用され得るが、ここでは60 MHzとした。また、#212の条件では、#211の条件に対して水素の流量を125 SCCMとして作製した。それぞれのガスの流量は、その絶対値を限定するものではなく流量比に意味を持っている。Xh = [H<sub>2</sub>] / ([SiH<sub>4</sub>] + [N<sub>2</sub>O])とすると、Xhは0.1~7の範囲とすれば良い。また、前述のように、Xg = [N<sub>2</sub>O] / ([SiH<sub>4</sub>] + [N<sub>2</sub>O])とすると、Xgは0.90~0.996の範囲とすれば良い。また、酸化窒化シリコン膜(A)の成膜条件は

20

## 【0026】

このような条件で作製した酸化窒化シリコン膜の代表的な特性を表2に示す。表2には、ラザフォード・バックスキャタリング・スペクトロメトリー(Rutherford Backscattering Spectrometry: 以下、RBSと省略して記す。使用装置システム; 3S-R10、加速器; NEC 3SDH pelletron エンドステーション; CE&A RBS-400)から求めた水素(H)、窒素(N)、酸素(O)、シリコン(Si)の組成と密度、及び内部応力(測定器: Ionic System社製のModel-30114)の初期値と熱アニールによる内部応力の値を示す。内部応力の表記で(+)の記号は引張り応力(膜を内側にして変形する応力)を表し、( )の記号は圧縮応力(膜を外側にして変形する応力)を表す。

30

## 【0027】

## 【表2】

サンプルNo.		#210	#211	#212
組成 (atomic%)	H	1.6±0.5	3.0±0.5	2.0±0.5
	N	1.5±4	9.6±4	7.9±4
	O	63.5±2	53.8±2	56.4±2
	Si	33.4±2	33.6±2	33.7±2
組成比	O/Si	1.9	1.6	1.67
	N/Si	0.04	0.18	0.14
密度(atoms/cm <sup>3</sup> )		6.53×10 <sup>22</sup>	7.16×10 <sup>22</sup>	7.11×10 <sup>22</sup>

40

## 【0028】

表2の結果では、成膜時にH<sub>2</sub>を添加することで膜中に含まれる水素の濃度が増加している。これに伴い酸素や窒素の含有量も変化している。酸化窒化シリコン膜(A)ではSiに対するOの比が1.9(許容範囲として1.7~2)であり、Siに対するNの比が0.04(許容範囲として0.02~0.06)である。これに対し酸化窒化シリコン膜(B)の組成は、成膜時に添加するH<sub>2</sub>の流量で変化するものの、Siに対するOの比が1.6(許容範囲として1.4~1.8)程度であり、Siに対するNの比が0.14~0

50

．18（許容範囲として0.05～0.5）であり、Siに対してOの割合が低下し、窒素の割合が増加している。

【0029】

窒素含有量の増加は膜の密度の増加と対応しており、酸化窒化シリコン膜（A）の6.5 atoms/cm<sup>3</sup>から、酸化窒化シリコン膜（B）では7.1 atoms/cm<sup>3</sup>に増加し緻密化している。このような密度の変化はフッ化水素アンモニウム（NH<sub>4</sub>HF<sub>2</sub>）を7.13%とフッ化アンモニウム（NH<sub>4</sub>F）を15.4%含む混合溶液（ステラケミファ社製、商品名LAL500）の20におけるエッチング速度と比較すると、表1に記載したように酸化窒化シリコン膜（A）で120nm/minであるのに対し、酸化窒化シリコン膜（B）では63～105nm/minとなっており、膜が緻密化していることと対応している。

10

【0030】

さらに、内部応力で比較すると、酸化窒化シリコン膜（A）は $-4.26 \times 10^8$ Paの圧縮応力であるものが熱処理（500、1時間+550、4時間：結晶化の工程における処理条件と同等なもの）で $-7.29 \times 10^6$ Paに大きく変化する。一方、酸化窒化シリコン膜（B）は $2.31 \times 10^8$ Paの引張り応力であり熱処理を施しても殆ど変化しない。熱処理により内部応力が変化する現象は膜の構造変化や組成変化と関連付けて考慮することができ、酸化窒化シリコン膜（A）の熱的安定性が劣ることを示している。

【0031】

表1の条件を基にして作製した酸化窒化シリコン膜の特性を、MOS構造の試料を作製してC-V（容量対電圧）特性とそのBT（バイアス・熱）試験によるV<sub>fb</sub>の変動について調べた。C-V特性においてはV<sub>fb</sub>が0VとなりBT試験においてもその変動がないことが最も望ましく、この値が0Vからずれることは界面や絶縁膜中に欠陥準位密度が多いことを意味する。試料は単結晶シリコン基板（CZ-N型、<100>、抵抗率3～7 cm）の上に表1に示す条件で酸化窒化シリコン膜を100～150nmの厚さに形成した。電極はアルミニウム（Al）をスパッタ法で400nmの厚さに形成し、電極面積は78.5 mm<sup>2</sup>とした。また、単結晶シリコン基板の裏面にも同じ厚さでAl電極を形成し、水素雰囲気中において350で30分熱処理を施しシンタリングを行った。BT試験は酸化窒化シリコン膜上の電極に±1.7MVの電圧を印加して、150で1時間放置した。本明細書では便宜上、負の電圧を印加する場合を-BT試験、正の電圧を印加した場合を+BT試験と表す。

20

30

【0032】

最初に酸化窒化シリコン膜（A）と（B）のそれぞれのC-V特性を評価した。試料は、上記単結晶シリコン基板上に130nmの酸化窒化シリコン膜（A）または（B）を表1の作製条件で成膜したものである。測定は試料作製後の初期値と、BT試験及び+BT試験後と、その後さらに熱処理（500 1時間+550 4時間）を加えた後のC-V特性を測定した。表3はその結果であり、V<sub>fb</sub>の値について示す。尚、表3に記載した試料の作製条件は表1に対応したものである。C-V特性の測定には横川ヒューレット・パッカー社製のYHP-4192Aを用いた。

【0033】

【表3】

40

試料No.		①Vfb(V) initial	②Vfb(V) -BT	③Vfb(V) +BT	$\Delta Vfb$ ①/②	$\Delta Vfb$ ②/③
#210	熱処理前	-1.6	-3.3	-2.6	-1.7	0.7
	熱処理後	-1.8	-3.4	-2.6	-1.6	0.8
#212	熱処理前	-0.4	-0.7	-0.7	-0.3	0.0
	熱処理後	-1.9	-3.7	-3.1	-1.8	0.6
#211	熱処理前	-3.2	-	-3.9	3.2	-3.9
	熱処理後	-1.0	0.6	-1.6	1.6	-2.2

熱処理: 500°C、1時間+550°C、4時間

10

【0034】

試料#210は酸化窒化シリコン膜(A)であり、Vfbの初期値は-1.6Vであるのに対しBT試験により-3.3Vまで変動している。しかし上記条件の熱処理では殆ど変化していない。試料#211、#212のVfbはBT試験では殆ど変化しないのに対し、熱処理でプラス方向に変動している。また、Vfbの初期値を比較すると酸化窒化シリコン膜(B)である試料#212が一番0Vに近く適している。

【0035】

表3の結果より、Vfbの初期値から半導体との界面の形成には酸化窒化シリコン膜(B)の#212が適していると判断できる。この試料の熱処理によるVfbの変化は膜中からの水素放出などが原因と考えられ、熱的安定性を考慮すると酸化窒化シリコン膜(A)が適していると見ることができる。

20

【0036】

次に、酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)の2層構造とし、半導体表面側から積層順を変えた試料を作製して評価した。具体的には、単結晶シリコン基板\酸化窒化シリコン膜(A)\酸化窒化シリコン膜(B)の構造を有するものをサンプルAと分類し、単結晶シリコン基板\酸化窒化シリコン膜(B)\酸化窒化シリコン膜(A)としたものをサンプルBと分類して、それぞれ膜厚を異ならせたサンプルを作製した。尚、酸化窒化シリコン膜(B)は#212の条件を採用した。表4に評価した試料構造とその結果を示し、図27は同試料のVfbの値を示すグラフである。尚、サンプルAに付した末番は積層した膜厚の違いを区別するためであり、サンプルBも同様である。

30

【0037】

【表4】

試料No.	膜厚 (nm)	①Vfb(V) initial	②Vfb(V) -BT	③Vfb(V) +BT	$\Delta Vfb$ ①/②	$\Delta Vfb$ ②/③
A-1	(A):30nm\ (B)90nm	-0.4	-0.8	-0.5	-0.4	0.3
A-2	(A):90nm\ (B)30nm	-0.9	-1.6	-1.0	-0.7	0.6
B-1	(A):60nm\ (B)60nm	0.3	0.1	0.4	-0.2	0.3
B-2	(A):30nm\ (B)90nm	0.0	-0.3	0.0	-0.3	0.3
B-3	(A):90nm\ (B)30nm	0.2	0.1	0.5	-0.1	0.4

(A): 酸化窒化シリコン膜 (A)

(B): 酸化窒化シリコン膜 (B)

40

【0038】

表4と図27の結果から、Vfbの値はサンプルAで-0.4~0.9Vであるのに対し、サンプルBでは0~0.3Vとなり良好な値を示している。また、BT試験後(酸化窒化シリコン膜上の電極に-1.7MVの電圧を印加した後)では、前者が-0.8~1.6Vであるのに対し、後者は-0.1~0.3Vであり変動幅が小さく安定性が高い

50

ことが示された。

【0039】

このように、表4に示す構造の試料のC-V特性には明確な差が認められ、V<sub>fb</sub>の初期値およびBT試験後の変動値の両者を小さくできる構造があることを示している。即ち、単結晶シリコン基板上に酸化窒化シリコン膜(B)を最初に体積し、その後酸化窒化シリコン膜(A)を積層させる構造が良いことを示している。

【0040】

以上のように、酸化窒化シリコン膜の特性について代表的な例を示した。勿論、本発明に適用し得る絶縁膜としての酸化窒化シリコン膜は表1~4及び図24で示したものに限定されるものではない。酸化窒化シリコン膜(A)の組成は、TFETに代表される半導体装置に適したゲート絶縁膜として適した絶縁膜の組成は、窒素濃度1~2atomic%、水素濃度0.5~2atomic%、酸素濃度62~65atomic%とする。酸化窒化シリコン膜(A)の組成は、窒素濃度7~10atomic%、水素濃度2~3atomic%、酸素濃度52~55atomic%とする。さらに、酸化窒化シリコン膜(A)の密度は $6 \times 10^{22}$ 以上 $7 \times 10^{22}$ atoms/cm<sup>3</sup>未満とし、酸化窒化シリコン膜(B)の密度は $7 \times 10^{22}$ 以上 $8 \times 10^{22}$ atoms/cm<sup>3</sup>未満とする。上述のフッ化水素アンモニウム(NH<sub>4</sub>HF<sub>2</sub>)をとフッ化アンモニウム(NH<sub>4</sub>F)を含む混合溶液によるエッチング速度は、酸化窒化シリコン膜(A)で110~130nm/minとし、酸化窒化シリコン膜(B)で60~110nm/minとする。

【0041】

【発明の実施の形態】

酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)をTFETのゲート絶縁膜に適用する例を示す。図1(A)はトップゲート型のTFETの構成について示したものである。基板1001上に下地膜(または、ブロッキング層ともいう)1002が形成され、その上に島状半導体層1003が形成されている。島状半導体層は非晶質半導体、結晶質半導体いずれの材料であっても良い。ゲート絶縁膜1004は島状半導体層1003の上面及び端面に接して形成されている。

【0042】

ゲート絶縁膜1004は、膜厚方向に対して酸化窒化シリコン膜(A)から酸化窒化シリコン膜(A)から酸化窒化シリコン膜(B)に連続的または階段状に組成が変化する構成とする。図1(B)、(C)は酸化窒化シリコン膜の水素と窒素の組成を示すグラフである。上記構成の一例として、図1(B)に示すように酸化窒化シリコン膜(B)を島状半導体層に接して形成し、その上に酸化窒化シリコン膜(A)を形成する。または、図1(C)に示すように島状半導体層側から酸化窒化シリコン膜(B)から酸化窒化シリコン膜(A)に連続的に組成を変化させても良い。

【0043】

酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)を積層または連続的に組成を変化させることで、TFETの特性を安定化させることができる。具体的にはV<sub>th</sub>のシフトを防ぎ、熱的安定性及びバイアスストレスによる変動を防ぐことができる。

【0044】

図2は酸化窒化シリコン膜(A)と(B)を形成して、本発明の構成を得るのに適した装置の一例を示している。図1(A)に示すプラズマCVD装置は、ロード/アンロード室901、搬送室902、成膜室903を備えた装置である。各部屋は仕切弁904、905で分離されている。各部屋には真空ポンプなどを備えた減圧手段909a~909cがそれぞれ接続している。ロード/アンロード室901には基板907と該基板を保持するカセット906があり、搬送室902に設けた搬送手段908により反応室903へ移送される。反応室903にはプラズマ発生手段909、基板加熱手段910、ガス供給手段911が備えられ、この部屋でグロー放電プラズマを利用した膜の形成が行われる。ガス供給手段911はSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>、O<sub>2</sub>などのガスが流量を制御して供給できるようになっている。

【0045】

反応室は1室のみの構成であるが、酸化窒化シリコン膜(A)と(B)は $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ の供給量や、高周波電力、反応圧力の制御できるので同じ反応室で連続して形成することができる。むしろ、基板のサイズが大型化した場合には設置する床面積を小さくすることが可能となり省スペース化に寄与する。

【0046】

図2(B)に示す装置の構成は、ロード室920、アンロード室921、共通室922があり、共通室922の中に反応室923~925が設けられた構成である。ロード室920、アンロード室921はそれぞれ基板936、938とそれを保持するカセット935、937が備えられ、仕切弁926、927で共通室と分離されている。ロード室920から搬送手段933により搬出された基板は反応室923~925のいずれの部屋にもセ

10

【0047】

反応室923~925にはプラズマ発生手段940、基板加熱手段941、ガス供給手段939が備えられ、この部屋でグロー放電プラズマを利用した膜の形成が行われる。それぞれの反応室には仕切弁930a~932a、930b~932bが設けられ、真空ポンプなどを備えた減圧手段942により個別に圧力が制御できる。従って、成膜条件をそれぞれ個別に制御して膜の堆積をすることが可能である。または、それぞれの反応室で同時に、或いは並列して膜を形成することも可能であり生産性の向上を図ることもできる。

【0048】

酸化窒化シリコン膜(A)と(B)は $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ の供給量や、高周波電力、反

20

【0049】

[実施例1]

本実施例では、CMOS回路を形成するのに必要なnチャネル型TFTとpチャネル型TFTを同一基板上に作製する方法を図1と図2を用いて説明する。

【0050】

図3(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラス基などに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどを用いる。これらのガラス基板には微量ではあるがナトリウムなどのアルカリ金属元素が含まれている。また、上記ガラス基板は熱処理時の温度により数ppm~数十ppm程度収縮するので、ガラス歪み点よりも10~20程度低い温度であらかじめ熱処理しておくが良い。基板101のTFTを形成する表面には、基板101から前記アルカリ金属元素やその他の不純物の汚染を防ぐために下地膜102を形成する。下地膜102は、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製する酸化窒化シリコン膜(C)102aと、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製する酸化窒化シリコン膜(A)102bで形成する。酸化窒化シリコン膜(C)102aは10~100nm(好ましくは20~60nm)の厚さで形成し、酸化窒化シリコン膜(A)102bは10~200nm(好ましくは20~100nm)の厚さで形成する。

30

【0051】

これらの膜は平行平板型のプラズマCVD法を用いて形成する。102aは $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$ から作製される絶縁膜であり、この膜を酸化窒化シリコン膜(C)とする。例えば、 $\text{SiH}_4$ を10SCCM、 $\text{NH}_3$ を100SCCM、 $\text{N}_2\text{O}$ を20SCCMとして反応室に導入し、基板温度325、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとして形成する。一方、酸化窒化シリコン膜(A)102bは、 $\text{SiH}_4$ を5SCCM、 $\text{N}_2\text{O}$ を120SCCM、 $\text{H}_2$ を125SCCMとして反応室に導入し、基板温度400、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとして形成する。これらの膜は、基板温度を変化させることで、反応ガスの切り替えのみで連続して形成することもできる。

40

【0052】

50

ここで作製した酸化窒化シリコン膜(C)102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム( $\text{NH}_4\text{HF}_2$ )を7.13%とフッ化アンモニウム( $\text{NH}_4\text{F}$ )を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20におけるエッチング速度が63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

#### 【0053】

次に、25~80nm(好ましくは30~60nm)の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成しても良い。例えば、前述のように酸化窒化シリコン膜(C)102aと酸化窒化シリコン膜(A)102bをプラズマCVD法で連続して成膜後、反応ガスを $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ から $\text{SiH}_4$ と $\text{H}_2$ 或いは $\text{SiH}_4$ のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化シリコン膜(A)102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

#### 【0054】

そして、図3(B)に示すように非晶質半導体層103aの結晶化の工程を行う。その方法として、レーザーアニール法や熱アニール法(固相成長法)、またはラピットサーマルアニール法(RTA法)などを適用すれば良い。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが肝要であり、400~500で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させることが望ましい。

#### 【0055】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、またはアルゴンレーザーをその光源とする。レーザー光は光学系により集光して利用するが、例えば線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、その一例としてレーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100~500mJ/cm<sup>2</sup>(代表的には300~400mJ/cm<sup>2</sup>)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80~98%として行う。このようにして結晶質半導体層を形成することができる。

#### 【0056】

熱アニール法による場合にはファーネスアニール炉を用い、窒素雰囲気中で600~660程度の温度でアニールを行う。いずれにしても非晶質半導体層を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質半導体層の厚さは当初の非晶質半導体層の厚さ(本実施例では55nm)よりも1~15%程度減少する。

#### 【0057】

こうして、結晶質半導体層103bを形成したら、所定のレジストマスクを形成し、ライエッチングによって結晶質半導体層を島状に分割して島状半導体層104、105を形成する。半導体層のドライエッチングには $\text{CF}_4$ と $\text{O}_2$ の混合ガスを用いる。

#### 【0058】

その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層106を形成する。例えば、プラズマCVD法による場合 $\text{TEOS}$ と $\text{O}_2$ とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させ、100~150nm代表

10

20

30

40

50

的には130nmの厚さに形成する。

#### 【0059】

そして、図3(D)に示すように、nチャネル型TFETのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層105に選択的にドーピングする工程を行う。半導体に対してn型を付与する不純物元素には、リン(P)、砒素(As)、アンチモン(Sb)など周期律表第15族の元素が知られている。フォトレジストマスク108を形成し、ここではリン(P)を添加すべく、フォスフィン(PH<sub>3</sub>)を用いたイオンドーピング法を適用する。形成される不純物領域109におけるリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とする。本明細書中では、不純物領域109に含まれるn型を付与する不純物元素の濃度を( $n^-$ )と表す。

10

#### 【0060】

次に、マスク層106を純水で希釈したフッ酸などのエッチング液により除去する。そして、島状半導体層105にドーピングした不純物元素を活性化させる工程を行う。活性化は窒素雰囲気中で500~600℃で1~4時間の熱アニールや、レーザーアニールなどの方法により行うことができる。また、両方の方法を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm<sup>2</sup>として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

20

#### 【0061】

そして、図3(E)に示すようにゲート絶縁膜110を形成する。TFETのV<sub>th</sub>変動を防ぎ、バイアスストレスおよび熱に対する安定性を高めるために、表4または図27の結果を参酌して、表1に記載された作製条件を基に、島状半導体層側との界面を酸化窒化シリコン膜(B)で形成し、その組成から酸化窒化シリコン膜(A)の組成へ連続的に組成が変化するようにSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>のガス流量をマスフローコントローラーで制御する。図3(E)では組成が丁度中間の値を示すところを点線で示す。その部分は膜厚の中央部であっても良いし、半導体層寄り或いはゲート電極寄りであっても良い。具体的には、最初SiH<sub>4</sub>を5SCCM、N<sub>2</sub>Oを120SCCM、H<sub>2</sub>を125SCCM流し、X<sub>h</sub>=1でX<sub>g</sub>=0.96とし、20Paに圧力を制御して27MHzで0.4mW/cm<sup>2</sup>の高周波電力を投入して成膜を開始し、その後成膜速度を考慮して随時N<sub>2</sub>O流量を成膜終了時に500SCCMとなるように増加させ、H<sub>2</sub>流量を0SCCMとして、X<sub>h</sub>=0でX<sub>g</sub>=0.99となるように減少させる制御を行う。SiH<sub>4</sub>の流量は5SCCMから4SCCMへの制御なので、図3(E)で示す点線のところで切り替えた。このようにして120nmの厚さでゲート絶縁膜を形成した。勿論、ゲート絶縁膜の厚さはこれに限定されるものではなく、50~200nm(好ましくは、80~150nm)の厚さで形成し、前述のように酸化窒化シリコン膜(A)と(B)を積層する構造としても良い。尚、ここで示す成膜条件は一例であり、表2で示した組成が得られるならば成膜条件に何ら限定される事項はない。

30

#### 【0062】

ゲート絶縁膜の成膜前に行うプラズマクリーニング処理は効果的である。また、プラズマクリーニング処理は、水素を200SCCM導入し、圧力20Pa、高周波電力0.2W/cm<sup>2</sup>でプラズマを生成して2分間処理する。或いは、H<sub>2</sub>を100SCCMと酸素を100SCCM導入して、圧力40Paで同様にプラズマ処理しても良い。

40

基板温度は300~450℃、好ましくは400℃とする。この段階で、島状半導体層104、105bの表面をプラズマクリーニング処理することで、吸着しているボロンやリン、その他の有機物などの汚染物質を取り除くことができる。

#### 【0063】

次に、ゲート絶縁膜110上にゲート電極を形成するために導電層を成膜する。この導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造とすることもできる。本実施例では、導電性の窒化物金属膜から成る導電層(A)111と金属膜

50

から成る導電層(B)112とを積層させる構造とする。導電層(B)112はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)111は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)111はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)112は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\text{cm}$ 以下の比抵抗値を実現することができる。

10

## 【0064】

導電層(A)111は $10\sim 50\text{nm}$ (好ましくは $20\sim 30\text{nm}$ )とし、導電層(B)112は $200\sim 400\text{nm}$ (好ましくは $250\sim 350\text{nm}$ )とすれば良い。本実施例では、導電層(A)111に $30\text{nm}$ の厚さのTa<sub>2</sub>N<sub>5</sub>膜を、導電層(B)112には $350\text{nm}$ のTa膜を用い、いずれもスパッタ法で形成する。Ta<sub>2</sub>N<sub>5</sub>膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて成膜する。TaはスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、膜の内部応力を緩和して膜の剥離を防止することができる。相のTa膜の抵抗率は $20\mu\text{cm}$ 程度でありゲート電極に使用するのに適しているが、相のTa膜の抵抗率は $180\mu\text{cm}$ 程度でありゲート電極とすすには不向きである。Ta<sub>2</sub>N<sub>5</sub>膜は相に近い結晶構造を持つので、この上にTa膜を形成すれば相のTa膜が容易に得ることができる。尚、図示しないが、導電層(A)111の下に $2\sim 20\text{nm}$ 程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜110に拡散するのを防ぐことができる。いずれにしても、導電層(B)は抵抗率を $10\sim 500\mu\text{cm}$ の範囲ですることが好ましい。

20

## 【0065】

次に、図3(F)に示すようにフォトリソマスク113を形成し、導電層(A)111と導電層(B)112とを一括でエッチングしてゲート電極114、115を形成する。TaやWなどの耐熱性導電性材料を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法が適している。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置がある。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の面積化にも対応できる。ドライエッチング法によりCF<sub>4</sub>とO<sub>2</sub>の混合ガス、またはCF<sub>4</sub>とCl<sub>2</sub>を用いて $1\sim 20\text{Pa}$ の反応圧力で行う。

30

## 【0066】

ゲート電極114、115は、導電層(A)から成る114a、115aと、導電層(B)から成る114b、115bとが一体として形成されている。この時、nチャネル型TFTのゲート電極115は不純物領域109の一部と、ゲート絶縁膜110を介して重なるように形成する。また、ゲート電極は導電層(B)のみで形成することも可能である。

40

## 【0067】

次に、図4(A)に示すように、レジソマスク116を形成し、n型を付与する不純物元素を島状半導体層104、105にドーピングする。n型を付与する不純物元素は同様にリン(P)を用い、イオンドープ法などイオン化した不純物元素を電界で加速して注入する方法で $1\times 10^{20}\sim 1\times 10^{21}\text{atoms/cm}^3$ の濃度に添加する。このようにして、不純物領域117、118を形成する。

## 【0068】

次いで、図4(B)に示すように、レジソマスク119を形成し、pチャネル型TFTのソース領域およびドレイン領域とする不純物領域120を形成する。ここでは、ゲート電極114をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域

50

を形成する。不純物領域 120 はジボラン ( $B_2H_6$ ) を用い、前述のリン (P) のドーピングと同じ方法で行う。そして不純物領域 120 のボロン (B) 濃度は  $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  となるようにする。本明細書中では、ここで形成された不純物領域 120 に含まれる p 型を付与する不純物元素の濃度を ( $p^+$ ) と表す。不純物領域 120 の一部には既にリン (P) が添加されているが、この濃度と比較して不純物領域 120 に添加されるボロン (B) 濃度はその 1.5 ~ 3 倍程度なので p 型の導電性が確保され、TFET の特性に何ら影響を与えることはない。

#### 【0069】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を熱アニール法で行う。この工程はファーネスアニール炉を用いれば良い。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) で行うことができる。アニール処理は酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700、代表的には 500 ~ 600 で行うものであり、本実施例では 550 で 4 時間の熱処理を行った。また、アニール処理の前に、50 ~ 200 nm の厚さの保護絶縁層 121 を酸化窒化シリコン膜や酸化シリコン膜などで形成することで、ゲート電極形成材料の酸化を防止することができる。

#### 【0070】

活性化の工程の後、さらに、3 ~ 100% の水素を含む雰囲気中で、300 ~ 500 で 1 ~ 12 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

#### 【0071】

その後、保護絶縁層上に酸化窒化シリコン膜 (B) を成膜して層間絶縁層 122 を形成する。本実施例では酸化窒化シリコン膜 (B) を  $SiH_4$  を 5 SCCM、 $N_2O$  を 120 SCCM、 $H_2$  を 500 SCCM 導入して反応圧力 40 Pa、基板温度 400 とし、放電電力密度を  $0.4 \text{ W/cm}^2$  として、500 ~ 1500 nm (好ましくは 600 ~ 800 nm) の厚さで形成する。

#### 【0072】

そして、層間絶縁層 122 および保護絶縁層 121 にソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース線 123、126 と、ドレイン線 124、125 を形成する。図示していないが、本実施例ではこの配線を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜として形成する。

#### 【0073】

次に、パッシベーション膜 127 として、窒化シリコン膜または酸化窒化シリコン膜を 50 ~ 500 nm (代表的には 100 ~ 300 nm) の厚さで形成する。この状態で水素化処理を行うと TFET の特性向上に対して好ましい結果が得られる。例えば、3 ~ 100% の水素を含む雰囲気中で、300 ~ 500 で 1 ~ 12 時間の熱処理を行うと良い。パッシベーション膜 175 を緻密な窒化シリコン膜で形成し、このような温度で熱処理を行うと、層間絶縁層 122 を形成する酸化窒化水素化シリコン膜の含有水素が放出され、上層側は緻密な窒化シリコン膜でキャップされることになり水素の拡散が阻止されるので、放出される水素は下層側に優先的に拡散し、島状半導体層 104、105 の水素化を酸化窒化水素化シリコン膜から放出される水素で行うことができる。同様に、下地膜に用いた酸化窒化水素化シリコン膜からも水素が放出されるので、島状半導体層 104、105 は上層側および下層側の両側より水素化される。また、この水素化処理はプラズマ水素化法を用いても同様の効果を得ることができる。

#### 【0074】

こうして基板 101 上に、n チャネル型 TFET 134 と p チャネル型 TFET 133 とを完成させることができる。p チャネル型 TFET 133 には、島状半導体層 104 にチャネル形成領域 128、ソース領域 129、ドレイン領域 130 を有している。n チャネル型 T

10

20

30

40

50

FT134には、島状半導体層105にチャンネル形成領域131、ゲート電極115とオーバーラップするLDD領域132（以降、このようなLDD領域をLovと記す）、ソース領域133、ドレイン領域134を有している。ゲート電極115とオーバーラップするLDD領域はドレイン側のみに設けホットキャリア効果によるTF Tの劣化を防ぐ構造とする。このLov領域のチャンネル長方向の長さは、チャンネル長3～8 μmに対して、0.5～3.0 μm（好ましくは1.0～1.5 μm）とした。図4ではそれぞれのTF Tをシングルゲート構造としたが、ダブルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。このようにして作製されたTF Tにおいて、nチャンネル型TF TでS値を0.10～0.30V/dec、V<sub>th</sub>を0.5～2.5Vの範囲に、pチャンネル型TF TでS値を0.10～0.30V/dec、V<sub>th</sub>を-0.5～-2.5Vにすることができる。

10

## 【0075】

## [実施例2]

図5～図7を用いて本実施例を説明する。基板601としてガラス基板（例えばコーニング社の#1737基板）を用いる。最初に、基板601上にゲート電極602を形成する。ここでは、スパッタ法を用いて、タンタル（Ta）膜を200nmの厚さに形成した。また、ゲート電極602を、窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜（膜厚50nm）とTa膜（膜厚250nm）の2層構造としても良い。Ta膜はスパッタ法でArガスを用い、Taをターゲットとして形成するが、ArガスにXeガスを加えた混合ガスでスパッタすると内部応力の絶対値を2×10<sup>8</sup>Pa以下にすることができる（図5（A））。

20

## 【0076】

そして、ゲート絶縁膜603を形成する。ゲート絶縁膜603は、ゲート電極側から酸化窒化シリコン膜（A）と酸化窒化シリコン膜（B）の積層構造とする。成膜条件は表1に記載の条件に従うものとし、酸化窒化シリコン膜（A）を#210の条件で、酸化窒化シリコン膜（B）を#212の条件で成膜する。図5（B）ではゲート絶縁膜603aが酸化窒化シリコン膜（A）であり25nmの厚さに形成し、ゲート絶縁膜603bが酸化窒化シリコン膜（B）であり125nmの厚さに形成する。これらの膜はSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>のガス流量の切り替えのみで容易に積層することが可能であり、図2で示したプラズマCVD装置で形成することができる。

30

## 【0077】

さらに、酸化窒化シリコン膜を形成した同じ反応室で非晶質半導体層604を連続形成することもできる。非晶質半導体層604もプラズマCVD法でSiH<sub>4</sub>やH<sub>2</sub>などを用いて形成される膜であり、反応ガスの切り替えのみで良い。非晶質半導体層604の厚さを20～100nm、好ましくは40～75nmの厚さに形成する。このように連続的にゲート絶縁膜から非晶質半導体層を形成することで、空气中に晒すことにより発生する界面の汚染（有機物汚染やB、Pなどの汚染）を防ぐことができ、作製するTF Tの特性バラツキを低減させることができる。（図5（B））。

## 【0078】

そして、ファーネスアニール炉を用い、450～550℃で1時間の熱処理を行って非晶質半導体層604から水素を放出させ、残存する水素量を5atomic%以下とする。その後、レーザーアニール法や熱アニール法を用いれば良い。レーザーアニール法では、例えばKrFエキシマレーザー光（波長248nm）を用い、線状ビームを形成して、発振パルス周波数30Hz、レーザーエネルギー密度100～500mJ/cm<sup>2</sup>、線状ビームのオーバーラップ率を96%として非晶質半導体層の結晶化を行う（図5（C））。

40

## 【0079】

こうして形成された結晶質半導体層605に密接してチャンネル保護膜とする酸化窒化シリコン膜606を形成する。この酸化窒化シリコン膜は表1に記載した#211、#212のいずれの条件でも良く、膜厚を200nmとして形成する。この酸化窒化シリコン膜606の成膜の前にプラズマCVD装置の反応室内で表1に記載したプラズマクリーニング処理を行い、結晶質半導体層605の表面を処理するとTF T特性のV<sub>th</sub>のバラツキを減

50

らすことができる。その後、裏面からの露光を用いたパターニング法により、ゲート電極をマスクとして自己整合的に酸化窒化シリコン膜606上にレジストマスク607を形成する。レジストマスク607は図示したように光の回り込みによって、わずかにゲート電極の幅より小さくなった(図5(D))。

#### 【0080】

このレジストマスク607を用いて酸化窒化シリコン膜606をエッチングして、チャネル保護膜608を形成した後、レジストマスク607を除去する。この工程により、チャネル保護膜608と接する領域以外の結晶質半導体層605の表面を露呈させる。このチャネル保護膜608は、後の不純物添加の工程でチャネル領域に不純物が添加されることを防ぐ役目を果たすと共に、結晶質半導体層の界面準位密度を低減する効果がある(図5(E))。

10

#### 【0081】

次いで、フォトマスクを用いたパターニングによって、nチャネル型TFETの一部とpチャネル型TFETの領域を覆うレジストマスク609を形成し、結晶質半導体層605の表面が露呈している領域にn型を付与する不純物元素をドーピングする工程を行いn<sup>+</sup>領域610aを形成する。ここではイオンドープ法でフォスフィン(PH<sub>3</sub>)を用い、ドーズ量 $5 \times 10^{14}$ atoms/cm<sup>2</sup>、加速電圧10kVとしてリン(P)を添加した。また、上記レジストマスク609のパターンは実施者が適宜設定することによりn<sup>+</sup>領域の幅が決定され、所望の幅を有するn<sup>-</sup>型領域、およびチャネル形成領域を形成することを可能としている(図6(A))。

20

#### 【0082】

レジストマスク609を除去した後、保護絶縁膜611aを形成する。この膜も表1に記載した#211または#212の条件による酸化窒化シリコン膜で50nmの厚さに形成する(図6(B))。

#### 【0083】

次いで、保護絶縁膜611aが表面に設けられた結晶質半導体層にn型を付与する不純物元素をドーピングする工程を行い、n<sup>-</sup>型領域612を形成する。但し、保護絶縁膜611aを介してその下の結晶質半導体層に不純物を添加するため保護絶縁膜611aの厚さを考慮に入れ適宜条件を設定する必要がある。ここでは、ドーズ量 $3 \times 10^{13}$ atoms/cm<sup>2</sup>、加速電圧60kVとして行うと良い。このn<sup>-</sup>領域612はLDD領域として機能する(図6(C))。

30

#### 【0084】

次いで、nチャネル型TFETを覆うレジストマスク614を形成し、pチャネル型TFETが形成される領域にp型を付与する不純物元素をドーピングする工程を行う。ここでは、イオンドープ法でジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、ボロン(B)を添加する。ドーズ量は $4 \times 10^{15}$ atoms/cm<sup>2</sup>、加速電圧30kVとしてp<sup>+</sup>領域を形成する(図6(D))。そして、レーザーアニールまたは熱アニールによる不純物元素の活性化の工程を行う(図6(E))。その後、チャネル保護膜608と保護絶縁膜611aをそのまま残し、公知のパターニング技術により結晶性半導体層を所望の形状にエッチングする(図7(A))。

#### 【0085】

以上の工程を経て、nチャネル型TFETのソース領域615、ドレイン領域616、LDD領域617、618、チャネル形成領域619が形成され、pチャネル型TFETのソース領域621、ドレイン領域622、チャネル形成領域620が形成される。次いで、nチャネル型TFETおよびpチャネル型TFETを覆って第1の層間絶縁膜623を形成する。第1の層間絶縁膜623は表1に記載した#211または#212の条件で作製される酸化窒化シリコン膜を用い、100~500nmの厚さに形成する(図7(B))。そして、第2の層間絶縁膜624を表1に記載した#210の条件で作製される酸化窒化シリコン膜で同様に100~500nmの厚さに形成する(図7(C))。

40

#### 【0086】

この状態で1回目の水素化の工程を行なう。この工程は、例えば3~100%の水素雰囲気

50

気中で300～550、好ましくは350～500の熱処理を1～12時間行なえば良い。または、プラズマ化された水素を含む雰囲気中で同様の温度で10～60分の処理を行なっても良い。この熱処理により第1の層間絶縁膜に含まれる水素や、上記熱処理雰囲気によって気相中から第2の層間絶縁膜に供給された水素は拡散し、その一部は半導体層にも達するので、結晶質半導体層の水素化を効果的に行うことができる。

**【0087】**

第1の層間絶縁膜623と第2の層間絶縁膜624はその後、所定のレジストマスクを形成して、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成する。そして、ソース線625、627とドレイン線626を形成する。図示していないが、本実施例ではこの配線をTi膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いている(図7(D))。

10

**【0088】**

さらに、パッシベーション膜628をプラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から形成される窒酸化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub>から作製される窒化シリコン膜で形成する。この時、膜の形成に先立ってN<sub>2</sub>O、N<sub>2</sub>、NH<sub>3</sub>等を導入してプラズマ水素化処理を実施すると、プラズマ化されることにより気相中で生成された水素が第2の層間絶縁膜中に供給され、基板を200～500に加熱しておけば、水素を第1の層間絶縁膜やさらにその下層側にも拡散させることが可能であり、2回目の水素化の工程とすることができる。パッシベーション膜の作製条件は特に限定されるものではないが、緻密な膜とすることが望ましい。最後に3回目の水素化の工程を水素または窒素を含む雰囲気中で300～550の加熱処理を1～12時間の加熱処理により行うことにより行なう。このとき水素は、パッシベーション膜628から第2の層間絶縁膜624へ、第2の層間絶縁膜624から第1の層間絶縁膜623へ、そして第1の層間絶縁膜623から結晶質半導体層へと水素が拡散して結晶質半導体層の水素化を効果的に実現させることができる。水素は膜中から気相中へも放出されるが、パッシベーション膜を緻密な膜で形成しておけばある程度それを防止できたとし、雰囲気中に水素を供給しておけばそれを補うこともできる。

20

**【0089】**

以上の工程により、pチャネル型TFTとnチャネル型TFTを同一基板上に逆スタガ型の構造で形成することができる。そして、逆スタガ型のTFTにおいても、ゲート絶縁膜603bに本発明の酸化窒化シリコン膜を適用することによりV<sub>th</sub>シフトの少ないTFTを得ることができる。例えば、nチャネル型TFTでは、S値を0.10～0.30V/dec、V<sub>th</sub>を0.5～2.5Vの範囲内にすることができる。また、pチャネル型TFTでは、S値を0.10～0.30V/dec、V<sub>th</sub>を-0.5V～-2.5Vの範囲内とすることができる。

30

**【0090】**

このような特性は、本発明の酸化窒化シリコン膜(A)と(B)を積層または連続的に組成を変化させたゲート絶縁膜と、本実施例で示した水素化処理の工程の相乗効果によるものとみることでもでき、実施形態1で検討したように半導体層と積層して熱的に安定な酸化窒化シリコン膜(A)と(B)を組み合わせることにより得られるものである。

40

**【0091】****[実施例3]**

本実施例は画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

**【0092】**

図8(A)において、基板801にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)など光学的異方性を有しないプラスチック基板

50

を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20程度低い温度であらかじめ熱処理しておいても良い。そして、基板801のTFTを形成する表面に、基板801からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜802を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜(C)802aを10～200nm(好ましくは50～100nm)、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜(A)802bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。ここでは下地膜802を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

#### 【0093】

次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体層803aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、図2に示すような装置を用いて、同一の反応室で下地膜802と非晶質半導体層803aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜(C)802aと酸化窒化シリコン膜802bをプラズマCVD法で連続して成膜後、反応ガスを $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ から $\text{SiH}_4$ と $\text{H}_2$ 或いは $\text{SiH}_4$ のみに切り替えれば、一旦大気雰囲気気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

#### 【0094】

そして、結晶化の工程を行い非晶質半導体層803aから結晶質半導体層803bを作製する。その方法としてレーザーアニール法や熱アニール法(固相成長法)、またはラピットサーマルアニール法(RTA法)を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

#### 【0095】

また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスに $\text{SiH}_4$ とアルゴン(Ar)を用い、成膜時の基板温度を400～450として形成すると、非晶質シリコン膜の含有水素濃度を5atomic%以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

#### 【0096】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm<sup>2</sup>(代表的には300～400mJ/cm<sup>2</sup>)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80～98%として行う。このようにして図8(B)に示すように結晶質半導体層803bを得ることができる。

#### 【0097】

そして、結晶質半導体層803b上に第1のフォトマスク(PM1)を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質

10

20

30

40

50

半導体層を島状に分割し、図8(C)に示すように島状半導体層804~808を形成する。結晶質シリコン膜のドライエッチングには $CF_4$ と $O_2$ の混合ガスを用いる。

【0098】

このような島状半導体層に対し、TFETの $V_{th}$ を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法(或いはイオンシャワードレーピング法)を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン( $B_2H_6$ )をソースガスとして用いホウ素(B)を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFETのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。また、この場合にもゲート絶縁膜の成膜前に行うプラズマクリーニング処理は効果的であり表1に記載した条件に従い行うと良い。

10

【0099】

そして、図8(C)に示すようにゲート絶縁膜809を形成する。TFETの $V_{th}$ シフトを防ぎ、バイアスストレスおよび熱に対する安定性を高めるために、表1に記載された作製条件を基に、島状半導体層側から酸化窒化シリコン膜(B)の組成から酸化窒化シリコン膜(A)の組成へ連続的に組成が変化するように $SiH_4$ 、 $N_2O$ 、 $H_2$ のガス流量をマスフローコントローラーで制御して形成する。図8(C)において、組成が丁度中間の値を示すところを点線で示す。その部分は膜厚の中央部であっても良いし、半導体層側寄り或いはゲート電極側寄りであっても良い。このゲート絶縁膜の作製条件は実施例1と同様なものとする。

20

【0100】

そして、図8(D)に示すように、ゲート絶縁膜809上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。本実施例では、導電層(A)810をW膜で形成し、その上に導電層(B)811をWN膜を積層させる構造とする。導電層(B)は、或いはタングステンシリサイドで形成しても良い。W膜は耐熱性が高いのでゲート電極として好適に用いることができるが、表面が酸化して高抵抗化するとその上層に形成する配線とのコンタクト抵抗が高くなってしまふ。その為に導電層(B)811を積層させ、比較的安定なWN膜やタングステンシリサイドで形成して防止する。

30

【0101】

導電層(A)110は200~400nm(好ましくは250~350nm)とし、導電層(B)111は10~50nm(好ましくは20~30nm)とする。Wをゲート電極として形成する場合には、Wをターゲットとしたスパッタ法で、Arを導入して導電層(A)810をW膜で例えば250nmの厚さに形成する。WN膜はArと窒素を導入して50nmの厚さに形成する。その他の方法として、W膜は6フッ化タングステン( $WF_6$ )を用いて熱CVD法で形成することもできる。いずれにしても低抵抗化を図る必要があり、W膜の抵抗率は $20 \mu\text{ cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで抵抗率を下げることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\text{ cm}$ を実現することができる。

40

【0102】

次に、第2のフォトマスク(PM2)を用い、フォトリソグラフィーの技術を使用してレジストマスク812~817を形成し、導電層(A)810と導電層(B)811とを一括でエッチングしてゲート電極818~822と容量配線823を形成する。ゲート電極818~822と容量配線823は、導電層(A)から成る818a~822aと、導電層(B)から成る818b~822bとが一体として形成されている(図9(A))。

50

## 【0103】

このとき少なくともゲート電極 818 ~ 822 の端部にテーパ部が形成されるようにエッチングする。このエッチング加工は ICP エッチング装置により行う。具体的なエッチング条件として、エッチングガスに  $CF_4$  と  $Cl_2$  の混合ガスを用いその流量をそれぞれ 30 SCCM として、放電電力  $3.2 \text{ W/cm}^2$  (13.56MHz)、バイアス電力  $2.24 \text{ mW/cm}^2$  (13.56MHz)、圧力  $1.0 \text{ Pa}$  でエッチングを行った。このようなエッチング条件によって、ゲート電極 818 ~ 822 の端部において、該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は  $5 \sim 35^\circ$ 、好ましくは  $10 \sim 25^\circ$  とする。テーパ部の角度は、図 11 で示す部分の角度である。この角度は、後に LDD 領域を形成する低濃度 n 型不純物領域の濃度勾配に大きく影響する。尚、テーパ部の角度は、テーパ部の長さ (WG) とテーパ部の厚さ (HG) を用いて  $\tan(\theta) = HG / WG$  で表される。

10

## 【0104】

また、残渣を残すことなくエッチングするためには、 $10 \sim 20\%$  程度の割合でエッチング時間を増しするオーバーエッチングを施すものとする。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 809) の選択比は  $2 \sim 4$  (代表的には  $3$ ) であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は  $20 \sim 50 \text{ nm}$  程度エッチングされて実質的に薄くなり、新たな形状のゲート絶縁膜 830 が形成される。

20

## 【0105】

そして、画素 TFT および駆動回路の n チャネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素をドーピングする。ゲート電極の形成に用いたレジストマスク 812 ~ 817 をそのまま残し、端部にテーパ部を有するゲート電極 818 ~ 822 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドーピング法で添加する。ここでは、n 型を付与する不純物元素をゲート電極の端部におけるテーパ部の端部側とゲート絶縁膜とを通して、その下に位置する半導体層に達するようにドーピングする。そのためドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  とし、加速電圧を  $80 \sim 160 \text{ keV}$  として行う。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。このようなイオンドーピング法により半導体層のリン (P) 濃度は  $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の濃度範囲で添加する。このようにして、図 9 (B) に示すように島状半導体層に低濃度 n 型不純物領域 824 ~ 829 を形成する。

30

## 【0106】

低濃度 n 型不純物領域 824 ~ 828 において、少なくともゲート電極 818 ~ 822 に重なった部分に含まれるリン (P) の濃度勾配は、ゲート電極 818 ~ 822 のテーパ部の膜厚変化を反映する。即ち、低濃度 n 型不純物領域 824 ~ 828 へ添加されるリン (P) の濃度は、ゲート電極に重なる領域において、ゲート電極の端部に向かって徐々に濃度が高くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン (P) の濃度が変わるためである。尚、図 9 (B) では低濃度 n 型不純物領域 824 ~ 829 の端部を斜めに図示しているが、これはリン (P) が添加された領域を直接的に示しているのではなく、上述のようにリンの濃度変化がゲート電極 818 ~ 822 のテーパ部の形状に沿って変化していることを表している。

40

## 【0107】

次に、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行う。レジストのマスク 812 ~ 817 を残し、今度はゲート電極 818 ~ 822 がリン (P) を遮蔽するマスクとなるように、イオンドーピング法において  $10 \sim 30 \text{ keV}$  の低加速電圧の条件で添加する。このようにして高濃度 n 型不純物領域 831 ~ 836 を形成する。この領域におけるゲート絶縁膜 830 は、前述のようにゲート電極の加工においてオーバーエッチングが施されたため、当初の膜厚である  $120 \text{ nm}$  から薄くなり、 $70 \sim 100 \text{ nm}$  となっている。そのためこのような低加速電圧の条件でも

50

良好にリン(P)を添加することができる。そして、この領域のリン(P)の濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度範囲となるようにする(図9(C))。

【0108】

そして、pチャネル型TFTを形成する島状半導体層804、806にソース領域およびドレイン領域とする高濃度p型不純物領域840、841を形成する。ここでは、ゲート電極818、820をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層805、807、808は、第3のフォトマスク(PM3)を用いてレジストマスク837~839を形成し全面を被覆しておく。ここで形成される不純物領域840、841はジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーブ法で形成する。そして、ゲート電極と重ならない高濃度p型不純物領域840a、841aのボロン(B)濃度は、 $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>となるようにする。また、ゲート電極と重なる不純物領域840b、841bは、ゲート絶縁膜とゲート電極のテーパー部を介して不純物元素が添加されるので、実質的に低濃度p型不純物領域として形成され、少なくとも $1.5 \times 10^{19}$  atoms/cm<sup>3</sup>以上の濃度とする。この高濃度p型不純物領域840a、841aおよび低濃度p型不純物領域840b、841bには、前工程においてリン(P)が添加されていて、高濃度p型不純物領域840a、841aには $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度で、低濃度p型不純物領域840b、841bには $1 \times 10^{16} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度で含有しているが、この工程で添加するボロン(B)の濃度をリン(P)濃度の1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない(図9(D))。

【0109】

その後、図10(A)に示すように、ゲート電極およびゲート絶縁膜上から第1の層間絶縁膜842を形成する。第1の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜842は無機絶縁物材料から形成する。第1の層間絶縁膜842の膜厚は100~200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSとO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度300~400とし、高周波(60MHz)電力密度0.1~1.0W/cm<sup>2</sup>で形成することができる。また、SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0110】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700、代表的には500~600で行うものであり、本実施例では550で4時間の熱処理を行った。また、基板801に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図10(B))。

【0111】

活性化の工程に続いて、雰囲気ガスを変化させ、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある $10^{16} \sim 10^{18}$ /cm<sup>3</sup>のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラ

10

20

30

40

50

ズマにより励起された水素を用いる)を行っても良い。いずれにしても、島状半導体層 804 ~ 808 中の欠陥密度を  $10^{16}/\text{cm}^3$  以下とすることが望ましく、そのために水素を 0.01 ~ 0.1 atomic% 程度付与すれば良い。

#### 【0112】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる第2の層間絶縁膜 843 を  $1.0 \sim 2.0 \mu\text{m}$  の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで 300 で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで 80 で 60 秒の予備加熱を行い、さらにクリーンオープンで 250 で 60 分焼成して形成することができる。

10

#### 【0113】

このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜 842 として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

#### 【0114】

その後、第4のフォトマスク (PM4) を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに  $\text{CF}_4$ 、 $\text{O}_2$ 、 $\text{He}$  の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜 843 をまずエッチングし、その後、続いてエッチングガスを  $\text{CF}_4$ 、 $\text{O}_2$  として第1の層間絶縁膜 842 をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを  $\text{CHF}_3$  に切り替えてゲート絶縁膜 830 をエッチングすることにより、良好にコンタクトホールを形成することができる。

20

#### 【0115】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスク (PM5) によりレジストマスクパターンを形成し、エッチングによってソース線 844 ~ 848 とドレイン線 849 ~ 852 を形成する。ここで、853 は画素電極として機能するものである。854 は隣の画素に帰属する画素電極を表している。図示していないが、本実施例ではこの配線を、Ti 膜を  $50 \sim 150 \text{nm}$  の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム (Al) を  $300 \sim 400 \text{nm}$  の厚さで形成 (図10 (C) において 844 a ~ 854 a で示す) し、さらにその上に透明導電膜を  $80 \sim 120 \text{nm}$  の厚さで形成 (図10 (C) において 844 b ~ 854 b で示す) した。透明導電膜には酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ )、酸化亜鉛 ( $\text{ZnO}$ ) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ( $\text{ZnO}:\text{Ga}$ ) などを好適に用いることができる。

30

40

#### 【0116】

こうして5枚のフォトマスク (PM5) により、同一の基板の上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT (A) 200 a、第1のnチャネル型TFT (A) 201 a、第2のpチャネル型TFT (A) 202 a、第2のnチャネル型TFT (A) 203 a、画素部には画素TFT 204、保持容量 205 が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

#### 【0117】

駆動回路の第1のpチャネル型TFT (A) 200 aには、島状半導体層 804 にチャネル形成領域 206、ゲート電極と重なるLDD領域 207、高濃度p型不純物領域から成

50

るソース領域 208、ドレイン領域 209 を有した構造となっている。第 1 の n チャンネル型 T F T ( A ) 201 a には、島状半導体層 805 にチャンネル形成領域 210、低濃度 n 型不純物領域で形成されゲート電極 819 と重なる L D D 領域 211、高濃度 n 型不純物領域で形成するソース領域 212、ドレイン領域 213 を有している。チャンネル長 3 ~ 7  $\mu\text{m}$  に対して、ゲート電極 119 と重なる L D D 領域を  $L_{ov}$  としてそのチャンネル長方向の長さは 0.1 ~ 1.5  $\mu\text{m}$ 、好ましくは 0.3 ~ 0.8  $\mu\text{m}$  とする。この  $L_{ov}$  の長さはゲート電極 819 の厚さとテーパ部の角度（図 11 で定義する角度）から制御する。

#### 【0118】

この L D D 領域について図 11 を用いて説明する。図 11 に示すのは、図 10 ( C ) の第 1 の n チャンネル型 T F T ( A ) 201 a の部分拡大図である。L D D 領域 211 はテーパ部 261 の下に形成される。このとき、L D D 領域におけるリン ( P ) の濃度分布は 232 の曲線で示されるようにチャンネル形成領域 211 から遠ざかるにつれて増加する。この増加の割合は、イオンドープにおける加速電圧やドーズ量などの条件、テーパ部 261 の角度 やゲート電極 819 の厚さによって異なってくる。このように、ゲート電極の端部をテーパ形状として、そのテーパ部を通して不純物元素を添加することにより、テーパ部の下に存在する半導体層中に、徐々に前記不純物元素の濃度が変化するような不純物領域を形成することができる。本発明はこのような不純物領域を積極的に活用する。n チャンネル型 T F T においてこのような L D D 領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、T F T の劣化を防止することができる。

#### 【0119】

駆動回路の第 2 の p チャンネル型 T F T ( A ) 202 a は同様に、島状半導体層 806 にチャンネル形成領域 214、ゲート電極 820 と重なる L D D 領域 215、高濃度 p 型不純物領域で形成されるソース領域 216、ドレイン領域 217 を有した構造となっている。第 2 の n チャンネル型 T F T ( A ) 203 a には、島状半導体層 807 にチャンネル形成領域 218、ゲート電極 821 と重なる L D D 領域 219、高濃度 n 型不純物領域で形成するソース領域 220、ドレイン領域 221 を有している。L D D 領域 219 は、L D D 領域 211 と同じ構成とする。画素 T F T 204 には、島状半導体層 808 にチャンネル形成領域 222 a、222 b、低濃度 n 型不純物領域で形成する L D D 領域 223 a、223 b、高濃度 n 型不純物領域で形成するソースまたはドレイン領域 225 ~ 227 を有している。L D D 領域 223 a、223 b は、L D D 領域 211 と同じ構成とする。さらに、容量配線 823 と、ゲート絶縁膜と、画素 T F T 204 のドレイン領域 227 に接続する半導体層 228、229 とから保持容量 205 が形成されている。図 10 ( C ) では、駆動回路の n チャンネル型 T F T および p チャンネル型 T F T を一対のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造とし、画素 T F T をダブルゲート構造としたが、これらの T F T はいずれもシングルゲート構造としても良いし、複数のゲート電極を一対のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

#### 【0120】

図 12 は画素部のほぼ一画素分を示す上面図である。図中に示す A - A' 断面が図 10 ( C ) に示す画素部の断面図に対応している。画素 T F T 204 は、ゲート電極 822 は図示されていないゲート絶縁膜を介してその下の島状半導体層 808 と交差し、さらに複数の島状半導体層に跨って延在してゲート配線を兼ねている。図示はしていないが、島状半導体層には、図 10 ( C ) で説明したソース領域、ドレイン領域、L D D 領域が形成されている。また、230 はソース配線 848 とソース領域 225 とのコンタクト部、231 はドレイン配線 853 とドレイン領域 227 とのコンタクト部である。保持容量 205 は、画素 T F T 204 のドレイン領域 227 から延在する半導体層 228、229 とゲート絶縁膜を介して容量配線 823 が重なる領域で形成されている。この構成において半導体層 228 には、価電子制御を目的とした不純物元素は添加されていない。

#### 【0121】

以上の様な構成は、画素 T F T および駆動回路が要求する仕様に応じて各回路を構成する

TFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0122】

さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電性を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0123】

アクティブマトリクス型の液晶表示装置の場合、第1のpチャネル型TFT(A)200aと第1のnチャネル型TFT(A)201aは高速動作を重視するシフトレジスタ回路、バッファ回路、レベルシフト回路などを形成するのに用いる。図10(C)ではこれらの回路をロジック回路部として表している。第1のnチャネル型TFT(A)201aのLDD領域211はホットキャリア対策を重視した構造となっている。さらに、耐圧を高め動作を安定化させるために一对のソース・ドレイン間に2つのゲート電極を設けたダブルゲート構造としても良い。第1のpチャネル型TFT(B)200bには、島状半導体層にチャンネル形成領域236a、236b、低濃度p型不純物領域から成りゲート電極818と重なるLDD領域237a、237b、高濃度p型不純物領域から成るソース領域238とドレイン領域239、240を有した構造となっている。第1のnチャネル型TFT(B)201bには、島状半導体層にチャンネル形成領域241a、241b、低濃度n型不純物領域で形成されゲート電極819と重なるLDD領域242a、242b、高濃度n型不純物領域で形成するソース領域243とドレイン領域244、245を有している。チャンネル長はいずれも3~7 $\mu\text{m}$ として、ゲート電極と重なるLDD領域を $L_{ov}$ としてそのチャンネル長方向の長さは0.1~1.5 $\mu\text{m}$ 、好ましくは0.3~0.8 $\mu\text{m}$ とする。

【0124】

また、アナログスイッチで構成するサンプリング回路には、同様な構成とした第2のpチャネル型TFT(A)202aと第2のnチャネル型TFT(A)203aを適用することができる。サンプリング回路はホットキャリア対策と低オフ電流動作が重視されるので、一对のソース・ドレイン間に3つのゲート電極を設けたトリプルゲート構造としてオフ電流が低減されるようにすると良い。第2のpチャネル型TFT(B)202bには、島状半導体層にチャンネル形成領域246a、246b、246c、低濃度p型不純物領域から成りゲート電極820と重なるLDD領域247a、247b、247c、高濃度p型不純物領域から成るソース領域249とドレイン領域250~252を有した構造となっている。第2のnチャネル型TFT(B)203bには、島状半導体層にチャンネル形成領域253a、253b、低濃度n型不純物領域で形成されゲート電極821と重なるLDD領域254a、254b、高濃度n型不純物領域で形成するソース領域255とドレイン領域256、257を有している。

【0125】

このように、TFTのゲート電極の構成をシングルゲート構造とするか、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良い。そして、本実施例で完成したアクティブマトリクス基板を用いることで反射型の液晶表示装置を作製することができる。

【0126】

[実施例4]

本実施例では、実施例3と異なる工程でアクティブマトリクス基板を作製する例について図28と図29を用いて説明する。まず、実施例3と同様にして図8(D)で説明する工程までを行う。ゲート電極を形成するための導電層は耐熱性導電性材料から成る一層で形成しても良く、例えば、導電層(A)810をW膜で300nmの厚さに形成する。

【0127】

そして、図28(A)に示すようにレジストマスク860a~860fを形成し、上記の

10

20

30

40

50

導電層(A)810に対して第1のエッチング処理を行う。エッチング処理はICPEエッチング装置により行う。具体的なエッチング条件として、エッチングガスに $CF_4$ と $Cl_2$ の混合ガスを用いその流量をそれぞれ30SCCMとして、放電電力 $3.2W/cm^2$ (13.56MHz)、バイアス電力 $2.24mW/cm^2$ (13.56MHz)、圧力 $1.0Pa$ でエッチングを行う。こうして形成されたゲート電極861~865と容量配線866の端部にはテーパ部が形成される。該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は $5\sim 35^\circ$ 、好ましくは $15\sim 30^\circ$ とする。この角度は、後にLDD領域を形成する低濃度n型不純物領域の濃度勾配に大きく影響する。

#### 【0128】

その後、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行う。レジストマスクはそのまま残し、イオンドープ法で高濃度n型不純物領域867、869、871、873、875を形成する。この領域の不純物濃度は、 $1\times 10^{19}\sim 1\times 10^{21}atoms/cm^3$ となるようにする。この時テーパ部が形成されたゲート電極の端部と重なる領域にも前記高濃度n型不純物領域よりも低い濃度で不純物領域868、870、872、874、876が形成される。この不純物領域のリン濃度はゲート電極の厚さとテーパ角に依存する。

#### 【0129】

次に、第2のエッチング処理を行う。エッチング処理は同様にICPEエッチング装置により行い、エッチングガスに $CF_4$ と $Cl_2$ の混合ガスを用いその流量をそれぞれ30SCCMとして、放電電力 $3.2W/cm^2$ (13.56MHz)、バイアス電力 $4.5mW/cm^2$ (13.56MHz)、圧力 $1.0Pa$ でエッチングを行う。この条件で形成されたゲート電極877~881と容量配線882の端部にはテーパ部が形成される。該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は $40\sim 75^\circ$ 、好ましくは $45\sim 60^\circ$ とする。

#### 【0130】

そして、前の工程よりドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする工程を行う。例えば、加速電圧を $70\sim 120keV$ とし、 $1\times 10^{13}/cm^2$ のドーズ量で行い、ゲート電極877~881と重なる領域の不純物濃度を $1\times 10^{16}\sim 1\times 10^{18}atoms/cm^3$ となるようにする。このようにして、不純物領域883~884を各島状半導体層に形成する(図28(B))。

#### 【0131】

そして、nチャネル型TFTを形成する島状半導体層を覆うレジストマスク887、~889を形成し、pチャネル型TFTを形成する島状半導体層にソース領域およびドレイン領域とする高濃度p型不純物領域890、891を形成する。ここで形成する不純物領域890、891はジボラン( $B_2H_6$ )を用いたイオンドープ法で形成する。ゲート電極と重ならないp型不純物領域のボロン(B)濃度は、 $3\times 10^{20}\sim 3\times 10^{21}atoms/cm^3$ となるようにし、ゲート電極と重なる不純物領域は、ゲート絶縁膜とゲート電極のテーパ部を介して不純物元素が添加され、少なくとも $1.5\times 10^{19}atoms/cm^3$ 以上の濃度となるようにする(図28(C))。

#### 【0132】

その後、図29(A)に示すように、ゲート電極およびゲート絶縁膜上から第1の層間絶縁膜892を実施例3と同様に形成する。そして、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。また、活性化の工程に続いて、雰囲気ガスを変化させ水素化の工程を行い島状半導体層にある $10^{16}\sim 10^{18}/cm^3$ のダングリングボンドを終端させる工程を付加すると良い。

#### 【0133】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる第2の層間絶縁膜343を $1.0\sim 2.0\mu m$ の平均厚を有して形成する。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300で焼成して形成する。その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、エッチングによ

10

20

30

40

50

ってソース線 344 ~ 348 とドレイン線 349 ~ 352 を形成する。ここで、353 は画素電極として機能するものである。354 は隣の画素に帰属する画素電極を表している。図示していないが、本実施例ではこの配線を、Ti 膜を 50 ~ 150 nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 300 ~ 400 nm の厚さで形成し、さらにその上に透明導電膜を 80 ~ 120 nm の厚さで形成した。

#### 【0134】

こうして実施例 3 と同様に、同一の基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができる。駆動回路には第 1 の p チャネル型 TFT (A) 300、第 1 の n チャネル型 TFT (A) 301、第 2 の p チャネル型 TFT (A) 302、第 2 の n チャネル型 TFT (A) 303、画素部には画素 TFT 304、保持容量 305 が形成されている。

10

#### 【0135】

駆動回路の第 1 の p チャネル型 TFT (A) 300 には、島状半導体層にチャネル形成領域 306、ゲート電極と重なる LDD 領域 307、高濃度 p 型不純物領域から成るソース領域 308、ドレイン領域 309 を有した構造となっている。第 1 の n チャネル型 TFT (A) 301 には、島状半導体層にチャネル形成領域 310、低濃度 n 型不純物領域で形成されゲート電極 319 と重なる LDD 領域 311、高濃度 n 型不純物領域で形成するソース領域 312、ドレイン領域 313 を有している。チャネル長 3 ~ 7  $\mu\text{m}$  に対して、ゲート電極と重なる LDD 領域を  $L_{ov}$  としてそのチャネル長方向の長さは 0.1 ~ 1.5  $\mu\text{m}$ 、好ましくは 0.3 ~ 0.8  $\mu\text{m}$  とする。この  $L_{ov}$  の長さはゲート電極 319 の厚さとテーパー部の角度から制御する。

20

#### 【0136】

駆動回路の第 2 の p チャネル型 TFT (A) 302 は同様に、島状半導体層にチャネル形成領域 314、ゲート電極重なる LDD 領域 315、高濃度 p 型不純物領域で形成されるソース領域 316、ドレイン領域 317 を有した構造となっている。第 2 の n チャネル型 TFT (A) 303 a には、島状半導体層にチャネル形成領域 318、ゲート電極と重なる LDD 領域 319、高濃度 n 型不純物領域で形成するソース領域 320、ドレイン領域 321 を有している。LDD 領域 319 は、LDD 領域 311 と同じ構成とする。画素 TFT 304 には、島状半導体層にチャネル形成領域 322 a、322 b、低濃度 n 型不純物領域で形成する LDD 領域 323 a、323 b、高濃度 n 型不純物領域で形成するソースまたはドレイン領域 325 ~ 327 を有している。LDD 領域 323 a、323 b は、LDD 領域 311 と同じ構成とする。さらに、容量配線 882 と、ゲート絶縁膜と、画素 TFT 304 のドレイン領域 327 に接続する半導体層 328、329 とから保持容量 305 が形成されている。

30

#### 【0137】

このようにして作製された n チャネル型 TFT の LDD 領域は、チャネル形成領域からソース領域またはドレイン領域にかけて n 型を付与する不純物濃度が次第に高くなるものとなり、ドレイン近傍に発生する高電界領域を効果的に緩和して、ホットキャリア効果による TFT の劣化を防止することができる。

40

#### 【0138】

##### [実施例 5]

実施例 3 で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図 13 を用いて説明する。

#### 【0139】

アクティブマトリクス基板は実施例 1 と同様に作製する。図 13 (A) では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。ドレイン配線 256 を例としてこの構成を図 13 (B) で詳細に説明すると、Ti 膜 256 a を 50 ~ 1

50

50 nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜256a上に重ねてアルミニウム(Al)膜256bを300~400 nmの厚さで形成し、さらにTi膜256cまたは窒化チタン(TiN)膜を100~200 nmの厚さで形成して3層構造とする。その後、透明導電膜を全面に形成し、フォトマスクを用いたパターンニング処理およびエッチング処理により画素電極257を形成する。画素電極257は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、画素TFT204のドレイン配線256と重なる部分を設け電氣的な接続を形成している。

【0140】

図13(C)では最初に第2の層間絶縁膜143上に透明導電膜を形成し、パターンニング処理およびエッチング処理をして画素電極258を形成した後、ドレイン配線259を画素電極258と重なる部分を設けて形成した例である。ドレイン配線259は、図13(D)で示すようにTi膜259aを50~150 nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜259a上に重ねてAl膜259bを300~400 nmの厚さで形成して設ける。この構成にすると、画素電極258はドレイン配線259を形成するTi膜259aのみと接触することになる。その結果、透明導電膜材料とAlとが直接接し反応するのを確実に防止できる。

10

【0141】

透明導電膜の材料は、酸化インジウム( $In_2O_3$ )や酸化インジウム酸化スズ合金( $In_2O_3-SnO_2$ ; ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $In_2O_3-ZnO$ )を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、図9(A)、(B)の構成においてドレイン配線256の端面で、Al膜256bが画素電極257と接触して腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛( $ZnO:Ga$ )などを用いることができる。

20

【0142】

実施例3では反射型の液晶表示装置を作製できるアクティブマトリクス基板を5枚のフォトマスクにより作製したが、さらに1枚のフォトマスクの追加(合計6枚)で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

30

【0143】

[実施例6]

本実施例では、実施例3で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、またはRTA法などで結晶化させて形成するが、その他に特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を図14を用いて説明する。

40

【0144】

図14(A)で示すように、実施例1と同様にして、ガラス基板1101上に下地膜1102a、1102b、非晶質構造を有する半導体層1103を25~80 nmの厚さで形成する。非晶質半導体層は非晶質シリコン(a-Si)膜、非晶質シリコン・ゲルマニウム(a-SiGe)膜、非晶質炭化シリコン(a-SiC)膜、非晶質シリコン・スズ(a-SiSn)膜などが適用できる。これらの非晶質半導体層は水素を0.1~40 atomic %程度含有するようにして形成すると良い。例えば、非晶質シリコン膜を55 nmの厚さで形成する。そして、重量換算で10 ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピコート法で触媒元素を含有する層1104を形成する。触媒元素

50

にはニッケル (Ni)、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) などである。この触媒元素を含有する層 1104 は、スピンコート法の他に印刷法やスプレー法、バーコーター法、或いはスパッタ法や真空蒸着法によって上記触媒元素の層を 1 ~ 5 nm の厚さに形成しても良い。

#### 【0145】

そして、図 14 (B) に示す結晶化の工程では、まず 400 ~ 500 で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atom% 以下にする。非晶質シリコン膜の含有水素量が成膜後において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ファーネスアニール炉を用い、窒素雰囲気中で 550 ~ 600 で 1 ~ 8 時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層 1105 を得ることができる (図 14 (C))。しかし、この熱アニールによって作製された結晶質半導体層 1105 は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では  $480\text{ cm}^{-1}$  にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例 1 で説明したレーザーアニール法で結晶質半導体層 1105 を処理してその結晶性を高めることは有効な手段として適用できる。

#### 【0146】

図 11 で作製された結晶質半導体層 1105 から島状半導体層を作製すれば、実施例 3 と同様にしてアクティブマトリクス基板を完成させることができる。また、実施例 1 で示した CMOS 構造を形成することもできる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ( $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

#### 【0147】

この目的におけるリン (P) によるゲッタリング処理は、図 10 (B) で説明した活性化工程で同時に行うことができる。この様子を図 15 で説明する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 15 で示す矢印の方向)。その結果その不純物領域には  $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度の触媒元素が偏析する。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

#### 【0148】

##### [実施例 7]

本実施例では実施例 3 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 16 (A) に示すように、図 10 (C) の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数  $\mu\text{m}$  の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR 社製の NN700 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 150 ~ 200 で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、図 16 で示すように、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さ H を  $1.2 \sim 5\ \mu\text{m}$  とし、平均半径  $L_1$  を  $5 \sim 7\ \mu\text{m}$ 、平均半径  $L_1$  と底部の半径  $L_2$  との比を 1 対 1.5 と

10

20

30

40

50

する。このとき側面のテーパ角は $\pm 15^\circ$ 以下とする。

【0149】

スペーサの配置は任意に決定すれば良いが、好ましくは、図16(A)で示すように、画素部においてはドレイン配線853(画素電極)のコンタクト部231と重ねてその部分を覆うように柱状スペーサ406を形成すると良い。コンタクト部231は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部231にスペーサ用の樹脂を充填する形で柱状スペーサ406を形成することでディスクリネーションなどを防止することができる。また、駆動回路のTFT上にもスペーサ405a~405eを形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図16で示すようにソース線およびドレイン線を覆うようにして設けて配向膜形成後のラビング処理における静電破壊を防ぐ構造としても良い。

10

【0150】

その後、配向膜407を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ406の端部からラビング方向に対してラビングされない領域が $2\mu\text{m}$ 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上に形成したスペーサ405a~405eにより静電気からTFTを保護する効果を得ることができる。また図では説明しないが、配向膜407を先に形成してから、スペーサ406、405a~405eを形成した構成としても良い。

20

【0151】

対向側の対向基板401には、遮光膜402、透明導電膜403および配向膜404を形成する。遮光膜402はTi膜、Cr膜、Al膜などを150~300nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤408で貼り合わせる。シール剤408にはフィラー(図示せず)が混入されていて、このフィラーとスペーサ406、405a~405eによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料409を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図16(B)に示すアクティブマトリクス型液晶表示装置が完成する。

30

【0152】

図17はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。実施例3で述べたガラス基板801上に画素部504の周辺に駆動回路として走査信号駆動回路505と画像信号駆動回路506が設けられている。さらに、その他CPUやメモリなどの信号処理回路507も付加されていても良い。そして、これらの駆動回路は接続配線503によって外部入出力端子502と接続されている。画素部504では走査信号駆動回路505から延在するゲート線群508と画像信号駆動回路506から延在するソース線群509がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素TFT204と保持容量205が設けられている。

40

【0153】

図16において画素部において設けた柱状スペーサ406は、すべての画素に対して設けても良いが、図17で示すようにマトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は20~100%とすることが可能である。また、駆動回路部に設けるスペーサ405a~405eはその全面を覆うように設けても良いし各TFTのソースおよびドレイン配線の位置にあわせて設けても良い。図17では駆動回路部に設けるスペーサの配置を510~512で示す。そして、図17で示すシール剤519は、基板801上の画素部504および走査

50

信号駆動回路505、画像信号駆動回路506、その他の信号処理回路507の外側であって、外部入出力端子502よりも内側に形成する。

【0154】

このようなアクティブマトリクス型液晶表示装置の構成を図18の斜視図を用いて説明する。図18においてアクティブマトリクス基板は、ガラス基板801上に形成された、画素部504と、走査信号駆動回路505と、画像信号駆動回路506とその他の信号処理回路507とで構成される。画素部504には画素TFT204と保持容量205が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路505と画像信号駆動回路506からは、それぞれゲート線822とソース線848が画素部504に延在し、画素TFT204に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit: FPC)513が外部入力端子502に接続していて画像信号などを入力するのに用いる。FPC513は補強樹脂514によって強固に接着されている。そして接続配線503でそれぞれの駆動回路に接続している。また、対向基板401には図示していない、遮光膜や透明電極が設けられている。

10

【0155】

このような構成の液晶表示装置は、実施例3~5で示すアクティブマトリクス基板の構成を用いて形成することができる。実施例3または実施例4で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例5で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0156】

[実施例8]

本実施例では、実施例3または実施例4のアクティブマトリクス基板を用いてエレクトロルミネッセンス(EL: Electro Luminescence)材料を用いた自発光型の表示パネル(以下、EL表示装置と記す)を作製する例について説明する。図19(A)は本発明を用いたEL表示パネルの上面図である。図19(A)において、10は基板、11は画素部、12はソース側駆動回路、13はゲート側駆動回路であり、それぞれの駆動回路は配線14~16を経てFPC17に至り、外部機器へと接続される。

20

【0157】

図19(B)は図19(A)のA-A'断面を表す図であり、このとき少なくとも画素部上、好ましくは駆動回路及び画素部上に対向板80を設ける。対向板80はシール材19でTFTとEL層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤19にはフィラー(図示せず)が混入されていて、このフィラーによりほぼ均一な間隔を持って2枚の基板が貼り合わせられている。さらに、シール材19の外側とFPC17の上面及び周辺は封止剤81で密封する構造とする。封止剤81はシリコーン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

30

【0158】

このように、シール剤19によりアクティブマトリクス基板10と対向基板80とが貼り合わされると、その間には空間が形成される。その空間には充填剤83が充填される。この充填剤83は対向板80を接着する効果も合わせ持つ。充填剤83はPVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)などを用いることができる。また、EL層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤83の内部に酸化バリウムなどの乾燥剤を混入させておくと吸湿効果を保持できるので望ましい。

40

【0159】

また、EL層上に窒化シリコン膜や酸化窒化シリコン膜などで形成するパッシベーション膜82を形成し、充填剤83に含まれるアルカリ元素などによる腐蝕を防ぐ構造としていある。

【0160】

対向板80にはガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム(デ

50

ユポン社の商品名)、ポリエステルフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数十 $\mu\text{m}$ のアルミニウム箔をP V Fフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、E L素子は密閉された状態となり外気から遮断されている。

#### 【0161】

また、図20(B)において基板10、下地膜21の上に駆動回路用T F T(但し、ここではnチャンネル型T F Tとpチャンネル型T F Tを組み合わせたC M O S回路を図示している。)22及び画素部用T F T23(但し、ここではE L素子への電流を制御するT F Tだけ図示している。)が形成されている。これらのT F TはV<sub>th</sub>シフトやバイアスストレスによる特性低下を防ぎ、動作特性を安定化させるために実施例3で示すT F Tと同じものを用いる。即ち、酸化窒化シリコン膜(A)と(B)をゲート電極に用いた構造とする。また、T F Tは実施例1で記載したT F Tでも良く、或いは実施例2で記載した逆スタガ型のT F Tを適用することもできる。

10

#### 【0162】

例えば、駆動回路用T F T22とし、図10(C)に示すpチャンネル型T F T200a、202aとnチャンネル型T F T201a、203aを用いれば良い。また、画素部用T F T23には図10(C)に示すnチャンネル型T F T204またはそれと同様な構造を有するpチャンネル型T F Tを用いれば良い。

#### 【0163】

図10(C)の状態のアクティブマトリクス基板からE L表示装置を作製するには、ソース線、ドレイン線上に樹脂材料でなる層間絶縁膜(平坦化膜)26を形成し、その上に画素部用T F T23のドレインと電気的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(I T Oと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

20

#### 【0164】

次に、E L層29を形成する。E L層29は公知のE L材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

30

#### 【0165】

E L層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(C C M)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のE L表示装置とすることもできる。

#### 【0166】

E L層29を形成したら、その上に陰極30を形成する。陰極30とE L層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でE L層29と陰極30を連続して形成するか、E L層29を不活性雰囲気中で形成し、大気解放しないで真空中で陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

40

#### 【0167】

なお、本実施例では陰極30として、L i F(フッ化リチウム)膜とA l(アルミニウム)膜の積層構造を用いる。具体的にはE L層29上に蒸着法で1nm厚のL i F(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知

50

の陰極材料であるMgAg電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料32を介してFPC17に接続される。FPC17上にはさらに樹脂層80が形成され、この部分の接着強度を高めている。

【0168】

31に示された領域において陰極30と配線16とを電氣的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜28のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとする事ができる。

10

【0169】

また、配線16はシーリル19と基板10との間を隙間(但し封止剤81で塞がれている。)を通してFPC17に電氣的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材18の下を通してFPC17に電氣的に接続される。

【0170】

ここで画素部のさらに詳細な断面構造を図20に、上面構造を図21(A)に、回路図を図21(B)に示す。図20及び図21(A)は共通の符号を用いるので互いに参照すれば良い。

20

【0171】

図20(A)において、基板2401上に設けられたスイッチング用TF T 2402は本発明(例えば、実施例1の図10で示したTF T)の画素TF T 204と同じ構造で形成される。ダブルゲート構造とすることで実質的に二つのTF Tが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

【0172】

また、電流制御用TF T 2403は本願発明の図10で示すnチャンネル型TF T 201aを用いて形成する。このとき、スイッチング用TF T 2402のドレイン線35は配線36によって電流制御用TF Tのゲート電極37に電氣的に接続されている。また、38で示される配線は、スイッチング用TF T 2402のゲート電極39a、39bを電氣的に接続するゲート配線である。

30

【0173】

このとき、電流制御用TF T 2403が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TF TはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TF Tのドレイン側に、ゲート絶縁膜を介してゲート電極(厳密にはゲート電極として機能するサイドウォール)に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

40

【0174】

また、本実施例では電流制御用TF T 2403をシングルゲート構造で図示しているが、複数のTF Tを直列につなげたマルチゲート構造としても良い。さらに、複数のTF Tを並列につなげて実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0175】

また、図21(A)に示すように、電流制御用TF T 2403のゲート電極37となる配線は2404で示される領域で、電流制御用TF T 2403のドレイン配線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。この

50

コンデンサ 2404 は電流制御用 T F T 2403 のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線 40 は電流供給線（電源線）2501 に接続され、常に一定の電圧が加えられている。

【0176】

スイッチング用 T F T 2402 及び電流制御用 T F T 2403 の上には第 1 パッシベーション膜 41 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 42 が形成される。平坦化膜 42 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

10

【0177】

また、43 は反射性の高い導電膜でなる画素電極（E L 素子の陰極）であり、電流制御用 T F T 2403 のドレインに電氣的に接続される。画素電極 43 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0178】

また、絶縁膜（好ましくは樹脂）で形成されたバンク 44a、44b により形成された溝（画素に相当する）の中に発光層 44 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平 10 - 92576 号公報に記載されたような材料を用いれば良い。

20

【0179】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 nm（好ましくは 40 ~ 100 nm）とすれば良い。

30

【0180】

但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせる E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0181】

本実施例では発光層 45 の上に P E D O T（ポリチオフェン）または P A n i（ポリアニリン）でなる正孔注入層 46 を設けた積層構造の E L 層としている。そして、正孔注入層 46 の上には透明導電膜でなる陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって（T F T の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

40

【0182】

陽極 47 まで形成された時点で E L 素子 2405 が完成する。なお、ここでいう E L 素子 2405 は、画素電極（陰極）43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 22（A）に示すように画素電極 43 は画素の面積にほぼ一致

50

するため、画素全体がE L素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0183】

ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とE L素子とを遮断することであり、有機E L材料の酸化による劣化を防ぐ意味と、有機E L材料からの脱ガスを抑える意味との両方を併せ持つ。これによりE L表示装置の信頼性が高められる。

【0184】

以上のように本願発明のE L表示パネルは図21のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用T F Tと、ホットキャリア注入に強い電流制御用T F Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なE L表示パネルが得られる。

10

【0185】

図20(B)はE L層の構造を反転させた例を示す。電流制御用T F T 2601は図10(C)のpチャネル型T F T 200aを用いて形成される。作製プロセスは実施例3を参照すれば良い。本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0186】

そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてE L素子2602が形成される。本実施例の場合、発光層53で発生した光は、矢印で示されるようにT F Tが形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用T F T 2601はpチャネル型T F Tで形成することが好ましい。

20

【0187】

尚、本実施例の構成は、実施例1~4のT F Tの構成を自由に組み合わせて実施することが可能である。また、実施例11の電子機器の表示部として本実施例のE L表示パネルを用いることは有効である。

30

【0188】

[実施例9]

本実施例では、図21(B)に示した回路図とは異なる構造の画素とした場合の例について図22に示す。なお、本実施例において、2701はスイッチング用T F T 2702のソース配線、2703はスイッチング用T F T 2702のゲート配線、2704は電流制御用T F T、2705はコンデンサ、2706、2708は電流供給線、2707はE L素子とする。

【0189】

図22(A)は、二つの画素間で電流供給線2706を共通とした場合の例である。即ち、二つの画素が電流供給線2706を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

40

【0190】

また、図22(B)は、電流供給線2708をゲート配線2703と平行に設けた場合の例である。なお、図22(B)では電流供給線2708とゲート配線2703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線2708とゲート配線2703とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

50

## 【 0 1 9 1 】

また、図 2 2 ( C ) は、図 2 2 ( B ) の構造と同様に電流供給線 2 7 0 8 をゲート配線 2 7 0 3 と平行に設け、さらに、二つの画素を電流供給線 2 7 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2 7 0 8 をゲート配線 2 7 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。図 2 2 ( A )、図 2 2 ( B ) では電流制御用 T F T 2 4 0 3 のゲートにかかる電圧を保持するためにコンデンサ 2 4 0 4 を設ける構造としているが、コンデンサ 2 4 0 4 を省略することも可能である。

## 【 0 1 9 2 】

電流制御用 T F T 2 4 0 3 として図 2 0 ( A ) に示すような本願発明の n チャネル型 T F T を用いているため、ゲート絶縁膜を介してゲート電極（と重なるように設けられた L D D 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 2 4 0 4 の代わりとして積極的に用いる点に特徴がある。この寄生容量のキャパシタンスは上記ゲート電極と L D D 領域とが重なり合った面積で変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。また、図 2 2 ( A )、( B )、( C ) の構造においても同様にコンデンサ 2 7 0 5 を省略することは可能である。

10

## 【 0 1 9 3 】

尚、本実施例の構成は、実施例 1 ~ 4 の T F T の構成を自由に組み合わせて実施することが可能である。また、実施例 1 1 の電子機器の表示部として本実施例の E L 表示パネルを用いることは有効である。

20

## 【 0 1 9 4 】

## [ 実施例 1 0 ]

実施例 7 で示したの液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC D Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第 5594569 号に開示された液晶を用いることが可能である。

30

## 【 0 1 9 5 】

等方相 - コレステリック相 - カイラルスメクティック C 相転移系列を示す強誘電性液晶 ( F L C ) を用い、D C 電圧を印加しながらコレステリック相 - カイラルスメクティック C 相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定 F L C の電気光学特性を図 2 5 に示す。図 2 5 に示すような強誘電性液晶による表示モードは「H a l f - V 字スイッチングモード」と呼ばれている。図 2 5 に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。「H a l f - V 字スイッチングモード」については、寺田らの "H a l f - V 字スイッチングモード F L C D"、第 4 6 回応用物理学関係連合講演会講演予稿集、1999 年 3 月、第 1 3 1 6 頁、および吉原らの "強誘電性液晶による時分割フルカラー L C D"、液晶第 3 巻第 3 号第 1 9 0 頁に詳しい。

40

## 【 0 1 9 6 】

図 2 3 に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

## 【 0 1 9 7 】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶 ( A F L C ) という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値

50

反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約 $\pm 2.5$  V程度(セル厚約 $1\ \mu\text{m} \sim 2\ \mu\text{m}$ )のものも見出されている。

【0198】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0199】

なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

10

【0200】

[実施例11]

本実施例では、本発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図24、図25、図26で説明する。

【0201】

このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図24と図25に示す。

【0202】

図24(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

20

【0203】

図24(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0204】

図24(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

30

【0205】

図24(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0206】

図24(E)はリア型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光ビームスプリッタ9404、リフレクター9405、9406、スクリーン9407で構成される。本発明は表示装置9403に適用することができる。

40

【0207】

図24(F)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本発明はこの適用することができる。

【0208】

図25(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

50

## 【0209】

図25(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

## 【0210】

図25(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。

## 【0211】

図26(A)はフロント型プロジェクターであり、表示装置3601、スクリーン3602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

## 【0212】

図26(B)はリア型プロジェクターであり、本体3701、表示装置3702、ミラー3703、スクリーン3704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

## 【0213】

なお、図26(C)は、図26(A)及び図26(B)中における表示装置3601、3702の構造の一例を示した図である。表示装置3601、3702は、光源光学系3801、ミラー3802、3804~3806、ダイクロミックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図26(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

## 【0214】

また、図26(D)は、図26(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図26(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

## 【0215】

また、本発明はその他にも、イメージセンサやEL型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

## 【0216】

## 【発明の効果】

作製条件および組成の異なる酸化窒化シリコン膜(A)と酸化窒化シリコン膜(B)とを積層させる、または酸化窒化シリコン膜(A)の組成から酸化窒化シリコン膜(B)の組成に連続的に変化させる絶縁膜でTFTのゲート絶縁膜を形成することにより熱的安定性を高め、バイアスストレスによる劣化を防ぐことができる。

## 【図面の簡単な説明】

【図1】 本発明のゲート絶縁膜の構成を説明する図。

【図2】 本発明に適用するプラズマCVD装置の構成の一例を説明する図。

【図3】 トップゲート型のTFTの作製工程を説明する図。

【図4】 トップゲート型のTFTの作製工程を説明する図。

【図5】 逆スタガ型のTFTの作製工程を説明する図。

【図6】 逆スタガ型のTFTの作製工程を説明する図。

【図7】 逆スタガ型のTFTの作製工程を説明する図。

10

20

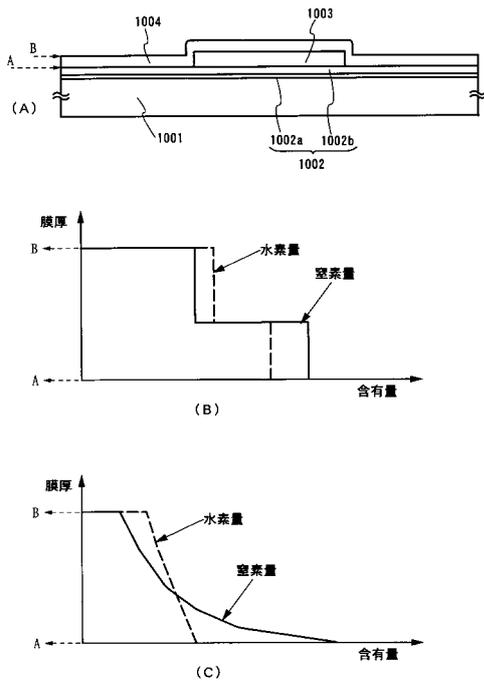
30

40

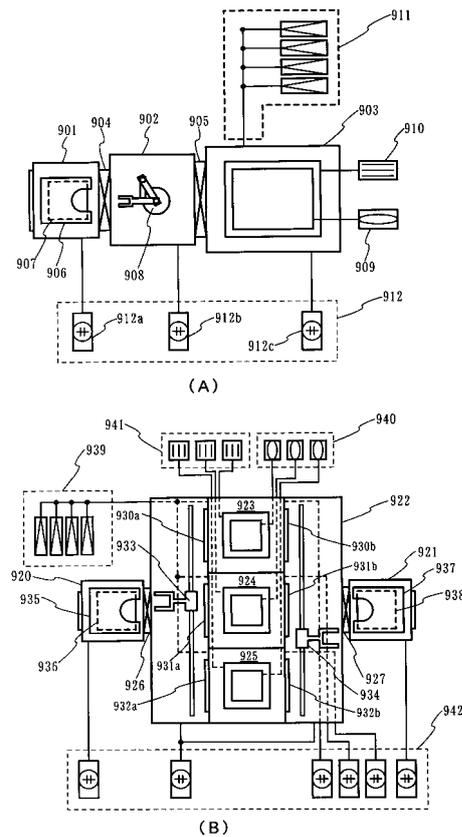
50

- 【図 8】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
- 【図 9】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
- 【図 10】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
- 【図 11】 n チャンネル型 T F T の L D D 領域の構造を説明する図。
- 【図 12】 画素 T F T の構成を説明する断面図。
- 【図 13】 画素部の構造を説明する上面図。
- 【図 14】 結晶質半導体層の作製工程を示す断面図。
- 【図 15】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
- 【図 16】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。
- 【図 17】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。 10
- 【図 18】 液晶表示装置の構造を示す斜視図。
- 【図 19】 E L 表示装置の構造を示す上面図及び断面図。
- 【図 20】 E L 表示装置の画素部の断面図。
- 【図 21】 E L 表示装置の画素部の上面図と回路図。
- 【図 22】 E L 表示装置の画素部の回路図の例。
- 【図 23】 反強誘電性混合液晶の光透過率特性の一例を示す図。
- 【図 24】 半導体装置の一例を示す図。
- 【図 25】 半導体装置の一例を示す図。
- 【図 26】 投影型液晶表示装置の構成を示す図。 20
- 【図 27】 酸化窒化シリコン膜 ( A ) と ( B ) の積層条件の違いによる V f b の変動を示すグラフ。
- 【図 28】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。
- 【図 29】 画素 T F T、駆動回路の T F T の作製工程を示す断面図。

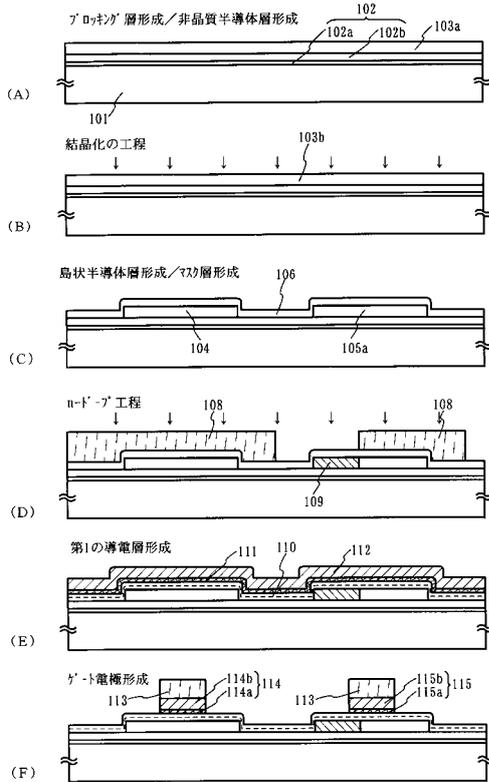
【図 1】



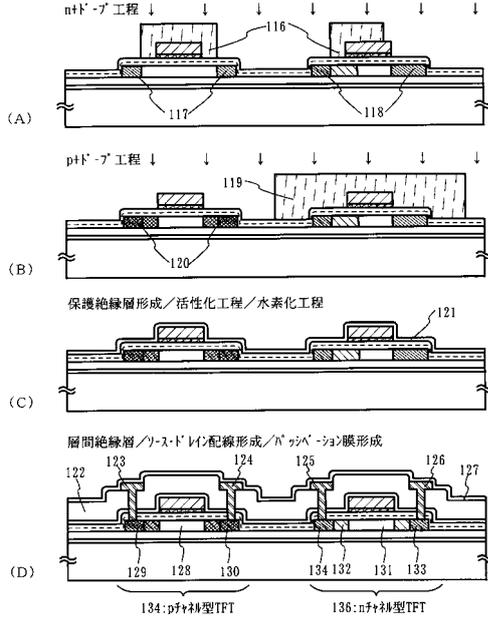
【図 2】



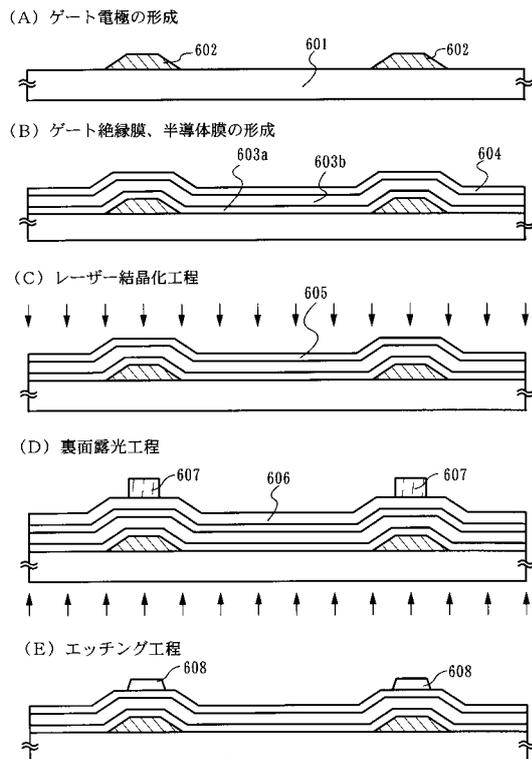
【図3】



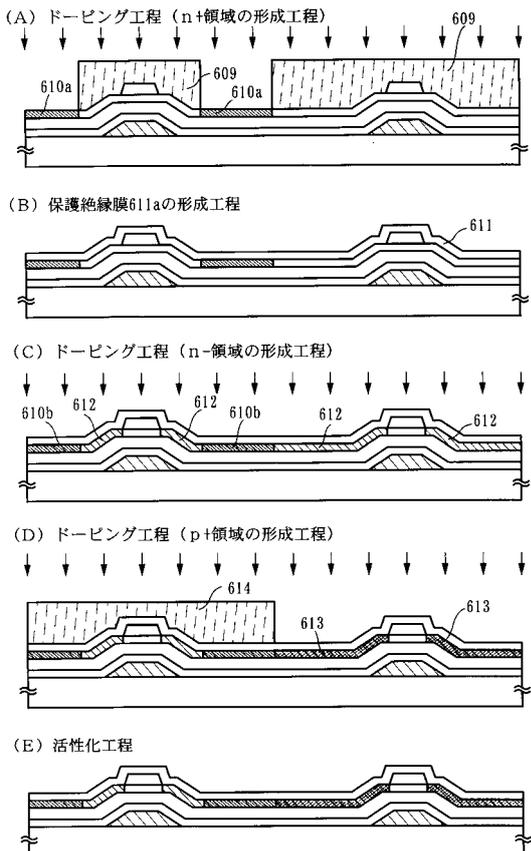
【図4】



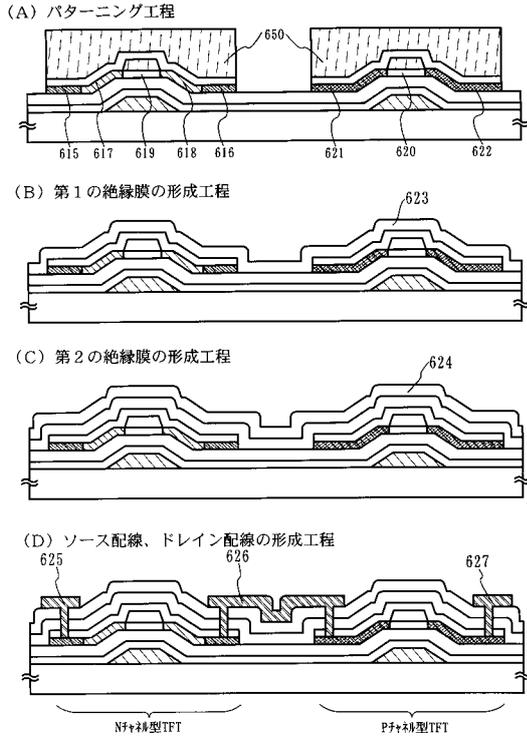
【図5】



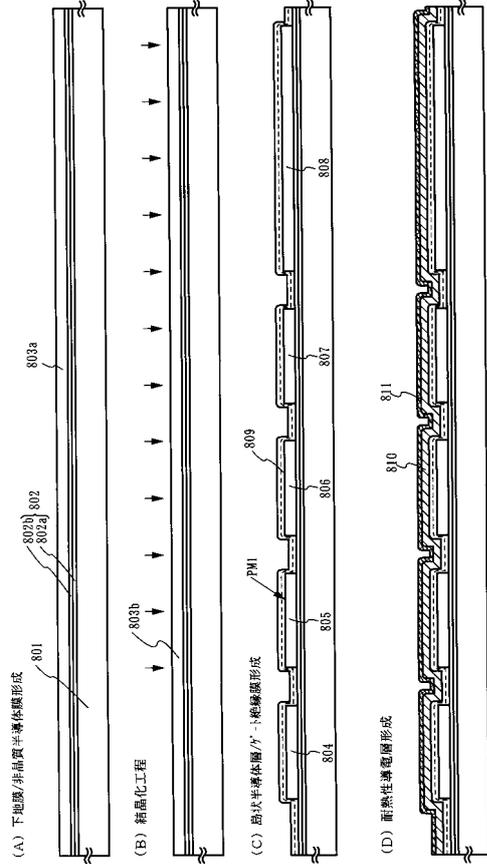
【図6】



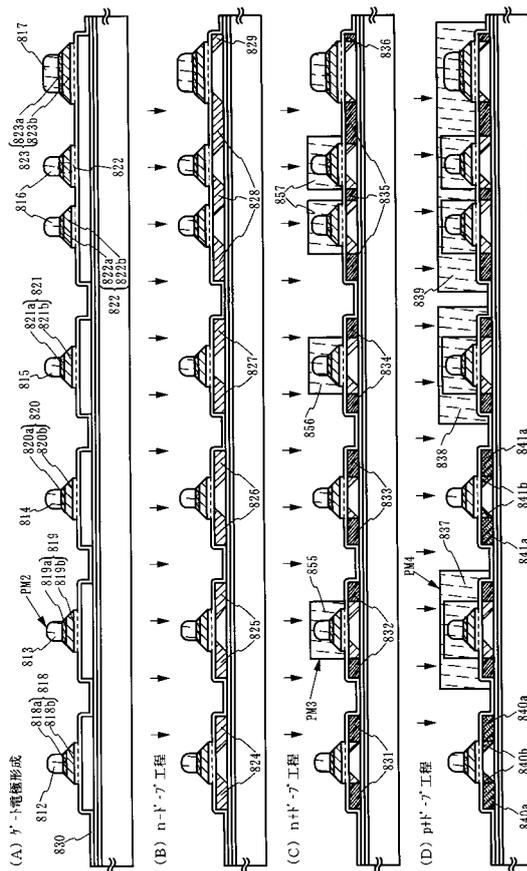
【図7】



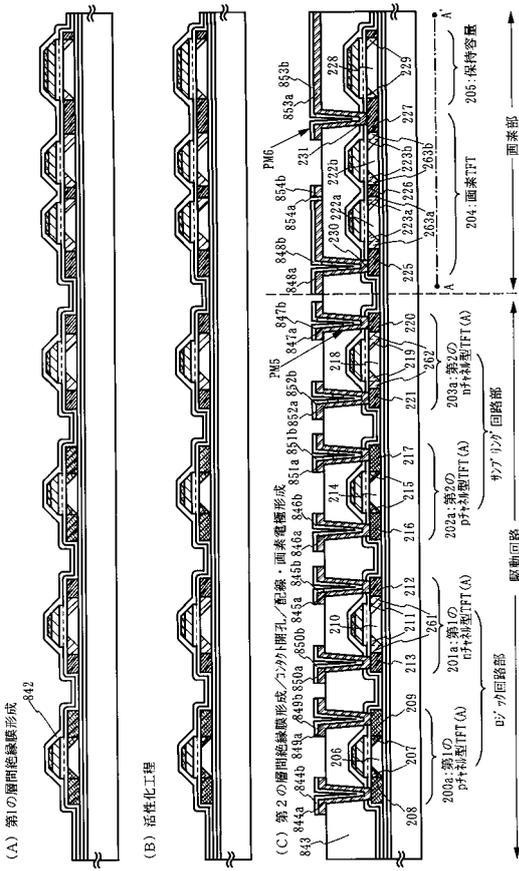
【図8】



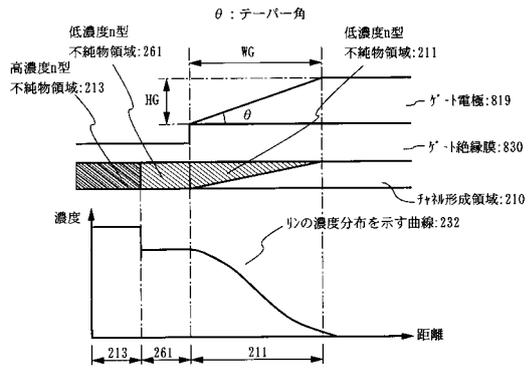
【図9】



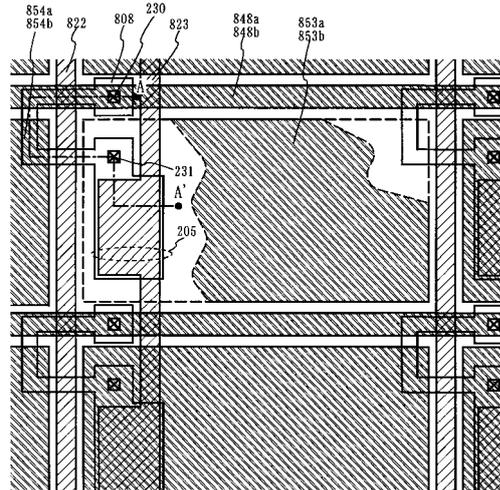
【図10】



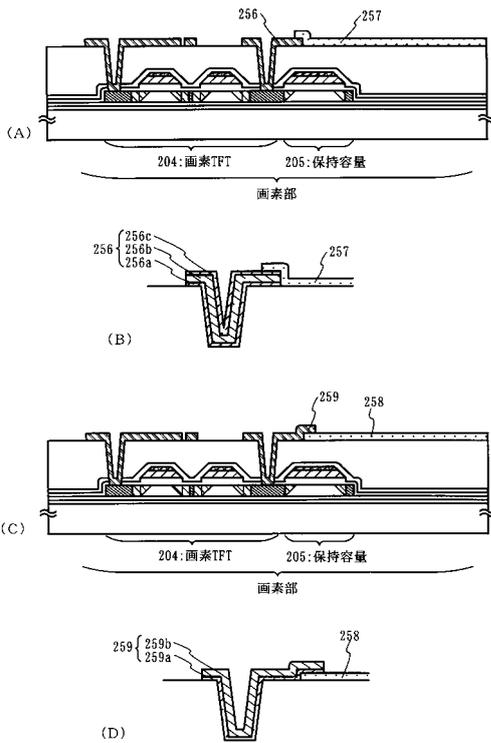
【図11】



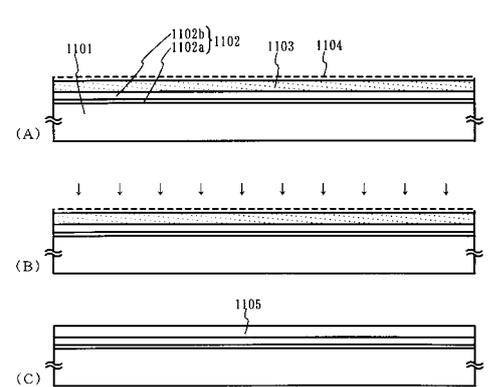
【図12】



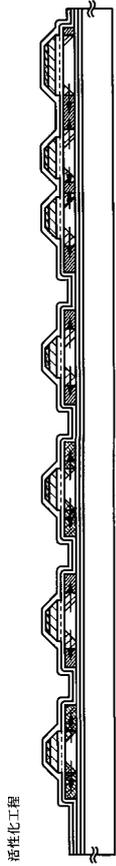
【図13】



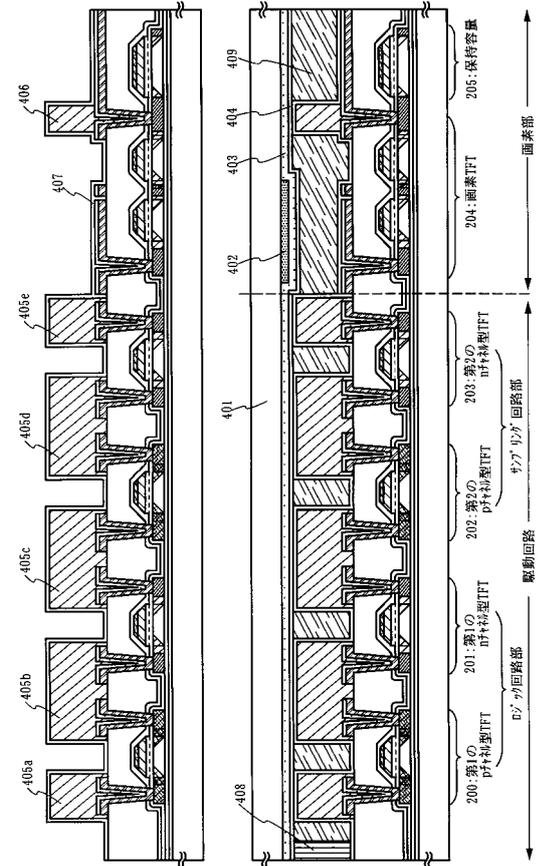
【図14】



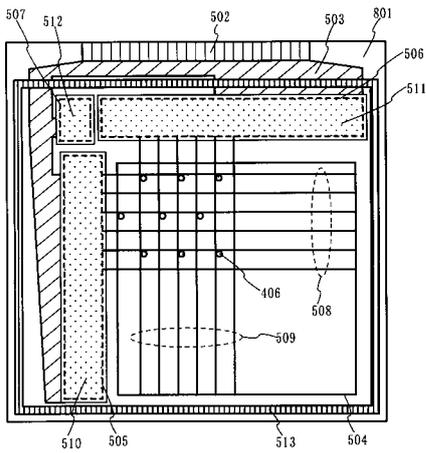
【図15】



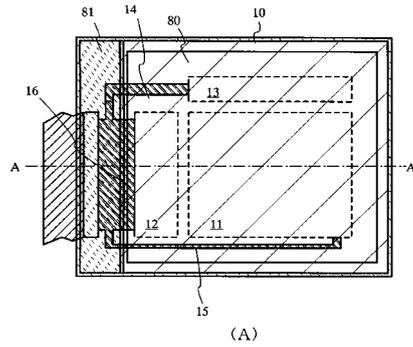
【図16】



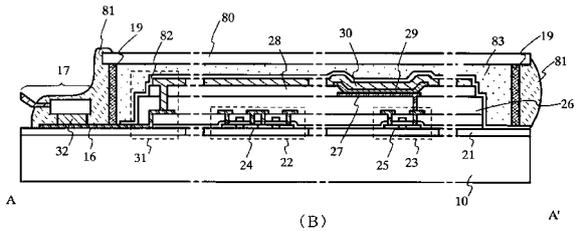
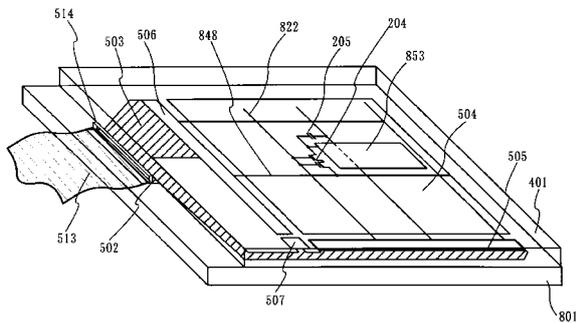
【図17】



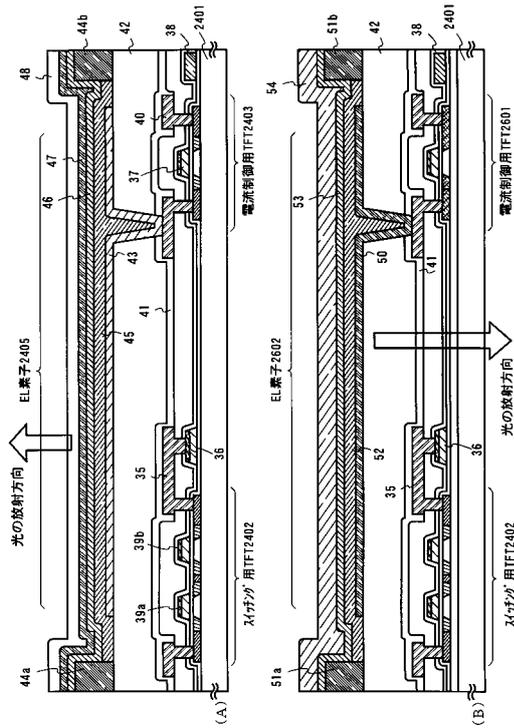
【図19】



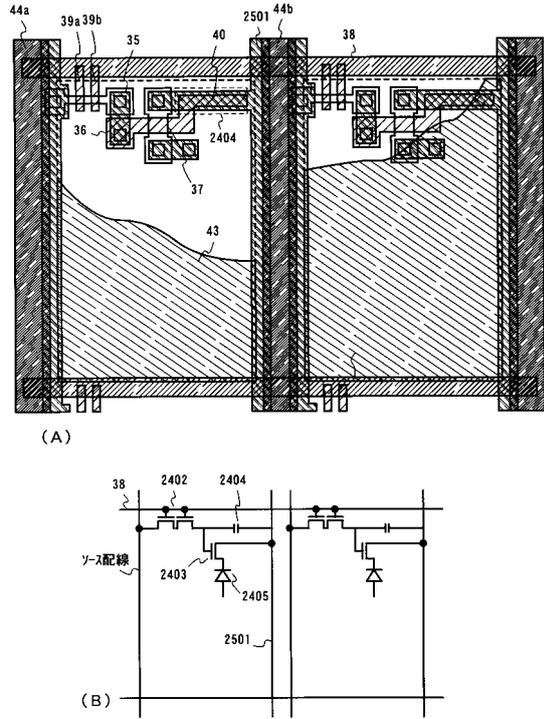
【図18】



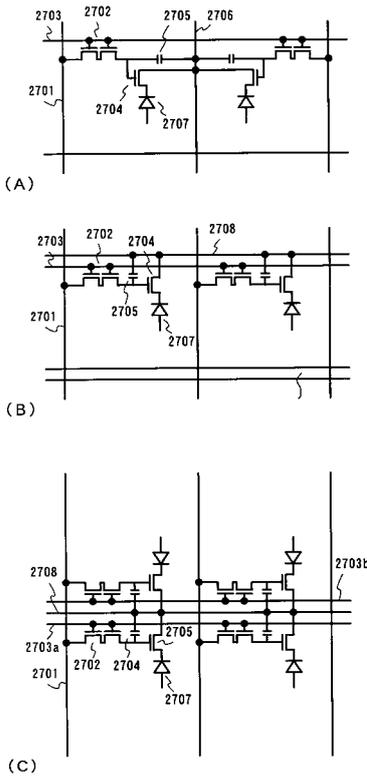
【図20】



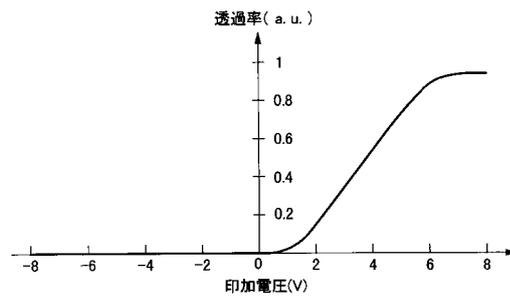
【図21】



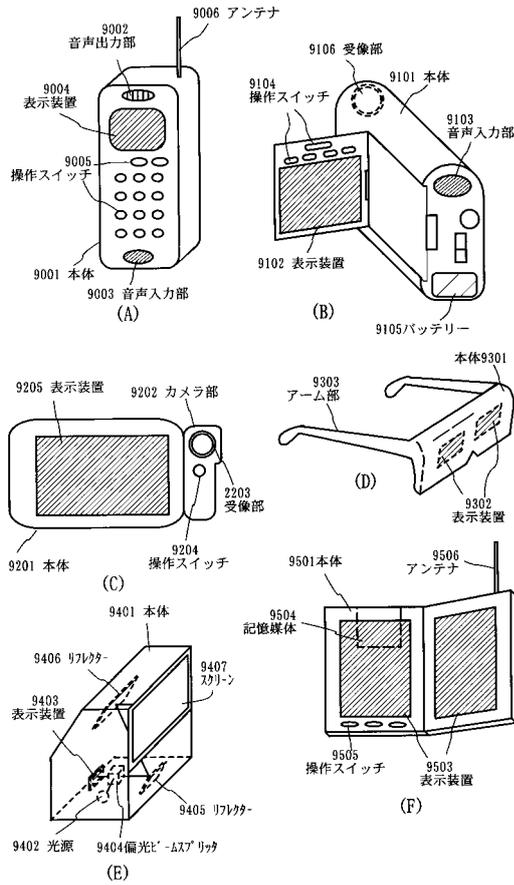
【図22】



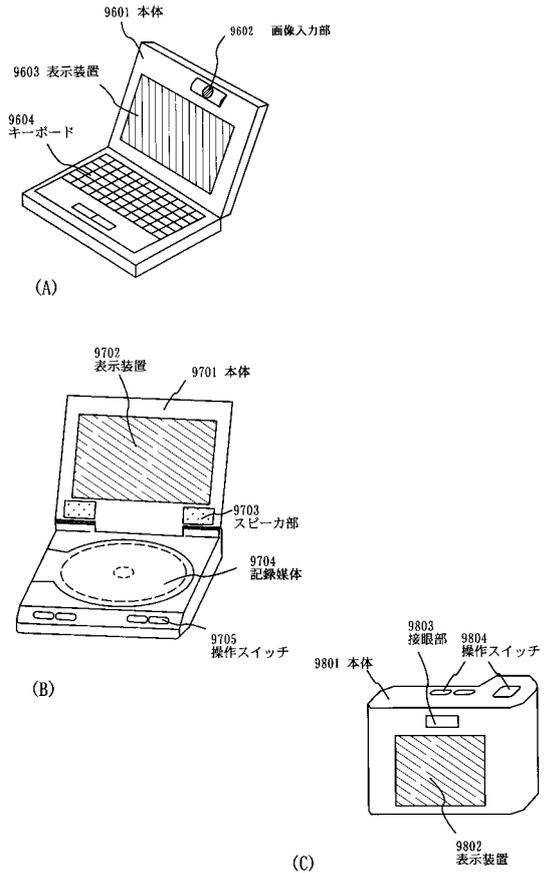
【図23】



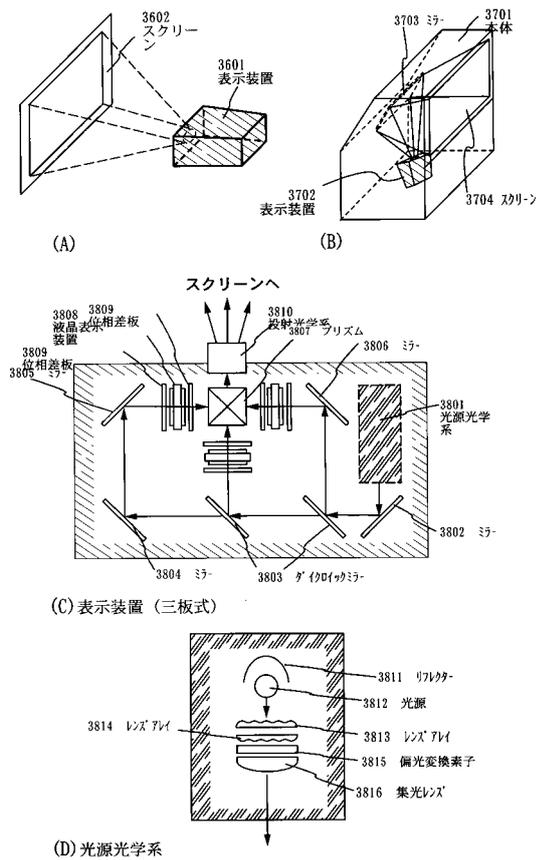
【図24】



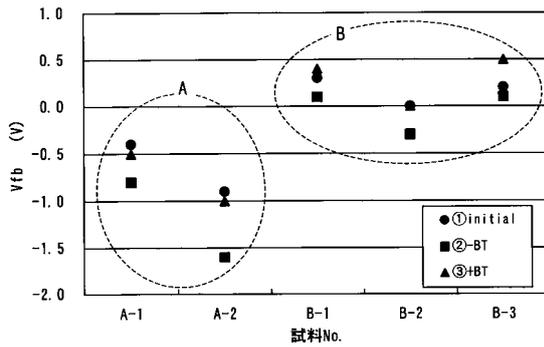
【図25】



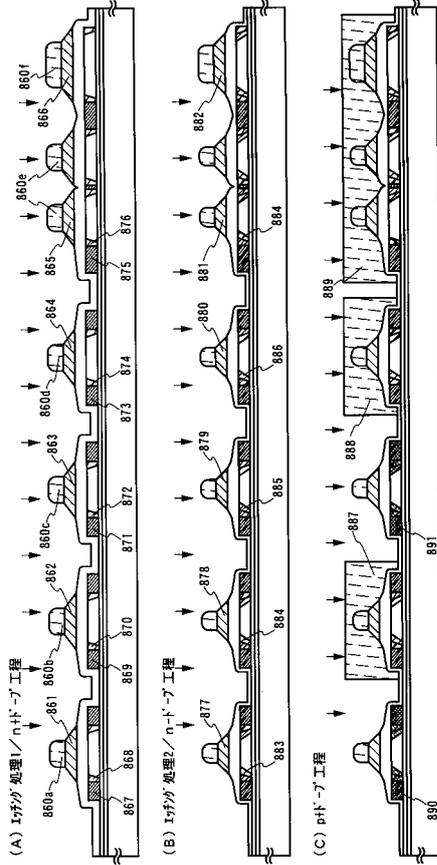
【図26】



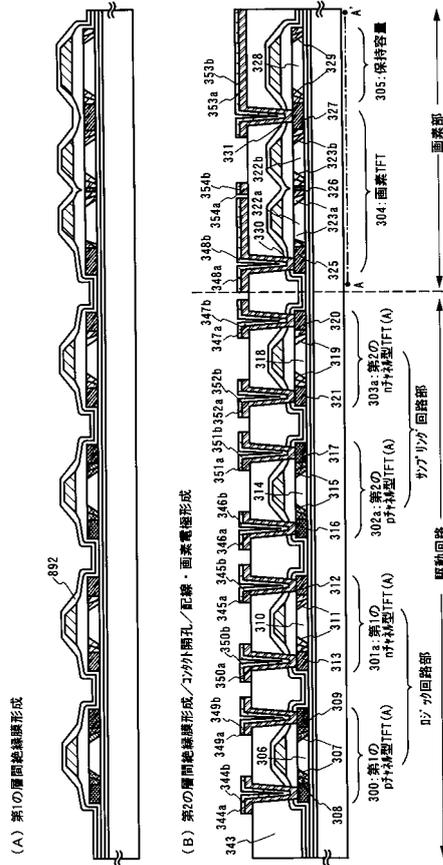
【図27】



【 図 28 】



【 図 29 】



フロントページの続き

審査官 綿引 隆

(56)参考文献 特開平08-008439(JP,A)  
特開平07-162001(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 21/336  
H01L 29/786