(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/115

(45) 공고일자 1999년03월20일
(11) 등록번호 특0179175
(24) 등록일자 1998년11월26일

(21) 출원번호 특1995-034120
(22) 출원일자 1995년10월05일
(65) 공개번호 특1997-024197
(43) 공개일자 1997년05월30일

(73) 특허권자 엘지반도체주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 박근형
충청북도 청주시 개신동 산11번지 삼익아파트 202동 804호
(74) 대리인 심창섭, 김용인

심사관 : 임동우

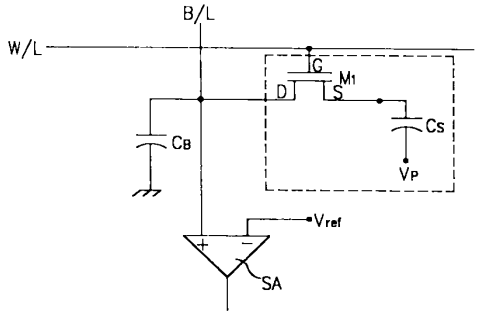
(54) 반도체 메모리 장치 및 제조방법

요약

본 발명은 반도체 메모리에 관한 것으로, 특히 커패시터가 없는 DRAM 셀로 사용할 수 있는 반도체 메모리 장치 및 방법에 관한 것이다.

이와 같은 본 발명의 반도체 메모리 장치는 전하를 저장하는 부유 게이트 전극을 갖는 메모리 셀과, 상기 부유 게이트 전극에 전하를 저장하는 부유 게이트 전극을 갖는 메모리 셀과, 상기 부유 게이트 전극에 전하를 충전시키고 부유 게이트 전극에 충전된 전하를 방전시키도록 스위칭하는 스위칭 소자를 포함하여 구성되고, 본 발명의 반도체 메모리 장치의 제조방법은 제1 도전형 반도체 기판을 준비하는 단계; 상기 제1 도전형 반도체 기판에 섬 모양의 필드 절연막을 형성하는 단계; 상기 필드 절연막 사이의 행(column) 방향으로 상기 제1 도전형 반도체 기판에 제2 도전형 불순물 영역을 형성하는 단계; 상기 필드 절연막을 포함한 기판 전면에 제1 게이트 절연막을 형성하는 단계; 상기 제2 도전형 불순물 영역 사이의 상기 필드 절연막을 포함한 제1 게이트 절연막에 제1 도전형과 제2 도전형 불순물층이 반복되는 부유 게이트 전극을 형성하는 단계; 상기 부유 게이트 전극을 포함한 제1 게이트 절연막 전면에 제2 게이트 절연막을 형성하는 단계; 상기 부유 게이트 전극의 수직 방향으로 상기 필드 절연막 사이의 제2 게이트 절연막위에 제어 전극을 형성하는 단계; 상기 제어 전극 사이에 패싱 트랜지스터의 게이트 전극을 형성하는 단계를 포함하여 이루어진 것이다.

대표도



명세서

[발명의 명칭]

반도체 메모리 장치 및 제조방법

[도면의 간단한 설명]

제1도는 일반적인 DRAM 셀의 회로적 구성도.

제2도는 일반적인 DRAM 셀의 구조 단면도.

제3도는 일반적인 프래쉬 EEPROM 셀의 회로적 구성도.

제4도는 일반적인 프래쉬 EEPROM 셀의 구조 단면도.

제5도는 본 발명의 반도체 메모리 장치의 회로적 구성도.

제6도는 본 발명 제1 실시예의 반도체 메모리 장치의 레이 아웃도.

제7도는 제6도 A-A' 선상의 본 발명 반도체 메모리 장치의 구조 단면도.

제8도는 제6도 B-B' 선상의 본 발명 반도체 메모리 장치의 구조 단면도.

제9도는 제6도 C-C' 선상의 본 발명 반도체 메모리 장치의 구조 단면도.

제10도는 제6도 D-D' 선상의 본 발명 반도체 메모리 장치의 구조 단면도.

제11도 (a)-(j)는 제6도 A-A' 선상의 본 발명 반도체 메모리 장치의 공정 단면도.

제12도 (a)-(j)는 제6도 B-B' 선상의 본 발명 반도체 메모리 장치의 공정 단면도.

제13도 (a)-(j)는 제6도 C-C' 선상의 본 발명 반도체 메모리 장치의 공정 단면도.

제14도 (a)-(j)는 제6도 D-D' 선상의 본 발명 반도체 메모리 장치의 공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

11 : 실리콘 기관 12 : 고농도 N형 불순물 영역

13 : 부유 게이트 전극 13a : P형 다결정 실리콘

14 : 제어 전극 14a, 15a : N형 다결정 실리콘

15 : 패싱 트랜지스터 16 : 필드 산화막

17, 18, 19 : 게이트 절연막 20 : 버퍼 산화막

21 : 질화막 22, 23, 24, 26, 28 : 감광막

25 : 캡 절연막 27 : 절연막 측벽

[발명의 상세한 설명]

본 발명은 반도체 메모리에 관한 것으로, 특히 커패시터가 없는 DRAM 셀로 사용할 수 있는 반도체 메모리 장치 및 방법에 관한 것이다.

최근 반도체 메모리 시장은 호황을 누리고 있으며 더불어 초고집적화에 활발한 연구를 진행하고 있다.

그러나, 현재의 기본 구조를 가지고 초고집적화 대용량화를 실현하기에는 한계가 있으므로 새로운 모델의 메모리 소자가 요구되고 있는 실정이다.

일반적으로 메모리 소자로는 여러 가지가 있으나 각각의 특성을 지니고 있다.

예를 들어 DRAM 메모리소자는 싸이클링(CYCLING)에 제한을 받지 않으나, 단위 셀이 한 개의 저장 커패시터와 트랜지스터로 구성되므로 밀도(DENSITY)면에서는 떨어진다.

반면, EEPROM 메모리 소자는 하나의 적층형 트랜지스터로 구성되어 하나의 얇은 터널 산화막(Tunnel oxide)을 통하여 부유 게이트(floating gate)로 전자를 충전시키든지 또는 부유 게이트로부터 충전된 전자를 방전시켜 셀의 쓰기 또는 소거를 실시하므로 밀도는 좋으나 싸이클링이 10^7정도로 제한을 받는다.

종래의 메모리 소자 중 DRAM과 EEPROM을 첨부된 도면을 참조하여 설명하면 다음과 같다.

제1도는 일반적인 DRAM 셀의 회로적 구성도이고, 제2도는 일반적인 DRAM 셀의 구조 단면도이다.

종래의 DRAM 셀은 한 개의 비트 선(bit line)(B/L), 한 개의 워드 선(word line)(W/L), 한개의 액서스 트랜지스터(acess transistor)(M1), 한개의 저장 커패시터(storage capacitor)(Cs), 및 한개의 센스 앰프(sense amplifier)(SA)를 포함하여 구성된다.

그 구조를 살펴보면, 액서스 트랜지스터(M1)의 게이트(G)는 워드 선(W/L)에 연결되고, 액서스 트랜지스터(M1)의 드레인(D)은 비트 선(B/L)에 연결되어 있다.

그리고 액서스 트랜지스터(MI)의 소오스(S)는 저장 커패시터(Cs)의 제1 전극에 연결되어 있으며, 상기 저장 커패시터의 제2 전극은 다결정 실리콘 셀판(polysilicon cell plate)에 연결되어 있고, 상기 비트 선(B/L)은 센스 앰프(SA)의 일 입력단에 연결되고, 상기 센스 앰프(SA)의 다른 입력단자는 기준 전압(reference voltage, Vref)에 연결되어 있다.

이와 같은 회로적 구성을 갖는 DRAM의 구조는 제2도와 같다.

즉, 필드 영역과 활성 영역으로 구분되어 필드 영역에 필드산화막(2)이 형성된 P형 실리콘 기판(1)의 활성 영역상에 게이트 절연막(3)과 게이트 전극(4)이 차례로 적층되어 형성되고, 상기 게이트 전극(4) 양측의 기판에 N형 불순물 영역이 소오스/드레인 영역(S,D)이 형성되어 액서스 트랜지스터(M1)가 만들어진다.

그리고, 상기 액서스 트랜지스트(MI)의 소오스 영역(S)에는 커패시터의 제1 전극(6)이 형성되고 커패시터의 제1 전극(6) 표면에는 유전체막(7)과 제2 전극(8)이 적층되어 있다.

또한 상기 액서스 트랜지스트(M1)의 드레인영역(D)에는 비트 선(B/L)이 연결되어 있다.

여기서 미설명 부호는 절연막(5, 9)이다.

이와 같이 구성되는 종래의 DRAM 셀의 동작을 설명하면 다음과 같다.

먼저, 동작하는 동안에는 P형 실리콘 기판(1)은 접지되어 있고 커패시터의 제2 전극(8)은 Vcc(5V)의 전압이 인가되어 있다고 가정한다.

그러면 상기 제2 전극(8) 밑의 P형 실리콘 영역의 표면에 보통 반전층(Inversion Layer)의 형성과 함께 전자가 축적되고, 그 반전층 아래에서는 하나의 공핍층(Depletion Layer)이 형성된다.

따라서, 어느 하나의 셀에 데이타 1을 써넣기 위해서는 그 셀의 액서스 트랜지스터(M1)의 드레인(D)에 연결된 비트 선에 5V가 인가되고, 동시에 그 셀의 액서스 트랜지스트(M1)의 게이트(G)에 연결된 워드 선에는 5~6V의 전압 펄스가 워드 선에 인가된다.

그러면 액서스 트랜지스터가 온(ON) 상태가 되어 그 셀의 액서스 트랜지스터의 소오스의 전위가 5V가 상승한다.

이 때, 상기 제2 전극(8) 밑의 P형 실리콘 영역의 표면에 있는 반전층의 전위는 5V보다는 약간 낮을 것이다.

왜냐하면 제2 전극(8)에 인가된 전압 5V가 상기 제2 전극(8) 밑에 있는 저장 커패시터의 유전체막을 통해서 약간의 전압 강하가 있기 때문이다.

그러므로 제2 전극(8) 밑의 P형 실리콘 기판 표면에 형성된 반저층에 축적된 전자가 전자 에너지 상태가 낮은 액서스 트랜지스터(M1)의 소오스 영역으로 흘러가서 제2 전극(8) 밑의 P형 실리콘 영역의 표면에는 텅빈 전하 우물(Empty potential well)이 형성된다.

이러한 상태가 이진법에서의 논리 1을 나타낸다.

어느 하나의 셀에 데이타를 0을 써넣기 위해서는 그 셀의 액서스 트랜지스터의 드레인에 연결된 비트 선(B/L)을 접지시키고 동시에 그 셀의 액서스 트랜지스터의 게이트에 연결된 워드 선(W/L)에는 5~6V의 전압 펄스를 인가한다.

그러면 전자 에너지가 높은 액서스 트랜지스터(M1)의 소오스 영역(S)으로부터 전자가 P형 실리콘 기판의 표면에 형성된 텅빈 전위 우물로 흘러 들어가서 그 전위 우물을 채우게 된다.

그러므로 커패시터 하측의 P형 실리콘 기판의 표면에 형성된 반전층에 전자가 축적되게 한다.

이러한 상태가 이진법에서의 논리 0을 나타낸다.

하나의 셀로부터 데이타를 읽기 위해서는 그 셀의 비트 선(B/L)이 0.5Vcc(~2.5V)로 미리 충전(precharge)되고 나서 그 셀의 워드선에 5~6V의 전압 펄스가 인가된다.

그러면 그 셀의 저장 커패시터에 충전되어 있던 전하가 그 비트선(B/L)에 흘러들어 가서 그 비트선(B/L)의 전위를 바꾸어 놓는다.

그러면 센스 앰프(SA)는 하나의 비교회로이므로 비트 선의 전위가 기준 전압(~0.5Vcc)보다 크면 논리 1이 읽혀지고, 작으면 논리 0이 읽혀진다.

이 때 비트 선(B/L)의 변위 전위(△V)는 다음 식(1)으로 표현된다.

$$\triangle V = \pm 0.5Vcc(Cs)/(Cb) \cdots (1)$$

여기서, Cs는 저장 커패시터의 정전용량, Cb는 비트 선의 정전용량을 나타낸다.

또한, 식(1)에 (+) 부호는 그 셀에 논리1이 저장되었을 경우이고, (-) 부호는 그 셀에 논리0이 저장되었을 경우에 해당한다.

따라서 하나의 센스 앰프가 분별할 수 있는 기준 전압과 비트 선 전압의 최소 전압차를 그 센스 앰프의 분별력이라고 한다면, 이전의 1M DRAM의 경위에서는 센스 앰프 분별력은 150~200mV의 범위였다.

그러므로 식(1)에서 Vcc가 5V인 경우에 △V가 150mV 이상이 되기 위해서는 비트 선의 정전용량(Cb)이 저장 커패시터의 정전용량(Cs)의 비율(r=Cb/Cs)은 15보다는 작아야 한다.

이전에 발표된 논문에 따르면 1M DRAM의 경우에는 Cs는 30~60fF이였고, Cb는 250~500fF 였으며, r은 7~15를 유지했다.

이와 같은 일반적인 DRAM 셀은 집적도가 꾸준히 증가되어 셀 면적의 크기도 감소되고 있지만 센스 앰프의 분별력과 비트 선의 정전용량은 셀 크기의 감소량에 비해서 감소되지는 못하였고, 저장 커패시터의 정전용량도 셀 면적 크기의 감소량에 비해서 감소되지 못하였다.

또한, DRAM에서 가장 중요한 신뢰성 문제 중의 하나인 소프트 에러(Sort error) 문제를 방지하기 위해서는 저장 커패시터의 정전용량을 일정한 크기로 유지할 필요가 있었으므로, 이러한 이유로 말미암아 DRAM의 집적도가 꾸준히 증가되어 왔고, 셀 면적의 크기도 함께 감소되어 왔음에도 불구하고 저장 커패시터의 정전용량의 감소는 미미하였다.

예를 들면, 256K DRAM의 경우에는 약 2㎜의 디자인 룰(Design rule)이 사용되었고, 256M DRAM 의 경우에는 약 0.25㎛의 디자인 룰이 사용되고 있으며, 따라서 셀 면적은 100배 정도 감소하였다.

그러나 저장 커패시터의 정전용량 크기를 비교해 보면, 256K DRAM의 경우에는 약 40fF였고, 256M DRAM의 경우에는 약 25fF이므로 약 1.5배 감소하였다.

이와 같이 일반적인 DRAM에 있어서는 집적도가 증가함에도 불구하고 거의 같은 크기의 저장 커패시터의 정전용량을 유지해야 하므로 집적도에 한계가 있다는 문제점을 가지고 있다.

그리고, 셀 면적을 최소로 하면서 저장 커패시터를 형성하기 위해서는 기판에 트렌치(Trench)를 형성하여 저장 커패시터를 형성하거나 적층 커패시터 구조를 사용하여 저장 커패시터를 형성해야 하므로 반도체 제조 공정이 복잡하게 되고, 더불어 반도체 제조 공정 비용이 심각할 정도로 증가하게 되는 문제점이 있었다.

한편, 제3도는 일반적인 프래쉬 EEPROM 셀 회로적 구성도이고, 제4도는 일반적인 프래쉬 EEPROM 셀 구조 단면도이다.

일반적인 EEPROM 셀은 적층형 트랜지스터(satic-gate MOSFET)구조를 갖고 있는 FAMOS(Floating-gate Avalanche-injection Metal Oxide Semiconductor)로 되어 있으며, 각 셀의 제어 게이트(control gate)는 하나의 워드 선(W/L), 각 셀의 드레인(D)은 하나의 비트 선 (B/L)에 접속되어 있고, 각 셀의 소오스(S)는 하나의 공통 소오스 선(C.S)에 접속되어 있다.

또한, 각 비트 선(B/L)은 하나의 센스앰프(SA)의 일 입력단자에 연결되어 있고, 센스앰프(SA)의 타 입력 단자는 기준전압(Vref)에 연결되어 있다.

상기와 같이 회로적으로 구성된 일반적인 EEPROM 셀의 구조는 제4도와 같다.

즉, P형 실리콘 기판(1)위에 부유 게이트(F.G)와 제어 게이트(Control gate)(C.G)가 차례로 적층되어 형성되고, 상기 부유 게이트(F.G) 양측의 P형 실리콘 기판(1)상에 N형 불순물 영역인 소오스 영역(S) 및 드레인 영역(D)이 형성된다.

여기서, 실리콘 기판(1) 및 부유 게이트(F.G)와 제어 게이트(C.G) 사이에는 절연막이 형성되는데 부유 게이트(F.G)와 제어 게이트(C.G) 사이에는 일반적인 트랜지스터의 게이트 절연막 정도의 두께로 형성되고, 부유 게이트(F.G)와 실리콘(1) 사이에는 터널 절연막(Tunnel oxide)(약 100Å이하)이 형성된다.

이와 같은 일반적인 EEPROM의 동작은 다음과 같다.

먼저, 하나의 셀에 데이타 1을 써넣기 위해서는 그 셀에 해당되는 비트선(B/L)이 7~8V가 인가되고, 워드 선(W/L)에 12~13V 크기의 전압 펄스가 인가되며, 소오스(S)가 기판은 접지된다.

그러면, 드레인(D)이 기판 사이의 PN 접합에서 블랙다운 사태(avalanche breakdown)가 발생되고, 그로 인하여 핫 일렉트론(hot electron)들이 생성된다.

이렇게 생성된 핫 일렉트론 중에서 일부가 기판과 게이트 산화막 사이의 에너지 장벽 높이(약 3.2eV)보다 더 큰 에너지를 얻어서 기판으로부터 게이트 산화막을 넘어서 부유 게이트(F.G)로 들어가 그곳에 저장된다.

이때, 부유 게이트(F.G)에 저장된 전자의 수가 점차 증가할수록 셀의 문턱전압이 증가한다. 일반적으로 셀의 문턱전압이 7V 이상이 되도록 쓰기를 행한다.

일단 전자들이 부유 게이트(F.G)에 저장되면, 부유 게이트(F.G)와 부유 게이트(F.G)를 완전히 둘러싸고 있는 절연막 사이의 에너지 장벽 높이가 3eV보다 크므로 자연적인 전자 방충량은 무시할 만큼 작아서 저장된 전자의 양은 수년 동안 거의 변함없이 유지된다.

셀의 이러한 상태가 이진법에서의 논리 1을 나타낸다.

상기와 같이 하나의 셀에 쓰여진 데이타를 지우기 위해서는 다음과 같다.

즉, 기판과 제어 게이트(C.G)를 접지시키고 공통 소오스선C.S)에 12~13V 크기의 전압 펄스를 인가한다.

그러면, 터널링 현상에 의하여 부유 게이트(F.G)에 저장되어 있던 전자들이 부유 게이트(F.G)로 부터 얇은 게이트 산화막을 통과해서 소오스(S)로 방출된다.

이 때 부유 게이트(F.G)에 저장된 전자들이 방출량이 점차 증가함에 따라 셀의 문턱 전압은 떨어지기 시작하는데 일반적으로는 셀의 문턱전압이 3V이하가 되도록 한다.

따라서 이러한 상태가 이진법에서의 논리 0을 나타낸다.

또한편, 하나의 셀에 저장된 데이타를 읽기 위해서는 다음과 같다.

즉, 그 셀의 드레인(D)에 접속된 비트 선(B/L)에 1~2V를 인가하고 기판과 소오스(S)는 접지시킨다.

그리고 나서 그 셀의 제어 게이트(C.G)에 접속된 워드 선(W/L)에 3~5V 크기의 전압 파형을 인가한다.

이때, 그 셀에 데이타 1이 저장되어 있는 경우에는 셀은 오프 상태가 되므로 그 비트 선(B/L)에 충전된 전하는 방출되지 않고 그대로 있어서 미리 인가된 전위 1~2V가 그대로 유지된다.

그리고, 그 셀에 데이타0이 저장되어 있는 경우에는 그 셀은 온 상태가 되므로 그 비트 선(B/L)에 충전된 전하는 모두 그 셀을 통하여 소오스(S)로 방출되어 그 비트 선(B/L)의 전위는 접지상태가 된다.

이러한 비트 선(B/L)의 전위 차이를 그 비트 선(B/L)에 연결된 센스 앰프(SA)가 인식하여 그 셀의 저장된 데이타를 읽게 된다.

이와 같이 일반적인 프래쉬 EEPROM의 경우 DRAM 셀에서 요구되는 저장 커패시터를 형성할 필요가 없으므로 DRAM에 비해서 단위 셀의 면적을 작게 만들 수 있을 뿐만 아니라, 공정을 훨씬 간단하게 만들 수 있는 장점을 갖고 있다.

그러나, DRAM은 데이타의 쓰기/소거의 횟수가 일반적으로 10^7회 이하로 제한되기 때문에 프래쉬 EEPROM은 대부분의 응용에서 DRAM을 대신하여 사용되고 있지 못하고 문제점이 있었다.

그 이유는 데이타의 쓰기 및 소거 과정에서 전자들이 게이트 산화막을 통과할 때 주입된 일부의 전자들이 게이트 산화막에 포획되고 데이타의 쓰기/소거 횟수의 증가로 인하여 포획되는 량도 점차 증가하여 게이트 산화막의 열화를 가져오게 되었다.

이와 같이 게이트 산화막이 열화되면, 쓰기와 소거의 속도를 저하시키게 되고, 쓰기와 소거 시간을 조정하지 않으면 데이타의 쓰기/소거 횟수의 증가와 함께 쓰기 문턱전압은 낮아지고 소거 문턱전압은 높아지

게 되므로 소위 윈도우-크로스(Window-Closing)현상이 발생되어 어느 횟수 이상이 되면 그 소자는 더 이상 데이타의 쓰기/소거를 행할 수 없게 되었다.

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, DRAM과 EEPROM의 장점만을 살려 각 셀을 한개의 트랜지스터로 구성하며 집적도를 향상시키고, 데이타의 쓰기/소거의 횟수에 제한이 없는 반도체 메모리 장치를 제공하는데 그 목적이 있다.

이와 같은 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 전하를 저장하는 부유 게이트 전극을 갖는 메모리 셀과, 상기 부유 게이트 전극에 전하를 충전시키고 부유 게이트 전극에 충전된 전하를 방전시키도록 스위칭하는 스위칭 소자를 포함하여 구성됨에 그 특징이 있다.

또한 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 제조방법은 제1 도전형 반도체 기판을 준비하는 단계; 상기 제1 도전형 반도체 기판에 섬 모양의 필드 절연막을 형성하는 단계; 상기 필드 절연막 사이의 행(column)방향으로 상기 제1 도전형 반도체 기판에 제2 도전형 불순물 영역을 형성하는 단계; 상기 필드 절연막을 포함한 기판 전면에 제1 게이트 절연막을 형성하는 단계; 상기 제2 도전형 불순물 영역 사이의 상기 필드 절연막을 포함한 제1 게이트 절연막에 제1 도전형과 제2 도전형 불순물층이 반복되도록 부유 게이트 전극을 형성하는 단계; 상기 부유 게이트 전극을 포함한 제1 게이트 절연막 전면에 제2 게이트 절연막을 형성하는 단계; 상기 부유 게이트 전극의 수직 방향으로 상기 필드 절연막 사이의 제2 게이트 절연막위에 제어 전극을 형성하는 단계; 상기 제어 전극 사이에 패싱 트랜지스터의 게이트 전극을 형성하는 단계를 포함하여 이루어짐에 그 특징이 있다.

상기와 같은 본 발명의 반도체 메모리 장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

제5도는 본 발명의 반도체 메모리 장치의 회로적 구성도이고, 제6도는 본 발명 제1 실시예의 반도체 메모리 장치의 레이 아웃도이며, 제7도는 제4도 A-A' 선상의 본 발명 반도체 메모리 장치의 단면도이고, 제8도는 제4도 B-B' 선상의 본 발명 반도체 메모리 장치의 단면도이며, 제9도는 제4도 C-C' 선상의 본 발명 반도체 메모리 장치의 단면도이고, 제10도는 제4도 D-D' 선상의 본 발명 반도체 메모리 장치의 단면도이다.

먼저, 본 발명의 반도체 메모리 장치의 회로적 구성은 부유 게이트(F.G)와 제어 게이트(C.G)를 갖는 메모리 셀(데이타 메모리용 적층형 트랜지스터(M11~Mn2)이 매트릭스 형태로 복수개 배열되고, 상기 각 데이타 메모리용 적층형 트랜지스터(M11~Mn3)의 부유 게이트(F.G)에 전하가 충전되도록 하고 충전된 전하를 방전시키도록 스위칭하여 셀의 쓰기 또는 소거를 수행하는 패싱 트랜지스터(Q11~Qn3)가 상기 데이타 메모리용 적층형 트랜지스터(M11~Mn3)에 대응되어 구성된다.

그리고 이와 같이 구성된 반도체 메모리 장치에서, 동일 행(Column)의 각 데이타 메모리용 적층형 트랜지스터의 제어 게이트(C.G)는 하나의 워드 선(W/L1~W/Ln)에 연결되고, 동일 열(Row)의 각 데이타 메모리용 적층형 트랜지스터(M11~Mn2)의 드레인(D) 및 이웃하는 열의 각 데이타 메모리용 적층형 트랜지스터의 소오스는 공통으로 각각의 비트 선(B/L1~B/L3)에 연결된다.

그리고, 상기 각 비트 선(B/L1~B/L3)에는 센싱 앰프(SA)의 일 입력 단자가 연결되고, 다른 입력 단자에는 기준 전압이 인가되며, 각 비트 선(B/L1~B/L3)의 끝단은 플로오팅(floating)되어 있다.

동일행의 각 패싱 트랜지스터(Q11~Qn2)는 하나의 게이트 라인(G/L1~G/Ln)에 연결되고, 동일 열의 각 패싱 트랜지스터는 직렬 연결되어 있으며 맨 끝단의 드레인 단은 플로오팅(floating)되어 있다.

이와 같은 회로적 구성을 갖는 본 발명 일 실시예의 반도체 메모리 장치의 구조는 제6도, 제7도, 제8도, 제9도, 및 제10도와 같다.

즉, 제6도에 도시한 바와 같이 P형 실리콘 기판에 비트 선으로 사용할 고농도 N형 불순물 영역(12)이 일정한 간격을 갖고 일 방향으로 복수개 형성되고, 상기 각 고농도 N형 불순물 영역(12) 사이의 상기 P형 실리콘 기판상에는 전하를 저장하기 위한 부유 게이트 반도체층(다결정 실리콘)(13)이 상기 P형 반도체 기판과 격리되어 복수개 형성된다.

그리고, 이와 같이 형성된 기판상에 워드 선(W/L)으로 사용되는 제어 전극(Control electrode)(14)이 상기 부유 게이트 반도체층(13)에 수직한 방향으로 일정한 간격을 갖고 복수개 형성되고, 상기 각 제어전극(14) 사이의 상기 기판상에는 각 패싱 트랜지스터(M11~Mn2)를 콘트롤 하기 위한 패싱 게이트 전극(15)이 복수개 형성된다.

여기서, 상기 제어 전극(14) 하측의 상기 각 부유 게이트 반도체층(13)은 고농도 N형 불순물층(N')으로 형성되고, 상기 패싱 게이트 전극(15) 하측의 상기 각 부유 게이트 반도체층(13)은 P형 불순물층(P)으로 형성된다.

그리고 상기 패싱 게이트 전극(15)과 부유 게이트 반도체층(13)이 교차하는 부분의 하측 실리콘 기판에는 섬(ISLAND) 모양으로 필드 산화막(16)이 형성된다.

상기와 같은 레이 아웃을 갖는 본 발명의 반도체 메모리 장치를 좀더 구체적으로 설명하면 다음과 같다.

먼저, 제6도에서 제어 전극 방향의 단면은 제7도와 같다.

P형 실리콘 기판(11)에 일정 간격을 갖고 비트 선으로 사용할 고농도 N형 불순물 영역(12)이 형성된다.

이와 같이 형성된 상기 P형 실리콘 기판(11) 전표면에 제1 게이트 절연막(17)이 형성되고, 상기 각 고농도 N형 불순물 영역(12) 사이의 제1 게이트 절연막(17) 위에 부유 게이트 반도체층(13)이 형성된다.

그리고 상기 부유 게이트 반도체층(13)을 포함한 P형 실리콘 반도체층(11) 전면에 제2 게이트 절연막(18)이 형성되고, 상기 제2 게이트 절연막(18)위에 제어 전극(14)이 형성된다.

또한 제6도에서 패싱 게이트 전극 방향의 단면은 제8도와 같다.

P형 실리콘 기판(11)에 일정 간격을 갖고 비트 선으로 사용할 고농도 N형 불순물 영역(12)이 형성된다.

그리고 각 부유 게이트 반도체층(13)과 각 패싱 게이트 전극(15)이 교차하는 지점의 P형 실리콘 기판(11)에 섬 모양의 필드 산화막(16)이 형성되고, 이와 같이 형성된 상기 P형 실리콘 기판(11) 전표면에 제1 게이트 절연막(17)이 형성되며, 상기 각 고농도 N형 불순물 영역(12) 사이의 제1 게이트 절연막(17) 위에 부유 게이트 반도체층(13)이 형성된다.

그리고 상기 부유 게이트 반도체층(13)을 포함한 P형 실리콘 반도체층(11) 전면에 제2 게이트 절연막(18)이 형성되고 상기 제2 게이트 절연막(18)위에 패싱 게이트 전극(15)이 형성된다.

또 한편, 제6도에서 부유 게이트 반도체층 방향의 단면은 제9도와 같다.

부유 게이트 반도체층과 패싱 게이트 전극이 교차하는 지점의 P형 실리콘 기판(11)에 섬 모양으로 필드 산화막(16)이 형성되고 필드 산화막(16)을 포함한 P형 실리콘 기판(11) 전면에 제1 게이트 절연막(17)이 형성된다.

그리고 상기 제1 게이트 절연막(17)위에 부유 게이트 반도체층(13)이 형성되고, 상기 부유 게이트 반도체층(13)을 포함한 P형 실리콘 반도체층(11) 전면에 제2 게이트 절연막(18)이 형성된다.

상기 제2 게이트 절연막(18)위에 일정한 간격을 갖고 복수개의 제어 전극(14)이 형성되고, 상기 각 제어 전극(14) 사이 사이의 제2 게이트 절연막(18)위에 복수개의 패싱 게이트 전극(15)이 상기 제어 전극(14)과 절연막(19)에 의해 격리되어 형성된다.

또한, 제6도에서 고농도 N형 불순물 영역 방향의 단면은 제10도와 같다.

P형 실리콘 기판(11)에 비트 선으로 사용할 고농도 N형 불순물 영역(12)이 형성된다.

이와 같이 형성된 상기 P형 실리콘 기판(11) 전표면에 제1 게이트 절연막(17)과 제2 게이트 절연막(18)이 형성되고, 상기 제2 게이트 절연막(18)위에 일정한 간격을 갖고 복수개의 제어 전극(14)이 형성되고, 상기 각 제어 전극(14) 사이 사이의 제2 게이트 절연막(18)위에 복수개의 패싱 게이트 전극(15)이 상기 제어 전극(14)과 절연막(27, 29)에 의해 격리되어 형성된다.

이와 같은 구조를 갖는 본 발명 실시예의 반도체 메모리 장치의 제조방법을 설명하면 다음과 같다.

제11도 (a)~(j)는 제6도 A-A' 선상의 본 발명 반도체 메모리 장치의 공정 단면도이고, 제12도 (a)~(j)는 제6도 B-B' 선상의 본 발명 반도체 메모리 장치의 공정 단면도이며, 제13도 (a)~(j)는 제6도 C-C' 선상의 본 발명 반도체 메모리 장치의 공정 단면도이고, 제14도 (a)~(j)는 제6도 D-D' 선상의 본 발명 반도체 메모리 장치의 공정 단면도이다.

먼저, 제11도 (a), 제12도 (a), 제13도 (a), 및 제14도 (a)와 같이 P형 실리콘 기판(11)위에 버퍼 산화막(20)이 질화막(21) 및 제1 감광막(22)을 차례로 증착하고 노광 및 현상공정으로 섬 모양의 필드 영역을 정의하여 필드 영역의 상기 질화막(21)을 선택적으로 제거한다.

제11도 (b), 제12도 (b), 제13도 (b), 및 제14도 (b)와 같이 상기 P형 실리콘 기판(11)을 열산화하여 필드 영역에 필드산화막(16)을 형성하고 상기 제1 감광막(22) 및 질화막(21), 산화막(20)을 제거한다.

여기서, 상기 필드 산화막(16) 대신에 P형 이온 주입하여 채널격리 영역을 형성하여도 무방하다.

제11도 (c), 제12도 (c), 제13도 (c), 및 제14도 (c)와 같이 제2 감광막(23)을 증착하고 노장 및 현상공정으로 일정 간격으로 비트 선 영역을 정의하고 P형 반도체 기판(11)에 고농도 N형 이온주입하여 고농도 N형 불순물 영역(12)을 형성한다.

이때, 고농도 N형 불순물 영역(12)이 형성되는 부분에서 산화막(20a)이 형성된다.

제11도 (d), 제12도 (d), 제13도 (d), 및 제14도 (d)와 같이 상기 제2 감광막(23)을 제거하고 상기 필드 산화막(16)을 포함한 P형 실리콘 기판(11) 전면에 70~200Å 정도의 두께로 제1 게이트 절연막(산화막)(17)을 증착한다.

제11도 (e), 제12도 (e), 제13도 (e), 및 제14도 (e)와 같이 상기 제1 게이트 절연막(17)위에 P형 다결정 실리콘층(13a) 및 제3 감광막(24)을 차례로 증착하고, 상기 제6도에서 설명한 제어 전극(14)과 부유 게이트 반도체층(13)이 교차되는 부분의 상기 P형 다결정 실리콘층(13a)이 노출되도록 노광 및 현상 공정으로 상기 제3 감광막(24)을 패터닝한다.

그리고 상기 패터닝된 제3 감광막(24)을 마스크로 이용하여 노출된 상기 P형 다결정 실리콘층(13a)에 N형 불순물 이온을 주입한다.

이때, 상기 P형 다결정 실리콘층(13a)의 P형 불순물 농도는 10^{15}~10^{18} atoms/㎤ 정도이며, 상기 N형 불순물 이온주입 농도는 10^{18}~10^{21} atoms/㎤ 정도로 한다.

제11도 (f), 제12도 (f), 제13도 (f), 및 제14도 (f)와 같이 상기 제3 감광막(24)을 제거하고 다시 P형 다결정 실리콘층(13a) 위에 제4 감광막(25)을 증착하고 노광 및 현상 공정으로 부유 게이트 영역을 정의하고 상기 P형 다결정 실리콘층(13a)을 선택적으로 제거하여 상기 각 고농도 N형 불순물 영역(12) 사이의 제1 게이트 절연막(17) 상에 부유 게이트 반도체층(13)을 형성한다.

여기서, 제11도, 제12도, 제13도, 및 제14도에서 (e)와 (f)의 공정을 바꾸어 진행하여도 무방하다.

즉, P형 다결정 실리콘(13a)을 증착하고 선택적으로 제거하여 부유 게이트 반도체층(13)을 형성한후, 제어 전극(14)과 교차되는 부분에 선택적으로 N형 불순물 이온을 주입하여도 된다.

제11도 (g), 제12도 (g), 제13도 (g), 및 제14도 (g)와 같이 상기 부유 게이트 반도체층(13)을 포함한 제1 게이트 절연막(17) 전면에 제2 게이트 절연막(18)을 증착하고 제1 N형 다결정 실리콘층(14a) 및 캡(cap) 절연막(산화막 또는 질화막)(29)과 제4 감광막(26)을 차례로 증착한다.

이때, 상기 제2 게이트 절연막(18)으로는 산화막으로 하거나 질화막/산화막이 적층된 구조 또는 산화막/질화막/산화막이 적층된 구조로 하고, 상기 제1 N형 다결정 실리콘층(14a)의 N형 불순물 농도는 10^{18}～10^{21} $^{atoms}/cm^3$ 정도로 한다.

제11도 (h), 제12도 (h), 제13도 (h), 및 제14도 (h)와 같이 노광 및 현상공정으로 제어 전극 영역을 정의하여 상기 캡 절연막(29) 및 제1 N형 다결정 실리콘층(14a)을 선택적으로 제거하여 제어 전극(14)을 형성한다.

여기서, 상기 제1 N형 다결정 실리콘(14a) 대신 금속을 사용하여도 무방하다.

제11도 (i), 제12도 (i), 제13도 (i), 및 제14도 (i)와 같이 상기 제어 전극(14)을 포함한 제2 게이트 절연막(18) 전면에 절연막을 증착하고 에치 백(Etch back)하여 상기 제어 전극(14) 측벽에 절연막 측벽(27)을 형성한다.

이대 노출된 제2 게이트 절연막(18)이 대부분 제거된다.

제11도 (j), 제12도 (j), 제13도 (j), 및 제14도 (j)와 같이 상기 제어 전극(14)을 포함한 제1 게이트 절연막(18)위에 제3 게이트 절연막(19), 고농도 제2 N형 다결정 실리콘(15a), 및 제5 감광막(28)을 증착한다.

그리고 노광 및 현상 공정으로 패싱 게이트 영역을 정의하고 상기 제2 N형 다결정 실리콘(15a)을 선택적으로 제거하여 패싱 게이트 전극(15)을 형성한다.

여기서, 패싱 게이트 전극(15)도 금속으로 형성할 수 있다.

이와 같이 제조되는 본 발명의 반도체 장치의 동작은 다음과 같다.

먼저, 각 셀에 데이타를 기록하는 방법을 설명하면 다음과 같다.

데이타 기록시에는 기판에 2～10V의 전압을 인가하고, 모든 제어 전극(14)은 플로오팅 시키며, 해당 비트선은 접지시킨다.

그리고, 전 패싱 트랜지스터(Q11～Qn2)의 게이트 전극에 5V의 전압을 인가하여 전패싱 트랜지스터를 온시킨다.

그리고 최하위 열(n)의 메모리 셀에 기록할 데이타에 해당하는 전압을 패싱 트랜지스터의 소오스 단에 인가한다.

만약, 데이타 1을 기록하고 싶으면 해당 패싱 트랜지스터의 소오스 단에 -3V를 인가하고, 데이타 0을 기록하고 싶으면 해당 패싱 트랜지스터의 소오스 단에 0V를 인가한다.

따라서 일 열의 메모리 셀에 데이타가 동시에 기록된다.

이와 같이 최하위 열(n)의 셀에 데이타가 모두 기록되면, 각 행위 최하위(n) 패싱 트랜지스터의 게이트 전극에 0V를 인가하든지 또는 플로오팅 시켜서 최하위(n) 패싱 트랜지스터를 오프 시킨다.

그리고, 바로 앞 열(n-1)의 메모리 셀에 기록할 데이타에 따라 상술한 바와 같은 방법으로 해당 패싱 트랜지스터의 소오스 단에 전압을 인가한다.

이와 같은 방법으로 전 셀에 데이타를 기록하고 모든 패싱 트랜지스터를 오프시킨다.

다른 실시예로 데이타 기록시 해당 비트 선에 -2-7V의 전압을 인가하고 기판을 접지 시켜서 상기와 같은 방법으로 데이타를 기록할 수 있다.

한편, 이와 같이 기록된 데이타를 읽어내는 방법을 설명하면 다음과 같다.

만약 제5도에서 데이타 메모리용 트랜지스터(Q11～Qn2)는 오프 시킨 상태에서 제2 비트 선(B/L2)에는 2V로 프리 차지(pre-charge)시키고 제3 비트 선(B/L3)은 접지시키면 제1 비트 선(B/L1)은 제2 비트 선(B/L2)과 동일한 전압을 인가하거나 플로오팅 시킨다.

그리고 일고자 하는 메모리 셀(M22)의 워드 선(W/L2)에 전압을 인가하여 센싱 앰프(SA2)를 통해 데이타를 읽어낸다.

만약 데이타 메모리용 적층형 트랜지스터(M22)에 데이타 1이 기록되어 있으면 셀의 소오스 드레인 사이에 채널이 형성되지 않으므로 제1 비트 선에 인가된 2V의 전압이 센스 앰프에 의해 검출되어 출력되므로 데이타 1을 읽어낸다.

그리고 데이타 메모리용 적층용 트랜지스터(M22)에 데이타 0이 기록되어 있을 경우에는 데이타 메모리용 적층용 트랜지스터(M22)의 소오스와 드레인 사이에 채널이 형성되므로 제2 비트 선에 인가된 2V의 전압이 제3 비트 선으로 빠지게 되므로 센싱 앰프(SA2)에서는 데이타0이 읽혀진다.

이때 만약 데이타 메모리용 적층형 트랜지스터(M12)에 데이타 1 또는 0이 기록되어 있다하더라도 제1 비트 선(B/L1)을 플로오팅 시켰으므로 상기 데이타 메모리용 적층형 트랜지스터(m12)의 소오스/드레인 간에는 채널이 형성되지 않으므로 데이타를 읽어내는데는 문제가 없다.

이와 같은 방법 이외에도 설계상의 조건에 의해 여러가지 방법으로 데이터를 기록하고 읽어낼 수 있다.

이상에서 설명한 바와 같은 본 발명의 반도체 메모리 장치에 있어서는 다음과 같은 효과가 있다.

첫째, 본 발명은 일반적인 프래쉬 EEPROM과 같은 적층형 트랜지스터를 메모리 소자로 이용하지만, 일반적인 EEPROM 셀의 구조와 다르게 패싱 트랜지스터를 이용하여 적층형 트랜지스터의 부유 게이트에 전자가 충전되거나 부유 게이트에 충전된 전자를 방전시켜 셀의 쓰기 또는 소거를 수행하도록 하므로 게이트 절연막 내에 전자 포획이 발생하지 않으므로 데이타의 쓰기 또는 소거의 제한이 없어 장치 DRAM으로 사용할 수 있다.

둘째, 일반적인 DRAM에 있어서는 커패시터를 메모리 소자로 이용하지만 본 발명은 커패시터를 사용하지 않으므로 DRAM에 비해서 단위 셀의 면적을 작게 만들 수 있어 집적도를 향상시킬 수 있다.

셋째, 일반적인 DRAM에 있어서는 단위 면적에서 큰 커패시턴스를 얻기위해 트렌치 및 왕관 모양으로 커패시터를 형성해야 하므로 공정이 복잡하였으나 본 발명은 커패시터가 필요 없으므로 공정이 간단해 진다.

(57) 청구의 범위

청구항 1

전하를 저장하는 부유 게이트 전극을 갖는 메모리 셀과, 상기 부유 게이트 전극에 전하를 충전시키고, 부유 게이트 전극에 충전된 전하를 방전시키도록 스위칭하는 스위칭 소자를 포함하여 단위 셀이 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 메모리 셀은 상기 전하를 저장하는 부유 게이트 전극과, 상기 부유 게이트 전극의 전하 충방전을 제어하는 제어 전극과, 상기 부유 게이트 전극에 저장된 데이타를 읽어내기 위한 비트 선으로 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 3

제2항에 있어서, 메모리 셀에는 두 개의 비트 선이 형성되고 각 비트 선에는 센싱 앰프가 연결됨을 특징으로 하는 반도체 메모리 장치.

청구항 4

제1항에 있어서, 스위칭 소자는 모스 트랜지스터가 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 5

부유 게이트와 제어 게이트를 갖고 매트릭스 형태로 배열되는 복수개의 메모리 셀과, 상기 각 메모리 셀의 부유 게이트에 전하가 충전되도록 하고 충전된 전하를 방전시키도록 스위칭하는 복수개의 스위칭 소자와, 동일 행의 각 메모리 셀의 제어 게이트에 공통으로 연결되는 복수의 워드 선과, 동일 열의 각 메모리 셀의 드레인 및 이웃하는 열의 각 메모리 셀의 소오스에 공통으로 연결되는 복수의 비트 선과, 상기 각 비트 선에 연결되는 복수개의 센싱 앰프를 포함하여 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 6

제5항에 있어서, 상기 각 비트 선의 끝단은 플로오팅 되어 있음을 특징으로 하는 반도체 메모리 장치.

청구항 7

제5항에 있어서, 동일 행의 각 스위칭 소자는 하나의 게이트 라인에 연결되고, 동일 열의 각 스위칭 소자는 직렬 연결되어 있음을 특징으로 하는 반도체 메모리 장치.

청구항 8

제7항에 있어서, 각 열의의 스위칭 소자의 드레인 단은 플로오팅 되어 있음을 특징으로 하는 반도체 메모리 장치.

청구항 9

반도체 기관; 상기 반도체 기판에 일정간격을 갖고 일방향으로 형성되는 복수개의 불순물 영역; 상기 불순물 영역 사이의 상기 반도체 기판위에 형성되어 전하를 저장하는 복수개의 부유 게이트 전극; 상기 각 부유 게이트 전극 및 상기 반도체 기판상에 일정간격을 갖고 상기 부유 게이트 전극에 수직한 방향으로 형성되는 복수개의 제어 전극; 그리고 상기 각 부유 게이트 전극 및 상기 반도체 기판상에 일정간격을 갖고 상기 각 제어 전극사이에 형성되는 패싱 트랜지스터를 포함하여 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 10

제9항에 있어서, 반도체 기판은 제1 도전형으로 형성되고 불순물 영역은 제2 도전형으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 11

제9항에 있어서, 반도체 기판은 P형으로 형성되고 불순물 영역을 N형으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 12

제9항에 있어서, 상기 제어 전극 하측의 상기 부유 게이트 전극은 제2 도전형으로 형성되고, 상기 패싱 트랜지스터 하측의 상기 부유 게이트 전극은 제1 도전형으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 13

제12항에 있어서, 상기 제어 전극 하측의 상기 부유 게이트 전극은 N형으로 형성되고, 상기 패싱 트랜지스터 하측의 상기 부유 게이트 전극은 P형으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 14

제9항에 있어서, 패싱 트랜지스터는 상기 제어 전극 사이의 각 부유 게이트 전극 및 상기 반도체 기판상에 패싱 트랜지스터의 게이트 전극이 형성되고, 상기 패싱 트랜지스터의 게이트 전극 양측의 부유 게이트 전극을 상기 패싱 트랜지스터의 소오스 및 드레인 영역으로 함을 특징으로 하는 반도체 메모리 장치.

청구항 15

제13항에 있어서, 상기 패싱 트랜지스터와 상기 부유 게이트 전극이 교차하는 부분의 반도체 기판에는 필드 절연막이 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 16

제15항에 있어서, 필드 절연막 대신에 채널격리 불순물 영역이 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 17

제13항에 있어서, 부유 게이트 전극은 다결정 실리콘으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 18

제13항에 있어서, 제어 전극은 불순물 도핑된 다결정 실리콘으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 19

제14항에 있어서, 제어 전극은 금속으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 20

제14항에 있어서, 상기 패싱 트랜지스터의 게이트 전극은 불순물 도핑된 다결정 실리콘으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 21

제14항에 있어서, 상기 패싱 트랜지스터의 게이트 전극은 금속으로 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 22

제13항에 있어서, 상기 제어 전극과, 상기 제어 전극 하측의 부유 게이트 전극과, 상기 부유 게이트 전극 양측의 불순물 영역에 의해 메모리 셀이 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 23

반도체 기관; 상기 반도체 기판위에 섬 모양으로 형성되는 필드 절연막; 상기 각 필드 절연막 및 반도체 기판위에 걸쳐 상기 반도체 기판에 절연되어 형성되는 부유 게이트 전극; 상기 필드 절연막 상측의 부유 게이트 전극 위에 형성되는 패싱 트랜지스터; 상기 패싱 트랜지스터 사이에 격리되어 형성되는 제어 전극을 포함하여 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 24

제23항에 있어서, 상기 패싱 트랜지스터는 상기 필드 절연막 상측의 부유 게이트 전극위에 부유 게이트 전극과 절연되어 패싱 트랜지스터의 게이트 전극이 형성되고, 상기 게이트 전극 양측의 부유 게이트 전극을 소오스 및 드레인 영역으로 하여 형성됨을 특징으로 하는 반도체 메모리 장치.

청구항 25

제1 도전형 반도체 기판을 준비하는 단계; 상기 제1 도전형 반도체 기판에 섬 모양의 필드 절연막을 형성하는 단계; 상기 필드 절연막 사이의 행(column) 방향으로 상기 제1 도전형 반도체 기판에 제2 도전형 불순물 영역을 형성하는 단계; 상기 필드 절연막을 포함한 기판 전면에 제1 게이트 절연막을 형성하는 단계; 상기 제2 도전형 불순물 영역 사이의 상기 필드 절연막을 포함한 제1 게이트 절연막에 제1 도전형 제2 도전형 불순물층이 반복되도록 부유 게이트 전극을 형성하는 단계;

상기 부유 게이트 전극을 포함한 제1 게이트 절연막 전면에 제2 게이트 절연막을 형성하는 단계; 상기 부유 게이트 전극의 수직 방향으로 상기 필드 절연막 사이의 제2 게이트 절연막위에 제어 전극을 형성하는 단계; 상기 제어 전극사이에 패싱 트랜지스터의 게이트 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 26

제25항에 있어서, 필드 절연막을 형성하는 방법은 제1 도전형 반도체 기판위에 버퍼 산화막과 질화막 및 감광막을 차례로 증착하는 단계; 노광 및 현상공정으로 섬 모양의 필드 영역을 정의하여 필드 영역의 상기 질화막을 선택적으로 제거하는 단계; 그리고 상기 제1 도전형 실리콘 기판을 열산화하여 필드영역에 필드 산화막을 형성하는 단계; 그리고 상기 감광막 및 질화막과 버퍼 산화막을 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 27

제25항에 있어서, 상기 필드 절연막 대신에 제1 도전형 이온주입하여 채널 격리 영역을 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 28

제27항에 있어서, 채널 격리 영역 형성방법은 제1 도전형 반도체 기판위에 감광막을 증착하는 단계; 노광 및 현상공정으로 섬 모양의 필드 영역을 정의 하여 제1 도전형 반도체 기판을 선택적으로 노출시키는 단계; 상기 노출된 제1 도전형 실리콘 기판에 제1 도전형 불순물 이온주입하여 채널격리 영역을 형성하는 단계; 그리고 상기 감광막을 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 29

제25항에 있어서, 제1 게이트 절연막은 70~200Å의 두께로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 30

제25항에 있어서, 제2 도전형 불순물 영역의 불순물 농도는 10^{18}~10^{21} atoms/㎤으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 31

제25항에 있어서, 부유 게이트 전극을 형성하는 방법은 상기 제1 게이트 절연막 위에 제1 도전형 반도체층 및 감광막을 차례로 증착하는 단계; 노광 및 현상 공정으로 상기 필드 절연막 상측을 제외한 부분의 상기 제1 도전형 반도체층을 노출시키는 단계; 상기 노출된 상기 제1 도전형 반도체층에 제2 도전형 불순물 이온을 주입하는 단계; 그리고 상기 감광막을 제거하고 상기 이온주입된 제1 도전형 반도체층을 상기 제2 도전형 불순물 영역사이의 제1 게이트 절연막위에만 남도록 사진식각 공정으로 패터닝하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 32

제31항에 있어서, 상기 제1 도전형 반도체층은 P형 다결정 실리콘층으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 33

제31항에 있어서, 상기 제1 도전형 반도체층은 불순물 농도가 10^{15}~10^{18} atoms/㎤로 함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 34

제31항에 있어서, 상기 제2 도전형 반도체층은 불순물 농도가 10^{4}~10^{21} atoms/㎤로 함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 35

제25항에 있어서, 부유 게이트 전극을 형성하는 방법은 상기 제1 게이트 절연막위에 제1 도전형 반도체층을 층착하는 단계; 상기 제2 도전형 불순물 영역 사이의 제1 게이트 절연막 위에만 선택적으로 남도록 상기 제1 도전형 반도체층을 패터닝하는 단계; 그리고 상기 패터닝된 제1 도전형 반도체층 중 필드 절연막 사이에 형성된 부분에 선택적으로 제2 도전형 불순물 이온을 주입하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 36

제35항에 있어서, 상기 제1 도전형 반도체층은 P형 다결정 실리콘층으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 37

제35항에 있어서, 상기 제1 도전형 반도체층은 불순물 농도가 10^{15}~10^{18} atoms/㎤ 인 것으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 38

제35항에 있어서, 상기 제2 도전형 불순물 이온 주입 농도는 10^{18}~10^{21} atoms/㎤ 함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 39

제25항에 있어서, 상기 제2 게이트 절연막으로는 산화막 또는 질화막/산화막이 적층된 구조 또는 산화막/질화막/산화막이 적층된 구조로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 40

제25항에 있어서, 제어 전극을 형성하는 방법은 상기 제2 게이트 절연막 위에 제2 도전형 반도체층 및 캡 절연막을 차례로 형성하는 단계; 상기 부유 게이트 전극에 수직한 방향으로 상기 필드 절연막 사이에만 남도록 상기 캡 절연막 및 제2 도전형 반도체층을 선택적으로 제거하는 단계; 그리고 상기 캡 절연막 및 제2 도전형 반도체층의 측면의 절연막 측벽을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 41

제40항에 있어서, 상기 제2 도전형 반도체층은 N형 다결정 실리콘을 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 42

제41항에 있어서, N형 다결정 실리콘은 불순물 농도가 10^{18}~10^{21} atoms/㎤ 인 것을 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 43

제40항에 있어서, 제2 도전형 반도체층 대신에 금속을 사용함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 44

제25항에 있어서, 패싱 트랜지스터의 게이트 전극은 제2 도전형 반도체층으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 45

제44항에 있어서, 제2 도전형 반도체층은 N형 다결정 실리콘으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 46

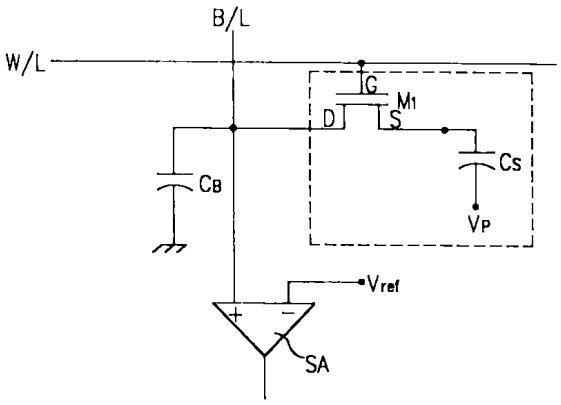
제45항에 있어서, N형 다결정 실리콘은 불순물 농도가 10^{18}~10^{21} atoms/㎤ 인 것으로 형성함을 특징으로 하는 반도체 메모리 장치의 제조방법.

청구항 47

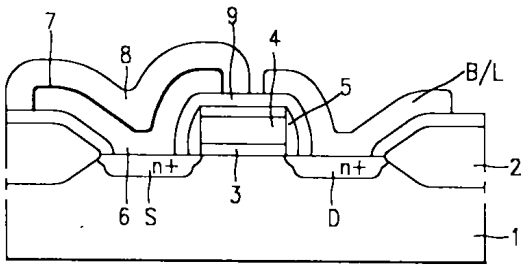
제44항에 있어서, 제2 도전형 반도체층 대신에 금속을 사용함을 특징으로 하는 반도체 메모리 장치의 제조방법.

도면

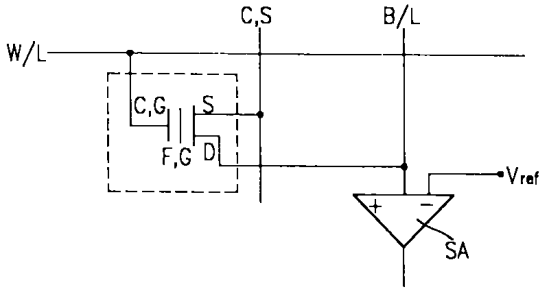
도면1



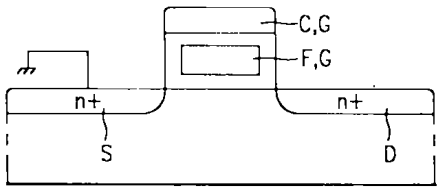
도면2



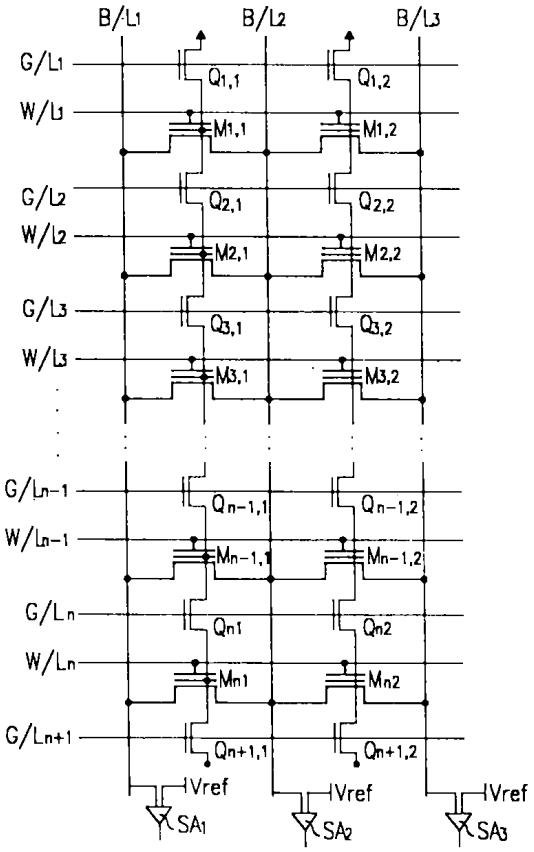
도면3



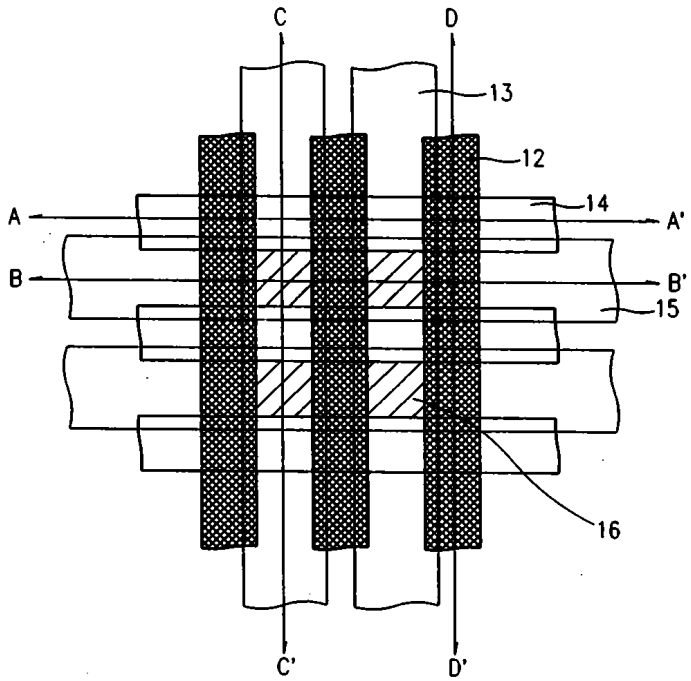
도면4



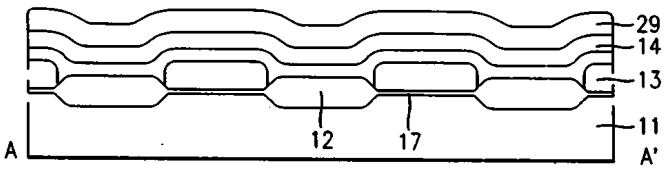
도면5


B/L1
B/L2
B/L3
G/L1
W/L1
G/L2
W/L2
G/L3
W/L3
G/Ln-1
W/Ln-1
G/Ln
W/Ln
G/Ln+1
Q1,1
Q1,2
M1,1
M1,2
Q2,1
Q2,2
M2,1
M2,2
Q3,1
Q3,2
M3,1
M3,2
Qn-1,1
Qn-1,2
Mn-1,1
Mn-1,2
Qn1
Qn2
Mn1
Mn2
Qn+1,1
Qn+1,2
Vref
Vref
Vref
SA1
SA2
SA3

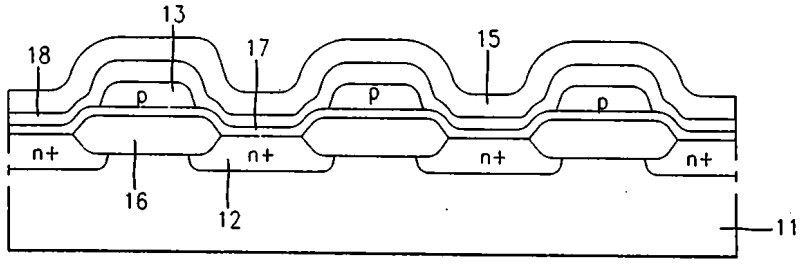
도면6


C
D
13
12
14
A
A'
B
B'
15
16
C'
D'

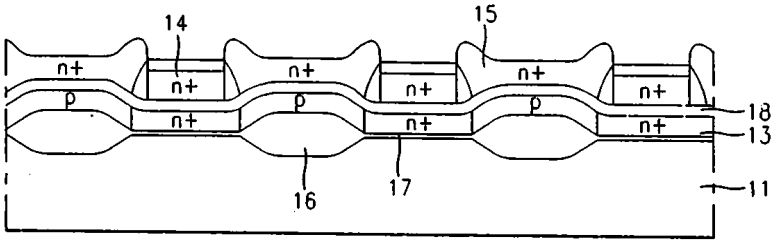
도면7



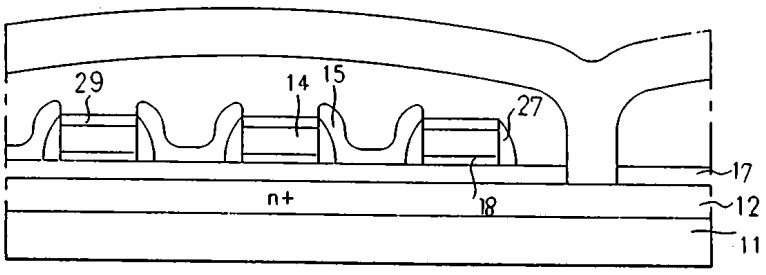
도면8



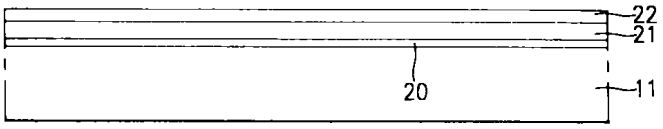
도면9



도면10

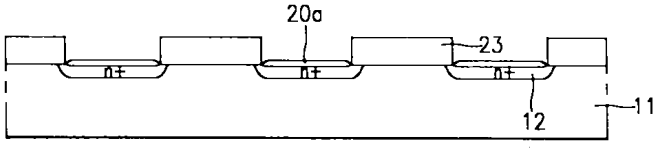


도면11a

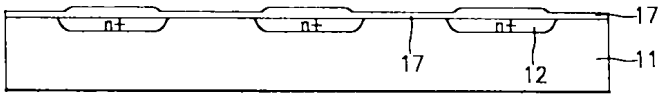


도면11b

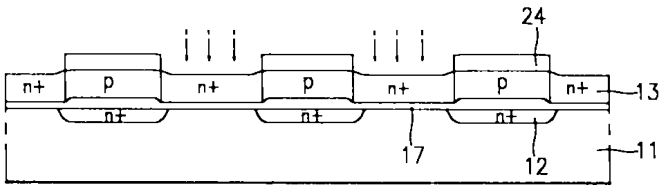
도면11c



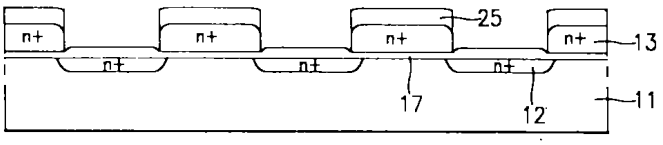
도면11d



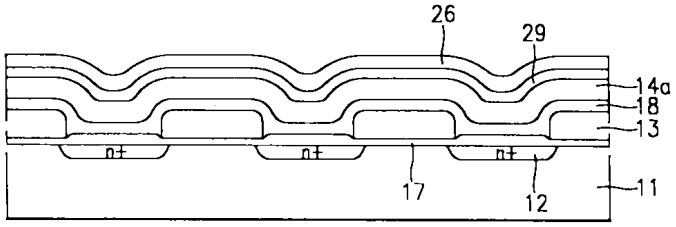
도면11e



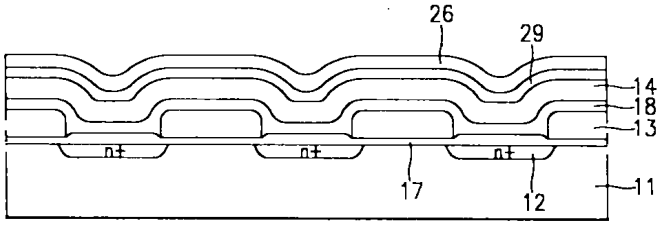
도면11f



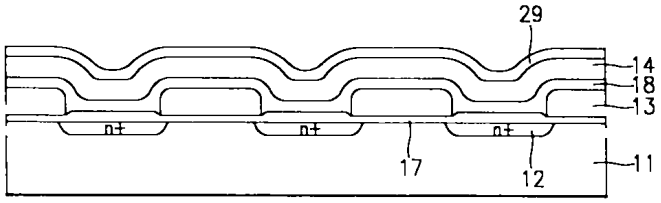
도면11g



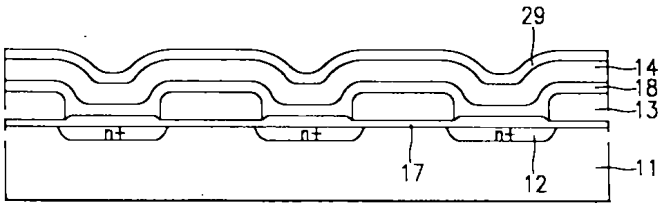
도면11h



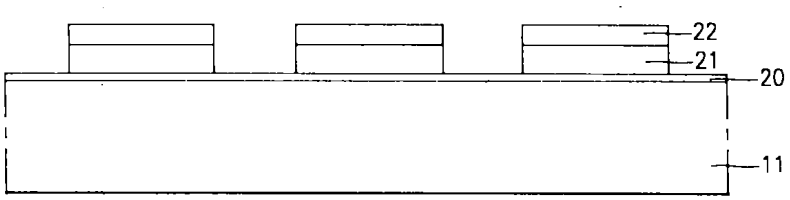
도면11i



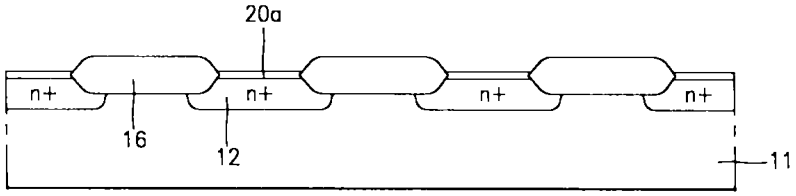
도면11j



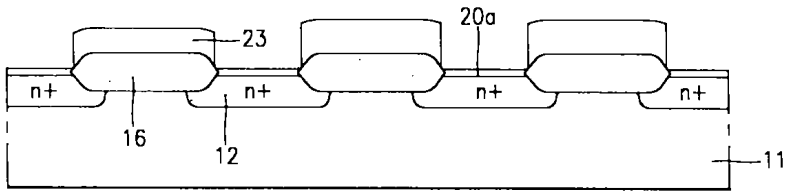
도면12a



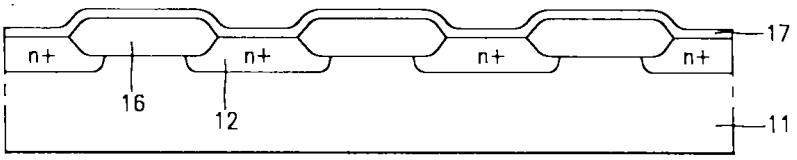
도면12b



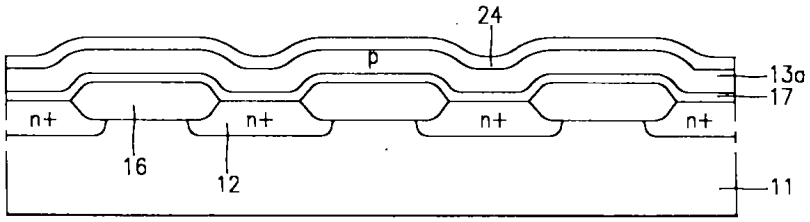
도면12c



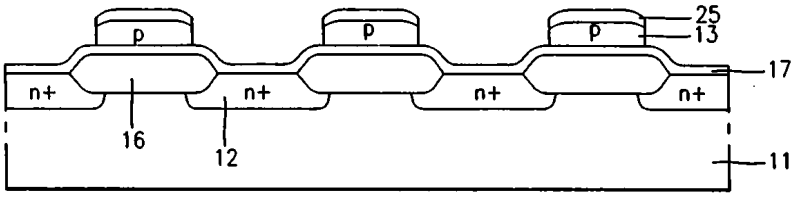
도면12d



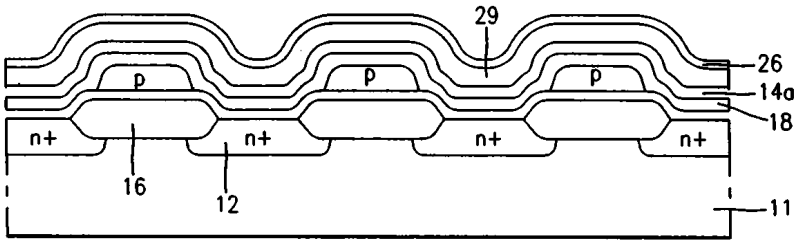
도면12e



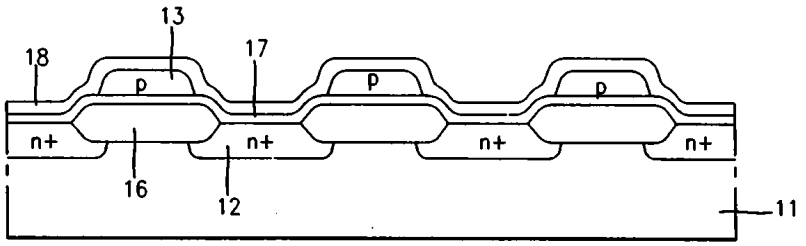
도면12f



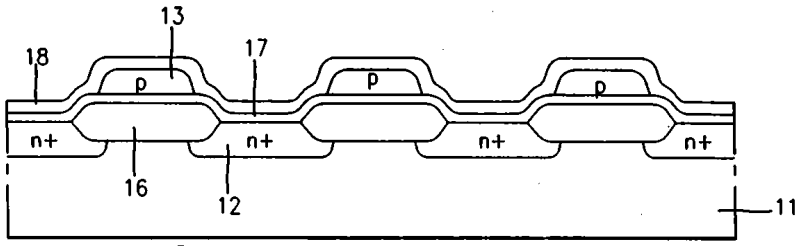
도면12g



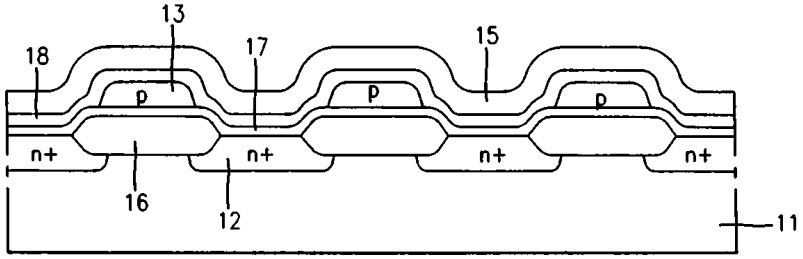
도면12h



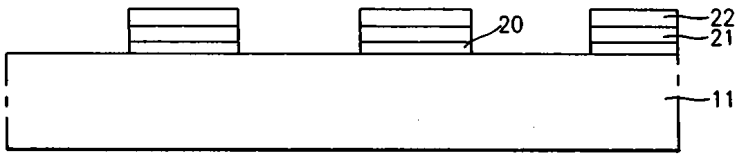
도면12i



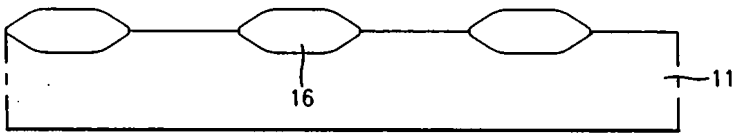
도면12j



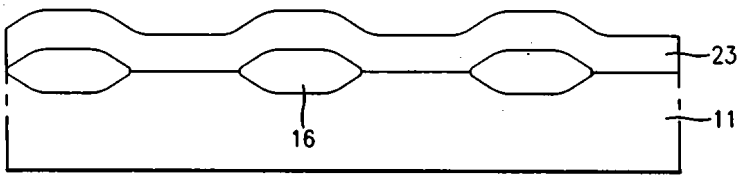
도면13a



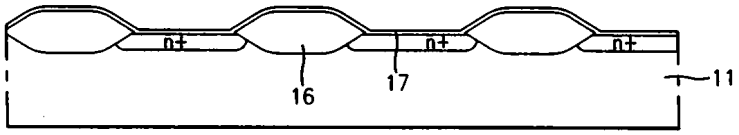
도면13b



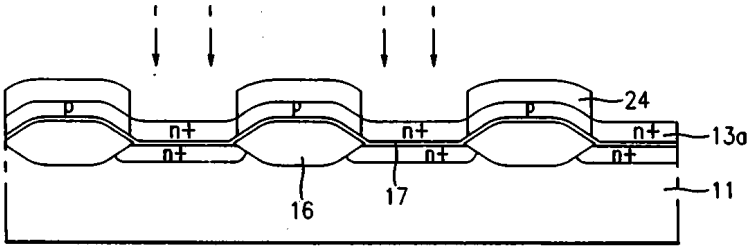
도면13c



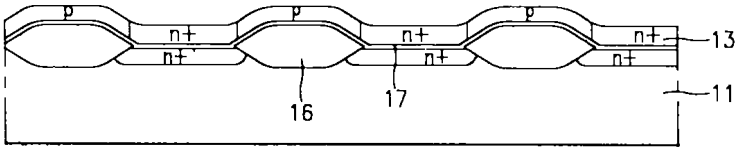
도면13d



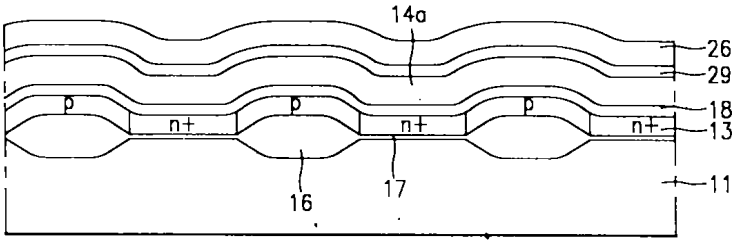
도면13e



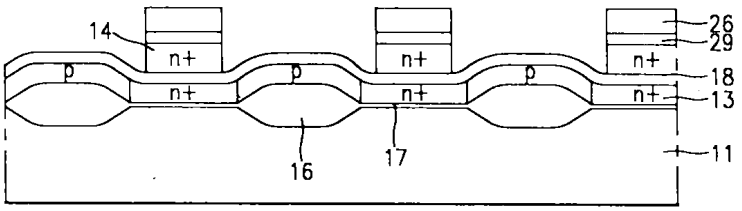
도면13f



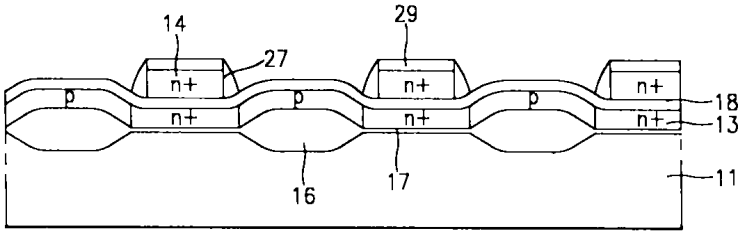
도면13g



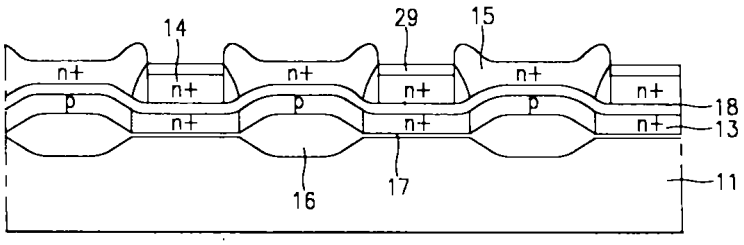
도면13h



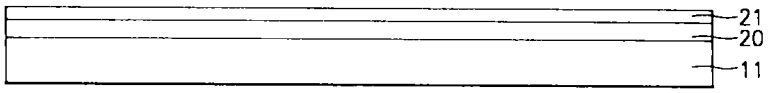
도면13i



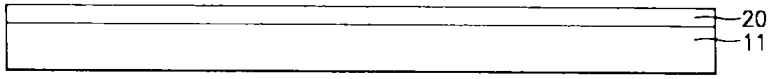
도면13j



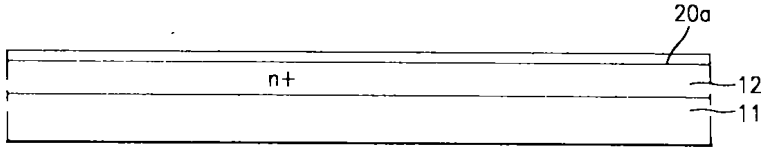
도면14a



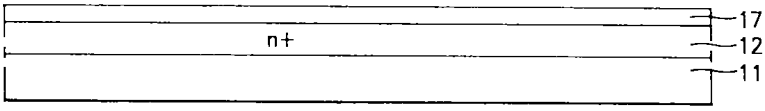
도면14b



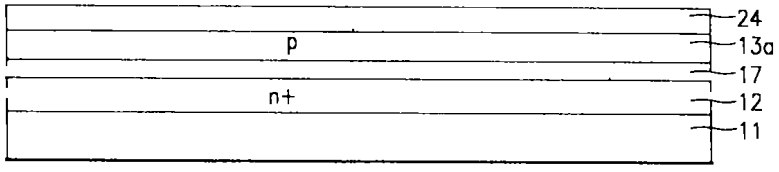
도면14c



도면14d

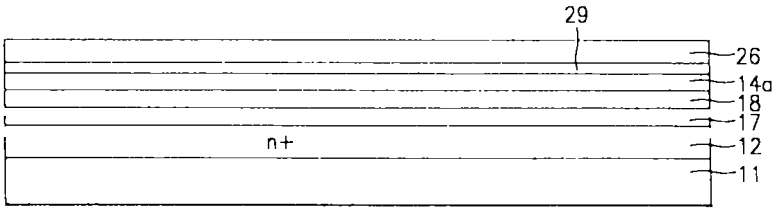


도면14e

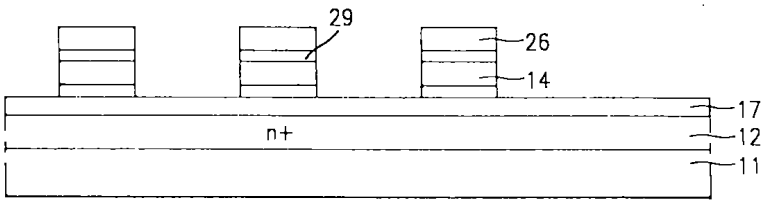


도면14f

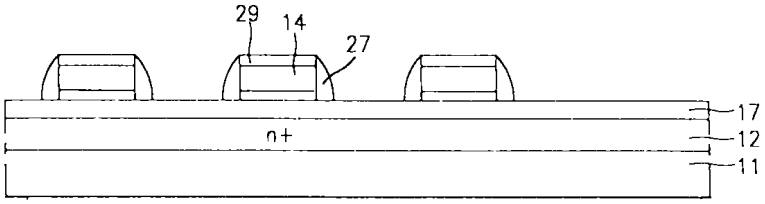
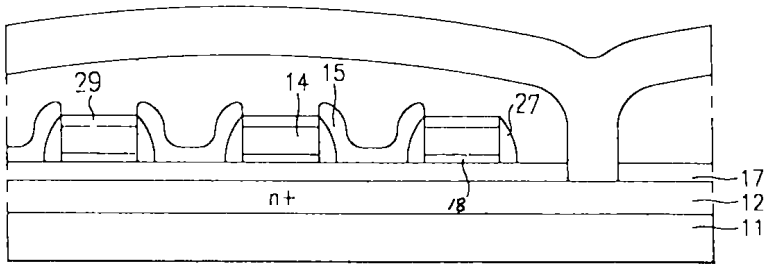
도면14g



도면14h



도면14i



도면14j