



(12) **Patentschrift**

(21) Aktenzeichen: **10 2021 113 053.0**
(22) Anmeldetag: **20.05.2021**
(43) Offenlegungstag: **15.09.2022**
(45) Veröffentlichungstag
der Patenterteilung: **10.10.2024**

(51) Int Cl.: **H01L 21/336 (2006.01)**
H01L 21/28 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

63/159,001	10.03.2021	US
17/320,971	14.05.2021	US

(72) Erfinder:

Tsa, Ming-Huan, Hsinchu, TW

(73) Patentinhaber:

**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(56) Ermittelter Stand der Technik:

US	2015 / 0 035 086	A1
US	2015 / 0 041 869	A1
US	2017 / 0 077 247	A1
US	2017 / 0 117 380	A1
US	2019 / 0 378 722	A1
US	2020 / 0 043 732	A1

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28359
Bremen, DE**

(54) Bezeichnung: **FIN-FELDEFFEKTRANSISTORVORRICHTUNG UND VERFAHREN**

(57) Hauptanspruch: Verfahren zum Ausbilden einer Halbleitervorrichtung, wobei das Verfahren umfasst:

Ausbilden einer Metallgatestruktur (97) über einer Finne (64), die über einem Substrat (50) hervorsteht, wobei die Metallgatestruktur (97) durch eine dielektrische Zwischenschicht, im Folgenden ILD-Schicht (90) genannt, umgeben ist, wobei sich Gatespacer (87) entlang entgegengesetzter Seitenwände der Metallgatestruktur (97) erstrecken; Aussparen der Metallgatestruktur (97) und der Gatespacer (87) unter eine obere Fläche der ILD-Schicht (90), die fern vom Substrat (50) ist;

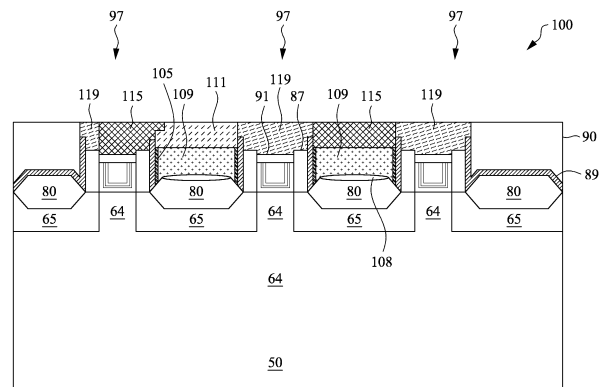
nach dem Aussparen, Ausbilden eines ersten Materials (93) über der Metallgatestruktur (97) und über den Gatespacern (87);

Ausbilden eines zweiten Materials (99) über dem ersten Material (93), wobei eine obere Fläche des zweiten Materials (99) auf gleicher Höhe liegt wie die obere Fläche der ILD-Schicht (90);

Entfernen eines ersten Abschnitts der ILD-Schicht (90), der zur Metallgatestruktur (97) benachbart ist, um eine Öffnung (104) auszubilden, die ein Source-/Draingebiet (80) auf einer ersten Seite der Metallgatestruktur (97) freilegt; nach dem Entfernen des ersten Abschnitts der ILD-Schicht, Füllen der Öffnung (104) mit einem ersten leitfähigen Material, um einen Source-/Drainkontakt (109) über dem Source-/Draingebiet (80) und mit ihm elektrisch gekoppelt auszubilden;

Ersetzen eines oberen Abschnitts des Source-/Drainkontakts (109) durch ein dielektrisches Material; und

Ausbilden einer ersten Öffnung über der Metallgatestruktur (97), wobei sich die erste Öffnung durch das erste Material (93) und das zweite Material (99) erstreckt.



Beschreibung

HINTERGRUND

[0001] Die Halbleiterindustrie hat aufgrund kontinuierlicher Verbesserungen der Integrationsdichte verschiedener elektronischer Bauelemente (z.B. Transistoren, Dioden, Widerstände, Kondensatoren usw.) ein schnelles Wachstum erfahren. Zum größten Teil stammt diese Verbesserung der Integrationsdichte von wiederholten Verringerungen der minimalen Merkmalgröße, wodurch ermöglicht wird, dass mehr Komponenten in einen bestimmten Bereich integriert werden.

[0002] Fin-Feldeffekttransistorvorrichtungen (FinFET-Vorrichtungen) werden allgemein in integrierten Schaltungen verwendet. FinFET-Vorrichtungen weisen eine dreidimensionale Struktur auf, die eine von einem Substrat hervorstehende Halbleiterfinne aufweist. Eine Gatestruktur, die zum Steuern des Flusses von Ladungsträgern innerhalb eines leitfähigen Kanals der FinFET-Vorrichtung ausgelegt ist, umgibt die Halbleiterfinne. Zum Beispiel umgibt in einer Tri-Gate-FinFET-Vorrichtung die Gatestruktur drei Seiten der Halbleiterfinne, wodurch leitfähige Kanäle auf drei Seiten der Halbleiterfinne gebildet werden.

[0003] US 2020 / 0 043 732 A1 offenbart Halbleiterbauelemente und ein Verfahren zum Bilden derselben. US 2015 / 0 035 086 A1 offenbart eine Vorrichtung mit einem selbstausgerichteten Kontakt und ein Verfahren zum Herstellen derselben. US 2015 / 0 041 869 A1 offenbart ein Transistorbauelement und ein Verfahren zu dessen Herstellung. US 2017 / 0 077 247 A1 offenbart eine Transistorvorrichtung und ein Verfahren zu dessen Herstellung. US 2019 / 0 378 722 A1 offenbart ein Verfahren zum Bilden eines Halbleiterbauelements wie etwa eines FinFET-Bauelements. US 2017 / 0 117 380 A1 offenbart eine Halbleitervorrichtung mit verstärkten Gate-Abstandshaltern und ein Verfahren zum Herstellen derselben.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Aspekte der vorliegenden Offenbarung werden am besten aus der nachstehenden ausführlichen Beschreibung verstanden, wenn sie zusammen mit den begleitenden Figuren gelesen wird. Es ist zu beachten, dass gemäß dem Standardverfahren in der Branche verschiedene Merkmale nicht maßstabsgetreu gezeichnet sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein

Fig. 1 ist eine perspektivische Ansicht eines Fin-Feldeffekttransistors (FinFET) gemäß einigen Ausführungsformen.

Fig. 2 bis 16, 17A, 17B, 18A, 18B, 19A, 19B, 20A, 20B, 21A, 21B, 22, 23A, 23B und 24 bis 27 zeigen verschiedene Ansichten einer FinFET-Vorrichtung bei verschiedenen Stufen der Herstellung gemäß einer Ausführungsform.

Fig. 28 zeigt ein Ablaufdiagramm eines Verfahrens zum Herstellen einer Halbleitervorrichtung gemäß einigen Ausführungsformen.

AUSFÜHRLICHE BESCHREIBUNG

[0005] Die Erfindung wird durch die unabhängigen Patentansprüche definiert. Bevorzugte Ausführungsformen der Erfindung werden in den abhängigen Patentansprüchen, der Beschreibung sowie den Zeichnungen bereitgestellt. Die nachstehende Offenbarung stellt viele verschiedene Ausführungsformen, oder Beispiele, zum Implementieren verschiedener Merkmale der Erfindung bereit. Konkrete Beispiele von Komponenten und Anordnungen sind nachstehend beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese stellen selbstverständlich lediglich Beispiele dar und sind nicht im beschränkenden Sinne gedacht. Zum Beispiel kann das Ausbilden eines ersten Elements über oder auf einem zweiten Element in der nachstehenden Beschreibung Ausführungsformen umfassen, in denen das erste und das zweite Element in direktem Kontakt ausgebildet werden, und kann ebenfalls Ausführungsformen umfassen, in denen zusätzliche Elemente zwischen dem ersten und dem zweiten Element ausgebildet werden können, so dass das erste und das zweite Element möglicherweise nicht in direktem Kontakt stehen.

[0006] Außerdem können hierin Begriffe, die sich auf räumliche Relativität beziehen, wie z.B. „unterhalb“, „unter“, „unterer“, „oberhalb“, „oberer“ und dergleichen, zur Erleichterung der Besprechung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem anderen Element oder Merkmal (zu anderen Elementen oder Merkmalen), wie in den Figuren dargestellt, zu beschreiben. Die Begriffe, die räumliche Relativität betreffen, sollen verschiedene Ausrichtungen der verwendeten oder betriebenen Vorrichtung zusätzlich zu der in den Figuren dargestellten Ausrichtung umfassen. Die Vorrichtung kann auf eine andere Weise ausgerichtet sein (um 90 Grad gedreht oder anders ausgerichtet) und die hier verwendeten Bezeichnungen, die räumliche Relativität betreffen, können gleichermaßen dementsprechend ausgelegt werden.

[0007] Ausführungsformen der vorliegenden Offenbarung werden im Kontext des Ausbildens einer Halbleitervorrichtung und insbesondere im Kontext des Ausbildens selbstjustierender Kontakte für eine Fin-Feldeffekttransistor-Vorrichtung (FinFET-Vorrichtung) besprochen. Das Prinzip der offenbarten Ausführungsformen kann auch auf andere Arten

von Vorrichtungen, wie z.B. planare Vorrichtungen, angewendet werden.

[0008] Gemäß einer Ausführungsformen der vorliegenden Offenbarung wird ein zweilagiger Helm, der zwei verschiedene Schichten aus nicht leitfähigen Materialien aufweist, über einer Metallgatestruktur ausgebildet, wobei die Metallgatestruktur durch eine dielektrische Zwischenschicht (ILD-Schicht) umgeben ist. In einem anschließenden Ätzprozess zum Ausbilden eines Source-/Drainkontaktlochs in der ILD-Schicht in der Nähe der Metallgatestruktur stellt der zweilagige Helm eine ausgezeichnete Ätzselektivität zwischen dem Material der ILD-Schicht und den Materialien der zweilagigen Helme bereit, wodurch das „Schulterverlust“-Problem vermieden wird, das sich auf das Problem bezieht, dass Materialien anderer Strukturen (z.B. Gatespacer) in der Nähe der Schultern (z.B. oberer Ecken) der Metallgatestruktur durch den Ätzprozess weggeätzt werden. Da das „Schulterverlust“-Problem einen elektrischen Kurzschluss zwischen der Metallgatestruktur und dem benachbarten Source-/Draingebiet verursachen kann, verhindert oder reduziert die offenbarte Ausführungsform Produktdefekte, die durch das „Schulterverlust“-Problem verursacht werden.

[0009] Fig. 1 zeigt ein Beispiel eines FinFET 30 in einer perspektivischen Ansicht. Der FinFET 30 weist ein Substrat 50 und eine Finne 64 auf, die über dem Substrat 50 hervorsteht. Isolationsgebiete 62 werden auf gegenüberliegenden Seiten der Finne 64 ausgebildet, wobei die Finne 64 über den Isolationsgebieten 62 hervorsteht. Ein Gatedielektrikum 66 befindet sich entlang von Seitenwänden und über einer oberen Fläche der Finne 64, und eine Gateelektrode 68 befindet sich über dem Gatedielektrikum 66. Source-/Draingebiete 80 befinden sich in der Finne 64 und auf entgegengesetzten Seiten des Gatedielektrikums 66 und der Gateelektrode 68. Fig. 1 zeigt ferner Referenzquerschnitte, die in späteren Figuren verwendet werden. Der Querschnitt B-B erstreckt sich entlang einer Längsachse der Gateelektrode 68 des FinFET 30. Der Querschnitt A-A ist senkrecht zum Querschnitt B-B und verläuft entlang einer Längsachse der Finne 64 und zum Beispiel in einer Richtung eines Stromflusses zwischen den Source-/Draingebieten 80. Der Querschnitt C-C ist zum Querschnitt B-B parallel und verläuft quer durch das Source-/Draingebiet 80. Nachfolgende Figuren beziehen sich zur Klarheit auf diese Referenzquerschnitte.

[0010] Fig. 2 bis 16, 17A, 17B, 18A, 18B, 19A, 19B, 20A, 20B, 21A, 21B, 22, 23A, 23B und 24 bis 27 zeigen verschiedene Ansichten (z.B. eine Querschnittsansicht, eine Draufsicht) einer FinFET-Vorrichtung 100 bei verschiedenen Stufen der Herstellung gemäß einer Ausführungsform. Die FinFET-Vorrichtung 100 ist dem FinFET 30 in Fig. 1 ähnlich, mit der

Ausnahme mehrerer Finnen und mehrerer Gatestrukturen. Fig. 2 bis 5 zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts B-B, und Fig. 6 bis 16 17A, 18A, 19A, 20A, 21A, 22, 23A und 24 bis 27 zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts A-A. Fig. 17B, 18B, 19B, 20B und 21B zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts C-C. Fig. 23B zeigt eine Draufsicht auf die FinFET-Vorrichtung 100. In der gesamten vorliegenden Diskussion zeigen Figuren mit demselben Bezugszeichen aber verschiedenen Buchstaben (z.B. 17A und 17B) verschiedene Ansichten (z.B. entlang verschiedener Querschnitte) der FinFET-Vorrichtung 100 bei derselben Herstellungsstufe.

[0011] Fig. 2 zeigt eine Querschnittsansicht eines Substrats 50. Das Substrat 50 kann ein Halbleitersubstrat, wie z.B. ein Bulk-Halbleiter, ein SOI-Substrat (Halbleiter auf einem Isolator) oder dergleichen sein, das dotiert (z.B. mit einem p- oder einem n-Dotierstoff) oder undotiert sein kann. Das Substrat 50 kann ein Wafer, wie z.B. ein Silizium-Wafer, sein. Im Allgemeinen weist ein SOI-Substrat eine Schicht aus einem Halbleitermaterial auf, die auf einer Isolationsschicht ausgebildet ist. Die Isolationsschicht kann zum Beispiel eine vergrabene Oxidschicht (BOX-Schicht), eine Siliziumoxidschicht oder dergleichen sein. Die Isolationsschicht wird auf einem Substrat, typischerweise einem Siliziumsubstrat oder einem Glassubstrat, bereitgestellt. Andere Substrate, wie z.B. ein mehrschichtiges oder ein Gradientensubstrat, können ebenfalls verwendet werden. In einigen Ausführungsformen kann das Halbleitermaterial des Substrats 50 Silizium, Germanium, einen Verbindungshalbleiter, der Siliziumkarbid, Galliumarsen, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid aufweist, einen Legierungshalbleiter, der SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP und/oder GaInAsP aufweist, oder Kombinationen davon aufweisen.

[0012] Unter Bezugnahme auf Fig. 3 wird das in Fig. 2 gezeigte Substrat 50 zum Beispiel unter Verwendung fotolithografischer und Ätztechniken strukturiert. Zum Beispiel wird eine Maskenschicht, wie z.B. eine Pad-Oxidschicht 52 und eine darüberliegende Pad-Nitridschicht 56, über dem Substrat 50 ausgebildet. Die Pad-Oxidschicht 52 kann ein Dünnschicht sein, das Siliziumoxid aufweist, welches zum Beispiel unter Verwendung eines thermischen Oxidationsprozesses ausgebildet wird. Die Pad-Oxidschicht 52 kann als eine Haftschicht zwischen dem Substrat 50 und der darüberliegenden Pad-Nitridschicht 56 wirken und kann als eine Ätzstopp-schicht für ein Ätzen der Pad-Nitridschicht 56 wirken. In einigen Ausführungsformen wird die Pad-Nitridschicht 56 aus Siliziumnitrid, Siliziumoxinitrid, Sili-

ziumkarbonitrid, dergleichen, oder einer Kombination davon ausgebildet, und kann zum Beispiel unter Verwendung einer chemischen Niederdruck-Gasphasenabscheidung (LPCVD) oder einer plasmaunterstützten chemischen Gasphasenabscheidung (PECVD) ausgebildet werden.

[0013] Die Maskenschicht kann unter Verwendung fotolithografischer Techniken strukturiert werden. Im Allgemeinen verwenden fotolithografische Techniken ein Fotolackmaterial (nicht dargestellt), das abgedichtet, bestrahlt (belichtet) und entwickelt wird, um einen Abschnitt des Fotolackmaterials zu entfernen. Das verbleibende Fotolackmaterial schützt das darunterliegende Material, wie z.B. die Maskenschicht in diesem Beispiel, vor nachfolgenden Verarbeitungsschritten, wie z.B. einem Ätzen. In diesem Beispiel wird das Fotolackmaterial verwendet, um die Pad-Oxidschicht 52 und die Pad-Nitridschicht 56 zu strukturieren, um eine strukturierte Maske 58 auszubilden, wie in **Fig. 3** dargestellt.

[0014] Die strukturierte Maske 58 wird anschließend verwendet, um freigelegte Abschnitte des Substrats 50 zu strukturieren, um Gräben 61 auszubilden, wodurch Halbleiterfinnen 64 zwischen benachbarten Gräben 61 definiert werden, wie in **Fig. 3** dargestellt. In einigen Ausführungsformen werden die Halbleiterfinnen 64 durch Ätzen von Gräben im Substrat 50 zum Beispiel unter Verwendung eines reaktiven Ionenätzens (RIE), Neutralstrahlätzens (NBE), dergleichen oder einer Kombination davon ausgebildet. Das Ätzen kann anisotrop sein. In einigen Ausführungsformen können die Gräben 61 Streifen (wenn von oben betrachtet) sein, die zueinander parallel und in Bezug aufeinander eng beabstandet sind. In einigen Ausführungsformen können die Gräben 61 durchgehend sein und die Halbleiterfinnen 64 umgeben. Die Halbleiterfinnen 64 können nachstehend auch als Finnen 64 bezeichnet werden.

[0015] Die Finnen 64 können mithilfe eines beliebigen geeigneten Verfahrens strukturiert werden. Zum Beispiel können die Finnen 64 unter Verwendung eines oder mehrerer fotolithografischer Prozesse, die Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse umfassen, strukturiert werden. Im Allgemeinen kombinieren Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse fotolithografische und selbstjustierende Prozesse, wodurch ermöglicht wird, dass Strukturen erzeugt werden, die zum Beispiel kleinere Pitches aufweisen als dies ansonsten unter Verwendung eines einzelnen direkten fotolithografischen Prozesses erzielbar ist. Zum Beispiel wird in einer Ausführungsform eine Opferschicht über einem Substrat ausgebildet und unter Verwendung eines fotolithografischen Prozesses strukturiert. Spacer werden entlang der strukturierten Opferschicht unter Verwendung eines Selbstjustierungsprozesses ausgebildet. Die Opferschicht wird dann

entfernt und die verbleibenden Spacer, oder Dorne, können dann zum Strukturieren der Finnen verwendet werden.

[0016] **Fig. 4** zeigt das Ausbilden eines Isolationsmaterials zwischen benachbarten Halbleiterfinnen 64, um Isolationsgebiete 62 auszubilden. Das Isolationsmaterial kann ein Oxid, wie z.B. Siliziumoxid, ein Nitrid, dergleichen oder eine Kombination davon sein, und kann mithilfe einer chemischen Gasphasenabscheidung unter Verwendung von hochdichtem Plasma (HDP-CVD), einer FCVD (Flowable CVD) (z.B. einer CVD-basierten Materialabscheidung in einem Fernplasmasystem und einem anschließenden Härten, um es in ein anderes Material, wie z.B. ein Oxid, umzuwandeln), dergleichen oder einer Kombination davon ausgebildet werden. Andere Isolationsmaterialien und/oder andere Ausbildungsprozesse können verwendet werden. In der dargestellten Ausführungsform ist das Isolationsmaterial Siliziumoxid, das mithilfe eines FCVD-Prozesses ausgebildet wird. Ein Temperprozess kann durchgeführt werden, nachdem das Isolationsmaterial ausgebildet wurde. Ein Planarisierungsprozess, wie z.B. ein chemischmechanisches Polieren (CMP), kann jegliches überschüssiges Isolationsmaterial entfernen und obere Flächen der Isolationsgebiete 62 und obere Flächen der Halbleiterfinnen 64, die komplanar sind (nicht dargestellt), ausbilden. Die strukturierte Maske 58 (siehe **Fig. 3**) kann auch durch den Planarisierungsprozess entfernt werden.

[0017] In einigen Ausführungsformen weisen die Isolationsgebiete 62 einen Liner, z.B. ein Liner-Oxid (nicht dargestellt), an der Grenzfläche zwischen dem Isolationsgebiet 62 und dem Substrat 50/den Halbleiterfinnen 64 auf. In einigen Ausführungsformen wird das Liner-Oxid ausgebildet, um die Kristalldefekte an der Grenzfläche zwischen dem Substrat 50 und dem Isolationsgebiet 62 zu reduzieren. Gleichermäßen kann das Liner-Oxid auch verwendet werden, um Kristalldefekte an der Grenzfläche zwischen den Halbleiterfinnen 64 und dem Isolationsgebiet 62 zu reduzieren. Das Liner-Oxid (z.B. Siliziumoxid) kann ein thermisches Oxid sein, das mithilfe einer thermischen Oxidation einer Oberflächenschicht des Substrats 50 ausgebildet wird, obwohl ein anderes geeignetes Verfahren ebenfalls zum Ausbilden des Liner-Oxids verwendet werden kann.

[0018] Als Nächstes werden die Isolationsgebiete 62 ausgespart, um STI-Gebiete (flache Grabenisolation) 62 auszubilden. Die Isolationsgebiete 62 werden ausgespart, so dass die oberen Abschnitte der Halbleiterfinnen 64 aus dem Raum zwischen benachbarten STI-Gebieten 62 hervorstehen. Die oberen Flächen der STI-Gebiete 62 können eine flache Fläche (wie dargestellt), eine konvexe Fläche, eine konkave Fläche (wie z.B. eine Wölbung) oder

eine Kombination davon aufweisen. Die oberen Flächen der STI-Gebiete 62 können mithilfe eines geeigneten Ätzens flach, konvex und/oder konkav ausgebildet werden. Die Isolationsgebiete 62 können unter Verwendung eines geeigneten Ätzprozesses, wie z.B. eines, der gegenüber dem Material der Isolationsgebiete 62 selektiv ist, ausgespart werden. Zum Beispiel kann ein Trockenätzen oder ein Nassätzen, das verdünnte Flusssäure (dHF) verwendet, durchgeführt werden, um die Isolationsgebiete 62 auszusparen.

[0019] Fig. 2 bis 4 zeigen eine Ausführungsform zum Ausbilden von Finnen 64, aber Finnen können in vielen verschiedenen Prozessen ausgebildet werden. Zum Beispiel kann ein oberer Abschnitt des Substrats 50 durch ein geeignetes Material, wie z.B. ein epitaktisches Material, ersetzt werden, das für einen vorgesehenen Typ (z.B. n-Typ oder p-Typ) von auszubildenden Halbleitervorrichtungen geeignet ist. Danach wird das Substrat 50 mit dem epitaktischen Material auf der Oberseite, strukturiert, um Halbleiterfinnen 64 auszubilden, die das epitaktische Material aufweisen.

[0020] Als ein anderes Beispiel kann eine dielektrische Schicht über einer oberen Fläche eines Substrats ausgebildet werden; Gräben können durch die dielektrische Schicht geätzt werden; Homoepitaxiestrukturen können in den Gräben epitaktisch aufgewachsen werden; und die dielektrische Schicht kann derart ausgespart werden, dass die Homoepitaxiestrukturen von der dielektrischen Schicht hervorstehen, um Finnen zu bilden.

[0021] In einem noch anderen Beispiel kann eine dielektrische Schicht über einer oberen Fläche eines Substrats ausgebildet werden; Gräben können durch die dielektrische Schicht geätzt werden; Heteroepitaxiestrukturen können in den Gräben unter Verwendung eines von dem Substrat verschiedenen Materials epitaktisch aufgewachsen werden; und die dielektrische Schicht kann derart ausgespart werden, dass die Heteroepitaxiestrukturen von der dielektrischen Schicht hervorstehen, um Finnen zu bilden.

[0022] In Ausführungsformen, in denen epitaktisches Material(ien) oder epitaktische Strukturen (z.B. die heteroepitaktische Strukturen oder die homoepitaktische Strukturen) aufgewachsen werden, kann (können) das aufgewachsene Material (die aufgewachsenen Materialien) oder Strukturen während des Aufwachsens in-situ dotiert werden, was vorherige und anschließende Implantationen vermeiden kann, obwohl eine In-situ- und Implantationsdotierung zusammen verwendet werden können. Noch weiter kann es vorteilhaft sein, ein Material in einem NMOS-Gebiet aufzuwachsen, das vom Material in einem PMOS-Gebiet verschieden ist. In

verschiedenen Ausführungsformen können die Finnen 64 Siliziumgermanium ($\text{Si}_x\text{Ge}_{1-x}$, wobei x zwischen 0 und 1 betragen kann), Siliziumkarbid, reines oder im Wesentlichen reines Germanium, einen III-V-Verbindungshalbleiter, einen II-VI Verbindungshalbleiter oder dergleichen aufweisen. Zum Beispiel weisen die verfügbaren Materialien zum Ausbilden eines III-V-Verbindungshalbleiters InAs, AlAs, GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlP, GaP und dergleichen auf, sind aber nicht darauf beschränkt.

[0023] Fig. 5 zeigt das Ausbilden einer Dummy Gatestruktur 75 über den Halbleiterfinnen 64. Die Dummy-Gatestruktur 75 weist in einigen Ausführungsformen ein Gatedielektrikum 66 und eine Gateelektrode 68 auf. Eine Maske 70 kann über der Dummy-Gatestruktur 75 ausgebildet werden. Um die Dummy-Gatestruktur 75 auszubilden, wird eine dielektrische Schicht auf den Halbleiterfinnen 64 ausgebildet. Die dielektrische Schicht kann zum Beispiel Siliziumoxid, Siliziumnitrid, Mehrfachschichten davon oder dergleichen sein und kann abgeschieden oder thermisch aufgewachsen werden.

[0024] Eine Gateschicht wird über der dielektrischen Schicht ausgebildet und eine Maskenschicht wird über der Gateschicht ausgebildet. Die Gateschicht kann über der dielektrischen Schicht abgeschieden und dann, z.B. mithilfe eines CMP, planarisiert werden. Die Maskenschicht kann über der Gateschicht abgeschieden werden. Die Gateschicht kann zum Beispiel aus Polysilizium ausgebildet werden, obwohl andere Materialien ebenfalls verwendet werden können. Die Maskenschicht kann zum Beispiel aus Siliziumnitrid oder dergleichen ausgebildet werden.

[0025] Nachdem die Schichten (z.B. die dielektrische Schicht, die Gateschicht und die Maskenschicht) ausgebildet wurden, kann die Maskenschicht unter Verwendung geeigneter fotolithografischer und Ätztechniken strukturiert werden, um eine Maske 70 auszubilden. Die Struktur der Maske 70 kann dann auf die Gateschicht und die dielektrische Schicht mithilfe einer geeigneten Ätztechnik übertragen werden, um jeweils eine Gateelektrode 68 bzw. ein Gatedielektrikum 66 auszubilden. Die Gateelektrode 68 und das Gatedielektrikum 66 decken jeweilige Kanalgebiete der Halbleiterfinnen 64 ab. Die Gateelektrode 68 kann auch eine Längsrichtung aufweisen, die zur Längsrichtung jeweiliger Halbleiterfinnen 64 im Wesentlichen senkrecht ist.

[0026] Das Gatedielektrikum 66 ist derart dargestellt, dass es über den Finnen 64 (z.B. über oberen Flächen und Seitenwänden der Finnen 64) und über den STI-Gebieten 62 im Beispiel von Fig. 5 ausgebildet wird. In anderen Ausführungsformen kann das Gatedielektrikum 66 z.B. durch thermische Oxidation

eines Materials der Finnen 64 ausgebildet werden, und kann daher über den Finnen 64, aber nicht über den STI-Gebieten 62 ausgebildet werden. Diese und andere Abwandlungen sollen im Umfang der vorliegenden Offenbarung vollständig aufgenommen sein.

[0027] Als Nächstes werden, wie in **Fig. 6** dargestellt, schwach dotierte Draingebiete (LDD) 65 in den Finnen 64 ausgebildet. Die LDD-Gebiete 65 können mithilfe eines Implantationsprozesses ausgebildet werden. Der Implantationsprozess kann n- oder p-Verunreinigungen in die Finnen 64 implantieren, um die LDD-Gebiete 65 auszubilden. In einigen Ausführungsformen liegen die LDD-Gebiete 65 an dem Kanalgebiet der FinFET-Vorrichtung 100 an. Abschnitte der LDD-Gebiete 65 können sich unter die Gateelektrode 68 und in das Kanalgebiet der FinFET-Vorrichtung 100 erstrecken. **Fig. 6** zeigt ein nicht beschränkendes Beispiel der LDD-Gebiete 65. Andere Ausgestaltungen, Formen und Verfahren zum Ausbilden der LDD-Gebiete 65 sind ebenfalls möglich und sollen vollständig innerhalb des Umfangs der vorliegenden Offenbarung aufgenommen sein. Zum Beispiel können die LDD-Gebiete 65 ausgebildet werden, nachdem Gatespacer 87 ausgebildet wurden.

[0028] Unter weiterer Bezugnahme auf **Fig. 6** werden, nachdem die LDD-Gebiete 65 ausgebildet wurden, Gatespacer 87 auf der Gatestruktur ausgebildet. Im Beispiel von **Fig. 6** werden die Gatespacer 87 auf entgegengesetzten Seitenwänden der Gateelektrode 68 und entgegengesetzten Seitenwänden des Gatedielektrikums 66 ausgebildet. Die Gatespacer 87 können aus Siliziumnitrid, Siliziumoxinitrid, Siliziumkarbid, Siliziumkarbonitrid, dergleichen oder einer Kombination davon ausgebildet werden und können z.B. unter Verwendung einer thermischen Oxidation, einer CVD, oder eines anderen geeigneten Abscheidungsprozesses ausgebildet werden.

[0029] Die Formen und Verfahren zum Ausbilden der Gatespacer 87, wie in **Fig. 6** dargestellt, sind lediglich nicht beschränkende Beispiele, und andere Formen und Verfahren zum Ausbilden sind möglich. Zum Beispiel können die Gatespacer 87 erste Gatespacer (nicht dargestellt) und zweite Gatespacer (nicht dargestellt) aufweisen. Die ersten Gatespacer können auf den gegenüberliegenden Seitenwänden der Dummy-Gatestruktur 75 ausgebildet werden. Die zweiten Gatespacer können auf den ersten Gatespacern ausgebildet werden, wobei die ersten Gatespacer zwischen einer entsprechenden Gatestruktur und den jeweiligen zweiten Gatespacern angeordnet sind. Die ersten Gatespacer können eine L-Form in einer Querschnittsansicht aufweisen. Als ein anderes Beispiel können die Gatespacer 87 ausgebildet werden, nachdem die epitaktischen Source-/Draingebiete 80 (siehe **Fig. 7**) ausgebildet wurden. In eini-

gen Ausführungsformen werden Dummy-Gatespacer auf den ersten Gatespacern (nicht dargestellt) vor dem epitaktischen Prozess der in **Fig. 7** dargestellten epitaktischen Source-/Draingebiete 80 ausgebildet und die Dummy-Gatespacer werden entfernt und durch die zweiten Gatespacer ersetzt, nachdem die epitaktischen Source-/Draingebiete 80 ausgebildet wurden. Alle derartigen Ausführungsformen sollen im Umfang der vorliegenden Offenbarung vollständig aufgenommen sein.

[0030] Als Nächstes werden, wie in **Fig. 7** dargestellt, Source-/Draingebiete 80 ausgebildet. Die Source-/Draingebiete 80 werden ausgebildet, indem die Finnen 64 geätzt werden, um Aussparungen auszubilden, und ein Material in der Aussparung unter Verwendung geeigneter Verfahren, wie z.B. einer metallorganischen CVD (MOCVD), einer Molekularstrahlepitaxie (MBE), einer Flüssigphasenepitaxie (LPE), einer Gasphasenepitaxie (VPE), eines selektiven epitaktischen Wachstums, dergleichen oder einer Kombination davon, epitaktisch aufgewachsen wird.

[0031] Wie in **Fig. 7** dargestellt, können die epitaktischen Source-/Draingebiete 80 Flächen aufweisen, die von jeweiligen Flächen der Finnen 64 erhöht sind (z.B. über die nicht ausgesparten Abschnitte der Finnen 64 erhöht), und sie können Rautenflächen aufweisen. Die Source-/Draingebiete 80 der benachbarten Finnen 64 können sich verbinden, um ein durchgehendes epitaktisches Source-/Draingebiet 80 zu bilden. In einigen Ausführungsformen verbinden sich die Source-/Draingebiete 80 benachbarter Finnen 64 nicht miteinander und verbleiben getrennte Source-/Draingebiete 80. In einigen Ausführungsbeispielen, in denen der resultierende FinFET ein n-FinFET ist, weisen die Source-/Draingebiete 80 Siliziumkarbid (SiC), Siliziumphosphor (SiP), mit Phosphor dotierten Siliziumkohlenstoff (SiCP) oder dergleichen auf. In alternativen Ausführungsbeispielen, in denen der resultierende FinFET ein p-FinFET ist, weisen die Source-/Draingebiete 80 SiGe und eine p-Verunreinigung, wie z.B. Bor oder Indium, auf.

[0032] In die epitaktischen Source-/Draingebiete 80 können Dotierstoffe implantiert werden, um Source-/Draingebiete 80 auszubilden, worauf ein Temperprozess folgt. Der Implantationsprozess kann ein Ausbilden und Strukturieren von Masken, wie z.B. eines Fotolacks, umfassen, um die Gebiete des FinFET, die vor dem Implantationsprozess geschützt werden sollen, abzudecken. Die Source-/Draingebiete 80 können eine Verunreinigungskonzentration (z.B. eines Dotierstoffs) in einem Bereich von ungefähr $1E19 \text{ cm}^{-3}$ bis ungefähr $1E21 \text{ cm}^{-3}$ aufweisen. In einigen Ausführungsformen können die epitaktischen Source-/Draingebiete während des Wachstums in-situ dotiert werden.

[0033] Als Nächstes wird, wie in **Fig. 8** dargestellt, eine Kontaktätzstoppschicht (CESL) 89 über der in **Fig. 7** gezeigten Struktur ausgebildet. Die CESL 89 wirkt als eine Ätzstoppschicht in einem anschließenden Ätzprozess, und kann ein geeignetes Material, wie z.B. Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Kombinationen davon oder dergleichen aufweisen, und kann mithilfe eines geeigneten Ausbildungsverfahrens, wie z.B. einer CVD, einer PVD, Kombinationen davon oder dergleichen ausgebildet werden.

[0034] Als Nächstes wird ein erstes Zwischenschichtdielektrikum (ILD) 90 über der CESL 89 und über den Dummy-Gatestrukturen 75 ausgebildet. In einigen Ausführungsformen wird das erste ILD 90 aus einem dielektrischen Material, wie z.B. Siliziumoxid, Phosphorsilikatglas (PSG), Borosilikatglas (BSG), mit Bor dotiertem Phosphorsilikatglas (BPSG), undotiertem Silikatglas (USG) oder dergleichen, ausgebildet und kann mithilfe eines beliebigen geeigneten Verfahrens, wie z.B. einer CVD, PECVD oder einer FCVD abgeschieden werden. Ein Planarisierungsprozess, wie z.B. ein CMP, kann durchgeführt werden, um die Maske 70 zu entfernen und Abschnitte der CESL 89, die über der Gateelektrode 68 angeordnet sind, zu entfernen. Nach dem Planarisierungsprozess befindet sich die obere Fläche des ersten ILD 90 auf gleicher Höhe wie die obere Fläche der Gateelektrode 68.

[0035] Als Nächstes wird in **Fig. 9** ein Gate-Zuletzt-Prozess (der zuweilen als ein Austauschgateprozess bezeichnet wird) durchgeführt, um die Gateelektrode 68 und das Gatedielektrikum 66 jeweils durch ein aktives Gate (das auch als ein Ersatzgate oder ein Metallgate bezeichnet werden kann) bzw. ein aktives Gatedielektrikumsmaterial(lien) zu ersetzen. Daher können die Gateelektrode 68 und das Gatedielektrikum in einem Gate-Zuletzt-Prozess jeweils als Dummy-Gateelektrode bzw. Dummy-Gatedielektrikum bezeichnet werden. Das aktive Gate ist in einigen Ausführungsformen ein Metallgate.

[0036] Unter Bezugnahme auf **Fig. 9** werden Dummy-Gatestrukturen 75 durch Ersatzgatestrukturen 97 ersetzt. Um die Ersatzgatestrukturen 97 auszubilden werden gemäß einigen Ausführungsformen die Gateelektrode 68 und das Gatedielektrikum 66 direkt unter der Gateelektrode 68 in einem Ätzschritt(en) entfernt, so dass Aussparungen (nicht dargestellt) zwischen den Gatespacern 87 ausgebildet werden. Jede Aussparung legt das Kanalgebiet einer jeweiligen Finne 64 frei. Während des Entfernens des Dummy-Gates kann das Gatedielektrikum 66 als eine Ätzstoppschicht verwendet werden, wenn die Gateelektrode 68 geätzt wird. Das Gatedielektrikum 66 kann dann nach dem Entfernen der Gateelektrode 68 entfernt werden.

[0037] Als Nächstes werden eine Gatedielektrikumsschicht 94, eine Barrierschicht 96, eine Austrittsarbeitsschicht 98 und eine Gateelektrode 86 in den Aussparungen für die Ersatzgate-Struktur 97 ausgebildet. Die Gatedielektrikumsschicht 94 wird konform in den Aussparungen, wie z.B. auf den oberen Flächen und den Seitenwänden der Finnen 64 und auf Seitenwänden der Gatespacer 87, und auf einer oberen Fläche des ersten ILD 90 (nicht dargestellt), abgeschieden. Gemäß einigen Ausführungsformen weist die Gatedielektrikumsschicht 94 Siliziumoxid, Siliziumnitrid oder Mehrfachschichten davon auf. In anderen Ausführungsformen weist die Gatedielektrikumsschicht 94 ein High-k-Dielektrikumsmaterial auf und in diesen Ausführungsformen können die Gatedielektrikumsschichten 94 einen k-Wert (z.B. Dielektrizitätskonstante) aufweisen, der größer als ungefähr 7,0 ist, und können ein Metalloxid oder ein Silikat von Hf, Al, Zr, La, Mg, Ba, Ti, Pb, und Kombinationen davon aufweisen. Die Verfahren zum Ausbilden einer Gatedielektrikumsschicht 94 können eine Molekularstrahlabscheidung (MBD), eine Atomlagenabscheidung (ALD), eine PECVD und dergleichen umfassen.

[0038] Als Nächstes wird die Barrierschicht 96 über der Gatedielektrikumsschicht 94 konform ausgebildet. Die Barrierschicht 96 kann ein elektrisch leitfähiges Material, wie z.B. Titanitrid, aufweisen, obwohl andere Materialien, wie z.B. Tantalnitrid, Titan, Tantal oder dergleichen alternativ verwendet werden können. Die Barrierschicht 96 kann unter Verwendung eines CVD-Prozesses, wie z.B. einer PECVD, ausgebildet werden. Jedoch können andere alternative Prozesse, wie z.B. Sputtern, eine metallorganische chemische Gasphasenabscheidung (MOCVD) oder eine ALD alternativ verwendet werden.

[0039] Als Nächstes kann in einigen Ausführungsformen die Austrittsarbeitsschicht 98, wie z.B. eine p-Austrittsarbeitsschicht oder eine n-Austrittsarbeitsschicht, in den Aussparungen über den Barrierschichten 96 und vor dem Ausbilden der Gateelektrode 86 ausgebildet werden. Zu Beispielen für p-Austrittsarbeitmetalle, die in den Gatestrukturen für p-Vorrichtungen aufgenommen werden können, gehören TiN, TaN, Ru, Mo, Al, WN, ZrSi₂, MoSi₂, TaSi₂, NiSi₂, WN, andere geeignete p-Austrittsarbeitmaterialien oder Kombinationen davon. Zu Beispielen für n-Typ-Austrittsarbeitmetalle, die in den Gatestrukturen für n-Vorrichtungen aufgenommen werden können, gehören Ti, Ag, TaAl, TaAlC, TiAlN, TaC, TaCN, TaSiN, Mn, Zr, andere geeignete n-Austrittsarbeitmaterialien oder Kombinationen davon. Ein Austrittsarbeitwert ist mit der Materialzusammensetzung der Austrittsarbeitsschicht assoziiert, und daher wird das Material der Austrittsarbeitsschicht gewählt, um ihren Austrittsarbeitwert anzupassen, so dass eine Sollschwellsenpannung V_t in

der Vorrichtung, die ausgebildet werden soll, erzielt wird. Die Austrittsarbeitsschicht(en) kann (können) mithilfe einer CVD, einer physikalischen Gasphasenabscheidung (PVD) und/oder eines anderen geeigneten Prozesses abgeschieden werden.

[0040] Als Nächstes wird eine Keimschicht (nicht dargestellt) über der Austrittsarbeitsschicht 98 konform ausgebildet. Die Keimschicht kann Kupfer, Titan, Tantal, Titannitrid, Tantalnitrid, dergleichen oder eine Kombination davon aufweisen, und kann mithilfe einer ALD, eines Sputterns, einer PVD oder dergleichen abgeschieden werden. In einigen Ausführungsformen ist die Keimschicht eine Metallschicht, die eine einfache Schicht oder eine Verbundschicht, die mehrere, aus verschiedenen Materialien ausgebildete Teilschichten aufweist, sein kann. Zum Beispiel weist die Keimschicht eine Titanschicht und eine Kupferschicht über der Titanschicht auf.

[0041] Als Nächstes wird die Gateelektrode 86 über der Keimschicht abgeschieden und füllt die verbleibenden Abschnitte der Aussparungen. Die Gateelektrode 86 kann aus einem metallhaltigen Material, wie z.B. Cu, Al, W, dergleichen, Kombinationen davon oder Mehrschichten davon hergestellt werden und kann z.B. mithilfe eines Elektroplattierens, eines stromlosen Plattierens oder eines anderen geeigneten Verfahrens ausgebildet werden. Nach dem Ausbilden der Gateelektrode 86 kann ein Planarisierungsprozess, wie z.B. ein CMP, durchgeführt werden, um die überschüssigen Abschnitte der Gatedielektrikumsschicht 94, der Barrierschicht 96, der Austrittsarbeitsschicht 98, der Keimschicht und der Gateelektrode 86 zu entfernen, wobei sich die überschüssigen Abschnitte über der oberen Fläche des ersten ILD 90 befinden. Die resultierenden verbleibenden Abschnitte der Gatedielektrikumsschicht 94, der Barrierschicht 96, der Austrittsarbeitsschicht 98, der Keimschicht und der Gateelektrode 86 bilden daher die Ersatzgatestruktur 97 (die auch als die Metallgatestruktur bezeichnet wird) der resultierenden FinFET-Vorrichtung 100. Aufgrund des Planarisierungsprozesses, weisen, wie in **Fig. 9** dargestellt, die Metallgatestruktur 97, die Gatespacer 87, die CESL 89 und das erste ILD 90 eine komplexe obere Fläche auf.

[0042] Als Nächstes wird in **Fig. 10** ein Metallgate-Rückätzprozess durchgeführt, um obere Abschnitte der Metallgatestrukturen 97 zu entfernen, so dass die Metallgatestrukturen 97 unter die obere Fläche des ersten ILD 90 ausgespart werden. Aussparungen 88 werden zwischen den Gatespacern 87 nach dem Metallgate-Rückätzprozess ausgebildet. Ein geeigneter Ätzprozess, wie z.B. ein Trockenätzen, ein Nassätzen oder Kombinationen davon, kann als der Metallgate-Rückätzprozess durchgeführt werden. Ein Ätzmittel für den Ätzprozess kann zum Beispiel ein Halogenid (z.B. CCl_4), ein Oxidationsmittel

(z.B. O_2), eine Säure (z.B. HF), eine Base (z.B. NH_3), ein Inertgas (z.B. Ar), Kombinationen davon oder dergleichen sein.

[0043] Als Nächstes werden in **Fig. 11** die Gatespacer 87 unter die obere Fläche des ersten ILD 90 ausgespart. In einigen Ausführungsformen wird ein anisotroper Ätzprozess, wie z.B. ein Trockenätzprozess, durchgeführt, um obere Abschnitte des Gatespacers 87 zu entfernen. In einigen Ausführungsformen wird der anisotrope Ätzprozess unter Verwendung eines Ätzmittels durchgeführt, das gegenüber dem Material der Gatespacer 87 selektiv ist (z.B. eine höhere Ätzrate dafür aufweist), so dass die Gatespacer 87 ausgespart werden (z.B. obere Abschnitte entfernt werden), ohne dass das erste ILD 90, die CESL 89 und die Metallgatestrukturen 97 wesentlich angegriffen werden. Nachdem die oberen Abschnitte der Gatespacer 87 entfernt wurden, werden die Aussparungen 88 in **Fig. 10** verlängert, um Aussparungen 88' auszubilden, und obere Flächen 89S der CESL 89 werden freigelegt. Im Beispiel von **Fig. 11** befinden sich, nachdem die Gatespacer 87 ausgespart wurden, die oberen Flächen der Gatespacer 87 auf gleicher Höhe wie die oberen Flächen der Metallgatestrukturen 97, obwohl in anderen Ausführungsformen die oberen Flächen der Gatespacer 87 ein wenig höher oder ein wenig niedriger sein können als die oberen Flächen der Metallgatestrukturen 97.

[0044] Als Nächstes werden in **Fig. 12** die Metallgatestrukturen 97 zurückgeätzt, so dass die oberen Flächen der Metallgatestrukturen 97 unter die oberen Flächen der Gatespacer 87 ausgespart werden. Das Rückätzen der Metallgatestrukturen 97 in **Fig. 12** kann unter Verwendung desselben oder eines ähnlichen Metallgate-Rückätzprozesses durchgeführt werden, der vorstehend unter Bezugnahme auf **Fig. 10** beschrieben wurde, weswegen Einzelheiten nicht wiederholt werden.

[0045] Als Nächstes wird eine Abdeckschicht 91 auf der oberen Fläche der Metallgatestrukturen 97 ausgebildet, um die Metallgatestrukturen 97, z.B. vor Oxidation und/oder anschließenden Ätzprozessen, zu schützen. Die Abdeckschicht 91 wird aus einem leitfähigen Material (z.B. Metall) ausgebildet, und wird im dargestellten Beispiel selektiv auf der oberen Fläche der Metallgatestrukturen 97 ausgebildet. Die Abdeckschicht 91 kann z.B. aus Wolfram ausgebildet werden, obwohl ein anderes geeignetes leitfähiges Material ebenfalls verwendet werden kann. Ein geeignetes Ausbildenverfahren, wie z.B. eine CVD, eine PVD, eine ALD oder dergleichen, kann verwendet werden, um die Abdeckschicht 91 auszubilden. Es ist zu beachten, dass sich in der vorliegenden Diskussion, sofern nicht anders spezifiziert, ein leitfähiges Material auf ein elektrisch leitfähiges Material bezieht, und sich ein leitfähiges Merkmal

(z.B. eine leitfähige Leitung) auf ein elektrisch leitfähiges Merkmal bezieht. Im Beispiel von **Fig. 12** ist die obere Fläche der Abdeckschicht 91 niedriger (z.B. näher dem Substrat 50) als die obere Fläche der Gatespacer 87, und daher sind die Aussparungen 88' in **Fig. 11** verlängert und sind als Aussparungen 88" in **Fig. 12** gekennzeichnet.

[0046] Als Nächstes wird in **Fig. 13** ein erstes Material 93 in den Aussparungen 88" ausgebildet, um die Aussparungen 88" zu füllen, und ein Planarisierungsprozess, wie z.B. ein CMP, kann als Nächstes durchgeführt werden, um überschüssige Abschnitte des ersten Materials 93 von der oberen Fläche des ersten IDL 90 zu entfernen. In einer Ausführungsform ist das erste Material 93 Silizium (z.B. Si). In einer anderen Ausführungsform ist das erste Material 93 ein dielektrisches Material, wie z.B. Siliziumkarbid (z.B. SiC). Das erste Material 93 kann unter Verwendung eines beliebigen geeigneten Ausbildungsverfahrens, wie z.B. einer CVD, einer PECVD oder dergleichen, ausgebildet werden.

[0047] Als Nächstes wird in **Fig. 14** das erste Material 93 unter die obere Fläche des ersten IDL 90 ausgespart. Zum Beispiel kann ein Ätzprozess, wie z.B. ein Trockenätzen oder ein Nassätzen, das ein Ätzmittel verwendet, das gegenüber dem ersten Material 93 selektiv ist, durchgeführt werden, um obere Abschnitte des ersten Materials 93 zu entfernen, so dass die obere Fläche des ersten Materials 93 unter die obere Fläche des ersten IDL 90 ausgespart ist. Nach dem Aussparen des ersten Materials 93 sind obere Seitenwände der CESL 89 freigelegt, und Aussparungen 95 werden zwischen jeweiligen gegenüberliegenden Seitenwänden der CESL 89 ausgebildet.

[0048] Als Nächstes wird in **Fig. 15** die CESL 89 unter die obere Fläche des ersten IDL 90 ausgespart. Zum Beispiel kann ein Ätzprozess, wie z.B. ein Trockenätzen oder ein Nassätzen, das ein Ätzmittel verwendet, das gegenüber der CESL 89 selektiv ist, durchgeführt werden, um obere Abschnitte der CESL 89 zu entfernen, so dass die obere Fläche der CESL 89 unter die obere Fläche des ersten IDL 90 ausgespart ist. Im Beispiel von **Fig. 15** befindet sich nach dem Aussparen der CESL 89 die obere Fläche der CESL 89 auf gleicher Höhe mit der oberen Fläche des ersten Materials 93. In einigen Ausführungsformen ist die obere Fläche der CESL 89 ein wenig höher oder niedriger als die obere Fläche des ersten Materials 93.

[0049] Als Nächstes wird ein zweites Material 99 auf der oberen Fläche des ersten Materials 93 und auf der oberen Fläche der CESL 89 derart ausgebildet, dass es die Aussparungen 95 füllt, und ein Planarisierungsprozess, wie z.B. ein CMP, kann als Nächstes durchgeführt werden, um überschüssige

Abschnitte des zweiten Materials 99 von der oberen Fläche des ersten IDL 90 zu entfernen. In einigen Ausführungsformen ist das zweite Material 99 vom ersten Material 93 verschieden, um eine Ätzselektivität bereitzustellen. Das erste Material 93 und das zweite Material 99, die über jeder Metallgatestruktur 97 angeordnet sind, werden gemeinsam als ein zweilagiger Helm 92 bezeichnet, der die darunterliegenden Strukturen, wie z.B. die Metallgatestruktur 97, die Gatespacer 87, und Abschnitte der CESL 89 unter dem zweilagigen Helm 92 vor anschließenden Ätzprozessen schützt. Einzelheiten werden nachstehend besprochen.

[0050] In einigen Ausführungsformen ist die Ätzrate des zweiten Materials 99 für einen anschließenden Ätzprozess (siehe **Fig. 17A**) kleiner als die Ätzrate des ersten Materials 93 für den anschließenden Ätzprozess, so dass der zweilagige Helm 92 besser dem anschließenden Ätzprozess widersteht (z.B. beständiger ist). Mit anderen Worten kann das zweite Material 99 derart gewählt werden, dass es gegenüber dem anschließenden Ätzprozess (siehe **Fig. 17A**) beständiger ist als das erste Material 93. In einigen Ausführungsformen ist das zweite Material 99 ein dielektrisches Material, wie z.B. ein Metalloxid (z.B. ZrO_2 , Al_2O_3 oder dergleichen) oder ein Metallnitrid (z.B. AlN). Das zweite Material 99 kann unter Verwendung eines beliebigen geeigneten Ausbildungsverfahrens, wie z.B. einer CVD, einer PECVD oder dergleichen, ausgebildet werden.

[0051] Als Nächstes wird in **Fig. 16** eine dielektrische Schicht 101 über dem ersten IDL 90 ausgebildet, und eine strukturierte Maskenschicht 103, wie z.B. ein strukturierter Fotolack, wird über der dielektrischen Schicht 101 ausgebildet. Die dielektrische Schicht 101 kann ein gleiches oder ähnliches Material wie das erste IDL 90 aufweisen und kann mithilfe eines gleichen oder ähnlichen Ausbildungsverfahrens wie das erste IDL 90 ausgebildet werden, weswegen Einzelheiten nicht wiederholt werden. Im Beispiel von **Fig. 16** befindet sich eine Öffnung 102 in der strukturierten Maskenschicht 103 über (z.B. direkt über) einigen der Source-/Draingebiete 80 und (zumindest Abschnitten von) einigen der zweilagigen Helme 92, so dass in einer anschließenden Verarbeitung Öffnungen 104 (siehe **Fig. 17A**) im ersten IDL 90 ausgebildet werden, und selbstjustierende Source-/Drainkontakte 109 (siehe **Fig. 21A**) in den Öffnungen 104 über den Source-/Draingebieten 80 ausgebildet werden. Die Anzahl und die Positionen der Öffnungen 102 in **Fig. 16** sind lediglich nicht beschränkende Beispiel, ein Fachmann wird leicht erkennen, dass beliebige Anzahlen der Öffnungen 102 ausgebildet werden können, und die Positionen der Öffnungen 102 an beliebigen geeigneten Positionen liegen können.

[0052] Als Nächstes wird in **Fig. 17A** ein Ätzprozess durchgeführt, um Abschnitte des ersten ILD 90 und Abschnitte der dielektrischen Schicht 101, die unter der Öffnung 102 der strukturierten Maskenschicht 103 liegen, zu entfernen. Der Ätzprozess kann ein anisotroper Ätzprozess sein, wie z.B. ein reaktives Ionenätzen, ein Atomlagenätzen (ALE) oder dergleichen. Der Ätzprozess kann ein Ätzmittel verwenden, das gegenüber dem Material(ien) des ersten ILD 90 und der dielektrischen Schicht 102 selektiv ist (z.B. eine höhere Ätzrate für sie aufweist). In einem Ausführungsbeispiel werden das erste ILD 90 und die dielektrische Schicht 101 aus Siliziumoxid ausgebildet, die Gatespacer 87 und die CESL 89 werden aus Siliziumnitrid ausgebildet, das erste Material 93 wird aus Silizium ausgebildet, das zweite Material 99 wird aus Zirkoniumdioxid (z.B. ZrO_2) ausgebildet, und der Ätzprozess verwendet ein Ätzgas (das auch als ein Prozessgas bezeichnet werden kann), das Fluorkohlenstoff (z.B. C_xF_y , wobei x zwischen 2 und 5 beträgt, und y zwischen 5 und 8 beträgt, wie z.B. C_2F_6 oder C_4F_8) aufweist. Zum Beispiel kann das Ätzgas eine Mischung aus Fluorkohlenstoff (z.B. C_xF_y), Sauerstoff (z.B. O_2) und einem Trägergas sein. Als ein anderes Beispiel kann das Ätzgas eine Mischung aus Fluorkohlenstoff (z.B. C_xF_y), Kohlenmonoxid (z.B. CO) und einem Trägergas sein. Als noch ein anderes Beispiel kann das Ätzgas eine Mischung aus Fluorkohlenstoff (z.B. C_xF_y), Kohlendioxid (z.B. CO_2) und einem Trägergas sein. Das Trägergas kann He, Ne, Ar, Kr, X oder dergleichen sein. Es ist zu beachten, dass das Ätzgas, das Fluorkohlenstoff aufweist, neben den im vorstehenden Beispiel aufgelisteten Materialien für andere Wahlen der Materialien, z.B. für das erste Material 93 und das zweite Material 99, verwendet werden kann. Wie in **Fig. 17A** dargestellt, sind nach dem Ätzprozess Öffnungen 104 im ersten ILD 90 ausgebildet, wie z.B. zwischen gegenüberliegenden Seitenwänden der CESL 89 und über den Source-/Draingebieten 80.

[0053] **Fig. 17B** zeigt die FinFET-Vorrichtung 100 von **Fig. 17A**, aber entlang des Querschnitts C-C. Es ist zu beachten, dass die CESL 89 weiterhin auf den Source-/Draingebieten 80 verbleibt, nachdem die Öffnungen 104 in **Fig. 17A** und **17B** ausgebildet wurden. Außerdem können, wie in **Fig. 17A** dargestellt, einige Restabschnitte 90R des ersten ILD 90 an der Unterseite der Öffnungen 104, z.B. an den unteren Ecken der Öffnungen 104, vorhanden sein. Die Restabschnitte 90R des ersten ILD 90 können an den Unterseiten der Öffnungen 104 verbleiben, weil es für das Plasma des Ätzprozesses (z.B. RIE oder ALE) schwierig ist, an die Unterseite der Öffnungen 104 zu gelangen.

[0054] Mit der zunehmend kleiner werdenden Merkmalgröße in fortschrittlicher Halbleiterherstellung kann es vorteilhaft sein, selbstjustierende Kontakte (z.B. selbstjustierende Source-/Drainkontakte) aus-

zubilden. Dies liegt daran, dass ein kleines Durchkontaktierungsloch direkt über dem darunterliegenden leitfähigen Merkmal ausgebildet und dann mit einem leitfähigen Material gefüllt werden muss, um einen nicht selbstjustierenden Kontakt auszubilden. Jedoch kann während der Herstellung eine leichte Fehlanpassung zwischen der Fotomaske und dem darunterliegenden Wafer dazu führen, dass das kleine Durchkontaktierungsloch das darunterliegende leitfähige Merkmal verfehlt. Die selbstjustierenden Kontakte weisen größere Öffnungen (z.B. 104) auf, weswegen sie die strikten Anforderungen für Fotomaskenausrichtung lockern und das Prozessfenster verbessern. Die vorliegende Offenbarung stellt mit dem zweilagigen Helm 92 sicher, dass die Öffnungen 105 richtig, ohne das nachstehende besprochene „Schulterverlust“-Problem ausgebildet werden.

[0055] Um den Vorteil der vorliegenden Offenbarung zu erkennen, kann ein Referenzdesign erwogen werden, in dem der zweilagige Helm 92 durch einen einlagigen Helm ersetzt wird, der aus einer einzelnen Schicht z.B. aus Siliziumnitrid, ausgebildet wird. Im Ätzprozess zum Ausbilden der Öffnungen 104 können Materialien (z.B. SiN) in den Eckgebieten 117 von **Fig. 17A** in der Nähe der Schultern (z.B. oberer Ecken) der Metallgatestrukturen 97 weggeätzt werden, wenn der einlagige Helm verwendet wird. Dies wird als das „Schulterverlust“-Problem bezeichnet. Obwohl das Material des einlagigen Helms (z.B. Siliziumnitrid) vom Material (z.B. Siliziumoxid) des ersten ILD 90 verschieden ist, wodurch eine gewisse Ätzselektivität bereitgestellt wird, wurde während der Herstellung beobachtet, dass die Ätzselektivität zwischen Materialien in den Eckgebieten 117 mit Abnahme der kritischen Abmessung (CD) des Halbleiterprozesses tendenziell abnimmt, und die Materialien in den Eckgebieten 117 tendenziell schneller weggeätzt werden als Materialien in flachen gebieten (z.B. Gebieten zwischen den Eckgebieten), wodurch das „Schulterverlust“-Problem verursacht wird. Wenn ein „Schulterverlust“ auftritt, kann beim Füllen der Öffnungen 104 mit einem leitfähigen Material zum Ausbilden selbstjustierender Source-/Drainkontakte das leitfähige Material die Eckgebiete 117 füllen, wodurch ein elektrischer Kurzschluss zwischen den Source-/Draingebieten 80 und den Metallgatestrukturen 97 verursacht wird.

[0056] Der zweilagige Helm 92 stellt eine wesentlich verbesserte Ätzselektivität bereit, um dem Ätzprozess zum Ausbilden der Öffnungen 104 zu widerstehen, wodurch das Auftreten des „Schulterverlust“-Problems vermieden oder reduziert wird. Um die verbesserte Ätzselektivität zu veranschaulichen, kann das vorstehende Beispiel erwogen werden, in dem das erste ILD 90 und die dielektrische Schicht 101 aus Siliziumoxid ausgebildet werden, die Gatespacer 87 und die CESL 89 aus Siliziumnitrid ausgebildet

werden, das erste Material 93 aus Silizium ausgebildet wird, das zweite Material 99 aus Zirkoniumdioxid (z.B. ZrO_2) ausgebildet wird, und der Ätzprozess ein Prozessgas verwendet, das Fluorkohlenstoff aufweist. Die Ätzselektivität (z.B. das Verhältnis der Ätzraten) zwischen dem Material des ersten ILD 90 (z.B. Siliziumoxid) und dem Material (z.B. Siliziumnitrid) der Gatespacer 97/der CESL 89 beträgt zwischen ungefähr 3 und 6. Die Ätzselektivität zwischen dem Material des ersten ILD 90 (z.B. Siliziumoxid) und dem ersten Material 93 (z.B. Si) liegt zwischen ungefähr 6 und 9. Die Ätzselektivität zwischen dem Material des ersten ILD 90 (z.B. Siliziumoxid) und dem zweiten Material 99 (z.B. ZrO_2) beträgt zwischen ungefähr 9 und 15. Der zweilagige Helm 92 mit einer höheren Ätzselektivität und der zweilagigen Struktur ist neben anderen Merkmalen in der Lage, dem Ätzprozess zu widerstehen und stellt einen Schutz für die darunterliegenden Merkmale bereit, wodurch das Auftreten des „Schulterverlust“-Problems reduziert oder vermieden wird.

[0057] Als Nächstes wird, wie in **Fig. 18A** und **18B** dargestellt, ein Ätzprozess durchgeführt, um die Restabschnitte 90R des ersten ILD 90 zu entfernen. Der Ätzprozess kann ein isotroper Ätzprozess sein und kann ein Ätzmittel verwenden, das dem Material des ersten ILD 90 gegenüber selektiv ist. In einigen Ausführungsformen wird ein isotroper Trockenätzprozess zum Entfernen der Restabschnitte 90R durchgeführt, der ein Ätzgas verwendet, das HF, NF_3 , Kombinationen davon oder dergleichen aufweist. Ein Trägergas, wie z.B. Ar, N_2 , Kombinationen davon oder dergleichen, kann verwendet werden, um das Ätzgas in die Prozesskammer des Ätzprozesses zu tragen. Ein Druck des Trockenätzprozesses kann zwischen ungefähr einigen mTorr und einigen Torr, wie z.B. zwischen 0,27 Pa und 666,61 Pa, liegen. Der Trockenätzprozess kann einige Ätzzyklen umfassen. Nachdem der Trockenätzprozess abgeschlossen wurde, kann eine Wärmeverarbeitung durchgeführt werden, um Nebenprodukt(e) des Trockenätzprozesses zu entfernen. Der Ätzprozess zum Entfernen des Restabschnittes 90R des ersten ILD 90 kann auch als ein De-Footing-Prozess bezeichnet werden. Durch Entfernen der Restabschnitte 90R erhöht der De-Footing-Prozess das Volumen der Öffnungen 104, was wiederum das Volumen des selbstjustierenden Source-/Drainkontakts, der in den Öffnungen 104 ausgebildet wird, erhöht, und daher vorteilhafterweise den elektrischen Widerstand des selbstjustierenden Source-/Drainkontakts reduziert.

[0058] In einigen Ausführungsformen wird nach dem De-Footing-Prozess ein Nassreinigungsprozess durchgeführt, um die Öffnungen 104 zu reinigen. Der Nassreinigungsprozess kann unter Verwendung einer Schwefelperoxidmischung (SPM) oder einer Mischung aus entionisiertem (DI) Wasser und O_3 durchgeführt werden. Als Nächstes wird ein Ätz-

prozess durchgeführt, der z.B. HCl, H_2O_2 , H_2O , Kombinationen davon oder dergleichen verwendet, um Nebenprodukt(e) des Nassreinigungsprozesses zu entfernen.

[0059] Als Nächstes wird in **Fig. 19A** und **19B** eine Barrierschicht 105 über der Struktur von **Fig. 18A** und **18B** konform ausgebildet. Die Barrierschicht 105 kann Titan, Titanitrid, Tantalnitrid oder dergleichen aufweisen und kann unter Verwendung eines geeigneten Ausbildungsverfahrens, wie z.B. einer ALD, einer CVD oder dergleichen, ausgebildet werden. Wie in **Fig. 19A** dargestellt, wird eine Barrierschicht 105 ausgebildet, um Seitenwände und Unterseiten der Öffnungen 104 auszukleiden. Als Nächstes wird ein anisotroper Ätzprozess durchgeführt, um horizontale Abschnitte der Barrierschicht 105, wie z.B. Abschnitte über der oberen Fläche des zweiten Materials 99 und Abschnitte über der oberen Fläche der strukturierten Maskenschicht 103, zu entfernen. In einigen Ausführungsformen entfernt der anisotrope Ätzprozess auch die CESL 89 auf dem Source-/Draingebiet 80. In anderen Ausführungsformen wird ein zusätzlicher Ätzprozess nach dem anisotropen Ätzprozess durchgeführt, um die CESL 89 zu entfernen, um die Source-/Draingebiete 80 freizulegen.

[0060] Als Nächstes werden in **Fig. 20A** und **20B** Silizidgebiete 108 über den Source-/Draingebieten 80 ausgebildet. Ein Vorreinigungsprozess kann durchgeführt werden, um die Öffnungen 104 zu reinigen, bevor die Silizidgebiete 108 ausgebildet werden. Die Silizidgebiete 108 können ausgebildet werden, indem zuerst eine Metallschicht 107, die in der Lage ist, mit Halbleitermaterialien (z.B. Silizium, Germanium) zu reagieren, um Silizid- oder Germanidgebiete zu bilden, wie z.B. Nickel, Kobalt, Titan, Tantal, Platin, Wolfram, andere Edelmetalle, andere Refraktärmetalle, Seltenerdmetalle oder ihre Legierungen, über den Source-Drain-Gebieten 80 abgeschieden wird, und anschließend ein thermischer Temperprozess durchgeführt wird, um die Silizidgebiete 108 zu bilden. In einigen Ausführungsformen werden die nicht umgesetzten Abschnitte der abgeschiedenen Metallschicht 107 entfernt (z.B. mithilfe eines Ätzprozesses nach dem thermischen Temperprozess) und daher ist die Metallschicht 107 in nachfolgenden Figuren nicht dargestellt. Obwohl die Gebiete 108 als Silizidgebiete bezeichnet werden, können die Gebiete 108 auch Germanidgebiete, oder Siliziumgermanidgebiete (z.B. Gebiete, die Silizid und Germanid aufweisen) sein.

[0061] Als Nächstes wird in **Fig. 21A** und **21B** ein leitfähiges Material, wie z.B. Wolfram, Kobalt, Kupfer oder dergleichen derart ausgebildet, dass es die Öffnungen 104 füllt. Als Nächstes wird ein Planarisierungsprozess, wie z.B. ein CMP, durchgeführt, um überschüssige Abschnitte des leitfähigen Materials

von oberhalb der oberen Fläche des ersten ILD 90 zu entfernen. Der Planarisierungsprozess entfernt auch in der dargestellten Ausführungsform die dielektrische Schicht 101 und die strukturierte Maskenschicht 103. Die verbleibenden Abschnitte des leitfähigen Materials in den Öffnungen 104 bilden selbstjustierende Source-/Drainkontakte 109. Der Einfachheit halber können die selbstjustierenden Source-/Drainkontakte 109 auch als Source-/Drainkontakte 109 bezeichnet werden.

[0062] Als Nächstes wird in **Fig. 22** ein Ätzprozess durchgeführt, um die Source-/Drainkontakte 109 und die Barrierschicht 105 unter die obere Fläche des ersten ILD 90 auszusparen. Als Nächstes wird eine dielektrische Schicht in den Aussparungen, die durch das Aussparen der Source-/Drainkontakte 109 und der Barrierschicht 105 ausgebildet werden, ausgebildet. Die dielektrische Schicht 111 kann z.B. Siliziumnitrid, Siliziumoxid oder Siliziumoxikarbonitrid (SiOCN) aufweisen, und kann mithilfe einer CVD, einer PVD, einer ALD oder dergleichen ausgebildet werden. Ein Planarisierungsprozess, wie z.B. ein CMP, kann durchgeführt werden, um überschüssige Abschnitte der dielektrischen Schicht 111 von der oberen Fläche des ersten ILD 90 zu entfernen.

[0063] Als Nächstes wird in **Fig. 23A** ein zweites ILD 113 über dem ersten ILD 90 ausgebildet. Das zweite ILD 113 kann aus einem gleichen oder ähnlichen Material wie das erste ILD 90 und mithilfe eines gleichen oder ähnlichen Ausbildungsverfahrens ausgebildet werden, weswegen Einzelheiten nicht wiederholt werden. Als Nächstes wird eine Öffnung 114 über der Metallgatestruktur 97 ausgebildet. Die Öffnung 114 erstreckt sich durch das zweite ILD 113, das zweite Material 99 und das erste Material 93, um die Abdeckschicht 91 freizulegen. Die Anzahlen der Öffnungen 114 und die Positionen der Öffnungen 114 in **Fig. 23A** und **23B** sind lediglich zu Veranschaulichungszwecken gedacht und sind nicht beschränkend.

[0064] In einigen Ausführungsformen werden, um die Öffnung 114 auszubilden, zwei Ätzprozesse (z.B. anisotrope Ätzprozesse, wie z.B. Plasmaätzprozesse) sequenziell durchgeführt. Zum Beispiel kann ein erster Ätzprozess unter Verwendung eines ersten Prozessgases durchgeführt werden, das gegenüber dem zweiten Material 99 selektiv ist (z.B. eine höhere Ätzrate dafür aufweist). Mit anderen Worten wird der erste Ätzprozess durchgeführt, um das zweite Material 99 zu entfernen. Nachdem der erste Ätzprozess abgeschlossen wurde, kann ein zweiter Ätzprozess unter Verwendung eines zweiten Prozessgases, das dem ersten Material 93 gegenüber selektiv ist, durchgeführt werden. Mit anderen Worten wird der zweite Ätzprozess durchgeführt, um das erste Material 93 zu entfernen. In einigen Ausführungsformen ist das erste Prozessgas

eine Mischung aus BCl_3 , Cl_2 , und einem Trägergas, wobei das Trägergas z.B. He, Ne, Ar, Kr, oder Xe sein kann. In einigen Ausführungsformen ist das zweite Prozessgas eine Mischung aus HBr , Cl_2 , und einem Trägergas, wobei das Trägergas z.B. He, Ne, Ar, Kr, oder Xe sein kann. Sowohl für den ersten Ätzprozess als auch den zweiten Ätzprozess wird eine Ätzselektivität zwischen den Materialien (z.B. ZrO_2 oder Si) des zweilagigen Helms 92 und dem umgebenden Material (z.B. SiN) in Eckgebieten in der Nähe der Schultern (z.B. oberen Ecken) der Metallgatestruktur 97 erzielt, die größer ist als 6.

[0065] **Fig. 23A** zeigt ein Beispiel, in dem die Öffnung 114 falsch auf die Metallgatestruktur 97 ausgerichtet ist (z.B. nicht in der Mitte), so dass die Öffnung 114 auch den darunterliegenden Gatespacer 87 und die CESL 89 freilegt. Im Beispiel von **Fig. 23A** ist aufgrund des Ätzprozesses zum Ausbilden der Öffnung 114 die obere Fläche 89UB der CESL 89 unter der Öffnung 114 derart gezeigt, dass sie niedriger (z.B. näher dem Substrat 50) ist als die obere Fläche 89UA, die durch das zweite Material 99 abgedeckt ist, und ein Abschnitt der dielektrischen Schicht 111 unter der Öffnung 114 ist als entfernt gezeigt, so dass die dielektrische Schicht 111 eine Stufenform an der oberen linken Ecke aufweist. Es versteht sich, dass der vertikale Versatz zwischen den oberen Flächen 89UA und 89UB sowie die Stufenform an der oberen linken Ecke der dielektrischen Schicht 111 in **Fig. 23A** übertrieben sind, da die durch den Ätzprozess erreichte ausgezeichnete Ätzselektivität lediglich einen sehr kleinen Teil der freigelegten CESL 89L und der freigelegten dielektrischen Schicht 111 entfernt. Mit anderen Worten entfernt aufgrund der erreichten ausgezeichneten Ätzselektivität der Ätzprozess Abschnitte des zweilagigen Helms 92, die unter der Öffnung 114 liegen, ohne die anderen freigelegten Strukturen wesentlich anzugreifen. Folglich wird ein ähnliches „Schulterverlust“-Problem, bei dem Abschnitte des Gatespacers 89, der CESL 89 und der Barrierschicht 105 in der Nähe der oberen Ecke der Metallgatestruktur 97 durch den Ätzprozess weggeätzt werden, vermieden oder reduziert. Daher ermöglicht die durch den zweilagigen Helm 92 erreichte ausgezeichnete Ätzselektivität es, dass die Öffnungen 114 auf eine selbstjustierende Weise ausgebildet werden, was erlaubt, dass die Breite X der Öffnung 114 (z.B. entlang der Längsachse der Finne 64 gemessen) größer ist als die Breite Y der Öffnung 114 (siehe **Fig. 23**, z.B. entlang einer Richtung gemessen, die zur Längsachse der Finne 64 senkrecht und zur oberen Hauptfläche des Substrats 50 parallel ist). Mehr Einzelheiten werden nachstehend unter Bezugnahme auf **Fig. 23B** besprochen.

[0066] **Fig. 23B** zeigt die Draufsicht auf einen Abschnitt der FinFET-Vorrichtung 100. Der Einfachheit halber werden nicht alle Merkmale der FinFET-Vorrichtung 100 in **Fig. 23B** dargestellt. Außerdem

zeigt **Fig. 23B** zusätzliche Öffnungen 114, die in **Fig. 23A** nicht dargestellt sind. Wie in **Fig. 23B** dargestellt, ist die Breite X der Öffnung 114 größer als die Breite Y der Öffnung 114. Die erhöhte Abmessung für die Breite X ermöglicht ein größeres Volumen der Öffnung 114, das wiederum ein größeres Volumen für die anschließend ausgebildete Durchkontaktierung 115 (siehe **Fig. 25**) erlaubt.

[0067] Als Nächstes wird in **Fig. 24** eine Öffnung 116 ausgebildet, um den Source-/Drainkontakt 109 freizulegen. Die Öffnung 116 erstreckt sich durch das zweite ILD 113, und die dielektrische Schicht 111 unter dem zweiten ILD 113. Im Beispiel von **Fig. 24** ist die dielektrische Schicht 111 unter der Öffnung 116 vollständig entfernt. Die Anzahlen der Öffnungen 116 und die Positionen der Öffnungen 116 in **Fig. 24** sind lediglich zu Veranschaulichungszwecken gedacht und sind nicht beschränkend.

[0068] In einigen Ausführungsformen wird zum Ausbilden der Öffnung 116 ein Ätzprozess (z.B. ein anisotroper Ätzprozess, wie z.B. ein Plasmaätzprozess) durchgeführt, der ein Prozessgas verwendet, das Fluorkohlenwasserstoff (z.B. $C_xH_yF_z$, wie z.B. CH_2F_2 oder CH_3F) und Wasserstoff (z.B. H_2) aufweist. In einigen Ausführungsformen wird zum Ausbilden der Öffnung 116 ein Ätzprozess durchgeführt, der mehrere Ätzzyklen umfasst, wobei in jedem der Ätzzyklen ein erster Plasmaprozess (z.B. ein Ätzprozess) unter Verwendung des Prozessgases $C_xH_yF_z$ und H_2 bei pulsierenden Plasmabedingungen durchgeführt wird, dann ein zweiter Plasmaprozess (z.B. ein Nachbehandlungsprozess) unter Verwendung von H_2 -Plasma durchgeführt wird. Eine hohe Ätzselektivität von mehr als 6 wird zwischen dem Material (z.B. SiN) der dielektrischen Schicht 111 und den Materialien (z.B. ZrO_2 und Si) des zweilagigen Helms 92 an Eckgebieten in der Nähe der Schultern (z.B. obere Ecken) des Source-/Drainkontakts 109 erreicht. Die erzielte ausgezeichnete Ätzselektivität ermöglicht es, dass die Öffnung 116 auf eine selbstjustierende Weise ausgebildet wird.

[0069] Als Nächstes wird in **Fig. 25** ein leitfähiges Material 115 ausgebildet, um die Öffnungen 114 und 116 zu füllen. Das leitfähige Material 115 kann z.B. Ruthenium, Wolfram oder dergleichen sein und kann mithilfe einer PVD, einer CVD, einer ALD oder dergleichen ausgebildet werden. Nachdem das leitfähige Material 115 ausgebildet wurde, wird ein Planarisierungsprozess, wie z.B. ein CMP durchgeführt, um überschüssige Abschnitte des leitfähigen Materials 115 zu entfernen. Nach dem Planarisierungsprozess weisen das erste ILD 90, das zweite Material 99, die dielektrische Schicht 111 und das leitfähige Material 115 eine komplanare obere Fläche auf. Die verbleibenden Abschnitte des leitfähigen Materials in den Öffnungen 114 und 116 bilden Durchkontaktierungen 115. Im Beispiel von **Fig. 25** kontaktiert die

Durchkontaktierung 115 über der Metallgatestruktur 97 die Abdeckschicht 91 (z.B. physisch kontaktiert) und ist mit der Metallgatestruktur 97 durch die Abdeckschicht 91 elektrisch gekoppelt. Die Durchkontaktierung 115 über dem Source-/Drainkontakt 109 kontaktiert den Source-/Drainkontakt 109 (z.B. kontaktiert ihn physisch).

[0070] Als Nächstes werden in **Fig. 26** die zweilagigen Helme 92 entfernt, um Aussparungen 118 im ersten ILD 90 auszubilden. In einigen Ausführungsformen wird zum Entfernen der zweilagigen Helme 92 ein Ätzprozess durchgeführt, der ein Ätzgas verwendet, das den Materialien (z.B. ZrO_2 , Si) der zweilagigen Helme 92 gegenüber selektiv ist. Zum Beispiel wird eine Ätzselektivität erzielt, die größer ist als 10, indem ein Ätzgas verwendet wird, das HBr, Cl_2 , CH_4 , BCl_3 , Ar oder Kombinationen davon aufweist. Zum Beispiel kann das Ätzgas eine Mischung aus HBr, BCl_3 und Ar, eine Mischung aus HBr, Cl_2 , BCl_3 und Ar oder eine Mischung aus Cl_2 , BCl_3 , CH_4 und Ar sein. Die Ätzprozessselektivität entfernt die zweilagigen Helme 92 selektiv, ohne dass die Materialien (z.B. Ru, W, SiN oder SiO) der umgebenden Strukturen wesentlich angegriffen werden.

[0071] Als Nächstes wird in **Fig. 27** ein Low-k-Dielektrikumsmaterial 119 (das z.B. eine Dielektrizitätskonstante aufweist, die kleiner ist als ungefähr 3,9 oder kleiner) ausgebildet, um die Aussparungen 118 in **Fig. 26** zu füllen. Ein Planarisierungsprozess, wie z.B. ein CMP, kann durchgeführt werden, um überschüssige Abschnitte des Low-k-Dielektrikumsmaterials 119, die sich außerhalb der Aussparungen 118 befinden, zu entfernen. Mit anderen Worten werden die zweilagigen Helme 92 durch das Low-k-Dielektrikumsmaterial 119 ersetzt, das einen k-Wert aufweist, der kleiner als die k-Werte von Materialien der zweilagigen Helme 92 oder kleiner als der durchschnittliche k-Wert der Materialien der zweilagigen Helme 92 ist. Das Low-k-Dielektrikumsmaterial 119 kann z.B. mit Kohlenstoff dotierte Oxide, mit porösem Kohlenstoff dotiertes Siliziumdioxid oder dergleichen sein und kann mithilfe einer CVD, einer ALD oder dergleichen ausgebildet werden. Das Low-k-Dielektrikumsmaterial 119 kann die RC-Verzögerung der ausgebildeten Vorrichtung vorteilhafterweise reduzieren.

[0072] Auf die Verarbeitung von **Fig. 27** kann zusätzliche Verarbeitung folgen, um die Herstellung der FinFET-Vorrichtung 100 abzuschließen. Zum Beispiel wird eine Interconnect-Struktur, die mehrere dielektrische Schichten und leitfähige Merkmale (z.B. Durchkontaktierungen, leitfähige Leitungen) in den dielektrischen Schichten aufweist, über der Struktur von **Fig. 27** ausgebildet, um die elektrischen Komponenten miteinander zu verbinden, um Funktionsschaltungen auszubilden. Einzelheiten werden hier nicht besprochen.

[0073] Ausführungsformen können Vorteile erzielen. Zum Beispiel verwendet die vorliegende Offenbarung einen zweilagigen Helm über der Gatestruktur, um das „Schulterverlust“-Problem beim Ausbilden selbstjustierender Source-/Drainkontakte zu reduzieren oder zu vermeiden, wodurch elektrischer Kurzschluss zwischen den Gatestrukturen und den Source-/Draingebieten vermieden wird. Aufgrund der ausgezeichneten Ätzselektivität, die durch den zweilagigen Helm bereitgestellt wird, können Durchkontaktierungen über der Gatestruktur und über dem selbstjustierenden Source-/Drainkontakt auch auf eine selbstjustierende Weise ausgebildet werden. Durch Ersetzen des zweilagigen Helms durch ein Low-k-Dielektrikumsmaterial wird die RC-Verzögerung der ausgebildeten Vorrichtung reduziert.

[0074] Fig. 28 zeigt ein Ablaufdiagramm eines Verfahrens zum Herstellen einer Halbleitervorrichtung gemäß einigen Ausführungsformen. Es versteht sich, dass das in Fig. 28 dargestellte Ausführungsformverfahren lediglich ein Beispiel von vielen möglichen Ausführungsformverfahren ist. Ein Durchschnittsfachmann würde viele Abwandlungen, Alternativen und Modifikation erkennen. Zum Beispiel können verschiedene Schritte, wie in Fig. 28 dargestellt, hinzugefügt, ausgelassen, ersetzt, umgeordnet und wiederholt werden.

[0075] Unter Bezugnahme auf Fig. 28 wird bei Block 1010 eine Metallgatestruktur über einer Finne, die über einem Substrat hervorsteht, ausgebildet, wobei die Metallgatestruktur durch eine dielektrische Zwischenschicht (ILD) umgeben ist, wobei sich Gatespacer entlang gegenüberliegender Seitenwände der Metallgatestruktur erstrecken. Bei Block 1020 werden die Metallgatestruktur und die Gatespacer unter eine obere Fläche der ILD-Schicht, die fern vom Substrat ist, ausgespart. Bei Block 1030 wird nach dem Aussparen ein erstes Material über der Metallgatestruktur und über den Gatespacern ausgebildet. Bei Block 1040 wird ein zweites Material über dem ersten Material ausgebildet, wobei sich eine obere Fläche des zweiten Materials auf gleicher Höhe mit der oberen Fläche der ILD-Schicht befindet. Bei Block 1050 wird ein erster Abschnitt der ILD-Schicht, der zur Metallgatestruktur benachbart ist, entfernt, um eine Öffnung auszubilden, die ein Source-/Draingebiet auf einer ersten Seite der Metallgatestruktur freilegt.

[0076] In einer Ausführungsform umfasst ein Verfahren zum Ausbilden einer Halbleitervorrichtung: Ausbilden einer Metallgatestruktur über einer Finne, die über einem Substrat hervorsteht, wobei die Metallgatestruktur durch eine dielektrische Zwischenschicht (ILD-Schicht) umgeben ist, wobei sich Gatespacer entlang gegenüberliegender Seitenwände der Metallgatestruktur erstrecken; Aussparen

der Metallgatestruktur und der Gatespacer unter eine obere Fläche der ILD-Schicht, die fern vom Substrat ist; nachdem Aussparen, Ausbilden eines ersten Materials über der Metallgatestruktur und über den Gatespacern; Ausbilden eines zweiten Materials über dem ersten Material, wobei eine obere Fläche des zweiten Materials auf gleicher Höhe liegt wie die obere Fläche der ILD-Schicht; und Entfernen eines ersten Abschnitts der ILD-Schicht, der zur Metallgatestruktur benachbart ist, um eine Öffnung auszubilden, die ein Source-/Draingebiet auf einer ersten Seite der Metallgatestruktur freilegt. In einer Ausführungsform umfasst das Entfernen des ersten Abschnitts der ILD-Schicht ein Durchführen eines Ätzprozesses, wobei das erste Material eine erste Ätzrate für den Ätzprozess aufweist, wobei das zweite Material eine zweite Ätzrate für den Ätzprozess aufweist, wobei die zweite Ätzrate kleiner ist als die erste Ätzrate. In einer Ausführungsform weist das erste Material Silizium auf, und das zweite Material weist ein Metalloxid auf. In einer Ausführungsform ist das erste Material Silizium oder Siliziumkarbid, und das zweite Material ist Zirkoniumoxid oder Aluminiumoxid. In einer Ausführungsform umfasst das Entfernen des ersten Abschnitts der ILD-Schicht ein Durchführen des Ätzprozesses unter Verwendung eines Ätzgases, das Fluorkohlenstoff aufweist. In einer Ausführungsform umfasst das Aussparen der Metallgatestruktur und der Gatespacer: Rückätzen der Metallgatestruktur unter Verwendung eines ersten Ätzprozesses; nach dem Rückätzen der Metallgatestruktur, Aussparen der Gatespacer unter Verwendung eines zweiten Ätzprozesses; und nach dem Aussparen der Gatespacer, erneutes Rückätzen der Metallgatestruktur unter Verwendung eines dritten Ätzprozesses, wobei sich nach dem dritten Ätzprozess eine obere Fläche der Metallgatestruktur, die fern vom Substrat ist, näher dem Substrat befindet als eine obere Fläche der Gatespacer, die fern vom Substrat liegt. In einer Ausführungsform umfasst das Verfahren ferner, nach dem dritten Ätzprozess und vor dem Ausbilden des ersten Materials, ein Ausbilden einer Abdeckschicht auf der oberen Fläche der Metallgatestruktur. In einer Ausführungsform bildet das Aussparen der Metallgatestruktur und der Gatespacer eine Aussparung in der ILD-Schicht, wobei die Aussparung eine Kontaktätzstoppschicht (CESL), die zwischen den Gatespacern und der ILD-Schicht angeordnet ist, freilegt, wobei das Ausbilden des ersten Materials umfasst: Füllen der Aussparung mit dem ersten Material; Durchführen eines Planarisierungsprozesses nach dem Füllen der Aussparung; und nach dem Planarisierungsprozess, Entfernen eines oberen Abschnitts des ersten Materials in der Aussparung, um die CESL freizulegen. In einer Ausführungsform umfasst das Ausbilden des zweiten Materials: nach dem Entfernen des oberen Abschnitts des ersten Materials, Aussparen einer oberen Fläche der CESL unter die obere Fläche der ILD-Schicht; und Ausbilden des

zweiten Materials über einer oberen Fläche des ersten Materials, über einer oberen Fläche der Gatespacer und über der oberen Fläche der CESL. In einer Ausführungsform umfasst das Verfahren, nach dem Entfernen des ersten Abschnitts der ILD-Schicht, ein Füllen der Öffnungen mit einem ersten leitfähigen Material, um einen Source-/Drainkontakt über dem Source-/Draingebiet und mit ihm elektrisch gekoppelt auszubilden. In einer Ausführungsform umfasst das Verfahren ferner, nach dem Füllen der Öffnung: Ersetzen eines oberen Abschnitts des Source-/Drainkontakts durch ein dielektrisches Material; Ausbilden einer ersten Öffnung über der Metallgatestruktur, wobei sich die erste Öffnung durch das erste Material und das zweite Material erstreckt; Ausbilden einer zweiten Öffnung über dem Source-/Drainkontakt durch Entfernen von zumindest Abschnitten des dielektrischen Materials, wobei die zweite Öffnung den Source-/Drainkontakt freilegt; und Füllen der ersten Öffnung und der zweiten Öffnung mit einem zweiten leitfähigen Material. In einer Ausführungsform umfasst das Verfahren ferner: nach dem Füllen der ersten Öffnung und der zweiten Öffnung, Ersetzen verbleibender Abschnitte des ersten Materials und des zweiten Material durch ein Low-k-Dielektrikumsmaterial.

[0077] In einer Ausführungsform umfasst ein Verfahren zum Ausbilden einer Halbleitervorrichtung: Aussparen einer Gatestruktur unter eine obere Fläche einer dielektrischen Schicht, die die Gatestruktur umgibt; nach dem Aussparen der Gatestruktur, Aussparen von Gatespacern auf Seitenwänden der Gatestruktur unter die obere Fläche der dielektrischen Schicht, wobei das Aussparen der Gatespacer Seitenwände einer Kontaktätzstoppschicht (CESL), die zwischen der dielektrischen Schicht und den Gatespacern angeordnet ist, freilegt; Ausbilden eines ersten Materials über der ausgesparten Gatestruktur, über den ausgesparten Gatespacern und zwischen den Seitenwänden der CESL, wobei eine obere Fläche des ersten Materials von der oberen Fläche der dielektrischen Schicht ausgespart wird; Ausbilden eines zweiten Materials, das vom ersten Material verschieden ist, über dem ersten Material, wobei sich eine obere Fläche des zweiten Materials auf gleicher Höhe mit der oberen Fläche der dielektrischen Schicht befindet; Ausbilden einer Öffnung in der dielektrischen Schicht benachbart zur Gatestruktur, indem ein Abschnitt der dielektrischen Schicht geätzt wird, wobei die Öffnung ein Source-/Draingebiet benachbart zur Gatestruktur freilegt; und Füllen der Öffnung mit einem ersten leitfähigen Material, um einen Source-/Drainkontakt auszubilden. In einer Ausführungsform umfasst das Verfahren ferner, nach dem Ausbilden des ersten Materials und vor dem Ausbilden des zweiten Materials: Aussparen der CESL unter die obere Fläche der dielektrischen Schicht, wobei das zweite Material über einer oberen Fläche der CESL und über der oberen Fläche des

ersten Materials ausgebildet wird. In einer Ausführungsform umfasst das Ausbilden der Öffnung: Ausbilden einer strukturierten Maskenschicht über dem zweiten Material und über der dielektrischen Schicht, wobei sich eine Öffnung der strukturierten Maskenschicht direkt über dem Source-/Draingebiet und zumindest einem Abschnitt des zweiten Materials befindet; und Durchführen eines Ätzprozesses unter Verwendung der strukturierten Maskenschicht als einer Ätzmaske, wobei der Ätzprozess ein Ätzmittel verwendet, das gegenüber der dielektrischen Schicht selektiv ist. In einer Ausführungsform umfasst das Verfahren ferner, nach dem Füllen der Öffnung: Ausbilden einer Aussparung in der dielektrischen Schicht über der ausgesparten Gatestruktur, wobei das Ausbilden der Aussparung umfasst: Durchführen eines ersten Ätzprozesses unter Verwendung eines ersten Ätzmittels, das gegenüber dem zweiten Material selektiv ist; und Durchführen eines zweiten Ätzprozesses unter Verwendung eines zweiten Ätzmittels, das gegenüber dem ersten Material selektiv ist; und Füllen der Aussparung mit einem zweiten leitfähigen Material, um eine Durchkontaktierung über der Gatestruktur und mit ihr elektrisch gekoppelt auszubilden. In einer Ausführungsform umfasst das Verfahren ferner: nach dem Füllen der Aussparung: Entfernen des ersten Materials und des zweiten Materials; und Füllen von Hohlräumen, die durch das entfernte erste Material und das entfernte zweite Material verblieben sind, unter Verwendung eines Low-k-Dielektrikumsmaterials.

[0078] In einer Ausführungsform umfasst ein Verfahren zum Ausbilden einer Halbleitervorrichtung: Ausbilden einer Gatestruktur über einer Finne, die über einem Substrat hervorsteht, wobei die Gatestruktur durch eine dielektrische Schicht umgeben ist; Aussparen der Gatestruktur und Gatespacer der Gatestruktur unter eine obere Fläche der dielektrischen Schicht, wobei nach dem Aussparen Seitenwände einer Kontaktätzstoppschicht (CESL), die zwischen der dielektrischen Schicht und den Gatespacern angeordnet ist, freigelegt sind; nach dem Aussparen, teilweises Füllen einer Aussparung zwischen den Seitenwänden der CESL, indem ein erstes Material auf der Gatestruktur und auf den Gatespacern ausgebildet wird; nach dem Ausbilden des ersten Materials, Aussparen der CESL unter die obere Fläche der dielektrischen Schicht; nach dem Aussparen der CESL, Füllen der Aussparung durch Ausbilden eines zweiten Materials, das vom ersten Material verschieden ist, auf dem ersten Material und auf der CESL; und nach dem Ausbilden des zweiten Materials, Ätzen der dielektrischen Schicht, um eine Öffnung in der dielektrischen Schicht benachbart zur Gatestruktur auszubilden, wobei die Öffnung ein Source-/Draingebiet benachbart zur Gatestruktur freilegt. In einer Ausführungsform umfasst das Verfahren ferner ein Füllen der Öffnung mit einem leitfähigen Material, um einen Source-

/Drainkontakt auszubilden. In einer Ausführungsform ist das erste Material Silizium und das zweite Material ist ein Oxid eines Metalls.

Patentansprüche

1. Verfahren zum Ausbilden einer Halbleitervorrichtung, wobei das Verfahren umfasst:
 Ausbilden einer Metallgatestruktur (97) über einer Finne (64), die über einem Substrat (50) hervorsticht, wobei die Metallgatestruktur (97) durch eine dielektrische Zwischenschicht, im Folgenden ILDSchicht (90) genannt, umgeben ist, wobei sich Gatespacer (87) entlang entgegengesetzter Seitenwände der Metallgatestruktur (97) erstrecken;
 Aussparen der Metallgatestruktur (97) und der Gatespacer (87) unter eine obere Fläche der ILDSchicht (90), die fern vom Substrat (50) ist;
 nach dem Aussparen, Ausbilden eines ersten Materials (93) über der Metallgatestruktur (97) und über den Gatespacern (87);
 Ausbilden eines zweiten Materials (99) über dem ersten Material (93), wobei eine obere Fläche des zweiten Materials (99) auf gleicher Höhe liegt wie die obere Fläche der ILDSchicht (90);
 Entfernen eines ersten Abschnitts der ILDSchicht (90), der zur Metallgatestruktur (97) benachbart ist, um eine Öffnung (104) auszubilden, die ein Source-/Draingebiet (80) auf einer ersten Seite der Metallgatestruktur (97) freilegt;
 nach dem Entfernen des ersten Abschnitts der ILDSchicht, Füllen der Öffnung (104) mit einem ersten leitfähigen Material, um einen Source-/Drainkontakt (109) über dem Source-/Draingebiet (80) und mit ihm elektrisch gekoppelt auszubilden;
 Ersetzen eines oberen Abschnitts des Source-/Drainkontakts (109) durch ein dielektrisches Material; und
 Ausbilden einer ersten Öffnung über der Metallgatestruktur (97), wobei sich die erste Öffnung durch das erste Material (93) und das zweite Material (99) erstreckt.

2. Verfahren nach Anspruch 1, wobei das Entfernen des ersten Abschnitts der ILDSchicht (90) ein Durchführen eines Ätzprozesses umfasst, wobei das erste Material (93) eine erste Ätzrate für den Ätzprozess aufweist und wobei das zweite Material (99) eine zweite Ätzrate für den Ätzprozess aufweist, wobei die zweite Ätzrate kleiner ist als die erste Ätzrate.

3. Verfahren nach Anspruch 1 oder 2, wobei das erste Material (93) Silizium aufweist, und das zweite Material (99) ein Metalloxid aufweist.

4. Verfahren nach Anspruch 3, wobei das erste Material (93) Silizium oder Siliziumkarbid ist, und das zweite Material Zirkoniumoxid oder Aluminiumoxid ist.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Entfernen des ersten Abschnitts der ILDSchicht (90) ein Durchführen des Ätzprozesses unter Verwendung eines Ätzgases, das Fluorkohlenstoff aufweist, umfasst.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Aussparen der Metallgatestruktur (97) und der Gatespacer (87) umfasst:
 Rückätzen der Metallgatestruktur (97) unter Verwendung eines ersten Ätzprozesses,
 nach dem Rückätzen der Metallgatestruktur (97), Aussparen der Gatespacer (87) unter Verwendung eines zweiten Ätzprozesses, und
 nach dem Aussparen der Gatespacer (87), erneutes Rückätzen der Metallgatestruktur (97) unter Verwendung eines dritten Ätzprozesses, wobei sich nach dem dritten Ätzprozess eine obere Fläche der Metallgatestruktur (97), die fern vom Substrat (50) ist, näher an dem Substrat (50) befindet als eine obere Fläche der Gatespacer (87), die fern vom Substrat (50) ist.

7. Verfahren nach Anspruch 6, das ferner, nach dem dritten Ätzprozess und vor dem Ausbilden des ersten Materials (93), ein Ausbilden einer Abdeckschicht (91) auf der oberen Fläche der Metallgatestruktur (97) umfasst.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Aussparen der Metallgatestruktur (97) und der Gatespacer (87) eine Aussparung (88, 88') in der ILDSchicht ausbildet, wobei die Aussparung (88, 88') eine Kontaktätzstoppschicht, im Folgenden CESL (89, 89L) genannt, die zwischen den Gatespacern (87) und der ILDSchicht (90) angeordnet ist, freilegt, wobei das Ausbilden des ersten Materials (93) umfasst:
 Füllen der Aussparung (88, 88', 95, 118) mit dem ersten Material (93),
 Durchführen eines Planarisierungsprozesses nach dem Füllen der Aussparung (88, 88', 95, 118), und
 nach dem Planarisierungsprozess, Entfernen eines oberen Abschnitts des ersten Materials (93) in der Aussparung (88, 88'), um die CESL (89, 89L) freizulegen.

9. Verfahren nach Anspruch 8, wobei das Ausbilden des zweiten Materials (99) umfasst:
 nach dem Entfernen des oberen Abschnitts des ersten Materials (93), Aussparen einer oberen Fläche der CESL (89, 89L) unter die obere Fläche der ILDSchicht, und
 Ausbilden des zweiten Materials (99) über einer oberen Fläche des ersten Materials (93), über einer oberen Fläche der Gatespacer (87) und über der oberen Fläche der CESL (89, 89L).

10. Verfahren nach einem der vorhergehenden Ansprüche wobei die erste Öffnung das dielektrische Material teilweise überdeckt..

11. Verfahren nach einem der vorhergehenden Ansprüche, das ferner, nach dem Füllen der Öffnung (102, 104, 105, 114, 116), umfasst:

Ausbilden einer zweiten Öffnung über dem Source-/Drainkontakt (109) durch Entfernen von zumindest Abschnitten des dielektrischen Materials, wobei die zweite Öffnung (102, 104, 105, 114, 116) den Source-/Drainkontakt (109) freilegt, und Füllen der ersten Öffnung und der zweiten Öffnung mit einem zweiten leitfähigen Material.

12. Verfahren nach Anspruch 11, ferner umfassend:

nach dem Füllen der ersten Öffnung und der zweiten Öffnung, Ersetzen verbleibender Abschnitte des ersten Materials (93) und des zweiten Materials (99) durch ein Low-k-Dielektrikumsmaterial (119).

13. Verfahren zum Ausbilden einer Halbleitervorrichtung, wobei das Verfahren umfasst:

Aussparen einer Gatestruktur (75) unter eine obere Fläche einer dielektrischen Schicht (90) die die Gatestruktur (75) umgibt,

nach dem Aussparen der Gatestruktur (75), Aussparen von Gatespacern (87) auf Seitenwänden der Gatestruktur (75) unter die obere Fläche der dielektrischen Schicht (90), wobei das Aussparen der Gatespacer (87) Seitenwände einer Kontaktätztoppschicht, im Folgenden CESL genannt, die zwischen der dielektrischen Schicht (90) und den Gatespacern (87) angeordnet ist, freilegt,

Ausbilden eines ersten Materials (93) über der ausgesparten Gatestruktur, über den ausgesparten Gatespacern und zwischen den Seitenwänden der CESL (89, 89L), wobei eine obere Fläche des ersten Materials (93) von der oberen Fläche der dielektrischen Schicht (90) ausgespart ist,

Ausbilden eines zweiten Materials (99), das vom ersten Material (93) verschieden ist, über dem ersten Material (93), wobei sich eine obere Fläche des zweiten Materials (99) auf gleicher Höhe mit der oberen Fläche der dielektrischen Schicht (90) befindet.

Ausbilden einer Öffnung (104) in der dielektrischen Schicht (90) benachbart zur Gatestruktur (75), indem ein Abschnitt der dielektrischen Schicht (90) geätzt wird, wobei die Öffnung (104) ein Source-/Draingebiet (80) benachbart zur Gatestruktur (75) freilegt, und

Füllen der Öffnung (104) mit einem ersten leitfähigen Material, um einen Source-/Drainkontakt (109) auszubilden,

Ersetzen eines oberen Abschnitts des Source-/Drainkontakts (109) durch ein dielektrisches Material,

Ausbilden einer ersten Öffnung über der Metallgate-

struktur (97), wobei sich die erste Öffnung durch das erste Material (93) und das zweite Material (99) erstreckt.

14. Verfahren nach Anspruch 13, das ferner, nach dem Ausbilden des ersten Materials (93) und vor dem Ausbilden des zweiten Materials (99), umfasst:

Aussparen der CESL (89, 89L) unter die obere Fläche der dielektrischen Schicht (90) wobei das zweite Material (99) über einer oberen Fläche der CESL (89, 89L) und über der oberen Fläche des ersten Materials (93) ausgebildet wird.

15. Verfahren nach Anspruch 13 oder 14, wobei das Ausbilden der Öffnung (102, 104, 105, 114, 116) umfasst:

Ausbilden einer strukturierten Maskenschicht (103) über dem zweiten Material (99) und über der dielektrischen Schicht (90) wobei sich eine Öffnung (102, 104, 105, 114, 116) der strukturierten Maskenschicht (103) direkt über dem Source-/Draingebiet (80) und zumindest einem Abschnitt des zweiten Materials (99) befindet, und

Durchführen eines Ätzprozesses unter Verwendung der strukturierten Maskenschicht (103) als einer Ätzmaske, wobei der Ätzprozess ein Ätzmittel verwendet, das gegenüber der dielektrischen Schicht (90) selektiv ist.

16. Verfahren nach einem der Ansprüche 13 bis 15, das ferner, nach dem Füllen der Öffnung (104), umfasst:

Ausbilden einer Aussparung (114) in einer weiteren dielektrischen Schicht (113) über der dielektrischen Schicht (90) über der ausgesparten Gatestruktur, wobei das Ausbilden der Aussparung (88, 88') umfasst:

Durchführen eines ersten Ätzprozesses unter Verwendung eines ersten Ätzmittels, das gegenüber dem zweiten Material (99) selektiv ist, und

Durchführen eines zweiten Ätzprozesses unter Verwendung eines zweiten Ätzmittels, das gegenüber dem ersten Material (93) selektiv ist, und

Füllen der Aussparung (88, 88') mit einem zweiten leitfähigen Material, um eine Durchkontaktierung (115) über der Gatestruktur (75) und mit ihr elektrisch gekoppelt auszubilden.

17. Verfahren nach Anspruch 16, das ferner, nach dem Füllen der Aussparung (88, 88', 95, 118), umfasst:

Entfernen des ersten Materials (93) und des zweiten Materials (99), und

Füllen von Hohlräumen, die durch das entfernte erste Material (93) und das entfernte zweite Material (99) verblieben sind, unter Verwendung eines Low-k-Dielektrikumsmaterials (119).

18. Verfahren zum Ausbilden einer Halbleitervorrichtung, wobei das Verfahren umfasst:

Ausbilden einer Gatestruktur (75) über einer Finne (64), die über einem Substrat (50) hervorsteht, wobei die Gatestruktur (75) durch eine dielektrische Schicht (90) umgeben ist,

Aussparen der Gatestruktur (75) und Gatespacer (87) der Gatestruktur (75) unter eine obere Fläche der dielektrischen Schicht (90) wobei nach dem Aussparen Seitenwände einer Kontaktätzstopp-schicht, im Folgenden CESL (89, 89L) genannt, die zwischen der dielektrischen Schicht (90) und den Gatespacern (87) angeordnet ist, freigelegt sind, nach dem Aussparen, teilweises Füllen einer Aussparung (88, 88') zwischen den Seitenwänden der CESL (89, 89L), indem ein erstes Material (93) auf der Gatestruktur (75) und auf den Gatespacern (87) ausgebildet wird,

nach dem Ausbilden des ersten Materials (93), Aussparen der CESL (89, 89L) unter die obere Fläche der dielektrischen Schicht (90)

nach dem Aussparen der CESL (89, 89L), Füllen der Aussparung (88, 88') durch Ausbilden eines zweiten Materials (99), das vom ersten Material (93) verschieden ist, auf dem ersten Material (93) und auf der CESL (89, 89L), und

nach dem Ausbilden des zweiten Materials (99), Ätzen der dielektrischen Schicht (90) um eine Öffnung (102, 104, 105, 114, 116) in der dielektrischen Schicht (90) benachbart zur Gatestruktur (75) auszubilden, wobei die Öffnung (104) ein Source-/Draingebiet (80) benachbart zur Gatestruktur (75) freilegt,

Füllen der Öffnung (104) mit einem leitfähigen Material, um einen Source-/Drainkontakt (109) auszubilden,

Ersetzen eines oberen Abschnitts des Source-/Drainkontakts (109) durch ein dielektrisches Material,

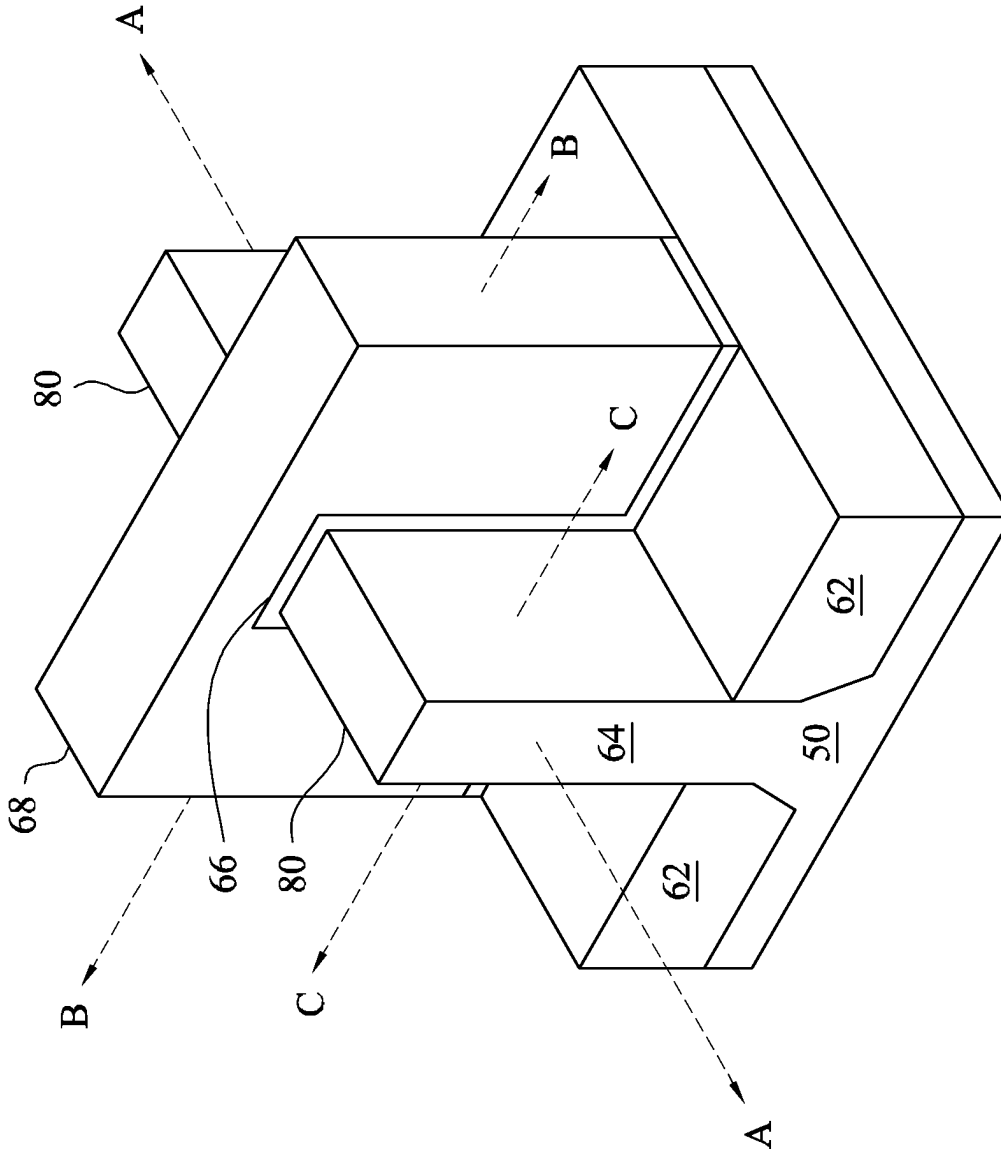
Ausbilden einer ersten Öffnung über der Metallgatestruktur (97), wobei sich die erste Öffnung durch das erste Material (93) und das zweite Material (99) erstreckt.

19. Verfahren nach Anspruch 18, wobei das dielektrische Material Siliziumnitrid, Siliziumoxid oder Siliziumcarbonnitrid umfasst.

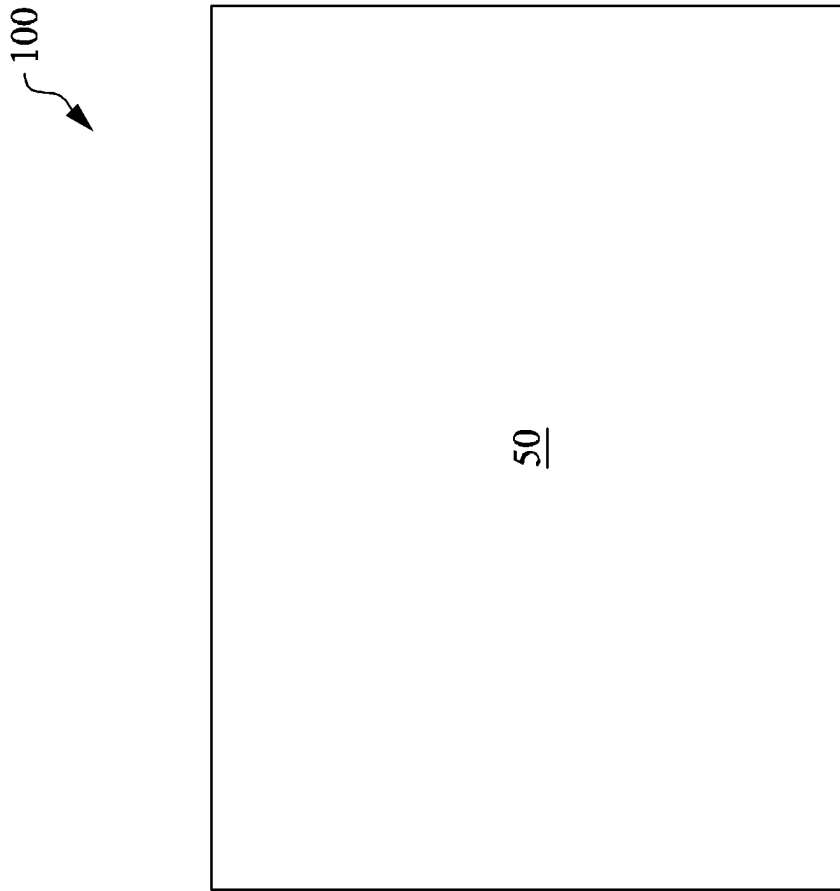
20. Verfahren nach Anspruch 18 oder 19, wobei das erste Material (93) Silizium ist, und das zweite Material (99) ein Metalloxid ist.

Es folgen 34 Seiten Zeichnungen

Anhängende Zeichnungen



Figur 1



Figur 2

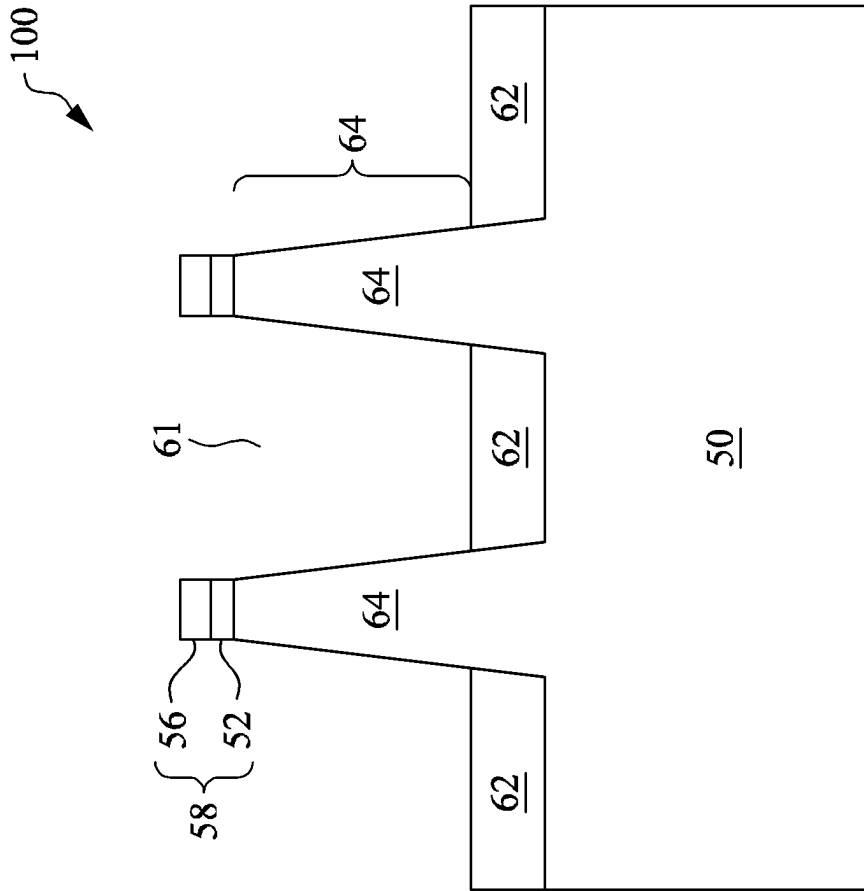
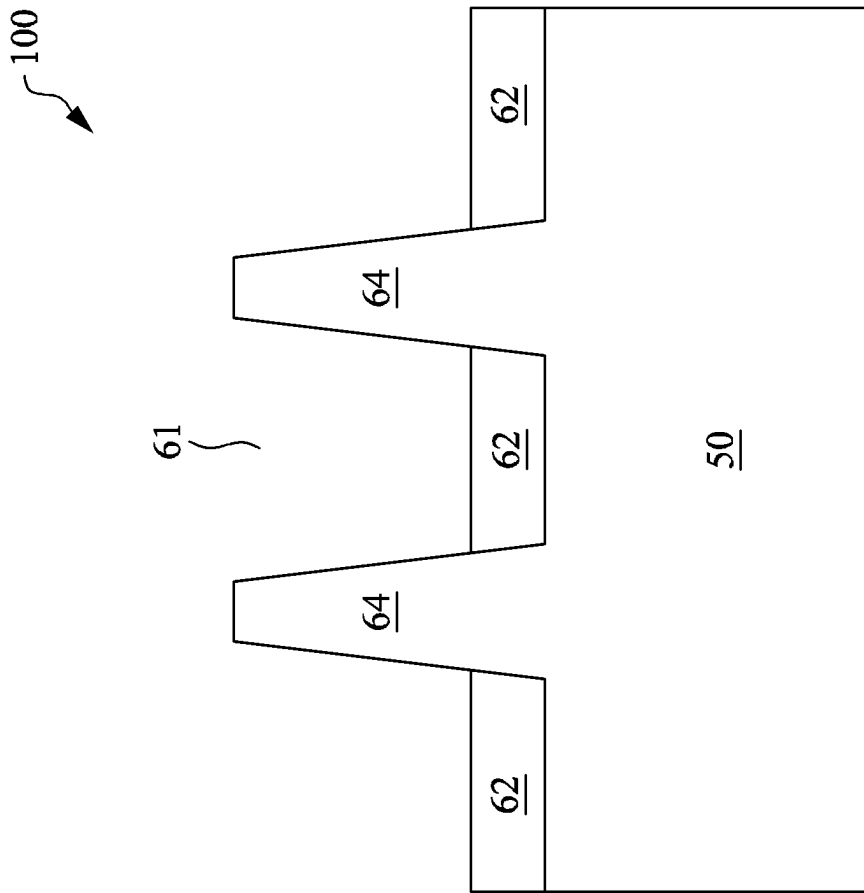
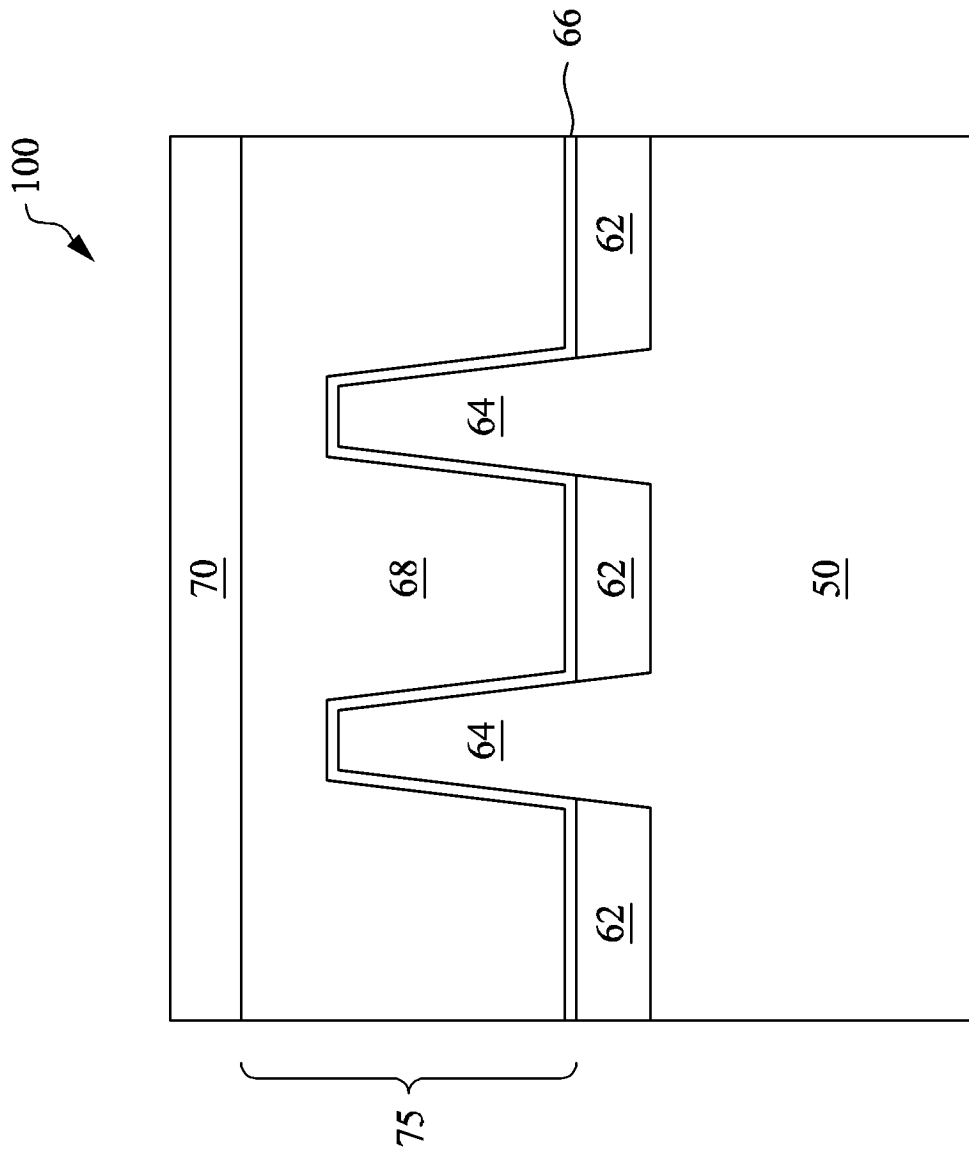


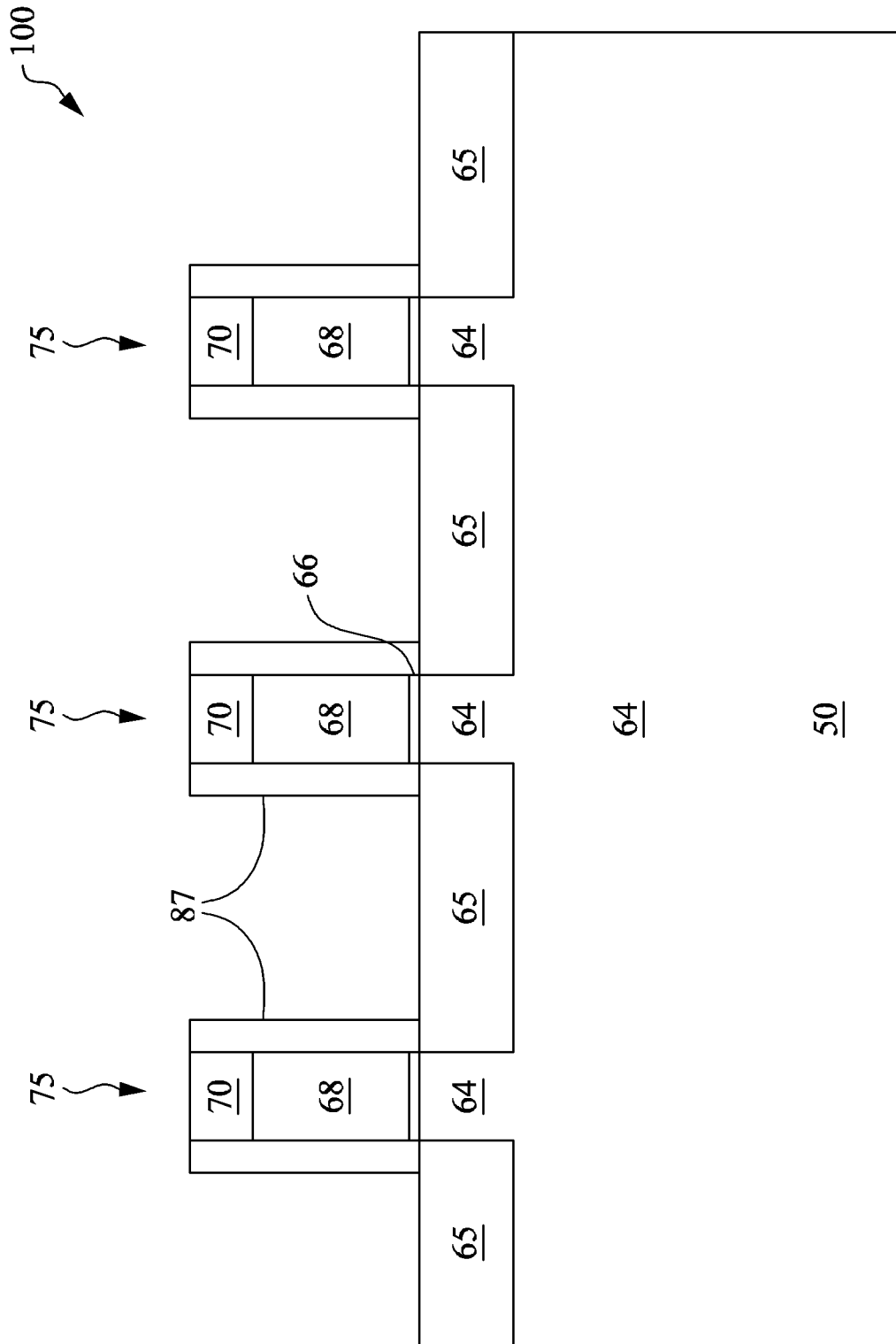
Figure 3



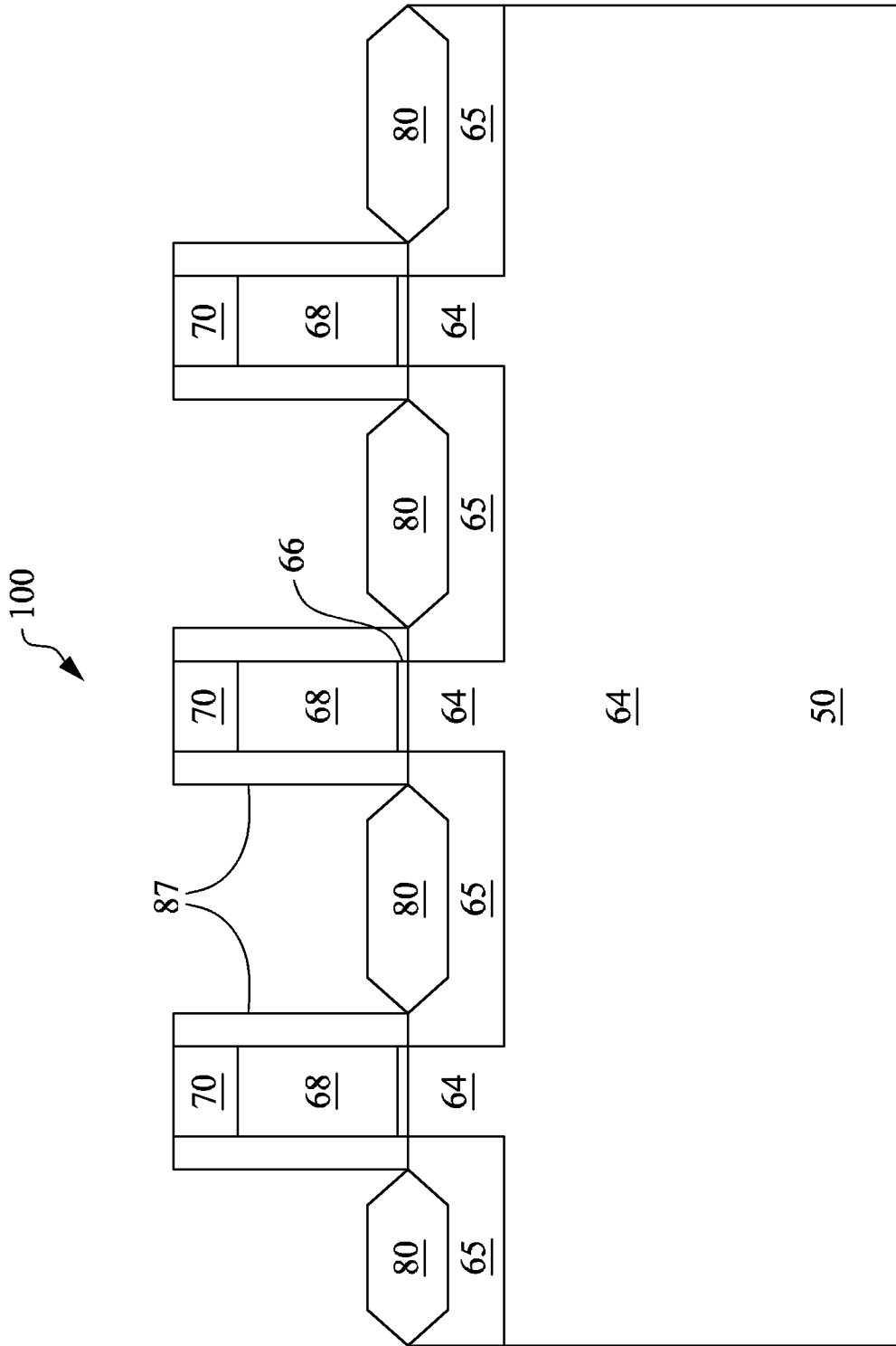
Figur 4



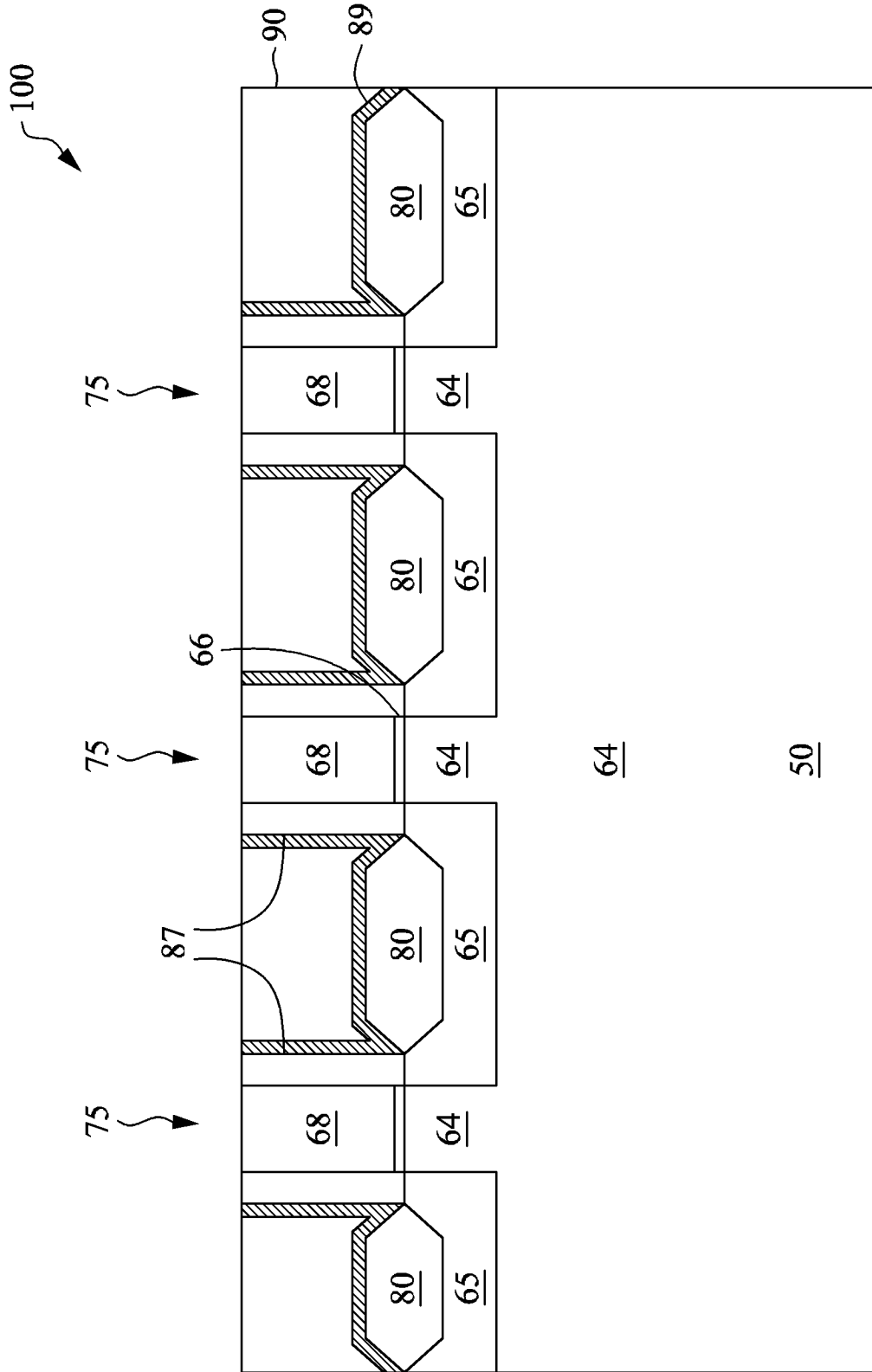
Figur 5



Figur 6



Figur 7



Figur 8

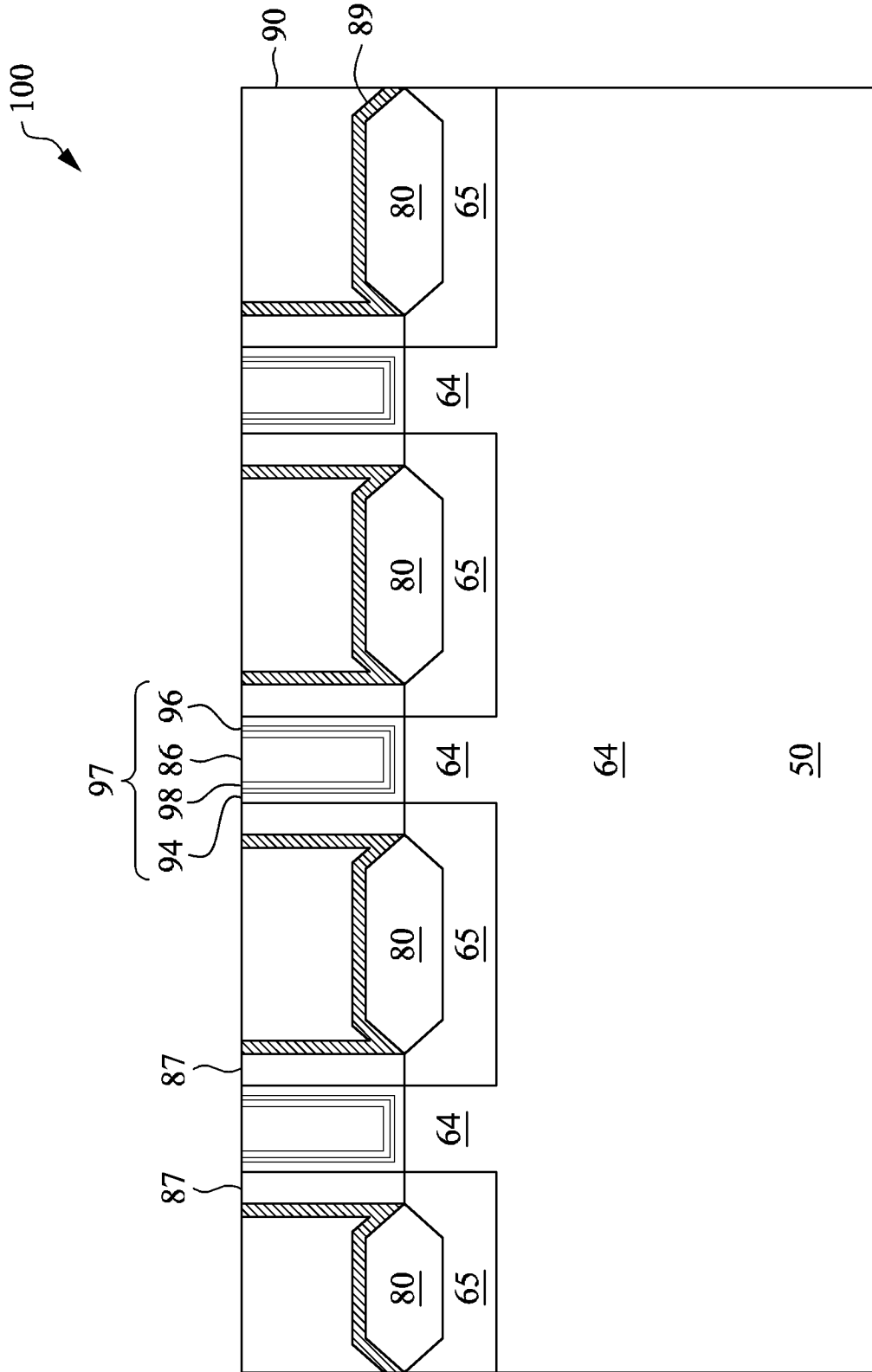
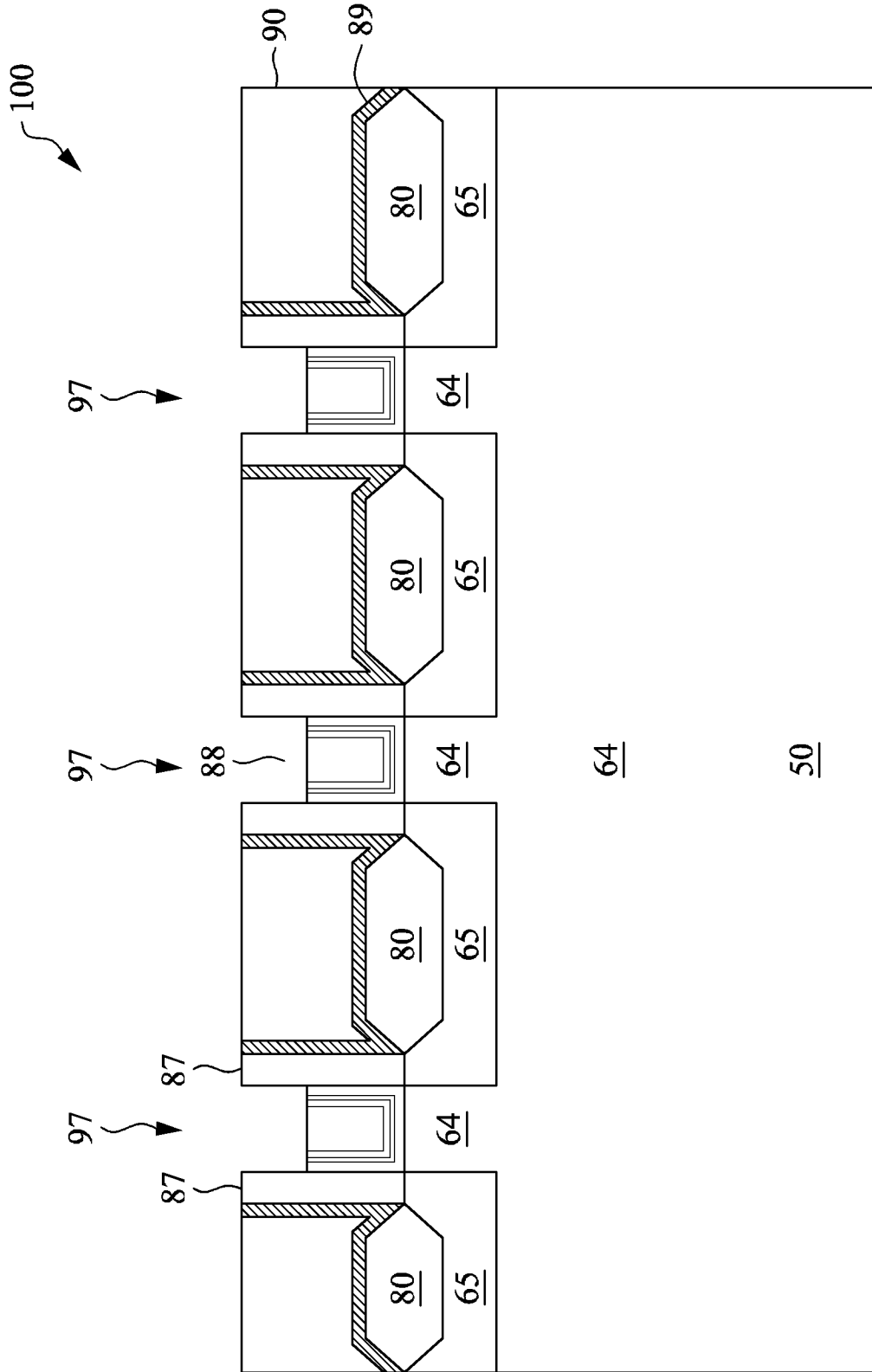
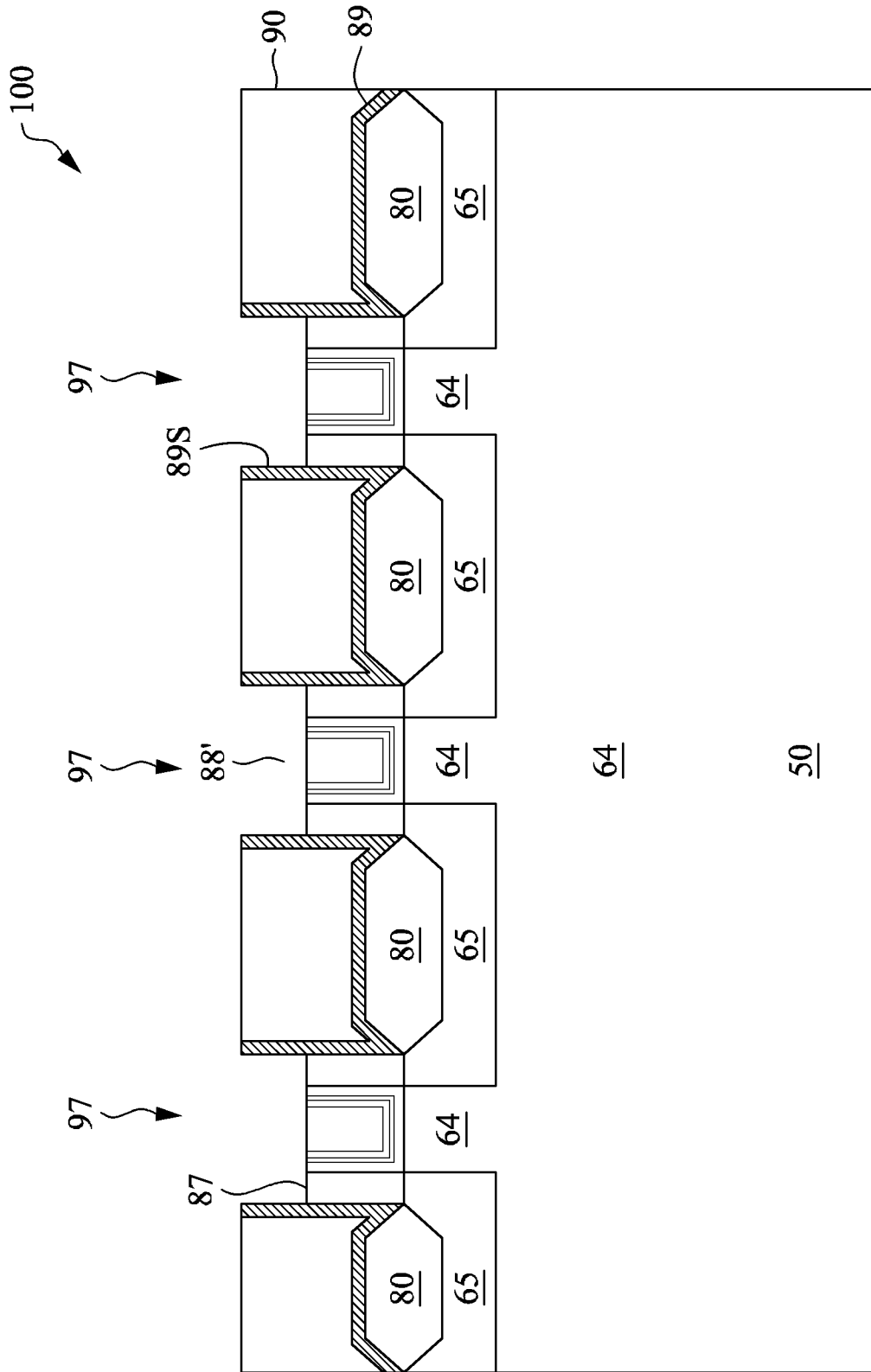


Figure 9



Figur 10



Figur 11

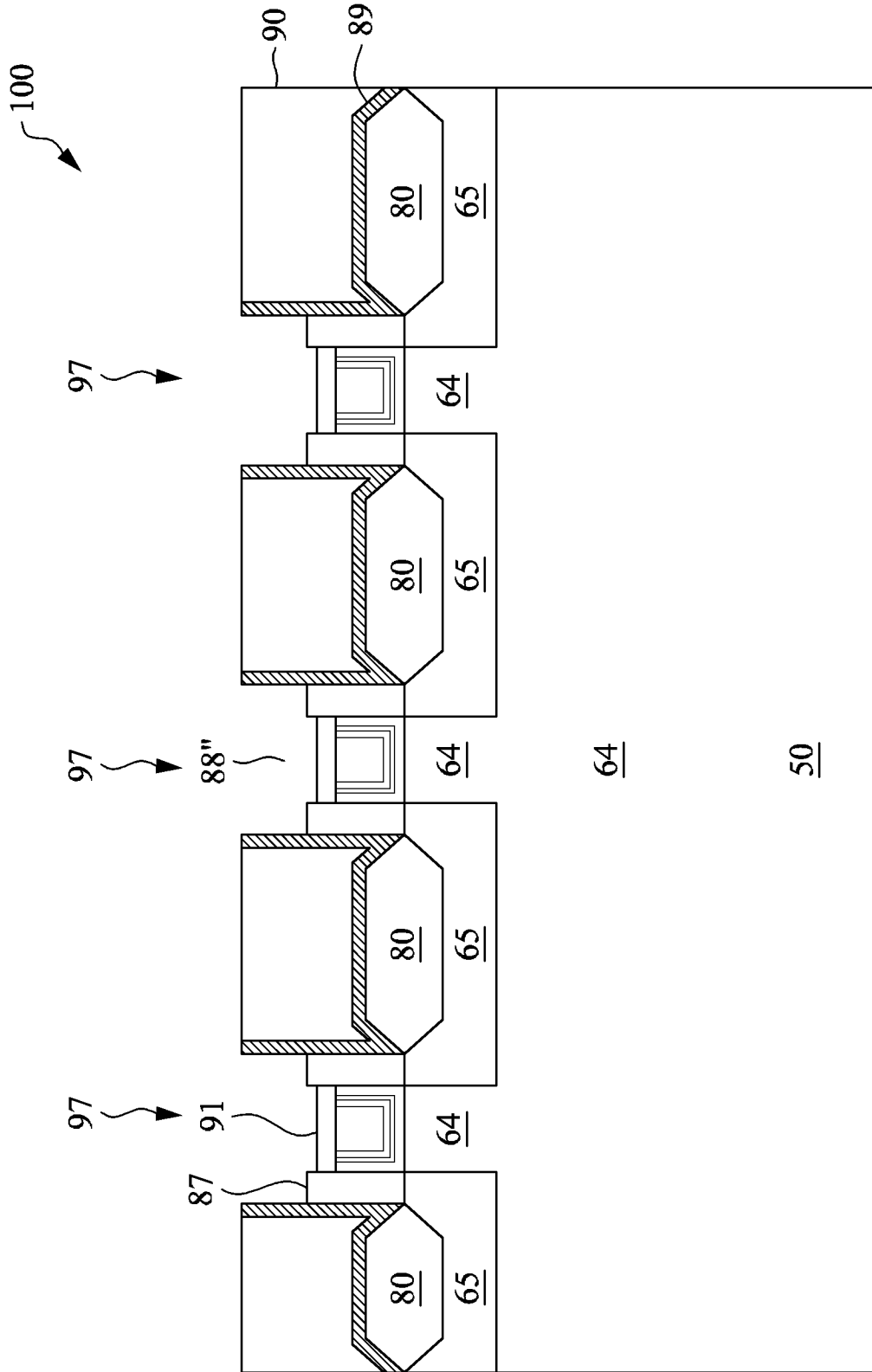
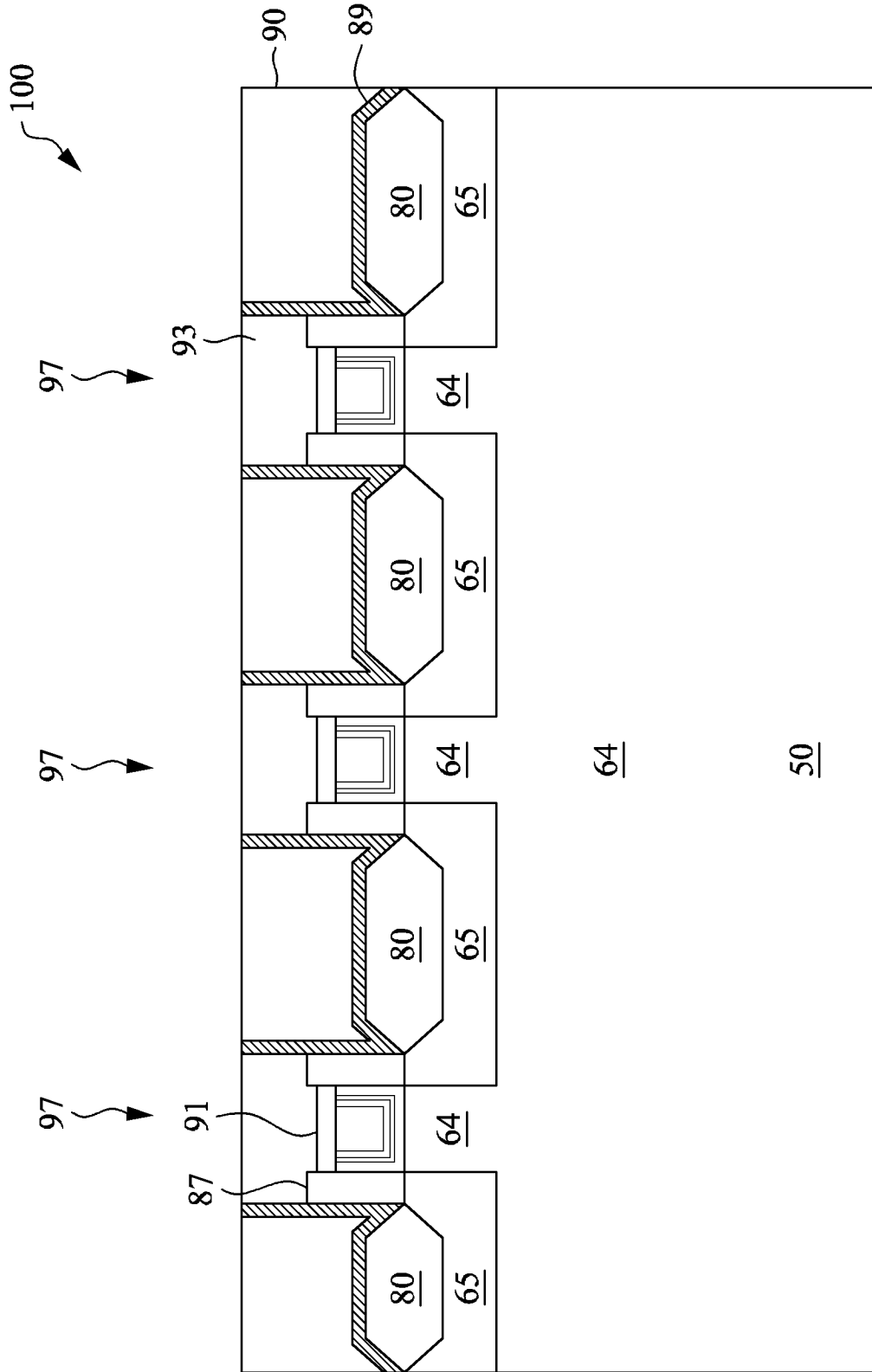
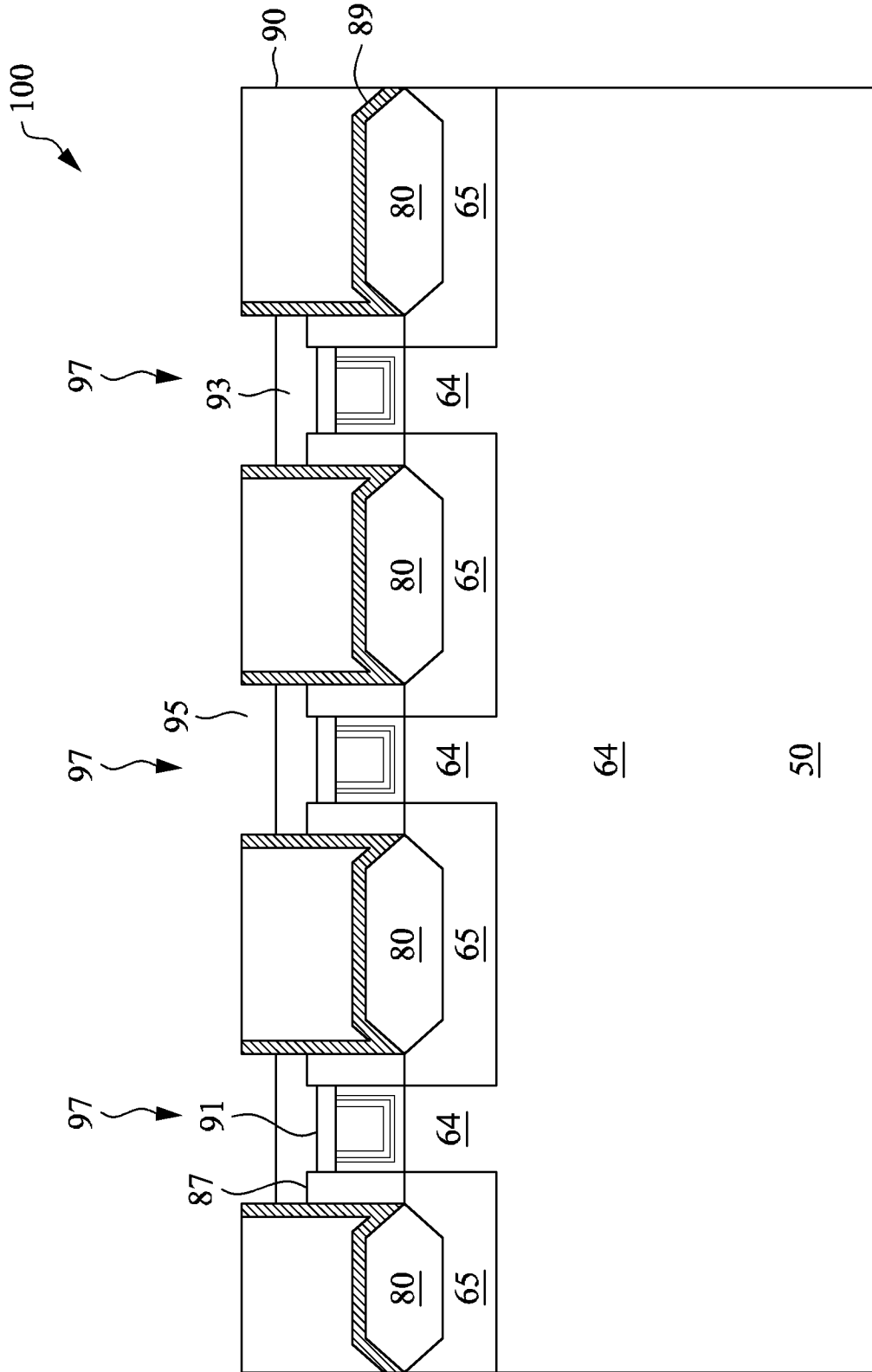


Figure 12



Figur 13



Figur 14

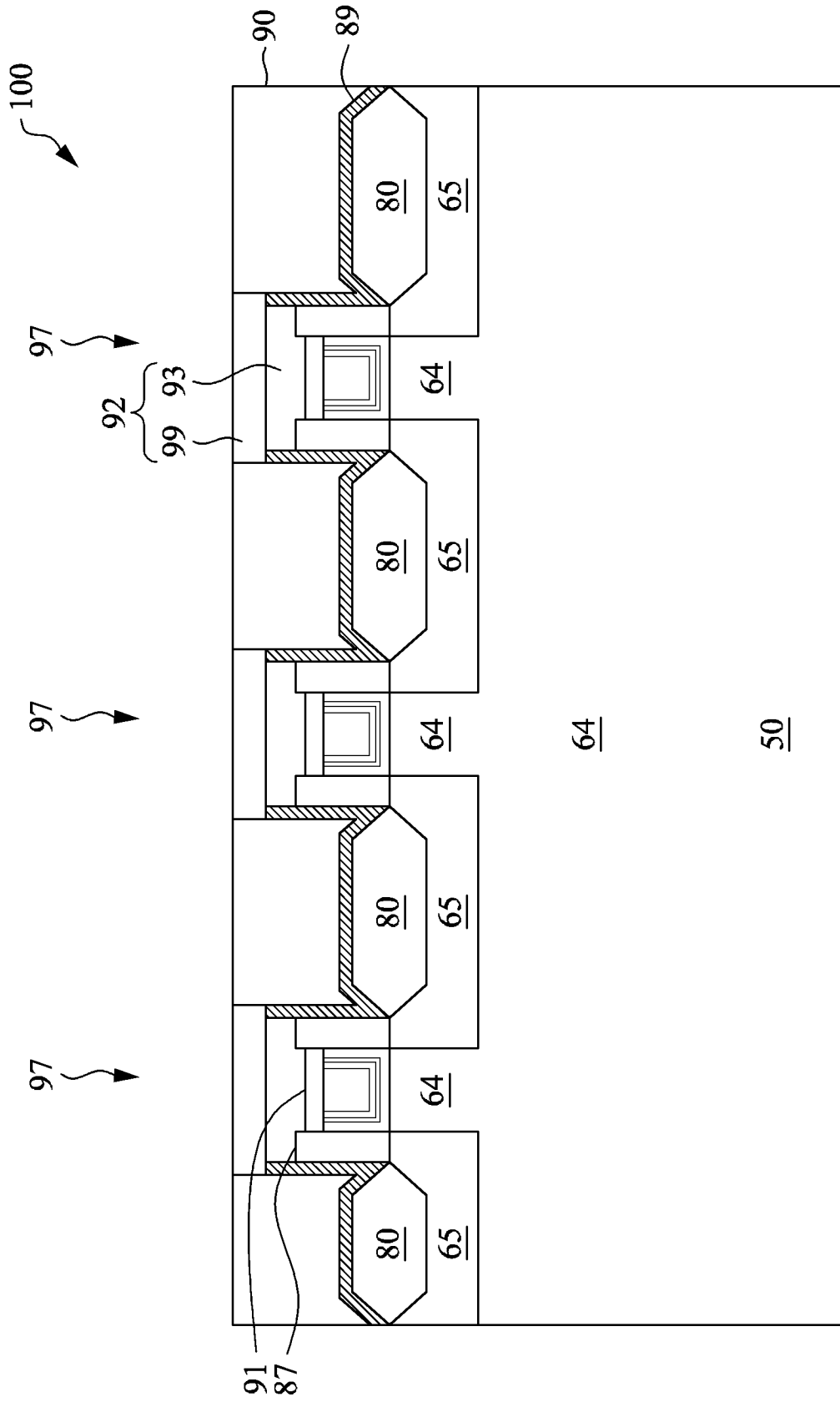


Figure 15

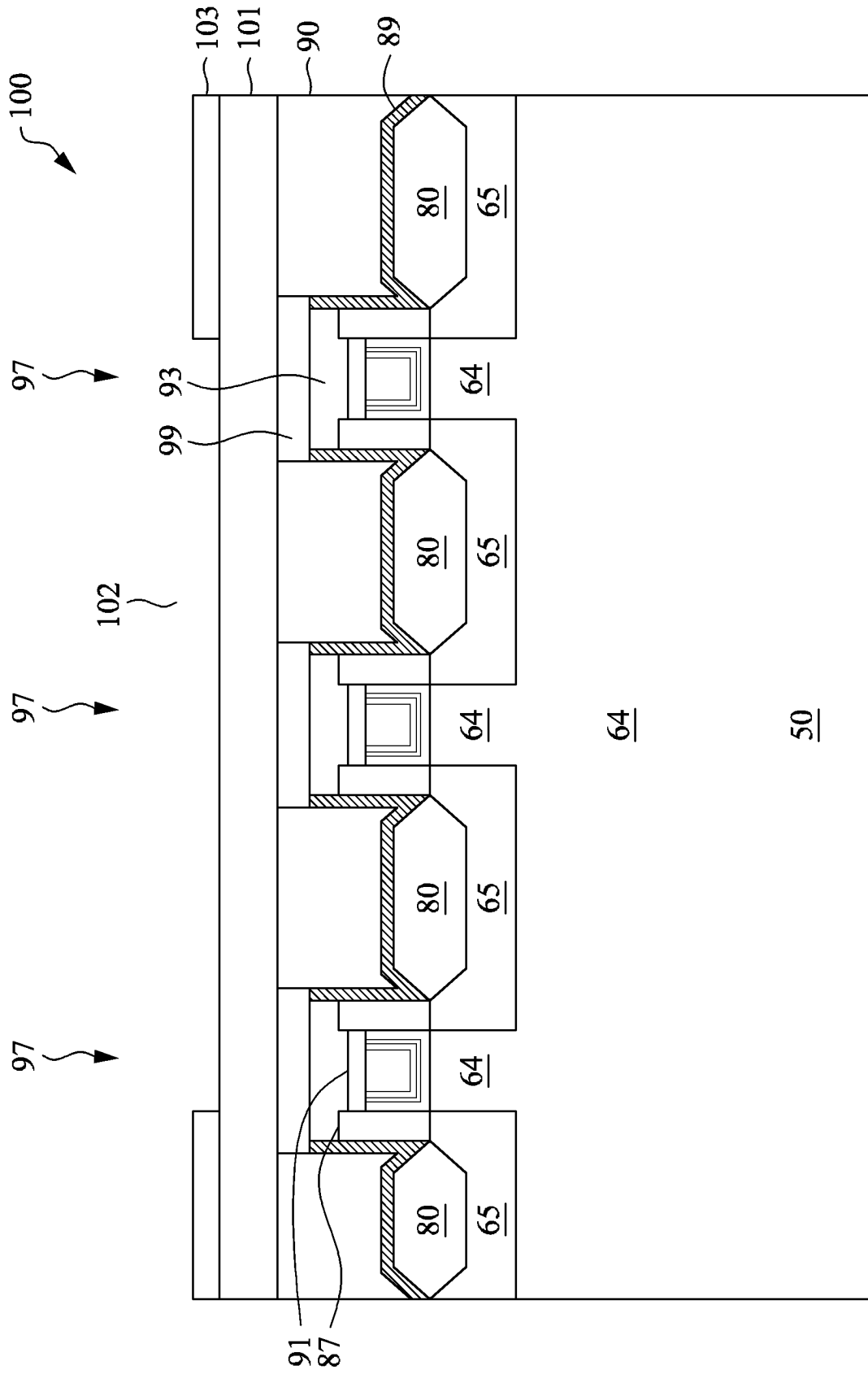
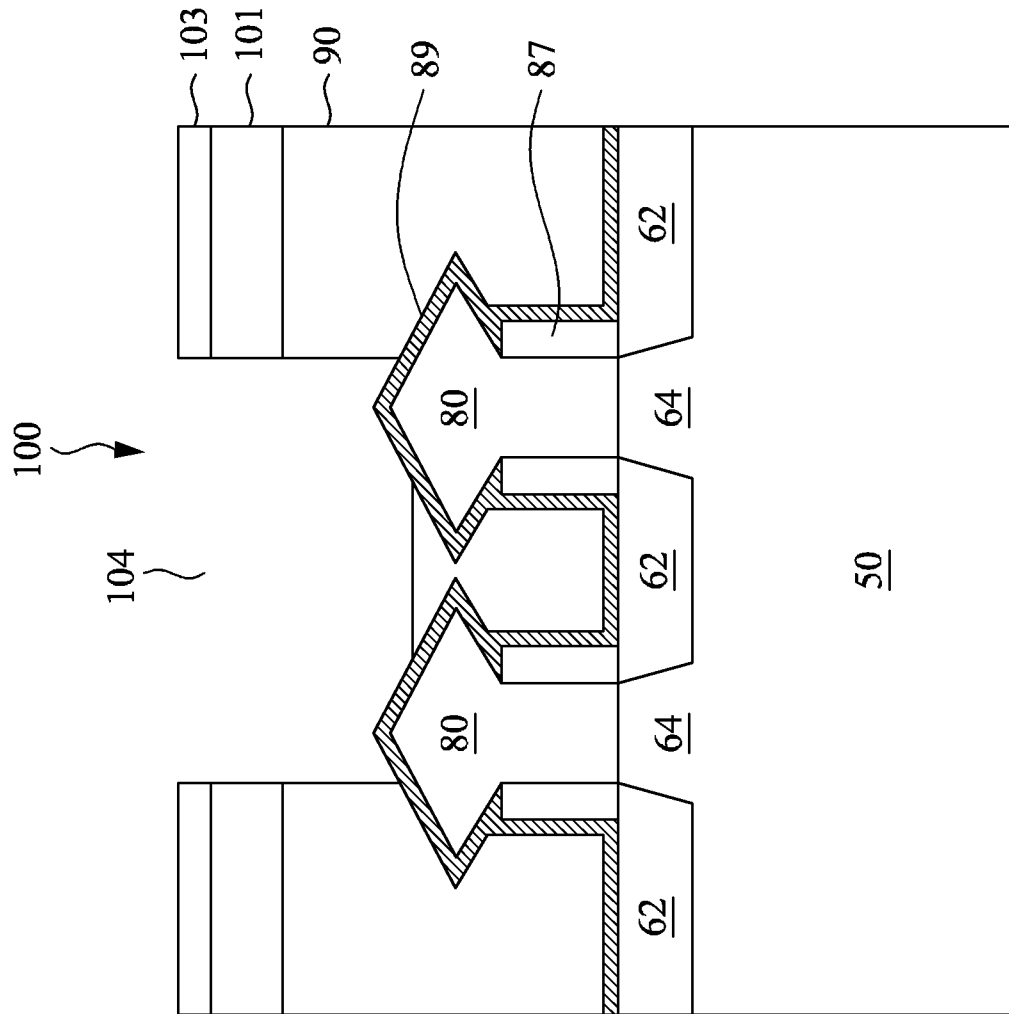
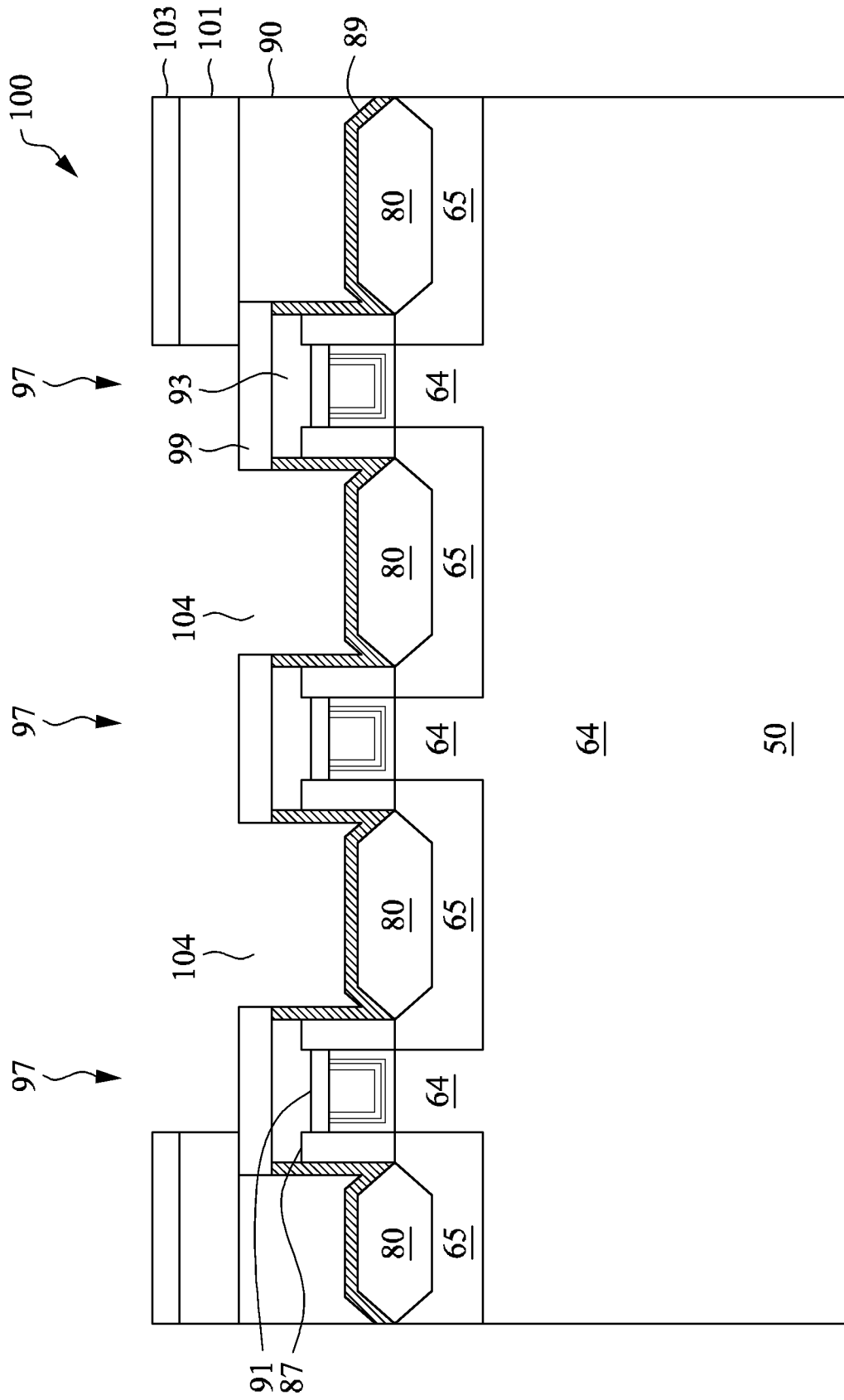


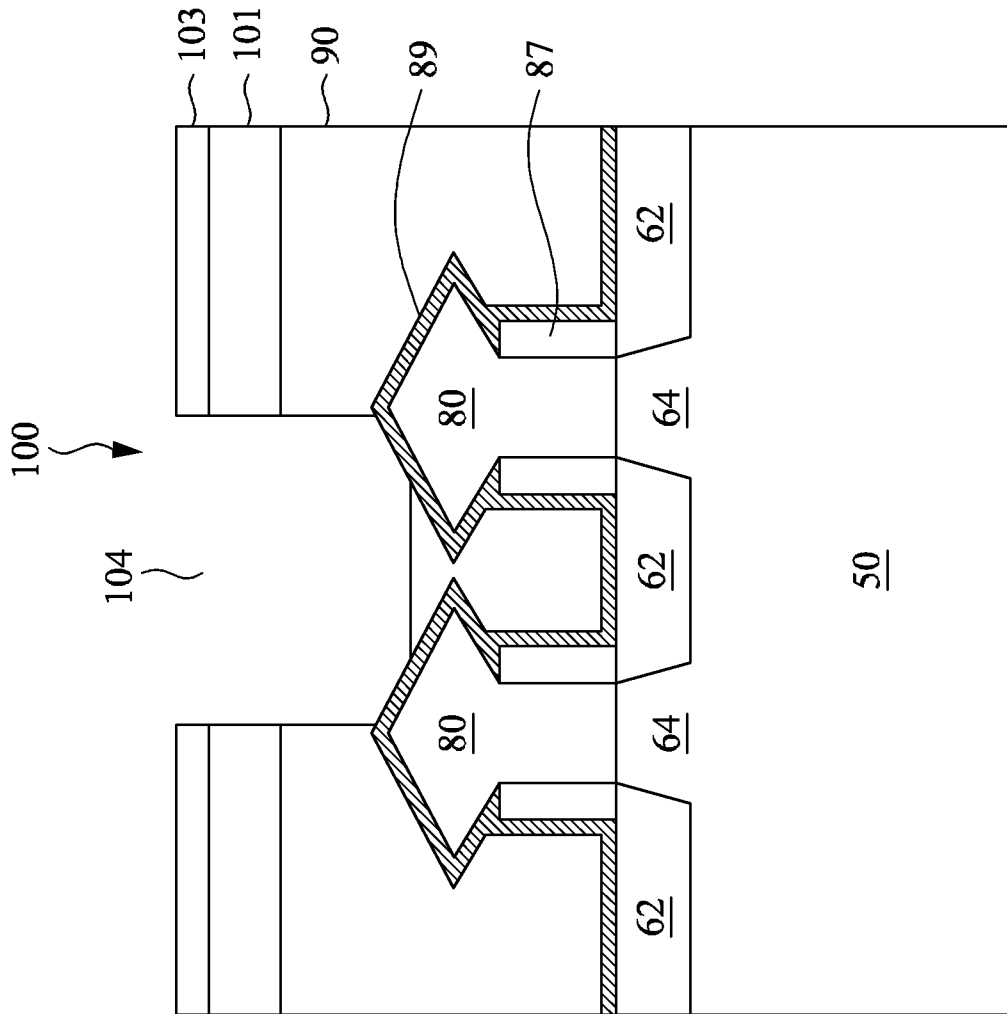
Figure 16



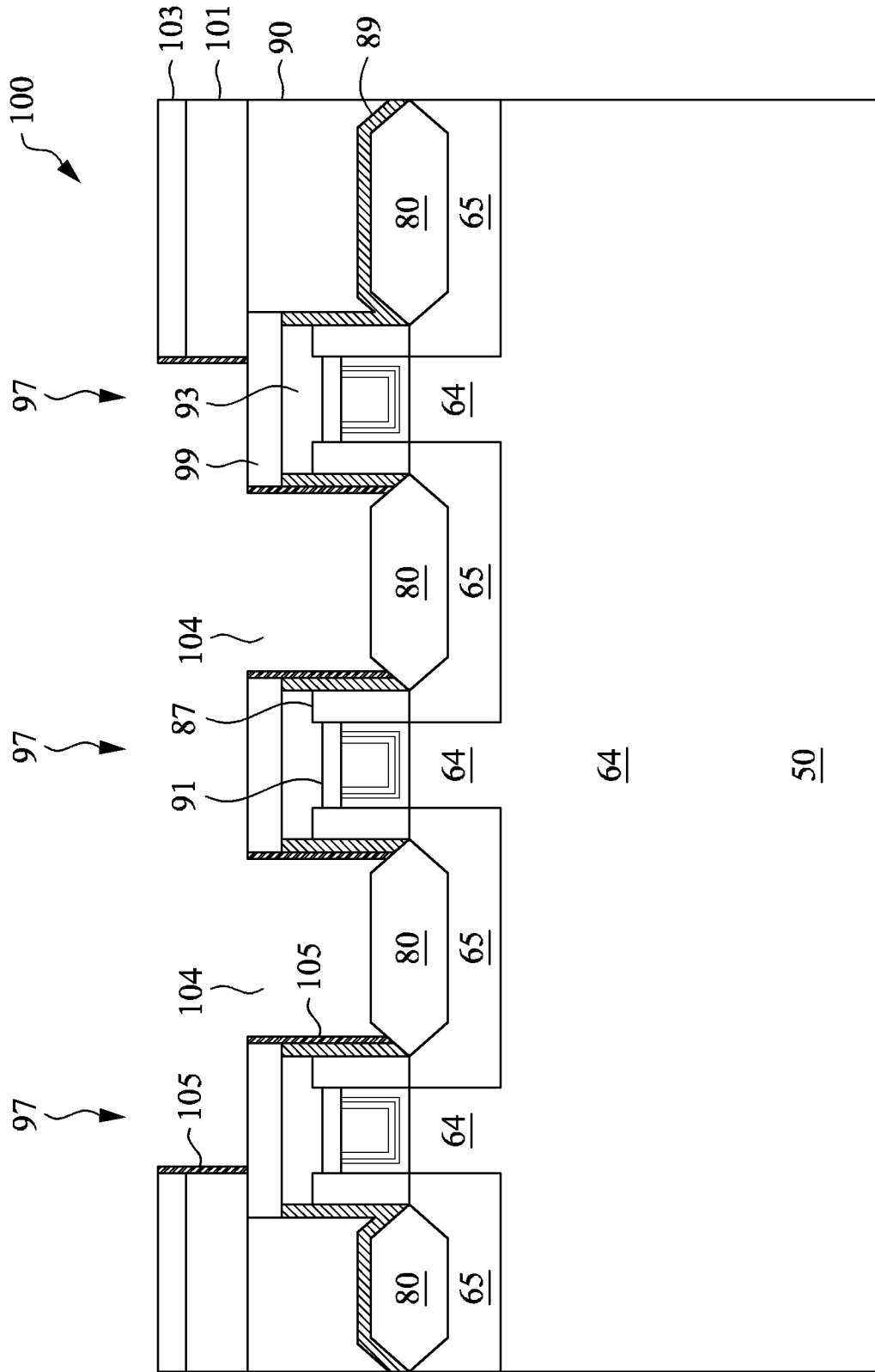
Figur 17B



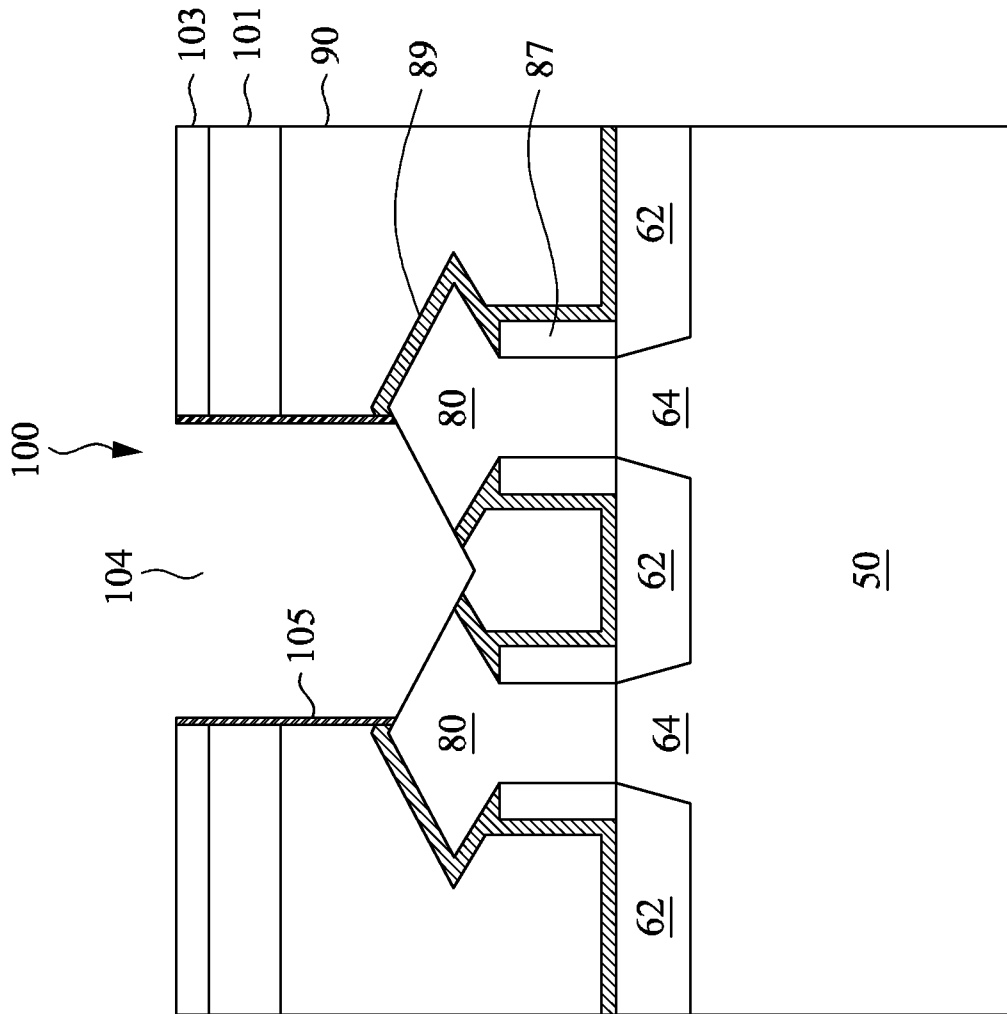
Figur 18A



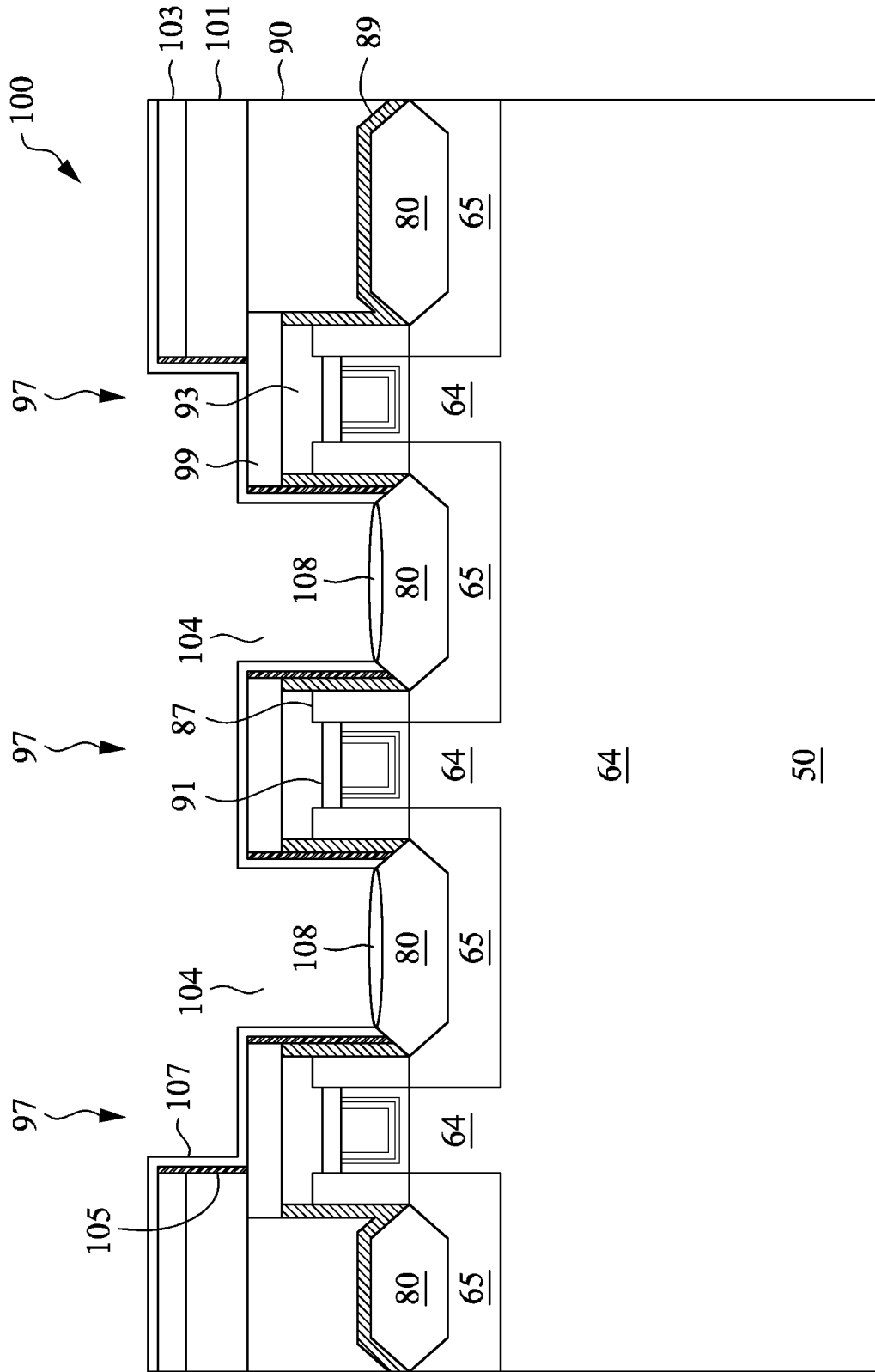
Figur 18B



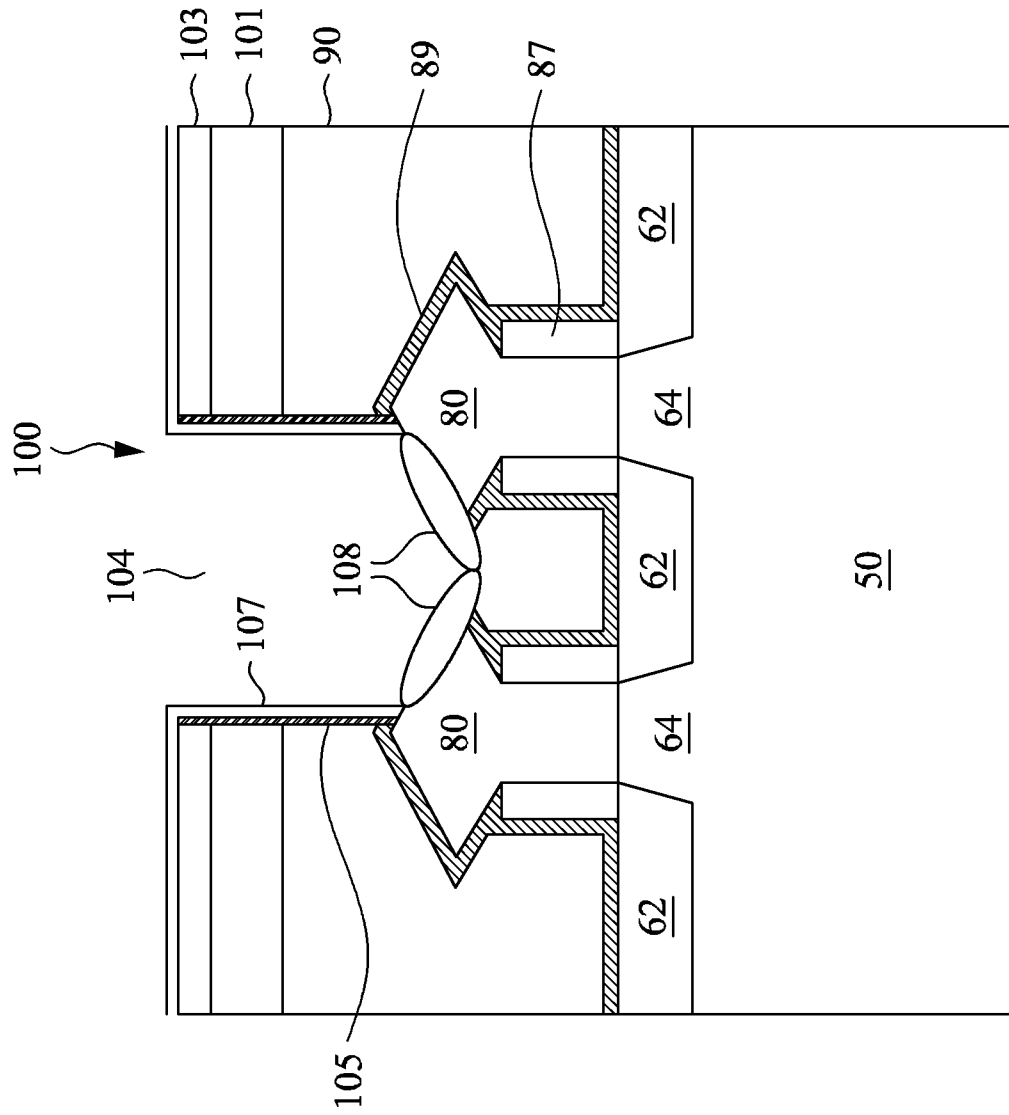
Figur 19A



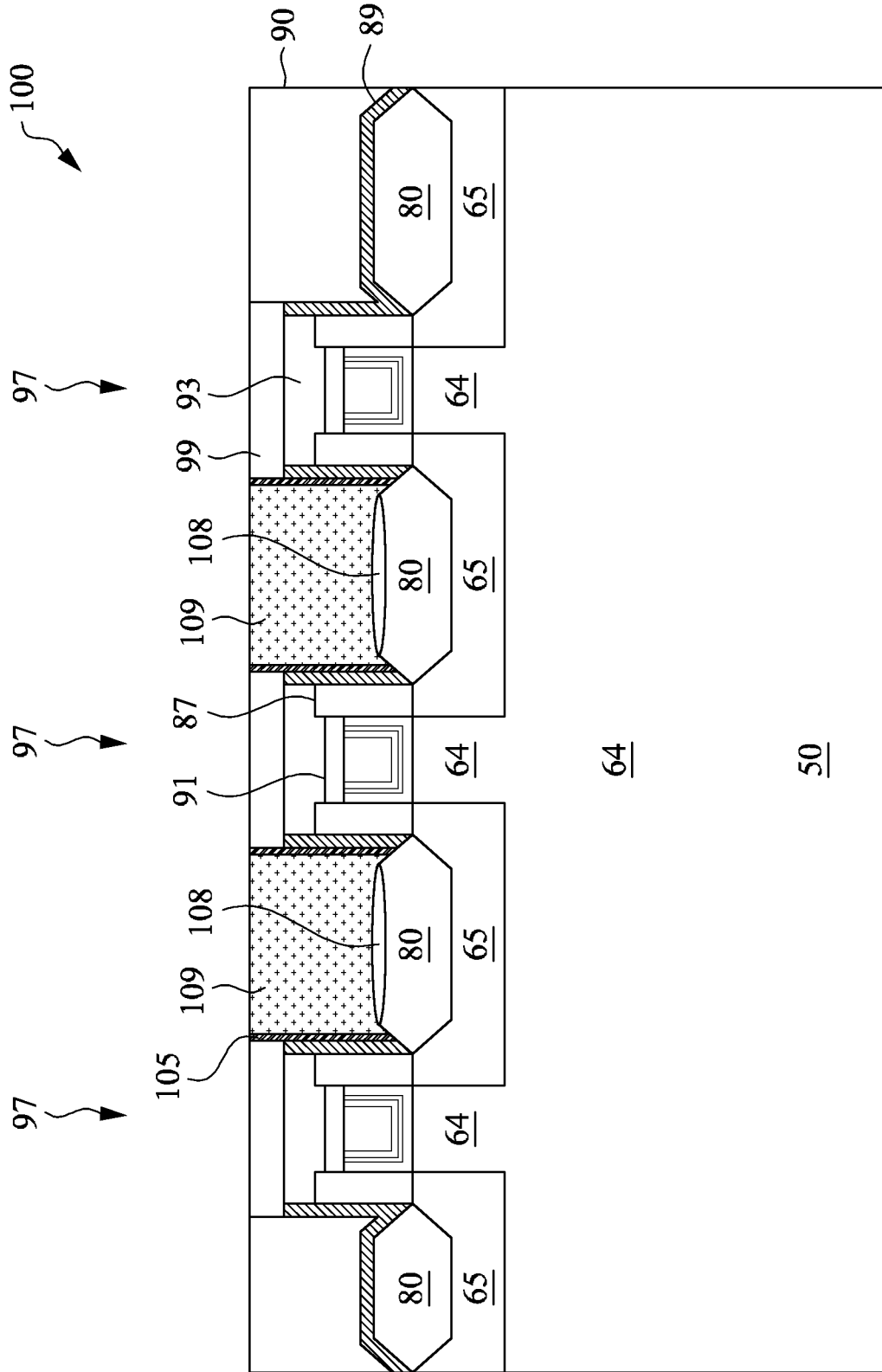
Figur 19B



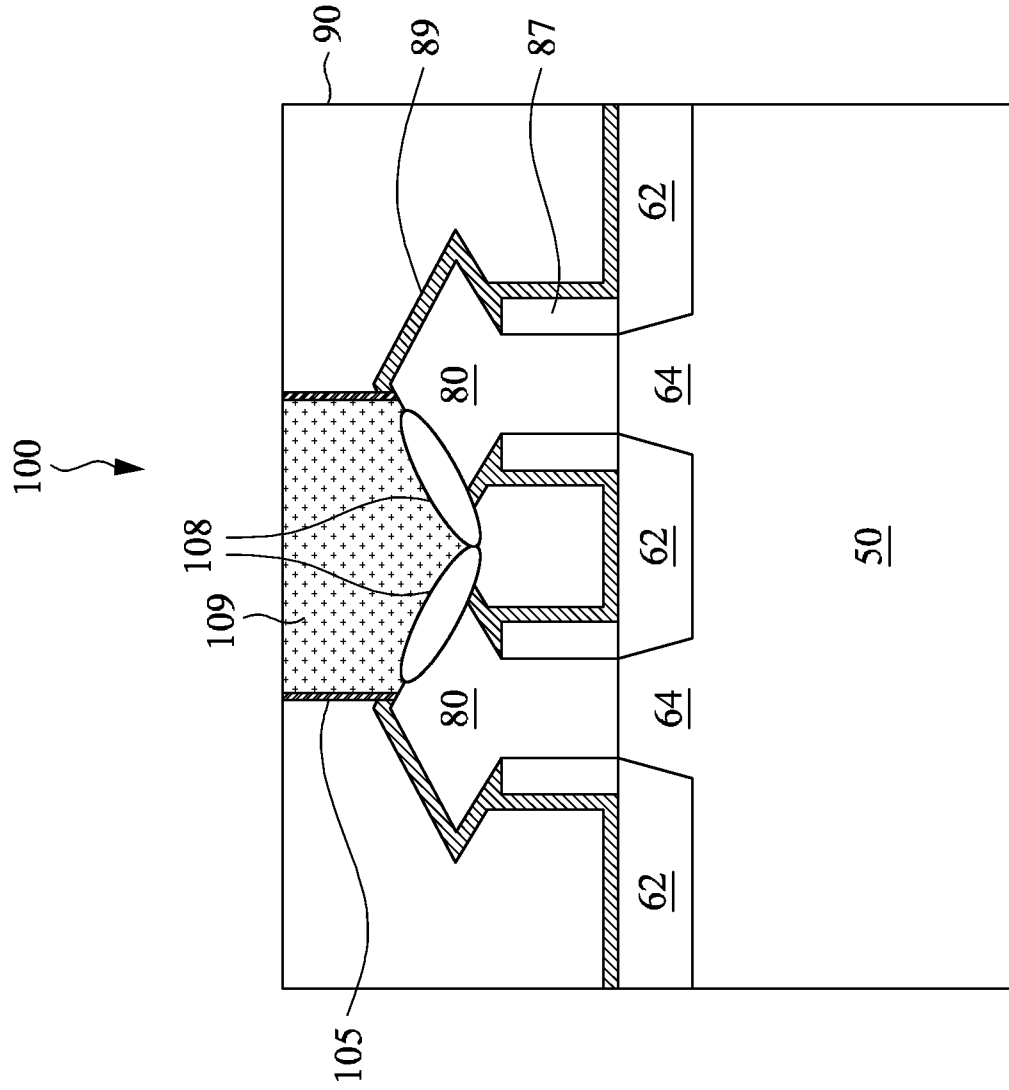
Figur 20A



Figur 20B



Figur 21A



Figur 21B

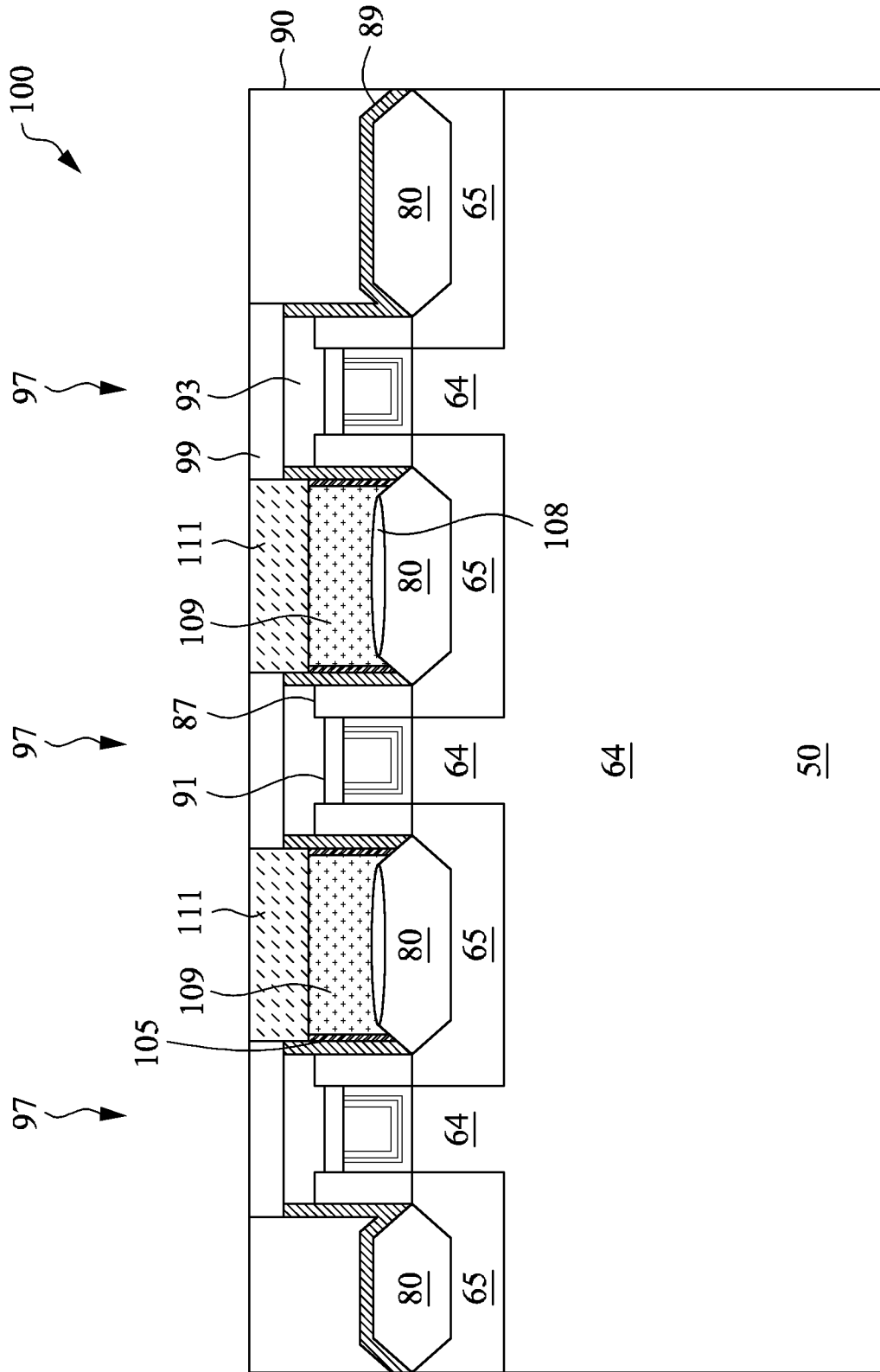
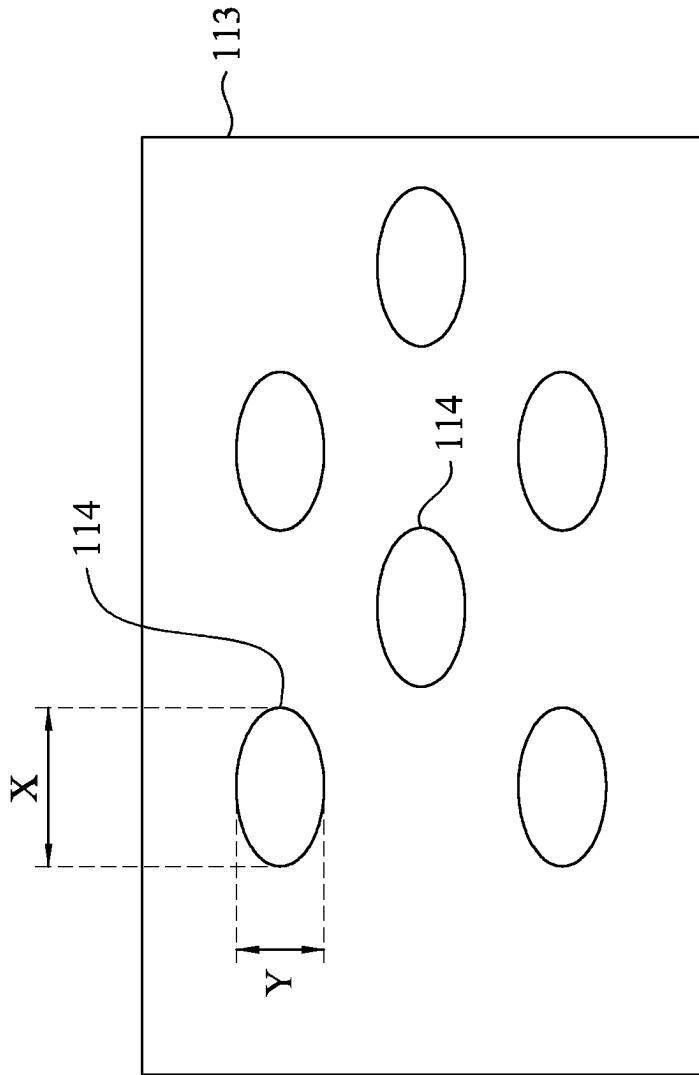
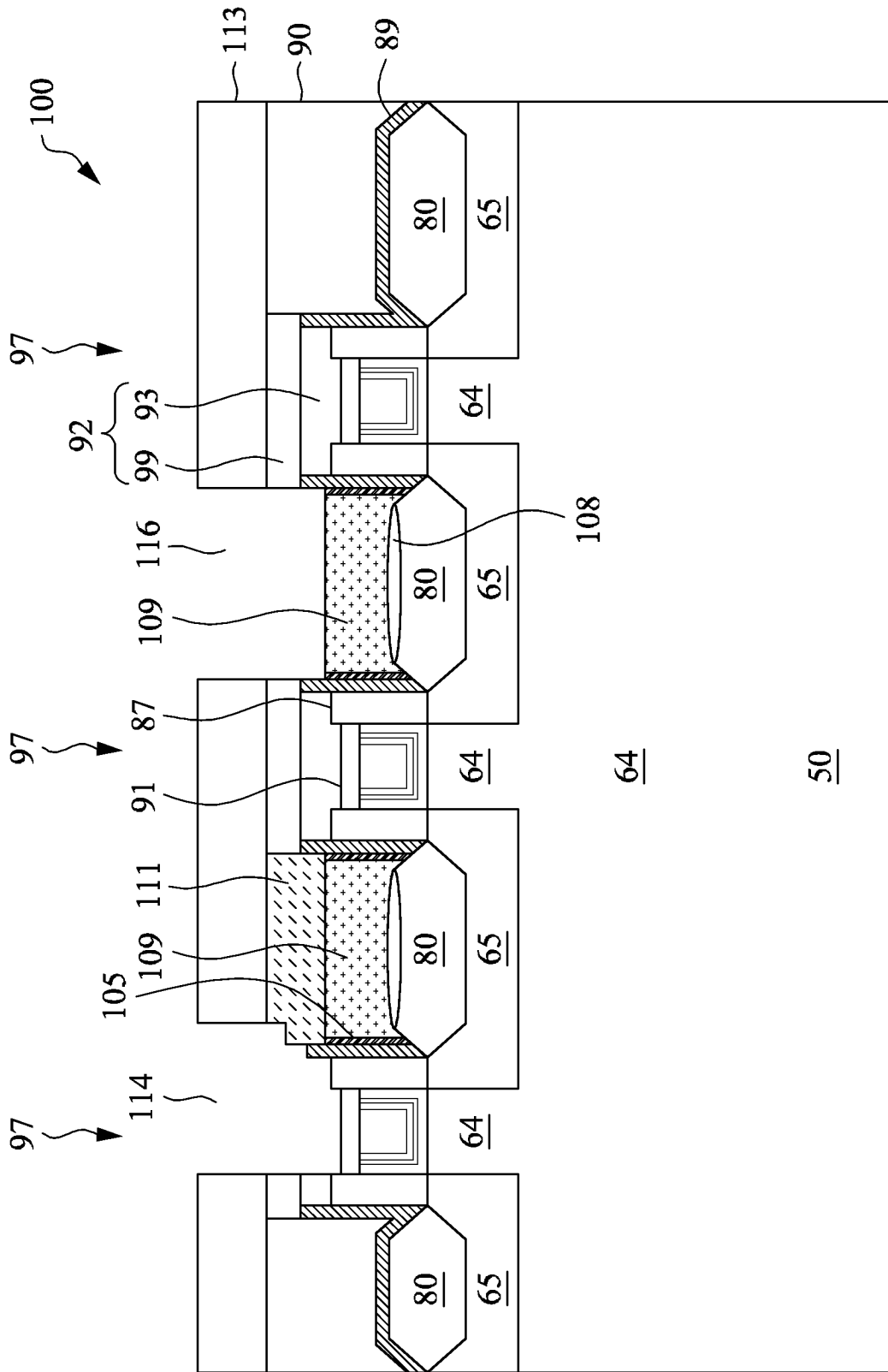


Figure 22



Figur 23B



Figur 24

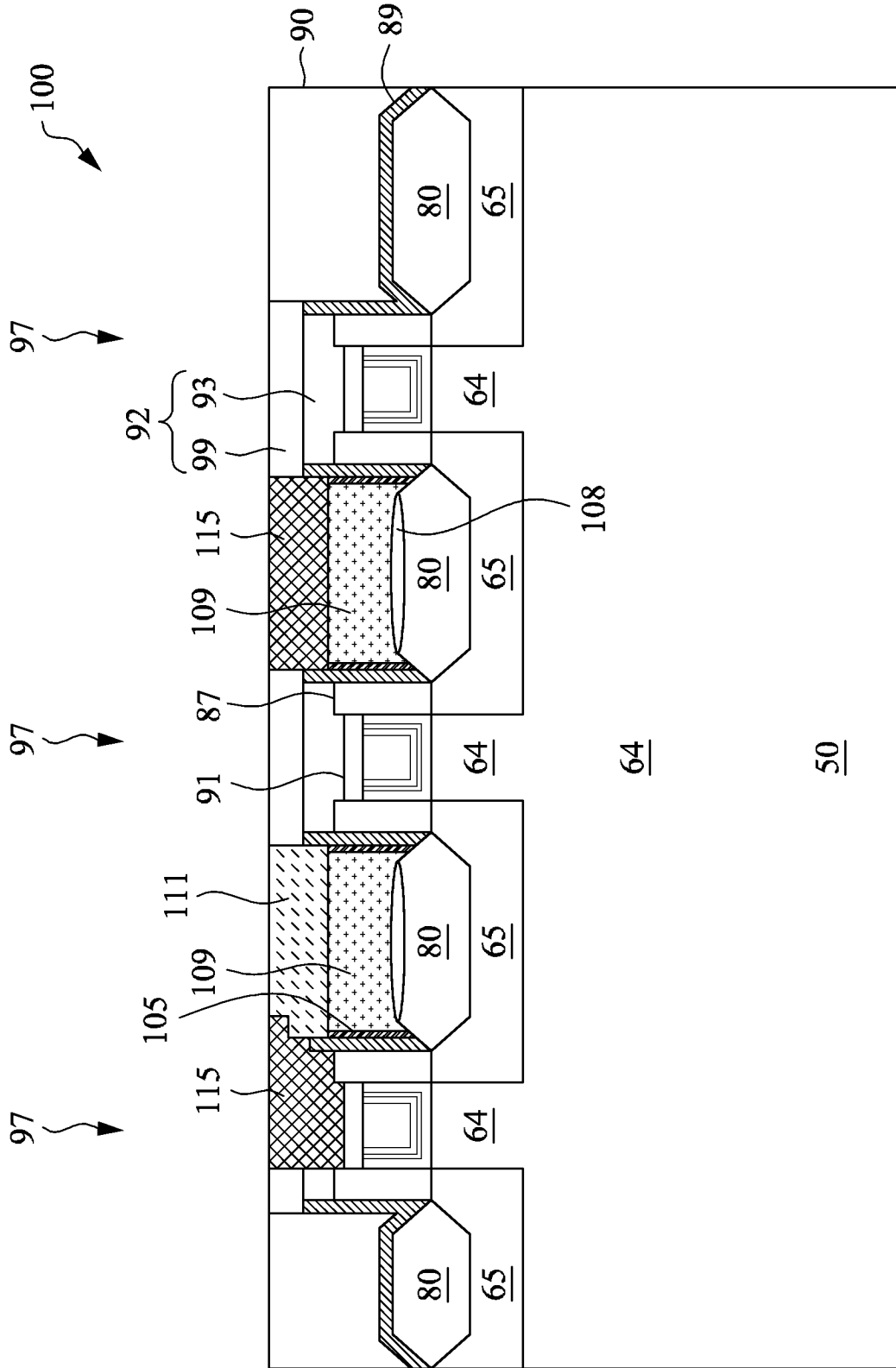


Figure 25

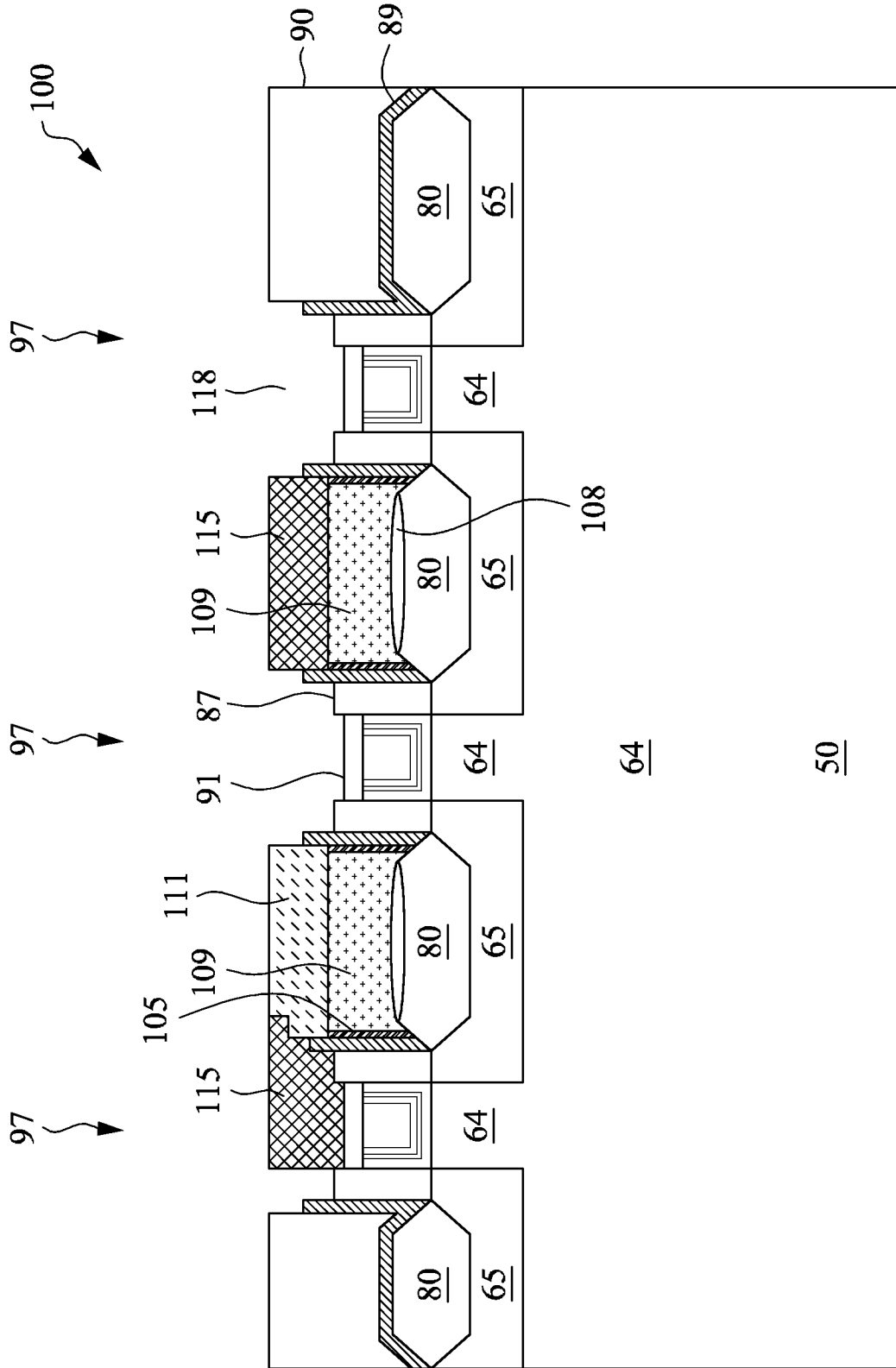


Figure 26

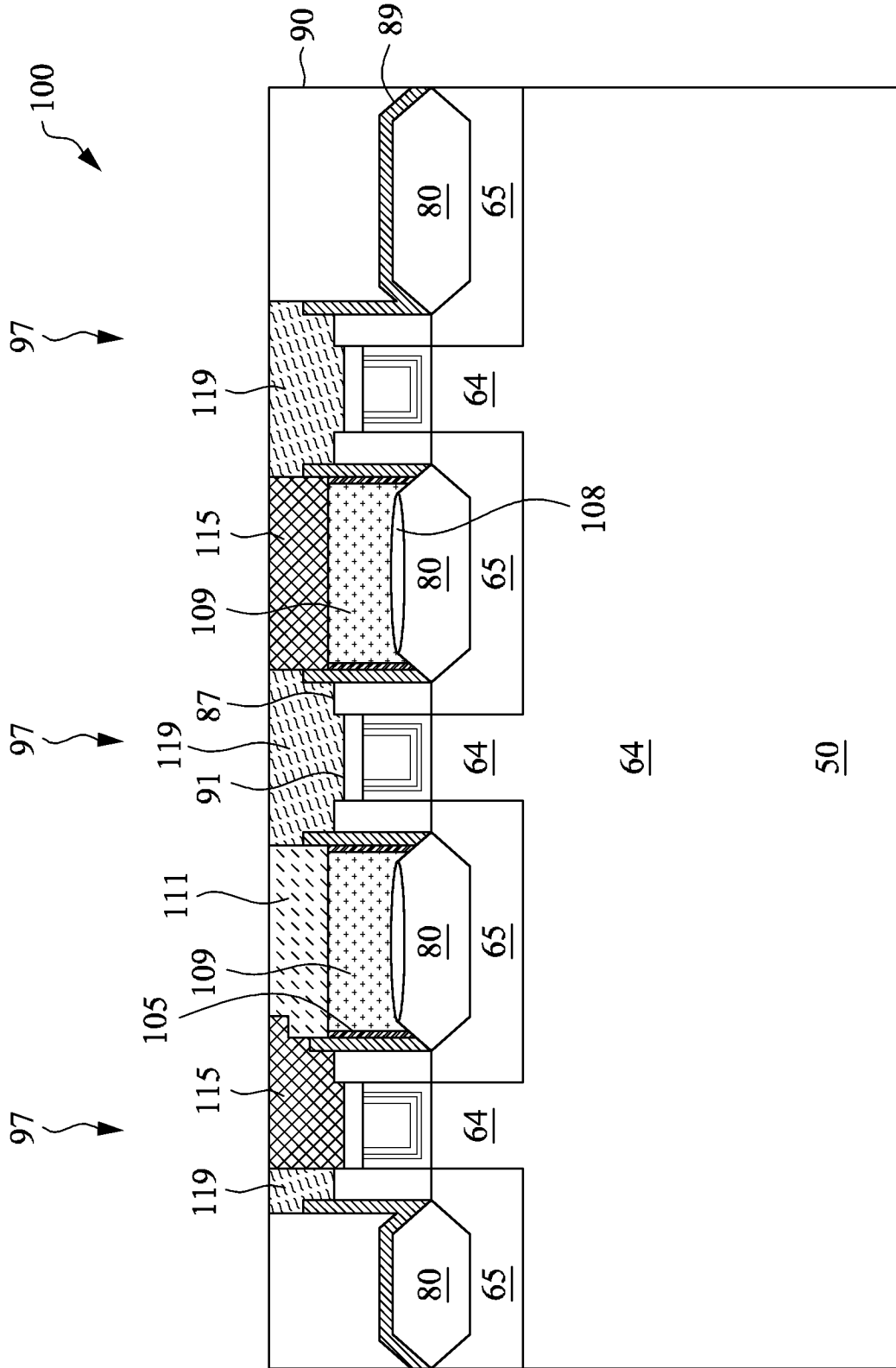
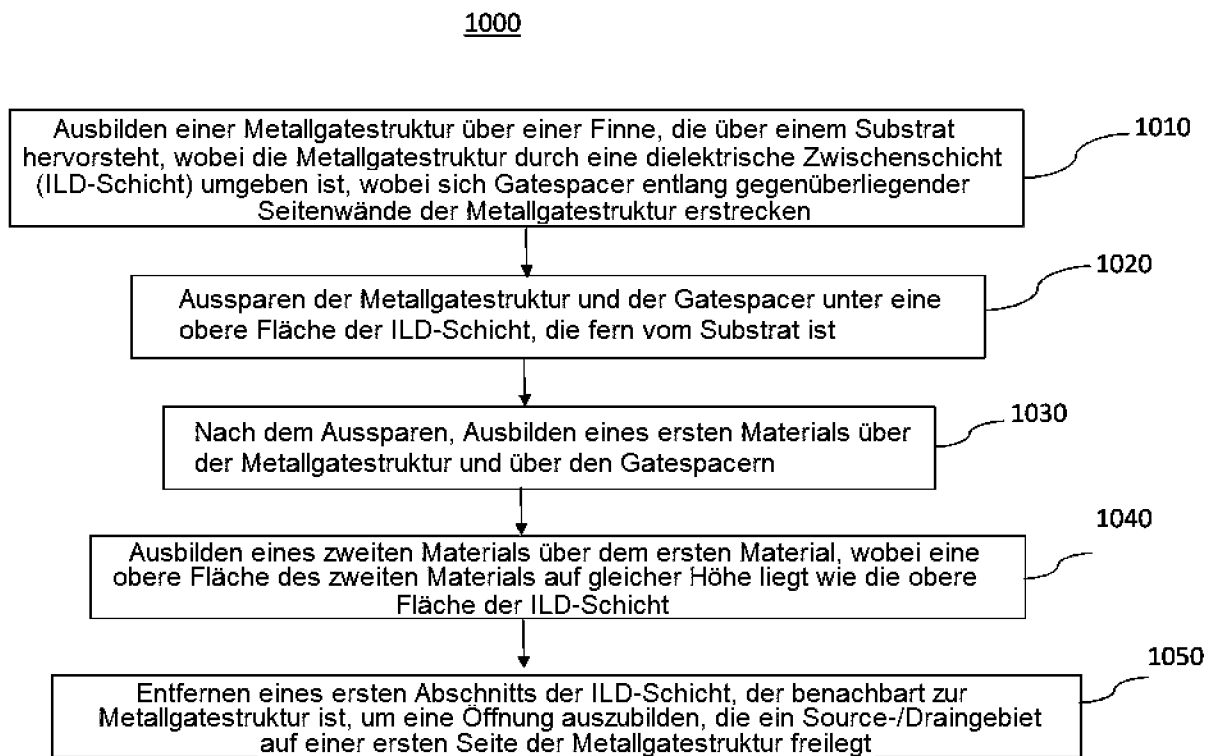


Figure 27



Figur 28