



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월29일
 (11) 등록번호 10-1861350
 (24) 등록일자 2018년05월18일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01)
 (21) 출원번호 10-2011-0075555
 (22) 출원일자 2011년07월29일
 심사청구일자 2016년07월28일
 (65) 공개번호 10-2013-0013766
 (43) 공개일자 2013년02월06일
 (56) 선행기술조사문헌
 KR1020080020876 A*
 JP2008003602 A*
 KR1020050096567 A*
 KR1020090083199 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 양진욱
 경기도 수원시 장안구 서부로 2065, 207동 604호
 (울전동, 삼성아파트)
 여상재
 충청남도 천안시 서북구 두정역길 48, 두정역 푸
 르지오아파트 105동 503호 (두정동)
 (74) 대리인
 박영우

전체 청구항 수 : 총 21 항

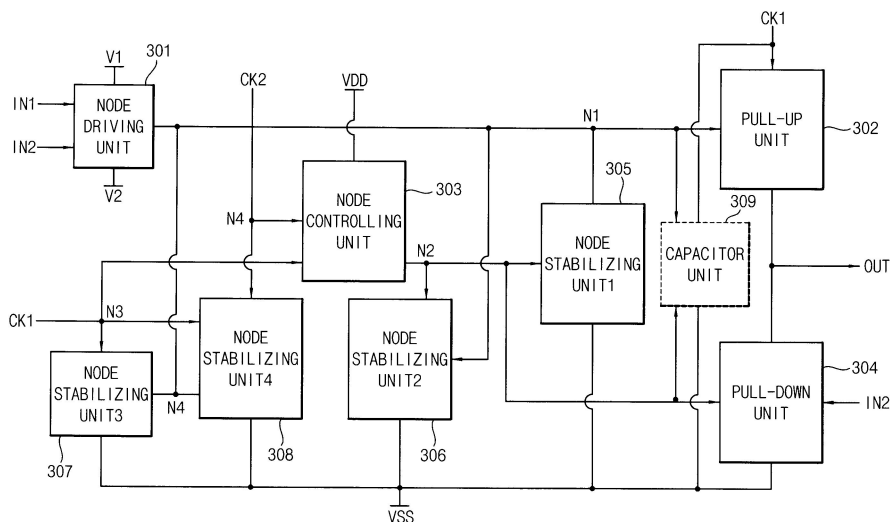
심사관 : 추장희

(54) 발명의 명칭 **게이트 구동회로 및 이를 포함하는 표시 장치**

(57) 요약

게이트 구동회로는 복수의 스테이지들을 포함한다. 복수의 스테이지들은 서로 종속적으로 연결되어 복수의 게이트 신호들을 각각 출력한다. 제m 스테이지는 노드 구동부, 풀업부, 노드 제어부, 제1 노드 안정화부 및 풀다운부를 포함한다. 노드 구동부는 제1 입력 신호 및 제2 입력 신호에 응답하여, 제1 노드를 제1 전압 또는 제2 전압으로 구동한다. 풀업부는 제1 노드의 전압 레벨에 응답하여 출력 단자를 제1 논리 레벨로 제어한다. 노드 제어부는 제3 노드로부터 입력 받은 제1 클럭 신호 또는 제4 노드로부터 입력 받은 제2 클럭 신호에 응답하여, 제2 노드를 온 전압으로 제어한다. 제1 노드 안정화부는 제2 노드의 전압 레벨에 응답하여 제1 노드를 오프 전압으로 안정화한다. 풀다운부는 제2 노드의 전압 또는 제2 입력 신호에 응답하여 출력 단자를 제2 논리 레벨로 제어한다.

대표도



명세서

청구범위

청구항 1

서로 연결되어 복수의 게이트 신호들을 각각 출력하는 복수의 스테이지들을 포함하고, 제 m (m 은 자연수) 스테이지는

제1 입력 신호 및 제2 입력 신호에 응답하여, 제1 노드를 제1 전압 또는 제2 전압으로 구동하는 노드 구동부;

상기 제1 노드의 전압 레벨에 응답하여 출력 단자를 제1 논리 레벨로 제어하는 풀업부;

제1 클럭 신호를 수신하는 제3 노드의 전압 레벨 또는 제2 클럭 신호를 수신하는 제4 노드의 전압 레벨에 응답하여, 제2 노드를 온 전압으로 제어하는 노드 제어부;

상기 제2 노드의 전압 레벨에 응답하여 상기 제1 노드를 오프 전압으로 안정화하는 제1 노드 안정화부;

상기 제1 노드의 전압 레벨에 응답하여 상기 제3 노드를 상기 오프 전압으로 안정화하는 제3 노드 안정화부;

상기 제3 노드의 전압 레벨 또는 상기 제1 노드의 전압 레벨에 응답하여 상기 제4 노드를 안정화하는 제4 노드 안정화부; 및

상기 제2 노드의 전압 또는 상기 제2 입력 신호에 응답하여 상기 출력 단자를 제2 논리 레벨로 제어하는 풀다운부를 포함하는 게이트 구동회로.

청구항 2

제1항에 있어서, 상기 노드 구동부는

상기 제1 입력 신호에 응답하여, 상기 제1 전압을 상기 제1 노드에 출력하는 제1 노드 구동 블록; 및

상기 제2 입력 신호에 응답하여, 상기 제2 전압을 상기 제1 노드에 출력하는 제2 노드 구동 블록을 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 3

제1항에 있어서, 상기 노드 제어부는

상기 제3 노드의 전압 레벨에 응답하여, 상기 온 전압을 상기 제2 노드에 출력하는 제1 노드 제어 블록; 및

상기 제4 노드의 전압 레벨에 응답하여, 상기 온 전압을 상기 제2 노드에 출력하는 제2 노드 제어 블록을 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 4

제1항에 있어서, 상기 풀업부는

게이트 단자에 인가되는 상기 제1 노드에 응답하여, 소스 단자에 인가되는 상기 제1 클럭 신호에 기초하여, 드레인 단자에 연결된 상기 출력 단자의 전압을 상기 제1 논리 레벨로 제어하는 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 5

제4항에 있어서, 상기 풀업부는

상기 트랜지스터의 게이트 단자와 드레인 단자 사이에 연결된 커패시터를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 6

제1항에 있어서, 상기 제 m 스테이지는

상기 제1 노드의 전압 레벨에 응답하여 상기 제2 노드를 상기 오프 전압으로 안정화하는 제2 노드 안정화부를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 제4 노드 안정화부는

상기 제1 노드의 전압 레벨에 응답하여 상기 제4 노드를 상기 오프 전압으로 안정화하는 제1 안정화 블록; 및

상기 제3 노드의 전압 레벨에 응답하여 상기 제4 노드를 상기 오프 전압으로 안정화하는 제2 안정화 블록을 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 9

제1항에 있어서, 상기 제 m 스테이지는

상기 제1 노드의 전압을 부스팅하는 커패시터부를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 10

제9항에 있어서, 상기 커패시터부는

상기 제1 노드와 연결된 커패시터;

상기 제2 노드의 전압 레벨에 응답하여 상기 오프 전압에 상응하는 전압을 상기 커패시터에 인가하는 제1 제어 블록; 및

상기 제1 노드의 전압 레벨에 응답하여 상기 제1 클럭 신호의 전압에 상응하는 전압을 상기 커패시터에 인가하는 제2 제어 블록을 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 11

제10항에 있어서, 상기 커패시터는

상기 제1 노드와 연결된 제1 전극; 및

상기 제1 제어 블록 및 상기 제2 제어 블록과 연결된 제2 전극을 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 12

제1항에 있어서, 상기 제2 클럭 신호가 상기 온 전압에 상응하는 로직 레벨을 가지는 동안에 상기 제1 노드는 상기 오프 전압으로 안정화되는 것을 특징으로 하는 게이트 구동회로.

청구항 13

제1항에 있어서, 상기 제1 클럭 신호가 상기 오프 전압에서 상기 온 전압으로 천이하는 시점에 상기 제1 노드는 상기 오프 전압을 가지는 안정화 상태를 가지는 것을 특징으로 하는 게이트 구동회로.

청구항 14

제1항에 있어서, 상기 제1 입력 신호는 제 $(m-1)$ 스테이지의 출력 신호이고, 상기 제2 입력 신호는 제 $(m+1)$ 스테이지의 출력 신호인 것을 특징으로 하는 게이트 구동회로.

청구항 15

제1항에 있어서, 상기 제1 입력 신호는 제 $(m-2)$ 스테이지의 출력 신호이고, 상기 제2 입력 신호는 제 $(m+2)$ 스테이지의 출력 신호인 것을 특징으로 하는 게이트 구동회로.

청구항 16

게이트 배선들, 상기 게이트 배선들과 교차하는 데이터 배선들 및 복수의 화소들을 포함하는 표시패널;

상기 데이터 배선들에 복수의 데이터 신호를 각각 출력하는 데이터 구동회로; 및

상기 게이트 배선들에 복수의 게이트 신호들을 각각 출력하는 복수의 스테이지들을 포함하는 게이트 구동회로를 포함하고,

상기 게이트 구동회로의 제 m (m 은 자연수) 스테이지는

제1 입력 신호 및 제2 입력 신호에 응답하여, 제1 노드를 제1 전압 또는 제2 전압으로 구동하는 노드 구동부;

상기 제1 노드의 전압 레벨에 응답하여 출력 단자를 제1 논리 레벨로 제어하는 풀업부;

제1 클럭 신호를 수신하는 제3 노드의 전압 레벨 또는 제2 클럭 신호를 수신하는 제4 노드의 전압 레벨에 응답하여, 제2 노드를 온 전압으로 제어하는 노드 제어부;

상기 제2 노드의 전압 레벨에 응답하여 상기 제1 노드를 오프 전압으로 안정화하는 제1 노드 안정화부;

상기 제1 노드의 전압 레벨에 응답하여 상기 제3 노드를 상기 오프 전압으로 안정화하는 제3 노드 안정화부;

상기 제3 노드의 전압 레벨 또는 상기 제1 노드의 전압 레벨에 응답하여 상기 제4 노드를 안정화하는 제4 노드 안정화부; 및

상기 제2 노드의 전압 또는 상기 제2 입력 신호에 응답하여 상기 출력 단자를 제2 논리 레벨로 제어하는 풀다운부를 포함하는 표시 장치.

청구항 17

제16항에 있어서, 상기 노드 제어부는

상기 제3 노드의 전압 레벨에 응답하여, 상기 온 전압을 상기 제2 노드에 출력하는 제1 노드 제어 블록; 및

상기 제4 노드의 전압 레벨에 응답하여, 상기 온 전압을 상기 제2 노드에 출력하는 제2 노드 제어 블록을 포함하는 것을 특징으로 하는 표시 장치.

청구항 18

제16항에 있어서, 상기 제 m 스테이지는

상기 제1 노드의 전압 레벨에 응답하여 상기 제2 노드를 상기 오프 전압으로 안정화하는 제2 노드 안정화부를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 19

삭제

청구항 20

제16항에 있어서, 상기 제 m 스테이지는

상기 제1 노드의 전압을 부스팅하는 커패시터부를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 21

제20항에 있어서, 상기 커패시터부는

상기 제1 노드와 연결된 커패시터;

상기 제2 노드의 전압 레벨에 응답하여 상기 오프 전압에 상응하는 전압을 상기 커패시터에 인가하는 제1 제어 블록; 및

상기 제1 노드의 전압 레벨에 응답하여 상기 제1 클럭 신호의 전압에 상응하는 전압을 상기 커패시터에 인가하는 제2 제어 블록을 포함하는 것을 특징으로 하는 표시 장치.

청구항 22

제16항에 있어서, 상기 제2 클럭 신호가 상기 온 전압에 상응하는 로직 레벨을 가지는 동안에 상기 제1 노드는 상기 오프 전압으로 안정화되는 것을 특징으로 하는 표시 장치.

청구항 23

제16항에 있어서, 상기 제1 클럭 신호가 상기 오프 전압에서 상기 온 전압으로 천이하는 시점에 상기 제1 노드는 상기 오프 전압을 가지는 안정화 상태를 가지는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 보다 상세하게는 표시 패널의 게이트 라인을 구동하는 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 액정 표시 장치는 두 기관 사이에 이방성 유전율을 갖는 액정층이 개재된 표시 패널과 표시 패널을 구동하는 구동부를 포함하며, 두 기관 사이에 전계를 형성하고 전계의 세기에 따른 액정층의 광투과율을 조절함으로써 영상을 표시한다. 일반적으로 표시 널은 매트릭스 형태로 배치된 복수의 화소들을 구비한다. 복수의 화소들 각각은 게이트 라인과 데이터 라인에 연결된다. 복수의 화소들 각각은 게이트 라인에 인가되는 게이트 신호에 기초하여 데이터 라인으로부터 입력 받은 데이터 신호에 상응하는 영상 신호를 표시한다.

발명의 내용

해결하려는 과제

[0003] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 출력하는 게이트 신호의 신뢰성을 높이는 게이트 구동회로를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상기 게이트 구동회로를 구비하는 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 게이트 구동회로는 복수의 스테이지들을 포함한다. 상기 복수의 스테이지들은 서로 종속적으로 연결되어 복수의 게이트 신호들을 각각 출력한다. 제 m (m 은 자연수) 스테이지는 노드 구동부, 풀업부, 노드 제어부, 제1 노드 안정화부 및 풀다운부를 포함한다. 상기 노드 구동부는 제1 입력 신호 및 제2 입력 신호에 응답하여, 제1 노드를 제1 전압 또는 제2 전압으로 구동한다. 상기 풀업부는 상기 제1 노드의 전압 레벨에 응답하여 출력 단자를 제1 논리 레벨로 제어한다. 상기 노드 제어부는 제3 노드로부터 입력 받은 제1 클럭 신호 또는 제4 노드로부터 입력 받은 제2 클럭 신호에 응답하여, 제2 노드를 온 전압으로 제어한다. 상기 제1 노드 안정화부는 상기 제2 노드의 전압 레벨에 응답하여 상기 제1 노드를 오프 전압으로 안정화한다. 상기 풀다운부는 상기 제2 노드의 전압 또는 상기 제2 입력 신호에 응답하여 상기 출력 단자를 제2 논리 레벨로 제어한다.

[0006] 예시적인 실시예에서, 상기 노드 구동부는 제1 노드 구동 블록 및 제2 노드 구동 블록을 포함할 수 있다. 상기 제1 노드 구동 블록은 상기 제1 입력 신호에 응답하여, 상기 제1 전압을 상기 제1 노드에 출력할 수 있다. 상기 제2 노드 구동 블록은 상기 제2 입력 신호에 응답하여, 상기 제2 전압을 상기 제1 노드에 출력할 수 있다.

[0007] 예시적인 실시예에서, 상기 노드 제어부는 제1 노드 제어 블록 및 제2 노드 제어 블록을 포함할 수 있다. 상기 제1 노드 제어 블록은 상기 제3 노드의 전압 레벨에 응답하여, 상기 온 전압을 상기 제2 노드에 출력할 수 있다. 상기 제2 노드 제어 블록은 상기 제4 노드의 전압 레벨에 응답하여, 상기 온 전압을 상기 제2 노드에 출력할 수 있다.

[0008] 예시적인 실시예에서, 상기 풀업부는 트랜지스터를 포함할 수 있다. 상기 트랜지스터는 게이트 단자에 인가되는 상기 제1 노드에 응답하여, 소스 단자에 인가되는 상기 제1 클럭 신호에 기초하여, 드레인 단자에 연결된 상기

출력 단자의 전압을 상기 제1 논리 레벨로 제어할 수 있다.

- [0009] 예시적인 실시예에서, 상기 풀업부는 커패시터를 더 포함할 수 있다. 상기 커패시터는 상기 트랜지스터의 게이트 단자와 드레인 단자 사이에 연결될 수 있다.
- [0010] 예시적인 실시예에서, 상기 제 m 스테이지는 제2 노드 안정화부를 더 포함할 수 있다. 상기 제2 노드 안정화부는 상기 제1 노드의 전압 레벨에 응답하여 상기 제2 노드를 상기 오프 전압으로 안정화할 수 있다.
- [0011] 예시적인 실시예에서, 상기 제 m 스테이지는 제3 노드 안정화부 및 제4 노드 안정화부를 더 포함할 수 있다. 상기 제3 노드 안정화부는 상기 제1 노드의 전압 레벨에 응답하여 상기 제3 노드를 상기 오프 전압으로 안정화할 수 있다. 제4 노드 안정화부는 상기 제3 노드의 전압 또는 상기 제1 노드의 전압 레벨에 응답하여 상기 제4 노드를 안정화할 수 있다.
- [0012] 예시적인 실시예에서, 상기 제4 노드 안정화부는 제1 안정화 블록 및 제2 안정화 블록을 포함할 수 있다. 상기 제1 안정화 블록은 상기 제1 노드의 전압 레벨에 응답하여 상기 제4 노드를 상기 오프 전압으로 안정화할 수 있다. 상기 제2 안정화 블록은 상기 제3 노드의 전압 레벨에 응답하여 상기 제4 노드를 상기 오프 전압으로 안정화할 수 있다.
- [0013] 예시적인 실시예에서, 상기 제 m 스테이지는 커패시터부를 더 포함할 수 있다. 상기 커패시터부는 상기 제1 노드의 전압을 부스팅할 수 있다.
- [0014] 예시적인 실시예에서, 상기 커패시터부는 커패시터, 제1 제어 블록 및 제2 제어 블록을 포함할 수 있다. 상기 커패시터는 상기 제1 노드와 연결될 수 있다. 상기 제1 제어 블록은 상기 제2 노드의 전압 레벨에 응답하여 상기 오프 전압에 상응하는 전압을 상기 커패시터에 인가할 수 있다. 상기 제2 제어 블록은 상기 제1 노드의 전압 레벨에 응답하여 상기 제1 클럭 신호의 전압에 상응하는 전압을 상기 커패시터에 인가할 수 있다.
- [0015] 예시적인 실시예에서, 상기 커패시터는 제1 전극 및 제2 전극을 포함할 수 있다. 상기 제1 전극은 상기 제1 노드와 연결될 수 있다. 상기 제2 전극은 상기 제1 제어 블록 및 상기 제2 제어 블록과 연결될 수 있다.
- [0016] 예시적인 실시예에서, 상기 제2 클럭 신호가 상기 온 전압에 상응하는 로직 레벨을 가지는 동안에 상기 제1 노드는 상기 오프 전압으로 안정화될 수 있다.
- [0017] 예시적인 실시예에서, 상기 제1 클럭 신호가 상기 오프 전압에서 상기 온 전압으로 천이하는 시점에 상기 제1 노드는 상기 오프 전압을 가지는 안정화 상태를 가질 수 있다.
- [0018] 예시적인 실시예에서, 상기 제1 입력 신호는 제 $(m-1)$ 스테이지의 출력 신호이고, 상기 제2 입력 신호는 제 $(m+1)$ 스테이지의 출력 신호일 수 있다.
- [0019] 예시적인 실시예에서, 상기 제1 입력 신호는 제 $(m-2)$ 스테이지의 출력 신호이고, 상기 제2 입력 신호는 제 $(m+2)$ 스테이지의 출력 신호일 수 있다.
- [0020] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 표시 장치는 표시 패널, 데이터 구동회로 및 게이트 구동회로를 포함한다. 상기 표시 패널은 복수의 게이트 배선들, 상기 게이트 배선들과 교차하는 데이터 배선들 및 복수의 화소들을 포함한다. 상기 데이터 구동회로는 상기 데이터 배선들에 복수의 데이터 신호를 각각 출력한다. 상기 게이트 구동회로는 상기 게이트 배선들에 복수의 게이트 신호들을 각각 출력하는 복수의 스테이지들을 포함한다. 상기 게이트 구동회로의 제 m (m 은 자연수) 스테이지는 노드 구동부, 풀업부, 노드 제어부, 제1 노드 안정화부, 풀다운부를 포함한다. 상기 노드 구동부는 제1 입력 신호 및 제2 입력 신호에 응답하여, 제1 노드를 제1 전압 또는 제2 전압으로 구동한다. 상기 풀업부는 상기 제1 노드의 전압 레벨에 응답하여 출력 단자를 제1 논리 레벨로 제어한다. 상기 노드 제어부는 제3 노드로부터 입력 받은 제1 클럭 신호 또는 제4 노드로부터 입력 받은 제2 클럭 신호에 응답하여, 제2 노드를 온 전압으로 제어한다. 상기 제1 노드 안정화부는 상기 제2 노드의 전압 레벨에 응답하여 상기 제1 노드를 오프 전압으로 안정화한다. 상기 풀다운부는 상기 제2 노드의 전압 또는 상기 제2 입력 신호에 응답하여 상기 출력 단자를 제2 논리 레벨로 제어한다.
- [0021] 예시적인 실시예에서, 상기 노드 구동부는 제1 노드 구동 블록 및 제2 노드 구동 블록을 포함할 수 있다. 상기 제1 노드 구동 블록은 상기 제1 입력 신호에 응답하여, 상기 제1 전압을 상기 제1 노드에 출력할 수 있다. 제2 노드 구동 블록은 상기 제2 입력 신호에 응답하여, 상기 제2 전압을 상기 제1 노드에 출력할 수 있다.
- [0022] 예시적인 실시예에서, 상기 제 m 스테이지는 제2 노드 안정화부를 더 포함할 수 있다. 상기 제2 노드 안정화부는 상기 제1 노드의 전압 레벨에 응답하여 상기 제2 노드를 상기 오프 전압으로 안정화할 수 있다.

- [0023] 예시적인 실시예에서, 상기 제 m 스테이지는 제3 노드 안정화부 및 제4 노드 안정화부를 더 포함할 수 있다. 상기 제3 노드 안정화부는 상기 제1 노드의 전압 레벨에 응답하여 상기 제3 노드를 상기 오프 전압으로 안정화할 수 있다. 제4 노드 안정화부는 상기 제3 노드의 전압 또는 상기 제1 노드의 전압 레벨에 응답하여 상기 제4 노드를 안정화할 수 있다.
- [0024] 예시적인 실시예에서, 상기 제 m 스테이지는 커패시터부를 더 포함할 수 있다. 상기 커패시터부는 상기 제1 노드의 전압을 부스팅할 수 있다.
- [0025] 예시적인 실시예에서, 상기 커패시터부는 커패시터, 제1 제어 블록 및 제2 제어 블록을 포함할 수 있다. 상기 커패시터는 상기 제1 노드와 연결될 수 있다. 상기 제1 제어 블록은 상기 제2 노드의 전압 레벨에 응답하여 상기 오프 전압에 상응하는 전압을 상기 커패시터에 인가할 수 있다. 상기 제2 제어 블록은 상기 제1 노드의 전압 레벨에 응답하여 상기 제1 클럭 신호의 전압에 상응하는 전압을 상기 커패시터에 인가할 수 있다.
- [0026] 예시적인 실시예에서, 상기 제2 클럭 신호가 상기 온 전압에 상응하는 로직 레벨을 가지는 동안에 상기 제1 노드는 상기 오프 전압으로 안정화될 수 있다.
- [0027] 예시적인 실시예에서, 상기 제1 클럭 신호가 상기 오프 전압에서 상기 온 전압으로 천이하는 시점에 상기 제1 노드는 상기 오프 전압을 가지는 안정화 상태를 가질 수 있다.

발명의 효과

- [0028] 본 발명의 실시예들에 따른 게이트 구동회로 및 이를 포함하는 표시 장치는 복수의 게이트 라인들을 통하여 출력되는 게이트 신호들에 포함된 노이즈를 효율적으로 감소시키고, 상기 게이트 신호들의 신뢰성을 효율적으로 증가시킬 수 있다.
- [0029] 또한, 본 발명의 실시예들에 따른 게이트 구동회로 및 이를 포함하는 표시 장치는 게이트 구동회로에서 발생하는 리키지 전류를 효율적으로 감소시킬 수 있다.
- [0030] 다만, 본 발명의 효과는 상기에서 언급된 효과로 제한되는 것은 아니며, 상기에서 언급되지 않은 다른 효과들은 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 도면이다.
- 도 2는 도 1의 액정 표시 패널에 배열된 화소들의 구조를 나타내는 도면이다.
- 도 3은 도 1의 제1 게이트 구동회로의 일 예를 나타내는 블록도이다.
- 도 4는 도 1의 제2 게이트 구동회로의 일 예를 나타내는 블록도이다.
- 도 5는 본 발명의 일 실시예에 따른 게이트 구동회로의 스테이지를 나타내는 블록도이다.
- 도 6은 도 4의 스테이지의 일 예를 나타내는 회로도이다.
- 도 7은 도 4의 스테이지의 다른 일 예를 나타내는 회로도이다.
- 도 8은 본 발명의 일 실시예에 따른 게이트 구동회로의 동작을 설명하는 타이밍도이다.
- 도 9는 본 발명의 일 실시예에 따른 시스템을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0033] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

- [0034] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0035] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0036] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시(說示)된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0038] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 도면이고, 도 2는 도 1의 액정 표시 패널에 배열된 화소들의 구조를 나타내는 도면이다.
- [0040] 도 1을 참조하면, 표시 장치(1000)는 표시 패널(100) 및 표시 패널(100)을 구동하기 위한 구동부(200)를 포함한다.
- [0041] 표시 패널(100)은 제1 방향으로 배열되는 복수의 게이트 라인들(GL1, ..., GLn), 상기 제1 방향과 교차하는 방향인 제2 방향으로 배열되는 복수의 데이터 라인들(DL1, ..., DLm) 및 복수의 게이트 라인들(GL1, ..., GLn)과 복수의 데이터 라인들(DL1, ..., DLm) 각각에 연결되어 매트릭스(matrix) 형태로 형성되는 복수의 화소들(P)을 포함한다. 복수의 화소들(P) 각각은 상응하는 게이트 라인(GL) 및 데이터 라인(DL)에 연결되는 스위칭 소자(Q), 스위칭 소자(Q)에 연결되는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)를 포함한다.
- [0042] 표시 패널(100)은 복수의 게이트 라인들(GL1, ..., GLn), 복수의 데이터 라인들(DL1, ..., DLm), 스위칭 소자들(Q) 및 화소 전극들이 배열된 하부 기관(110), 공통 전극들이 배열된 상부 기관(120) 및 하부 기관(110)과 상부 기관(120) 사이에 형성된 액정층(130)을 포함한다.
- [0043] 하부 기관(110)은 복수의 게이트 라인들(GL1, ..., GLn)과 복수의 데이터 라인들(DL1, ..., DLm)의 교차 영역들 각각에 형성되는 복수의 화소 전극들을 포함한다. 상부 기관(120)은 하부 기관(110)의 상기 화소 전극들에 대항하는 공통 전극들을 포함할 수 있다. 상기 공통 전극들은 복수의 게이트 라인들(GL1, ..., GLn)과 평행하게 서로 이격되어 배치될 수 있다. 예를 들면, 제1 공통 전극(CE1)은 게이트 라인(GL1)이 연장된 방향으로 배열된 화소 전극들과 대향될 수 있다.
- [0044] 도 2를 참조하면, 각각의 화소들(P)은 스위칭 소자(Q) 및 화소 전극(CE)을 포함한다. 스위칭 소자(Q)는 상응하는 게이트 라인(GL)에 연결되는 게이트 전극(111), 상응하는 데이터 라인(DL)에 연결되는 소스 전극(113) 및 상응하는 화소 전극(CE)과 스토리지 커패시터(CST)에 연결되는 드레인 전극(115)을 포함하는 박막 트랜지스터(Thin Film Transistor; TFT)일 수 있다.
- [0045] 스위칭 소자(Q)는 하부 기관(110)에 구비될 수 있다. 스위칭 소자(Q)는 게이트 라인(GL)으로부터 공급되는 게이트 신호에 응답하여 데이터 라인(DL)으로부터 공급되는 데이터 신호를 액정 커패시터(CLC)에 공급할 수 있다. 이를 위하여, 스위칭 소자(Q)는 게이트 전극을 통하여 게이트 라인(GL)에 연결될 수 있고, 소스 전극을 통하여

데이터 라인(DL)에 연결될 수 있으며, 드레인 전극을 통하여 액정 커패시터(CLC)에 연결될 수 있다. 액정 커패시터(CLC)는 픽셀 전극(DE)에 인가되는 데이터 신호와 공통 전극(CE)에 인가되는 공통 전압의 전위차로 충전되며, 이러한 충전 전압에 기초하여 액정층의 광투과율을 조절할 수 있다. 예를 들어, 노멀리 블랙(normaly black) 모드의 경우, 데이터 신호와 공통 전압의 전위차 즉, 충전 전압이 클수록 액정층의 광투과율이 증가할 수 있고, 데이터 신호와 공통 전압의 전위차 즉, 충전 전압이 작을수록 액정층의 광투과율은 감소할 수 있다.

[0046] 이를 위하여, 액정 커패시터(CLC)는 하부 기판(110)에 형성되는 화소 전극(DE)을 제1 전극으로 하고, 상부 기판(120)에 형성되고 화소 전극(DE)과 대향하는 공통 전극(CE)을 제2 전극으로 하며, 상기 제1 전극 및 상기 제2 전극 사이에 형성되는 액정층을 유전체로 하여 일정한 정전 용량을 갖도록 구성된다. 실시예에 따라, 액정 커패시터(CLC)의 공통 전극(CE)이 하부 표시판에 구비될 수도 있다. 구체적으로, 픽셀 전극(DE)은 스위칭 소자(Q)의 드레인 전극에 연결되어 소스 전극에 연결된 데이터 라인(DL)으로부터 데이터 신호를 인가받을 수 있고, 공통 전극(CE)은 하부 표시판에 구비된 신호 라인(미도시)으로부터 공통 전압을 인가받을 수 있다. 일 실시예에서, 액정 표시 패널(100)에 데이터 신호와 공통 전압이 인가됨에 있어서, 양의 극성을 갖는 데이터 신호가 인가될 때 낮은 공통 전압이 인가되고, 음의 극성을 갖는 데이터 신호가 인가될 때 높은 공통 전압이 인가될 수 있다. 이러한 경우, 액정 커패시터(CLC)에는 실질적으로 인가되는 데이터 신호보다 높은 충전 전압이 유도될 수 있어 상대적으로 소비 전력이 감소될 수 있다.

[0047] 스토리지 커패시터(CST)는 액정 커패시터(CLC)의 충전 전압을 유지시킬 수 있다. 즉, 스토리지 커패시터(CST)는 액정 커패시터(CLC)의 보조적인 역할을 수행하며, 하부 표시판에 구비된 신호 라인(미도시)과 픽셀 전극(DE)이 절연체를 사이에 두고 중첩됨으로써 형성될 수 있다. 다만, 픽셀들은 요구되는 조건에 따라 스토리지 커패시터(CST)를 포함하지 않을 수 있다. 나아가, 도 2에는 도시되지 않았지만, 상부 표시판에는 컬러 필터(미도시)가 형성될 수 있고, 상부 표시판과 하부 표시판에는 편광판(미도시)이 부착될 수 있다.

[0048] 다시 도 1을 참조하면, 구동부(200)는 제어부(CONTROLLER)(210), 전압 생성부(VOLTAGE GENERATOR)(220), 제1 게이트 구동부(GATE DRIVER1)(310), 제2 게이트 구동부(GATE DRIVER2)(320) 및 데이터 구동부(DATA DRIVER)(240)를 포함한다.

[0049] 제어부(210)는 외부의 그래픽 기기와 같은 화상 소스로부터 입력 제어 신호(CONT) 및 입력 영상 신호(DATA1)를 수신한다. 입력 제어 신호(CONT)는 메인 클럭 신호, 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC) 및 데이터 인에이블 신호를 포함할 수 있다. 제어부(210)는 입력 영상 신호(DATA1)에 기초하여 표시 패널(100)의 동작 조건에 맞는 디지털 형태의 데이터 신호(DATA2)를 생성하여 데이터 구동부(240)에 제공한다. 또한, 제어부(210)는 입력 제어 신호(CONT)에 기초하여 게이트 구동부(230)의 구동 타이밍을 제어하기 위한 제1 제어 신호(CONT1), 데이터 구동부(240)의 구동 타이밍을 제어하기 위한 제2 제어 신호(CONT2) 및 전압 생성부(220)를 제어하기 위한 제3 제어 신호(CONT3)를 생성하여 각각 게이트 구동부(230), 데이터 구동부(240) 및 전압 생성부(220)에 제공한다.

[0050] 전압 생성부(220)는 외부 전원을 제공 받고, 이에 기초하여 게이트 구동부(230)를 구동하기 위한 게이트 구동 전압(VG)을 생성하여 게이트 구동부(230)에 제공하고, 데이터 구동부(240)를 구동하기 위한 데이터 구동 전압(VD)을 생성하여 데이터 구동부(240)에 제공한다. 전압 생성부(220)는 스토리지 전압(VST)을 생성하여 표시 패널(100)의 스토리지 커패시터(CST)에 제공할 수 있다. 또한, 전압 생성부(220)는 공통 전압(VCOM)을 생성하여 표시 패널(100)의 상부 기판(120)에 형성되는 공통 전극(CE)에 제공한다. 수직 동기 신호(VSYNC)의 한 주기 동안 한 프레임분의 데이터 신호(DATA2)가 표시 패널(100)에 표시되므로 각각의 프레임은 수직 동기 신호(VSYNC)에 기초하여 구분될 수 있다.

[0051] 제1 게이트 구동부(310)는 제어부(210)로부터 수신되는 제1 제어신호(CONT1) 및 전압 발생부(220)로부터 수신되는 게이트 구동 전압(VG)에 기초하여 각각의 프레임마다 홀수번째 게이트 라인들(GL1, GL3, ..., GLn-1)에 순차적으로 게이트 신호를 인가한다. 제2 게이트 구동부(320)는 제어부(210)로부터 수신되는 제2 제어신호(CONT2) 및 전압 발생부(220)로부터 수신되는 게이트 구동 전압(VG)에 기초하여 각각의 프레임마다 짝수번째 게이트 라인들(GL2, GL4, ..., GLn)에 순차적으로 게이트 신호를 인가한다. 도 1에서는 게이트 라인들(GL1, GL2, ..., GLn)을 구동하기 위한 2개의 게이트 구동부들(310, 320)을 도시하였으나, 실시예에 따라, 표시 장치(1000)는 홀수번째 게이트 라인들(GL1, GL3, ..., GLn-1) 및 짝수번째 게이트 라인들(GL2, GL4, ..., GLn)을 순차적으로 구동하는 하나의 게이트 구동부를 포함할 수도 있다.

[0052] 데이터 구동부(240)는 제어부(210)로부터 수신되는 제2 제어신호(CONT2) 및 전압 발생부(220)로부터 수신되는 데이터 구동 전압(VD)에 기초하여 제어부(210)로부터 수신되는 데이터 신호(DATA2)를 아날로그 형태의 데이터

전압으로 변환하고 복수의 데이터 라인들(DL1, ..., DLm)에 상기 데이터 전압을 인가한다.

- [0053] 이하, 표시 패널(100)의 동작에 대하여 간략히 설명한다.
- [0054] 복수의 게이트 라인들(GL1, ..., GLn) 중에서 특정 게이트 라인에 상기 게이트 신호가 인가되고 복수의 데이터 라인들(DL1, ..., DLm)에 상기 데이터 전압이 인가되면, 상기 특정 게이트 라인에 연결된 화소들(P)에 포함되는 스위칭 소자들(Q)이 턴온되어 상기 특정 게이트 라인에 연결된 화소들(P)의 화소 전극들(DE)에 상기 데이터 전압이 인가된다. 이와 동시에 공통 전극(CE)에 공통 전압(VCOM)이 인가되면 화소 전극들(DE)과 공통 전극(CE) 사이에 전계가 형성되어 액정 커패시터(CLC)가 충전되고, 이로 인해 액정층(130)의 분자 배열이 변화되어 하부에서 입사된 광의 투과율이 변경됨으로서 화상이 구현된다.
- [0055] 도 3은 도 1의 제1 게이트 구동회로의 일 예를 나타내는 블록도이다.
- [0056] 도 3을 참조하면, 제1 게이트 구동회로(310)는 서로 종속적으로 연결된 홀수번째 스테이지(SRC1, SRC3, ..., SRCn-1)를 포함한다.
- [0057] 제1 게이트 구동회로(310)는 홀수번째 게이트 신호를 출력하는 홀수번째 스테이지(SRC1, SRC3, ..., SRCn-1)와 더미 스테이지(SRCn+1)를 포함한다. 각 스테이지의 개시신호가 입력되기 전의 포치(Porch) 구간 동안 홀수번째 스테이지(SRC1, SRC3, ..., SRCn-1)의 출력에 포함될 수 있는 노이즈를 최소화하기 위하여 추가로 제n+3 스테이지(SRCn+3) 또는 그 이상의 스테이지를 포함할 수도 있다.
- [0058] 홀수 번째 스테이지(SRC1, SRC3, ..., SRCn-1) 각각은 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 제1 입력단자(IN1), 제2 입력단자(IN2), 온 전압 단자(VDD) 오프 전압 단자(VSS), 제1 전압 단자(V1), 제2 전압 단자(V2) 및 출력 단자(OUT)를 포함한다.
- [0059] 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 서로 반대 위상을 가지는 제1 클럭 신호(CKA) 및 제2 클럭 신호(CKAB)가 제공된다. 구체적으로, 스테이지(SRC1, SRC5, ..., SRCn-1)의 제1 클럭 단자(CK1)에는 제1 클럭 신호(CKA)가 제공되고, 제2 클럭 단자(CK2)에는 제2 클럭 신호(CKAB)가 제공된다. 스테이지(SRC3, SRC7, ..., SRCn-3)의 제1 클럭 단자(CK1)에는 제2 클럭 신호(CKAB)가 제공되고, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CKA)가 제공된다. 스테이지(SRC1, SRC5, ..., SRCn-1)와 스테이지(SRC3, SRC7, ..., SRCn-3)의 각 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에 제1 클럭 신호(CKA) 및 제1 클럭 신호(CKA)와 서로 반대 위상을 가지는 제2 클럭 신호(CKAB)를 인가하여 각 스테이지가 순서대로 동작하도록 한다. 예를 들어, 상기 제1 클럭 신호(CKA) 및 제2 클럭 신호(CKAB)는 수평주기의 2배의 주기로 반전될 수 있다.
- [0060] 제1 입력 단자(IN1)에는 수직개시신호(STV) 또는 이전 스테이지의 게이트 신호가 제공된다. 즉, 첫 번째 스테이지인 제1 스테이지(SRC1)의 상기 제1 입력 단자(IN1)에는 수직개시신호(STV)가 제공되고, 제3 내지 제n+1 스테이지(SRC3 ~ SRCn+1)의 제1 입력 단자(IN1)에는 이전 스테이지의 게이트 신호가 각각 제공된다.
- [0061] 제2 입력 단자(IN2)에는 다음 스테이지의 게이트 신호 또는 수직개시신호(STV)가 제공된다. 제1 내지 제n-1 스테이지(SRC1 ~ SRCn-1)의 상기 제2 입력 단자(IN2)에는 다음 스테이지(SRC3 ~ SRCn+1)의 게이트 신호가 각각 제공되고, 상기 제n+1 스테이지(SRCn+1)의 제2 입력 단자(IN2)에는 수직개시신호(STV)가 제공된다.
- [0062] 온 전압 단자(VDD)에는 온 전압(VON)이 제공된다. 오프 전압 단자(VSS)에는 오프 전압(VOFF)이 제공된다. 제1 전압 단자(V1)에는 제1 전압(VG1)이 제공되고, 제2 전압 단자(V2)에는 제2 전압(VG2)이 제공된다. 제1 전압(VG1) 및 제2 전압(VG2)은 게이트 온 전압으로, 하이 전압 레벨과 로우 전압 레벨이 반대로 입력될 수 있다. 즉, 제1 전압(VG1)이 하이 전압 레벨일 때, 제2 전압(VG2)은 전압 레벨이고, 제1 전압(VG1)이 로우 전압 레벨일 때, 제2 전압(VG2)은 하이 전압 레벨 일 수 있다.
- [0063] 제1 게이트 구동부(310)는 제1 클럭 신호(CKA), 제2 클럭 신호(CKAB) 및 수직 개시 신호(STV)를 제어부(210)로부터 제1 제어신호(CONT1)로서 수신할 수 있다. 제1 게이트 구동부(310)는 온 전압(VON), 오프 전압(VOFF), 제1 전압(VG1), 제2 전압(VG2)을 전압 생성부(220)로부터 게이트 구동 전압(VG)으로서 인가 받을 수 있다.
- [0064] 출력 단자(OUT)는 전기적으로 연결된 게이트 배선에 게이트 신호를 출력한다. 홀수 번째 스테이지(SRC1, SRC3, ..., SRCn+1)의 출력 단자(OUT)에서 출력되는 스테이지(SRC1, SRC5, ..., SRCn-1)의 게이트 신호는 제1 클럭 신호(CKA)의 하이 구간에 출력된다. 홀수 번째 스테이지(SRC1, SRC3, ..., SRCn+1)의 출력 단자(OUT)에서 출력되는 스테이지(SRC3, SRC7, ..., SRCn-3)의 게이트 신호는 제2 클럭 신호(CKAB)의 하이 구간에 출력된다. 따라서, 홀수 번째 스테이지(SRC1, SRC3, ..., SRCn+1)는 순차적으로 홀수 번째 게이트 신호들을 출력한다.

- [0065] 도 4는 도 1의 제2 게이트 구동회로의 일 예를 나타내는 블록도이다.
- [0066] 도 4를 참조하면, 제2 게이트 구동회로(320)는 서로 종속적으로 연결된 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn)를 포함한다.
- [0067] 제2 게이트 구동회로(320)는 짝수 번째 게이트 신호를 출력하는 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn)와 더미 스테이지(SRCn+2)를 포함한다. 포치(Porch) 구간 동안 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn)의 출력에 포함될 수 있는 노이즈를 최소화하기 위하여 추가로 제n+4 스테이지(SRCn+4) 또는 그 이상의 스테이지를 포함할 수도 있다.
- [0068] 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn) 각각은 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 제1 입력단자(IN1), 제2 입력단자(IN2), 온 전압 단자(VDD) 오프 전압 단자(VSS), 제1 전압 단자(V1), 제2 전압 단자(V2) 및 출력 단자(OUT)를 포함한다.
- [0069] 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 서로 반대 위상을 가지는 제3 클럭 신호(CKB) 및 제4 클럭 신호(CKBB)가 제공된다. 구체적으로, 스테이지(SRC2, SRC6, ..., SRCn)의 제1 클럭 단자(CK1)에는 상기 제3 클럭 신호(CKB)가 제공되고, 제2 클럭 단자(CK2)에는 상기 제4 클럭 신호(CKBB)가 제공된다. 스테이지(SRC4, SRC8, ..., SRCn-2)의 제1 클럭 단자(CK1)에는 상기 제4 클럭 신호(CKBB)가 제공되고, 제2 클럭 단자(CK2)에는 제3 클럭 신호(CKB)가 제공된다. 제3 클럭 신호(CKB)는 제1 클럭 신호(CKA)에 대해 반주기 지연된 신호일 수 있다. 예를 들어, 제3 클럭 신호(CKB) 및 제4 클럭 신호(CKBB)는 수평주기의 2배의 주기로 반전될 수 있고, 제3 클럭 신호(CKB)는 제1 클럭 신호(CKA)에 대해 수평주기만큼 지연된 신호일 수 있다.
- [0070] 제1 입력 단자(IN1)에는 수직개시신호(STV) 또는 이전 스테이지의 게이트 신호가 제공된다. 즉, 첫 번째 스테이지인 제2 스테이지(SRC2)의 제1 입력 단자(IN1)에는 수직개시신호(STV)가 제공되고, 제4 내지 제n+2 스테이지(SRC4 ~ SRCn+2)의 상기 제1 입력 단자(IN1)에는 이전 스테이지의 게이트 신호가 각각 제공된다.
- [0071] 제2 입력 단자(IN2)에는 다음 스테이지의 게이트 신호 또는 수직개시신호(STV)가 제공된다. 제2 내지 제n 스테이지(SRC2 ~ SRCn)의 제2 입력 단자(IN2)에는 다음 스테이지(SRC4 ~ SRCn+2)의 게이트 신호가 각각 제공되고, 제n+2 스테이지(SRCn+2)의 제2 입력 단자(IN2)에는 수직개시신호(STV)가 제공된다.
- [0072] 온 전압 단자(VDD)에는 온 전압(VON)이 제공된다. 오프 전압 단자(VSS)에는 오프 전압(VOFF)이 제공된다. 제1 전압 단자(V1)에는 제1 전압(VG1)이 제공되고, 제2 전압 단자(V2)에는 제2 전압(VG2)이 제공된다. 제1 전압(VG1)과 제2 전압(VG2)은 게이트 온 전압으로, 하이 전압 레벨과 로우 전압 레벨이 반대로 입력될 수 있다. 즉, 제1 전압(VG1)이 하이 전압 레벨일 때, 제2 전압(VG2)은 로우 전압 레벨이고, 제1 전압(VG1)이 로우 전압 레벨일 때, 제2 전압(VG2)은 하이 전압 레벨일 수 있다.
- [0073] 제2 게이트 구동부(320)는 제3 클럭 신호(CKB), 제4 클럭 신호(CKBB) 및 수직 개시 신호(STV)를 제어부(210)로부터 제4 제어신호(CONT4)로서 수신할 수 있다. 제2 게이트 구동부(320)는 온 전압(VON), 오프 전압(VOFF), 제1 전압(VG1), 제2 전압(VG2)을 전압 생성부(220)로부터 게이트 구동 전압(VG)으로서 인가 받을 수 있다.
- [0074] 출력 단자(OUT)는 전기적으로 연결된 게이트 배선에 게이트 신호를 출력한다. 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn)의 출력 단자(OUT)에서 출력되는 스테이지(SRC2, SRC6, ..., SRCn)의 게이트 신호는 제3 클럭 신호(CKB)의 하이 구간에 출력된다. 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn)의 출력 단자(OUT)에서 출력되는 스테이지(SRC4, SRC8, ..., SRCn-2)의 게이트 신호는 제4 클럭 신호(CKBB)의 하이 구간에 출력된다. 따라서, 짝수 번째 스테이지(SRC2, SRC4, ..., SRCn)는 순차적으로 짝수 번째 게이트 신호들(G2, G4, ..., Gn)을 출력한다.
- [0075] 도 5는 본 발명의 일 실시예에 따른 게이트 구동회로의 각 스테이지를 나타내는 블록도이다.
- [0076] 도 5를 참조하면, 도 1의 제1 게이트 구동부(310) 또는 제2 게이트 구동부(320)의 제m(m은 이하의 자연수) 스테이지는 노드 구동부(301), 풀업부(302), 노드 제어부(303), 제1 노드 안정화부(305), 풀다운부(304), 제2 노드 안정화부(306), 제3 노드 안정화부(307), 제4 노드 안정화부(308)를 포함한다. 실시예에 따라, 상기 제m 스테이지는 풀업부(302)의 출력을 제어하는 제1 노드(N1)의 전압을 부스팅하는 커패시터부(309)를 더 포함할 수 있다. 이하, 설명의 편의를 위하여, 제1 입력 단자(IN1)로부터 입력 받는 신호를 제1 입력 신호(IN1)로, 제2 입력 단자(IN2)로부터 입력 받는 신호를 제2 입력 신호(IN2)로, 온 전압 단자(VDD)로 인가되는 전압을 온 전압(VON)으로, 오프 전압 단자(VSS)로 인가되는 전압을 오프 전압(VOFF)으로, 제1 클럭 단자(CK1)로 입력 받는 신호를 제1 클럭 신호(CK1)로, 제2 클럭 단자(CK2)로 입력 받는 신호를 제2 클럭 신호(CK2)로 지칭한다.
- [0077] 노드 구동부(301)는 제1 입력 신호(IN1) 및 제2 입력 신호(IN2)에 응답하여, 제1 노드(N1)를 제1 전압(VG1) 또

는 제2 전압(VG2)으로 구동한다. 예를 들면, 노드 구동부(301)는 제1 입력 신호(IN1)에 응답하여 제1 전압(VG1)을 제1 노드(N1)로 출력하고, 제2 입력 신호(IN2)에 응답하여 제2 전압(VG2)을 제1 노드(N1)로 출력할 수 있다. 상술한 바와 같이, 제1 입력 신호(IN1)는 이전 스테이지(예를 들면, 제(m-1) 스테이지 또는 제(m-2) 스테이지)의 출력 신호일 수 있다. 제2 입력 신호(IN2)는 다음 스테이지(예를 들면, 제(m+1) 스테이지 또는 제(m+2) 스테이지)의 출력 신호일 수 있다. 노드 구동부(301)는, 제1 입력 신호(IN1)가 하이 구간일 때 제1 노드(N1)의 전압에 의하여 제어되는 풀업부(302)를 턴온시키고, 제2 입력 신호(IN2)가 하이 구간일 때 제1 노드(N1)의 전압에 의하여 제어되는 풀업부(302)를 턴오프시킬 수 있다.

[0078] 풀업부(302)는 제1 노드(N1)의 전압 레벨에 응답하여 출력 단자(OUT)를 제1 논리 레벨(예를 들면, 하이 레벨)로 제어한다. 예를 들면, 풀업부(302)는 제1 클럭 신호(CK1)의 하이 구간을 제1 노드(N1)의 전압 레벨에 응답하여 출력 단자(OUT)로 출력할 수 있다. 풀업부(302)는 출력 단자(OUT)의 신호인 게이트 신호를 풀업시킨다.

[0079] 노드 제어부(303)는 제3 노드(N3)부터 입력 받은 제1 클럭 신호(CK1) 또는 제4 노드(N4)로부터 입력 받은 제2 클럭 신호(CK2)에 응답하여, 제2 노드(N2)를 온 전압(VON)으로 제어한다. 노드 제어부(303)는 플로팅 상태에 있는 제1 노드(N1)의 전압을 오프 전압(VOFF)으로 안정화하기 위하여, 제1 클럭 신호(CK1) 및 제2 클럭 신호(CK2)의 전압 레벨에 기초하여 제1 노드 안정화부(305)를 제어하는 제2 노드(N2)를 온 전압(VON)으로 구동할 수 있다.

[0080] 제1 노드 안정화부(305)는 제2 노드(N2)의 전압 레벨에 응답하여 제1 노드(N1)를 오프 전압(VOFF)으로 안정화한다. 예를 들면, 노드 구동부(301)가 제1 노드(N1)를 제1 전압(VG1) 또는 제2 전압(VG2)으로 안정화하지 못하여 제1 노드(N1)가 플로팅 상태가 되는 것을 막기 위하여, 제1 노드 안정화부(305)는 제1 노드(N1)를 오프전압(VOFF)으로 안정화할 수 있다.

[0081] 풀다운부(304)는 제2 노드(N2)의 전압 또는 제2 입력 신호(IN2)에 응답하여 출력 단자(OUT)를 제2 논리 레벨(예를 들면, 로우 레벨)로 제어한다. 예를 들면, 풀다운부(304)는 제2 노드(N2)의 전압이 상기 하이 레벨(예를 들면, 오프 전압(VOFF))이거나, 제2 입력 신호(IN2)가 상기 하이 레벨일 때, 오프 전압(VOFF)을 출력 단자(OUT)로 출력한다. 풀다운부(304)는 출력 단자(OUT)의 신호인 상기 게이트 신호를 풀다운시킨다.

[0082] 제2 노드 안정화부(306)는 제1 노드(N1)의 전압 레벨에 응답하여 제2 노드(N2)를 오프 전압(VOFF)으로 안정화한다. 제3 노드 안정화부(307)는 제1 노드(N1)의 전압 레벨에 응답하여 제3 노드(N3)를 오프 전압(VOFF)으로 안정화한다. 제4 노드 안정화부(308)는 제3 노드(N3)의 전압 또는 제1 노드(N1)의 전압 레벨에 응답하여 제4 노드(N4)를 안정화할 수 있다. 예를 들면, 제4 노드 안정화부(308)는 제1 노드(N1)의 전압 레벨에 응답하여 제4 노드(N4)에 오프 전압(VOFF)을 출력하고, 제3 노드(N3)의 전압 레벨에 응답하여 제4 노드(N4)에 오프 전압(OFF)을 출력할 수 있다.

[0083] 종래의 게이트 구동회로에서는, 제2 클럭 신호(CK2)가 상기 로우 레벨일 때, 플로팅 상태의 로우 레벨을 가진다. 제2 클럭 신호(CK2)가 상기 로우 레벨일 경우, 제1 클럭 신호(CK1)가 상기 로우 레벨에서 상기 하이 레벨로 천이함에 따른 커플링 효과에 의한 노이즈가 발생할 수 있다. 게이트 라인(GL)에 가로질러 진행되는 데이터 라인(DL)에 의하여 노이즈가 발생될 경우, 상기 노이즈가 제거될 수 있는 경로가 없다는 문제점이 있다. 상기 노이즈를 제거해 주지 못하는 경우, 출력 단자(OUT)를 통하여 원하지 않는 신호가 출력될 수 있다. 종래의 게이트 구동회로에서는 제1 클럭 신호(CK1)가 상기 로우 레벨에서 상기 하이 레벨로 천이함에 따라 플로팅 상태에 있는 제1 노드(N1)의 전압 레벨이 일시적으로 상승할 수 있다. 따라서, 종래의 게이트 구동회로에서는, 제1 노드(N1)의 전압이 상기 일시적으로 상승한 전압에서부터 오프 전압(VOFF)으로 안정화하는 동안 발생하는 리키지 전류가 발생할 수 있다.

[0084] 상기 제m 스테이지는 제2 클럭 신호(CK2)가 온 전압(VON)에 상응하는 로직 레벨을 가지는 동안에 제1 노드(N1)는 오프 전압(VOFF)으로 안정화할 수 있다. 상기 제m 스테이지는, 제1 입력 신호(IN1)가 상기 로우 레벨을 가지고 제1 클럭 신호(CK1)가 오프 전압(VOFF)을 가지는 동안에, 제1 노드(N1)를 오프 전압(VOFF)으로 안정화할 수 있다. 즉, 상기 제m 스테이지는, 제1 클럭 신호(CK1)가 오프 전압(VOFF)에서 온 전압(VON)으로 천이하는 시점에 제1 노드(N1)는 오프 전압(VOFF)으로 안정화 상태를 유지할 수 있다.

[0085] 이와 같이, 상기 제m 스테이지는 제1 클럭 신호(CK1) 및 제2 클럭 신호(CK2)에 기초하여 풀업부(302)의 제어 노드인 제1 노드(N1)를 안정화할 수 있다. 따라서, 상기 제m 스테이지는 풀업부(302)의 제어 노드인 제1 노드(N1)가 플로팅 상태가 되어 발생하는 커플링 현상에 따른 노이즈를 감소시킬 수 있다. 또한, 상기 제m 스테이지는 제1 클럭 신호(CK1)가 오프 전압(VOFF)에서 온 전압(VON)으로 천이하는 시점에 제1 노드(N1)를 오프 전압(VOFF)

F)으로 상기 안정화 상태를 유지함으로써, 상기 리키지 전류를 감소시킬 수 있다. 따라서, 상기 제 m 스테이지는 상기 노이즈를 감소시킴으로써, 출력 단자(OUT)를 통하여 출력하는 게이트 신호의 신뢰도를 증가시키고, 상기 리키지 전류를 감소시킴으로써 소비 전력을 감소시킬 수 있다.

- [0086] 도 6은 도 4의 스테이지의 일 예를 나타내는 회로도이다.
- [0087] 도 6을 참조하면, 도 1의 제1 게이트 구동부(310) 또는 제2 게이트 구동부(320)의 제 m (m 은 자연수) 스테이지는 노드 구동부(301a), 풀업부(302a), 노드 제어부(303a), 제1 노드 안정화부(305a), 폴다운부(304a), 제2 노드 안정화부(306a), 제3 노드 안정화부(307a) 및 제4 노드 안정화부(308a)를 포함한다.
- [0088] 풀업부(302a)는 제1 노드(N1)의 전압 레벨에 응답하여 출력 단자(OUT)를 상기 하이 레벨로 제어한다. 예를 들면, 풀업부(302a)는 제1 클럭 신호(CK1)의 하이 구간을 제1 노드(N1)의 전압 레벨에 응답하여 출력 단자(OUT)로 출력 할 수 있다. 풀업부(302a)는 제1 트랜지스터(T11)를 포함할 수 있다. 제1 트랜지스터(T11)의 입력 전극은 제1 클럭 단자(CK1)에 연결된다. 제1 트랜지스터(T11)의 출력 전극은 출력 단자(OUT)에 연결된다. 제1 트랜지스터(T11)의 제어 단자는 제1 노드(N1)와 연결된다. 상기 제어 단자, 입력 단자 및 출력 단자는 각각 트랜지스터의 게이트 단자, 소스 단자 및 드레인 단자일 수 있다.
- [0089] 풀업부(301a)는 제1 트랜지스터(T11)의 제어 전극과 출력 전극 사이에 형성되는 제1 커패시터(C)를 더 포함한다. 제1 커패시터(C)는 제1 노드(N1)의 전압을 저장하여 제1 트랜지스터(T11)를 턴온시킬 수 있다.
- [0090] 노드 구동부(301a)는 제1 노드 구동 블록 및 제2 노드 구동 블록을 포함할 수 있다. 상기 제1 노드 구동 블록은 제1 입력 신호(IN1)에 응답하여, 제1 전압(VG1)을 제1 노드(N1)에 출력할 수 있다. 상기 제1 노드 구동 블록은 제2 트랜지스터(T1)를 포함할 수 있다. 제2 트랜지스터(T1)의 입력 전극은 제1 전압 단자(V1)와 연결되어 제1 전압(VG1)을 입력 받는다. 제2 트랜지스터(T1)의 제어 전극은 제1 입력 단자(IN1)에 연결된다. 제2 트랜지스터(T1)의 출력 전극은 제1 노드(N1)와 연결되므로, 풀업부(301a)의 제1 트랜지스터(T11)의 제어 단자와 연결된다. 상기 제2 노드 구동 블록은 제2 입력 신호(IN2)에 응답하여, 제2 전압(VG2)을 제1 노드(N1)에 출력할 수 있다. 상기 제2 노드 구동 블록은 제3 트랜지스터(T2)를 포함할 수 있다. 제3 트랜지스터(T2)의 입력 전극은 제2 전압 단자(V2)와 연결되어 제1 전압(V2)을 입력 받는다. 제3 트랜지스터(T2)의 제어 전극은 제2 입력 단자(IN2)에 연결된다. 제3 트랜지스터(T2)의 출력 전극은 제1 노드(N1)와 연결되므로, 풀업부(301a)의 제1 트랜지스터(T11)의 제어 단자와 연결 된다.
- [0091] 풀업 구동부(301a)는, 이전 스테이지(예를 들면, 제($m-1$) 스테이지 또는 제($m-2$) 스테이지)의 출력 신호, 즉, 제1 입력 신호(IN1)의 상기 하이 레벨에 응답하여 제2 트랜지스터(T1)가 턴-온 되면, 제1 전압(VG1)을 제1 노드(N1)에 인가하여 제1 커패시터(C)에 충전할 수 있다. 제1 커패시터(C)에 제1 트랜지스터(T11)의 문턱전압 이상의 전하가 충전되고, 상기 로우 레벨이던 제1 클럭 신호(CK1)가 상기 하이 레벨로 반전(전환)되면서 제1 트랜지스터(T1)가 부트스트랩(Bootstrap) 되어 제1 클럭 신호(CK1)의 상기 하이 레벨을 출력단자(OUT)로 출력한다.
- [0092] 풀업 구동부(301a)는, 다음 스테이지(예를 들면, 제($m+1$) 스테이지 또는 제($m+2$) 스테이지)의 출력 신호, 즉, 제2 입력 신호(IN2)의 상기 하이 레벨에 응답하여 제3 트랜지스터(T2)가 턴-온 되면, 제1 커패시터(C)에 충전된 전하는 오프 전압 단자(VSS)의 오프 전압(VOFF)으로 방전된다. 제1 커패시터(C)의 방전으로 제1 노드(N1)는 상기 로우 레벨로 전환되고, 제1 트랜지스터(T11)는 턴-오프 되어 제1 클럭 신호(CK1)의 출력을 멈춘다.
- [0093] 폴다운부(304a)는 제2 노드(N2)의 전압 또는 제2 입력 신호(IN2)에 응답하여 출력 단자(OUT)를 상기 로우 레벨로 제어한다. 예를 들면, 폴다운부(304a)는 제2 노드(N2)의 전압이 상기 하이 레벨이거나, 제2 입력 신호(IN2)가 상기 하이 레벨일 때, 오프 전압(VOFF)을 출력 단자(OUT)로 출력한다. 폴다운부(304a)는 제1 폴다운 블록 및 제2 폴다운 블록을 포함할 수 있다. 상기 제1 폴다운 블록은 제2 노드(N2)의 전압 레벨에 응답하여 출력 단자(OUT)의 전압을 오프 전압(VOFF)으로 폴다운시킬 수 있다. 상기 제1 폴다운 블록은 제4 트랜지스터(T10)를 포함할 수 있다. 제4 트랜지스터(T10)의 제어 전극은 제2 노드(N2)와 연결된다. 제4 트랜지스터(T10)의 입력 전극은 오프 전압 단자(VSS)와 연결되어 오프 전압(VOFF)을 입력 받는다. 제4 트랜지스터(T10)의 출력 전극은 출력 전극(OUT)과 연결된다. 상기 제2 폴다운 블록은 제2 입력 신호(IN2)에 응답하여 출력 단자(OUT)의 전압을 오프 전압(VOFF)으로 폴다운시킬 수 있다. 상기 제2 폴다운 블록은 제5 트랜지스터(T12)를 포함할 수 있다. 제5 트랜지스터(T12)의 제어 전극은 제2 입력 전극(IN2)과 연결되어 제2 입력 신호(IN2)를 인가 받는다. 제5 트랜지스터(T12)의 입력 전극은 오프 전압 단자(VSS)와 연결되어 오프 전압(VOFF)을 입력 받는다. 제5 트랜지스터(T12)의 출력 전극은 출력 전극(OUT)과 연결된다.
- [0094] 노드 제어부(303a)는 제3 노드로(N3)부터 입력 받은 제1 클럭 신호(CK1) 또는 제4 노드(N4)로부터 입력 받은 제

2 클럭 신호(CK2)에 응답하여, 제2 노드(N2)를 온 전압(VON)으로 제어한다. 노드 제어부(303a)는 제1 노드 제어 블록 및 제2 노드 제어 블록을 포함할 수 있다. 상기 제1 노드 제어 블록은 제3 노드(N3)의 전압 레벨에 응답하여, 온 전압(VON)을 제2 노드(N2)에 출력할 수 있다. 상기 제2 노드 제어 블록은 제4 노드(N4)의 전압 레벨에 응답하여, 온 전압(VON)을 제2 노드(N2)에 출력할 수 있다. 제3 노드(N3)는 제1 클럭 단자(CK1)와 연결되고, 제4 노드(N4)는 제2 클럭 단자(CK2)와 연결된다. 실시예에 따라, 제3 노드(N3)와 제1 클럭 단자(CK1) 사이에 제2 커패시터(C2)가 연결될 수 있고, 제4 노드(N4)와 제2 클럭 단자(CK2) 사이에 제3 커패시터(C3)가 연결될 수 있다.

[0095] 상기 제1 노드 제어 블록은 제6 트랜지스터(T6)를 포함할 수 있다. 제6 트랜지스터(T6)의 제어 전극은 제3 노드(N3)와 연결되어 제2 커패시터(C2)에 의하여 충전된 제1 클럭 신호(CK1)를 인가 받는다. 제6 트랜지스터(T6)의 입력 전극은 온 전압 단자(VDD)와 연결되어 온 전압(VON)을 입력 받는다. 제6 트랜지스터(T6)의 출력 전극은 제2 노드(N2)와 연결된다. 상기 제2 노드 제어 블록은 제7 트랜지스터(T7)를 포함할 수 있다. 제7 트랜지스터(T7)의 제어 전극은 제4 노드(N4)와 연결되어 제3 커패시터(C3)에 의하여 충전된 제2 클럭 신호(CK2)를 인가 받는다. 제7 트랜지스터(T7)의 입력 전극은 온 전압 단자(VDD)와 연결되어 온 전압(VON)을 입력 받는다. 제7 트랜지스터(T7)의 출력 전극은 제2 노드(N2)와 연결된다.

[0096] 제1 노드 안정화부(305a)는 제2 노드(N2)의 전압 레벨에 응답하여 제1 노드(N1)를 오프 전압(VOFF)으로 안정화한다. 예를 들면, 노드 구동부(301a)가 제1 노드(N1)를 제1 전압(VG1) 또는 제2 전압(VG2)으로 안정화하지 못하여 제1 노드(N1)가 플로팅 상태가 되는 것을 막기 위하여, 제1 노드 안정화부(305a)는 제1 노드(N1)를 오프전압(VOFF)으로 안정화할 수 있다. 제1 노드 안정화부(305a)는 제어 전극이 제2 노드(N2)에 연결되고, 입력 전극이 오프 전압 전극(VSS)에 연결되고, 출력 전극이 제1 노드(N1)에 연결되는 제8 트랜지스터(T9)를 포함할 수 있다.

[0097] 제2 노드 안정화부(306a)는 제1 노드(N1)의 전압 레벨에 응답하여 제2 노드(N2)를 오프 전압(VOFF)으로 안정화한다. 제2 노드 안정화부(306a)는 제어 전극이 제1 노드(N1)에 연결되고, 입력 전극이 오프 전압 전극(VSS)에 연결되고, 출력 전극이 제2 노드(N2)에 연결되는 제9 트랜지스터(T8)를 포함할 수 있다.

[0098] 제3 노드 안정화부(307a)는 제1 노드(N1)의 전압 레벨에 응답하여 제3 노드(N3)를 오프 전압(VOFF)으로 안정화한다. 제3 노드 안정화부(307a)는 제어 전극이 제1 노드(N1)에 연결되고, 입력 전극이 오프 전압 전극(VSS)에 연결되고, 출력 전극이 제3 노드(N3)에 연결되는 제10 트랜지스터(T3)를 포함할 수 있다.

[0099] 제4 노드 안정화부(308a)는 제3 노드(N3)의 전압 또는 제1 노드(N1)의 전압 레벨에 응답하여 제4 노드(N4)를 안정화할 수 있다. 제4 노드 안정화부(308a)는 제1 안정화 블록 및 제2 안정화 블록을 포함할 수 있다. 상기 제1 안정화 블록은 상기 제1 노드(N1)의 전압 레벨에 응답하여 제4 노드(N4)를 오프 전압(VOFF)으로 안정화할 수 있다. 상기 제1 안정화 블록은, 제어 전극이 제1 노드(N1)에 연결되고, 입력 전극이 오프 전압 전극(VSS)에 연결되고, 출력 전극이 제4 노드(N4)에 연결되는 제11 트랜지스터(T5)를 포함할 수 있다. 상기 제2 안정화 블록은 제3 노드(N3)의 전압 레벨에 응답하여 제4 노드(N4)를 오프 전압(VOFF)으로 안정화할 수 있다. 상기 제2 안정화 블록은, 제어 전극이 제3 노드(N3)에 연결되고, 입력 전극이 오프 전압 전극(VSS)에 연결되고, 출력 전극이 제4 노드(N4)에 연결되는 제12 트랜지스터(T4)를 포함할 수 있다.

[0100] 상기 제 m 스테이지는 제2 클럭 신호(CK2)가 온 전압(VON)에 상응하는 로직 레벨을 가지는 동안에 제1 노드(N1)는 오프 전압(VOFF)으로 안정화할 수 있다. 상기 제 m 스테이지는, 제1 입력 신호(IN1)가 상기 로우 레벨을 가지고 제1 클럭 신호(CK1)가 오프 전압(VOFF)을 가지는 동안에, 제1 노드(N1)를 오프 전압(VOFF)으로 안정화할 수 있다. 즉, 상기 제 m 스테이지는, 제1 클럭 신호(CK1)가 오프 전압(VOFF)에서 온 전압(VON)으로 천이하는 시점에 제1 노드(N1)는 오프 전압(VOFF)으로 안정화 상태를 유지할 수 있다.

[0101] 이와 같이, 상기 제 m 스테이지는 제1 클럭 신호(CK1) 및 제2 클럭 신호(CK2)에 기초하여 풀업부(302a)의 제어 노드인 제1 노드(N1)를 안정화할 수 있다. 따라서, 상기 제 m 스테이지는 풀업부(302a)의 제어 노드인 제1 노드(N1)가 플로팅 상태가 되어 발생하는 커플링 현상에 따른 노이즈를 감소시킬 수 있다. 또한, 상기 제 m 스테이지는 제1 클럭 신호(CK1)가 오프 전압(VOFF)에서 온 전압(VON)으로 천이하는 시점에 제1 노드(N1)를 오프 전압(VOFF)으로 상기 안정화 상태를 유지함으로써, 상기 리키지 전류를 감소시킬 수 있다. 따라서, 상기 제 m 스테이지는 상기 노이즈를 감소시킴으로써, 출력 단자(OUT)를 통하여 출력하는 게이트 신호의 신뢰도를 증가시키고, 상기 리키지 전류를 감소시킴으로써 소비 전력을 감소시킬 수 있다.

[0102] 도 7은 도 4의 스테이지의 다른 일 예를 나타내는 회로도이다.

[0103] 도 7을 참조하면, 도 1의 제1 게이트 구동부(310) 또는 제2 게이트 구동부(320)의 제 m (m 은 자연수) 스테이지는

노드 구동부(301b), 풀업부(302b), 노드 제어부(303b), 제1 노드 안정화부(305b), 플다운부(304b), 제2 노드 안정화부(306b), 제3 노드 안정화부(307b), 제4 노드 안정화부(308b) 및 커패시터부(309b)를 포함한다.

- [0104] 도 7의 제 m 스테이지는 도 6의 제 m 스테이지에 비하여 풀업부(302a)의 제1 커패시터(C) 대신에 커패시터부(309b)를 더 포함한다. 커패시터부(309b)는 제4 커패시터(C1), 제1 제어 블록 및 제2 제어 블록을 포함할 수 있다.
- [0105] 상기 제1 제어 블록은 제2 노드(N2)의 전압 레벨에 응답하여 오프 전압(VOFF)에 상응하는 전압을 제4 커패시터(C1)에 인가할 수 있다. 상기 제2 제어 블록은 제1 노드(N1)의 전압 레벨에 응답하여 제1 클럭 신호(CK1)의 전압에 상응하는 전압을 제4 커패시터(C1)에 인가할 수 있다. 제4 커패시터(C1)는 제1 노드(N1)와 연결된 제1 전극 및 상기 제1 제어 블록 및 상기 제2 제어 블록에 연결된 제2 전극을 가질 수 있다.
- [0106] 도 7의 제 m 스테이지는 제1 커패시터(C) 대신에 출력 단자(OUT)와 분리된 제4 커패시터(C1)를 포함하는 점을 제외하면, 도 6의 제 m 스테이지와 유사하므로 중복되는 설명은 생략한다.
- [0107] 도 8은 본 발명의 일 실시예에 따른 게이트 구동회로의 동작을 설명하는 타이밍도이다. 설명의 편의를 위하여, 도 8에서는 상기 제1 논리 레벨을 온 전압(VON)의 전압 레벨로 가정하고, 상기 제2 논리 레벨을 오프 전압(VOFF)의 전압 레벨로 가정한다. 또한, 도 6 및 도 7의 트랜지스터와 같은 소자에 의한 전압 강하는 생략하여 도시하였다.
- [0108] 도 8을 참조하면, 상기 제 m 스테이지의 제1 전압 단자(V1)에 온 전압(VON)이 제1 전압(VG1)으로서 인가되고, 제2 전압 단자(V2)에 오프 전압(VOFF)이 제2 전압(VG2)으로서 인가된다. 상기 제 m 스테이지의 제1 클럭 단자(CK1)에 클럭 신호(CK)가 입력되고, 제2 클럭 단자(CK2)에는 클럭 신호(CK)의 반전된 클럭 신호에 유사한 제2 클럭 신호(CKB)가 인가된다.
- [0109] 도 8을 참조하여 도5, 도 6 및 도 7의 제 m 스테이지의 동작을 설명하면 다음과 같다. 제1 구간(T1)에서, 상기 제 m 스테이지는 상기 하이 레벨(예를 들면, 온 전압(VON))을 가지는 제1 입력 신호(IN1)를 인가 받는다. 따라서, 노드 구동부(301)는 상기 하이 레벨을 가지는 제1 입력 신호(IN1)에 응답하여 제1 노드(N1)를 상기 하이 레벨로 구동한다. 제2 노드 안정화부(306)는 제1 노드(N1)의 상기 하이 레벨에 응답하여, 제2 노드(N2)를 오프 전압(VOFF)으로 안정화한다. 제3 노드 안정화부(307)는 제1 노드(N1)의 상기 하이 레벨에 응답하여, 제3 노드(N3)를 오프 전압(VOFF)으로 안정화한다. 제4 노드 안정화부(308)는 제1 노드(N1)의 상기 하이 레벨에 응답하여, 제4 노드(N4)를 오프 전압(VOFF)으로 안정화한다. 제1 클럭 신호(CK)는 로우 레벨(예를 들면, 오프 전압(VOFF))을 가지므로, 풀업부(301)는 제1 클럭 신호(CK)의 상기 로우 레벨에 상응하는 전압을 출력 단자(OUT)를 통하여 출력한다.
- [0110] 제2 구간(T2)에서, 상기 제 m 스테이지는 상기 로우 레벨을 가지는 제1 입력 신호(IN1) 및 제2 입력 신호(IN2)를 입력 받는다. 제1 노드(N1)는 플로팅 상태가 되며, 제1 노드(N1)에 연결된 커패시터(C or C1)에 의하여 제1 노드(N1)는 제1 전압(VG1)보다 높은 부스트전압(VBT)으로 부스팅된다. 풀업부(302)는 제1 클럭 신호(CK)의 상기 하이 레벨에 상응하는 전압을 출력 단자(OUT)를 통하여 출력 한다. 제2 노드 안정화부(306)는 부스팅된 제1 노드(N1)의 부스트 전압(VBT)에 응답하여 제2 노드(N2)를 오프 전압(VOFF)으로 안정화한다. 제3 노드 안정화부(307)는 부스팅된 제1 노드(N1)의 부스트 전압(VBT)에 응답하여, 제3 노드(N3)를 오프 전압(VOFF)으로 안정화한다. 제4 노드 안정화부(308)는 부스팅된 제1 노드(N1)의 부스트 전압(VBT)에 응답하여, 제4 노드(N4)를 오프 전압(VOFF)으로 안정화한다.
- [0111] 제3 구간(T3)에서, 상기 제 m 스테이지는 상기 하이 레벨을 가지는 제2 입력 신호(IN1) 및 상기 로우 레벨을 가지는 제2 입력 신호(IN2)를 입력 받는다. 따라서, 노드 구동부(301)는 상기 하이 레벨을 가지는 제2 입력 신호(IN2)에 응답하여 제1 노드(N1)를 상기 로우 레벨로 구동한다. 제1 노드(N1)를 상기 로우 레벨을 가지므로, 제3 노드 안정화부(307a)의 트랜지스터(T3)는 턴오프 되고, 제3 노드(N3)는 제2 구간(T2)에서와 같이 상기 로우 레벨을 유지한다. 플다운부(304)는 상기 하이 레벨을 가지는 제2 입력 신호(IN2)에 응답하여 출력 단자(OUT)를 오프 전압(VOFF)으로 플다운한다.
- [0112] 제4 구간(T4)에서, 제1 클럭 신호(CK)는 상기 로우 레벨에서 상기 하이 레벨로 상승한다. 따라서, 제3 노드(N3)는 플로팅 상태에서 상기 하이 레벨로 상승한다. 노드 제어부(303)는 제3 노드(N3)의 상기 하이 레벨에 응답하여 제2 노드(N2)를 상기 하이 레벨로 제어한다. 제1 노드 안정화부(305)는 제2 노드의 상기 하이 레벨에 응답하여, 제1 노드(N1)를 상기 로우 레벨로 안정화한다. 플다운부(304)는 제2 노드(N2)의 상기 하이 레벨에 응답하여, 출력 단자(OUT)를 오프 전압(VOFF)으로 플다운한다. 제4 노드 안정화부(308)는 제3 노드(N3)의 상기 하이

레벨에 응답하여 제4 노드를 상기 로우 레벨로 안정화한다. 이는, 후에 제2 클럭 신호(CKB)의 상승에 의한 제4 노드(N4)의 전압 레벨의 상승이 상기 하이 레벨로 정상적으로 이루어지도록 하기 위함이다.

[0113] 다음 구간에서, 제2 클럭 신호(CKB)가 상기 로우 레벨에서 상기 하이 레벨로 상승한다. 따라서, 제4 노드(N4)는 상기 하이 레벨을 갖는다. 노드 제어부(303)는 제4 노드(N4)의 상기 하이 레벨에 응답하여 제2 노드(N2)를 상기 하이 레벨로 제어한다. 제1 노드 안정화부(305)는 제2 노드(N2)의 상기 하이 레벨에 응답하여 제1 노드(N1)를 오프 전압(VOFF)으로 안정화 한다. 풀다운부(304)는 제2 노드(N2)의 상기 하이 레벨에 응답하여, 출력 단자(OUT)를 오프 전압(VOFF)으로 풀다운시킨다. 이후, 제3 노드(N3) 및 제4 노드(N4)는 각각 상기 하이 레벨 또는 상기 로우 레벨을 주기적으로 가진다. 노드 제어부(303)는 주기적으로 반복되는 레벨을 가지는 제3 노드(N3) 또는 제4 노드(N4)의 전압 레벨에 응답하여, 제2 노드(N2)를 일정 구간에서 상기 하이 레벨로 제어할 수 있다. 따라서, 제1 노드 안정화부(305)는 제2 노드(N2)의 상기 하이 레벨에 응답하여 제1 노드(N1)를, 상기 일정 구간에서 플로팅 상태가 되지 않도록 상기 로우 레벨로 안정화 할 수 있다. 상기 일정 구간에서, 출력 단자(OUT)는 풀다운부(304)에 의하여 오프 전압(VOFF)을 유지할 수 있다.

[0114] 이와 같이, 상기 제 m 스테이지는 상기 게이트 신호를 출력하는 출력 단자(OUT)를 풀업하는 풀업부(302)를 제어하는 제1 노드(N1)가 상기 플로팅 상태가 되지 않도록 상기 로우 레벨로 안정화시킴으로써, 제1 노드(N1)가 상기 플로팅 상태가 됨에 따른 노이즈를 감소시킬 수 있다. 또한, 상기 제 m 스테이지는 상기 노이즈를 방지함으로써 원하지 않는 시점에 출력 단자(OUT)를 통하여 상기 하이 레벨의 신호가 출력되는 것을 방지할 수 있다. 상기 제 m 스테이지는 제1 노드(N1)의 상기 플로팅 상태에 따른 커플링 효과를 감소시킴으로써, 리키지 전류를 감소시킬 수 있다.

[0115] 따라서, 본 발명의 실시예들에 따른 게이트 구동회로 및 이를 포함하는 표시 장치는 복수의 게이트 라인들(GL1, ..., GLn)을 통하여 출력되는 게이트 신호들에 포함된 노이즈를 효율적으로 감소시키고, 상기 게이트 신호들의 신뢰성을 효율적으로 증가시킬 수 있다. 본 발명의 실시예들에 따른 게이트 구동회로 및 이를 포함하는 표시 장치는 게이트 구동회로들(301, 302) 또는 단일의 게이트 구동회로에서 발생하는 리키지 전류를 효율적으로 감소시킬 수 있다.

[0116] 도 9는 본 발명의 일 실시예에 따른 시스템을 나타내는 도면이다.

[0117] 도 9를 참조하면, 시스템(6000)은 표시 장치(1000), 프로세서(2000) 및 저장 장치(3000)를 포함한다.

[0118] 저장 장치(3000)는 영상 데이터를 저장한다. 저장 장치(3000)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD) 및 씨디롬(CD-ROM) 등을 포함할 수 있다.

[0119] 표시 장치(1000)는 상기 영상 데이터를 디스플레이한다. 표시 장치(1000)는 표시 패널(100), 구동부(200)를 포함한다. 표시 패널(100)은 데이터 신호(DATA)를 수신하여 동작하는 복수의 화소들을 포함한다. 표시 장치(1000)는 구동부(200)로부터 수신되는 데이터 신호(DATA)에 반응하는 이미지를 표시하는 임의의 종류의 표시 장치일 수 있다. 예를 들어, 표시 장치(1000)는 유기 발광 표시 장치일 수 있고, 이 경우 표시 패널(100)에 포함되는 복수의 화소들 각각은 유기 발광 다이오드(Organic Light Emitting Diode; OLED)를 포함할 수 있다.

[0120] 다시 도 5 및 도 9를 참조하면, 구동부(200)는 제어부(210), 전압 생성부(220), 제1 게이트 구동부(310), 제2 게이트 구동부(320) 및 데이터 구동부(240)를 포함한다. 제2 게이트 구동부(310) 또는 제2 게이트 구동부(320)는 서로 종속적으로 연결된 복수의 스테이지를 포함한다. 각 스테이지는 노드 구동부(301), 풀업부(302), 노드 제어부(303), 제1 노드 안정화부(305), 풀다운부(304), 제2 노드 안정화부(306), 제3 노드 안정화부(307), 제4 노드 안정화부(308)를 포함한다. 상기 제 m 스테이지는 제2 클럭 신호(CK2)가 온 전압(VON)에 반응하는 로직 레벨을 가지는 동안에 제1 노드(N1)는 오프 전압(VOFF)으로 안정화할 수 있다.

[0121] 다시 도 5 내지 도 7을 참조하면, 각 스테이지는, 제1 입력 신호(IN1)가 상기 로우 레벨을 가지고 제1 클럭 신호(CK1)가 오프 전압(VOFF)을 가지는 동안에, 제1 노드(N1)를 오프 전압(VOFF)으로 안정화할 수 있다. 즉, 각 스테이지는, 제1 클럭 신호(CK1)가 오프 전압(VOFF)에서 온 전압(VON)으로 천이하는 시점에 제1 노드(N1)는 오프 전압(VOFF)으로 안정화 상태를 유지할 수 있다. 각 스테이지는 제1 클럭 신호(CK1) 및 제2 클럭 신호(CK2)에 기초하여 풀업부(302)의 제어 노드인 제1 노드(N1)를 안정화할 수 있다. 따라서, 각 스테이지는 풀업부(302)의 제어 노드인 제1 노드(N1)가 플로팅 상태가 되어 발생하는 커플링 현상에 따른 노이즈를 감소시킬 수 있다. 또한, 각 스테이지는 제1 클럭 신호(CK1)가 오프 전압(VOFF)에서 온 전압(VON)으로 천이하는 시점에 제1 노드(N1)를 오프 전압(VOFF)으로 상기 안정화 상태를 유지함으로써, 상기 리키지 전류를 감소시킬 수 있다.

[0122] 표시 장치(1000)는 도 1에 도시된 표시 장치(1000)로 구성될 수 있다. 도 1에 도시된 표시 장치(1000)의 구성

및 동작에 대해서는 도 1 내지 도 8을 참조하여 상세히 설명하였으므로 중복되는 설명은 생략한다.

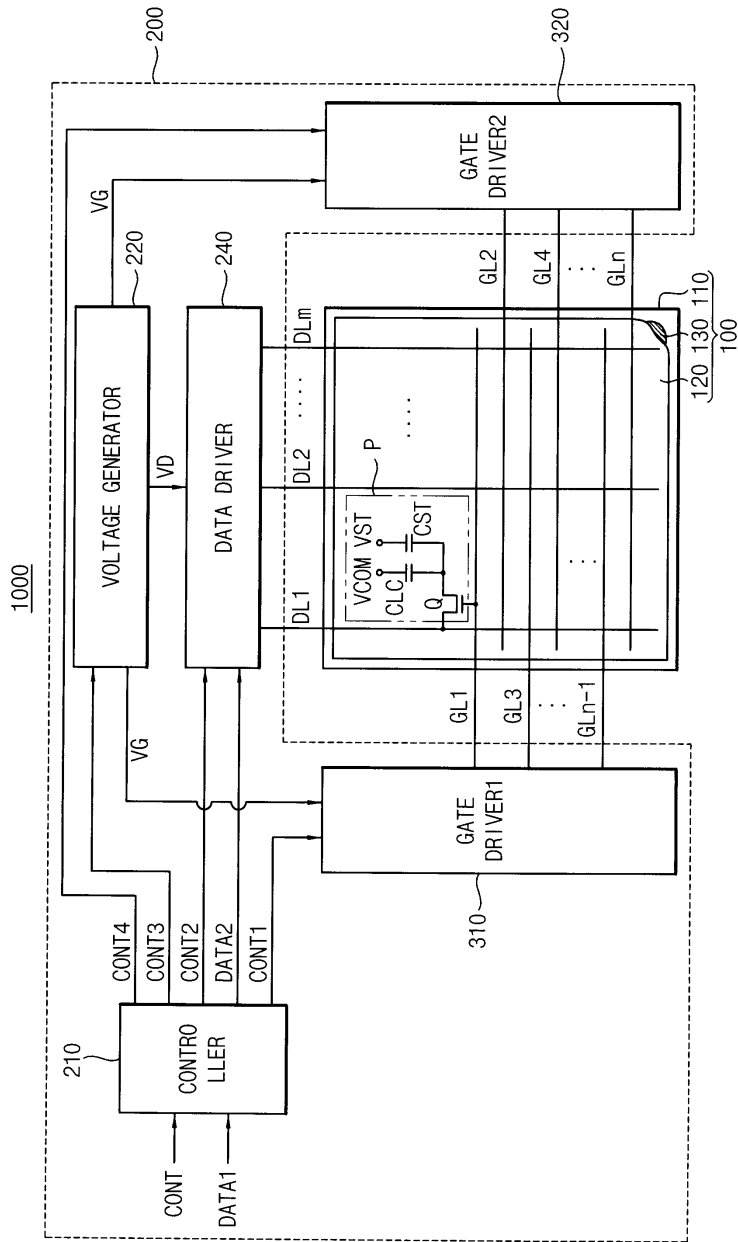
- [0123] 프로세서(2000)는 저장 장치(3000) 및 표시 장치(1000)의 동작을 제어한다. 프로세서(2000)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 예시적인 실시예에 있어서, 프로세서(2000)는 마이크로프로세서(micro processor), 중앙 처리 장치(Central Processing Unit; CPU) 등일 수 있다. 프로세서(2000)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 저장 장치(3000) 및 표시 장치(1000)에 연결되어 통신을 수행할 수 있다. 예시적인 실시예에 있어서, 프로세서(2000)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) bus와 같은 확장 bus에도 연결될 수 있다.
- [0124] 시스템(6000)은 메모리 장치(4000) 및 입출력 장치(5000)를 더 포함할 수 있다. 또한, 도 9에는 도시되지 않았지만, 시스템(6000)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.
- [0125] 메모리 장치(4000)는 시스템(6000)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(4000)는 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM), 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM) 등과 같은 휘발성 메모리 장치 및 이피롬(Erasable Programmable Read-Only Memory; EPROM), 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 및 플래시 메모리 장치(flash memory device) 등과 같은 비휘발성 메모리 장치를 포함할 수 있다.
- [0126] 입출력 장치(5000)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터 등과 같은 출력 수단을 포함할 수 있다.
- [0127] 시스템(6000)은 사용자가 표시 장치(1000)를 통해 화상을 볼 수 있는 휴대폰, 스마트폰, PDA(personal digital assistant), 컴퓨터, 노트북, PMP(personal media player), 텔레비전, 디지털 카메라, MP3 플레이어, 차량용 네비게이션 등을 포함하는 임의의 전자 장치일 수 있다.
- [0128] 이와 같이, 본 발명의 실시예들에 따른 게이트 구동회로, 이를 포함하는 표시 장치 및 시스템에 따르면, 복수의 게이트 라인들을 통하여 출력되는 게이트 신호들에 포함된 노이즈를 효율적으로 감소시킴으로써, 상기 게이트 신호들의 신뢰성을 효율적으로 증가시킬 수 있다. 또한, 표시 장치는 게이트 구동회로에서 발생하는 리키지 전류를 효율적으로 감소시킬 수 있다.
- [0129] 이상, 본 발명의 실시예들에 따른 게이트 구동회로 및 이를 포함하는 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 표시 장치가 표시 패널에 연결된 홀수 번째 게이트 라인들을 구동하는 제1 게이트 구동회로 및 짝수 번째 게이트 라인들을 구동하는 제2 게이트 구동회로를 포함하는 경우에 대하여 설명하였으나, 하나의 표시 패널에 연결된 게이트 라인들을 구동하기 위하여 임의의 게이트 구동회로들을 포함하는 경우에도 적용될 수 있다.

산업상 이용가능성

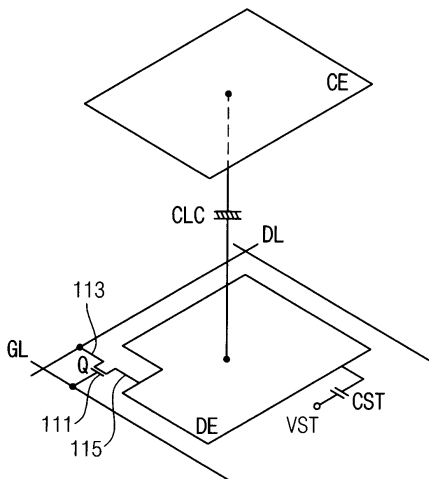
- [0130] 본 발명은 복수의 게이트 라인들을 포함하는 표시 장치를 구동하는 게이트 구동회로를 포함하는 표시 장치 및 이를 포함하는 시스템에 적용될 수 있다. 또한 특히, 본 발명은 예를 들어, 본 발명은 액정 표시 장치, 유기 발광 표시 장치 등에 적용될 수 있으며, 휴대폰, 스마트폰, PDA(personal digital assistant), 컴퓨터, 노트북, PMP(personal media player), 텔레비전, 디지털 카메라, MP3 플레이어, 차량용 네비게이션 등에 적용될 수 있다.
- [0131] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

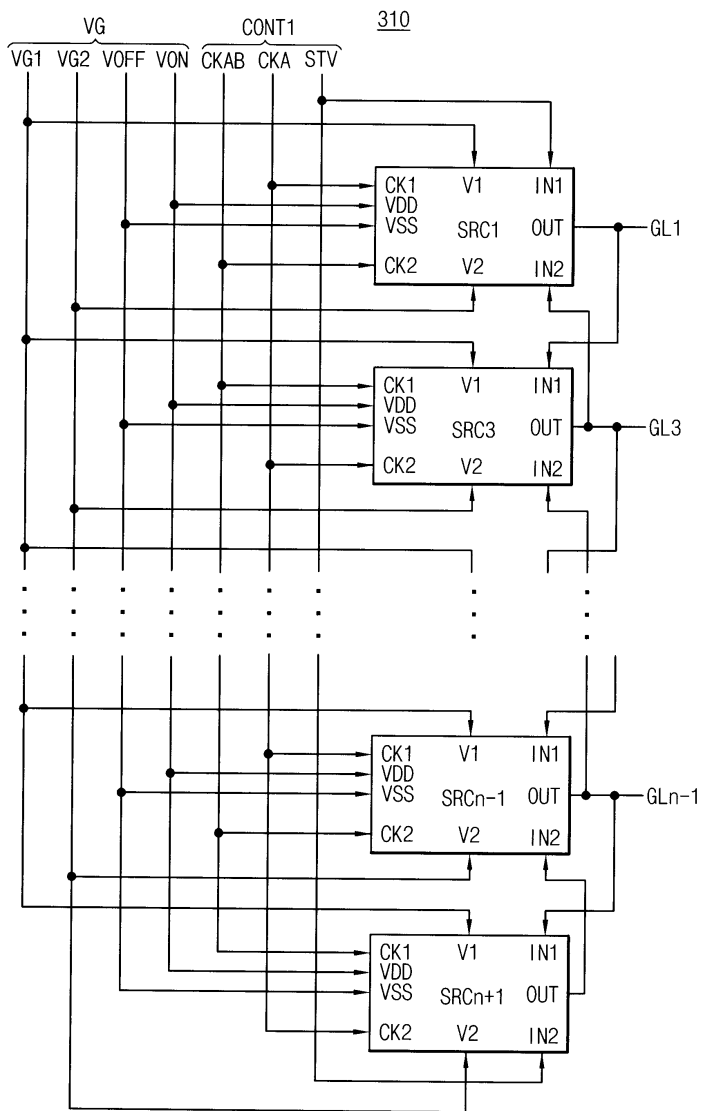
도면1



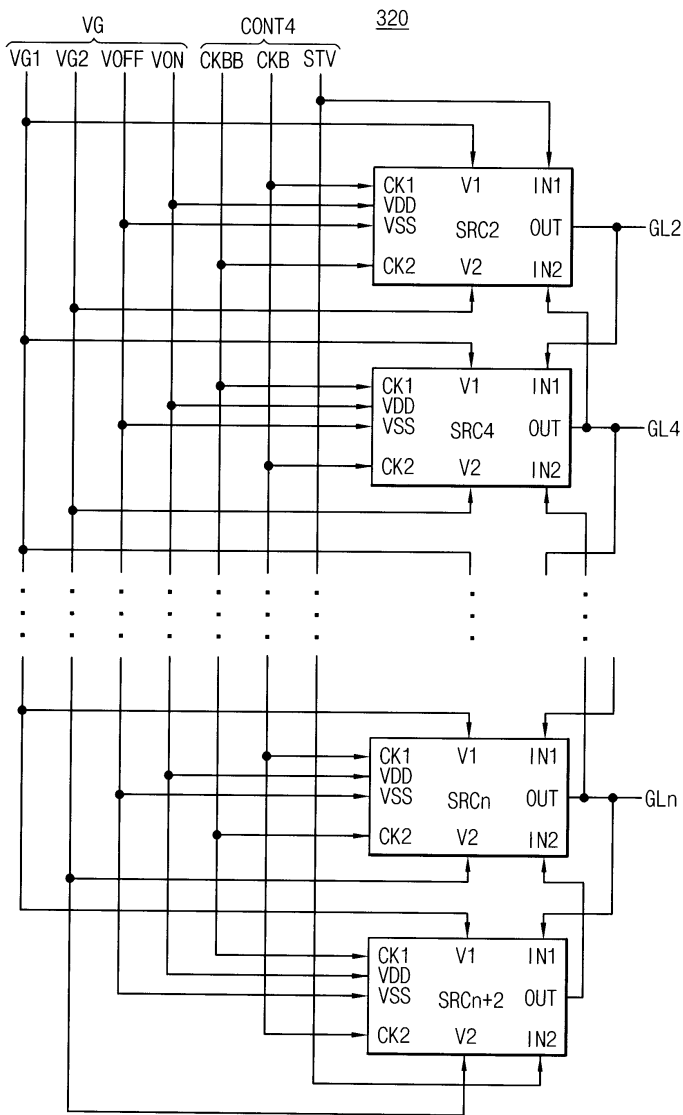
도면2



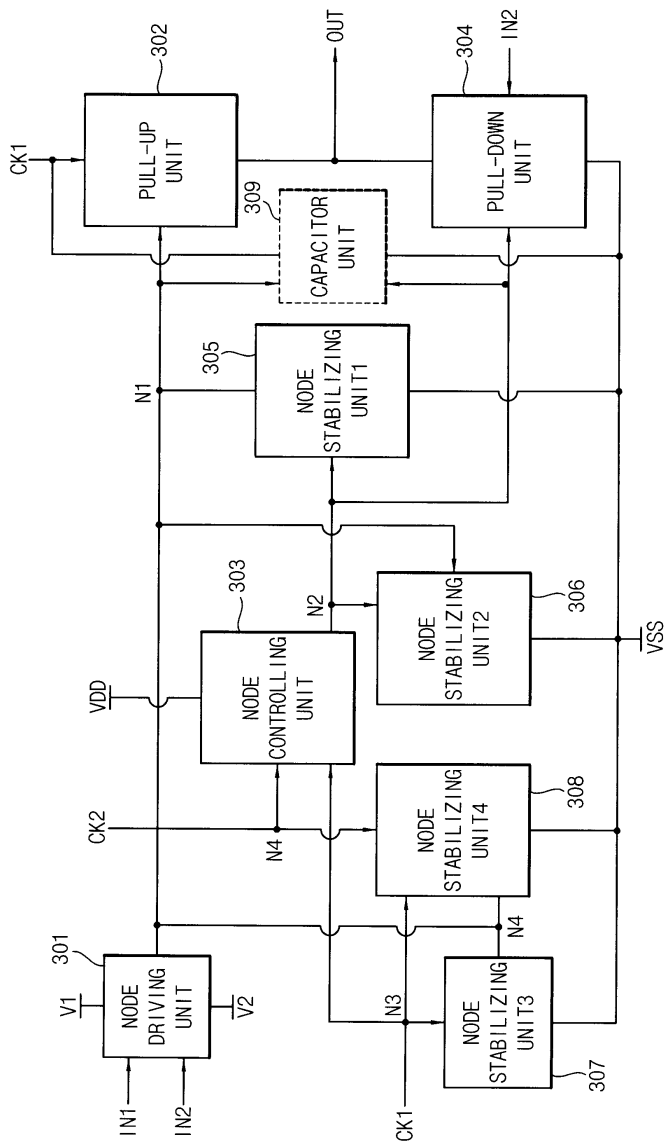
도면3



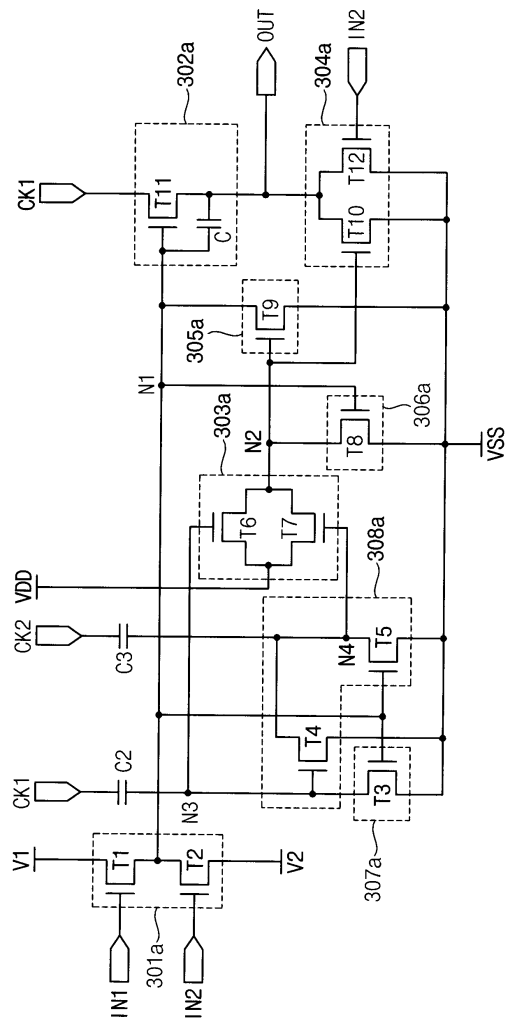
도면4



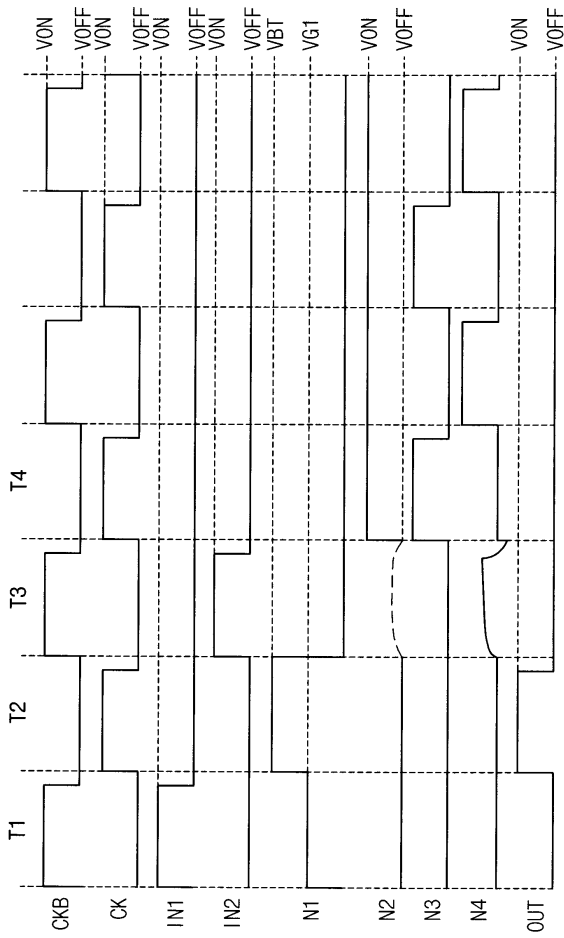
도면5



도면6



도면8



도면9

