

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5010244号
(P5010244)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月8日(2012.6.8)

(51) Int.Cl. F I
 HO 1 L 31/02 (2006.01) HO 1 L 31/02 B
 HO 1 L 27/14 (2006.01) HO 1 L 27/14 D

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2006-310623 (P2006-310623)	(73) 特許権者	311003743
(22) 出願日	平成18年11月16日(2006.11.16)		オンセミコンダクター・トレーディング・
(65) 公開番号	特開2007-189198 (P2007-189198A)		リミテッド
(43) 公開日	平成19年7月26日(2007.7.26)		英国領バミューダ・エイチエム 11 ハ
審査請求日	平成21年11月2日(2009.11.2)		ミルトン・チャーチストリート2・クラレ
(31) 優先権主張番号	特願2005-361706 (P2005-361706)		ンドンハウス・コーダン サービスズ
(32) 優先日	平成17年12月15日(2005.12.15)		リミテッド 気付
(33) 優先権主張国	日本国(JP)	(74) 代理人	100107906
			弁理士 須藤 克彦
		(72) 発明者	岡田 和央
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内
		(72) 発明者	北川 勝彦
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

表面に受光素子が形成された半導体基板と、
 前記受光素子の上方であって、前記半導体基板と貼り合わされた光透過性基板と、
 前記半導体基板の裏面から側面に沿って形成された配線層と、
 前記受光素子と前記配線層の間であって、前記半導体基板の裏面から側面に沿って形成
 され、前記光透過性基板から前記半導体基板を介して前記配線層の方向に入射する赤外線
 を前記受光素子側に反射させる反射層と、を備えることを特徴とする半導体装置。

【請求項2】

前記半導体基板の表面上に形成され、前記受光素子と電氣的に接続された外部接続用電
 極を備え、該外部接続用電極の裏面は、前記配線層と接続されていることを特徴する請求
 項1に記載の半導体装置。

【請求項3】

前記反射層は金属材料から成ることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

表面に受光素子が形成された半導体基板と、
 前記受光素子の上方であって、前記半導体基板と貼り合わされた光透過性基板と、
 前記半導体基板の裏面から側面に沿って形成された配線層と、
 前記受光素子と前記配線層の間であって、前記半導体基板の裏面から側面に沿って形成さ
 れ、前記光透過性基板から前記半導体基板を介して前記配線層の方向に入射する赤外線の

10

20

透過を防止する反射防止層と、を備えることを特徴とする半導体装置。

【請求項 5】

前記半導体基板の表面上に形成され、前記受光素子と電氣的に接続された外部接続用電極を備え、該外部接続用電極の裏面は、前記配線層と接続されていることを特徴する請求項 4 に記載の半導体装置。

【請求項 6】

前記反射防止層は赤外線吸収材料が混合されていることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置に関し、特に、受光素子を備えるチップサイズパッケージ型の半導体装置に関するものである。

【背景技術】

【0002】

近年、新たなパッケージ技術として、CSP (Chip Size Package) が注目されている。CSP とは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

【0003】

従来より、CSP の一種として、BGA (Ball Grid Array) 型の半導体装置が知られている。この BGA 型の半導体装置は、半田等の金属部材から成るボール状の導電端子をパッケージの一主面上に複数配列し、パッケージの他の面上に搭載される半導体チップと電氣的に接続したものである。

20

【0004】

そして、この BGA 型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに実装することで、半導体チップとプリント基板上に搭載される外部回路とを電氣的に接続している。

【0005】

このような BGA 型の電子装置は、側部に突出したリードピンを有する SOP (Small Outline Package) や QFP (Quad Flat Package) 等の他の CSP 型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有するため、幅広く用いられている。

30

【0006】

図 6 (a) は、受光素子を備える従来の BGA 型の半導体装置の概略構成を示す断面図である。シリコン (Si) 等から成る半導体基板 100 の表面には、CCD (Charge Coupled Device) 型イメージセンサや CMOS 型イメージセンサ等の受光素子 101 が設けられ、さらに、パッド電極 102 が第 1 の絶縁膜 103 を介して形成されている。また、半導体基板 100 の表面には、例えばガラスや石英等の光透過性基板 104 がエポキシ樹脂等から成る樹脂層 105 を介して接着されている。また、半導体基板 100 の側面及び裏面にはシリコン酸化膜もしくはシリコン窒化膜等から成る第 2 の絶縁膜 106 が形成されている。

40

【0007】

さらに、第 2 の絶縁膜 106 上には、パッド電極 102 と電氣的に接続された配線層 107 が、半導体基板 100 の表面から側面に沿って裏面に形成されている。また、第 2 の絶縁膜 106 及び配線層 107 を被覆して、ソルダーレジスト等から成る保護膜 108 が形成されている。配線層 107 上の保護膜 108 の所定領域には開口部が形成され、この開口部を通して配線層 107 と電氣的に接続されたボール状の導電端子 109 が形成されている。

【0008】

上述した技術は、例えば以下の特許文献に記載されている。

50

【特許文献1】特表2002-512436号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上述した従来のBGA型の半導体装置において、赤外線を使用する場合、図6(a)の矢印で示したように光透過性基板104を通過した赤外線が、さらに半導体基板100をも透過し、半導体基板100の裏面に形成された配線層107にまで到達する場合がある。そして、その赤外線が配線層107で反射して上方(受光素子101側)に向かい、受光素子101がその反射光を受光してしまう結果、図6(b)に示すように、出力画像110に導電端子109及び配線層107のパターン111が映り込んでしまふという問題があった。

10

【課題を解決するための手段】

【0010】

本発明は上記課題に鑑みてなされたものであり、その主な特徴は以下のとおりである。すなわち、本発明の半導体装置は、表面に受光素子が形成された半導体基板と、前記受光素子の上方であって、前記半導体基板と貼り合わされた光透過性基板と、前記半導体基板の裏面から側面に沿って形成された配線層と、前記受光素子と前記配線層の間であって、前記半導体基板の裏面から側面に沿って形成され、前記光透過性基板から前記半導体基板を介して前記配線層の方向に入射する赤外線を前記受光素子側に反射させる反射層と、を備えることを特徴とする。

20

【0013】

また、本発明の半導体装置は、表面に受光素子が形成された半導体基板と、前記受光素子の上方であって、前記半導体基板と貼り合わされた光透過性基板と、前記半導体基板の裏面から側面に沿って形成された配線層と、前記受光素子と前記配線層の間であって、前記半導体基板の裏面から側面に沿って形成され、前記光透過性基板から前記半導体基板を介して前記配線層の方向に入射する赤外線の透過を防止する反射防止層と、を備えることを特徴とする。

【発明の効果】

【0016】

本発明に係る半導体装置によれば、半導体基板の裏面に形成された導電端子や配線層のパターンが出力画像に写り込むことを防止できる。

30

【発明を実施するための最良の形態】

【0017】

次に、本発明の第1の実施形態について図面を参照しながら説明する。図1～図2はそれぞれ、製造工程順に示した断面図である。

【0018】

まず、図1(a)に示すように、その表面に約700nmから2500nmの波長の赤外線を検知可能な受光素子1(例えば、CCDセンサー、CMOSセンサー、照度センサー等の素子)が形成されたシリコン(Si)等から成る半導体基板2を準備する。そして、半導体基板2の表面に第1の絶縁膜3(例えば、熱酸化法やCVD法等によって形成されたシリコン酸化膜)を例えば2μmの膜厚に形成する。

40

【0019】

次に、スパッタリング法やメッキ法、その他の成膜方法によりアルミニウム(Al)や銅(Cu)等の金属層を形成し、その後不図示のホトレジスト層をマスクとして当該金属層をエッチングし、第1の絶縁膜3上にパッド電極4を例えば1μmの膜厚に形成する。パッド電極4は受光素子1やその周辺素子と電気的に接続された外部接続用電極である。次に、半導体基板2の表面にパッド電極4の一部上を被覆する不図示のパッシベーション膜(例えば、CVD法により形成されたシリコン窒化膜)を形成する。

【0020】

次に、パッド電極4を含む半導体基板2の表面上に、エポキシ樹脂等の樹脂層5を介し

50

て光透過性基板 6 を接着する。光透過性基板 6 は、ガラスや石英のような透明もしくは半透明の材料から成り、光を透過させる性状を有するものである。

【 0 0 2 1 】

次に、半導体基板 2 の裏面に対してバックグランドを行い、半導体基板 2 の厚さを例えば 1 0 0 μm 程度に薄くする。なお、最終製品の用途や仕様、準備した半導体基板 2 の当初の厚みによっては、当該研削工程を行う必要がない場合もある。

【 0 0 2 2 】

次に、図 1 (b) に示すように、パッド電極 4 に対応する半導体基板 2 の位置のみを、半導体基板 2 の裏面側から選択的にエッチングし、パッド電極 4 の一部上を含む第 1 の絶縁膜 3 を露出させる。以下、この露出部分を開口部 7 とする。なお、当該開口部 7 は半導体基板 2 の裏面側から表面側に行くほどその開口径が細くなるテーパ形状である。なお、図示はしないが、半導体基板 2 の側面が光透過性基板 6 の主面に対して垂直となるように、開口部 7 をストレート形状にエッチングすることも可能である。

【 0 0 2 3 】

次に、CVD法、スパッタリング法、その他の成膜方法により、半導体基板 2 の裏面上に、例えばアルミニウムや金、銀等の金属材料から成る反射層 8 を例えば約 0 . 1 ~ 2 μm の膜厚で形成する。なお、反射層 8 は前記半導体基板 2 のバックグランド後に形成し、その後反射層 8 と半導体基板 2 を選択的にエッチングしてもよい。

【 0 0 2 4 】

反射層 8 は、光透過性基板 6 から半導体基板 2 を介してその裏面の方向に入射される赤外線や半導体基板 2 の裏面側から受光素子 1 の方向に入射される赤外線をさらに先まで透過させずに反射させる機能を有する層であり、当該機能を有するのであればその材料は特に限定されない。また、反射層 8 は、半導体基板 2 の裏面全体に一樣に形成してもよいし、あるいは後述するように受光素子 1 の形成領域の下方にのみ形成してもよい。

【 0 0 2 5 】

次に、図 1 (c) に示すように、開口部 7 内及び反射層 8 を含む半導体基板 2 の側面及び裏面上に第 2 の絶縁膜 9 を形成する。この第 2 の絶縁膜は、例えばプラズマ CVD 法によって形成されたシリコン酸化膜やシリコン窒化膜である。

【 0 0 2 6 】

次に、図 2 (a) に示すように、不図示のホトレジスト層をマスクとして、第 1 の絶縁膜 3 及び第 2 の絶縁膜 9 の選択的なエッチングを行う。このエッチングにより、パッド電極 4 の一部上からダイシングライン DL に至る領域にかけて形成された第 1 の絶縁膜 3 及び第 2 の絶縁膜 9 が除去され、開口部 7 の底部においてパッド電極 4 の一部が露出される。

【 0 0 2 7 】

次に、スパッタリング法やメッキ法、その他の成膜方法により、配線層 1 0 となるアルミニウム (Al) や銅 (Cu) 等の金属層を形成する。その後、図 2 (b) に示すように不図示のホトレジスト層をマスクとしてエッチングし、パッド電極 4 の一部上及び第 2 の絶縁膜 9 上に配線層 1 0 を例えば、1 μm の膜厚に形成する。なお、反射層 8 の形成と配線層 1 0 の形成を同一材料 (例えばアルミニウム) 及び同一の形成方法 (例えばスパッタリング法) で行うことが好ましい。製造工程が単純化され、製造コストを低く抑えることができるという利点があるからである。

【 0 0 2 8 】

次に、図 2 (c) に示すように、配線層 1 0 を含む半導体基板 2 の裏面上にソルダレジストのようなレジスト材料から成る保護層 1 1 を形成する。そして、保護層 1 1 の所定領域を開口させ、当該開口から露出した前記配線層 1 0 上に例えばニッケルと金等から成る電極接続層 (不図示) を形成し、その上にハンダ等からなるボール状の導電端子 1 2 を形成する。なお、前記保護層 1 1 がネガ型のレジスト材料である場合には、光が照射された領域が保護層 1 1 として残り、光が照射されなかった領域の保護層 1 1 が除去されて前記開口が形成される。

10

20

30

40

50

【 0 0 2 9 】

このようにして、半導体基板 2 の表面のパッド電極 4 から、当該半導体基板 2 の側壁に沿って、半導体基板 2 の裏面に形成された導電端子 1 2 に至るまでの配線が可能となる。そして、多数の半導体装置の境界であるダイシングライン D L に沿ってダイシングを行うことにより、個々の半導体装置に切断分離する。

【 0 0 3 0 】

以上の工程により、受光素子 1 を備えるチップサイズパッケージ型の半導体装置が完成する。

【 0 0 3 1 】

第 1 の実施形態に係る半導体装置では、垂直方向において受光素子 1 と配線層 1 0 との間に、光透過性基板 6 から半導体基板 2 を介して配線層 1 0 の方向に入射する赤外線を配線層 1 0 に到達させずに受光素子 1 側に反射する反射層 8 が形成されている。従って、光透過性基板 6 から反射層 8 に到達した赤外線は、当該反射層 8 で全て反射されることになる。そのため、半導体基板 2 の裏面にどのような配線のパターンが形成されていたとしても、赤外線が配線層 1 0 や導電端子 1 2 で反射されることはなく、かかる裏面配線のパターンの模様が出力画像に写り込むことは防止される。さらに、光透過性基板 6 から反射層 8 に到達した赤外線は受光素子 1 側に反射されるため、受光素子 1 に入射される赤外線の光強度が上昇し、出力画像のコントラストが上昇する利点がある。

【 0 0 3 2 】

また、上記実施形態では反射層 8 が半導体基板 2 の裏面に一様に形成されているが、図 3 に示すように、半導体基板 2 の裏面のうち、垂直方向からみた場合に受光素子 1 の領域にのみ、または受光素子 1 の形成領域の端部よりも所定量だけ広めに反射層 8 を形成させてもよい。かかる構成であっても、上記実施形態と同様に配線層 1 0 のパターンが受光素子 1 側に反射することはなく、出力画像に裏面配線のパターンが写り込むことを防止できるからである。

【 0 0 3 3 】

また、上記実施形態では反射層 8 が半導体基板 2 の裏面上にだけ形成されていたが、図 7 に示すように、半導体基板 2 の側面全体を被覆するように反射層 8 を形成してもよい。かかる構成によれば、光透過性基板 6 を透過した赤外線が半導体基板 2 の側面に沿って形成された配線層 1 0 によって受光素子 1 側に反射されることを防止できる。そのため、半導体基板 2 の側面に沿った配線層 1 0 のパターンが出力画像に写り込むことを防止できる。

【 0 0 3 4 】

また、完成した半導体装置の実装の仕方によっては、様々な方向から赤外線が入射される可能性があり、仮に半導体基板 2 の側面側から赤外線が受光素子 1 に入射されると、受光素子 1 が誤ってその赤外線を検知してしまう場合がある。これに対して、図 7 に示すように半導体基板 2 の側面及び裏面の全体を反射層 8 で被覆することで、半導体基板 2 の側面及び裏面側から受光素子 1 の方向に入射する赤外線を完全に遮蔽できる。そのため、光透過性基板 6 側からの光のみを受光素子 1 で正確に受光し、受光素子 1 の検知精度を向上させることができる。

【 0 0 3 5 】

また、上記実施形態では、パッド電極 4 から半導体基板 2 の側壁に沿って配線層 1 0 が形成されているが、本発明はこれに限定されることはなく、半導体基板 2 の裏面に配線層が形成されているものであれば適用することができる。すなわち、例えば図 4 に示すように、半導体基板 2 の表面から裏面にかけて形成されたアルミニウムや銅等の金属から成る貫通電極 2 0 と、半導体基板 2 の裏面に当該貫通電極 2 0 と電気的に接続された配線層 2 1 及びボール状の導電端子 1 1 とが形成されたいわゆる貫通電極型の半導体装置において、導電端子 1 2 を含めた配線層 2 1 と受光素子 1 との間に、反射層 8 を設けることもできる。なお、図 4 における 2 2 は、例えばチタン (T i) 層、酸化チタン (T i O ₂) 層、チタンナイトライド (T i N) 層、もしくはタンタルナイトライド (T a N) 層等の金属

10

20

30

40

50

から成るバリアメタル層である。また、上記実施形態と同様の構成については同一記号を用い、その説明を省略する。

【0036】

当該貫通電極型の半導体装置は例えば、受光素子1及び第1の絶縁膜3を介してパッド電極4が形成された半導体基板2を準備し、パッド電極4に対応する位置に半導体基板2を貫通するビアホールを形成する工程と、半導体基板2の裏面に反射層8を形成する工程と、当該ビアホールの側壁及び半導体基板2の裏面を被覆する第2の絶縁膜9aを形成する工程と、ビアホール底部の第2の絶縁膜9aを除去し、その後ビアホール内に前記バリアメタル層22を形成し、ビアホール内に例えば電解メッキ法などで銅等の金属から成る貫通電極20を形成する工程と、半導体基板2の裏面に貫通電極20と電気的に接続された配線層21をパターンニングし、その後ボール状の導電端子12、保護層11を形成する工程によって製造される。なお、上記工程は本実施形態に係る貫通電極型の半導体装置の製造工程の一例であって、その製造工程は限定されず、例えばビアホールを形成する前に反射層8を形成することもできる。なお、図示はしないが既に説明したように、反射層8は半導体基板2の裏面全体に一樣に形成してもよく、受光素子1の形成領域と重畳した領域にのみ形成することもできる。

10

【0037】

次に、本発明の第2の実施形態に係る半導体装置について図5を参照しながら説明する。なお、第1の実施形態と同様の構成については同一記号を用い、その説明を省略する。

【0038】

第2の実施形態に係る半導体装置では、垂直方向において受光素子1と配線層10との間に、反射防止層30（例えば、スパッタリング法によって形成されたチタンナイトライド（TiN）層や、黒色顔料等の色素が添加された層や、有機系の樹脂層が例えば1～2μmの膜厚で形成されていることが特徴である。反射防止層30は、例えば黒色顔料等の赤外線吸収材料が混合されていることが反射防止の効果を高める上で好ましい。反射防止層30は、光透過性基板6から半導体基板2を介して配線層10の方向に入射される赤外線を吸収し、その透過を防止する機能を有する層であり、当該機能を有するのであればその材質及び膜厚は特に限定されない。

20

【0039】

第2の実施形態に係る半導体装置によれば、光透過性基板6から反射防止層30に到達した赤外線は、当該反射防止層30で吸収される。そのため、配線層10によって受光素子1側に赤外線が反射されることを効果的に防止することができる。また、仮に反射されたとしても極僅かの赤外線しか反射しないため、出力画像に裏面配線のパターンが写り込むことは軽減される。

30

【0040】

従って、半導体基板2の裏面にどのようなパターンの配線層10や導電端子12が形成されていたとしても、かかる裏面配線のパターンの模様が出力画像に写り込むことを効果的に防止できる。

【0041】

また、図5では反射防止層30が半導体基板2の裏面に一樣に形成されているが、図3に示した半導体装置の反射層8と同様に、半導体基板2の裏面のうち、垂直方向からみた場合に受光素子1の形成領域と重畳した領域にのみ反射防止層30を形成してもよい。または受光素子1の形成領域と重畳した領域の端部よりも所定量だけ広めに形成させてもよい。

40

【0042】

また、図8に示すように、半導体基板2の側面全体を被覆するように反射防止層30を形成してもよい。かかる構成によれば、光透過性基板6を透過した赤外線が半導体基板2の側面に沿った配線層10によって受光素子1側に反射されることを防止できる。従って、半導体基板2の側面に沿った配線層10のパターンが出力画像に写り込むことを防止できる。

50

【0043】

また、半導体基板2の側面側から受光素子1の方向に入射する赤外線についても反射防止層30で吸収し、その透過が防止できる。そのため、どのような半導体装置の実装の仕方であっても、光透過性基板6側からの光のみを受光素子1で正確に受光し、受光素子1の検知精度を向上させることができる。

【0044】

なお、第2の実施形態に係る半導体装置は、半導体基板2の裏面に配線層が形成されているものであれば広く適用することができるものであり、このことは第1の実施形態と同様である。従って、図4に示したようないわゆる貫通電極型の半導体装置においても適用できるものである。

10

【0045】

また、以上の実施形態では、ボール状の導電端子を有するBGA型の半導体装置について説明したが、本発明はLGA(Land Grid Array)型の半導体装置に適用するものであっても構わない。

【図面の簡単な説明】

【0046】

【図1】本発明の半導体装置及びその製造方法を説明する断面図である。

【図2】本発明の半導体装置及びその製造方法を説明する断面図である。

【図3】本発明の半導体装置を説明する断面図である。

【図4】本発明の半導体装置を説明する断面図である。

20

【図5】本発明の半導体装置を説明する断面図である。

【図6】従来の半導体装置を説明する断面図である。

【図7】本発明の半導体装置を説明する断面図である。

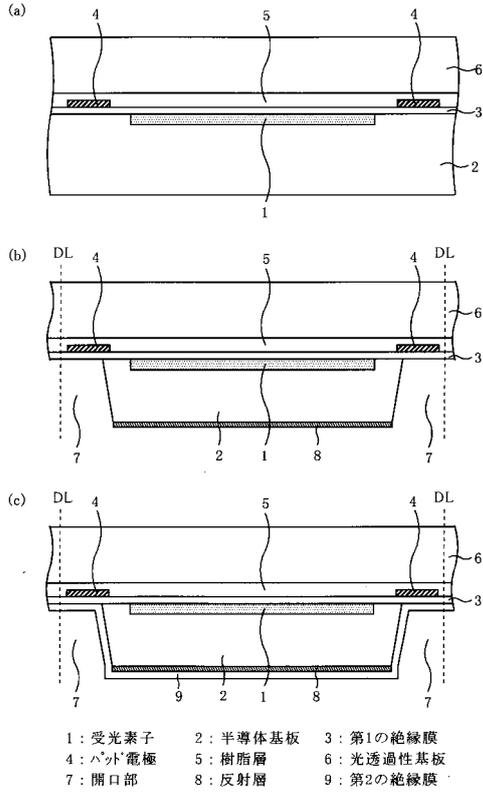
【図8】本発明の半導体装置を説明する断面図である。

【符号の説明】

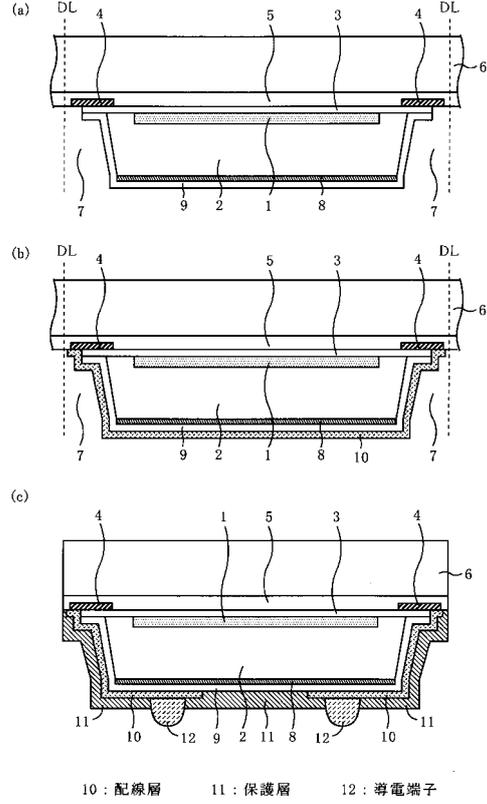
【0047】

- | | | | | |
|------------|--------------|-----------|------------|----|
| 1 受光素子 | 2 半導体基板 | 3 第1の絶縁膜 | | |
| 4 パッド電極 | 5 樹脂層 | 6 光透過性基板 | 7 開口部 | |
| 8 反射層 | 9, 9a 第2の絶縁膜 | 10 配線層 | 11 保護層 | |
| 12 導電端子 | 20 貫通電極 | 21 配線層 | 22 パリアメタル層 | 30 |
| 30 反射防止層 | | | | |
| 100 半導体基板 | 101 受光素子 | 102 パッド電極 | | |
| 103 第1の絶縁膜 | 104 光透過性基板 | 105 樹脂層 | | |
| 106 第2の絶縁膜 | 107 配線層 | 108 保護層 | | |
| 109 導電端子 | 110 出力画像 | 111 パターン | | |
| DL | ダイシングライン | | | |

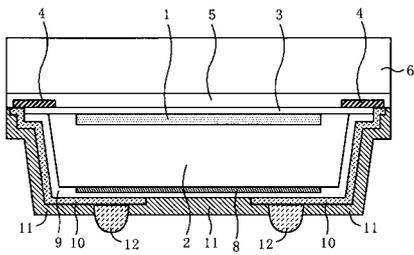
【図1】



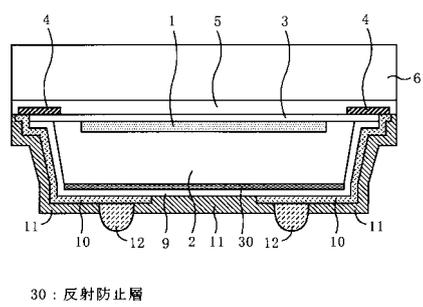
【図2】



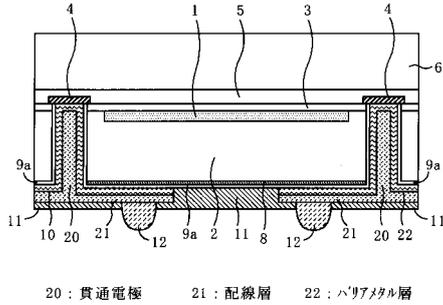
【図3】



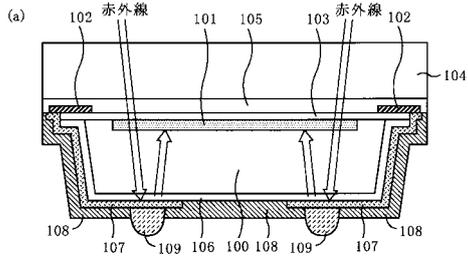
【図5】



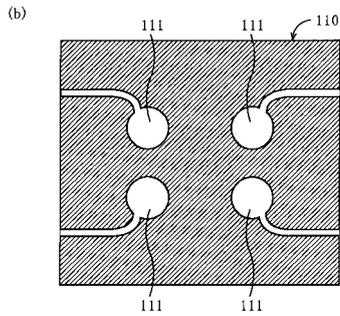
【図4】



【図6】

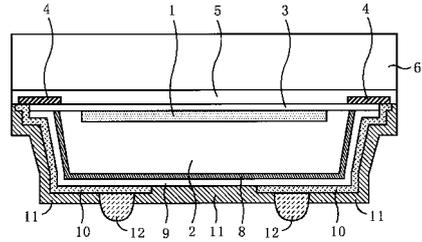


100 : 半導体基板 101 : 感光素子 102 : パッド電極
 103 : 第1の絶縁膜 104 : 光透過性基板 105 : 樹脂層
 106 : 第2の絶縁膜 107 : 配線層 108 : 保護膜
 109 : 導電端子

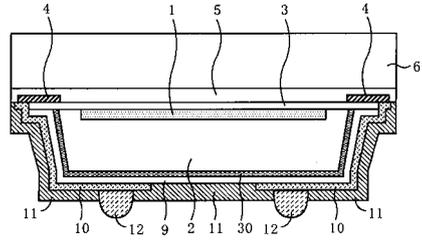


110 : 出力画像 111 : パターン

【図7】



【図8】



フロントページの続き

- (72)発明者 野間 崇
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 大塚 茂樹
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 山田 紘士
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 石部 眞三
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 森田 祐一
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 大久保 登
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 篠木 裕之
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 沖川 満
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

審査官 加藤 昌伸

- (56)参考文献 特開2002-329850(JP,A)
特開2004-055674(JP,A)
特開2003-347476(JP,A)
特開平07-022630(JP,A)
特開2001-128072(JP,A)
特開2001-085652(JP,A)
特開2002-033473(JP,A)
特開2004-311783(JP,A)
特開2007-184680(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/02
H01L 27/14