



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년07월03일  
 (11) 등록번호 10-1753454  
 (24) 등록일자 2017년06월27일

(51) 국제특허분류(Int. Cl.)  
 H01L 25/065 (2006.01) H01L 23/48 (2006.01)  
 (21) 출원번호 10-2014-0088526  
 (22) 출원일자 2014년07월14일  
 심사청구일자 2014년07월14일  
 (65) 공개번호 10-2015-0050322  
 (43) 공개일자 2015년05월08일  
 (30) 우선권주장  
 14/147,316 2014년01월03일 미국(US)  
 61/897,695 2013년10월30일 미국(US)  
 (56) 선행기술조사문헌  
 KR101099578 B1\*  
 KR1020110025699 A  
 KR1020120060486 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
 중화민국, 타이완, 신추, 신추 사이언스 파크,  
 리-신 로드 6, 넘버 8  
 (72) 발명자  
 유 첸후아  
 타이완 신추 시티 38 워터프론트 로드 2 넘버 3  
 예 데-츄양  
 타이완 300 신츄 파크 로드 넘버 326  
 (뒷면에 계속)  
 (74) 대리인  
 김태홍

전체 청구항 수 : 총 9 항

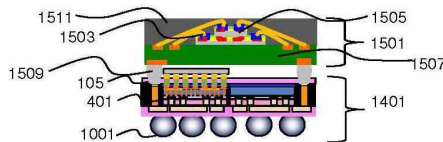
심사관 : 유병철

(54) 발명의 명칭 **칩 온 패키지 구조 및 방법**

**(57) 요약**

반도체 디바이스를 패키징하는 시스템 및 방법이 제공된다. 실시예는, 캐리어 웨이퍼 위에 비아들을 형성하는 단계, 및 상기 캐리어 웨이퍼 위에 그리고 상기 비아들의 첫번째 2개 사이에 제1 다이를 부착시키는 단계를 포함한다. 상기 캐리어 웨이퍼 위에 그리고 상기 비아들의 두번째 2개 사이에 제2 다이가 부착된다. 제1 다이와 제2 다이가 캡슐화되어 제1 패키지를 형성하고, 상기 제1 다이 또는 상기 제2 다이에 적어도 하나의 제3 다이가 연결된다. 상기 적어도 하나의 제3 다이 위에서 상기 제1 패키지에 제2 패키지가 연결된다.

**대표도** - 도15



(72) 발명자

**위에 쿠오-측**

타이완 330 타오위안 카운티 타오위안 시티 규오성  
퍼스트 스트리트 넘버6 9에프 룸 5

**홍 주이-편**

타이완 신쑤 치엔-청 로드 1 58 10에프-2

---

**명세서**

**청구범위**

**청구항 1**

반도체 디바이스에 있어서,

관통 실리콘 비아들을 갖는 제1 반도체 디바이스;

관통 실리콘 비아들을 갖지 않는 제2 반도체 디바이스;

상기 제1 반도체 디바이스, 상기 제2 반도체 디바이스, 및 상기 관통 실리콘 비아들과 전기적으로 연결된 재분배층(redistribution layer);

상기 제1 반도체 디바이스 위에 있으며, 상기 관통 실리콘 비아들에 연결된 전기적 연결부들을 포함하는 제3 반도체 디바이스 - 상기 제3 반도체 디바이스는 제1 메모리 디바이스임 - ; 및

상기 관통 실리콘 비아들에 연결된 패키지를 포함하고,

상기 제3 반도체 디바이스는, 상기 제1 반도체 디바이스와 상기 패키지 사이에 위치하는 것인, 반도체 디바이스.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서, 상기 패키지는, 상기 제1 메모리 디바이스보다 낮은 대역폭을 갖는 제2 메모리 디바이스를 더 포함하는 것인 반도체 디바이스.

**청구항 4**

제 1 항에 있어서, 상기 제3 반도체 디바이스는 복수의 메모리 다이를 더 포함하는 것인 반도체 디바이스.

**청구항 5**

제 1 항에 있어서, 상기 제2 반도체 디바이스에 연결되며, 상기 제2 반도체 디바이스와 상기 패키지 사이에 위치한 제4 반도체 디바이스를 더 포함하는 반도체 디바이스.

**청구항 6**

반도체 디바이스들을 패키징하는 방법에 있어서,

캐리어 웨이퍼 위에 비아들을 형성하는 단계;

상기 캐리어 웨이퍼 위에, 복수의 관통 실리콘 비아들을 포함하는 제1 다이를 부착시키는 단계;

상기 캐리어 웨이퍼 위에 제2 다이를 부착시키는 단계;

제1 패키지를 형성하기 위해, 상기 제1 다이, 상기 제2 다이, 및 상기 비아들을 캡슐화(encapsulating)하는 단계;

상기 캐리어 웨이퍼를 제거하는 단계;

상기 제1 패키지의 제1 측에, 상기 복수의 관통 실리콘 비아들에 전기적으로 연결되는 제3 다이를 연결시키는 단계; 및

제2 패키지를 상기 제1 패키지의 상기 제1 측에 연결시키는 단계를 포함하고,

상기 제3 다이는 상기 제1 다이와 상기 제2 다이 사이에 위치하는 것인, 반도체 디바이스들을 패키징하는 방법.

**청구항 7**

제 6 항에 있어서, 상기 제1 패키지의 상기 제1 측에, 상기 제2 다이에 전기적으로 연결된 제4 다이를 연결시키는 단계를 더 포함하는 반도체 디바이스들을 패키징하는 방법.

**청구항 8**

제 6 항 또는 제 7 항에 있어서, 상기 제3 다이를 연결시키는 단계는, 상기 제1 패키지의 상기 제1 측에 다이들의 스택을 연결시키는 단계를 더 포함하는 것인 반도체 디바이스들을 패키징하는 방법.

**청구항 9**

반도체 디바이스를 제조하는 방법에 있어서,

제1 패키지에 제1 반도체 디바이스를 연결시키는 단계로서, 상기 제1 패키지는,

복수의 관통 실리콘 비아들을 포함하는 제2 반도체 디바이스로서, 상기 제1 반도체 디바이스는 상기 제2 반도체 디바이스 위에 위치하는 것인, 상기 제2 반도체 디바이스;

상기 제2 반도체 디바이스에 전기적으로 연결되며, 관통 실리콘 비아를 갖지 않는 제3 반도체 디바이스;

상기 제2 반도체 디바이스와 상기 제3 반도체 디바이스를 캡슐화하는 봉합재(encapsulant); 및

상기 봉합재를 관통하여 연장하는 비아들

을 포함하는 것인, 상기 제1 패키지에 제1 반도체 디바이스를 연결시키는 단계; 및

상기 비아들에 제2 패키지를 연결시키는 단계로서, 상기 제2 패키지는 상기 제1 반도체 디바이스와 상기 제2 반도체 디바이스 위에 있는 것인, 상기 비아들에 제2 패키지를 연결시키는 단계

를 포함하는, 반도체 디바이스를 제조하는 방법.

**청구항 10**

제 9 항에 있어서, 상기 제2 반도체 디바이스, 상기 제3 반도체 디바이스, 및 상기 비아들과 전기적으로 연결되는 재분배층을 형성하는 단계를 더 포함하고,

상기 재분배층을 형성하는 단계는, 상기 제1 반도체 디바이스로부터 상기 제2 반도체 디바이스의 대향측 상에 상기 재분배층을 형성하는 것인, 반도체 디바이스를 제조하는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 출원은, 2013년 10월 30일 출원되며, 발명의 명칭이 "InFO-Chip on Package Structure and Method"인 미국 가출원 제61/897,695호의 이익을 주장하고, 출원은 여기서 참조용으로 사용되었다.

**배경 기술**

[0002] 집적 회로(IC)의 발명 이래로, 각종 전자 부품들(즉, 트랜지스터, 다이오드, 레지스터, 커패시터 등)의 집적 밀도의 지속적인 개선으로 인하여, 반도체 산업은 빠른 성장을 겪어왔다. 대개, 집적 밀도의 이러한 개선은 최소 피처(feature) 크기의 반복적인 감소로부터 유래되었으며, 이는 보다 많은 부품들을 주어진 영역에 집적될 수 있게 한다.

**발명의 내용**

**해결하려는 과제**

[0003] 이들 집적의 개선은, 집적된 부품에 의하여 차지되는 체적이 본질적으로 반도체 웨이퍼의 표면 상에 있다는 점에서, 사실상 본질적으로 2차원(2D)이다. 리소그래피의 현저한 개선으로 인하여 2D IC 형성시 상당한 개선의 결과를 가져도, 2차원에서 달성될 수 있는 밀도에 물리적인 한계가 존재한다. 이들 한계 중 하나는, 이들 부품

들을 제조하는 데 필요한 최소 크기이다. 또한, 하나의 칩에 보다 많은 디바이스들이 배치되면, 보다 복잡한 설계가 요구된다.

[0004] 회로 밀도를 더욱 향상시키고자 하는 시도로, 3차원(3D) IC가 연구되어 왔다. 3D IC의 통상적인 형성 프로세스에서, 2개의 다이오드들이 함께 접합되고, 기판 상의 각 다이와 콘택트 패드들 사이에 전기 연결이 형성된다. 예컨대, 하나의 시도는, 2개의 다이들을 서로의 상부 상에 접합시키는 것을 포함했다. 다음, 적층된(stacked) 다이들은 캐리어 기판에 접합되고, 와이어는 각 다이 상의 전기적으로 결합된 콘택트 패드들을 캐리어 기판 상의 콘택트 패드들에 접합시킨다.

**도면의 간단한 설명**

[0005] 본 발명의 보다 완전한 이해 및 그 이점을 위하여, 첨부된 도면과 함께 다음의 상세한 설명을 참조한다.

도 1 내지 도 15는 실시예에 따라 반도체 디바이스들을 패키징하는 방법 및 구조를 설명한다.

도 16a 내지 도 16c는 실시예들에 따른 칩 온 패키지 구조의 추가적인 실시예를 개시한다.

상이한 도면들에서의 대응하는 숫자 및 기호는 일반적으로, 다른 지시가 없으면 대응하는 부분들을 참조한다. 도면들은 실시예들의 관련 태양들을 명확하게 설명하기 위하여 도시되었으며, 반드시 비례대로 도시된 것은 아니다.

**발명을 실시하기 위한 구체적인 내용**

[0006] 본 바람직한 실시예의 제조 및 이용은 이하에 상세히 논의된다. 그러나, 본 발명은, 광범위한 특정 맥락에서 구현될 수 있는 많은 적용 가능한 신규한 개념을 제공한다는 것이 이해되어야 한다. 논의된 특정 실시예들은, 본 발명을 제작하고 이용하기 위한 특정 방법들을 단지 설명하는 것이고, 본 발명의 범위를 제한하지 않는다.

[0007] 본 발명은, 특정 맥락, 즉 칩 온 패키지(Chip on Package; CoP) 구조 내의 반도체 디바이스에서의 바람직한 실시예에 관하여 설명될 것이다. 그러나, 본 발명은 또한, 다른 패키지에도 적용될 수도 있다.

[0008] 이제 도 1을 참조하여, 부착층(103) 및 부착층(103) 위의 폴리머층(105)을 갖는 캐리어 기판(101)이 도시되어 있다. 캐리어 기판(101)은, 예컨대, 유리 또는 실리콘 산화물과 같은 실리콘계 재료, 또는 알루미늄 산화물과 같은 다른 재료, 이들 재료들의 임의의 재료의 조합 등을 포함한다. 캐리어 기판(101)은, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)(도 1에는 도시되지 않았으나, 도 6과 관련하여 이하에 설명되고 논의됨)와 같은 반도체 디바이스들의 부착물(attachment)을 수용하기 위하여 평면적이다.

[0009] 부착층(103)이 캐리어 기판(101) 상에 배치되어, 오버라이딩(overlying) 구조(예컨대, 폴리머층(105))의 부착시 원조한다. 실시예에서, 부착층(103)은, 자외광에 노광시 그 부착 특성을 상실하는 자외선 접착제를 포함할 수도 있다. 그러나, 감압 부착제, 방사 경화 가능 부착제, 에폭시, 이들의 조합 등과 같은 다른 형태의 부착제도 사용될 수도 있다. 부착제(103)는, 압력하에서 용이하게 변형 가능한 반(semi) 액상 또는 젤 형태로 캐리어 기판(101) 상에 배치될 수도 있다.

[0010] 부착층(103) 위에 폴리머층(105)이 배치되고, 이 폴리머층은, 예컨대 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)가 부착되었으면, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)에 대한 보호를 제공하기 위하여 이용된다. 실시예에서, 폴리머층(105)은 폴리벤족사졸(PBO)일 수도 있으나, 폴리이미드 또는 폴리이미드 유도체와 같은 임의의 적합한 재료가 대안적으로 이용될 수도 있다. 폴리머층(105)은, 예컨대 스핀 코팅 처리를 이용하여, 약 5 μm와 같이, 약 2 μm 내지 약 15 μm의 두께로 배치될 수도 있으나, 임의의 적합한 방법 및 두께가 대안적으로 사용될 수도 있다.

[0011] 도 2는 폴리머층(105) 위의 시드층(201)의 배치를 도시한다. 시드층(201)은, 후속 처리 단계들 동안 보다 두꺼운 층의 형성시 원조하는 도전성 재료의 박층(thin layer)이다. 시드층(201)은, 약 1,000 Å 두께의 티타늄층과, 후속하여 약 5,000 Å 두께의 구리층을 포함할 수도 있다. 시드층(201)은, 원하는 재료에 따라, 스퍼터링, 증발, 또는 PECVD 처리와 같은 처리를 이용하여 생성될 수도 있다. 시드층(201)은, 약 0.5 μm와 같이, 약 0.3 μm 내지 약 1 μm의 두께를 가지도록 형성될 수도 있다.

[0012] 도 3은 시드층(201) 위의 포토레지스트(301)의 배치 및 패터닝을 도시한다. 실시예에서, 포토레지스트(301)는, 예컨대 스핀 코팅 기술을 이용하여, 약 120 μm와 같이, 약 50 μm 내지 약 250 μm의 높이로 시드층(201) 상에 배치될 수도 있다. 다음, 포토레지스트(301)는, 제위치에 있으면, 화학 반응을 유도하기 위하여 포토레지스트(30

1)를 패터닝된 에너지원(예컨대, 패터닝된 광원)에 노광시킴으로써 패터닝될 수도 있고, 이로써, 패터닝된 광원에 노광된 포토레지스트(301)의 노광된 부분들에서 물리적 변화를 유도한다. 다음, 노광된 포토레지스트(301)에 현상액(developer)이 가해져, 물리적 변화를 이용하여, 원하는 패턴에 따라 포토레지스트(301)의 노광된 부분 또는 포토레지스트(301)의 비노광된 부분을 선택적으로 제거한다.

[0013] 실시예에서, 포토레지스트(301)에 형성된 패턴은 비아들(401)(도 3에 도시되지 않았으나, 도 4에 관하여 이하에 논의된)을 위한 패턴이다. 비아들(401)은, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)와 같은 후속하여 부착되는 디바이스들의 서로 다른 측들 상에 위치되는 배치로 형성된다. 그러나, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)가 비아들(401)의 대향 측들 상에 배치되도록 위치됨으로써와 같이, 비아들(401)의 패턴을 위한 임의의 적합한 배치가 대안적으로 이용될 수도 있다.

[0014] 도 4는 포토레지스트(301) 내의 비아들(401)의 형성을 도시한다. 실시예에서, 비아들(401)은, 구리, 텅스텐, 다른 도전성 재료들 등과 같은 하나 이상의 도전성 재료들을 포함하고, 예컨대 전기 도금, 무전해 도금 등에 의하여 형성될 수도 있다. 실시예에서, 시드층(201) 및 포토레지스트(301)가 전기 도금액에 잠기거나 함침되는 전기 도금 처리가 사용된다. 시드층(201) 표면은 외부 DC 전력 공급 장치의 마이너스측에 전기적으로 연결되어, 시드층(201)이 전기 도금 처리에서 캐소드로서 기능한다. 구리 애노드와 같은 고체 도전성 애노드 또한 용액에 함침되고, 전력 공급 장치의 플러스측에 부착된다. 애노드로부터의 원자들이 용액에 용해되고, 이로부터 캐소드, 예컨대 시드층(201)이 용해된 원자들을 취득하고, 이로써 포토레지스트(301)의 개구부 내의 시드층(201)의 노광된 도전성 영역들을 도금한다.

[0015] 도 5는, 포토레지스트(301)와 시드층(201)을 이용하여 비아들(401)이 형성되었으면, 적합한 제거 처리를 이용하여 포토레지스트(301)가 제거될 수도 있다는 것을 도시한다. 실시예에서, 포토레지스트(301)를 제거하기 위하여 플라즈마 에칭 처리가 사용될 수도 있어서, 포토레지스트(301)가 열 분해를 경험하여 제거될 수도 있을 때까지 포토레지스트(301)의 온도가 올라갈 수도 있다. 그러나, 습식 박리(wet strip)와 같은 임의의 다른 적합한 처리가 대안적으로 이용될 수도 있다. 포토레지스트(301)의 제거는 시드층(201)의 밑에 있는 부분들을 노출시킬 수도 있다.

[0016] 도 5는 시드층(201)의 노출된 부분들의 제거를 또한 도시한다. 실시예에서, 시드층(201)의 노출된 부분들(예컨대, 비아들(401)로 덮이지 않는 노출된 부분들)은, 예컨대 습식 또는 건식 에칭 처리에 의하여 제거될 수도 있다. 예컨대, 건식 에칭 처리에서, 비아들(401)을 마스크들로서 사용하여, 반응물이 시드층(201)을 향하여 보내질 수도 있다. 대안적으로, 시드층(201)의 노출된 부분들을 제거하기 위하여, 에천트가 분무될 수도 있고, 그렇지 않으면 에천트가 시드층(201)과 접촉될 수도 있다. 시드층(201)의 노출된 부분이 에칭되어 없어진 후, 폴리머층(105)의 부분이 비아들(401) 사이에서 노출된다.

[0017] 도 6은 비아들(401) 내에 또는 비아들(401) 사이에서 폴리머층(105)으로의 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)의 배치를 도시한다. 실시예에서, 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)는, 예컨대 재분배층(redistribution layer, RDL)(901)(도 6에 도시되지 않았으나, 도 9와 관련하여 이하에 설명되고 논의됨)을 통하여 전기적으로 연결되고, 최종 사용자에게 원하는 기능을 제공하기 위하여 함께 이용될 수도 있다. 실시예에서, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)는, 예컨대 부착 재료를 이용하여 폴리머층(105)에 부착될 수도 있으나, 임의의 적합한 부착 방법이 대안적으로 이용될 수도 있다.

[0018] 특정 실시예에서, 제2 반도체 디바이스(603)는 제1 반도체 디바이스(601)보다 진보된 기술 노드(technology node)로 형성될 수도 있다. 상이한 기술 노드를 이용함으로써, 각 구성 요소에서 보다 비싼 제조 프로세스의 사용을 요하지 않으면서, 제2 반도체 디바이스(603)에서 보다 진보된 기술 노드의 보다 소형과 보다 신속한 능력이 사용될 수도 있다. 예컨대, 일 실시예에서, 제2 반도체 디바이스(603)는 16 nm 기술 노드를 이용하여 제조될 수도 있는 반면, 제1 반도체 디바이스(601)는 28 nm 기술 노드로 제조될 수도 있다. 그러나, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603) 모두를 위한 동일한 기술 노드를 사용하는 것을 또한 포함하는 기술 노드들의 임의의 적합한 조합이 대안적으로 이용될 수도 있다.

[0019] 보다 진보된 기술 노드를 이용함으로써, 제2 반도체 디바이스(603)는 제1 반도체 디바이스(601)보다 빠른 속도로 그리고 보다 큰 처리 전력으로 동작할 수도 있다. 특정 실시예에서, 제2 반도체 디바이스(603)는 약 3 GHz 이상의 동작 속도를 가질 수도 있다. 또한, 제2 반도체 디바이스(603)는 약 32 비트 이상의 버스 사이즈를 가질 수도 있다.

- [0020] 또한, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603) 간의 다른 차이가 각 디바이스의 이점(예컨대, 속도, 비용, 크기 등)을 효율적으로 활용하도록 이용될 수도 있다. 다른 실시예에서, 제2 반도체 디바이스(603)는, 예컨대 논리 기능을 수행하는 데 사용되는 디지털 논리 장치일 수도 있다. 그러나, 제1 반도체 디바이스(601)는, 디지털 영역과 아날로그 영역과 같은 2개의 영역들(도 6에서는 개별적으로 도시되지 않음)로 구획될 수도 있다. 이러한 혼합 구성을 이용함으로써, 제1 반도체 디바이스(601) 및 제2 반도체 디바이스(603)는 원하는 기능성을 위한 최상의 구조를 제공하도록 변형될 수도 있다.
- [0021] 제2 반도체 디바이스(603)는, 제1 기판, 제1 능동 디바이스들, 제1 금속화층들, 제1 콘택트 패드들, 제1 패시베이션층들, 및 제1 외부 커넥터들을 포함할 수도 있다. 제1 기판은, 실리콘 온 인슐레이터(silicon-on-insulator, SOI) 기판의 도핑 또는 비도핑된 벌크 실리콘, 또는 활성층을 포함할 수도 있다. 일반적으로, SOI 기판은, 실리콘, 게르마늄, 실리콘 게르마늄, SOI, 실리콘 게르마늄 온 인슐레이터(silicon germanium on insulator, SGOI), 또는 그 조합과 같은 반도체 재료의 층을 포함한다. 사용될 수도 있는 다른 기판들은, 다층 기판들, 경사 기판들, 또는 하이브리드 배향 기판들을 포함한다.
- [0022] 제1 능동 디바이스들은, 제2 반도체 디바이스(603)에 대한 설계의 원하는 구조적 및 기능적 요건을 생성하는데 사용될 수도 있는, 커패시터, 레지스터, 인덕터 등과 같은 광범위한 능동 디바이스들 및 수동 디바이스들을 포함한다. 제1 능동 디바이스들은 제1 기판 상에서 그 내에서 또는 그외의 경우에서 임의의 적합한 방법들을 사용하여 형성될 수도 있다.
- [0023] 제1 금속화층들은, 제1 기판 및 제1 능동 디바이스들 위에 형성되고, 각종 능동 장치들을 연결시켜 기능적 회로를 형성하도록 설계된다. 실시예에서, 제1 금속화층들은, 유전체의 그리고 도전성의 재료의 교대층들로 형성되고, 임의의 적합한 처리(예컨대, 디포지션(deposition), 다마신, 듀얼 다마신 등)를 통하여 형성될 수도 있다. 실시예에서, 적어도 하나의 층간 유전체층(interlayer dielectric layer, ILD)에 의하여 제1 기판으로부터 분리된 금속화의 4개층들이 존재할 수도 있으나, 제1 금속화층들의 정확한 수는 제2 반도체 디바이스(603)의 설계에 따른다.
- [0024] 제1 콘택트 패드들은 제1 금속화층들 위에 형성되어 이들과 전기적으로 접촉되어 있을 수도 있다. 제1 콘택트 패드들은 알루미늄을 포함할 수도 있으나, 구리와 같은 다른 재료들이 대안적으로 사용될 수도 있다. 제1 콘택트 패드들은, 스퍼터링과 같은 디포지션 처리를 이용하여 형성되어 재료층(미도시)을 형성할 수도 있고, 그 후 재료층의 일부들은 적합한 처리(포토리소그래픽 마스킹과 에칭과 같은)를 통하여 제거되어 제1 콘택트 패드들을 형성할 수도 있다. 그러나, 제1 콘택트 패드들을 형성하기 위하여 임의의 다른 적합한 처리가 이용될 수도 있다. 제1 콘택트 패드들은, 약 1.45  $\mu\text{m}$ 와 같이, 약 0.5  $\mu\text{m}$  내지 약 4  $\mu\text{m}$ 의 두께를 갖도록 형성될 수도 있다.
- [0025] 제1 기판 상에 제1 금속화층들과 제1 콘택트 패드들 위에 제1 패시베이션층들이 형성될 수도 있다. 제1 패시베이션층들은, 실리콘 산화물, 실리콘 질화물, 탄소 도핑된 산화물과 같은 로우 k 유전체, 다공성 탄소 도핑된 실리콘 이산화물과 같은 극한 로우 k 유전체, 이들의 조합 등과 같은 하나 이상의 적합한 유전체 재료로 제작될 수도 있다. 제1 패시베이션층들은, 화학적 기상 증착(chemical vapor deposition, CVD)과 같은 처리를 통하여 형성될 수도 있으나, 임의의 적합한 처리가 이용될 수도 있고, 약 9.25 KÅ와 같이, 약 0.5 $\mu\text{m}$  내지 약 5 $\mu\text{m}$ 의 두께를 가질 수도 있다.
- [0026] 제1 외부 커넥터들은, 제1 콘택트 패드들과 예컨대 재분배층(901)(도 6에는 도시되지 않으나, 도 9와 관련하여 이하에 설명되는) 사이의 콘택트를 위한 도전성 영역들을 제공하기 위하여 형성될 수도 있다. 실시예에서, 제1 외부 커넥터들은 도전성 필러(pillar)들일 수도 있고, 약 10 $\mu\text{m}$ 와 같이 약 5 $\mu\text{m}$  내지 약 20 $\mu\text{m}$ 의 두께로 제1 패시베이션층들 위에 포토레지스트(미도시)를 처음에 형성함으로써 형성될 수도 있다. 포토레지스트는 패터닝되어 제1 패시베이션층들의 부분들을 노출시킬 수도 있고, 제1 패시베이션층들을 통하여 도전성 필러들이 연장될 것이다. 다음, 포토레지스트는, 패터닝되었으면, 제1 패시베이션층들의 원하는 부분들을 제거하기 위한 마스크로서 이용될 수도 있어, 이로써 도전성 필러들이 콘택트를 형성할 것인 밑에 있는 제1 콘택트 패드들의 부분들을 노출시킨다.
- [0027] 도전성 필러들은 제1 패시베이션층들과 포토레지스트 모두의 개구부들 내에 형성될 수도 있다. 도전성 필러들은 구리와 같은 도전성 재료로 형성될 수도 있으나, 니켈, 금 또는 금속 합금, 이들 조합 등과 같은 다른 도전성 재료들도 사용될 수도 있다. 또한, 도전성 필러들은 전기 도금과 같은 처리를 이용하여 형성될 수도 있고, 이 처리에 의하여 도전성 필러들이 형성될 것이 요구되는 제1 콘택트 패드들의 도전성 부분들을 통하여 전류가 흐르고, 제1 콘택트 패드들이 용액에 침전된다. 용액 및 전류는 개구부들 내에, 예컨대 구리를 침전시켜 포토레지스트 및 제1 패시베이션층들의 개구부들을 충전시키고 및/또는 과충전시켜, 도전성 필러들을 형성한다. 다

음, 제1 패시베이션층의 개구부들 외부의 과잉의 도전성 재료와 포토레지스트는, 예컨대 애싱 처리, 화학 기계 연마(chemical mechanical polish, CMP) 처리, 이들의 조합 등을 사용하여 제거될 수도 있다.

[0028] 그러나, 당업자가 인식하는 바와 같이, 도전성 필러들을 형성하기 위한 전술된 처리는 단지 하나의 설명일 뿐이며, 본 실시예들을 바로 그 처리에 한정하는 것을 의미하지 않는다. 오히려, 설명된 처리는 단지 설명하고자 의도된 것이며, 제1 외부 커넥터들을 형성하기 위한 임의의 적합한 처리가 대안적으로 이용될 수도 있다. 모든 적합한 처리들은 본 실시예들의 범위 내에 포함되고자 한다.

[0029] 실시예에서, 제1 반도체 디바이스(601)는, 제2 기판, 제2 능동 디바이스들, 제2 금속화층들, 제2 콘택트 패드들, 제2 패시베이션층들, 및 제2 외부 커넥터들을 포함한다. 이들 소자들 각각은, 제2 반도체 디바이스(603)에 관하여 상기에 설명된 바와 같은 제1 기판, 제1 능동 디바이스들, 제1 금속화층들, 제1 콘택트 패드들, 제1 패시베이션층들 및 제1 외부 커넥터들과 유사할 수도 있으나, 이들은 대안적으로 필요시 상이할 수도 있다.

[0030] 유사할 수도 있는 이들 소자들 외에, 제1 반도체 디바이스(601)는 부가적으로, 제3 반도체 디바이스(1301)(도 6에는 도시되지 않았으나, 도 13과 관련하여 이하에 논의됨)로부터 제2 반도체 디바이스(603)으로의 데이터 신호들의 신속한 경로를 제공하도록, 제1 반도체 디바이스(601)의 기판을 통하여 연장되는 복수의 관통 실리콘 비아들(through silicon vias, TSVs)(605)을 포함한다. 실시예에서, 제1 반도체 디바이스(601)는, 예컨대 약 1200개 TSVs보다 많이 가질 수도 있으나, 임의의 적합한 수가 대안적으로 이용될 수도 있다.

[0031] 실시예에서, 관통 실리콘 비아들은 제2 기판으로의 관통 실리콘 비아(TSV) 개구부들을 처음에 형성함으로써 형성될 수도 있다. TSV 개구부들은, 적합한 포토레지스트(미도시)를 도포하고 현상하여, 원하는 깊이까지 노출되는 제2 기판의 부분들을 제거함으로써 형성될 수도 있다. TSV 개구부들은, 제2 기판 내에 그리고/또는 제2 기판 상에 형성된 제2 능동 디바이스들보다 적어도 더 제2 기판으로 연장되도록 형성될 수도 있고, 제2 기판의 궁극적인 원하는 높이보다 더 깊은 깊이로 연장될 수도 있다. 따라서, 이 깊이는 전체 설계에 따르며, 이 깊이는, 제2 기판 상의 제2 능동 디바이스들로부터 약 50 $\mu$ m의 깊이와 같이, 제2 기판 상의 제2 능동 디바이스들로부터 약 20  $\mu$ m 내지 약 200 $\mu$ m일 수도 있다.

[0032] TSV 개구부들이 제2 기판 내에 형성되었으면, TSV 개구부들은 라이너와 일렬로 배치될 수도 있다. 라이너는, 예컨대 테트라에틸오르소실리케이트(TEOS) 또는 실리콘 질화물로부터 형성된 산화물일 수도 있으나, 임의의 적합한 유전체 재료가 대안적으로 사용될 수도 있다. 라이너는 플라즈마 향상된 화학적 기상 증착(PECVD) 처리를 이용하여 형성될 수도 있으나, 물리적 기상 증착 또는 열 처리와 같은 다른 적합한 처리들이 대안적으로 사용될 수도 있다. 부가적으로, 라이너는, 약 1 $\mu$ m와 같이, 약 0.1 $\mu$ m 내지 약 5 $\mu$ m의 두께로 형성될 수도 있다.

[0033] 라이너가 TSV 개구부들의 측벽들 및 바닥을 따라 형성되었으면, 배리어층(또한 독립하여 도시되지 않음)이 형성될 수도 있고, TSV 개구부들의 잔부는 제1 도전성 재료로 충전될 수도 있다. 제1 도전성 재료는 구리를 포함할 수도 있으나, 알루미늄, 합금, 도핑된 폴리실리콘, 그 조합 등과 같은 다른 적합한 재료들이 대안적으로 이용될 수도 있다. 제1 도전성 재료는, 시드층(미도시)에 구리를 전기 도금하고, TSV 개구부들을 충전하고 과충전함으로써 형성될 수도 있다. TSV 개구부들이 충전되었으면, TSV 개구부들 외부의 과잉의 라이너, 배리어층, 시드층, 및 제1 도전성 재료는, 화학 기계적 연마(CMP)와 같은 평탄화 처리를 통하여 제거될 수도 있으나, 임의의 적합한 제거 처리가 사용될 수도 있다.

[0034] TSV 개구부들이 충전되었으면, 제2 기판의 후측은, TSV 개구부들을 노출시키고 TSV들(605)을 형성하도록 박화될 수도 있다. 실시예에서, 제2 기판은, TSV들(605)이 노출되었으면 제2 기판 및 TSV들(605)을 평탄화시키는 것은 물론, 제2 기판의 재료를 제거하도록, 예컨대 CMP 및 그라인딩 처리를 이용하여 박화될 수도 있다. 대안적으로, 제2 기판의 재료를 제거하고 TSV들(605)을 노출시키기 위하여 하나 이상의 에칭 처리들 또는 다른 제거 처리들이 또한 사용될 수도 있다.

[0035] 제3 콘택트 패드들은, 노출되었으면, 이제 노출된 TSV들(605)과 관련되어 형성될 수도 있다. 실시예에서, 제3 콘택트 패드들은 알루미늄을 포함할 수도 있으나, 구리와 같은 다른 재료들이 대안적으로 사용될 수도 있다. 제3 콘택트 패드들은, 재료층(미도시)을 형성하도록 스퍼터링과 같은 디포지션 처리를 사용하여 형성될 수도 있고, 그 후 재료층의 부분들이 적합한 처리(포토리소그래픽 마스킹과 에칭과 같은)를 통하여 제거되어, 제3 콘택트 패드들을 형성할 수도 있다. 그러나, 제3 콘택트 패드들을 형성하기 위하여 임의의 다른 적합한 처리가 이용될 수도 있다. 제3 콘택트 패드들은, 약 45 $\mu$ m와 같이, 약 0.5 $\mu$ m 내지 약 7 $\mu$ m의 두께를 갖도록 형성될 수도 있다.

[0036] 도 7은, 제1 반도체 디바이스(601), 제2 반도체 디바이스(603), 및 비아들(401)의 캡슐화(encapsulation)를 도



시한다. 캡슐화는 성형 장치(도 7에는 개별적으로 도시되지 않음)에서 행해질 수도 있고, 이 성형 장치는 상부 성형부와, 이 상부 성형부로부터 분리 가능한 바닥 성형부를 포함할 수도 있다. 상부 성형부가 하부 성형부에 인접하도록 하강되면, 캐리어 기관(101), 비아들(401), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)에 대한 성형 캐비티가 형성될 수도 있다.

[0037] 캡슐화 처리 동안, 상부 성형부는 하부 성형부에 인접하도록 위치될 수도 있어서, 성형 캐비티 내에 캐리어 기관(101), 비아들(401), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)를 둘러싼다. 둘러싸였으면, 상부 성형부와 하부 성형부는, 성형 캐비티로부터의 가스의 유입구(influx)와 유출구(outflux)를 제어하기 위하여 기밀봉을 형성할 수도 있다. 밀봉되었으면, 봉합재(encapsulant)(701)가 성형 캐비티 내에 위치될 수도 있다. 봉합재(701)는, 폴리이미드, PPS, PEEK, PES, 내열 결정 수지, 이들의 조합 등과 같은 성형 복합 수지일 수도 있다. 봉합재(701)는, 상부 성형부와 하부 성형부의 정렬 전에 성형 캐비티 내에 위치될 수도 있고, 또는 그렇지 않으면 주입 포트를 통하여 성형 캐비티로 주입될 수도 있다.

[0038] 봉합재(701)가 캐리어 기관(101), 비아들(401), 제1 반도체 디바이스(601), 제2 반도체 디바이스(603)를 둘러싸도록 성형 캐비티에 봉합재(701)가 위치되면, 봉합재(701)는 최적 보호를 위하여 봉합재(701)를 굳히기 위하여 경화될 수도 있다. 정밀한 경화 처리는 봉합재(701)용으로 선택된 특정 재료에 적어도 부분적으로 좌우되는 반면, 성형 복합물이 봉합재(701)로서 선택되는 실시예에서, 약 600초와 같이 약 60초 내지 약 3000초 동안, 약 125°C와 같이 약 100°C 내지 약 130°C로 봉합재(701)를 가열시키는 것과 같은 처리를 통하여 경화가 발생할 수 있다. 또한, 경화 처리를 보다 양호하게 제어하기 위하여 개시제 및/또는 촉매가 봉합재(701) 내에 포함될 수도 있다.

[0039] 그러나, 당업자가 인식하는 바와 같이, 상기 설명된 경화 처리는 단지 예시적인 처리이며, 본 실시예를 제한하고자 함이 아니다. 방사(irradiation) 또는 봉합재(701)를 주위 온도에서 경화시키는 것과도 같은 다른 경화 처리들이 대안적으로 사용될 수도 있다. 임의의 적합한 경화 처리가 사용될 수도 있고, 그러한 모든 처리들은 여기서 논의된 실시예들의 범위 내에서 포함되고자 한다.

[0040] 도 8은, 추가의 처리를 위하여 비아들(401), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)를 노출시키기 위한 봉합재(701)의 박화를 도시한다. 이 박화는, 예컨대 기계적 그라인딩 또는 CMP 처리를 이용하여 수행될 수도 있고, 이로써 비아들(401), 제1 콘택트 패드들(제1 반도체 디바이스(601) 상의), 및 제2 콘택트 패드들(제2 반도체 디바이스(603) 상의)이 노출될 때까지, 봉합재(701), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)를 반응시켜 갈아 없애기 위하여 화학적 에칭트 및 연마제가 이용된다. 그러한 것으로서, 제1 반도체 디바이스(601), 제2 반도체 디바이스(603), 및 비아들(401)이, 봉합재(701)와도 평면인 평면 표면을 가질 수도 있다.

[0041] 그러나, 상기 설명된 CMP 처리가 하나의 설명적인 실시예로서 나타내었지만, 이것은 실시예들에 제한하고자 함이 아니다. 임의의 다른 적합한 제거 처리가 봉합재(701), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)를 박화시켜, 비아들(401)을 노출시키는 데 대안적으로 사용될 수도 있다. 예컨대, 일련의 화학적 에칭이 대안적으로 이용될 수도 있다. 이 처리 및 임의의 다른 적합한 처리가 봉합재(701), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)를 박화하는 데 대안적으로 이용될 수도 있으며, 이러한 모든 처리는 실시예들의 범위 내에 포함되고자 의도된다.

[0042] 도 9는, 제1 반도체 디바이스(601), 제2 반도체 디바이스(603), 비아들(401), 및 제3 외부 커넥터들(1001)(도 9에 도시되지 않으나, 도 10에 관하여 이하에 도시되고 설명되는)을 상호 연결시키기 위하여 재분배층(RDL)(901)의 형성을 도시한다. 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)를 상호 연결하기 위하여 RDL(901)를 이용함으로써, 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)는 1000보다 큰 핀 카운트를 가질 수도 있다.

[0043] 실시예에서, RDL(901)은, CVD 또는 스퍼터링과 같은 적합한 형성 처리를 통하여 티타늄 구리 합금의 시드층(미도시)를 처음에 형성함으로써 형성될 수도 있다. 다음, 시드층을 덮도록 포토레지스트(또한 미도시)가 형성될 수도 있고, 다음 포토레지스트는, RDL(901)이 위치되기를 원하는 곳에 위치한 시드층의 부분들을 노광시키도록 패터닝될 수도 있다.

[0044] 포토레지스트가 형성되어 패터닝되었으면, 구리와 같은 도전성 재료가, 도금과 같은 디포지션 처리를 통해 시드층 상에 형성될 수도 있다. 도전성 재료는, 약 5 $\mu$ m와 같이 약 1 $\mu$ m 내지 약 10 $\mu$ m의 두께와, 약 5 $\mu$ m와 같이 약 5 $\mu$ m 내지 약 300 $\mu$ m의 제1 기관(102)을 따른 폭을 갖도록 형성될 수도 있다. 그러나, 논의된 재료와 방법들은 도

전성 재료를 형성하는 데 적합하지만, 이들 재료들은 단지 예시적인 것이다. AlCu 또는 Au와 같은 임의의 다른 적합한 재료들, 및 CVD 또는 PVD와 같은 임의의 다른 적합한 형성 처리가 RDL(901)을 형성하기 위하여 대안적으로 사용될 수도 있다.

- [0045] 도전성 재료가 형성되었으면, 에싱과 같은 적합한 제거 처리를 통하여 포토레지스트가 제거될 수도 있다. 또한, 포토레지스트의 제거 후, 포토레지스트로 덮였던 시드층의 부분들이, 예컨대 도전성 재료를 마스크로서 사용하여 적합한 에칭 처리를 통하여 제거될 수도 있다.
- [0046] 도 9는 또한, RDL(901) 및 다른 밑에 있는 구조들에 대한 보호 및 절연을 제공하기 위하여 RDL(901) 위의 제3 패시베이션층(903)의 형성을 도시한다. 실시예에서, 제3 패시베이션층(903)은 폴리벤족사졸(PBO)일 수도 있으나, 폴리이미드 또는 폴리이미드 유도체와 같은 임의의 적합한 재료가 대안적으로 이용될 수도 있다. 제3 패시베이션층(903)은 약 7 $\mu$ m와 같이 약 5 $\mu$ m 내지 약 25 $\mu$ m의 두께로, 예컨대 스핀 코팅 처리를 이용하여 배치될 수도 있으나, 임의의 적합한 방법 및 두께가 대안적으로 사용될 수도 있다.
- [0047] 실시예에서, 제3 패시베이션층(903)으로부터 폴리머층(105)까지의 구조의 두께는 약 200 $\mu$ m 이하일 수도 있다. 이 두께를 가능한 작게 함으로써, 원하는 기능을 여전히 유지하면서, 셀 폰 등과 같은 다양한 소형 애플리케이션에서 전체 구조가 이용될 수도 있다. 그러나, 당업자가 인식하는 바와 같이, 구조의 정밀한 두께는 유닛에 대한 전체 설계에 적어도 부분적으로 좌우될 수도 있고, 그러한 것으로서 임의의 적합한 두께가 대안적으로 이용될 수도 있다.
- [0048] 도 10은, RDL(901)과의 전기적 접촉을 형성하기 위한 제3 외부 커넥터들(1001)의 형성을 도시한다. 실시예에서, 제3 패시베이션층(903)이 형성된 후, 밑에 있는 RDL(901)의 적어도 부분을 노출시키도록 제3 패시베이션층(903)의 부분들을 제거함으로써, 제3 패시베이션층(903)을 통하여 개구부가 형성될 수도 있다. 개구부는 RDL(901)와 제3 외부 커넥터들(1001)간의 접촉을 허용한다. 개구부는 적합한 포토리소그래픽 마스크와 에칭 처리를 이용하여 형성될 수도 있으나, RDL(901)의 부분들을 노출시키기 위한 임의의 적합한 처리가 사용될 수도 있다.
- [0049] 실시예에서, 제3 외부 커넥터들(1001)은 제3 패시베이션층(903)을 통하여 RDL(901) 상에 위치될 수도 있고, 뿔납과 같은 공융(eutectic) 재료를 포함할 수도 있으나, 임의의 적합한 재료들이 대안적으로 사용될 수도 있다. 제3 외부 커넥터들(1001)이 뿔납 볼인 실시예에서, 제3 외부 커넥터들(1001)은, 다이렉트 볼 드롭 처리(direct ball drop process)와 같은 볼 드롭법을 사용하여 형성될 수도 있다. 대안적으로, 뿔납 볼들은, 증발, 전기 도금, 인쇄, 뿔납 전사(solder transfer)와 같은 임의의 적합한 방법을 통하여 주석층을 처음에 형성함으로써 형성될 수도 있고, 그 후 재료를 원하는 범프 형상으로 성형하기 위하여 리플로우(reflow)의 수행이 행해지는 것이 바람직하다.
- [0050] 이 단계에서, 결함 또는 패키지를 체크하기 위하여 회로 프로브 테스트가 수행될 수도 있다. 회로 프로브 테스트의 실시예에서, 하나 이상의 프로브들(개별적으로 도시되지 않음)이 제3 외부 커넥터들(1001)에 전기적으로 연결되어, 신호가 제3 외부 커넥터들(1001)에 그리고 예컨대 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)에 보내진다. 현저한 결함이 없으면, 프로브들은 제3 외부 커넥터들(1001)로부터 미리 결정된 출력을 받을 것이고, 결함있는 구조들이 확인될 수 있다. 확인되었으면, 결함있는 구조들은, 전체 처리를 보다 효율적으로 하기 위해, 추가의 처리 전에 제거될 수 있다.
- [0051] 도 11은 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)로부터의 캐리어 기판(101)의 접합 해제(debonding)를 도시한다. 실시예에서, 제3 외부 커넥터들(1001) 및 따라서 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)를 포함하는 구조가 링 구조(1101)에 부착될 수도 있다. 링 구조(1101)는, 접합 해제 처리 동안 그리고 접합 처리 이후에 구조에 대한 지지 및 안정성을 제공하고자 의도된 금속 링일 수도 있다. 실시예에서, 제3 외부 커넥터들(1001), 제1 반도체 디바이스(601), 및 제2 반도체 디바이스(603)는, 예컨대 자외선 테이프를 이용하여 링 구조에 부착되나, 임의의 다른 적합한 접착제 또는 부착물이 대안적으로 사용될 수도 있다.
- [0052] 제3 외부 커넥터들(1001) 및 따라서 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)를 포함하는 구조가 링 구조(1101)에 부착되면, 부착층(103)의 부착 특성을 변경시키기 위하여, 예컨대 열 처리를 이용하여 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)를 포함하는 구조로부터 캐리어 기판(101)이 접합 해제될 수도 있다. 특정 실시예에서, 부착층(103)이 그 부착 특성의 적어도 일부를 상실할 때까지, 자외선(UV) 레이저, 이산화탄소(CO<sub>2</sub>) 레이저, 또는 적외선(IR) 레이저와 같은 에너지원이 이용되어, 부착층(103)에 방사하여 이를 가열시킨다. 이것이 행해지면, 캐리어 기판(101)과 부착층(103)이, 제3 외부 커넥터들(1001), 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)를 포함하는 구조로부터 캐리어 기판(101)이 접합 해제될 수도 있다.

스(601), 및 제2 반도체 디바이스(603)를 포함하는 구조로부터 물리적으로 분리되어 제거될 수도 있다.

[0053] 도 12는, 캐리어 기판(101)과 부착층(103)이 제거되어 폴리머층(105)이 노출되었으면, 폴리머층(105)은, 비아들(401)과 또한 제1 반도체 디바이스(601) 내의 TSV들(605)을 노출시키기 위하여 패터닝될 수도 있다는 것을 도시한다. 실시예에서, 폴리머층(105)은, 예컨대, 밑에 있는 RDL(901) 또는 비아들(401)을 노출시키기 위하여 제거되고자 하는 폴리머층(105)의 부분들을 향하여 레이저가 향하는 레이저 드릴링법을 사용하여 패터닝될 수도 있다. 실시예에서, 패터닝은, 약 200 $\mu$ m와 같이 약 100 $\mu$ m 내지 약 300 $\mu$ m의 제1 폭을 갖도록 비아들(401) 위에 제1 개구부들(1201)을 형성하도록, 또한 약 20 $\mu$ m와 같이 약 15 $\mu$ m 내지 약 30 $\mu$ m의 제2 폭을 갖도록 제1 반도체 디바이스(601) 위에 제2 개구부들(1203)을 형성하도록 형성될 수도 있다.

[0054] 대안적으로, 폴리머층(105)은, 폴리머층(105)에 포토레지스트(도 12에 개별적으로 도시되지 않음)를 처음에 도포한 후, 패터닝된 에너지원(예컨대 패터닝된 광원)에 포토레지스트를 노광시켜 화학 반응을 유도하여, 패터닝된 광원에 노광된 포토레지스트의 부분에서의 물리적 변화를 유도함으로써 패터닝될 수도 있다. 다음, 현상액이 노광된 포토레지스트에 가해져 물리적 변화를 이용하여, 원하는 패턴에 따라 포토레지스트의 노광된 부분 또는 포토레지스트의 비노광된 부분을 선택적으로 제거하고, 폴리머층(105)의 밑에 있는 노출된 부분은, 예컨대 드라이 에칭 처리로 제거된다. 그러나, 폴리머층(105)을 패터닝하는 임의의 다른 적합한 방법이 대안적으로 이용될 수도 있다.

[0055] 도 13은, 폴리머층(105)을 통하여 제3 반도체 디바이스(1301)의 제1 반도체 디바이스(601)로의 배치 및 집합을 도시한다. 실시예에서, 제3 반도체 디바이스(1301)는, 최종 사용자에게 원하는 기능성을 제공하기 위하여, 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)와 함께 동작하도록 사용된다.

[0056] 특정 실시예에서, 제3 반도체 디바이스(1301)는, 저장된 데이터를 제1 반도체 디바이스(601) 또는 제2 반도체 디바이스(603) 또는 이들 모두에 제공하는 데 사용될 수도 있는 메모리 디바이스일 수도 있다. 이러한 실시예에서, 제1 반도체 디바이스(601)는, 제1 반도체 디바이스(601)에 의하여 제공되는 다른 기능성 외에, 제3 반도체 디바이스(1301)에 제어 기능성을 제공하는 메모리 제어 유닛(도 13에 개별적으로 도시되지 않음)을 포함할 수도 있다. 그러나, 다른 실시예들에서, 제3 반도체 디바이스(1301)는 그 자신의 메모리 제어 유닛을 포함할 수도 있다.

[0057] 제3 반도체 디바이스(1301)가 메모리 디바이스인 특정 실시예에서, 제3 반도체 디바이스(1301)는, 약 0.8Gb/s와 같이 약 0.2Gb/s 내지 약 3.2Gb/s의 제1 레이트의 데이터 전송을 갖는 것과 같은 높은 레이트의 데이터 전송을 갖는 메모리 디바이스일 수도 있다. 예컨대, 제3 반도체 디바이스(1301)는, 256개 인터페이스들보다 많은 것과 같이, 다수의 I/O 인터페이스들을 갖는 와이드 I/O RAM일 수도 있어서, 제3 반도체 디바이스(1301)로의 그리고 제3 반도체 디바이스(1301)로부터의 데이터의 큰 대역폭이 보다 낮은 클럭 속도에서도 구현될 수도 있다. 그러한 것으로써, 제3 반도체 디바이스(1301)는, 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)의 전체 온도를 저감시키는 것을 원조하면서, 제1 반도체 디바이스(601)에 대한 고속 캐시 메모리로서 사용될 수도 있다. 그러나, 제3 반도체 디바이스(1301)는 대안적으로, 제3 반도체 디바이스(1301)로의 및 제3 반도체 디바이스(1301)로부터의 높은 레이트의 데이터 전송을 갖는, LPDDRn 메모리 디바이스 등과 같은 높은 레이트의 데이터 전송을 갖는 임의의 적합한 유형의 메모리 디바이스일 수도 있다.

[0058] 또한, 제2 반도체 디바이스(603)는 TSV들(605)을 가지므로, 제3 반도체 디바이스(1301)는 또한 제2 반도체 디바이스(603)용 캐시 메모리로서도 사용될 수도 있다. 특히, 제1 반도체 디바이스(601)의 제어 하에 제3 반도체 디바이스(1301)는, RDL(901)를 통하여 제1 반도체 디바이스(601) 내에 위치한 TSV들(605)에, 그리고 제2 반도체 디바이스(603)에 신호들을 출력할 수도 있다. TSV들(605)을 이용함으로써, 제3 반도체 디바이스(1301)로부터 제2 반도체 디바이스(603)로 데이터를 취득하기 위하여 보다 짧고 보다 신속한 경로가 이용될 수도 있고, 이로써 전체 디바이스를 보다 신속하고 보다 효율적이게 할 수 있다.

[0059] 실시예에서, 제3 반도체 디바이스(1301)는, 제1 기판, 제1 능동 비디스들, 제1 금속화층들, 및 제1 콘택트 패드들(도 6과 관련하여 상기 설명된)에 유사할 수도 있는, 제3 기판, 제3 능동 디바이스들(DRAM 디바이스들의 어레이 같은), 제3 금속화층들 및 제3 콘택트 패드들(명료함을 위하여 모두가 도 13에 도시되지 않음)을 포함한다. 실시예에서, 제3 반도체 디바이스(1301)는 또한, 제3 반도체 디바이스(1301)와 제1 반도체 디바이스(601) 간의 연결을 제공하기 위하여 제3 반도체 디바이스(1301)의 일부로서 형성될 수도 있는 제4 외부 연결부들(1303)을 포함한다. 실시예에서, 제4 외부 연결부들(1303)는, 예컨대 구리 필러 또는 구리 포스트일 수도 있다. 그러나, 본 실시예들은 이들에 한정되지 않고, 대안적으로 뿔납 범프, 구리 범프, 또는 전기 연결을 제공하도록 제조될 수도 있는 다른 적합한 제4 외부 연결부들(1303)일 수도 있다. 그러한 모든 외부 콘택트들은 실

시예들의 범위 내에 포함되도록 의도된다.

- [0060] 제4 외부 연결부들(1303)이 구리 필러들인 실시예에서, 제4 외부 연결부들(1303)은 시드층 위에 시드층(도 13에 개별적으로 도시되지 않음)을 처음에 형성함으로써 형성될 수도 있다. 시드층은, 후속 처리 단계들 동안 보다 두꺼운 층의 형성시 원조하는 도전성 재료의 박층이며, 약 500 Å 두께의 티타늄층과, 후속하여 약 3,000 Å 두께의 구리층을 포함할 수도 있다. 시드층은, 약 0.3 μm과 같이, 약 0.1 μm 내지 약 1 μm의 두께로 원하는 재료에 따라 스퍼터링, 증발 또는 PECVD 처리와 같은 처리들을 사용하여 생성될 수도 있다.
- [0061] 제4 외부 연결부들(1303)은, 구리, 텅스텐, 다른 도전성 금속들 등과 같은 하나 이상의 도전성 재료들을 포함하고, 예컨대 전기 도금, 무전해 도금 등에 의하여 형성될 수도 있다. 실시예에서, 제3 반도체 디바이스(1301)가 전기 도금액에 잠기거나 함침되는 전기 도금 처리가 사용된다. 제3 반도체 디바이스(1301) 표면은 외부 DC 전력 공급 장치의 마이너스측에 전기적으로 연결되어, 제3 반도체 디바이스(1301)가 전기 도금 처리에서 캐소드로서 기능한다. 구리 애노드와 같은 고체 도전성 애노드는 또한 용액에 함침되어, 전력 공급 장치의 플러스측에 부착된다. 애노드로부터의 원자들이 용액에 용해되고, 이로부터 캐소드, 예컨대 제3 반도체 디바이스(1301)가 용해된 원자들을 취득하고, 이로써, 제3 반도체 디바이스(1301)의 노출된 도전성 영역들, 예컨대 개구부들 내의 시드층의 노출된 부분들을 도금한다.
- [0062] 제4 외부 연결부들(1303)이 형성되었으면, 처음에 제3 패시베이션층(903)을 통하여 개구부들과 제4 외부 연결부들(1303)을 정렬하고, 제4 외부 연결부들(1303)을 RDL층(901)과 물리적 접촉하게 배치함으로써, 제3 반도체 디바이스(1301)가 제1 반도체 디바이스(601)에 접합될 수도 있다. 접촉 상태에 있으면, 제4 외부 연결부들(1303)은 열 압착 접합(thermo-compression bonding)과 같은 처리를 사용하여 제1 반도체 디바이스(601)에 접합될 수도 있다. 그러나, 제1 반도체 디바이스(601)를 제3 반도체 디바이스(1301)에 접합시키기 위하여, 구리-구리 접합과 같은 임의의 적합한 접합 방법이 대안적으로 이용될 수도 있다.
- [0063] 도 14는, 제1 반도체 디바이스들(601)의 제1의 제1 반도체 디바이스와 제2 반도체 디바이스들(603)의 제1의 제2 반도체 디바이스를 포함하는 제1 섹션의, 제1 반도체 디바이스들(601)의 제2의 제1 반도체 디바이스와 제2 반도체 디바이스들(603)의 제2의 제2 반도체 디바이스를 포함하는 제2 섹션으로부터의 싱글레이션(singulation)을 도시한다. 실시예에서, 싱글레이션은, 비아들(401) 사이에서 봉합재(701)와 폴리머층(105)을 관통하여 슬라이스하기 위하여 톱날(saw blade)(미도시)을 사용함으로써 수행되어, 이로써 하나의 섹션을 다른 것으로부터 분리하여, 제3 반도체 디바이스(1301)가 제1 패키지(1401)에 연결되어 있는 제1 패키지(1401)를 형성할 수도 있다.
- [0064] 그러나, 당업자가 인식할 것인 바와 같이, 제1 패키지(1401)를 싱글레이트하기 위해 톱날을 이용하는 것은 단지 하나의 설명적인 실시예이며, 제한하고자 함이 아니다. 제1 패키지(1401)를 분리하기 위하여 하나 이상의 에칭을 이용하는 것과 같은, 제1 패키지(1401)를 싱글레이트하기 위한 대안적인 방법들이 대안적으로 이용될 수도 있다. 제1 패키지(1401)를 싱글레이트하기 위하여 이들 방법들 및 임의의 다른 적합한 방법들이 대안적으로 이용될 수도 있다.
- [0065] 도 15는 제2 패키지(1501)의 제1 패키지(1401)로의 접합을 도시한다. 실시예에서, 제2 패키지(1501)는, 예컨대 배선 접합 기술을 사용하여 패키징 기관(1507)에 접합된 제4 반도체 디바이스(1503)과 제5 반도체 디바이스(1505)를 포함하는 패키지일 수도 있다. 실시예에서, 제4 반도체 디바이스(1503) 및 제5 반도체 디바이스(1505) 각각은, 기관, 능동 디바이스들, 금속화층들 및 콘택트 패드들을 포함할 수도 있고, 이들 소자들은, 제1 반도체 디바이스(601)에 관하여 상기에 설명된 제1 기관, 제1 능동 디바이스들, 제1 금속화층들, 및 제1 콘택트 패드들에 유사할 수도 있다.
- [0066] 특정 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 제1 패키지(1401)에 연결될 것인 디바이스들이어서, 제4 반도체 디바이스(1503)과 제5 반도체 디바이스(1505)는 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)와 함께 사용되어, 원하는 기능을 제공한다. 특정 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는, 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)에 그리고 이들로부터 데이터 신호들을 받고 공급하는 데 사용될 수 있는 메모리 디바이스들이다.
- [0067] 또한, 제3 반도체 디바이스(1301)가 높은 레이트의 데이터 전송을 제공하는 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 제3 반도체 디바이스(1301)보다 낮은 레이트의 데이터 전송을 제공할 수도 있다. 제3 반도체 디바이스(1301)가 화이트 I/O RAM 또는 LPDDRn 메모리 디바이스인 특정 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 LPDDR 메모리 디바이스 또는 NAND 플래시 메모리 디바이스일 수도 있으나, 임의의 다른 적합한 유형의 메모리 디바이스가 대안적으로 이용될 수도 있다.

- [0068] 예컨대, 제3 반도체 디바이스(1301)가 약 51.2 GB/s의 제1 대역폭을 제공하는 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는, 약 12.8 GB/s와 같이, 약 6.4 GB/s와 약 25.6 GB/s의 제2 대역폭을 제공할 수도 있다. 이러한 것으로써, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는, 제3 반도체 디바이스(1301)에 보다 속도 감응인 데이터를 저장하는 것을 선택함으로써(제1 반도체 디바이스(601)에서의 제어기를 통하여) 전체 시스템이 원하는 고속을 유지할 수 있으면서, 속도 요건이 더욱 완화될 수도 있는 데이터를 저장하는 데 사용될 수 있다.
- [0069] 그러나, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)가 제1 대역폭보다 낮은 제2 레이트의 데이터 전송을 가질 수도 있는 반면, 실시예에서 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 또한 제3 반도체 디바이스(1301)보다 큰 메모리 용량을 가진다. 예컨대, 제3 반도체 디바이스(1301)가 약 256KB와 같이 약 128KB 내지 약 16MB의 제1 용량을 갖는 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 (총괄하여) 약 2GB와 같이 약 1GB 내지 약 16GB에 있으므로써와 같이, 제1 용량보다 큰 제2 용량을 갖는다. 이러한 것으로써, 동작시, 제1 반도체 디바이스(601)는, 전체적으로 보다 효율적인 디바이스를 위한 다양한 리소스들을 가장 효율적으로 이용하기 위하여, 제3 반도체 디바이스(1301)의 최상의 양상(예컨대, 속도), 제4 반도체 디바이스(1503)의 최상의 양상(예컨대, 용량), 및 제5 반도체 디바이스(1505)의 최상의 양상(예컨대, 용량)을 이용할 수 있다.
- [0070] 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)가 물리적으로 함께 접합될 수도 있고, 이들 모두 패키징 기판(1507)에 접합될 수도 있다. 실시예에서, 패키징 기판(1507)은, 전기적 절연 수지로 코팅된 유리 구조(glass fabric)를 포함하는 동박 적층판(copper clad laminate, CCL)과 같은 비도전성 재료의 하나 이상의 층을 포함하고, 2개의 동박들, 비스말레이미드 트리아진(BT) 수지, 에폭시 기판 수지, 또는 예로서 아지노모토에 의한 ABF(Ajinomoto Build-up Film) 라미네이션과 같은 라미네이트 재료 사이에 끼워진다. 대안적으로, 패키징 기판(1507)은 다른 재료들을 포함할 수도 있다. 패키징 기판(1507)은, 도시되지 않은 도전성 배선이 내부에 형성된 하나 이상의 재분배층들(RDLs)을 포함할 수도 있다. RDLs는, 도시되지 않은 일부 실시예들에서 패키지에 대한 수평 연결들을 제공하는 팬 아웃 배선(fan-out wiring)을 포함할 수도 있다. 일부 실시예에서, RDL은 패키징 기판(1507)에 포함되지 않는다.
- [0071] 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)가 패키징 기판(1507)에 물리적으로 접합되었으면, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 패키징 기판(1507)에 전기적으로 연결될 수도 있다. 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는, 예컨대 배선 접합 처리를 통하여 전기적으로 연결될 수도 있고, 이로써 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505) 상의 콘택트 패드들은 패키징 기판(1507) 상의 콘택트 패드들에 연결된다. 그러나, 플립 칩 구성과 같은, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)를 패키징 기판(1507)에 전기적으로 연결시키는 임의의 적합한 방법도 이용될 수도 있다.
- [0072] 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는, 연결되었으면, 제2 봉합재(1511)로 캡슐화될 수도 있다. 실시예에서, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는, 제1 반도체 디바이스(601)와 제2 반도체 디바이스(603)의 캡슐화(도 7과 관련하여 상기 설명된)와 유사한 방법으로 캡슐화될 수도 있다. 그러나, 제4 반도체 디바이스(1503)와 제5 반도체 디바이스(1505)는 상이한 방법으로도 캡슐화될 수도 있다.
- [0073] 실시예에서, 제2 패키지(1501)는 제5 외부 연결부들(1509)를 포함하여, 제2 패키지(1501)와 제1 패키지(1401) 간의 비아들(401)을 통한 연결을 제공한다. 제5 외부 연결부들(1509)는, 마이크로범프들 또는 붕괴 제어형 칩 연결(controlled collapse chip connection; C4) 범프들과 같은 콘택트 범프들일 수도 있고, 주석과 같은 재료, 또는 은 또는 구리와 같은 다른 적합한 재료들을 포함할 수도 있다. 제5 외부 연결부들(1509)이 주석 뿔 범프들인 실시예에서, 제5 외부 연결부들(1509)는, 증발, 전기 도금, 인쇄, 뿔뿔 전사, 볼 배치(ball placement) 등과 같은 임의의 적합한 방법을 통하여, 약 100 $\mu$ m의 바람직한 두께로 주석층을 처음에 형성함으로써 형성될 수도 있다. 주석층이 구조 상에 형성되었으면, 재료를 원하는 범프 형상으로 성형하기 위하여 리플로우가 수행되는 것이 바람직하다.
- [0074] 제5 외부 연결부들(1509)이 형성되었으면, 제2 패키지(1501)는, 비아들(401)을 노출시키는 제3 패시베이션층(903)을 통하여 제5 외부 연결부들(1509)을 개구부들과 처음에 정렬시키고, 제5 외부 연결부들(1509)이 비아들(401)과 물리적 접촉하게 배치함으로써, 제1 패키지(1401)에 접합될 수도 있다. 접촉되었으면, 리플로우가 수행되어 제5 외부 연결부들(1509)의 재료를 리플로우하여 비아들(401)에 접합시킬 수도 있다. 그러나, 제2 패키지(1501)를 제1 패키지(1401)에 접합시키기 위하여, 구리-구리 접합과 같은 임의의 적합한 접합 방법이 대안적

으로 이용될 수도 있다.

- [0075] 동작시, 제1 반도체 디바이스(601)는 제3 반도체 디바이스(1301)와 제2 패키지(1501)로부터의 데이터의 저장 및 검색을 제어하는 데 사용될 수도 있다. 예컨대, 그러한 데이터를 신속하게 저장하고 검색하는 것이 바람직한 제1 데이터 세트에 대하여, 제1 반도체 디바이스(601)는 제3 반도체 디바이스(1301) 내에 그러한 데이터를 저장하는 것을 결정할 수도 있다. 대조적으로, 속도가 결정적(critical)이지 않을 수도 있는 제2 데이터 세트에 대하여, 제1 반도체 디바이스(601)는 제2 패키지(1501)에 제2 데이터 세트를 저장하고 검색하는 결정을 할 수도 있다. 이것에 의해, 제1 반도체 디바이스(601)가 메모리 디바이스로의 그리고 메모리 디바이스로부터의 데이터의 저장 및 검색을 효율적으로 라우팅하고 제어할 수 있다.
- [0076] 도 16a 내지 도 16c는 칩 온 패키지 구성의 부가적인 실시예들을 도시한다. 도 16a는 도 15에 관하여 상기 설명된 실시예와 유사한 실시예를 도시한다. 그러나, 제3 반도체 디바이스(1301)가 제1 패키지(1401)와 제2 패키지(1501) 사이에 위치되는 것 외에, 제1 패키지(1401)와 제2 패키지(1501) 사이에 제2 반도체 디바이스(603)에 제6 반도체 디바이스(1601)가 부가적으로 연결된다.
- [0077] 이 실시예에서, 제6 반도체 디바이스(1601)는, 약 256KB와 같이, 약 128KB 내지 약 16MB의 용량을 갖는 와이드 I/O RAM 또는 LPDDRn 메모리 디바이스임으로써와 같이, 제3 반도체 디바이스(1301)에 유사할 수도 있다. 제6 반도체 디바이스(1601)는, 제3 반도체 디바이스(1301)가 제1 반도체 디바이스(601)에 연결되는 것과 유사한 방식으로 제2 반도체 디바이스(603)에 연결될 수도 있다(예컨대, 폴리머층(105)을 통한 개구부들을 레이저 드릴링(laser drilling)한 후, 폴리머층(105)을 통하여 제6 반도체 디바이스(1601)를 제2 반도체 디바이스(603)에 접합시킴으로써). 그러나, 본 실시예에서, 제3 반도체 디바이스(1301)로부터 신호들을 받는 것 외에, 제2 반도체 디바이스(603)는 또한 제6 반도체 디바이스(1601)로부터 직접 고속 신호들을 받을 수도 있고, 이로써 저장 기능의 보다 효율적인 분배를 가능하게 한다.
- [0078] 도 16b는, 단일의 제3 반도체 디바이스(1301)가 제1 반도체 디바이스(601)에 부착되는 것 대신에, 다이 스택 구성의 복수의 제3 반도체 디바이스들(1301)이 제1 반도체 디바이스(601)에 부착되는 다른 실시예를 도시한다. 이 실시예에서, 복수의 제3 반도체 디바이스들(1301)은, 예컨대 각종 제3 반도체 디바이스들(1301)을 통하여 연결되는 제2 관통 기관 비아들(through substrate vias)(1603)을 사용하여 서로 그리고 제1 반도체 디바이스(601)에 상호 연결될 수도 있어서, 전력, 접지 및 신호들이, 복수의 제3 반도체 디바이스들(1301)과 제1 반도체 디바이스(601) 사이에 통과되는 것은 물론, 복수의 제3 반도체 디바이스들(1301) 간에 통과될 수도 있다. 실시예에서, 제2 TSV들(1603)은 제1 반도체 디바이스(601)(도 6에 관하여 상기 설명된 바와 같은) 내의 TSV들(605)와 유사한 방식으로 형성될 수도 있으나, 제2 TSV들(1603)은 대안적으로 TSV들(605)과는 상이한 방식으로 형성될 수도 있다.
- [0079] 도 16c는, 복수의 제3 반도체 디바이스들(1301)이 함께 적층되고 제1 반도체 디바이스(601)에 연결되는, 도 16b에 관하여 상기 설명된 실시예와 유사한 실시예를 도시한다. 그러나, 본 실시예에서, 복수의 제3 반도체 디바이스(1301) 외에, 제6 반도체 디바이스(1601)는, 도 16a에 관하여 상기 설명된 바와 같은 제2 반도체 디바이스(603)에 추가로 연결된다.
- [0080] 상기 문단에서 제공된 바와 같은 반도체 디바이스들을 패키징함으로써, 애플리케이션 프로세서로부터 메모리로의 통신 속도는 저비용 처리로 향상될 수 있다. 부가적으로, InFO(Integrated fan out package) 구성인 제1 패키지(1401)는, 3D-IC with TSV 구성의 애플리케이션 프로세서보다 우수한 "노운 굿 패키지(Known-Good-Package)"일 수 있다. 이것은 또한, 3D-IC와 유사한 FC\_POP(flip chip package on package) 구성보다 소형인 폼 팩터를 제공하며, 애플리케이션 프로세서에 대한 보다 빠른 속도를 제공한다. 마지막으로, 이 프로세스와 구조는 총 부품수를 삭감시키고, 신뢰성을 향상시킨다.
- [0081] 실시예에 따르면, 캐리어 웨이퍼 위에 비아들을 형성하는 단계 및 캐리어 웨이퍼 위에 제1 다이를 부착하는 단계를 포함하는 반도체 디바이스를 패키징하는 방법이 제공되며, 제1 다이는 복수의 관통 실리콘 비아들을 포함한다. 제2 다이는 캐리어 웨이퍼 위에 부착되고, 제1 다이, 제2 다이 및 비아들은 캡슐화되어 제1 패키지를 형성한다. 캐리어 웨이퍼가 제거되고, 제3 다이가 제1 패키지의 제1 측에 연결되며, 제3 다이는 복수의 관통 실리콘 비아들에 전기적으로 연결된다. 제2 패키지는 제1 패키지의 제1 측에 연결되고, 제3 다이는 제1 다이와 제2 다이 사이에 위치된다.
- [0082] 다른 실시예에 따르면, 제1 반도체 디바이스를 제1 패키지에 연결하는 단계를 포함하는 반도체 디바이스를 제조하는 방법이 제공된다. 제1 패키지는, 복수의 관통 실리콘 비아들을 포함하는 제2 반도체 디바이스로서, 제1

반도체 디바이스는 제2 반도체 디바이스 위에 위치되는 것인 상기 제2 반도체 디바이스; 제2 반도체 디바이스에 전기적으로 연결되고 관통 실리콘 비아를 갖지 않는 제3 반도체 디바이스; 제2 반도체 디바이스와 제3 반도체 디바이스를 캡슐화하는 봉합재; 및 봉합재를 통과하는 모든 길에서 연장되는 비아들을 포함한다. 제2 패키지는 비아들에 연결되고, 제2 패키지는 제1 반도체 디바이스와 제2 반도체 디바이스 위에 있다.

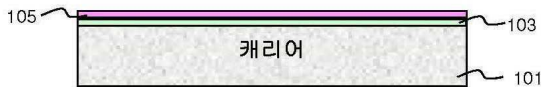
[0083] 또다른 실시예에 따르면, 관통 실리콘 비아들을 갖는 제1 반도체 디바이스를 포함하는 반도체 디바이스가 제공되며, 제1 반도체 디바이스는 제1 높이를 갖고, 제2 반도체 디바이스는 관통 실리콘 비아들을 갖지 않고, 비아들은 적어도 제1 높이만큼 큰 제2 높이를 갖는다. 재분배층은 제1 반도체 디바이스, 제2 반도체 디바이스, 및 비아들과 전기적 연결되어 있다. 제3 반도체 디바이스는 제1 반도체 디바이스 위에 있고, 제3 반도체 디바이스는 관통 실리콘 비아들에 연결된 전기적 연결부들을 포함하고, 패키지는 비아들에 연결되며, 제3 반도체 디바이스는 제1 반도체 디바이스와 패키지 사이에 위치된다.

[0084] 본 발명 및 그 이점이 상세히 설명되었지만, 첨부된 청구범위에 의하여 정의되는 바와 같은 발명의 사상 및 범위로부터 벗어나지 않고, 다양한 변화, 대체 및 개조가 여기서 행해질 수 있다는 것이 이해되어야 한다. 예컨대, 각종 칩들은 여기서 설명된 기능성에 임의의 적합한 또는 원하는 기능성을 대안적으로 제공할 수도 있다.

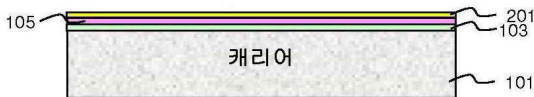
[0085] 또한, 본 출원의 범위는, 본 명세서에 설명된 처리, 기계, 제조, 물질의 조성, 수단, 방법 및 단계의 특정 실시예들에 제한되도록 의도되지 않는다. 당업자가 본 발명의 개시로부터 용이하게 이해될 것인 바와 같이, 여기서 설명된 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 이것과 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 후에 개발되는 처리, 기계, 제조, 물질의 조성, 수단, 방법, 또는 단계들이 본 발명에 따라 이용될 수도 있다. 따라서, 첨부된 청구항들은 그러한 처리, 기계, 제조, 물질의 조성, 수단, 방법, 또는 단계를 청구항의 범위 내에서 포함되도록 한다.

**도면**

**도면1**



**도면2**



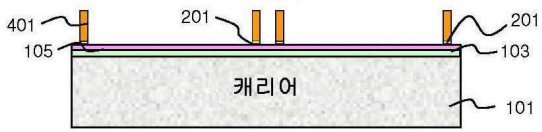
**도면3**



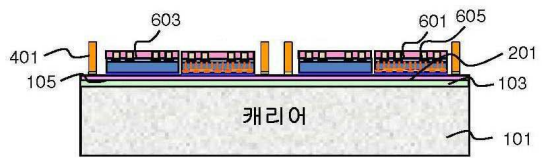
**도면4**



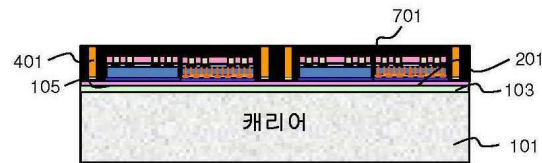
도면5



도면6



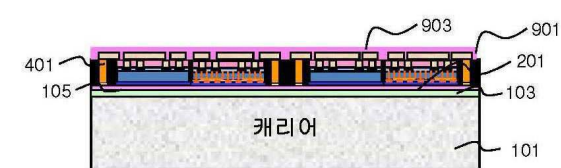
도면7



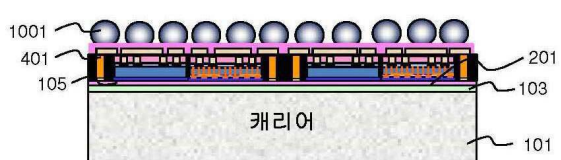
도면8



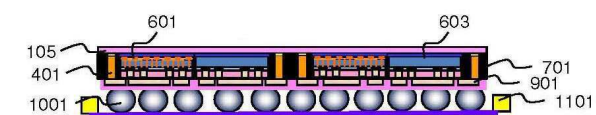
도면9



도면10

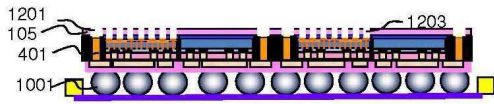


도면11

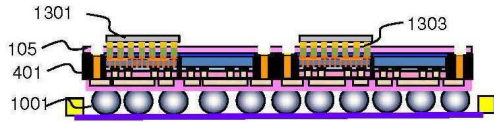




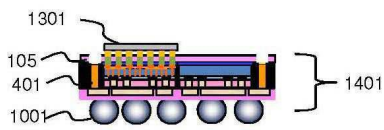
도면12



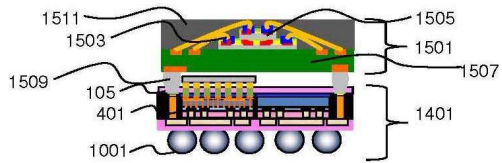
도면13



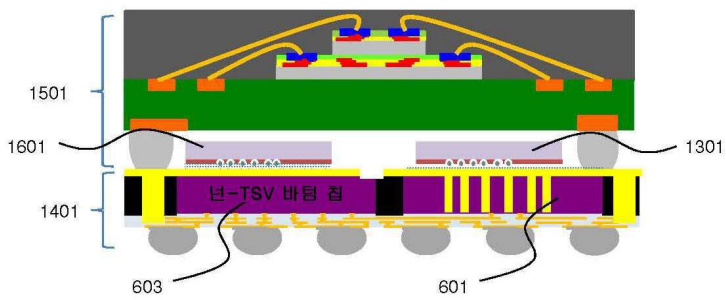
도면14



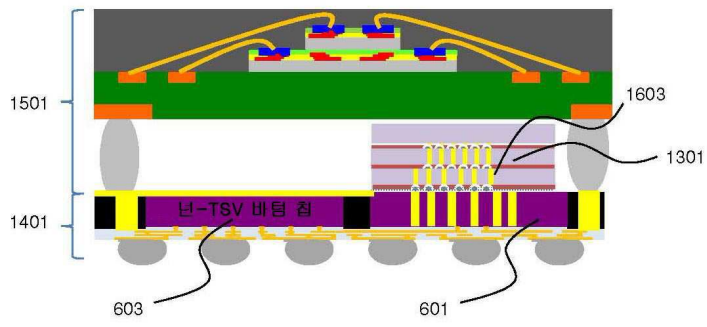
도면15



도면16a



도면16b



도면16c

