



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201005954 A1

(43)公開日：中華民國 99 (2010) 年 02 月 01 日

(21)申請案號：098109933

(22)申請日：中華民國 98 (2009) 年 03 月 26 日

(51)Int. Cl.：

H01L29/788 (2006.01)

H01L29/792 (2006.01)

H01L27/115 (2006.01)

H01L21/8247(2006.01)

(30)優先權：2008/03/26

日本

2008-080543

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：清利正弘 KIYOTOSHI, MASAHIRO (JP)

(74)代理人：陳長文

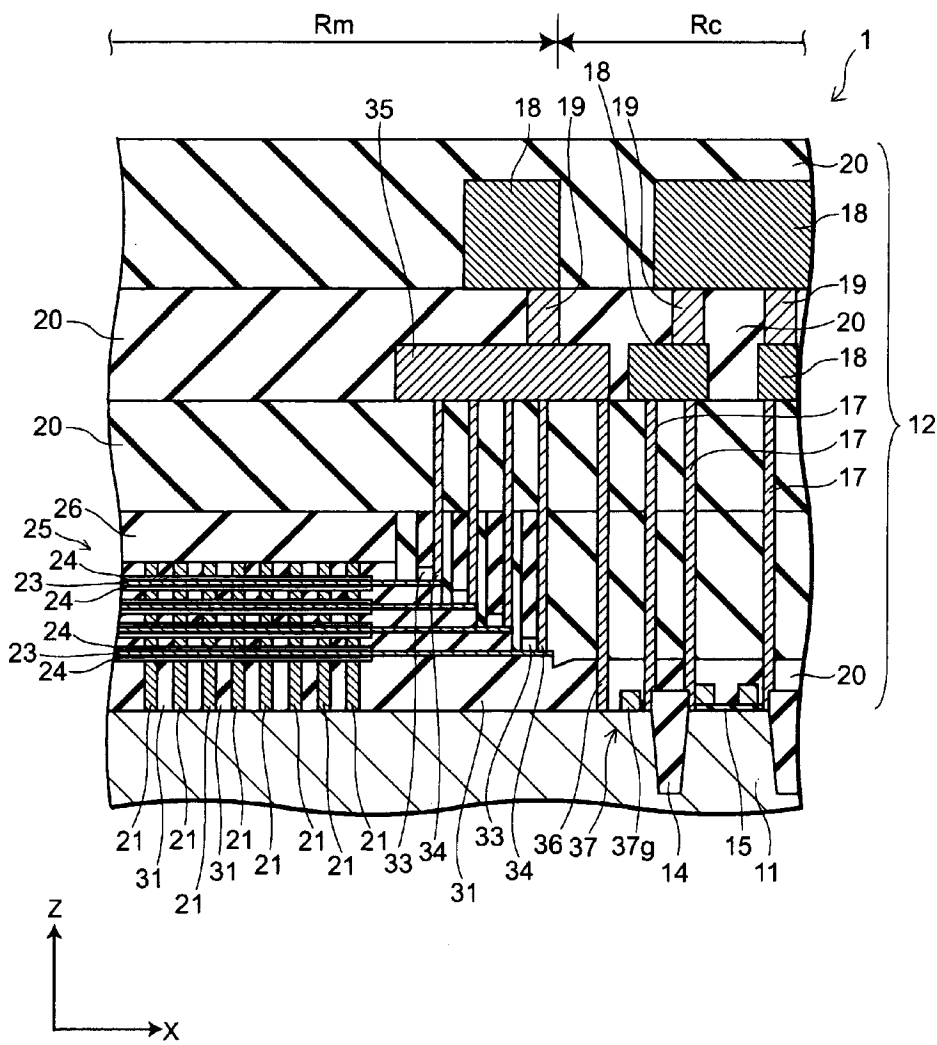
申請實體審查：有 申請專利範圍項數：20 項 圖式數：32 共 86 頁

(54)名稱

半導體記憶體及其製造方法

(57)摘要

本發明提供一種可藉由立體配置晶胞而使位元密度提高之半導體記憶體及其製造方法。在半導體記憶體 1 中，於矽基板 11 上設置數片閘極電極膜 21。閘極電極膜 21 係沿著相對矽基板 11 之上面為平行的一個方向(X 方向)而排列。各閘極電極膜 21 之形狀為格子狀的板狀，且從 X 方向觀之為矩陣狀地形成有數個貫穿孔 22。又，將數條矽樑(silicon beam)23 設置成貫穿數片閘極電極膜 21 之貫穿孔 22 而延伸於 X 方向。進而，在閘極電極膜 21 與矽樑 23 之間設置包含電荷存儲層之 ONO 膜 24。



- 1: 半導體記憶體
- 11: 矽基板
- 12: 多層配線層
- 14: STI
- 15: 閘極氧化膜
- 17: 接觸插塞
- 18: 配線
- 19: 穿孔插塞
- 20: 層間絕緣膜
- 21: 閘極電極膜
- 23: 矽樑
- 24: ONO 膜
- 25: 構造體
- 26: 氮化矽膜
- 31: 氧化矽膜
- 33: 閘極電極材料
- 34: 穿孔插塞
- 35: 位元配線
- 36: 接觸插塞
- 37: 電晶體
- 37g: 閘極電極
- Rc: 周邊電路區域
- Rm: 記憶體區域



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201005954 A1

(43)公開日：中華民國 99 (2010) 年 02 月 01 日

(21)申請案號：098109933

(22)申請日：中華民國 98 (2009) 年 03 月 26 日

(51)Int. Cl.：

H01L29/788 (2006.01)

H01L29/792 (2006.01)

H01L27/115 (2006.01)

H01L21/8247(2006.01)

(30)優先權：2008/03/26

日本

2008-080543

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：清利正弘 KIYOTOSHI, MASAHIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：32 共 86 頁

(54)名稱

半導體記憶體及其製造方法

(57)摘要

本發明提供一種可藉由立體配置晶胞而使位元密度提高之半導體記憶體及其製造方法。在半導體記憶體 1 中，於矽基板 11 上設置數片閘極電極膜 21。閘極電極膜 21 係沿著相對矽基板 11 之上面為平行的一個方向(X 方向)而排列。各閘極電極膜 21 之形狀為格子狀的板狀，且從 X 方向觀之為矩陣狀地形成有數個貫穿孔 22。又，將數條矽樑(silicon beam)23 設置成貫穿數片閘極電極膜 21 之貫穿孔 22 而延伸於 X 方向。進而，在閘極電極膜 21 與矽樑 23 之間設置包含電荷存儲層之 ONO 膜 24。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶體及其製造方法，特別是關於立體排列記憶胞之半導體記憶體及其製造方法。

【先前技術】

快閃記憶體係用作為大容量資料儲存，而廣泛應用於行動電話、數位靜物相機、USB(通用串列匯流排)記憶體及 Silicon Audio等，且藉由急速之微細化而削減每位元之製造成本以進一步繼續擴大市場。此外，新型之應用亦急速地展開，微細化及製造成本減低已實現發掘新市場的良好循環。

特別是NAND快閃記憶體，其數個主動區域(以下亦稱為「AA」)係共有閘極導體(以下亦稱為「GC」)，將最小加工尺寸設為F時，實現胞面積為 $4F^2$ 之實質的交叉點胞，因其簡單之構造的緣故而進行急速之微細化。NAND快閃記憶體藉由伴隨此種微細化之每位元的價格減低，而廣泛使用於上述USB記憶體、Silicon Audio等之存儲用途，預測今後會進行對HDD(Hard Disk Drive：硬碟驅動)等之主記憶體的替換。因而，近年來NAND快閃記憶體係領導半導體之微細加工，最小加工尺寸即使在量產水準仍達70 nm以下。雖然伴隨微細化，技術性難度亦急遽升高，不過，今後亦要求每1.5年，胞面積約為1/2的急遽微細化之進展。

但是，今後亦因為進行快閃記憶體之微細化，而有許多

問題。在以下列舉問題。

(1)微影技術之開發無法追隨於急遽之微細化。目前情況已經是微影裝置之出售即是量產開始的狀況，今後要求微影技術在維持現狀下提升積體度。

(2)因為元件之尺寸伴隨微細化而變小，以致短通道效應及奈米通道效應急遽地顯著，每一世代之非揮發性記憶體的可靠性確保及高速動作變得困難。

(3)因元件尺寸伴隨微細化而變小，預測今後將使原子數之統計性變動等的元件特性或是元件特性的變動惡化。

基於上述(1)~(3)的問題，僅倚賴在單純之水平面內藉由微細化而高積體度化，今後很可能持續提高積體度困難。

因而，作為即使不全面地倚賴微影技術的微細化，仍可實現記憶體元件之高積體化的半導體記憶體之構造，係檢討疊層型記憶體(例如參照專利文獻1)。專利文獻1中揭示有依次堆積數個記憶體層之方法。但是，該技術中，因為係以每一層堆積方式而形成記憶體層，若增加記憶體層之層數時，由於製造步驟數亦伴隨其而增加，製造成本亦增加，所以在每位元之製造成本上會有問題。

為了克服此種問題而提出新的疊層型快閃記憶體(參照專利文獻2及非專利文獻1)。此為在基板上交互地堆疊絕緣膜與電極膜之後，一起形成貫穿孔，在該貫穿孔之側面上形成保持電荷之電荷存儲層，並在貫穿孔之內部埋入柱狀電極。藉此，在各柱狀電極與電極膜之交叉部分立體地排列記憶胞。而後，在最上層之電極膜上設置延伸於一個

方向之數條選擇閘極線，且在其上方設置延伸於另一方向之數條位元線，並藉由連接於柱狀電極之上端部而可選擇任意之柱狀電極。另一方面，藉由將各電極膜連接於相互不同之字配線而可選擇任意之電極膜。其結果，係可選擇任意之記憶胞並進行資料之寫入及讀取。

採用該技術，與記載於上述專利文獻1之疊層型記憶體比較，因AA及GC此類之微細的微影步驟係不依靠疊層數而僅存在每一個步驟，所以具有愈增加疊層數，每位元之製造成本愈降低的優點。又，胞電晶體係成為閘極電極完全地包圍柱狀之矽通道的SGT(Surrounding Gate Transistor：外圍閘極電晶體)。SGT具有對通道之支配力強，可抑制短通道效應，且多值化容易之特徵。

不過，為了選擇排列成陣列狀之任意柱狀通道矽，需要將選擇閘極在平面內配設成條紋狀。

專利文獻1：日本特開平07-235649號公報

專利文獻2：日本特開2007-266143號公報

非專利文獻1：H.Tanaka, M.Kido, et.al. 「Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory」2007 Symposium on VLSI Technology Digest of Technical Papers, p.14-15

【發明內容】

發明所欲解決之問題

本發明之目的為提供一種藉由立體配置晶胞而可使位元密度提高之半導體記憶體及其製造方法。

解決問題之技術手段

本發明之一個態樣係提供半導體記憶體，其特徵為包括：基板；數片閘極電極膜，其係設置於前述基板上，對前述基板之上面沿著平行之一個方向排列，且從前述一個方向觀之為形成數個貫穿孔；數條半導體樑，其係貫穿前述數片閘極電極膜之前述貫穿孔而延伸於前述一個方向；及電荷存儲層，其係設置於前述閘極電極膜與前述半導體樑之間。

本發明之另一態樣係提供半導體記憶體之製造方法，其特徵為包括以下步驟：在基板上分別交互地堆疊數個絕緣膜及半導體膜而形成疊層體；藉由將前述疊層體在相對於前述基板之上面為平行的第一方向加以分裁，而形成數條經分裁之前述半導體膜所構成，相對於前述基板之上面為平行，且延伸於相對前述第一方向為正交之第二方向的數條半導體樑；在前述經分裁之疊層體間，沿著前述第二方向斷續地設置絕緣體；藉由經由被前述經分裁之疊層體及前述絕緣體包圍的間隙而進行蝕刻，以除去前述絕緣膜中被前述間隙夾持的部分；在前述半導體樑之露出面上形成電荷存儲層；及在前述絕緣膜之殘留部分、前述絕緣體及前述半導體樑相互間的空間埋入導電材料而形成閘極電極膜。

本發明之另外一個態樣係提供半導體記憶體之製造方法，其特徵為包括以下步驟：在基板上分別使數個矽鍺膜及矽膜交互地磊晶生長，而形成疊層體；藉由將前述疊層

體在相對於前述基板之上面為平行的第一方向加以分裁，而形成數條由經分裁之前述半導體膜所構成，相對於前述基板之上面為平行，且延伸於對前述第一方向為正交之第二方向的矽樑；除去前述矽鍍膜，使前述矽樑露出；在前述矽樑間埋入絕緣體；在前述絕緣體中排列於前述第一方向之矽樑間的部分，形成沿著前述第二方向而排列之數個溝渠；藉由經由前述溝渠而進行蝕刻，除去被前述絕緣體中上下地排列之前述矽樑夾著的部分，且係被前述溝渠所挾持的部分；在前述矽樑之露出面上形成電荷存儲層；及在前述絕緣體之殘留部分及前述矽樑之相互間的空間埋入導電材料而形成閘極電極膜。

本發明之另外一個態樣係提供半導體記憶體之製造方法，其特徵為包括以下步驟：在基板上分別使數個矽鍍膜及矽膜交互地磊晶生長，而形成第一疊層體；除去前述矽鍍膜；藉由使前述矽膜熱氧化以在前述矽膜間形成矽熱氧化膜，而形成交互地堆疊前述矽膜及前述矽熱氧化膜之第二疊層體；藉由將前述第二疊層體在相對於前述基板之上面為平行的第一方向加以分裁，而形成數條經分裁之前述矽膜所構成，相對於前述基板之上面為平行，且延伸於對前述第一方向為正交之第二方向的矽樑；在前述經分裁之第二疊層體間，沿著前述第二方向斷續地設置絕緣體；藉由經由被前述分裁之第二疊層體及前述絕緣體包圍的間隙進行蝕刻，而除去前述矽熱氧化膜中被前述間隙挾持的部分；在前述矽樑之露出面上形成電荷存儲層；及在前述矽

熱氧化膜之殘留部分、前述絕緣體及前述矽樑之相互間的空間埋入導電材料而形成閘極電極膜。

發明之效果

採用本發明，可實現藉由立體配置胞而使位元密度提高之半導體記憶體及其製造方法。

【實施方式】

以下，參照圖示，就本發明之實施形態作說明。

首先，就本發明之第一種實施形態作說明。

本實施形態係半導體記憶體之實施形態，特別是非揮發性半導體記憶體之實施形態。

圖1係例示本實施形態之半導體記憶體的矽樑平行於延伸之方向的剖面圖，

圖2係例示本實施形態之半導體記憶體的矽樑垂直於延伸之方向的剖面圖，

圖3係例示本實施形態之半導體記憶體的記憶體區域之內部的剖面立體圖，

圖4係例示本實施形態之半導體記憶體的記憶體區域中之閘極電極膜及矽樑的立體圖，

圖5係例示本實施形態中之構造體25的基本單位之剖面圖，

圖6係例示本實施形態之半導體記憶體的記憶體區域之一端部的立體圖。

另外，為了容易觀察圖，在圖4中，閘極電極膜及1條矽樑以外的構成要素省略圖示。此外，圖6中，層間絕緣膜

省略圖示。

如圖1及圖2所示，本實施形態之半導體記憶體1中設有矽基板11，在矽基板11上設有多層配線層12。此外，在半導體記憶體1中設定設置記憶資料之數個記憶胞的記憶體區域Rm，與設置驅動記憶體區域Rm之驅動電路的周邊電路區域Rc。

在周邊電路區域Rc中，作為驅動記憶體區域Rm之驅動電路的一部分，例如設有電晶體13。在矽基板11中之電晶體13的周圍設有從周圍分離電晶體13之STI(Shallow Trench Isolation：淺溝埋入分離)14。電晶體13藉由形成於矽基板11之上層部分的源極・汲極區域(無圖示)、形成於其上面之閘極氧化膜15、及設置於其上方之閘極電極16而形成。此外，在周邊電路區域Rc中之多層配線層12內設置有連接於電晶體13之閘極電極16等的接觸插塞17、配線18、及連接排列於上下方向之各配線18的穿孔插塞19，此等埋入層間絕緣膜20內。

本實施形態中，權宜上使用XYZ正交座標系統作說明。並將對矽基板11之上面垂直的方向，亦即將上下方向作為Z方向，將平行於矽基板11之上面的水平方向，且相互正交的2個方向作為X方向及Y方向。在後述之其他實施形態中亦同樣。

如圖1至圖5所示，在記憶體區域Rm中，於多層配線層12之最下層設置有數片閘極電極膜21。如圖3及圖4所示，各閘極電極膜21之形狀係擴展於YZ平面的板狀，且從X方

向觀察，係將數個貫穿孔22排列成矩陣狀的格子狀之形狀。此外，數片閘極電極膜21沿著X方向相互隔離而等間隔地排列，從X方向觀察，形成於各閘極電極膜21之貫穿孔22的位置相互一致。閘極電極膜21例如藉由多晶矽或金屬或是合金，例如藉由鎢氮化物(WN)或是鈿氮化物(TaN)而形成。在閘極電極膜21間設置有氧化矽膜31。

而後，以插通閘極電極膜21之貫穿孔22的方式，設置有延伸於X方向的樑狀之矽樑23。矽樑23例如藉由多晶矽而形成。各閘極電極膜21中，1條矽樑23插通1個貫穿孔22。因此，矽樑23之條數與形成於各閘極電極膜21之貫穿孔22的數量相同，數條矽樑23在YZ平面上排列成矩陣狀。此外，各矽樑23插通全部之閘極電極膜21的貫穿孔22。另外，本實施形態中顯示於Z方向之矽樑23的排列數為4之例。但是本發明不限定於此。

此外，如圖5所示，在閘極電極膜21與矽樑23之間設置有ONO膜(Oxide Nitride Oxide film：氧化物-氮化物-氧化物膜)24。ONO膜24係從矽樑23側起依序堆疊氧化矽層24a、氮化矽層24b及氧化矽層24c之膜。另外，ONO膜24亦設置於氧化矽膜31與閘極電極膜21之間。

而後，位於矽樑23中之貫穿孔22內部的部分成為主動區域(AA)，閘極電極膜21成為閘極導體(GC)，ONO膜24之氮化矽層24b成為電荷存儲層。藉此，在閘極電極膜21與矽樑23之各交叉部分形成SGT(Surrounding Gate Transistor：外圍閘極電晶體)，該SGT作為記憶胞之功能。結果在構造

體 25 中，將數個記憶胞沿著 X 方向、Y 方向、Z 方向排列成立體矩陣狀。

此外，如圖 1 及圖 2 所示，包含數片閘極電極膜 21、數條矽樑 23 及 ONO 膜 24 的構造體 25，配置於半導體記憶體 1 中封閉之空間內。具體而言，構造體 25 配置於記憶體區域 R_m 中多層配線層 12 最下層的下部。在多層配線層 12 之最下層中的構造體 25 上方設置有氮化矽膜 26。

另外，圖 5 中顯示各部分尺寸之一例。閘極電極膜 21 之開口部 22 間的部分在 X 方向之長度係 29 nm，在 Y 方向之長度係 25 nm，ONO 膜 24 之厚度係 10 nm，氧化矽膜 31 之寬度，亦即在 X 方向之長度係 11 nm，矽樑 23 之寬度，亦即在 Y 方向的長度係 15 nm。因而，構成構造體 25 之基本單位在 X 方向及 Y 方向的長度均係 60 nm。

另外，如圖 6 所示，在構造體 25 之 X 方向的一端部並未設置閘極電極膜 21 及 ONO 膜 24，矽樑 23 埋入氧化矽膜 31。而後，將構造體 25 加工成階梯狀，其階數與在 Z 方向之矽樑 23 的排列數，亦即與層數為同數。各階中，各矽樑 23 之端部的至少上面，例如上面及兩側面位於氧化矽膜 31 之外部。此外，矽樑 23 在 X 方向之端緣的位置與構造體 25 之階差部分一致。藉此，Z 座標相互相等之數條矽樑 23，亦即設於同層面 (floor) 之數條矽樑 23 的終端之 X 座標相互相等。

在加工成階梯狀之構造體 25 各階的上方設置有延伸於 Y 方向的閘極電極材料 33。因此，閘極電極材料 33 之條數與

構造體25之階數，亦即與在Z方向之矽樑23的排列數為同數。各閘極電極材料33通過設於各層面之數條矽樑23的端部，亦即通過位於氧化矽膜31之外部的部分之正上方區域。在此等矽樑23與閘極電極材料33之間設置有閘極氧化膜(無圖示)，不過，該閘極氧化膜之厚度厚達可將閘極電極材料33與矽樑23絕緣的程度，且薄達閘極電極材料33之電位可對此等矽樑23之導電狀態造成影響的程度。藉此，在矽樑23與閘極電極材料33之最接近點形成場效電晶體。

在各矽樑23之端部的正上方區域設置有穿孔插塞34，在其正上方區域設置有延伸於X方向的位元配線35。位元配線35設置於多層配線層12之第二配線層，穿孔插塞34將矽樑23連接於位元配線35。排列於Z方向之矽樑23的各列設置有位元配線35，並共用連接於屬於各列之矽樑23，亦即Y座標相互相等之數條矽樑23。因此，位元配線35之條數等於矽樑23在Y方向的列數，位元配線35沿著Y方向而排列，其排列週期與矽樑23之排列週期相等。

位元配線35從構造體25之正上方區域向X方向伸出，在伸出部分之正下方區域設置有接觸插塞36，在其正下方區域設置有電晶體37。藉此，位元配線35經由接觸插塞36而連接於電晶體37的源極區域37s。另外，圖5中，圖示之權宜上，穿孔插塞34、位元配線35及接觸插塞36僅顯示1組。

電晶體37之源極區域37s及汲極區域37d形成於矽基板11之上層部分，且排列於X方向。在源極區域37s與汲極區域

37d之間形成有通道區域37c，在其正上方區域設置有閘極絕緣膜(無圖示)，在其正上方區域設置有閘極電極37g(參照圖1)。電晶體37設置與矽樑23之列數相同數程度，且沿著X方向與Y方向間的方向傾斜地排列。於Y方向之電晶體37的排列週期與矽樑23之排列週期相等。

其次，就本實施形態之半導體記憶體1的動作作說明。

半導體記憶體1中，藉由將數條閘極電極材料33中之1條閘極電極材料33的電位形成鄰近於該閘極電極材料33之矽樑23成為接通狀態的電位，可使設置於1個層面之數條矽樑23導通。亦即，藉由選擇條閘極電極材料33，可從構造體25選擇1個層面，可選擇記憶胞之Z座標。

此外，藉由將數個電晶體37中之1個電晶體37形成接通狀態，並將其他電晶體37形成斷開狀態，可選擇1條位元配線35，而可一起選擇沿著Z方向排列成一系列之數條矽樑23。亦即，藉由選擇1個電晶體37，可選擇記憶胞之Y座標。

進一步，藉由將數片閘極電極膜21中之1片閘極電極膜21的電位形成與其他閘極電極膜21之電位不同的電位，可使各矽樑23中，位於該閘極電極膜21之開口部22內的部分之狀態對位於其他閘極電極膜21之開口部22內的部分之狀態不同。亦即，藉由選擇1片閘極電極膜21，可選擇記憶胞之X座標。

這樣地，可從在構造體25內立體矩陣狀地排列之數個記憶胞選擇1個記憶胞。而後，藉由在設於該記憶胞之氮化

矽層 24b 中存儲電荷，可記憶資料。此外，藉由從氮化矽層 24b 抽出電荷，可消除資料。進一步，因構成該記憶胞之 SGT 的臨限值依氮化矽層 24b 中有無電荷而不同，所以，藉由使該記憶胞所屬之矽樑 23 中該記憶胞以外的部分導通，而流過感測電流，檢測該記憶胞中是否存儲有電荷，可讀取資料。

其次，就本實施形態之效果作說明。

如圖 5 所示，半導體記憶體 1 之構造體 25 在 X 方向中，係成為使在周圍形成有 ONO 膜 24 之閘極電極膜 21 與氧化矽膜 31 交互地排列的構造，1 片閘極電極膜 21 及 1 片氧化矽膜 31 成為基本單位。而後，各該基本單位構成記憶胞。如在後述之第二至第四種實施形態中詳細地說明般，該基本單位例如可藉由將氧化矽膜 31 蝕刻加工而製作。ONO 膜 24 因係將矽樑 23 之表面熱氧化後，使氮化矽層及氧化矽層堆積而形成，所以不需要藉由微影實施加工。因此，該基本單位於最小加工尺寸設為 F 時，可以 2F 之長度構成。

另一方面，構造體 25 在 Y 方向，係成為使矽樑 23 與在周圍形成有 ONO 膜 24 之閘極電極膜 21 中的貫穿孔 22 間之部分交互地排列的構造，1 條矽樑 23 與閘極電極膜 21 的 1 個部分成為基本單位。而後，各該基本單位構成記憶胞。如在後述之第二至第四種實施形態中詳細地說明般，該基本單位例如可藉由蝕刻加工而在矽基板 11 上使矽膜與氧化矽膜交互地堆積所形成的疊層體來製作。因此，該基本單位於最小加工尺寸設為 F 時，可以 2F 之長度構成。

又，如圖6所示，因選擇構造體25之層面用的閘極電極材料33係形成為延伸於Y方向的柱狀，所以不受在Y方向中之加工精確度的約束。進一步，在Y方向選擇矽樑23之列用的電晶體37雖需要與在Y方向中之矽樑23的排列數相同數程度，不過，因電晶體37中之源極·汲極的排列方向係X方向，所以在Y方向中，電晶體37之排列週期可為 $2F$ 。再者，電晶體37可依需要在X方向錯開配置，該情況下，不受在Y方向之加工精確度的約束。

因此，構造體25之基本單位可形成在X方向之長度為 $2F$ ，在Y方向之長度為 $2F$ ，而可將在XY平面之基本單位的面積形成 $4F^2$ 。此外，因各基本單位形成記憶胞，所以每1個記憶胞在XY平面的面積(胞面積)成為 $4F^2$ 。結果，本實施形態之半導體記憶體1可將在XY平面之平面構造予以微細化，而可實現與先前之平面型的NAND型快閃記憶體相同程度之積體度。而後，本實施形態之半導體記憶體1中，因將記憶胞排列於Z方向，所以可與在Z方向之排列數成正比地使記憶胞的積體度增加。結果，不致將平面構造超過製造技術之界限而微細化，可使記憶胞之積體度提高。

此外，先前之平面型的NAND快閃記憶體中，係構成將電晶體串聯地連接32個胞或64個胞之NAND鏈。而後，首先選擇1條NAND鏈，其次，藉由對所選擇之NAND鏈，依次驅動32個或64個閘極電極，進行資料之寫入及讀取。而後，在平面型NAND快閃記憶體中，將該動作作為前提而

設計周邊電路。另外，本實施形態之半導體記憶體中亦可在各矽樑23中形成數十個以上之記憶胞，選擇1條矽樑23後，可依次驅動閘極電極膜21，進行資料之寫入及讀取。亦即，可藉由與先前之平面型NAND快閃記憶體同樣的方法進行資料之寫入及讀取。因而，本實施形態之半導體記憶體中，可照樣使用先前之平面型NAND快閃記憶體的周邊電路。

進一步，在本實施形態之半導體記憶體1中，構成各記憶胞之電晶體成為SGT構造。因而，對短通道效應強。此外，因閘極電極膜21對通道之支配力強，所以2位元/胞(=4值)、3位元/胞(=8值)之多值記憶容易。進一步，因閘極電極膜可完全地包圍AA，所以可抑制胞之臨限值伴隨鄰接胞之寫入刪除動作而變動的胞間干擾。

其次，就本實施形態之比較例作說明。

本比較例係在先前技術項中說明的技術之一例。

圖7至圖11係例示本比較例之半導體記憶體的製造方法之步驟剖面圖，

圖12係例示本比較例之半導體記憶體的平面圖。

本比較例之半導體記憶體與第一種實施形態之半導體記憶體同樣地係將數個記憶胞排列成立體矩陣狀。但是，本比較例與第一種實施形態比較，閘極電極膜之擴展方向及矽樑之延伸方向不同。亦即，第一種實施形態之半導體記憶體中，各閘極電極膜對矽基板之上面垂直地擴展，矽樑對矽基板之上面平行地延伸。對於此，本比較例之半導體

記憶體中，閘極電極膜對矽基板之上面平行地擴展，而通道矽(以下，在本比較例中稱為「矽柱」)係對矽基板之上面垂直地延伸。

以下，簡單說明本比較例之半導體記憶體的製造方法。

首先如圖7所示，在矽基板406上，使包含矽氧化物之絕緣膜402及包含多晶矽之閘極電極膜401交互地堆疊，並在其上形成硬遮罩405。

其次如圖8所示，將硬遮罩405予以圖案化，將數個開口部405a從Z方向觀察形成矩陣狀。而後，將圖案化之硬遮罩405作為遮罩，對絕緣膜402及閘極電極膜401實施RIE(Reactive Ion Etching：反應性離子蝕刻)等的蝕刻，並在包含絕緣膜402與閘極電極膜401之疊層體中形成到達矽基板406的貫穿孔410。

其次如圖9所示，使用CVD(Chemical Vapor Deposition：化學氣相生長)或ALD(Atomic Layer Deposition：原子層蒸鍍)等的各向同性成膜技術，而在貫穿孔410之內面上形成ONO膜403。形成於貫穿孔410側面上之ONO膜403中的氮化矽層成為電荷存儲層。其後，除去設置於貫穿孔410底面上之ONO膜403，不過在形成於貫穿孔410之側面上的ONO膜403露出之狀態下進行RIE時，會在成為電荷存儲層之ONO膜403中產生損傷，所以暫且全面地以矽膜407覆蓋貫穿孔410之內面作保護。

在其上如圖10所示地進行RIE，除去形成於貫穿孔410底面上之矽膜407及ONO膜403。

其次如圖 11 所示，在貫穿孔 410 之內部埋入多晶矽，而製作連接於矽基板 406 之矽插塞 404。藉由矽插塞 404 及其周圍之矽膜 407 而形成矽柱 411。矽柱 411 在 XY 平面中排列成矩陣狀。

其後如圖 12 所示，在包含絕緣膜 402 與閘極電極膜 401 之疊層體上形成 1 片多晶矽膜，藉由微影技術將其加工，而形成數條選擇閘極電極 409。各選擇閘極電極 409 之形狀為延伸於矽柱 411 之排列方向中之一方，例如延伸於 X 方向的帶狀。亦即，此等數條選擇閘極電極 409 在相互同高度位置，設置成相互平行且隔離。此時在選擇閘極電極 409 之間設置絕緣膜 408，而絕緣各選擇閘極電極 409。

其次，形成貫穿選擇閘極電極 409 而連通於貫穿孔 410 的貫穿孔，在該貫穿孔之內面上形成氧化矽膜 412。其次，除去形成於貫穿孔之底面上的氧化矽膜 412，使矽柱 411 之上端面露出後，在貫穿孔內埋入多晶矽。藉此，新埋入之多晶矽成為矽柱 411 之一部分。此外，在選擇閘極電極 409 之上方設置延伸於 Y 方向之數條位元配線(無圖示)。各位元配線連接於沿著 Y 方向而排列成一系列的矽柱 411。

藉此，構成將選擇閘極電極 409 作為閘極電極，將氧化矽膜 412 作為閘極絕緣膜，並將矽柱 411 中被選擇閘極電極 409 包圍之部分作為通道區域的 SGT。結果，藉由控制任意之選擇閘極電極 409 的電位，可將在 X 方向排列成一系列之數條矽柱 411 的導電狀態切換成接通狀態與斷開狀態。

如圖 11 及圖 12 所示，在此種半導體記憶體中，於 X 方

向，因只須在包含絕緣膜402與閘極電極膜401之疊層體中形成貫穿孔410即可，所以最小加工尺寸為F時，基本單位之尺寸可為2F。另外，在X方向亦排列有位元配線，不過因各位元配線只須連接於各矽柱411即可，而不需要包圍氧化矽膜412，所以位元配線亦可以2F週期形成。

但是，因在Y方向需要將選擇閘極電極409相互絕緣，在各選擇閘極電極409中需要形成貫穿孔，所以基本單位之長度成為3F。亦即，概略言之，雖貫穿孔之寬度可為F，不過因為在選擇閘極電極409內配置貫穿孔，所以選擇閘極電極409之寬度需要2F，為了將選擇閘極電極409間絕緣，而需要在選擇閘極電極409間設置絕緣膜408，其寬度至少需要F程度。結果基本單位在XY平面之面積成為 $2F \times 3F = 6F^2$ 。

舉出具體例時，ONO膜403及氧化矽膜412之膜厚需要10 nm以上，保護ONO膜403用之矽膜407的膜厚亦需要10 nm以上。此外，基於確保電流量及對準矽基板406之必要性，矽插塞404之寬度需要15 nm以上。因此，貫穿孔410之寬度成為55 nm以上。此外，考慮對準偏差時，貫穿孔410間之距離需要15 nm以上，從Z方向觀察之貫穿孔410與選擇閘極電極409之端緣為止的距離亦需要15 nm以上。進一步為了防止破壞絕緣，絕緣膜408之寬度需要20 nm以上。因而，疊層體之基本單位的尺寸，在X方向之最小長度成為 $70 \text{ nm} \{=10(\text{ONO膜厚})+10(\text{矽膜厚})+15(\text{矽柱直徑})+10(\text{矽膜厚})+10[\text{ONO膜厚}]+15(\text{貫穿孔間之最小距}$

離))，Y方向之最小長度成為 $105\text{ nm}\{=15+10+10+15+10+10+15+20(\text{選擇閘極電極間之最小距離})\}$ 。以致基本單位之面積成為 $70\times 105=7350\text{ nm}^2$ 程度。

對於此，如上述，第一種實施形態之半導體記憶體1中，構成疊層體25之基本單位在X方向及Y方向之長度均為 $2F$ ，因此，面積為 $4F^2$ 。此與先前之平面型NAND快閃記憶體相同。藉此，第一種實施形態中，與比較例比較，疊層數相同之情況，因可將有效之胞面積至少減低至 $(2/3)$ 倍，且有效之胞面積相等，所以可將疊層數至少減低至 $(2/3)$ 倍。因疊層構造中之良率為各層之良率的乘積，所以第一種實施形態中可實現高良率。

此外，第一種實施形態中，與比較例不同，因為在ONO膜形成前形成矽柱，所以亦不需要設置保護ONO膜用之矽膜407。因而可將XY平面中之基本單位更予以微細化。

例如，如上述，在第一種實施形態中，基本單位在X方向及Y方向之長度均為 60 nm ，因此在XY平面中之面積為 3600 nm^2 。將本比較例中之基本單位的面積(7350 nm^2)作為基準(100%)時，該面積約為55%。此外，第一種實施形態中之疊層數為4層時，有效之胞面積成為 $3600/4=900\text{ nm}^2$ ，不過在比較例中欲達成與此同等之有效的胞面積時，需要8.17層，亦即需要一倍以上的疊層數。

對於此，如上述，第一種實施形態之半導體記憶體1中，因矽樑23延伸於對基板之上面平行的方向，所以形成長之矽樑23容易，容易在1條矽樑23中設置數十個以上之

記憶胞。因而可照樣使用先前之平面型NAND快閃記憶體的周邊電路。此外，第一種實施形態中，與比較例比較，位元配線35之條數變少。藉此，可減少感測電路數量，而可減低半導體記憶體1之面積。另外，雖閘極電極膜21之片數變多，不過因閘極電極膜21連接於電源，所以即使片數多，半導體記憶體1之面積不致如其增加。

其次，就本發明之第二種實施形態作說明。

本實施形態係前述第一種實施形態之半導體記憶體的第一製造方法之實施形態，本實施形態中，例如製造實現相當於先前之平面型NAND快閃記憶體的1Xnm世代之胞面積為 900 nm^2 的4層疊層記憶體，並藉由多晶矽形成構成主動區域(AA)之矽樑。

圖13(a)及(b)、圖14(a)及(b)、圖15(a)及(b)、圖16(a)及(b)、圖17(a)及(b)係例示本實施形態之半導體記憶體的製造方法之步驟剖面圖，且各圖之(a)顯示YZ剖面，(b)顯示XZ剖面。

圖18至圖21係例示本實施形態之半導體記憶體的製造方法之立體剖面圖。

首先，如圖13(a)及(b)所示，在周邊電路區域Rc中形成構成驅動電路之電晶體。例如在矽基板101上形成電晶體之閘極氧化膜102，且形成成為電晶體之閘極電極的n型之多晶矽膜103。此外，為了分離各電晶體，而形成STI(Shallow Trench Isolation：淺溝埋入分離)104。如此所形成之電晶體的一部分成為圖1、圖2、圖6所示之電晶體

13及37。此外，矽基板101相當於圖1等所示之矽基板11。

其次，在矽基板101上之全部區域，將成為層間絕緣膜之氧化矽膜105例如形成200 nm之厚度。其次，交互地例如各4層堆疊厚度為20 nm之多晶矽膜106與厚度例如為40 nm之氧化矽膜107。多晶矽膜106之導電型例如為n型。其次，將氮化矽膜108例如形成100 nm之厚度。藉此，形成包含氧化矽膜105、4層之多晶矽膜106、4層之氧化矽膜107及氮化矽膜108的疊層體121。

其次，如圖14(a)及(b)所示，使用熟知之微影技術及反應性離子蝕刻(RIE)技術，從周邊電路區域Rc除去氮化矽膜108、氧化矽膜107及多晶矽膜106。此時，在記憶體區域Rm中之與周邊電路區域Rc的邊界近旁，疊層體121在XZ平面中加工成階梯狀。亦即，係以各多晶矽膜106在X方向的端部露出之方式，而除去其更上方的膜。

其次，沿著Y方向分割各多晶矽膜106在X方向的端部，而形成數條樑狀的部分。而後，使分割成樑狀之多晶矽膜106的端部之至少上面露出。其次，以覆蓋加工成階梯狀之疊層體121的方式，全面地形成閘極氧化膜(無圖示)，其後，全面地形成導電膜122。

其次，如圖15(a)及(b)所示，在矽基板101上之全面形成絕緣膜123，並藉由CMP(Chemical Mechanical Polishing：化學機械研磨)予以平坦化。其次，使用熟知之微影技術及反應性離子蝕刻技術，選擇性除去絕緣膜123，而在各多晶矽膜106之露出部分上僅殘留於延伸於Y方向的帶狀區

域。其次，將加工後之絕緣膜123作為硬遮罩，蝕刻導電膜122作加工。藉此，以橫跨各多晶矽膜106之露出部分的正上方區域而延伸於Y方向之方式，將導電膜122加工成帶狀。藉此，形成包含多晶矽之閘極電極材料33。如在第一種實施形態中之說明，該閘極電極材料33係選擇疊層體121之層面。其次，使用熟知之離子佈植技術及退火技術等，在多晶矽膜106之端部形成擴散層。

其次，如圖16(a)及(b)所示，在矽基板101上之全面形成絕緣膜124並予以平坦化。

另外，在圖14(a)及(b)所示之步驟中，除了分割成樑狀之多晶矽膜106的上面之外，宜使側面亦露出。藉此，在圖15(a)及(b)所示之步驟中，因可形成覆蓋將閘極電極材料33分割成樑狀之多晶矽膜106的3面，所以由多晶矽膜106之端部及閘極電極材料33構成之電晶體的切割特性提高。

其次，如圖17(a)及(b)所示，在疊層體121上之全面藉由CVD形成碳膜(無圖示，以下稱為「CVD-C膜」)，藉由使用通常之ArF微影技術及RIE技術實施加工，而形成延伸於X方向之帶狀的數條圖案(無圖示)。此時，例如該CVD-C膜在Y方向之排列週期為120 nm，寬度為45 nm。其次，以覆蓋此等CVD-C膜之方式，藉由低溫CVD法將氧化矽膜109例如形成15 nm之厚度。其後，藉由進行RIE，而使氧化矽膜109僅殘留於CVD-C膜之側面上，而形成側壁。而後進行灰化除去CVD-C膜。此時，包含氧化矽膜109之側

壁殘留。藉此，形成延伸於X方向之帶形狀，在Y方向之排列週期為60 nm，且寬度為15 nm之硬遮罩。

其次，如圖18所示，將氧化矽膜109作為硬遮罩進行蝕刻，而將疊層體121條紋狀地一起加工。藉此，將疊層體121作為在Y方向分斷且在XZ方向擴展之數片板狀部分。各板狀部分之厚度，亦即在Y方向之長度與氧化矽膜109之寬度相等，例如為15 nm，且板狀部分間之距離例如為45 nm。此時，多晶矽膜106亦成為在Y方向分斷，且延伸於X方向的數條矽樑23。亦即，各板狀部分中形成包含分斷之多晶矽膜106，且延伸於X方向，並沿著Z方向而排列的數條矽樑23。各矽樑23之XY剖面的形狀成為Y方向之長度例如為15 nm，Z方向之長度例如為20 nm之矩形。此時，在圖14所示之步驟中，將多晶矽膜106之端部分割而形成之樑狀的各部分與各矽樑23連繫。

其次，如圖19所示，在條紋狀地分斷之疊層體121間，埋入絕緣體之TEOS(Tetra-Ethoxy-Silane：正矽酸四乙酯($\text{Si}(\text{OC}_2\text{H}_5)_4$))/ O_3 膜110，並藉由CMP將上面予以平坦化。

其次，使用ArF微影技術及RIE技術，在疊層體121及TEOS/ O_3 膜110上形成CVD-C膜之圖案。該圖案為延伸於Y方向的數條帶狀，且在X方向之排列週期為120 nm，寬度為15 nm。其次，藉由在該CVD-C膜之側面上形成包含氧化矽膜之側壁，使其與CVD-C膜一體化，而形成數條延伸於Y方向，且在X方向之排列週期為60 nm，寬度為45 nm之帶狀圖案。

其次，如圖 20 所示，將該圖案作為硬遮罩進行通常之 RIE，而在 TEOS/O₃ 膜 110 中沿著 X 方向斷續地形成溝渠 111。並使溝渠 111 到達至矽基板 101。此時因不除去疊層體 121，所以溝渠 111 僅形成於在 Y 方向分斷之疊層體 121 間的區域，而成為被分斷之疊層體 121 及 TEOS/O₃ 膜 110 包圍的間隙。換言之，在分斷於 Y 方向之疊層體 121 間，沿著 X 方向斷續地形成作為絕緣體之 TEOS/O₃ 膜 110。因此，從 Z 方向觀察，溝渠 111 排列成矩陣狀。此外，各溝渠 111 之形狀係 X 方向之長度為 15 nm，Y 方向之長度為 45 nm 的矩形。另外，疊層體 121 在 X 方向之端部中，於形成閘極電極材料 33 之端部中不形成溝渠 111。

其次，如圖 21 所示，進行濕式蝕刻。藉此，經由溝渠 111 而從兩側除去 TEOS/O₃ 膜 110。但是，並非完全除去 TEOS/O₃ 膜 110。例如蝕刻前之 TEOS/O₃ 膜 110 的厚度 (X 方向之長度) 為 45 nm，從兩側各蝕刻 17 nm，保留之部分的厚度成為 11 nm。

另外，此時氧化矽膜 107 中被溝渠 111 夾著的部分亦從兩側蝕刻。例如蝕刻前氧化矽膜 107 之厚度 (Y 方向之長度) 係 15 nm 時，從兩側分別實施相當於 10 nm 之蝕刻。藉此，完全除去該部分而形成貫穿孔。另外，氧化矽膜 107 中被 TEOS/O₃ 膜 110 夾著之部分保留。

結果，排列於 Y 方向之溝渠 111 全部連通，而成為擴展於 YZ 平面的 1 個間隙 126。在間隙 126 內，包含多晶矽膜 106 之矽樑 23 樑狀地通過。亦即，在間隙 126 內，矽樑 23 露

出。對於此，排列於X方向之各溝渠111仍藉由TEOS/O₃膜110及氧化矽膜107而分離。因此，排列於X方向之間隙126間不連通而相互地劃分。間隙126在爾後之步驟中成為形成閘極電極膜21用的鑄型。

另外，本實施形態中，作為蝕刻氧化矽膜107及TEOS/O₃膜110的手段係使用濕式蝕刻，不過亦可取代其，而使用CDE(Chemical Dry Etching：化學性乾式蝕刻)或氟系氣體及氮系氣體生成矽氟化銨，蝕刻矽氧化物(SiO₂)之氣體蝕刻等。

其次，如圖1至圖5所示，藉由在氧化環境中實施加熱處理，將矽樑23之露出面予以熱氧化，而形成氧化矽層24a。其次，藉由CVD法在間隙126之內面上依次堆積矽氮化物及矽氧化物，而形成氮化矽層24b及氧化矽層24c。藉此，在矽樑23之露出面上依序堆疊氧化矽層24a、氮化矽層24b及氧化矽層24c，而在矽樑23之周圍形成ONO膜24。ONO膜24之合計膜厚例如為10 nm。

其次，在間隙126之內部，亦即在氧化矽膜107之殘留部分、TEOS/O₃膜110及矽樑23相互間之空間埋入導電材料例如埋入多晶矽，而形成閘極電極膜21。另外，亦可取代多晶矽，而埋入金屬或合金。因形成間隙126作為鑄型，所以閘極電極膜21成為擴展於YZ平面，且在矽樑23通過之部分形成貫穿孔的格子狀之形狀。結果形成堆疊之SGT型的MONOS胞。

其次，形成層間絕緣膜、配線、接觸插塞及穿孔插塞

等。藉此，製作圖1至圖6所示之半導體記憶體。另外，此時氧化矽膜107及TEOS/O₃膜110之保留部分成為圖1等所示之氧化矽膜31。

其次，就本實施形態之效果作說明。

採用本實施形態可製作前述之第一種實施形態之半導體記憶體。此時，該半導體記憶體中，藉由立體地堆疊記憶胞，不將構造微細化而可使記憶胞之積體度提高。因而，不需要EUV(Extreme Ultra Violet：極紫外線)微影及浸液ArF微影等最尖端的微影步驟。結果可抑制半導體記憶體之製造成本降低。

此外，本實施形態中，構成主動區域(AA)之矽樑及構成閘極導體(GC)的閘極電極膜，與平面型NAND快閃記憶體同樣地，可藉由各一次之微影步驟而形成。這樣地，即使增加疊層數，因為加工步驟1次即完成，所以製造成本不致伴隨疊層數之增加而增大。

進一步，採用本實施形態時，因為係在形成矽樑23後形成閘極電極膜21，所以可藉由金屬或合金形成閘極電極膜。藉此，可實現金屬閘極電極，因可將閘極電極膜之膜厚及間隔予以微細化，所以可謀求記憶密度更加提高。

另外，本實施形態中，係堆疊多晶矽膜與氧化矽膜而一起進行加工，不過亦可取代其，堆疊單晶矽膜與氧化矽膜而一起進行加工。單晶矽膜之形成方法例如有將基板之一部分作為晶種，以高溫形成磊晶矽膜之方法，及形成非晶矽膜後，將基板之一部分作為晶種，平面促進磊晶生長

(Lateral Epitaxial Growth)，而形成磊晶矽膜之方法。此外，亦可取代多晶矽膜而形成非晶矽膜。進一步，此等矽膜亦可預先摻雜雜質，亦可在形成後藉由固態擴散等之方法而導入雜質。

其次，就本發明之第三種實施形態作說明。

本實施形態係前述第一種實施形態之半導體記憶體的第二製造方法之實施形態。本實施形態中例如製造實現相當於先前之平面型NAND快閃記憶體的0Xnm世代之胞面積為450 nm²的8層疊層記憶體，並藉由磊晶矽形成構成主動區域(AA)之矽樑。

圖22係例示本實施形態之半導體記憶體的製造方法之步驟剖面圖，

圖23至圖27係例示本實施形態之半導體記憶體的製造方法之立體剖面圖。

另外，在圖23至圖27中，為了簡化圖示，僅顯示從疊層體之上層側起6層部分。

首先如圖22所示，在矽基板201上使矽鍺磊晶生長至例如100 nm之厚度，而形成磊晶矽鍺膜(epi-SiGe膜)202。其次，在該epi-SiGe膜202上，使矽與矽鍺交互地磊晶生長，交互地例如各8層堆疊厚度例如為20 nm，且導電型例如為n型之磊晶矽膜(epi-Si膜)203，與厚度例如為40 nm之磊晶矽鍺膜(epi-SiGe膜)204。其次，形成厚度例如為100 nm之氮化矽膜205。藉此，在矽基板201上形成包含epi-SiGe膜202、8層之epi-Si膜203、8層之epi-SiGe膜204及氮化矽膜

205的疊層體206。

其次，使用通常之微影技術及反應性離子蝕刻一起加工疊層體206，從周邊電路區域Rc除去疊層體206，僅殘留於記憶體區域Rm。

其次，藉由電漿CVD法形成厚度例如為200 nm之氧化矽膜207。而後，藉由微影技術，使氧化矽膜207僅殘留於疊層體206中X方向兩端部的側面上，而形成側壁。該氧化矽膜207在爾後之步驟中係成為epi-Si膜203在疊層體206中之支撐。

其次，藉由與前述第二種實施形態(參照圖14至圖16)同樣之方法，在疊層體207之X方向的一端部形成閘極電極材料33等。其次，藉由與前述第二種實施形態(參照圖17)同樣之方法，藉由CVD-C膜形成圖案、氧化矽膜之成膜及藉由側壁殘留RIE形成側壁，並藉由灰化除去CVD-C膜，而形成與第一種實施形態同樣之硬遮罩，亦即形成包含矽氧化物，係延伸於X方向之帶形狀，且在Y方向之排列週期例如為60 nm，寬度例如為15 nm之硬遮罩(無圖示)。

其次如圖23所示，將上述硬遮罩作為遮罩進行蝕刻，條紋狀地一起加工疊層體206。藉此，將疊層體206作為分斷於Y方向，並擴展於XZ方向的數片板狀部分。結果在各板狀部分形成包含分斷之epi-Si膜203，並延伸於X方向的數條矽樑23。矽樑23之形狀及尺寸例如與前述第二種實施形態同樣。但是，本實施形態與第二種實施形態不同，因各epi-Si膜203經由epi-SiGe膜204而堆疊，所以藉由RIE之加

工比較容易。

其次如圖 24 所示，對疊層體 206 進行選擇蝕刻，除去 epi-SiGe 膜 202 及 204。該選擇蝕刻例如可藉由使用混合了硝酸、氫氟酸及醋酸之水溶液系的蝕刻液之濕式蝕刻，或是使用 CF_4 系之蝕刻氣體的 CDE 等而進行。藉此，包含 epi-Si 膜 203 之矽樑 23 露出。另外，此時各矽樑 23 之兩端部藉由氧化矽膜 207 而支撐。

其次如圖 25 所示，在除去 epi-SiGe 膜 202 及 204 後的矽樑 23 間之空間埋入作為絕緣體之 SOG(旋塗式玻璃(Spin on Glass))膜 208，將氮化矽膜 205 作為停止器，藉由 CMP 予以平坦化。

其次，藉由與前述第二種實施形態(參照圖 20)同樣之方法，在 SOG 膜 208 中排列於 Y 方向之矽樑 23 間之部分形成數個溝渠 209。溝渠 209 以沿著 X 方向週期性地排列之方式，其排列週期例如為 60 nm，在 X 方向之寬度例如為 20 nm。

其次如圖 26 所示，進行濕式蝕刻。藉此，經由溝渠 209 蝕刻 SOG 膜 208。此時，蝕刻量例如相當於 10 nm。藉此，在排列於 Y 方向之矽樑 23 間的 SOG 膜 208 在 X 方向之厚度，因為蝕刻前係 40 nm，所以蝕刻後成為 20 nm。另外，SOG 膜 208 中排列於 Z 方向之矽樑 23 間的部分，且被溝渠 209 夾著之部分的厚度，亦即在 Y 方向之長度，因為蝕刻前係 15 nm，所以藉由從兩側進行相當於 10 nm 之蝕刻完全除去，而形成貫穿孔。

結果，排列於 Y 方向之溝渠 209 全部連通，而成為擴展於

YZ平面的1個間隙210。包含epi-Si膜203之矽樑23通過間隙210內。亦即在間隙210內，矽樑23露出。對於此，排列於X方向之各溝渠209藉由保留之SOG膜208而照樣分離。因此，排列於X方向之間隙210間不連通而相互地劃分。間隙210在爾後步驟中成為形成閘極電極膜21用之鑄型。

另外，本實施形態中，為了蝕刻SOG膜208而形成成為閘極電極膜之鑄型的間隙210，係使用濕式蝕刻，不過亦可取代其，而使用CDE或氟系氣體及氮系氣體生成矽氟化銨，而蝕刻矽氧化物(SiO₂)的氣體蝕刻等。

其次如圖27所示，藉由將藉由加工而露出之矽樑23的表面熱氧化而形成氧化矽層，藉由CVD形成氮化矽層，並藉由ALD形成氧化鋁(Al₂O₃)層，而在矽樑23之露出面上形成合計膜厚例如為10 nm之ONO膜24。其次，在間隙210內，亦即在SOG膜208之殘留部分及在周圍形成ONO膜24之矽樑23的相互間之空間，埋入導電材料之鎢氮化物(WN)，而形成包含WN膜211之閘極電極膜21。以後之步驟與前述第二種實施形態同樣。藉此製造前述第一種實施形態之半導體記憶體。

其次，就本實施形態之效果作說明。

即使藉由本實施形態仍可製作前述第一種實施形態之半導體記憶體。此外，採用本實施形態時，與前述第二種實施形態比較，因為可藉由磊晶生長而形成構成矽樑23之epi-Si膜203，所以可藉由結晶性良好之單晶矽形成矽樑23。因而主動區域(AA)之特性良好。進一步，因為在疊層

體 206 中堆疊 epi-Si 膜 203 及 epi-SiGe 膜 204，所以加工容易。因而可增加疊層數。

藉由本實施形態所製造之半導體記憶體中，因為在基板上堆疊 8 層矽樑 23，所以與平面型 NAND 快閃記憶體比較，可實現 8 倍之記憶密度。亦即，藉由本實施形態製造之半導體記憶體的有效胞面積成為 $3600/8=450 \text{ nm}^2$ 。對於此，為了以前述比較例之半導體記憶體達成與此同等之有效胞面積，需要 16.33 層之疊層。因為疊層構造之良率為各層之良率的乘積，所以採用本實施形態可達成高良率。本實施形態中上述以外之效果與前述第二種實施形態同樣。

其次，就本發明之第四種實施形態作說明。

本實施形態係前述第一種實施形態之半導體記憶體的第三製造方法之實施形態。本實施形態中例如製造實現相當於先前之平面型 NAND 快閃記憶體的 00Xnm 世代之胞面積為 225 nm^2 的 16 層疊層記憶體，並藉由磊晶矽形成構成主動區域 (AA) 之矽樑，並藉由熱氧化膜形成 AA 間之絕緣膜。

圖 28 係例示本實施形態之半導體記憶體的製造方法之步驟剖面圖，

圖 29 至圖 32 係例示本實施形態之半導體記憶體的製造方法之立體剖面圖。

另外，在圖 29 至圖 32 中，為了簡化圖示，僅顯示從疊層體之上層側起 6 層部分。

首先，藉由與前述第三種實施形態 (參照圖 22) 同樣之方

法，而在矽基板301上形成磊晶矽膜與磊晶矽鍺膜之疊層體。但是前述第三種實施形態中疊層數為8，而本實施形態中疊層數為16。

具體而言，如圖28所示，在矽基板301上使矽鍺磊晶生長至例如100 nm之厚度，而形成磊晶矽鍺膜(epi-SiGe膜)302。其次，在該epi-SiGe膜302上，使矽與矽鍺交互地磊晶生長，交互地例如各16層堆疊厚度例如為45 nm，且導電型例如為n型之磊晶矽膜(epi-Si膜)303，與厚度例如為20 nm之磊晶矽鍺膜(epi-SiGe膜)304。其次，形成厚度例如為100 nm之氮化矽膜305。藉此，在矽基板301上形成包含epi-SiGe膜302、16層之epi-Si膜303、16層之epi-SiGe膜304及氮化矽膜305的疊層體306。

其次，使用通常之微影技術及反應性離子蝕刻一起加工疊層體306，從周邊電路區域Rc除去疊層體306，僅殘留於記憶體區域Rm。

其次，藉由電漿CVD法形成厚度例如為200 nm之氧化矽膜307。而後，藉由微影技術，使氧化矽膜307僅殘留於疊層體306中一個方向之兩端部，例如X方向兩端部的側面上。藉此在疊層體306之一對側面上形成支撐疊層體306之側壁。

其次如圖29所示，從疊層體306露出之側面，亦即從Y方向兩端部之側面，藉由與前述第三種實施形態同樣之方法進行選擇蝕刻，除去epi-SiGe膜302及304(參照圖28)。另外，此時各epi-Si膜303之X方向兩端部藉由包含氧化矽膜

307(參照圖28)之側壁而支撐。

其次如圖30所示，進行水蒸氣氧化處理，將epi-Si膜303從上下兩面之兩面側氧化。藉此，在epi-Si膜303間形成矽熱氧化膜308，除去epi-SiGe膜302及304後的間隙藉由矽熱氧化膜308掩埋。結果形成交互地堆疊epi-Si膜303及矽熱氧化膜308的疊層體309。另外，此時epi-Si膜303之膜厚藉由從兩面之氧化減少，而成為約20 nm。

以後之步驟與前述第二種實施形態同樣。亦即，如圖31所示，使用通常之ArF微影技術、RIE技術及側壁轉印技術，形成延伸於X方向，Y方向之排列週期為60 nm，寬度為15 nm之帶形狀的硬遮罩(無圖示)，使用該硬遮罩一起加工疊層體309，形成成為多層記憶體之AA區域的條紋狀圖案。藉此，從分斷之epi-Si膜303形成延伸於X方向的數條矽樑23。

其次，在分斷成條紋狀之疊層體309間埋入TEOS/O₃膜，藉由CMP將上面予以平坦化。其次，使用ArF微影技術、RIE技術及側壁轉印技術，形成延伸於Y方向，在X方向之排列週期為60 nm，寬度為15 nm之硬遮罩(無圖示)。而後使用該硬遮罩進行蝕刻，在TEOS/O₃膜中形成溝渠。結果在分斷之疊層體309間，沿著X方向斷續地設置TEOS/O₃膜。

其次，進行使用NF₃電漿及氫之氣體蝕刻，經由此等溝渠，從Y方向之兩面側蝕刻矽熱氧化膜308。此時，蝕刻量例如相當於15 nm。藉此，矽熱氧化膜308中被溝渠夾著的

部分，因為蝕刻前之Y方向的寬度係15 nm，所以藉由蝕刻完全除去而形成貫穿孔。另外，藉由使用NF₃電漿及氮之氣體蝕刻時，由於可對矽熱氧化膜308與TEOS/O₃膜實現無選擇蝕刻，因此TEOS/O₃膜亦從X方向之兩面側各蝕刻15 nm。因TEOS/O₃膜蝕刻前在X方向之厚度係45 nm，所以蝕刻後厚度成為15 nm而殘留。結果，與前述第二種實施形態同樣地，排列於Y方向之各溝渠連通，而形成成為閘極電極膜21之鑄型的間隙。

其次，將包含epi-Si膜303之矽樑23的露出面予以熱氧化，形成隧道層之氧化矽層。其次，藉由CVD法形成電荷存儲層之氮化矽層。其次，藉由ALD法形成區塊層之HfO₂層。藉此，以包圍矽樑23之方式，形成合計膜厚例如為10 nm之ONO膜24。

其次如圖32所示，在藉由蝕刻而形成之間隙內，亦即在矽熱氧化膜308之殘留部分、TEOS/O₃膜之殘留部分及矽樑23的相互間之空間，藉由ALD法使導電材料之鉭氮化物(TaN)堆積。藉此，在該間隙內埋入包含Ta₂N₅膜311之閘極電極膜21。結果，形成堆疊之SGT型的MONOS胞。以後之步驟與前述之第二種實施形態同樣。這樣地製造前述第一種實施形態之半導體記憶體。

其次，就本實施形態之效果作說明。

即使藉由本實施形態仍可製作前述第一種實施形態之半導體記憶體。此外，採用本實施形態時，與前述第二種實施形態比較，因為可藉由磊晶生長而形成構成矽樑23之

epi-Si膜303，所以可藉由結晶性良好之單晶矽形成矽樑23。因而主動區域(AA)之特性良好。進一步，採用本實施形態時，因可藉由熱氧化膜形成設置於矽樑間之絕緣膜，所以強固且可靠性高。因而可增加疊層數。

藉由本實施形態所製造之半導體記憶體中，因為在基板上堆疊16層矽樑23，所以與平面型NAND快閃記憶體比較，可實現16倍之記憶密度。亦即，藉由本實施形態製造之半導體記憶體的有效胞面積成為 $3600/16=225 \text{ nm}^2$ 。對於此，為了以前述比較例之半導體記憶體達成與此同等之有效胞面積，需要32.67層之疊層。因為疊層構造之良率為各層之良率的乘積，所以採用本實施形態可達成高良率。本實施形態中上述以外之效果與前述第二種實施形態同樣。

如此，採用前述之各種實施形態時，不損及堆疊程度之每位元的製造成本降低之特性與可構成高性能之SGT胞的特性，可形成更微細之胞，並且採用金屬閘極容易，且可實現在先前之平面型NAND快閃記憶體的周邊電路中不伴隨大幅變更即可完成的半導體記憶體。採用前述各種實施形態時，由於對具有圖7至圖11所示之構造的記憶體，可將胞面積減少約1/2，亦即可將疊層數減少約一半，因此無須伴隨大幅增加步驟即可堆疊記憶體層。藉此，今後亦可繼續使半導體記憶體，特別是快閃記憶體之積體度提高，可進一步擴展快閃記憶體之應用範圍。

以上係參照實施形態說明本發明，不過本發明不限定於

此等實施形態。例如前述各種實施形態可相互地組合而實施。此外，對前述各種實施形態，熟悉本技術之業者適宜追加、刪除構成要素或進行設計變更的，或是追加、省略步驟或進行條件變更的，只要包括本發明之要旨，均包含於本發明之範圍。

例如前述各種實施形態中所示之構成AA的矽膜之形成方法、MONOS之膜構造等，不限定於各種實施形態中所示之組合，只要不損及本發明之要旨，可任意組合。此外，亦可使用以未記載於前述各種實施形態之方法，例如以雷射退火或Ni觸媒法而結晶化之多晶矽膜或單晶矽膜，作為構成AA之矽膜。進一步，前述各種實施形態中，係顯示MONOS之區塊層的材料，係使用 SiO_2 、 Al_2O_3 或 HfO_2 之例，不過除此等以外，亦可使用 La_2O_3 、 Pr_2O_3 、 Y_2O_3 、 ZrO_2 等金屬氧化膜，或是組合數種上述金屬氧化膜之膜。更且在前述各種實施形態中，係顯示閘極電極膜之材料係使用多晶矽、鎢氮化物(WN)或鉭氮化物(TaN)之例，不過閘極電極膜之材料中，除此等以外，亦可使用TiN、W、WSi、CoSi、NiSi、PrSi、NiPtSi、PtSi、Pt、Ru、 RuO_2 等。更且前述各種實施形態中，係顯示疊層數係4、8或16之例，不過本發明就更多層之半導體記憶體仍可適用。更且前述各種實施形態中，係顯示形成AA之半導體材料係使用矽之例，不過本發明不限定於此，亦可使用其他半導體材料。

產業上之可利用性

採用本發明，可實現藉由立體配置胞，可使位元密度提高之半導體記憶體及其製造方法。

【圖式簡單說明】

圖1係例示本發明第一種實施形態之半導體記憶體的矽樑平行於延伸之方向的剖面圖。

圖2係例示第一種實施形態之半導體記憶體的矽樑垂直於延伸之方向的剖面圖。

圖3係例示第一種實施形態之半導體記憶體的記憶體區域之內部的剖面立體圖。

圖4係例示第一種實施形態之半導體記憶體的記憶體區域中之閘極電極膜及矽樑的立體圖。

圖5係例示第一種實施形態中之構造體25的基本單位之剖面圖。

圖6係例示第一種實施形態之半導體記憶體的記憶體區域之一端部的立體圖。

圖7係例示比較例之半導體記憶體的製造方法之步驟剖面圖。

圖8係例示比較例之半導體記憶體的製造方法之步驟剖面圖。

圖9係例示比較例之半導體記憶體的製造方法之步驟剖面圖。

圖10係例示比較例之半導體記憶體的製造方法之步驟剖面圖。

圖11係例示比較例之半導體記憶體的製造方法之步驟剖

面圖。

圖12係例示比較例之半導體記憶體的平面圖。

圖13(a)及(b)係例示本發明第二種實施形態之半導體記憶體的製造方法之步驟剖面圖，(a)顯示YZ剖面圖，(b)顯示XZ剖面。

圖14(a)及(b)係例示第二種實施形態之半導體記憶體的製造方法之步驟剖面圖，(a)顯示YZ剖面圖，(b)顯示XZ剖面。

圖15(a)及(b)係例示第二種實施形態之半導體記憶體的製造方法之步驟剖面圖，(a)顯示YZ剖面圖，(b)顯示XZ剖面。

圖16(a)及(b)係例示第二種實施形態之半導體記憶體的製造方法之步驟剖面圖，(a)顯示YZ剖面圖，(b)顯示XZ剖面。

圖17(a)及(b)係例示第二種實施形態之半導體記憶體的製造方法之步驟剖面圖，(a)顯示YZ剖面圖，(b)顯示XZ剖面。

圖18係例示第二種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖19係例示第二種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖20係例示第二種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖21係例示第二種實施形態之半導體記憶體的製造方法

之立體剖面圖。

圖22係例示本發明第三種實施形態之半導體記憶體的製造方法之步驟剖面圖。

圖23係例示第三種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖24係例示第三種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖25係例示第三種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖26係例示第三種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖27係例示第三種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖28係例示本發明第四種實施形態之半導體記憶體的製造方法之步驟剖面圖。

圖29係例示第四種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖30係例示第四種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖31係例示第四種實施形態之半導體記憶體的製造方法之立體剖面圖。

圖32係例示第四種實施形態之半導體記憶體的製造方法之立體剖面圖。

【主要元件符號說明】

1	半導體記憶體
11	矽基板
12	多層配線層
13	電晶體
14	STI
15	閘極氧化膜
16	閘極電極
17	接觸插塞
18	配線
19	穿孔插塞
20	層間絕緣膜
21	閘極電極膜
22	貫穿孔
23	矽樑
24	ONO膜
24a	氧化矽層
24b	氮化矽層
24c	氧化矽層
25	構造體
26	氮化矽膜
31	氧化矽膜
33	閘極電極材料
34	穿孔插塞

35	位元配線
36	接觸插塞
37	電晶體
37c	通道區域
37d	汲極區域
37g	閘極電極
37s	源極區域
101	矽基板
102	閘極氧化膜
103	多晶矽膜
104	STI
105	氧化矽膜
106	多晶矽膜
107	氧化矽膜
108	氮化矽膜
109	氧化矽膜
110	TEOS/O ₃ 膜
111	溝渠
121	疊層體
122	導電膜
123	絕緣膜
126	間隙
201	矽基板
202	epi-SiGe膜

203	epi-Si膜
204	epi-SiGe膜
205	氮化矽膜
206	疊層體
207	氧化矽膜
208	SOG膜
209	溝渠
210	間隙
211	WN膜
221	疊層體
301	矽基板
302	epi-SiGe膜
303	epi-Si膜
304	epi-SiGe膜
305	氮化矽膜
306	疊層體
307	氧化矽膜
308	矽熱氧化膜
309	疊層體
311	TaN膜
401	閘極電極膜
402	絕緣膜
403	ONO膜
404	矽插塞

405	硬遮罩
405a	開口部
406	矽基板
407	矽膜
408	絕緣膜
409	選擇閘極電極
410	貫穿孔
411	矽柱
412	氧化矽膜
F	最小加工尺寸
Rc	周邊電路區域
Rm	記憶體區域

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**98 1099 33**

※申請日：**98. 3. 26**

※IPC 分類：**H01L 29/788 (2006.01)**

H01L 29/792 (2006.01)

H01L 27/115

H01L 21/8247

一、發明名稱：(中文/英文)

半導體記憶體及其製造方法

二、中文發明摘要：

本發明提供一種可藉由立體配置晶胞而使位元密度提高之半導體記憶體及其製造方法。

在半導體記憶體1中，於矽基板11上設置數片閘極電極膜21。閘極電極膜21係沿著相對矽基板11之上面為平行的一個方向(X方向)而排列。各閘極電極膜21之形狀為格子狀的板狀，且從X方向觀之為矩陣狀地形成有數個貫穿孔22。又，將數條矽樑(silicon beam)23設置成貫穿數片閘極電極膜21之貫穿孔22而延伸於X方向。進而，在閘極電極膜21與矽樑23之間設置包含電荷存儲層之ONO膜24。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體記憶體，其特徵為包括：

基板；

數片閘極電極膜，其係設置於前述基板上，對前述基板之上面沿著平行之一個方向排列，且從前述一個方向觀之為形成數個貫穿孔；

數條半導體樑，其係貫穿前述數片閘極電極膜之前述貫穿孔而延伸於前述一個方向；及

電荷存儲層，其係設置於前述閘極電極膜與前述半導體樑之間。

2. 如請求項1之半導體記憶體，其中進一步包括設於前述閘極電極膜間之絕緣膜，

前述閘極電極膜係等間隔地排列。

3. 如請求項1之半導體記憶體，其中從前述一個方向觀察，前述數個貫穿孔係排列成矩陣狀。

4. 如請求項1之半導體記憶體，其中在1個前述貫穿孔中插通1條前述半導體樑。

5. 如請求項1之半導體記憶體，其中前述閘極電極膜係藉由矽、鎢氮化物或鈿氮化物而形成。

6. 如請求項1之半導體記憶體，其中進一步包括：

第一氧化矽層，其係設於前述半導體樑與前述電荷存儲層之間；及

第二氧化矽層，其係設於前述電荷存儲層與前述閘極絕緣膜之間；

前述電荷存儲層係藉由矽氮化物而形成。

7. 如請求項1之半導體記憶體，其中進一步包括：

數條閘極電極材料，其係與前述基板之上面平行，且延伸於對前述一個方向為正交的其他方向；及

閘極絕緣膜，其係設置於前述半導體樑與前述閘極電極材料之間；

包含前述數片閘極電極膜、前述數條半導體樑及前述電荷存儲層之構造體之前述一個方向的端部係加工成階梯狀，其階數與對於前述基板之上面為垂直的方向中之前述半導體樑之排列數為相同數目，且前述閘極電極材料配置於前述構造體之各階的上方。

8. 如請求項7之半導體記憶體，其中進一步包括數個電晶體，其等係配置於前述構造體之前述一個方向側，且設置與前述其他方向中之前述半導體樑的排列數相同數程度，並共通連接於排列在對於對前述基板之上面為垂直的方向之數條前述半導體樑。

9. 一種半導體記憶體之製造方法，其特徵為包括以下步驟：

在基板上分別交互地堆疊數個絕緣膜及半導體膜而形成疊層體；

藉由將前述疊層體在對於前述基板之上面為平行的第一方向加以分裁，而形成數條由經分裁之前述半導體膜所構成，對於前述基板之上面為平行，且延伸於對前述第一方向為正交之第二方向的半導體樑；

在前述經分裁之疊層體間，沿著前述第二方向斷續地設置絕緣體；

藉由經由被前述經分裁之疊層體及前述絕緣體包圍的間隙而進行蝕刻，以除去前述絕緣膜中被前述間隙挾持的部分；

在前述半導體樑之露出面上形成電荷存儲層；及

在前述絕緣膜之殘留部分、前述絕緣體及前述半導體樑相互間的空間埋入導材料而形成閘極電極膜。

10. 如請求項9之半導體記憶體之製造方法，其係藉由矽而形成前述半導體膜。

11. 如請求項10之半導體記憶體之製造方法，其中進一步包括以下步驟：

在前述除去絕緣膜中被前述間隙所挾持的部分之步驟後，藉由在氧化環境中實施加熱處理，而在前述半導體樑之露出面上形成第一氧化矽層；及

藉由使矽氧化物堆積而在前述電荷存儲層上形成第二氧化矽層；

前述形成電荷存儲層之步驟係包含使矽氮化物堆積之步驟。

12. 如請求項9之半導體記憶體之製造方法，其中前述斷續地設置絕緣體之步驟含有以下步驟：

在前述經分裁之疊層體間埋入前述絕緣體；

在前述疊層體及前述絕緣體上形成延伸於前述第一方向之帶狀圖案；及

將前述圖案作為遮罩而進行乾式蝕刻。

13. 一種半導體記憶體之製造方法，其特徵為包括以下步驟：

在基板上分別使數個矽鍍膜及矽膜交互地磊晶生長，而形成疊層體；

藉由將前述疊層體在對於前述基板之上面為平行的第一方向加以分裁，而形成數條由經分裁之前述半導體膜所構成，對於前述基板之上面為平行，且延伸於對前述第一方向為正交之第二方向的矽樑；

除去前述矽鍍膜，使前述矽樑露出；

在前述矽樑間埋入絕緣體；

在前述絕緣體中排列於前述第一方向之矽樑間的部分，形成沿著前述第二方向而排列之數個溝渠；

藉由經由前述溝渠而進行蝕刻，除去被前述絕緣體中上下地排列之前述矽樑所挾持的部分，且係被前述溝渠夾著的部分；

在前述矽樑之露出面上形成電荷存儲層；及

在前述絕緣體之殘留部分及前述矽樑之相互間的空間埋入導電材料而形成閘極電極膜。

14. 如請求項13之半導體記憶體之製造方法，其中進一步包括在前述疊層體中之前述第二方向兩端部的側面上形成側壁之步驟。

15. 如請求項13之半導體記憶體之製造方法，其中進一步包括以下步驟：

在前述除去被溝渠所挾持的部分之步驟後，藉由在氧化環境中實施加熱處理，而在前述半導體樑之露出面上形成氧化矽層；及

在前述電荷存儲層上形成氧化鋁層；

前述形成電荷存儲層之步驟係包含使矽氮化物堆積之步驟。

16. 如請求項13之半導體記憶體之製造方法，其中前述形成閘極電極膜之步驟中，前述導電材料係使用鎢氮化物。

17. 一種半導體記憶體之製造方法，其特徵為包括以下步驟：

在基板上分別使數個矽鍺膜及矽膜交互地磊晶生長，而形成第一疊層體；

除去前述矽鍺膜；

藉由使前述矽膜熱氧化以在前述矽膜間形成矽熱氧化膜，而形成交互地堆疊前述矽膜及前述矽熱氧化膜之第二疊層體；

藉由將前述第二疊層體在對於前述基板之上面為平行的第一方向加以分裁，而形成數條經分裁之前述矽膜所構成，對於前述基板之上面為平行，且延伸於對前述第一方向為正交之第二方向的矽樑；

在前述經分裁之第二疊層體間，沿著前述第二方向斷續地設置絕緣體；

藉由經由被前述分裁之第二疊層體及前述絕緣體包圍的間隙進行蝕刻，而除去前述矽熱氧化膜中被前述間隙

挾持的部分；

在前述矽樑之露出面上形成電荷存儲層；及

在前述矽熱氧化膜之殘留部分、前述絕緣體及前述矽樑之相互間的空間埋入導電材料而形成閘極電極膜。

18. 如請求項17之半導體記憶體之製造方法，其中進一步包括在前述第一疊層體中之前述第一方向兩端部或前述第二方向兩端部的側面上形成側壁之步驟。
19. 如請求項17之半導體記憶體之製造方法，其中在前述形成第二疊層體之步驟中，係藉由水蒸氣氧化處理而進行前述矽膜之熱氧化。
20. 如請求項17之半導體記憶體之製造方法，其中在前述形成閘極電極膜之步驟中，前述導電材料係使用鈿氮化物。

八、圖式：

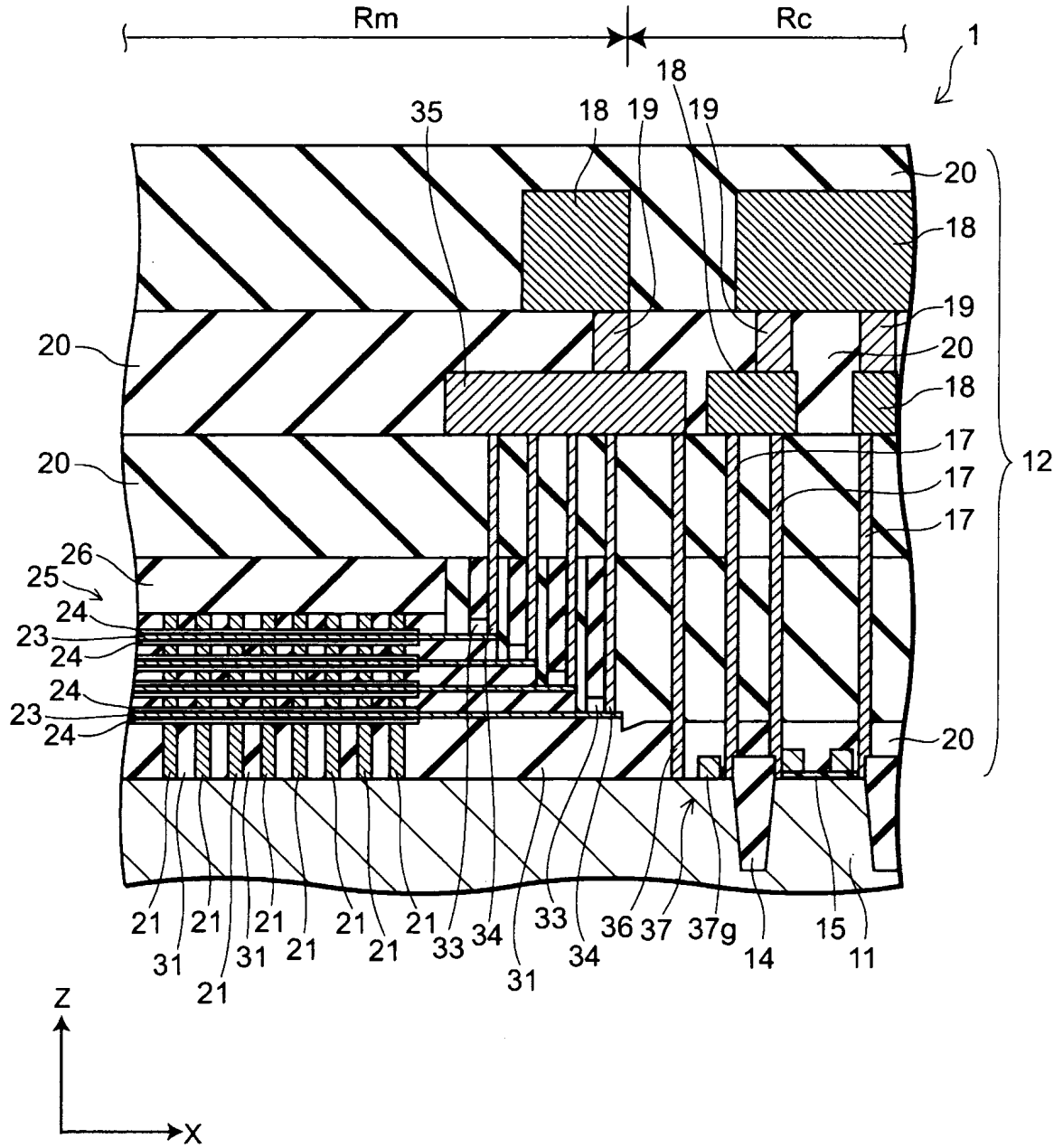


圖 1

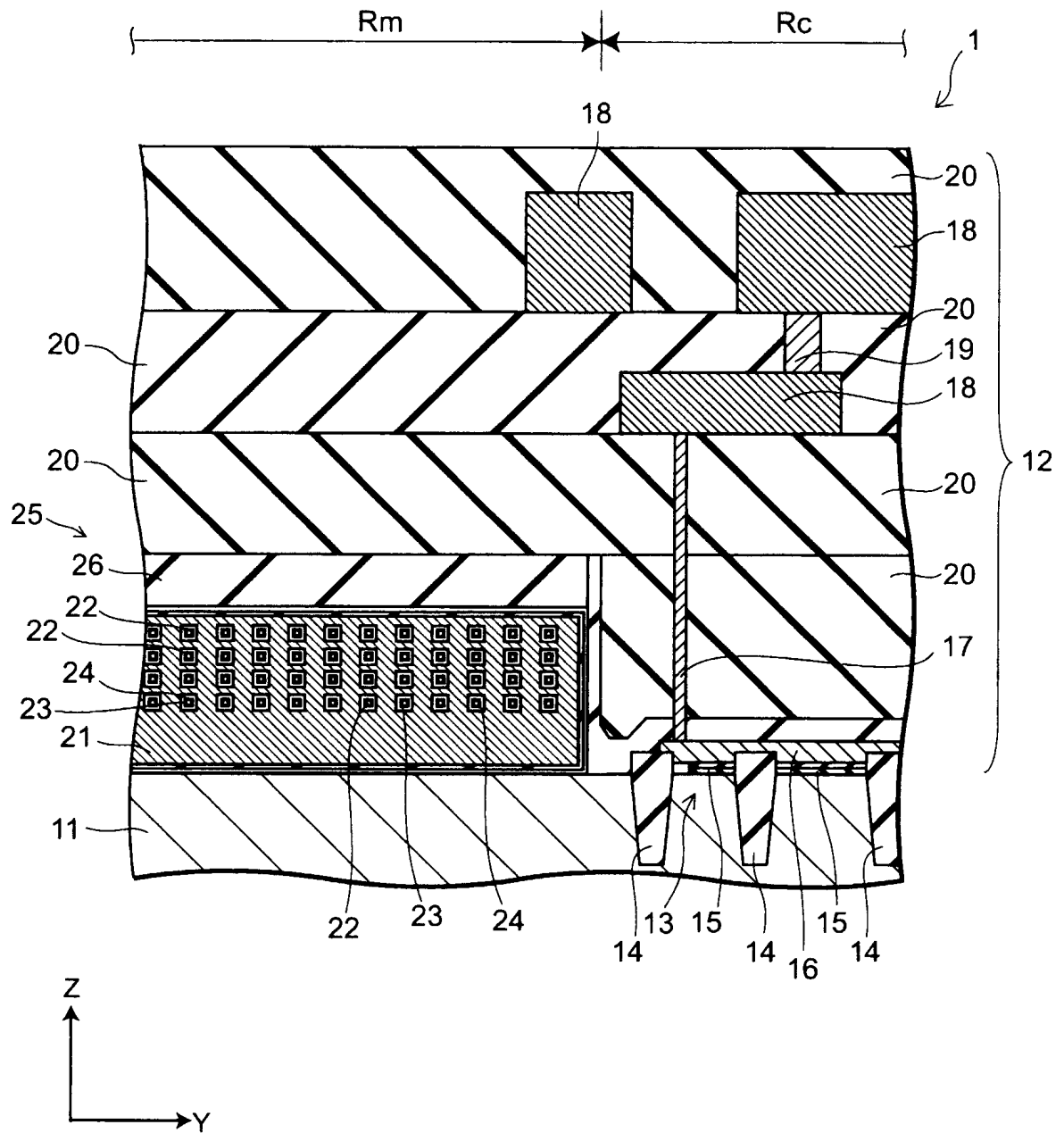


圖 2

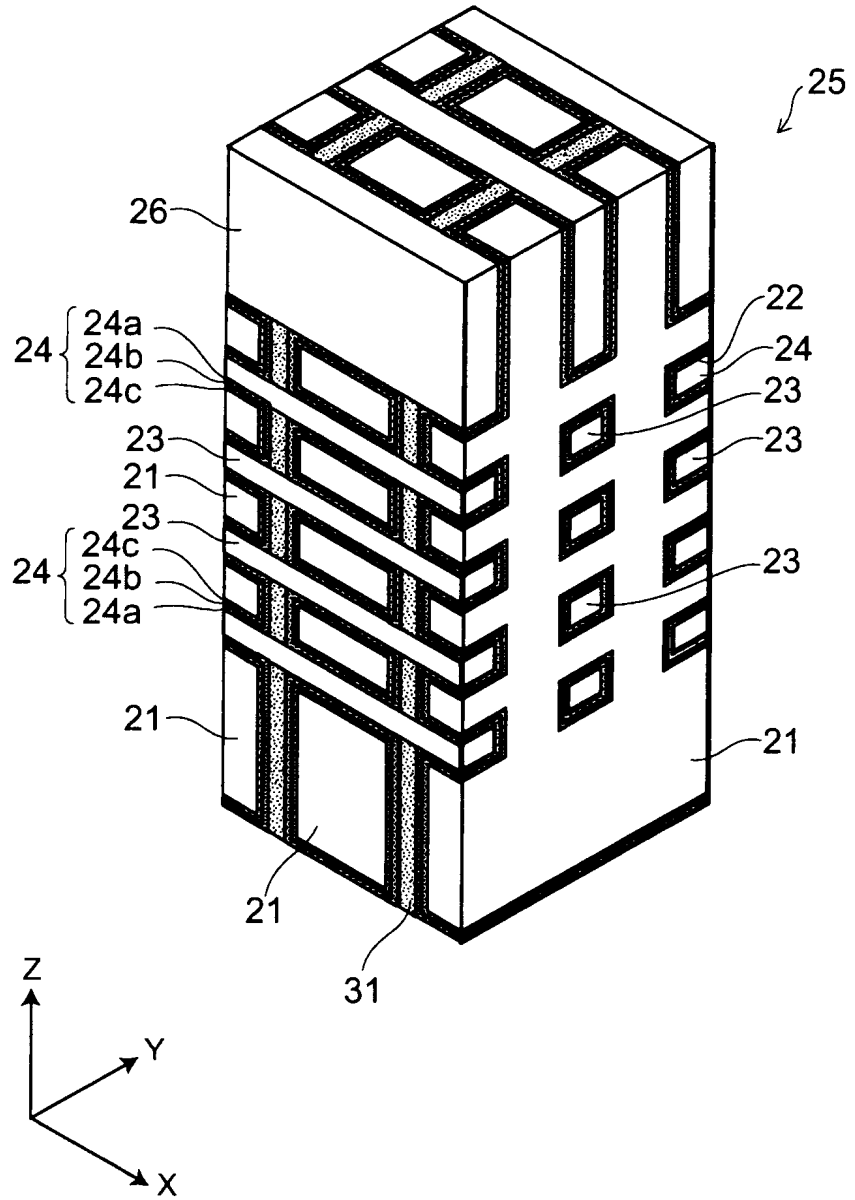


圖 3

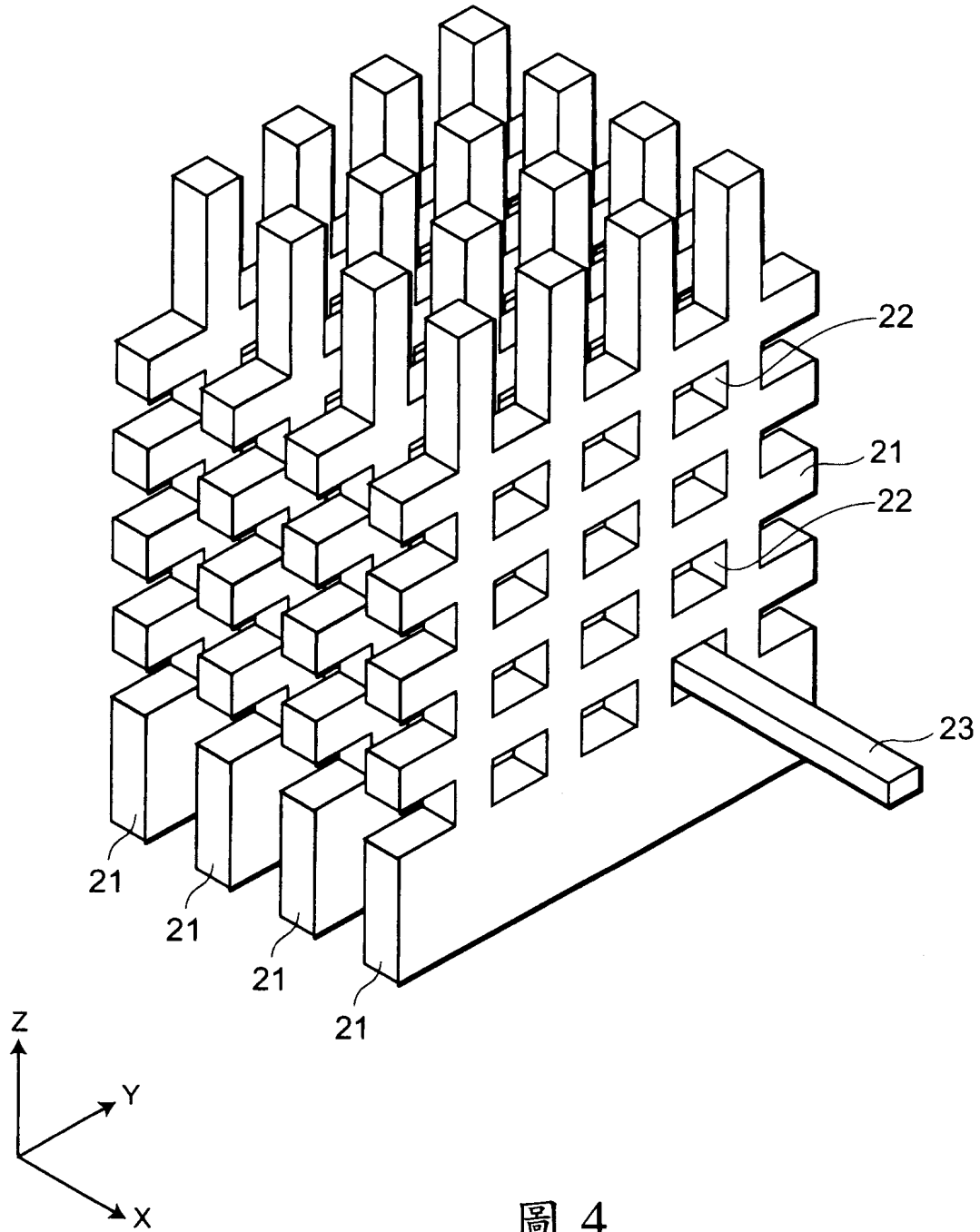


圖 4

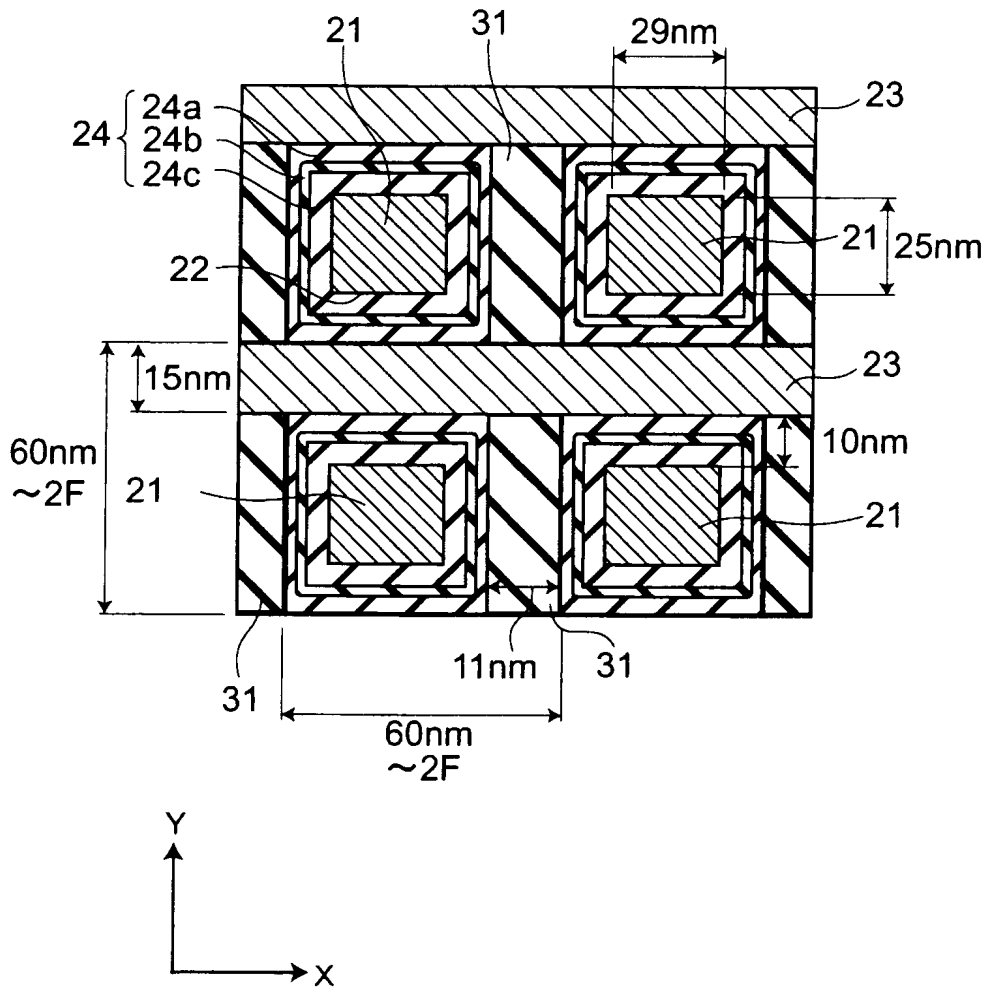


圖 5

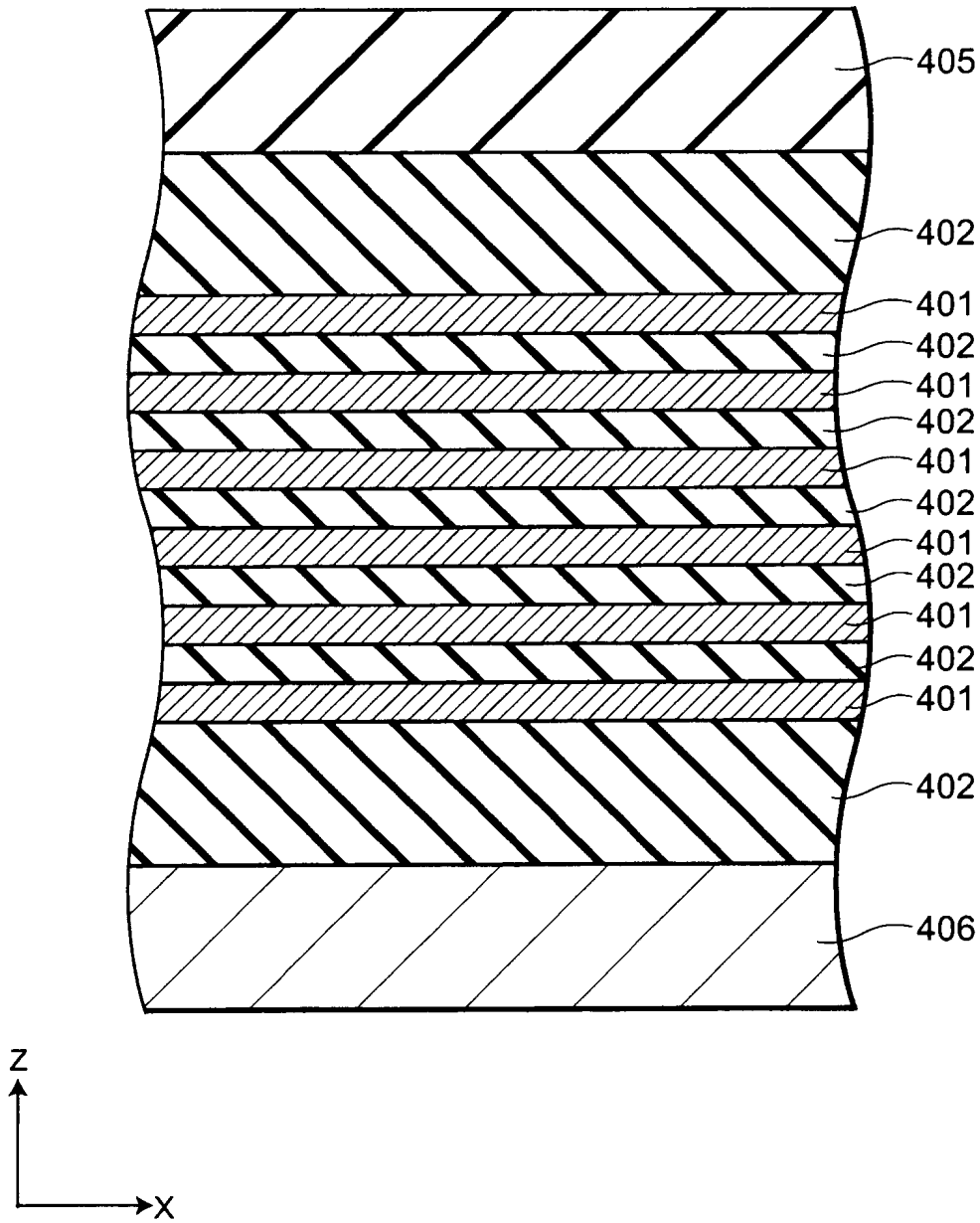


圖 7

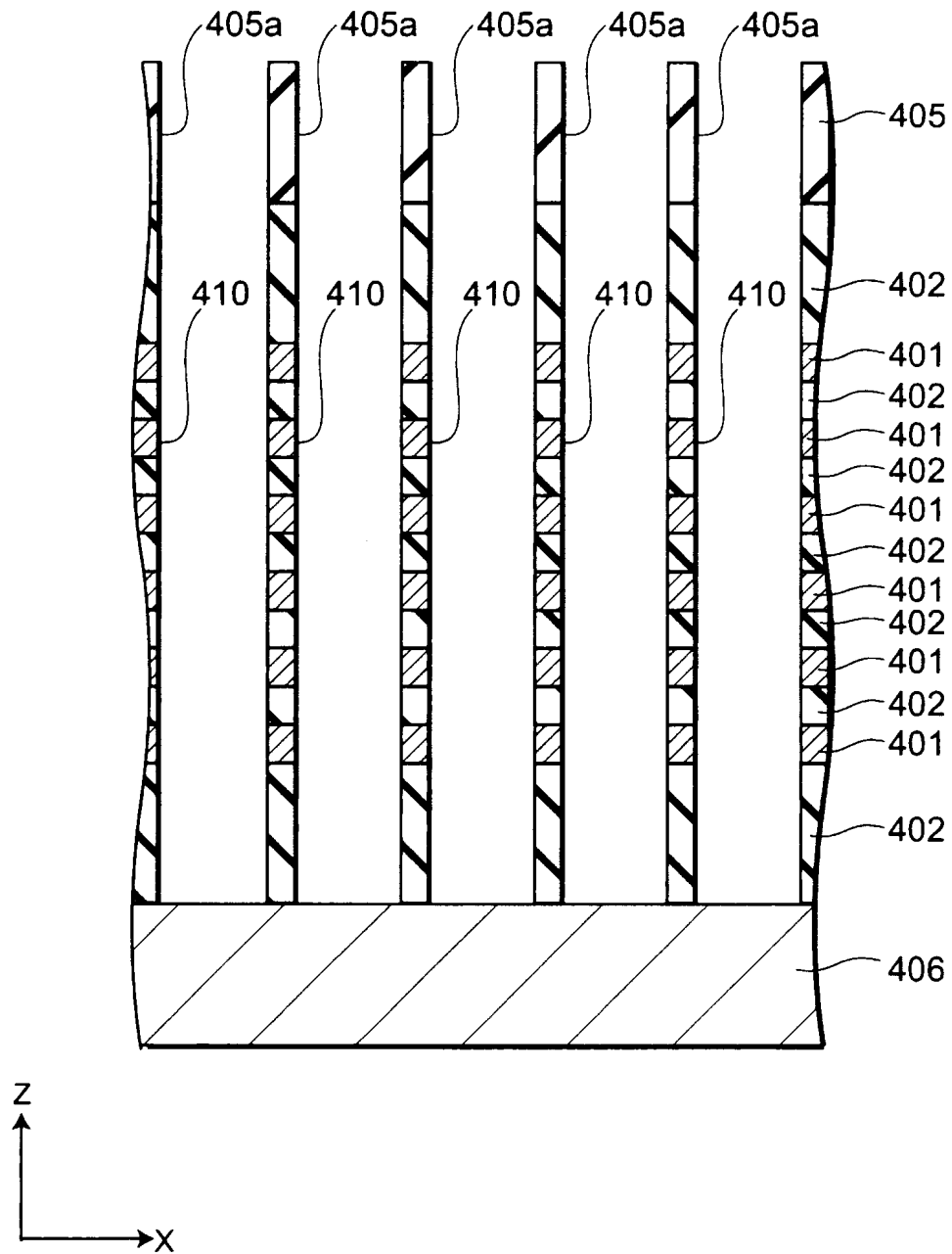


圖 8

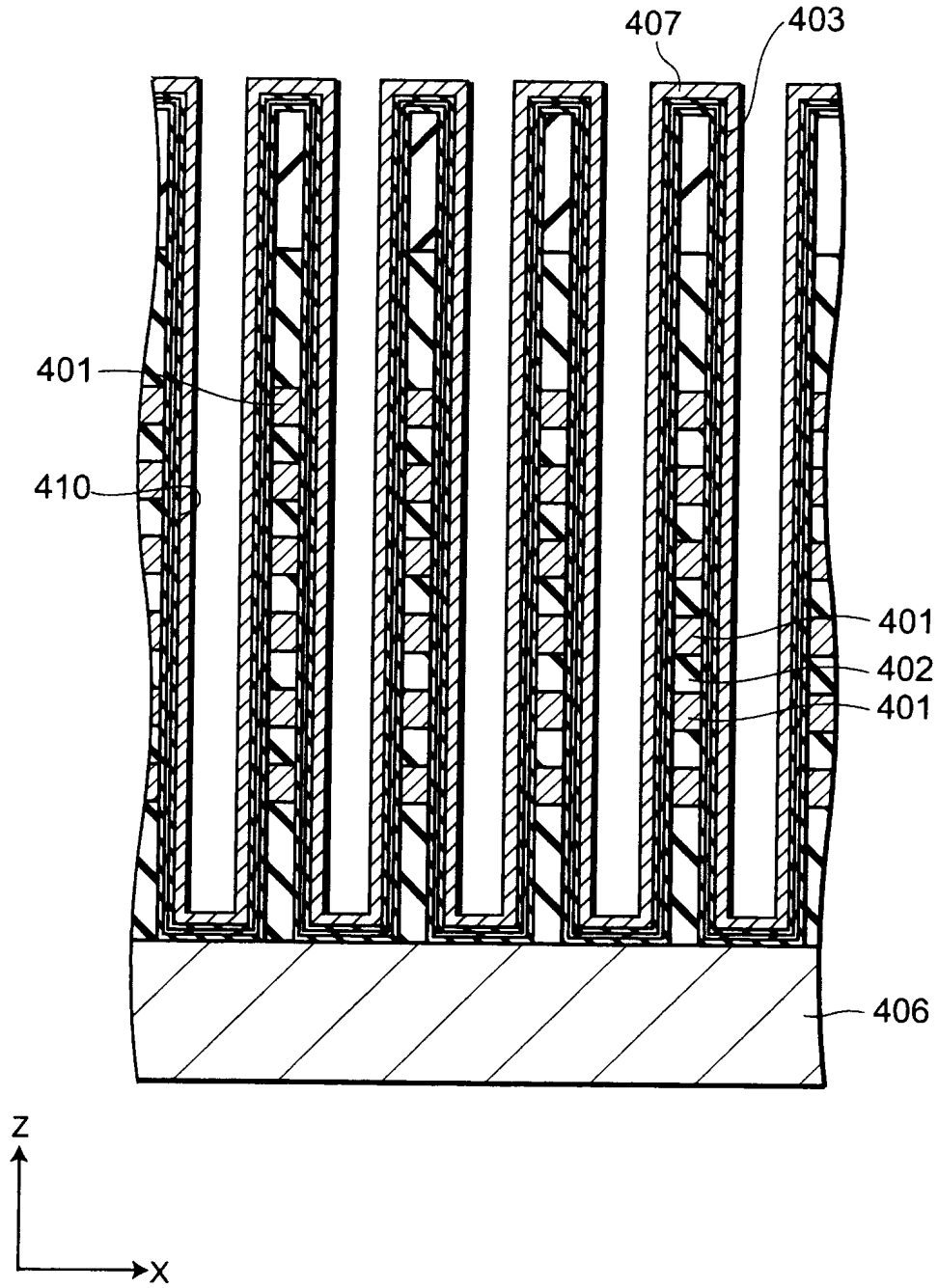


圖 9

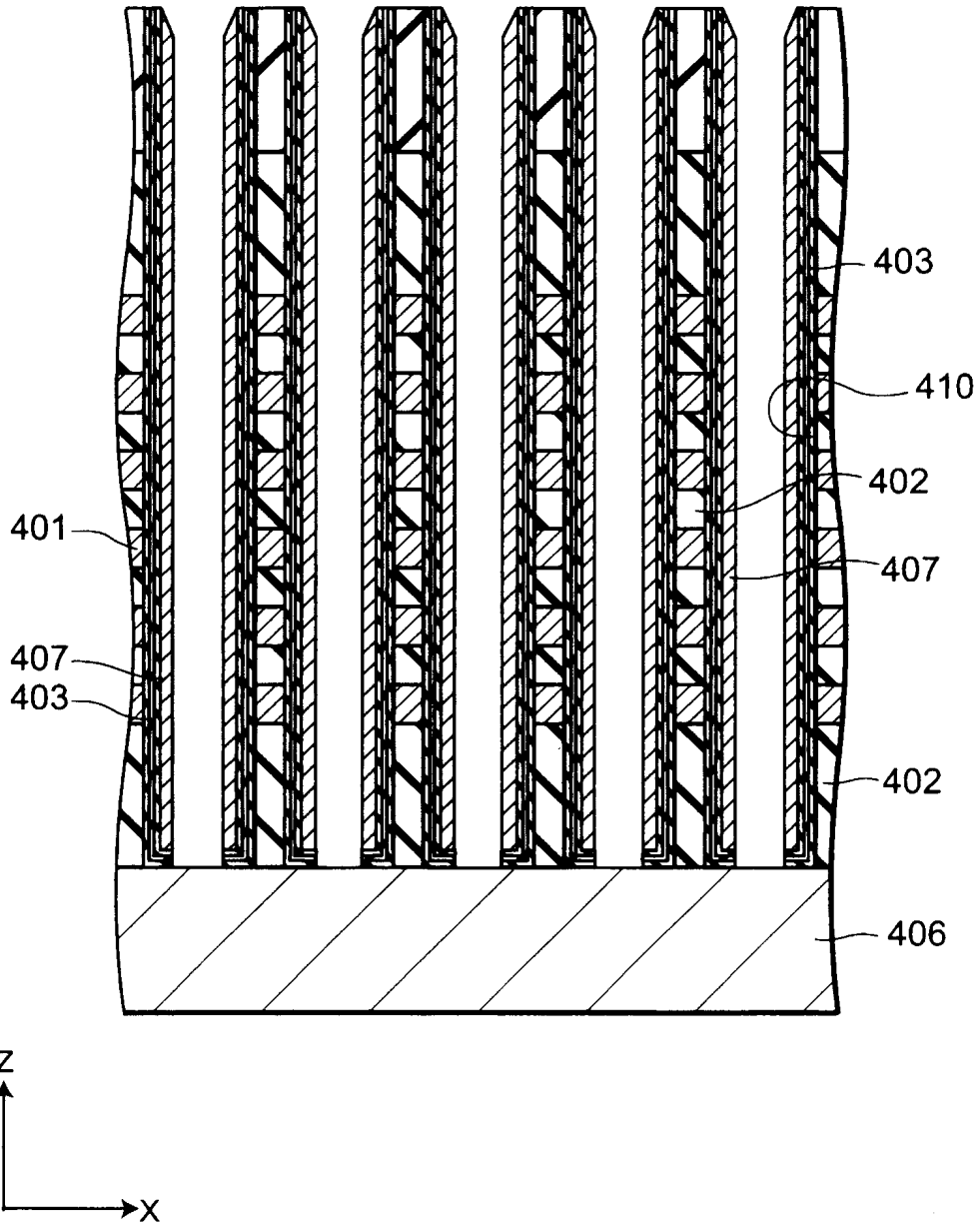


圖 10

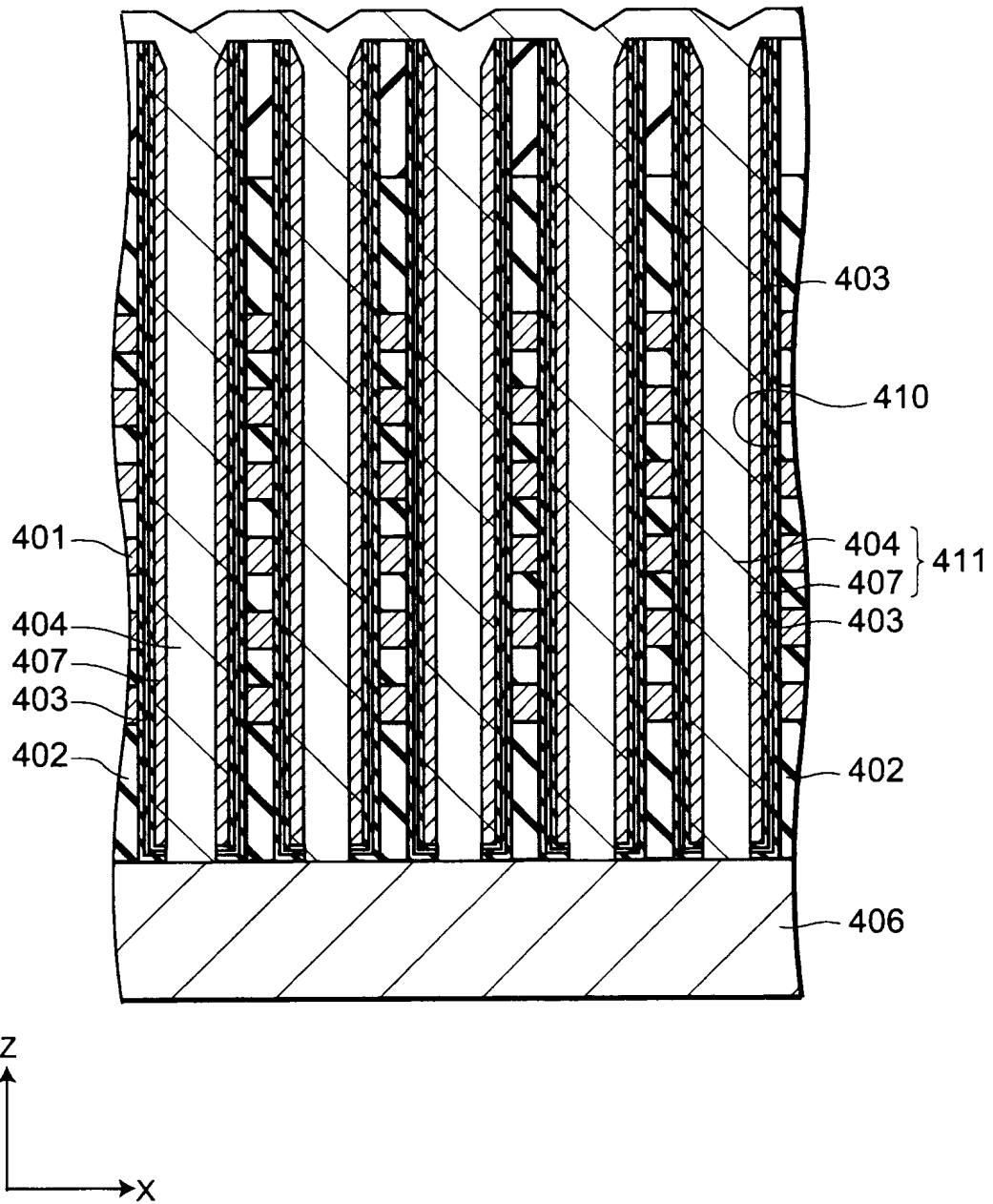


圖 11

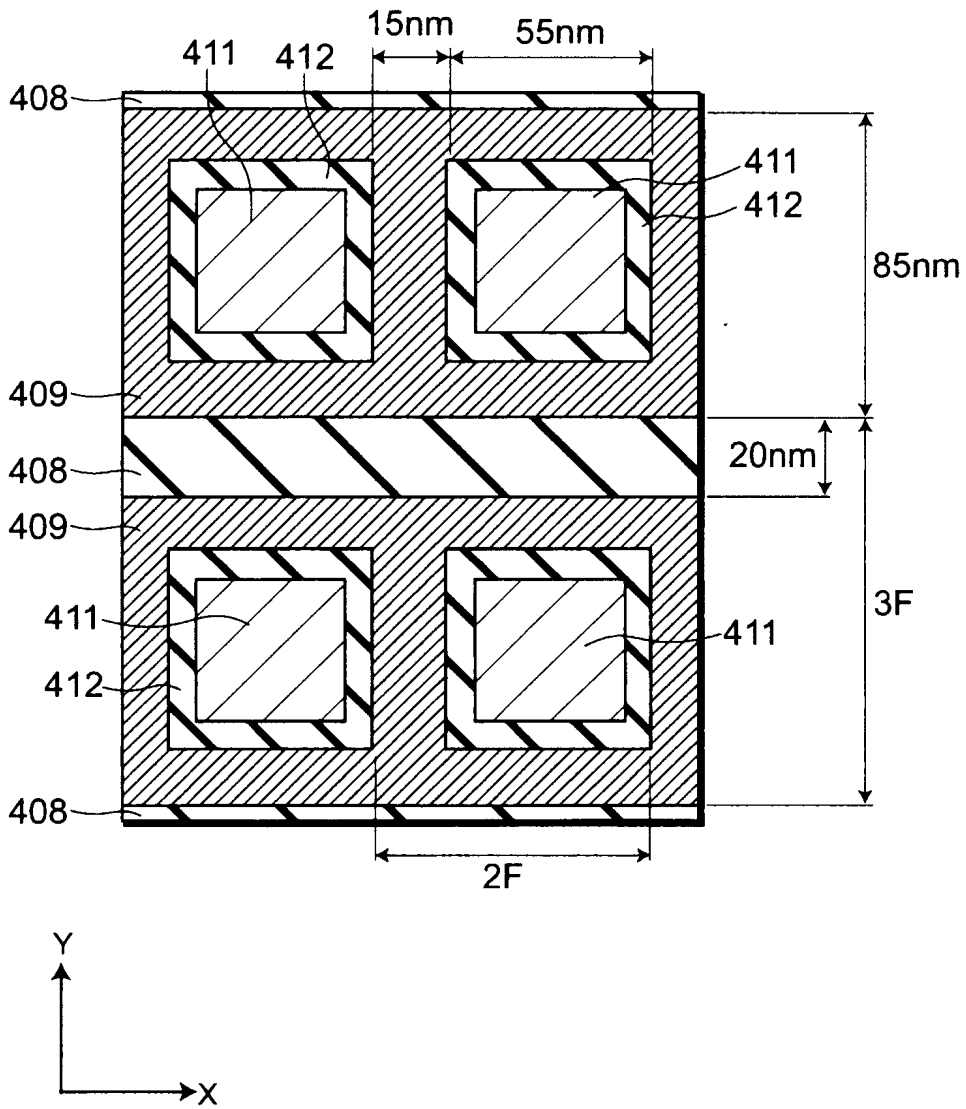


圖 12

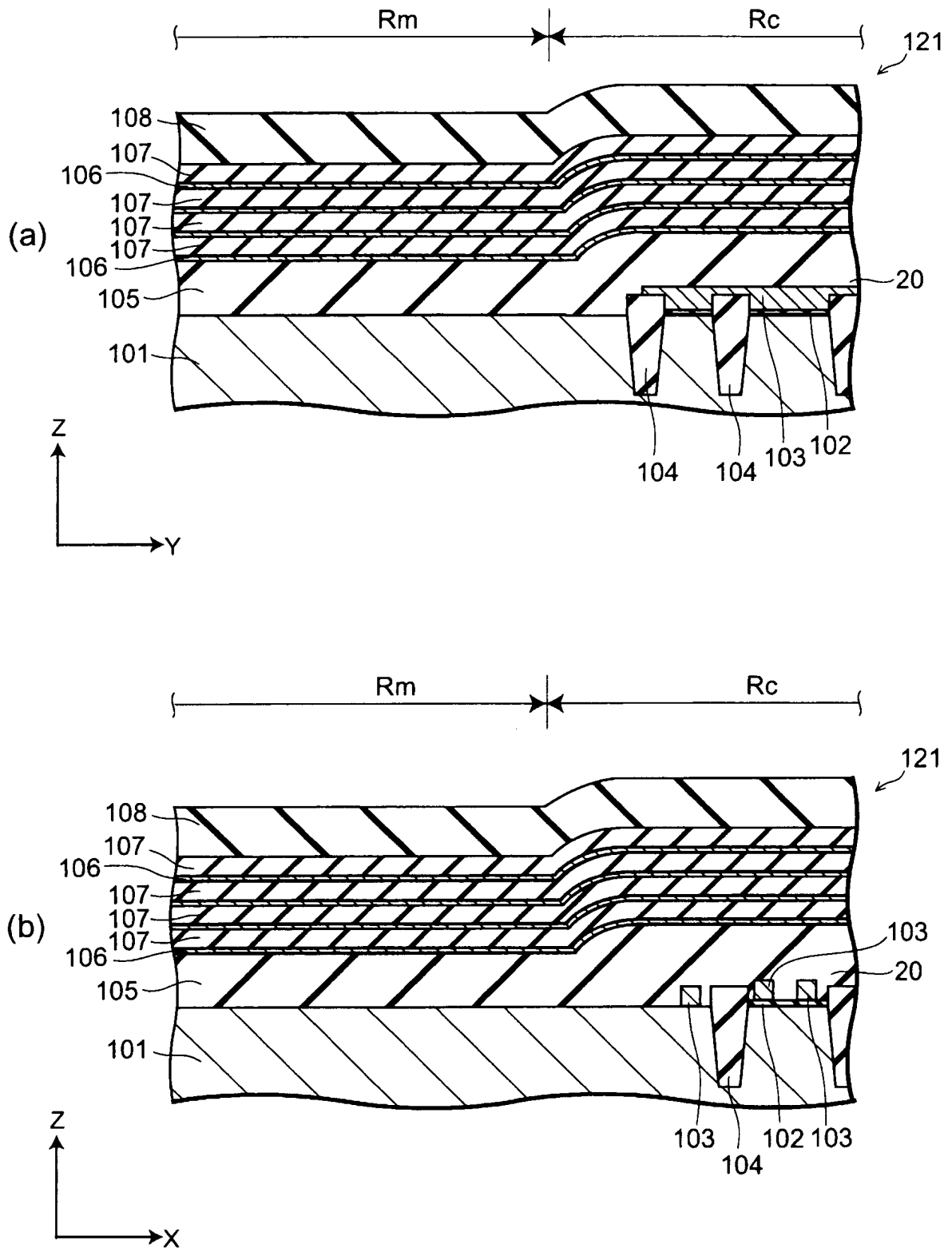


圖 13

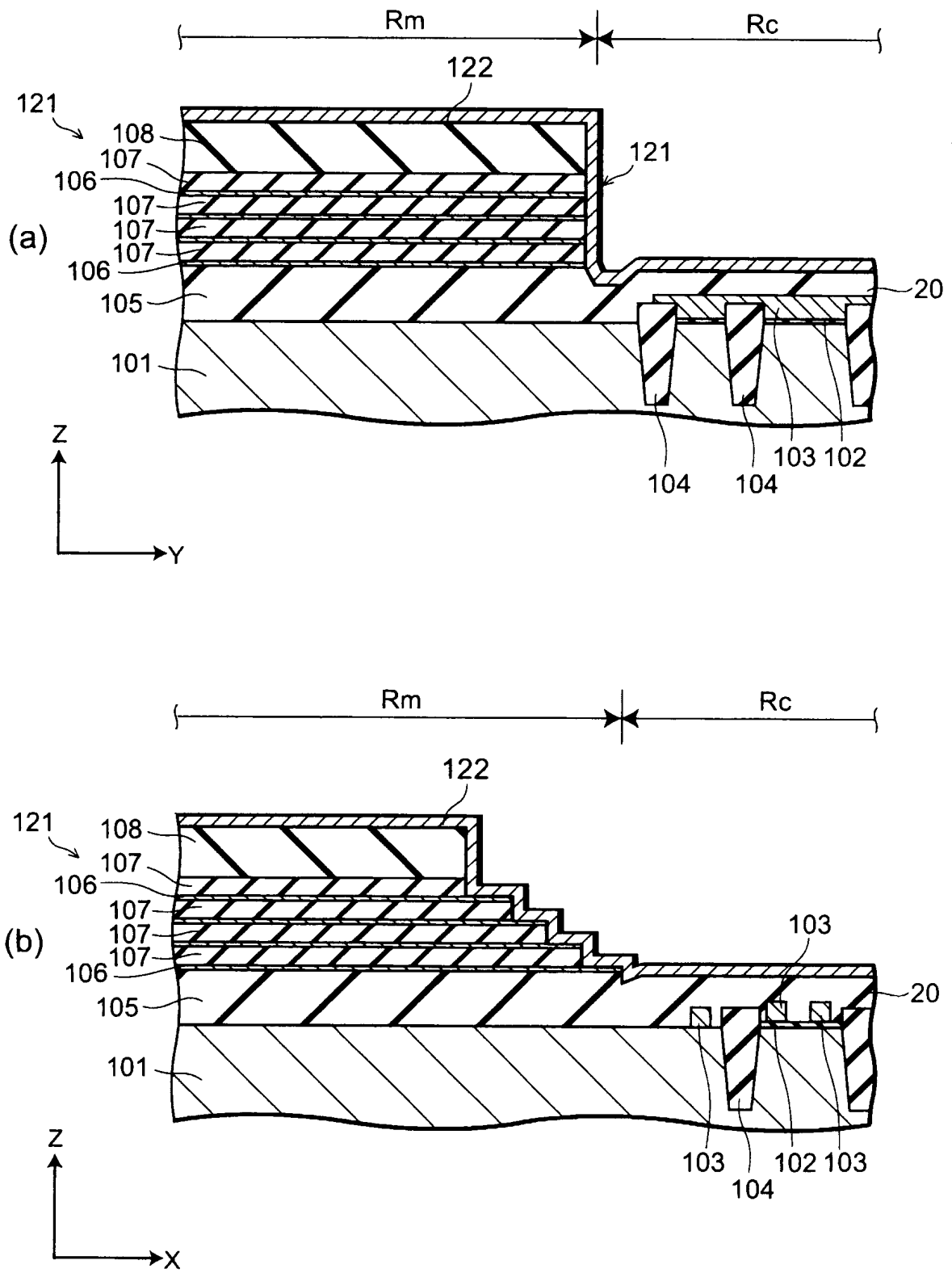


圖 14

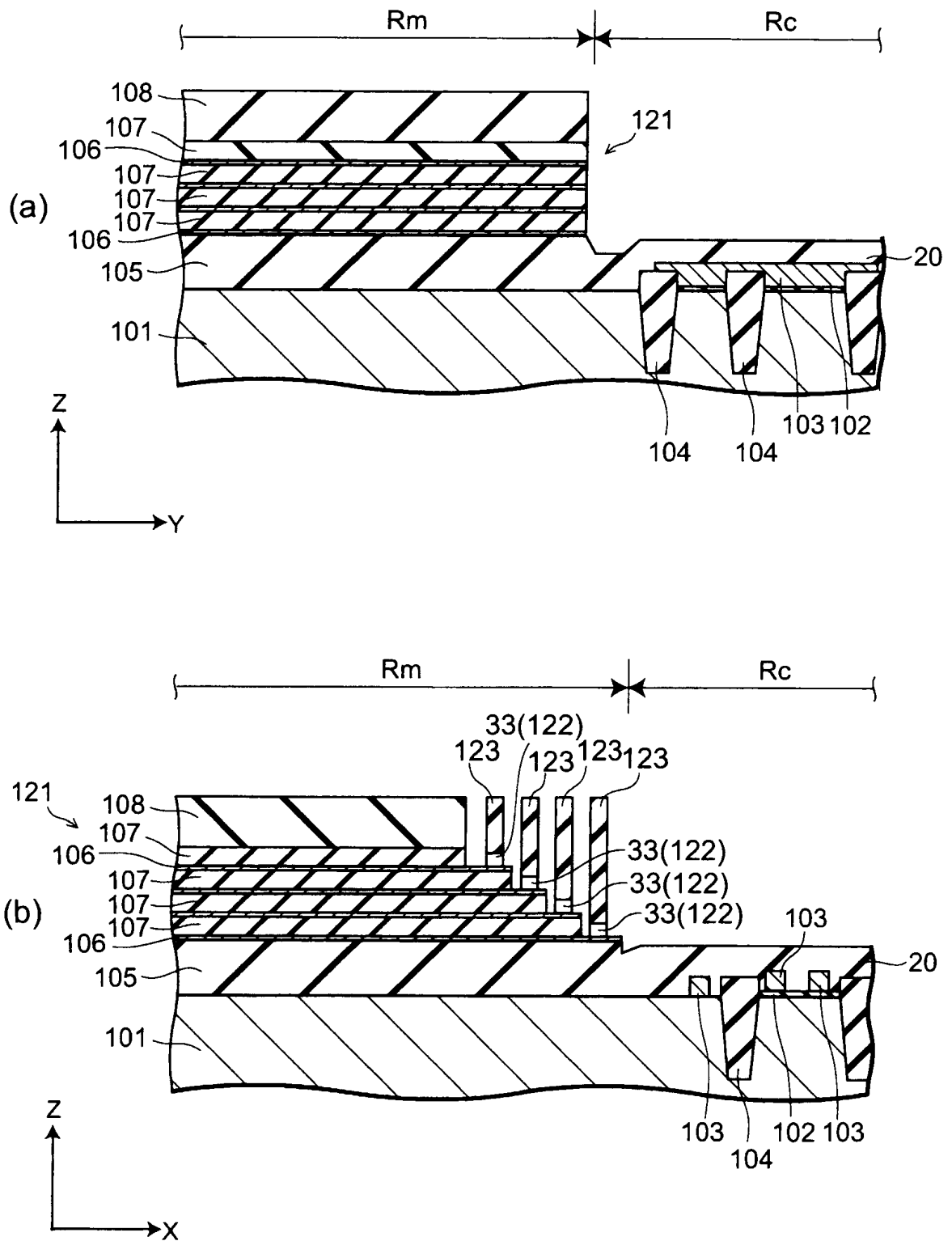


圖 15

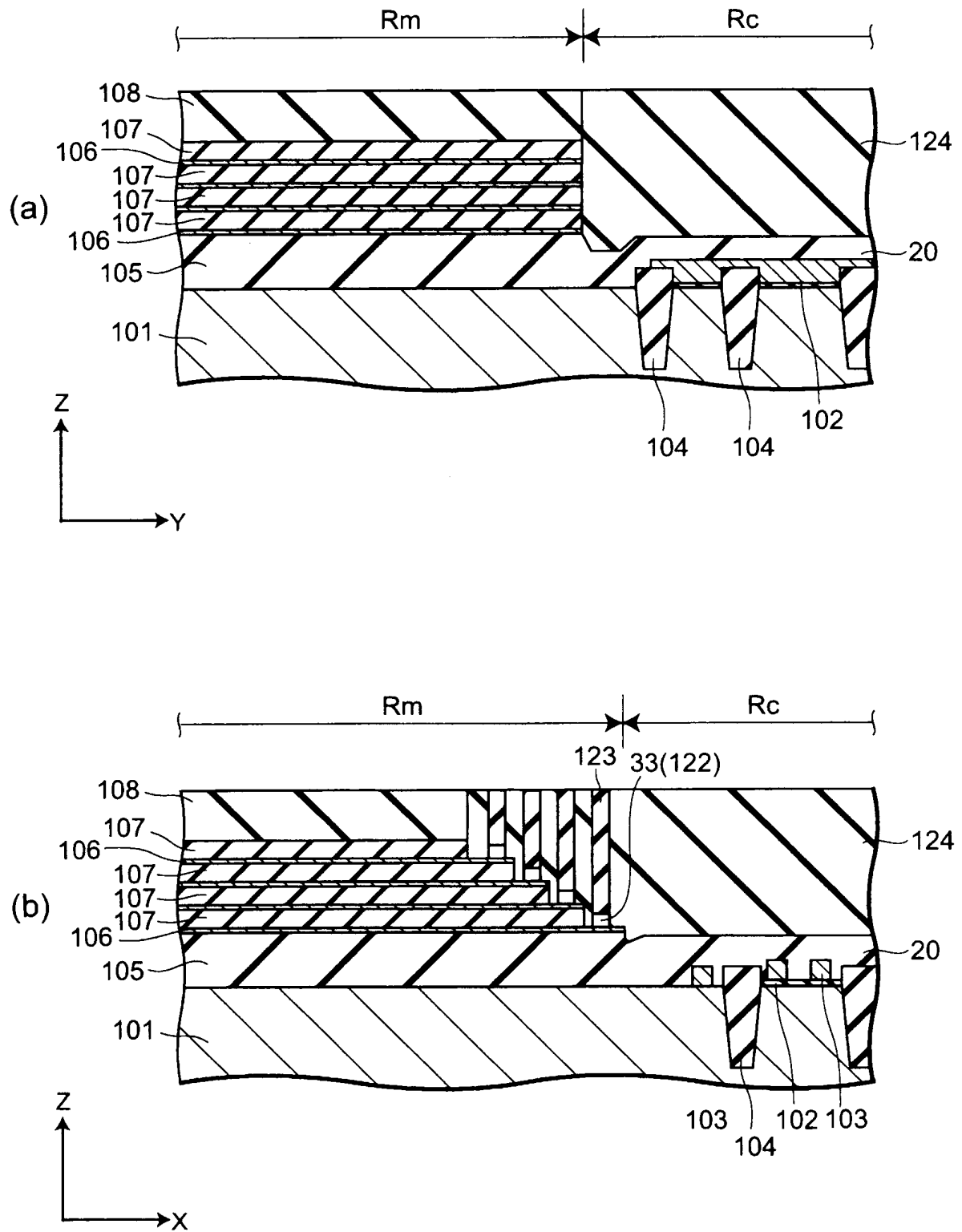


圖 16

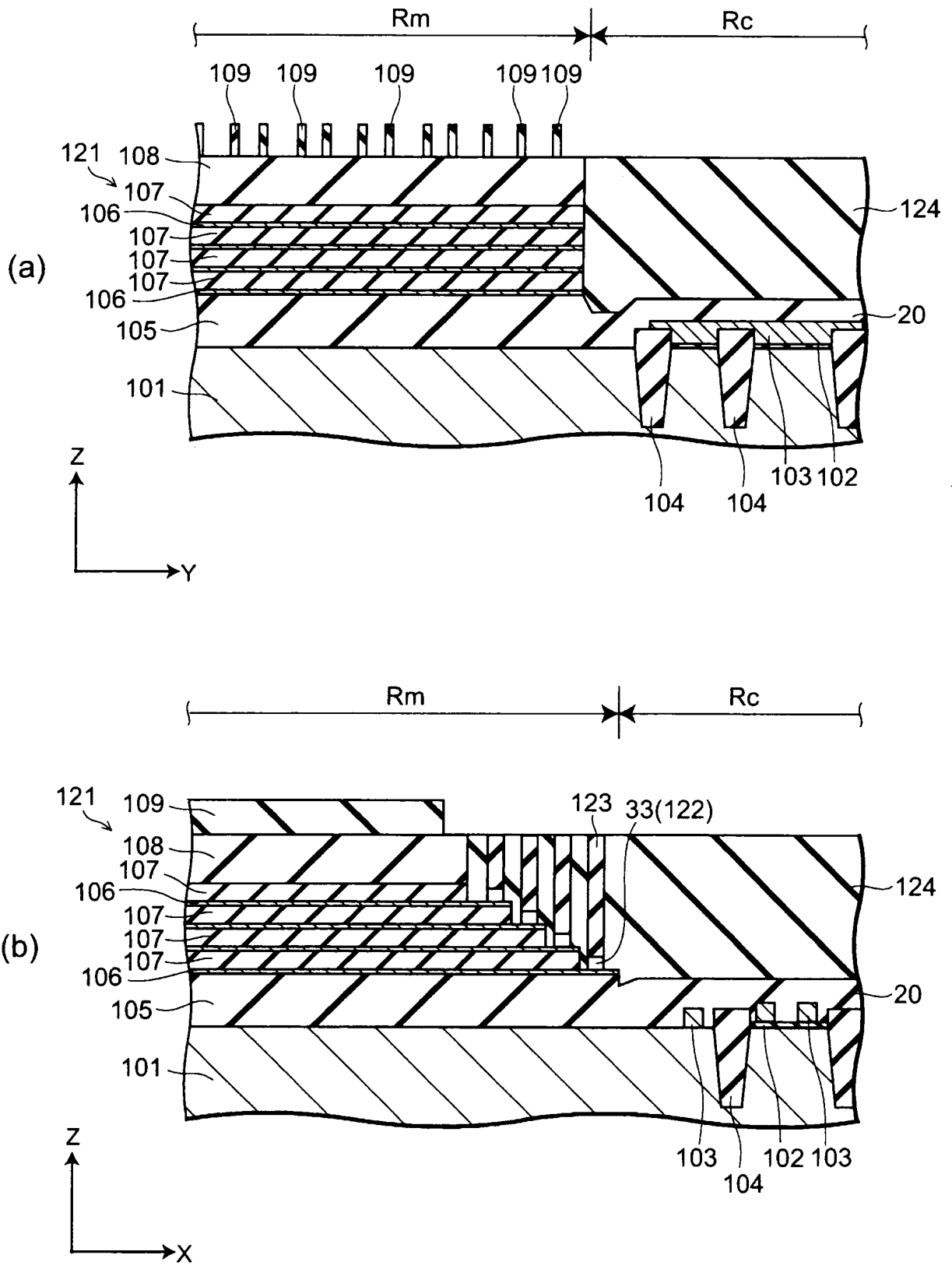


圖 17

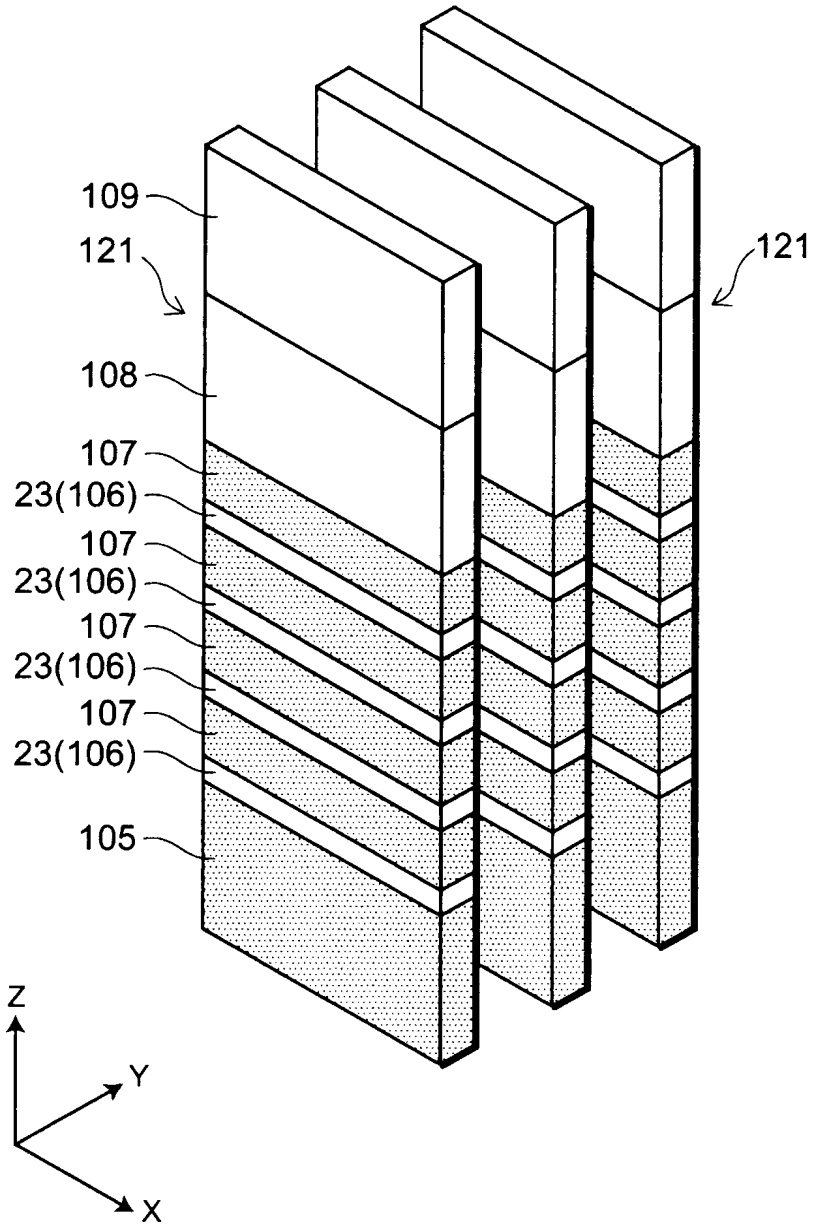


圖 18

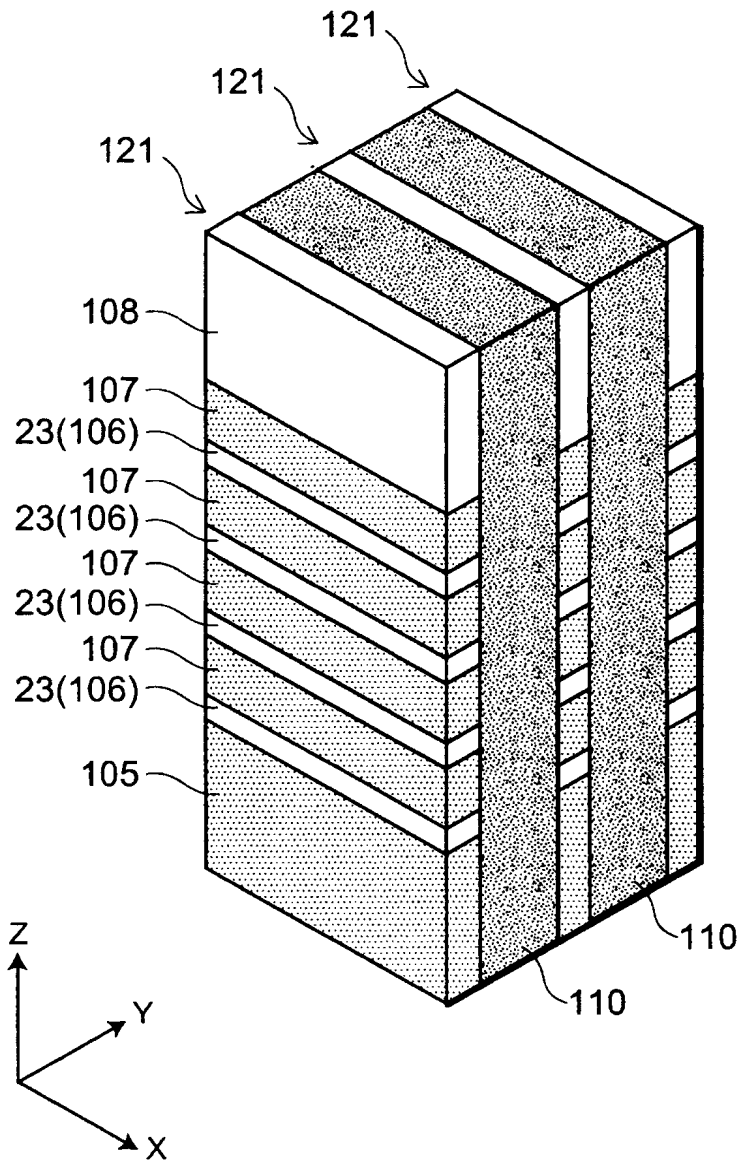


圖 19

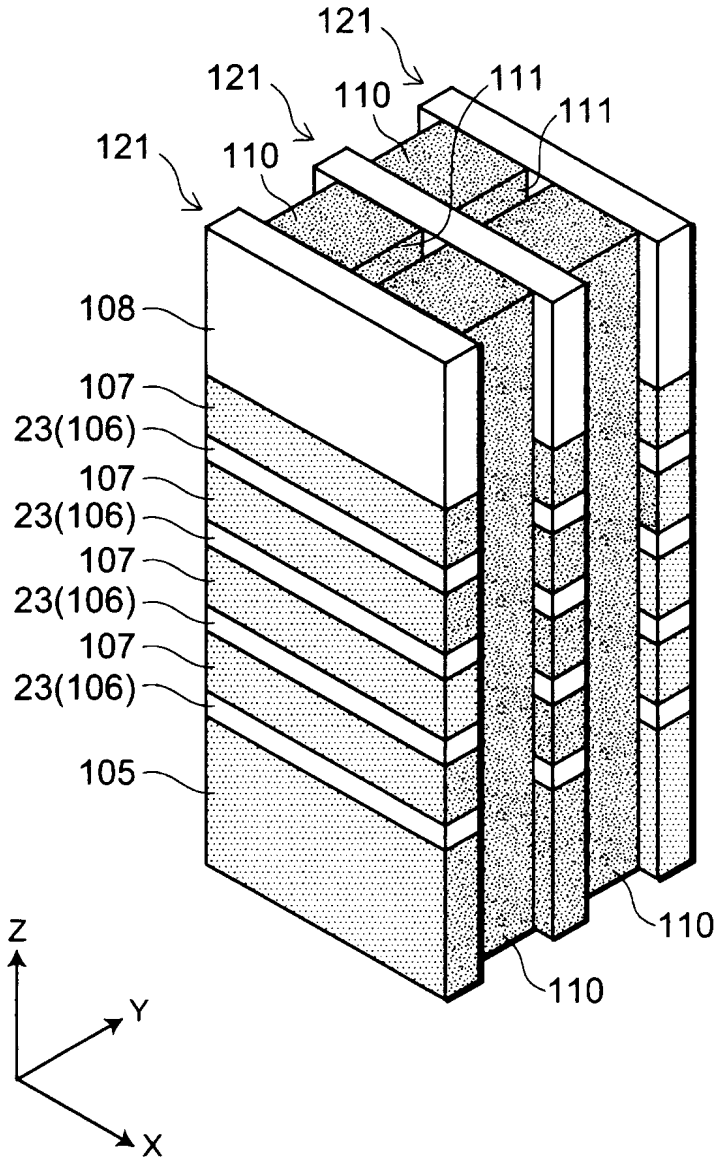


圖 20

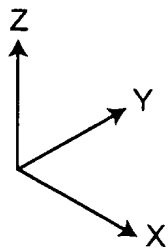
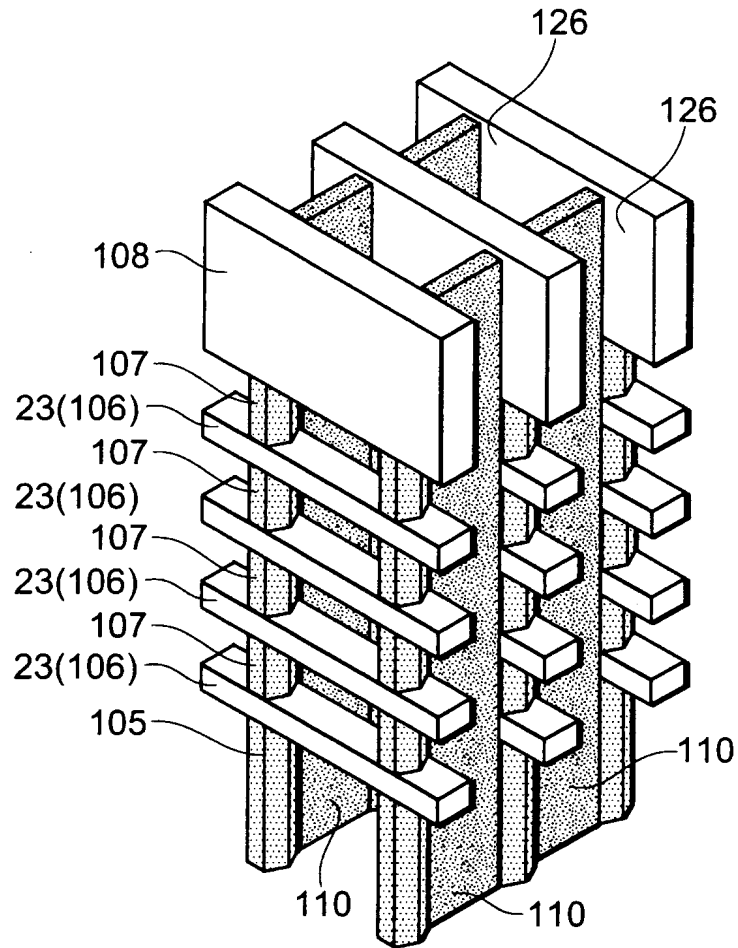


圖 21

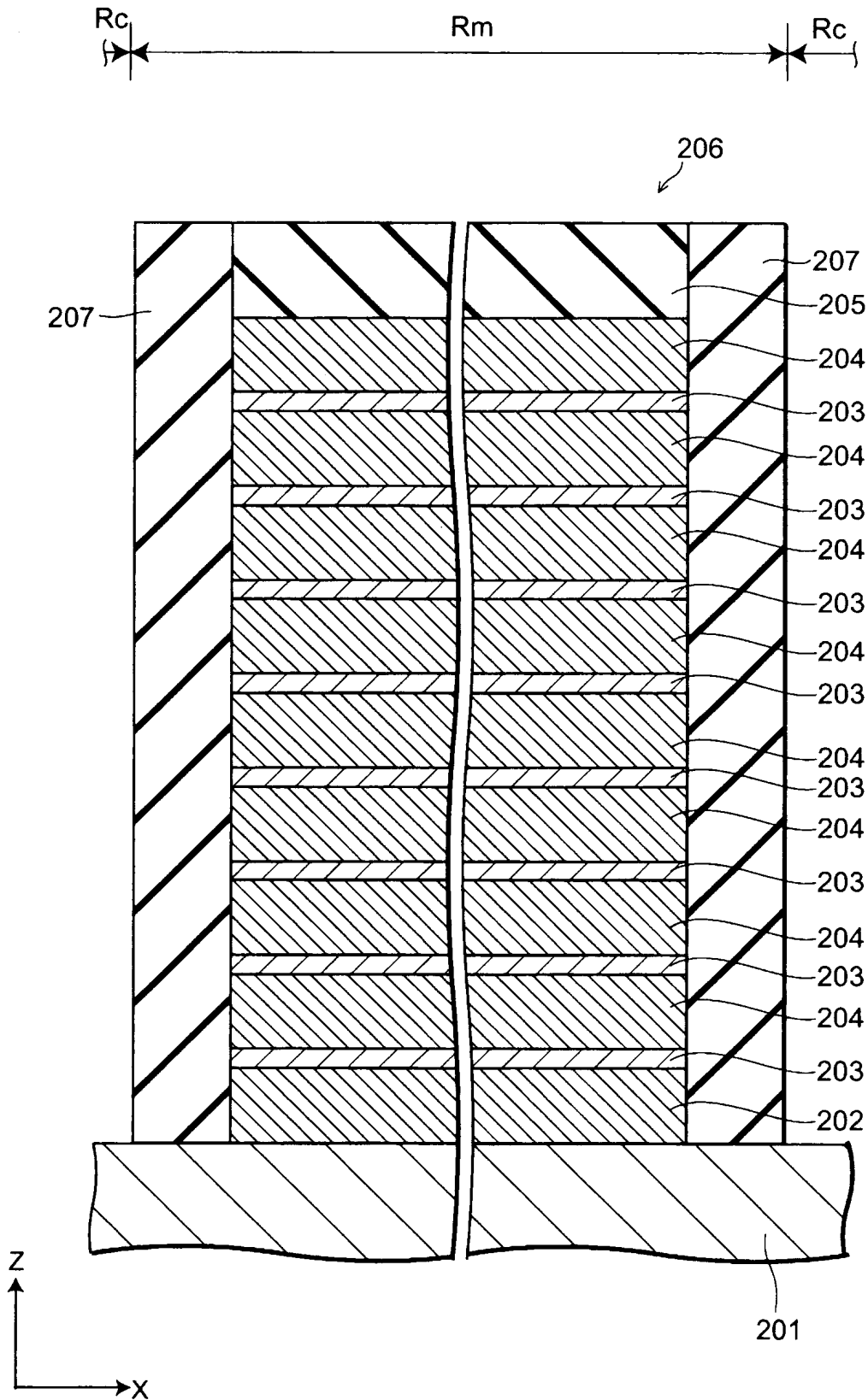


圖 22

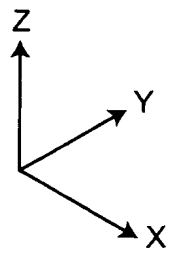
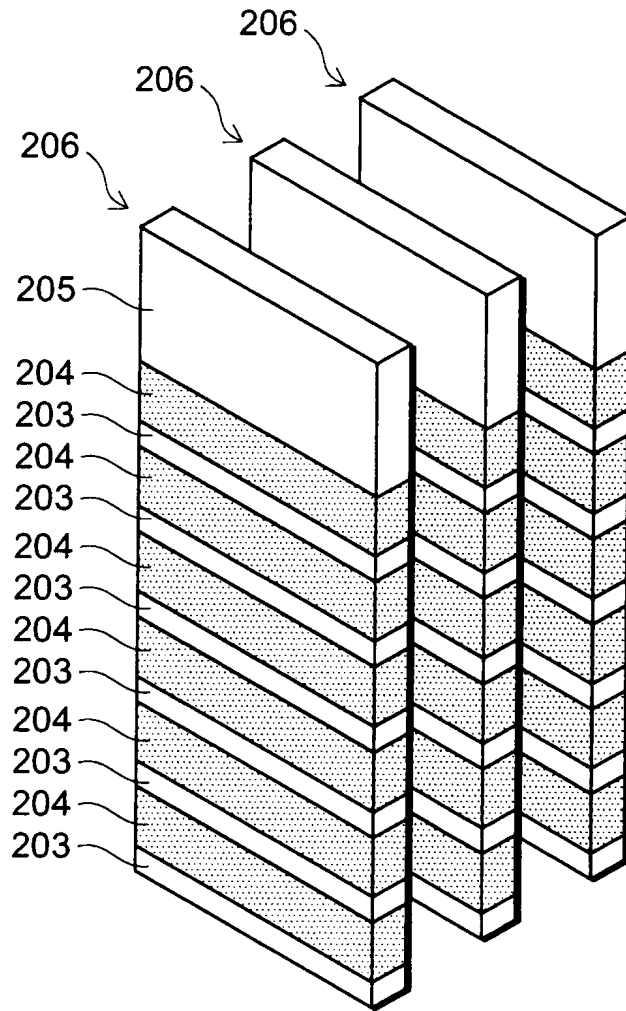


圖 23

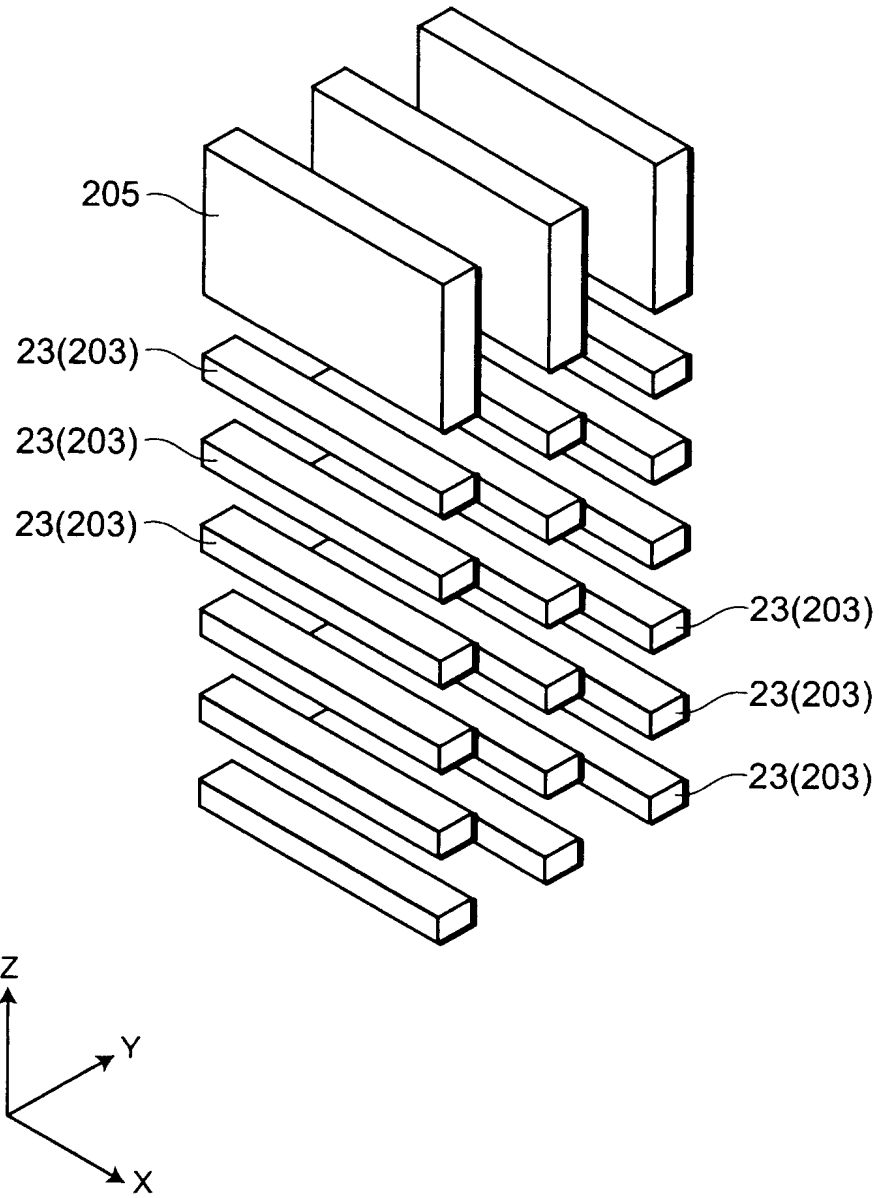


圖 24

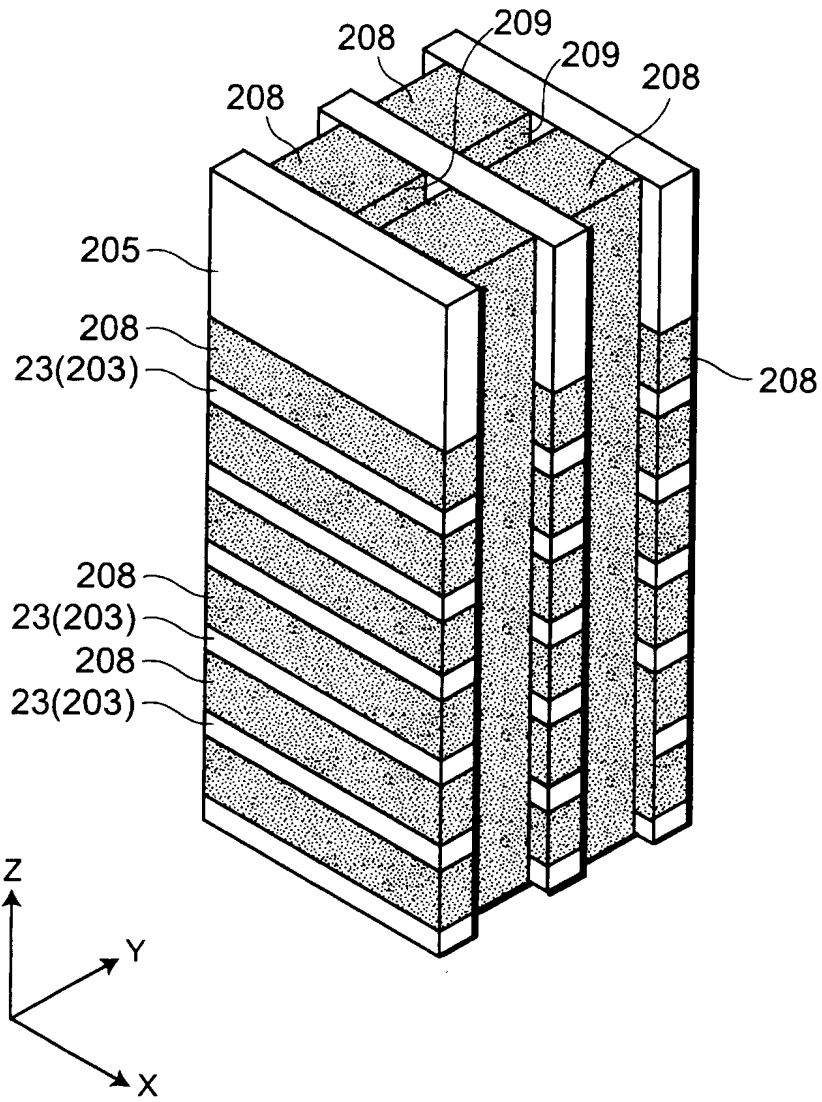


圖 25

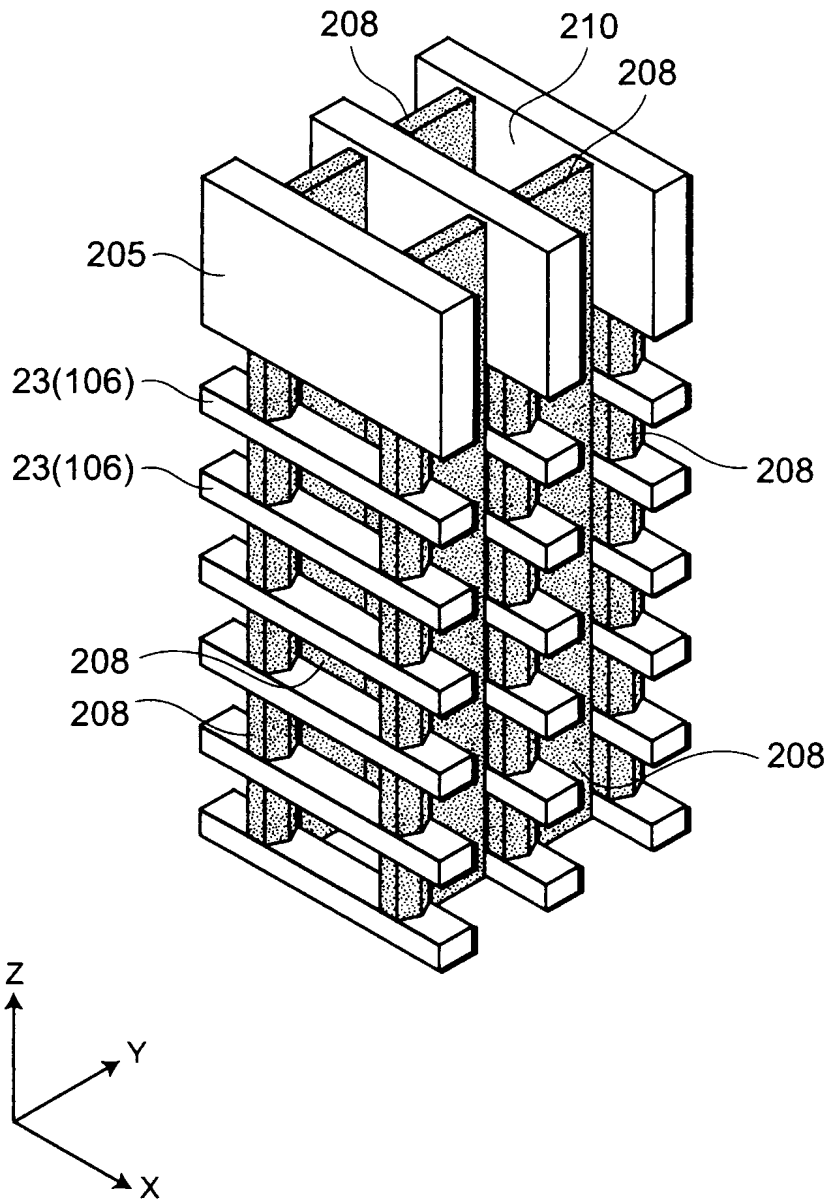


圖 26

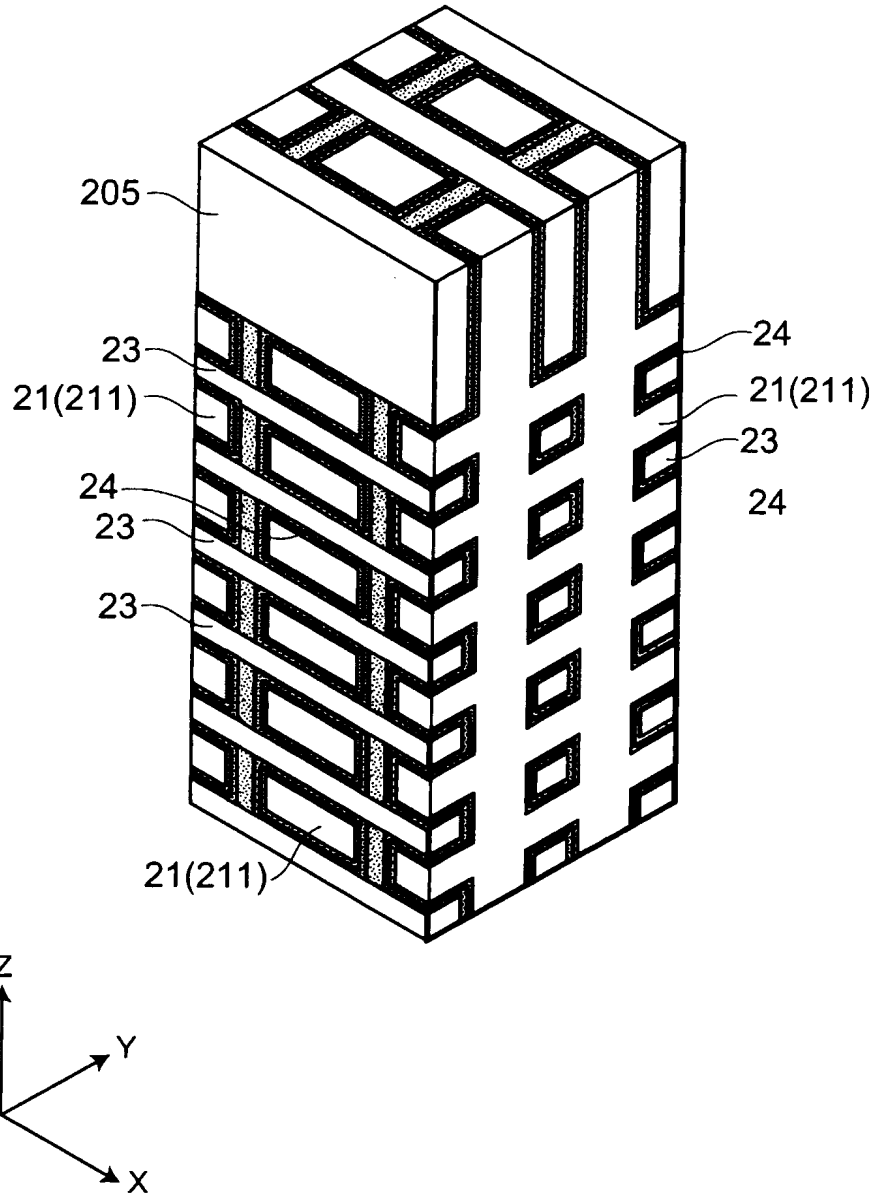


圖 27

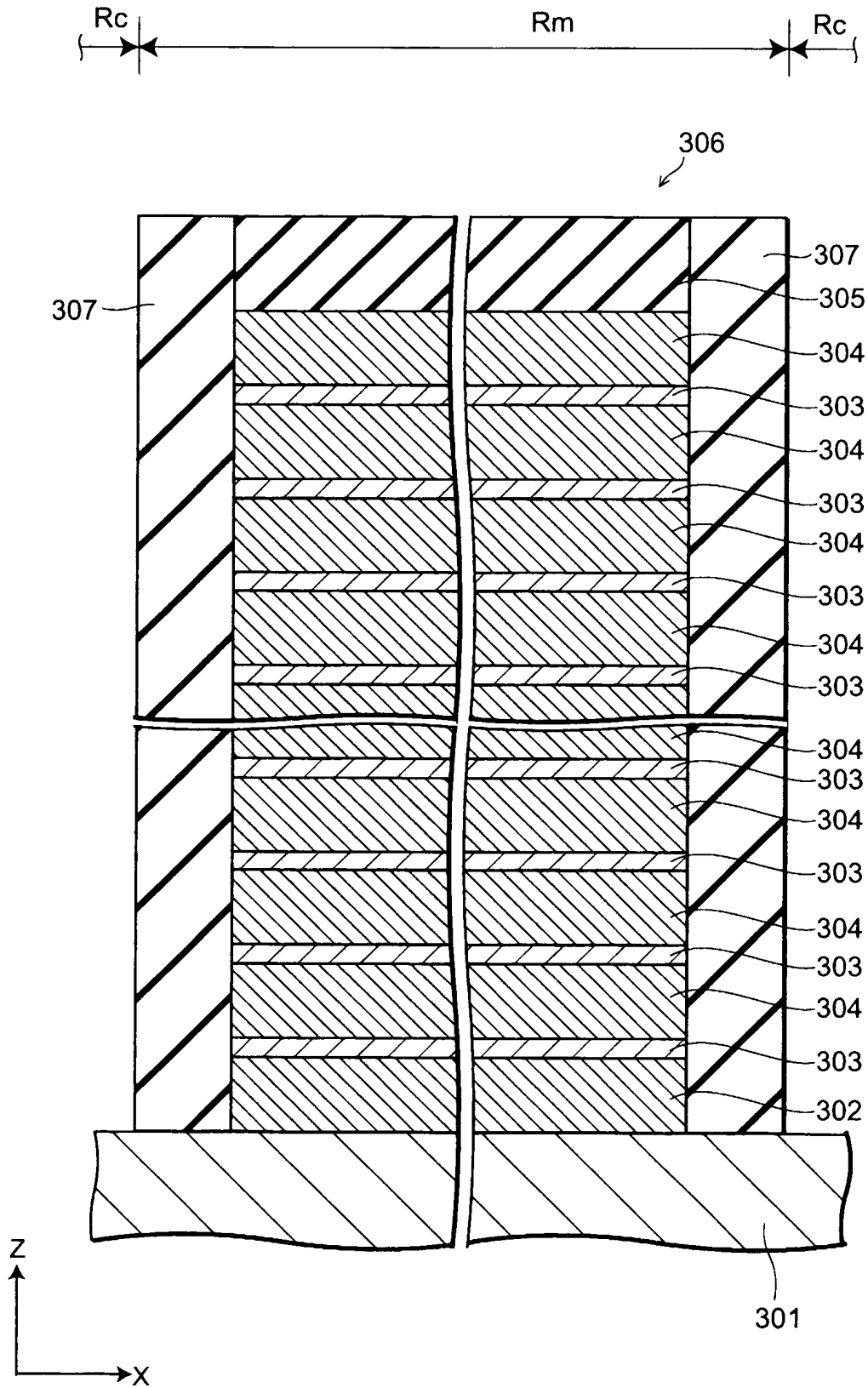


圖 28

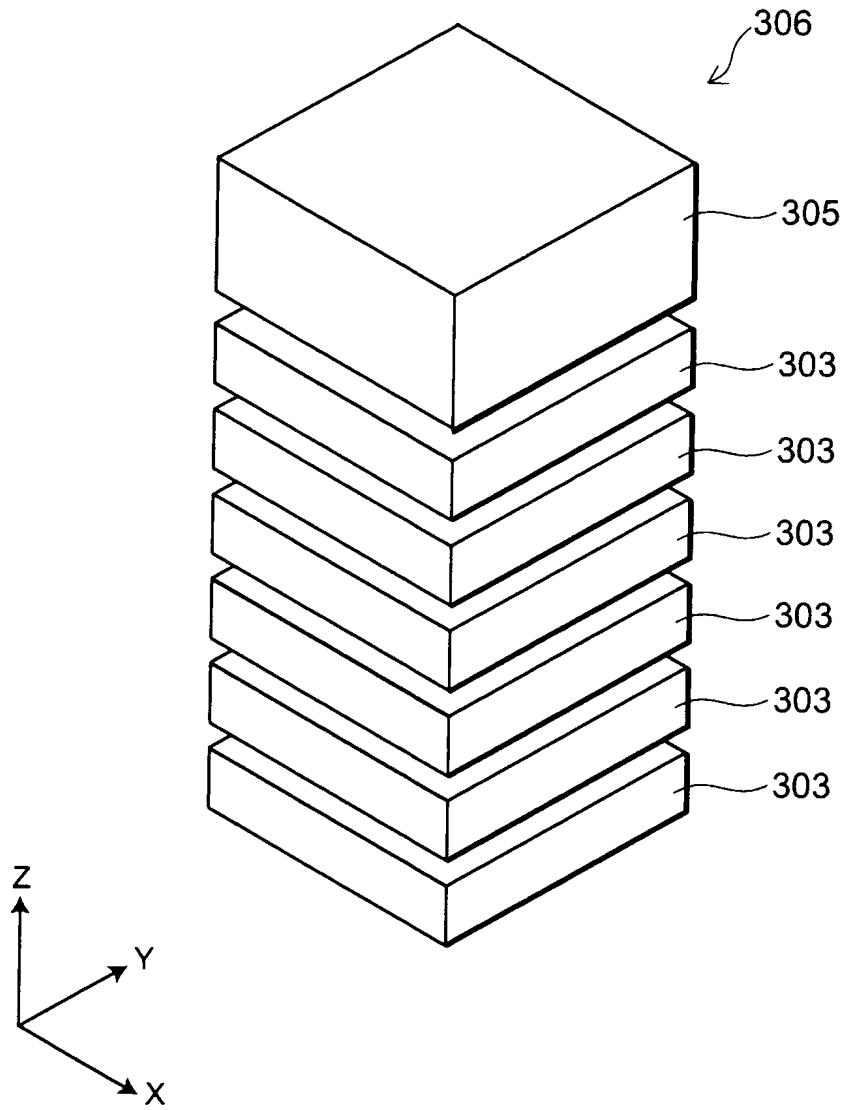


圖 29

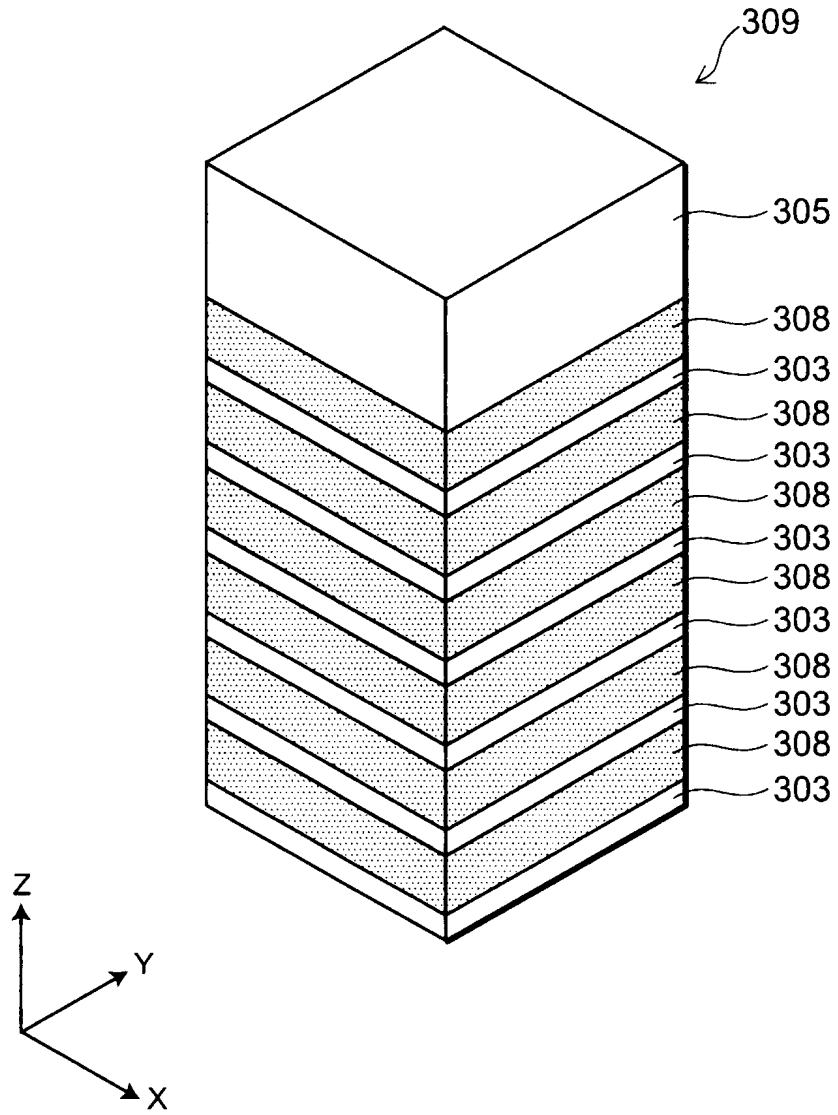


圖 30

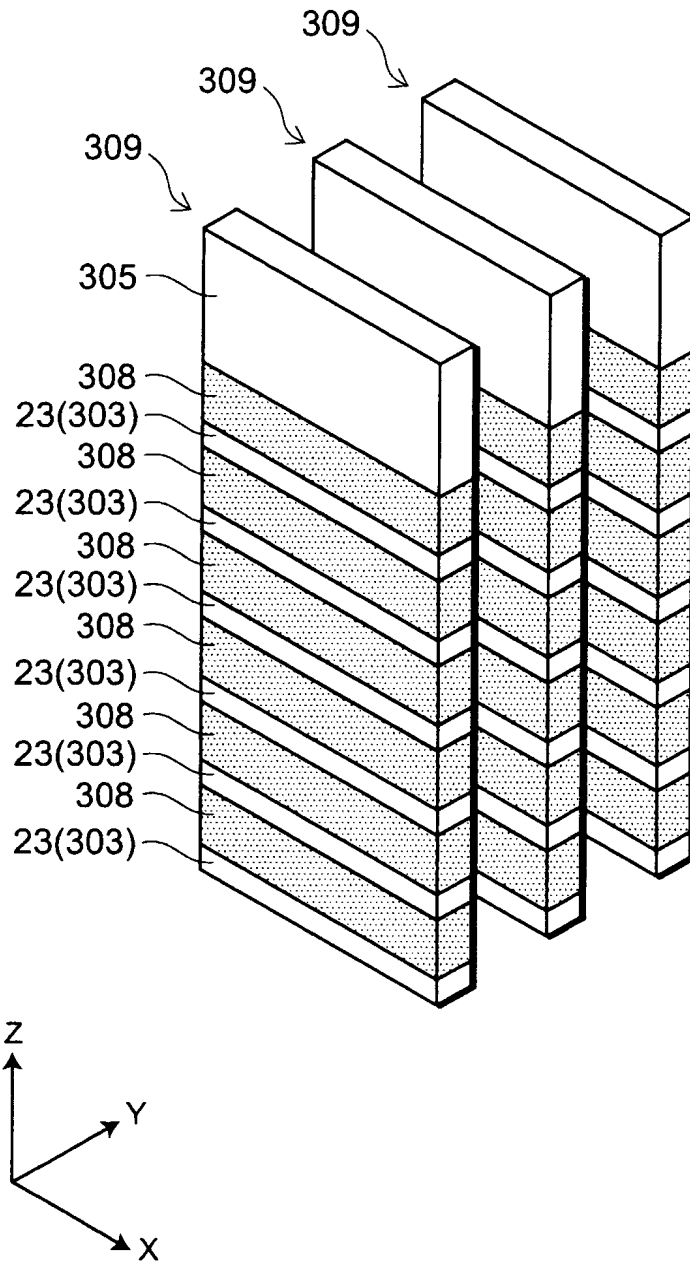


圖 31

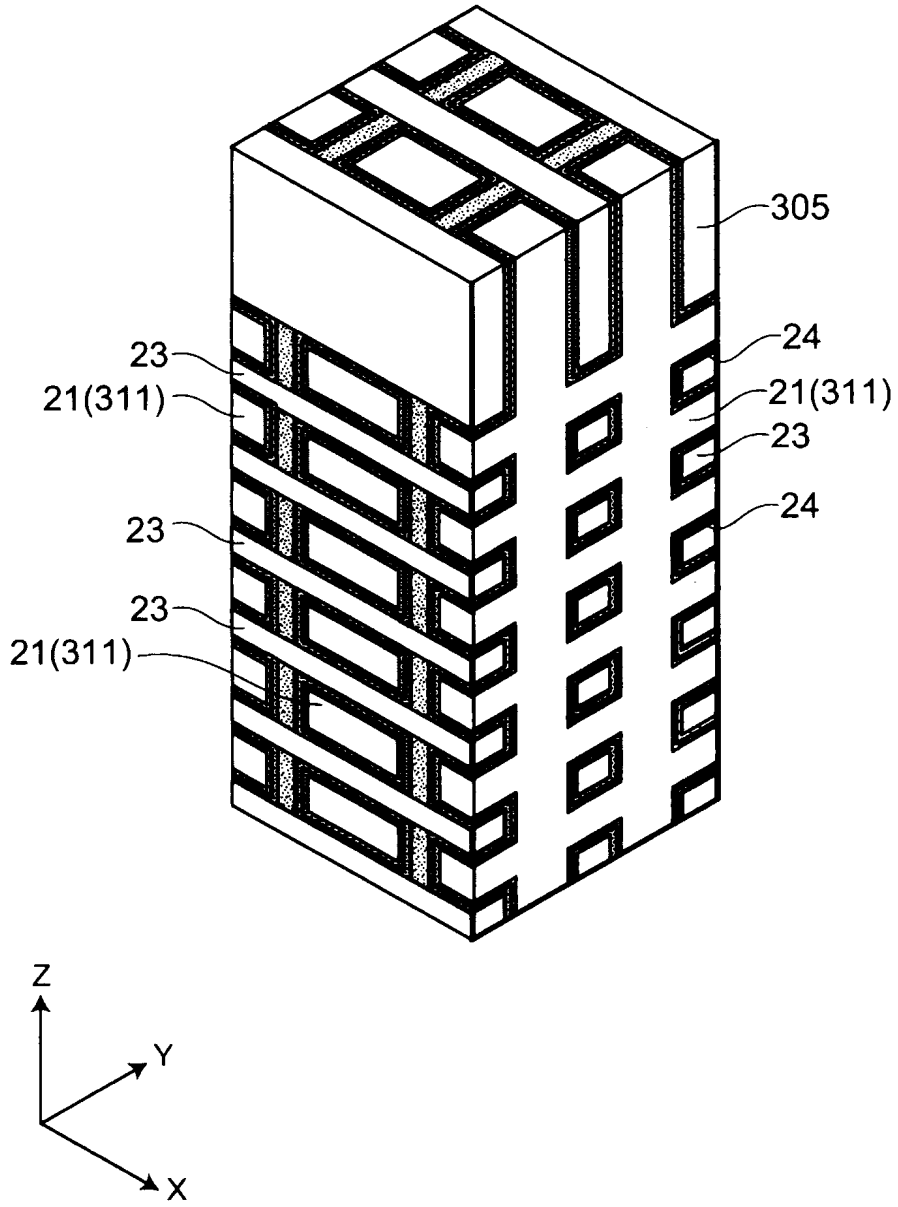


圖 32

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	半導體記憶體
11	矽基板
12	多層配線層
14	STI
15	閘極氧化膜
17	接觸插塞
18	配線
19	穿孔插塞
20	層間絕緣膜
21	閘極電極膜
23	矽樑
24	ONO膜
25	構造體
26	氮化矽膜
31	氧化矽膜
33	閘極電極材料
34	穿孔插塞
35	位元配線
36	接觸插塞
37	電晶體
37g	閘極電極

Rc 周邊電路區域

Rm 記憶體區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)