

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-340721

(P2005-340721A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/318	H O 1 L 21/318 C	4 K O 2 9
C 2 3 C 14/34	C 2 3 C 14/34 N	5 F O 5 8
H O 1 L 29/78	H O 1 L 29/78 3 O 1 G	5 F 1 4 0

審査請求 未請求 請求項の数 9 O L 外国語出願 (全 26 頁)

(21) 出願番号	特願2004-160928 (P2004-160928)	(71) 出願人	000227294 アネルバ株式会社 東京都府中市四谷5丁目8番1号
(22) 出願日	平成16年5月31日 (2004.5.31)	(74) 代理人	100094020 弁理士 田宮 寛社
		(72) 発明者	スニル ウィクラマナヤカ 東京都府中市四谷5丁目8番1号 アネルバ株式会社内
		(72) 発明者	山田 直樹 東京都府中市四谷5丁目8番1号 アネルバ株式会社内
		Fターム(参考)	4K029 BA58 BC00 CA06 EA08 GA01 5F058 BA01 BC09 BC20 BD04 BD10 BD12 BD15 BD18 BF15 BF55 BF62 BF64 BH03 BJ01

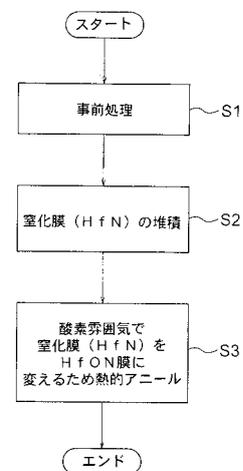
最終頁に続く

(54) 【発明の名称】 高誘電率誘電体膜を堆積する方法

(57) 【要約】

【発明の課題】 シリコン基板上的MOSFETにおいて、非常に薄い厚みを有し、膜質の高い均一性を有し、より高い誘電率を有する誘電体膜を堆積する方法を提供すること。【解決手段】 この方法は、ウェハー22のドーパシロン層またはドーパシロン化合物層の上に高誘電率誘電体膜を堆積することである。この方法は、特定元素(A)を窒化してシリコン層上に窒化膜(A_xN_y)を形成する第1ステップであって、当該窒化膜(A_xN_y)における特定元素(A)と窒素(N)がxとyの間で所定割合の関係性を有する上記第1ステップと、当該窒化膜を酸化雰囲気において酸化して酸化かつ窒化された誘電体膜(AON)を形成する第2ステップとから構成される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板のドーパシリコン層またはドーパシリコン化合物層に高誘電率誘電体膜を堆積する方法であり、

特定元素 (A) を窒化して前記シリコン層上に窒化膜 ($A_x N_y$) を形成する第 1 ステップであって、前記窒化膜 ($A_x N_y$) で前記特定元素 (A) と前記窒素 (N) との間で x と y は所定割合の関係を有する前記第 1 ステップと、

前記窒化膜を酸素雰囲気中で酸化し、酸化かつ窒化された前記誘電体膜 (AON) を形成する第 2 ステップ、

を含む高誘電率誘電体膜を堆積する方法。

10

【請求項 2】

前記特定元素は、元素周期表の 3 族、4 族、または 5 族に属するいずれかの元素である請求項 1 記載の高誘電率誘電体膜を堆積する方法。

【請求項 3】

前記窒化膜 ($A_x N_y$) における前記特定元素 (A) と前記窒素 (N) は、y がそのストチオメトリック値 (stoichiometric value) よりも小さいという関係を有する請求項 1 記載の高誘電率誘電体膜を堆積する方法。

【請求項 4】

前記特定元素 (A) はハフニウム (Hf) である請求項 2 記載の高誘電率誘電体膜を堆積する方法。

20

【請求項 5】

前記窒化膜 ($Hf_x N_y$) で前記ハフニウム (Hf) と前記窒素 (N) は $x = 1$ に対して $0 < y < 1.5$ の関係を有する請求項 4 記載の高誘電率誘電体膜を堆積する方法。

【請求項 6】

前記第 2 ステップでの酸化プロセスは $400 \sim 1000$ の温度範囲に含まれる特定温度で熱的アニールプロセスによって実行される請求項 1 ~ 5 のいずれか 1 項に記載の高誘電率誘電体膜を堆積する方法。

【請求項 7】

膜堆積のために反応性スパッタリング法が用いられる請求項 1 ~ 6 のいずれか 1 項に記載の高誘電率誘電体膜を堆積する方法。

30

【請求項 8】

前記シリコン層上に SiO_2 層、 SiN 層、および $SiON$ 層のいずれかが設けられ、前記第 2 ステップで他の高誘電率誘電体膜 (AON) が堆積する請求項 1 記載の高誘電率誘電体膜を堆積する方法。

【請求項 9】

前記第 1 ステップでの窒化プロセスのために供給される窒素ガス (N_2) の流速は $1 \sim 15$ sccm の範囲に含まれるいずれかの値である請求項 1 記載の高誘電率誘電体膜を堆積する方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は高誘電率誘電体膜を堆積する方法に関し、特に、基板でのシリコン層で非常に薄くかつ均一な厚みを有する各種の酸化膜または窒化膜のごとき高誘電率誘電体膜を堆積する方法に関する。

【背景技術】

【0002】

シリコン基板上に MOSFET デバイスを製作することにおいて、例えば SiO_2 よりも相当に高い誘電率を備えた誘電体物質の非常に薄い膜を成膜することは、将来の半導体デバイスにとって非常に重要である。MOSFET において薄いより高い誘電率誘電体膜が例えばゲート絶縁層として使用されている。詳しくは、高誘電率誘電体物質は 2 つの異

50

なる応用においてその使用が期待されている。第1の応用は、CMOSトランジスタゲート誘電体でSiO₂、SiON、およびSi₃N₄の誘電体物質を現在広く用いることに置き換えることである。第2の応用は、特に、液晶表示パネルのためのより高い容量を有するキャパシタを作ることである。

【0003】

現在、高誘電率誘電体物質を成膜することに関して2つの基本的技術が存在する。第1の方法は化学的気相成長(CVD)であり、第2の方法は物理的気相成長(PVD)である。

【0004】

たとえCVD方法により膜を堆積することにおいて多くの異なる技術があるとしても、基本的には、産業上では唯一2つの方法が広く応用されている。 10

第1の技術において、化学的プリカーサー、好ましくは金属有機複合物がプラズマまたは熱的エネルギーによって分解され、そして適当なガスと反応して、望ましいより高い誘電率を有する誘電体物質を作る。この技術は通常MO-CVD技術と呼ばれている。

第2の方法において、2つの化学的媒介物が基板に対して導入され、それは各ガス導入の間でタイムブレイクを交互に作りながら導入される。当該タイムブレイクの間、第1に導入されたガスは基板の表面に吸収された分子を除いて排気される。第2の媒介物が導入されるとき、それは当該表面に吸収された第1ガスの分子と反応し、誘電体膜を形成する。それから、残存する過剰なガスは、次のガス投入に至るまでのタイムブレイクの間に排気される。この技術は、原子層堆積(ALD)技術と呼ばれている。 20

【0005】

CMOS応用におけるゲート絶縁体としてシリコン基板上に高誘電率誘電体膜を堆積することにおいて、2つの基本的な要求が存在する。第1の要求は、当該膜は非常に薄いものでなければならないということである。例えば、将来のCMOSデバイスの大部分は物理的な厚みが3nmよりも小さいという膜を必要とする。第2の要求は、当該膜の厚みが、例えば1%(1)よりも小さいものであり、非常に均一であるということである。これらの膜は非常に薄いので、不均一性が僅かでもあるとこの膜は電気的特性、例えば容量や漏れ電流などに重大な変化を与える。これらの2つの基本的要求に関連して上記成膜技術の欠点が議論される。

【0006】

従来の技術の1つとして、例えば反応性スパッタリング方法またはCVDを用いてシリコン層上に直接に高誘電体酸化膜を堆積する方法を開示する特許文献1が存在する。この方法は、高い誘電体または絶縁体のごとき、高誘電率酸化膜の特性を損なうことなくシリコン層上に直接に高誘電体酸化膜を形成するための方法が提案されている。前述した従来の方法によれば、第1に、高誘電率窒化膜がシリコン層の上に形成され、その後、高誘電率窒化膜は、酸化されることによって高誘電率酸化膜になるように変化する。 30

【特許文献1】特開平11-168096号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の課題は次の通りである。シリコン基板上のMOSFETでゲート絶縁層として用いられる非常に薄い誘電体膜を製作する時、より高い誘電率を備えた均一な誘電体膜が成膜されることが必要とされる。 40

【0008】

本発明の目的は、シリコン基板上のMOSFETにおいて、非常に薄い厚みを有し、膜質の高い均一性を有し、より高い誘電率を有する誘電体膜を堆積する方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明に係る高誘電率誘電体膜を堆積する方法は、上記目的を達成するため、次のよう 50

に構成される。

【0010】

基板のドーパシリコン層またはドーパシリコン化合物層の上に高誘電率誘電体膜を堆積する方法は、特定元素(A)を窒化してシリコン層上に窒化膜(A_xN_y)を形成する第1ステップであって、当該窒化膜(A_xN_y)における特定元素(A)と窒素(N)がxとyの間で所定割合の関係を有する上記第1ステップと、当該窒化膜を酸化雰囲気において酸化して酸化かつ窒化された誘電体膜(AON)を形成する第2ステップを含んで構成される。

【0011】

前述の方法において、好ましくは、特定元素(A)は元素の周期表の3族、4族、または5族に属するいずれかの元素である。 10

【0012】

前述の方法において、好ましくは、窒化膜(A_xN_y)で特定元素(A)と窒素(N)はyがそのストチオメトリック値(stoichiometric value)よりも小さいという関係を有する。

【0013】

前述の方法において、好ましくは、特定元素(A)はハフニウム(Hf)である。

【0014】

前述の方法において、好ましくは、窒化膜(Hf_xN_y)におけるハフニウム(Hf)と窒素(N)は $0 < y < 1.5$ 、xが1の時という関係を有する。 20

【0015】

前述の方法において、好ましくは、第2ステップでの酸化プロセスは400~1000の温度範囲に含まれる特定温度を有する熱的アニールプロセスによって実行される。

【0016】

前述の方法において、好ましくは反応性スパッタリング方法が膜堆積に用いられる。

【0017】

前述の方法において、好ましくは、 SiO_2 層、 SiN 層、 $SiON$ 層のいずれかが最初にシリコン層上に設けられ、それから高誘電率誘電体膜(AON)を堆積する。

【0018】

前述の方法において、好ましくは、第1ステップでの窒化プロセスのために供給される窒素ガス(N_2)の流速は1~15sccmの範囲に含まれるいずれかの値である。 30

【発明の効果】

【0019】

本発明によれば、PVDおよび熱的アニールングプロセスによって非常に薄いかつ非常に均一な誘電体膜を堆積することにおいて新技術が提供され、当該新技術では膜はプラズマによって誘導されるダメージを受けない。この技術によれば、EOT(equivalent oxide thickness: 等価酸化物厚み) $< 1\text{ nm}$ 、かつ漏れ電流が 10^{-1} A/cm^2 よりも小さいという特性を有する高誘電率誘電体膜を作製するということが示される。

【発明を実施するための最良の形態】

【0020】

以下に、添付した図面を参照して好適な実施形態を説明する。当該実施形態の説明を通して本発明の詳細が明らかにされる。 40

[実施形態1]

【0021】

図1~図6を参照して本発明の第1実施形態が説明される。一例としてPVD処理チャンバ10の概略構成図が図1に示される。本発明による高誘電率誘電体膜を堆積する方法は、当該PVD処理チャンバでMOSFET用ゲート電極を作るためのシリコンウェハ上にゲート絶縁層を作るために、実行される。

【0022】

最初に、PVD処理チャンバ10の構造が説明される。この処理チャンバ10は、ウェ 50

ウェハホルダ 11、いわゆるカソードと呼ばれる、平板形状を有するターゲット 12、側壁 13、トッププレート 14、ボトムプレート 15、排気ポート 16、およびガス導入部 17 から構成されている。ターゲット 12 の代表的材料は好ましくはハフニウム (Hf) である。ターゲット 12 は、絶縁支持プレート 18 を介して、傾斜姿勢で、処理チャンバ 10 の壁またはプレート (13, 14) に固定されている。ターゲット 12 は、絶縁支持プレート 18 によって処理チャンバ 10 のその他の部分から電氣的に絶縁されている。

【0023】

ターゲット 12 の上側または横側では、回転可能な支持プレート 20 に固定されたマグネット配列 19 が存在する。支持プレート 20 は、図示されていない駆動機構を有している。参照番号 20a は回転軸を示している。装置が作動している間、マグネット配列 19 は、駆動機構の中に含まれる電気モータによって回転させられる。マグネット配列 19 のための電気モータおよび回転機構は図 1 に示されていない。

10

【0024】

前述したターゲット 12 は、DC 電源 21 からプラズマを生成するための DC 電力が供給される。DC 電力を用いることは本質的なことではない。DC 電力の代わりに rf (交流) 電力をプラズマを発生させるために用いることもできる。

【0025】

ターゲット 12 は、好ましくは、99.99% の純度を有するハフニウム (Hf) によって作られている。ターゲット 12 はウェハホルダ 11 の上に配置されたウェハまたは基板 22 に対して好ましい所定の角度をもって配置されている。再び、ウェハホルダ 11 の軸 11a とターゲット 12 の軸 12a は平行ではなく、所定の角度 () にて交差するようになっている。2つの軸 11a と軸 12a は同じ平面内に存在する。これらの2つの軸 11a と軸 12a の間の角度 () は 90° よりも小さく、代表的にはおよそ 45° である。

20

【0026】

ウェハホルダ 11 は、ウェハ 22 上での膜堆積の間、およそ 60 rpm 等の回転速度で回転させられている。回転速度は重要なことではなく、広い範囲、例えば 10 ~ 500 rpm の範囲で変化させることができる。ウェハホルダの回転機構は図において示されていない。

【0027】

次に、前述した PVD 処理チャンバで実行されるウェハ 22 上に高誘電率誘電体膜を堆積する方法またはプロセスが図 2 を参照して詳細に説明される。

30

【0028】

高誘電率誘電体膜は、ドーパシリコン (p-Si, n-Si) またはドーパシリコン化合物 (ドーパされた SiGe。例えば、p-SiGe, n-SiGe) のウェハ 22 の表面上に形成される。高誘電率誘電体膜は、ウェハ 22 の上に作製された CMOS デバイスにおける MOSFET のゲート誘電体層に用いられる。それは、SiO₂ の誘電率よりも大きな、より高い誘電率を有する非常に薄い誘電体膜である。

【0029】

プロセスガスとして、Ar または N₂ が、ガス導入部 17 を経由して処理チャンバ 10 の中に導入される。処理チャンバ 10 の内部圧力は好ましくは 0.5 Pa よりも低く維持されている。Hf ターゲット 12 に DC 電力を与えることによってスパッタリングが実行される。

40

【0030】

Hf ターゲット 12 を用いてスパッタリングを実行する時、処理チャンバ 10 は予め窒素 (N₂) / アルゴン (Ar) の混合ガスが導入されている。PVD 処理チャンバ 10 の中には N₂ の原子が存在するので、スパッタされた原子 Hf は窒素のラジカル / イオンと反応してウェハ 22 の表面上に HfN (窒化ハフニウム) の膜または層を形成する。ウェハ 22 の基礎となる物質はシリコンである。当該 HfN 膜はドーパされたシリコン層または SiGe などの上に形成される。

50

【0031】

Hfを基礎とする高誘電率誘電体膜を形成する手順は次の通り進行する。

【0032】

(1) : ウェハ- (前述のウェハ- 22) は希釈化されたHf溶液によって洗浄され、元々存在したシリコン酸化物を除去する(ステップS1)。

(2) : 当該ウェハ-を乾燥する(ステップS1)。

(3) : 反応性スパッタリング技術によってウェハ-上にHfN膜を堆積する(ステップS2)。

(4) : 約1%の含有率で酸素を含むほとんどが不活性ガスまたはN₂である環境で400を越える高い温度でウェハ-をアニールする(ステップS3)。

10

【0033】

最初、ウェハ-は希釈されたHF溶液で洗浄され、ウェハ-表面上における元々存在する酸化物と他の汚れを除去し、乾燥する(ステップS1)。第2に、HfN膜をウェハ-表面上に反応性スパッタ成膜技術によって堆積する(ステップS2)。当該HfNの堆積に関して前述したPVD処理チャンバ10が用いられる。第3に、ウェハ-は400を越えるより高い温度で熱的アニールを受ける(ステップS3)。当該アニールの時の圧力は重要な事項ではなく、数トル(Torr)の圧力から大気圧まで変化させることができる。当該アニールのガス環境はほとんど不活性ガスまたはN₂ガスであり、約1%の酸素を含むものである。当該アニールプロセスによってHfN膜は酸化され、HfN膜は高誘電率誘電体膜としてのHfON膜に変化する。

20

【0034】

非常に薄くかつゲート誘電体として用いられる高誘電率誘電体膜をHfターゲット12を用いて堆積または形成する上記プロセスにおいて、窒化膜(Hf_xN_y)におけるハフニウム(Hf)と窒素(N)はx=1に関して0<y<1.5という関係を有している。

【0035】

前述した膜の準備の後、Ta₂N膜がゲート電極としてHfN膜の上に成膜され、ウェハ-22上で金属酸化半導体(MOS)キャパシタを形成するようにパターン化されかつエッチングされる。これらのMOSキャパシタのCV(容量・電圧)特性およびIV(電流・電圧)特性を検査し、等価酸化物厚み(equivalent oxide thickness: EOT)および漏れ電流を評価した。

30

【0036】

前述した装置構成によれば、200mmまたは300mmの直径のウェハ-の上に全体に渡って極めて均一な膜を作る。図3は200mmウェハ-上での当該HfN膜の均一性を示す。図3(A)は膜の厚みを示すウェハ-の平面図であり、図3(B)は当該膜の規格化された抵抗値を示す直径ラインにおける縦方向の図である。膜の厚みは、直径180mmの円形表面領域の全面で分散して設定した49点で測定され、その標準偏差()は0.95%として概算された。標準偏差は膜の非均一性を表している。図3において、参照番号23は均一性の等高線を示し、参照番号24は抵抗値データによって形成された特性線を示す。

40

【0037】

図4および図5は、先に説明した手順で得られた、準備されたハフニウム酸化窒化膜(HfON)に関する電気的データを示している。それらのHfON膜は次のようなプロセスパラメータおよび膜パラメータで堆積されたものである。

【0038】

圧力	0.019 Pa
Arガス流速	20 sccm
N ₂ ガス流速	6 sccm
DC電力	300 W
成膜速度	2.4 nm / 分
成膜時間	12.5 秒

50

H f N 膜厚み	0 . 5 n m
H f N 膜抵抗値	5 1 6 μ / c m
H f N 膜均一性	0 . 9 5 % (1)

【 0 0 3 9 】

図 4 および図 5 は、それぞれ、準備された膜の C V 特性および I V 特性を示す。この場合において、熱的アニール前の元々の H f N 膜の厚みは 0 . 5 n m である。熱的アニールは、N₂ および O₂ (~ 1 %) の混合ガスで、大気圧の下で、6 0 0 の温度で、3 0 秒間実行される。堆積された H f N は低い抵抗値を有し、金属的な特性を示す。H f N 膜の抵抗値特性は、当該膜の窒素の含有量で変化する。図 6 は、処理チャンバ 1 0 の中に導入される窒素の流速の関数として H f N 抵抗値特性の変化を示す。

10

【 0 0 4 0 】

図 4 および図 5 に示されるように、熱的アニールの処理後、結果として生じる膜 (H f O N) は誘電体の特性を示す。結果としての膜は非常に薄い厚みを有した高誘電率誘電体膜になる。それ故に、熱的アニールの際に、H f N 膜は酸素と反応して前述の条件を満足し H f O N を形成する (分子的な窒素は 6 0 0 では H f N と反応しない) 。

【 0 0 4 1 】

再び、S i / H f N 境界面において、S i は H f O N 膜を通り抜けて到来する酸素と反応し、非常に薄い S i O 層を形成する。より高い温度で H f と S i は境界面の近傍で合成され、H f S i O N を形成する。従って、結果として生じる膜は H f O N 、 H f S i O N 、および S i O を含む。図 4 および図 5 に示される膜に関して、概算された E O T および漏れ電流は、それぞれ、0 . 9 5 n m および 0 . 0 3 A / c m⁻² である。漏れ電流は - 1 . 2 ボルト (V) で概算され、それは - 0 . 2 ボルトの V_{fb} (フラットバンド電圧) から - 1 ボルトのより低い電圧である。

20

【 0 0 4 2 】

S i の酸化の程度と S i および H f の混合の程度とは、アニールの温度および時間に依存する。初期の H f N の厚みに依存して、最も低い E O T および / または最も低い漏れ電流を得るために最適なアニール温度とアニール時間が見出されなければならない。

【 0 0 4 3 】

膜堆積のプロセスの間、H f ターゲット 1 2 の中心とウェハーホルダ 1 1 との間の垂直な距離は 3 0 0 m m である。D C 電力によって生成されるプラズマは基本的に強い磁界によって H f ターゲット 1 2 の近傍に閉じ込められる。これらの 2 つの理由に基づいて、ウェハー表面上におけるプラズマ密度は無視できる程度により小さいものである。このように、前述した装置構成を用いた膜の堆積はリモートプラズマによる成膜として考えることができる。これらの事実のため、ウェハー 2 2 上に堆積する膜はプラズマによって誘導されるダメージを受けることはない。このことは、さらに、膜に対するプラズマ誘導ダメージの証拠が見出されない C V 測定および I V 測定によって確認される。

30

【 0 0 4 4 】

第 1 実施形態の変形例として、上記のハフニウム (H f) の代わりに、ゲート誘電体を得ることにおける初期の膜として、他の金属または金属窒化物を用いることができる。他の金属は元素の周期表の 3 族、4 族、または 5 族に属する特定の元素である。特定の元素に関するいくつかの例としては、Z r , L a , T i , T a 等のものである。当該特定の元素を一般的にシンボル " A " で示す場合に、堆積した窒化物質は A_xN_y として表現される。この場合において、窒化膜 (A_xN_y) における特定の元素 (A) と窒素 (N) は x と y の間で予め定められた割合関係を有している。具体的に y は窒化膜 (A_xN_y) に関してそのストチオメトリック値 (stoichiometric value) よりも小さいものとなっている。

40

【 0 0 4 5 】

同様にまた金属ゲートとして濃密にドーブされたポリシリコンを用いることができる。さらに、1 つのタイプの物質の代わりに、金属ゲートとして異なる金属 / 金属窒化物の組合せを用いることも可能である。金属ゲート物質のタイプに依存して、フラットバンド電圧はシフトし、作製された M O S デバイスの金属ゲートの仕事関数は変化する。

50

[実施形態 2]

【 0046 】

次に本発明の第2実施形態を説明する。第2実施形態の特徴は膜の準備手順にある。第2実施形態における膜の準備手順は次の通りである。

【 0047 】

(1) : ウェハ-は希釈されたHF溶液において洗浄され、元々のシリコン酸化物を除去する。

(2) : ウェハ-を乾燥する。

(3) : NH_3 のガス雰囲気中で500℃を越えて熱アニールする。

(4) : 反応性スパッタリング技術においてHfNを堆積する。

10

(5) : 約1%の含有率の酸素を含むほとんどが不活性ガスまたは N_2 の雰囲気において400℃を越えるより高い温度でウェハ-をアニールする。

【 0048 】

第2実施形態においてHfN膜の成膜前における初期のウェハ-の準備のみが第1実施形態に比較して変更される。上で説明したように、ウェハ-は希釈化されたHF溶液での洗浄の後であってHfNの成膜前に、 NH_3 のガス雰囲気中で熱的アニールを受ける。このアニールプロセスの間、シリコン窒化物(SiN_x)の薄い層がウェハ-表面上に形成される。代表的に、アニール時間とアニール温度は、1nmの厚みよりもより小さい厚みのシリコン窒化物膜を有するように制御される。しかしながら、このことは重要な要求ではない。このシリコン窒化物層は、その後の成膜アニールの間、Siウェハ-22への酸素の拡散を抑制する。Siウェハ-22への酸素の拡散は SiO_2 の形成の原因となり、それによってEOTの増加の原因となる。従ってシリコン窒化物層は、結果的に生じた膜のEOTを最小化することを支援する。

20

【 0049 】

前述した追加のステップを除いて、第2実施形態におけるすべてのその他の処理ステップおよび処理システムの構成は第1実施形態で説明したそれらと同じである。

[実施形態 3]

【 0050 】

次に本発明の第3実施形態を説明する。第3実施形態の特徴は同様にまた膜準備手順にある。第3実施形態における膜準備手順は次の通りである。第3実施形態において、初期のウェハ-準備の方法のみが変更される。

30

【 0051 】

(1) : ウェハ-は希釈化されたHF溶液で洗浄され元々存するシリコン酸化物が除去される。

(2) : ウェハ-を乾燥する。

(3) : CVDまたはRTPプロセスによって下地層と呼ばれる SiO_2 または SiON または Si_3N_4 の非常に薄い層を堆積する。

(4) : 反応性スパッタリング技術によってHfNを堆積する。

(5) : 約1%の含有率の酸素を含むほとんどが不活性ガスまたは N_2 の雰囲気において400℃を越えるより高い温度でウェハ-をアニールする。

40

【 0052 】

CVDまたはRTPによって堆積される SiO_2 層、 SiON 層、または Si_3N_4 層は、通常、およそ1nmまたはそれより小さく保持される。この層の使用することは、最終的な混成の誘電体物質の電気的特性を改善することである。

【 0053 】

前述した相違を除いて、すべての他の膜準備の方法は第1実施形態で説明されたそれらと同じである。

【 0054 】

図7と図8は、それぞれ、下地層が1.2nmの厚みを有する SiO_2 である処の結果的に生じた膜に関して、CV曲線とIV曲線を示す。図9と図10は、それぞれ、下地層

50

が 1.2 nm の厚みを有する SiON である処の結果的に生じた膜に関して、CV 曲線と IV 曲線を示す。これらの SiO₂ と SiON は RTP プロセスによって堆積されたものである。HfN は第 1 実施形態で与えられた条件の下で反応性スパッタリングによってこれらのウェハー上に堆積される。その後、当該膜は 900 の温度で 30 秒間熱的にアニールされる。その後、CV データと IV データが TaN 金属ゲート電極を用いて測定される。

【0055】

これらの膜の電気的特性の要約は図 11 に描かれた表で示される。

【0056】

その後の成膜のアニール温度およびアニール時間は電気的特性を最適化する上で重要である。前述したアニール時間およびアニール温度はおそらく最良な条件ではないということは留意すべきである。同様にまた RTP 法以外の異なるアニール技術を用いることも可能である。

10

【産業上の利用可能性】

【0057】

本発明は、ドーブされたシリコンまたはトープされた Si (シリコン) 化合物のウェハーの上で非常に薄いかつ均一な厚みを有する各種の金属酸化物膜または金属酸化窒化膜のごとき高誘電率誘電体膜であって、MOSFET デバイスのゲート誘電体層として用いられるものを堆積するのに使用される。

【図面の簡単な説明】

20

【0058】

【図 1】この図は HfN 成膜のために用いられる DC マグネトロン PVD 装置の構成図である。

【図 2】この図はゲート絶縁膜として高誘電率誘電体膜を形成するための工程図である。

【図 3】この図 (A), (B) は膜厚を示すウェハーの平面図 (A) と膜の規格化抵抗を示す直径ラインにおける縦方向の図 (B) である。

【図 4】この図は結果的に生じた誘電体膜に関して得られた CV データを示す特性グラフである。

【図 5】この図は結果的に得られた誘電体膜に関して得られた IV データを示す特性グラフである。

30

【図 6】この図は処理チャンバに導入された窒素の流速に対して HfN の抵抗値の変化を示す特性グラフである。

【図 7】この図は下地層が 1.2 nm の SiO₂ でありかつ HfN の厚みが 0.5 nm および 1 nm であるところの最終的誘電体膜に関する CV 曲線を示す特性グラフである。

【図 8】この図は下地層が 1.2 nm の SiO₂ および HfN の厚みが 0.5 nm および 1 nm であるときの最終的誘電体膜の IV 曲線を示す特性グラフである。

【図 9】この図は下地層が 1.2 nm の SiON でありかつ HfN の厚みが 0.5 nm および 1 nm であるときの最終的誘電体膜の CV 曲線を示す特性グラフである。

【図 10】この図は、下地層が 1.2 nm の SiON でありかつ HfN の厚みが 0.5 nm または 1 nm であるときの最終的誘電体膜の IV カーブを示す特性グラフである。

40

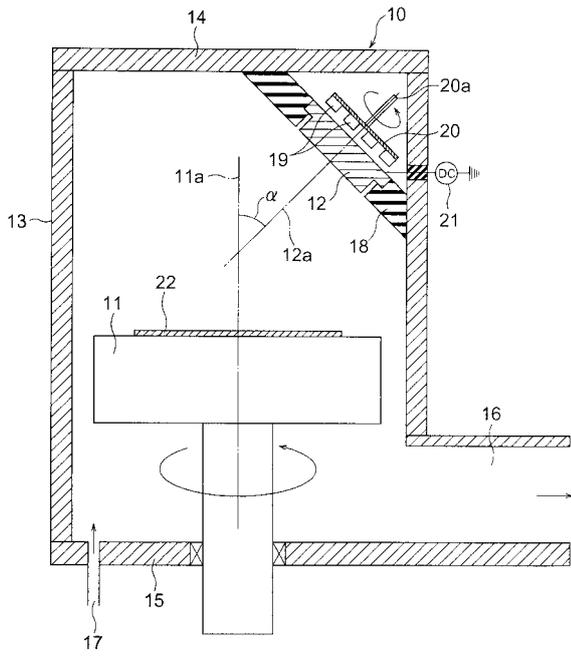
【図 11】この図は特別な元素の電気的属性の要約を示す表である。

【符号の説明】

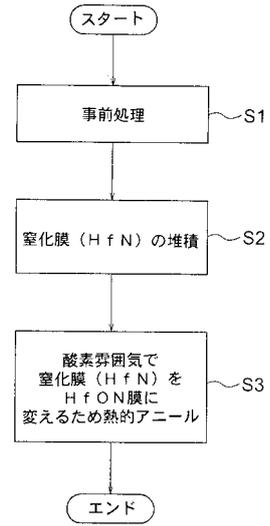
【0059】

10	PVD 処理チャンバ
11	ウェハーホルダ
12	ターゲット
19	マグネット配列
22	ウェハー

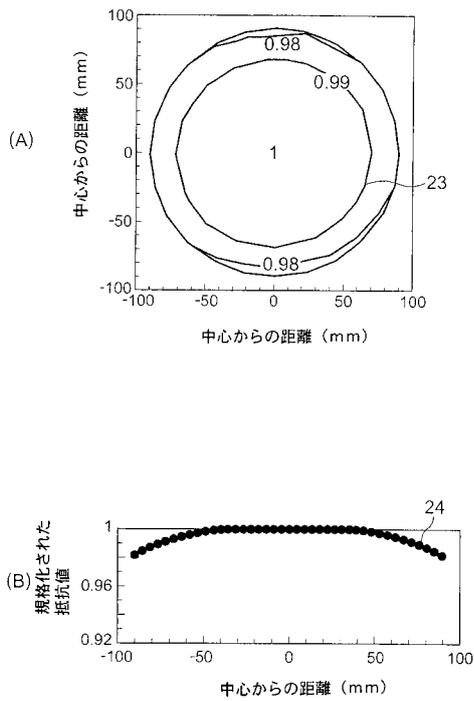
【 図 1 】



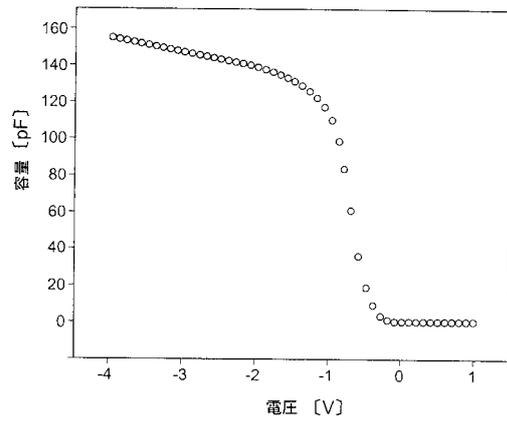
【 図 2 】



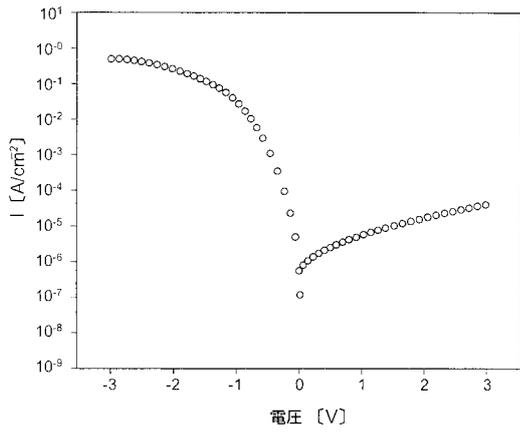
【 図 3 】



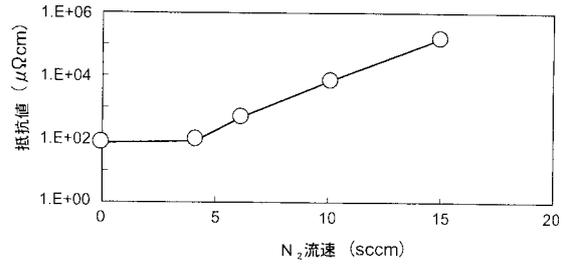
【 図 4 】



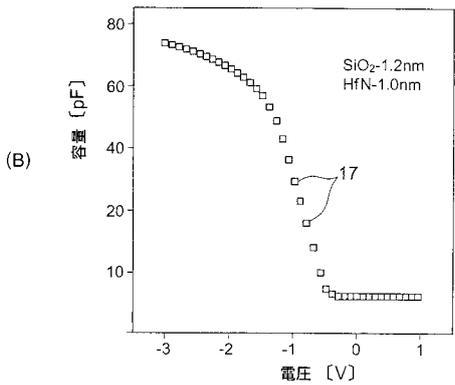
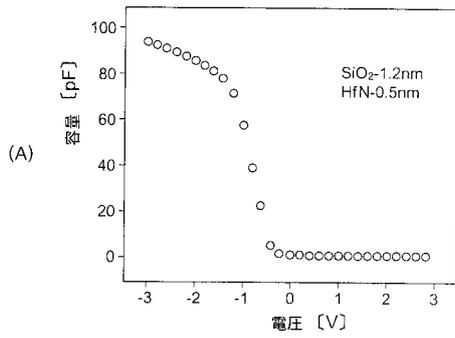
【 図 5 】



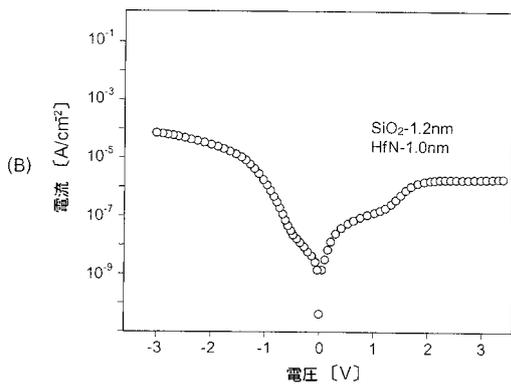
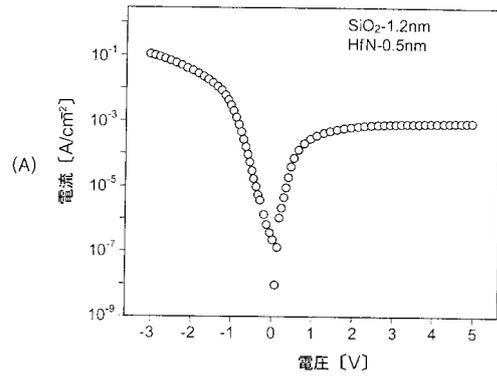
【 図 6 】



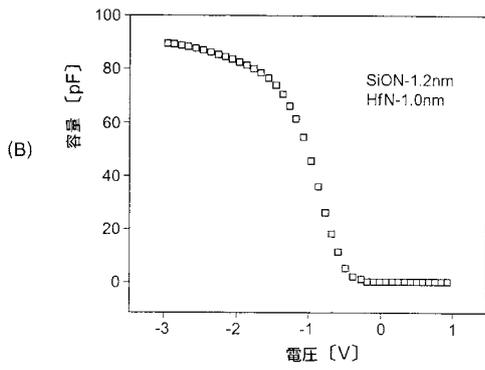
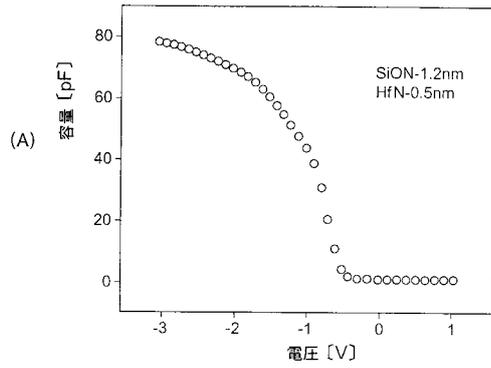
【 図 7 】



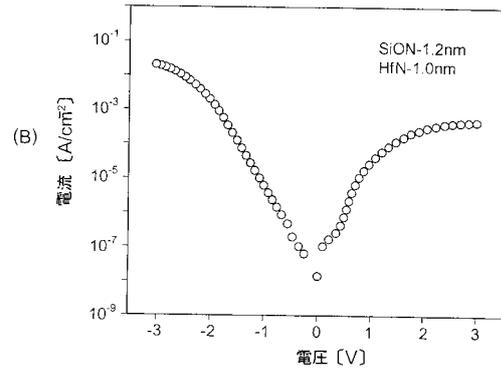
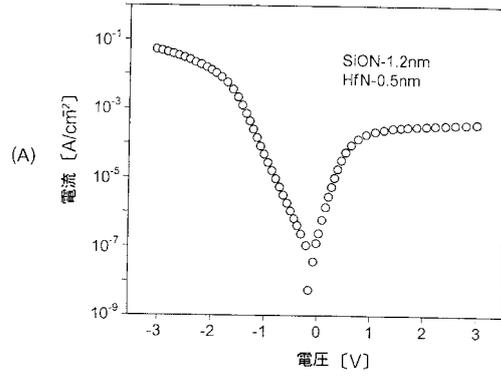
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

下地の厚み	HfN 厚み	EOT	V _{th}	漏れ電流 V _{th}
SiO ₂ (1.2 nm)	0.5 nm	1.63 nm	-0.71 V	1.08 × 10 ⁻³ A/cm ²
SiO ₂ (1.2 nm)	1.0 nm	1.81 nm	-1.04 V	2.00 × 10 ⁻⁶ A/cm ²
SiON (1.2 nm)	0.5 nm	1.79 nm	-0.91 V	6.74 × 10 ⁻⁶ A/cm ²
SiON (1.2 nm)	1.0 nm	1.66 nm	-0.95 V	5.65 × 10 ⁻⁶ A/cm ²

フロントページの続き

Fターム(参考) 5F140 AA24 AB03 BA05 BD02 BD04 BD05 BD07 BD09 BD11 BE01
BE02 BE08 BE09 BE10 BE16 BF01 BF10

【外国語明細書】

[Title of the Invention] Method of depositing a higher permittivity dielectric film

[Technical Field]

[0001]

The present invention relates to a method of depositing a high permittivity dielectric film, and more particularly, a method of depositing a high permittivity dielectric film such as various oxide films or nitride films with very thin and uniform thickness on a silicon layer in a substrate.

[Background Arts]

[0002]

In making MOSFET devices on a silicon substrate, for example, the deposition of very thin films of dielectric materials with permittivity considerably higher than SiO_2 will be very importance for future semiconductor devices. The thin higher permittivity dielectric film is used as a gate-dielectric layer in the MOSFET, for example. In detail, the high permittivity dielectric materials are expected for use in two different applications. The first application is to replace currently widely using SiO_2 , SiON and Si_3N_4 dielectric materials in CMOS transistor gate dielectrics. The second application is to fabricate capacitors with higher capacitance particularly for liquid crystal display panels.

[0003]

At present there are two basic techniques in depositing high permittivity dielectric materials. The first method is chemical vapor deposition (CVD) and the second method is physical vapor deposition (PVD).

[0004]

Even though there are many different techniques in depositing films by CVD method, basically only two methods are widely apply in industry.

In the first technique, a chemical precursor, preferably metal organic compound, is decomposed by a plasma or thermal energy and reacted with a suitable gas to form a desired higher permittivity dielectric material. This technique is usually referred to MO-CVD technique.

In the second method, two chemical agents are introduced to a substrate alternately having a time-break in between each gas introduction. During the time-break, first introduced gas is evacuated except molecules adsorbed on the substrate surface. When the second agent is introduced, it reacts with the surface adsorbed first gas molecules and forms a dielectric film. Then remaining excess gas is evacuated during the time break that goes until next gas introduction. This technique is referred to atomic layer deposition (ALD) technique.

[0005]

There are two basic requirements in depositing the high permittivity dielectric films on the silicon substrate as the gate dielectric in the CMOS applications. The first requirement is that the film has to be very thin. For example, most of the future CMOS devices need films with a physical thickness less than 3 nm. The second requirement is that thickness of the films has to be extremely uniform, for example, less than 1% (1%). Since these films are very thin, a slight non-uniform film significantly changes electrical properties, for example, capacitance and leakage current. With reference to these two basic requirements, demerits of above deposition techniques are discussed.

[0006]

As one of conventional techniques there is a patent document 1 disclosing a

method of depositing high dielectric oxide films directly on silicon layers using a reactive sputtering method or CVD, for example. This method has been proposed for forming a high dielectric oxide film directly on the silicon layer without degrading the properties of the high dielectric oxide film, such as the high dielectric or insulation. In accordance with the above-mentioned conventional method, first, the high dielectric nitride film is formed on the silicon layer, and afterward the high dielectric nitride film is changed to become the high dielectric oxide film by oxidizing it.

[Patent Document 1] JP-A-11-168096

[Disclosure of the Invention]

[Subject to be solved by the Invention]

[0007]

The subject of the invention is as follows: when fabricating a very thin dielectric film used as a gate-dielectric layer in the MOSFET on the silicon substrate, a uniform dielectric film with a higher permittivity is needed to be deposited.

[0008]

The object of the present invention is to provide a method of depositing a dielectric film with a very thin thickness, high uniformity of film quality, and higher permittivity, in the MOSFET on the silicon substrate.

[Means to solve the Problem]

[0009]

A method of depositing a high permittivity dielectric film of the present invention is configured as follows in order to attain the above-mentioned object.

[0010]

a method of depositing a high permittivity dielectric film on a doped silicon or silicon compound layer of a substrate is comprised of a first step of nitriding a specific element (A) to form a nitride film (A_xN_y) on the silicon layer, wherein the specific element (A) and nitrogen (N) in the nitride film (A_xN_y) have a predetermined fraction relationship between x and y; a second step of oxidizing the nitride film in an oxygen atmosphere to form the dielectric film (AON) which is oxidized and nitrided.

[0011]

In the above-mentioned method, preferably, the specific element (A) is any one which belongs to three, four or five family of periodic table of the elements.

[0012]

In the above-mentioned method, preferably, the specific element (A) and nitrogen (N) in the nitride film (A_xN_y) have a relationship that y is smaller than its stoichiometric value.

[0013]

In the above-mentioned method, preferably, the specific element (A) is hafnium (Hf).

[0014]

In the above-mentioned method, preferably, the hafnium (Hf) and nitrogen (N) in the nitride film (Hf_xN_y) have a relationship that $0 < y < 1.5$ for $x = 1$.

[0015]

In the above-mentioned method, preferably, the oxidation process in the second step is carried out through a thermal anneal process with a specific temperature.

perature included in a temperature range of 400-1000 .

[0016]

In the above-mentioned method, preferably, a reactive sputtering method is used for the film deposition.

[0017]

In the above-mentioned method, preferably, any one of SiO₂, SiN, SiON layer is arranged on said silicon layer first, then a high permittivity dielectric film (AON) is deposited.

[0018]

In the above-mentioned method, preferably, in the first step a flow rate of nitrogen gas (N₂) supplied for a nitriding process is any value included in a range of 1-15 sccm.

[Effect of the Invention]

[0019]

In accordance with the present invention, a new technique is provided in depositing very thin and very uniform dielectric films by PVD and thermal annealing processes, in which films are not subjected to plasma induced damages. It has been shown that this technique yields higher permittivity dielectric films with EOT (equivalent oxide thickness) <1 nm with leakage current smaller than 10⁻¹ A/cm².

[Best Working Examples for carrying out the Invention]

[0020]

Hereinafter, preferred working examples will be explained according to the attached drawings. Through the explanation of the working examples, the details of the present invention will be clarified.

[Working Example 1]

[0021]

A first working example of the present invention is explained with reference to Figs. 1 to 6. As one example, a schematic diagram of a PVD process chamber 10 is shown in Fig. 1. A method of depositing a high permittivity dielectric film in accordance with the present invention is carried out in order to form a gate insulation layer on the silicon wafer for making a gate electrode for MOSFET in the PVD process chamber.

[0022]

First the structure of the PVD process chamber 10 is explained. This process chamber 10 is comprised of a wafer holder 11, a target 12 which is also called as cathode and of a plate-shape, sidewalls 13, top plate 14, bottom plate 15, vacuuming port 16 and a gas inlet 17. The typical material of the target 12 is preferably hafnium (Hf). The target 12 is fixed to the walls or plates (13, 14) of the process chamber 10 through an insulator support plate 18 in an inclination position. It is electrically isolated from the rest of the process chamber 10 by the insulator support plate 18.

[0023]

On the upper or side of the target 12, there is a magnet arrangement 19 fixed to a rotatable support plate 20. The support plate 20 has a drive mechanism that is not shown in the figure. A reference number 20a designates a rotation axis. During the operation, the magnet arrangement 19 is rotated by an electrical motor included in the drive mechanism. The electrical motor and rotating mechanism for the magnet arrangement 19 is not shown in the Fig. 1.

[0024]

The above-mentioned target 12 is supplied with a DC electrical power to generate plasma from a DC power source 21. The use of the DC electrical power is not essential. Instead of the DC electrical power, a rf electrical power may be used to generate the plasma.

[0025]

The target 12 is preferably made of hafnium (Hf) with the purity of 99.99%. The target 12 is placed with a preferred predetermined angle with respect to a wafer or substrate 22, which is placed on the wafer holder 11. Again, axes 11a and 12a of the wafer holder 11 and the target 12 are not parallel and intersect at a predetermined angle (). They exist in the same plane. The angle () between these two axes 11a and 12a is smaller than 90° , and typically around 45° .

[0026]

The wafer holder 11 is rotated with a rotation speed of about 60 rpm etc. during the film deposition on the wafer 22. The rotation speed is not critical and can be varied in a wider range, for example, the range of 10-500 rpm. The wafer holder rotation mechanism is not shown in the figure.

[0027]

Next, the method or process of depositing the high permittivity dielectric film on the wafer 11 carried out in the above-mentioned PVD process chamber is explained in detail in reference to Fig. 2.

[0028]

The high permittivity dielectric film is formed on the surface of doped silicon (p-Si, n-Si) or doped silicon compound (doped SiGe: p-SiGe, n-SiGe, for example) wafer 22. The high permittivity dielectric film is used for the gate dielectric layer of MOSFETs in the CMOS devices fabricated on the wafer 22. It is very thin dielectric film with a higher permittivity larger than that of SiO_2 .

[0029]

As a process gas, Ar and N_2 is introduced to the process chamber 10 through the gas inlet 17. The inside pressure within the process chamber 10 is preferably maintained below 0.5 Pa. Sputtering is carried out by applying the DC electrical power to the Hf target 12.

[0030]

When carrying out the sputtering using the Hf target 12, the process chamber 10 has been introduced with a nitrogen (N_2)/Argon (Ar) mixture gas beforehand. Since there is the element of N_2 in the PVD process chamber 10, sputtered atoms Hf react with nitrogen radicals/ions and form HfN (nitride hafnium) film or layer on the surface of the wafer 22. A base material of the wafer 22 is silicon. The HfN film is formed on the doped silicon layer or SiGe etc.

[0031]

The Hf-base high permittivity dielectric film forming procedure goes as follows.

[0032]

(1): a wafer (the above-mentioned wafer 22) is cleaned in diluted HF solution to remove native silicon oxide (Step S1).

(2): Dry the wafer (Step S1).

(3): Deposit the HfN film on the wafer by reactive sputtering technique (Step S2).

(4): Anneal the wafer at a higher temperature over 400 in an almost inert gas or N_2 environment where oxygen content is about 1% (Step S3).

[0033]

First, the wafer is cleaned in a diluted HF solution to remove natural oxides and other dirt on the wafer surface and dried (Step S1). Secondly, the HfN film is deposited on the wafer surface by the reactive sputter deposition technique (Step S2). For the HfN deposition above-mentioned PVD process chamber 10 is used. Thirdly, the wafer is subjected to thermal annealing at a higher temperature over 400 (Step S3). The annealing pressure is not critical and can be varied from several Torr to atmospheric pressure. The annealing gas environment is almost an inert gas or N₂ gas, with about 1% of oxygen. Through the anneal process, the oxidization is carried out to the HfN film and the HfN film is changed to be a HfON film as a high permittivity dielectric film.

[0034]

In the above process of depositing or forming the high permittivity dielectric film using the Hf target 12, which is very thin and used as a gate dielectric, the hafnium (Hf) and nitrogen (N) in the nitride film (Hf_xN_y) have a relationship that $0 < y < 1.5$ for $x = 1$.

[0035]

After the above-mentioned film preparation, a TaN film is deposited on the HfN film as the gate electrode, patterned and etched to form metal-oxide-semiconductor (MOS) capacitors on the wafer 22. The CV (capacitance-voltage) and IV (current-voltage) properties of these MOS capacitors were investigated and estimated equivalent oxide thickness (EOT) and leakage current.

[0036]

The above-explained hardware yields extremely uniform film over 200 mm or 300 mm diameter wafers. Fig. 3 shows the HfN film uniformity over 200 mm wafer. Fig. 3(A) is a plan view of the wafer showing the film thickness and Fig. 3(B) is a longitudinal view in a diameter line showing the normalized resistivity of the film. The film thickness is monitored on 49 points distributed over 180 mm surface area and estimated the standard deviation () as 0.95%. The standard deviation represents the film non-uniformity. In Fig. 3, a reference number 23 designates uniformity contour lines and a reference number 24 designates a characteristic line formed by resistivity data.

[0037]

Figs. 4 and 5 shows electrical data as to the prepared Hafnium oxy-nitride film (HfON) obtained with the procedure explained before. Those HfON films are deposited with the following process and film parameters.

[0038]

Pressure	0.019 Pa
Ar gas flow rate	20 sccm
N ₂ gas flow rate	6 sccm
DC power	300 W
Deposition rate	2.4 nm/min
Deposition time	12.5 sec.
HfN film thickness	0.5 nm
HfN film resistivity	516 μ cm
HfN film uniformity	0.95 % (1)

[0039]

Figs. 4 and 5 show CV and IV characteristics of the prepared film, respectively. In this case, the original HfN film thickness that is before thermal annealing, is 0.5 nm. The thermal annealing is carried out at 600 for 30 sec in N₂ and O₂ (~1%) gas mixture under atmospheric pressure. The deposited HfN shows me

tallic behavior having a low resistivity. The resistivity of the HfN film varies with the nitrogen content in the film. Fig. 6 shows the variation of HfN resistivity as a function of nitrogen flow rate introduced into the process chamber 10 .

[0040]

As shown in Fig. 4 and 5, the resultant film (HfON) after the thermal annealing process shows dielectric behavior. The resultant film becomes a high permittivity dielectric film with very thin thickness. Therefore, during the thermal annealing, HfN film satisfied with the above-mentioned condition as reacted with oxygen and formed HfON (molecular nitrogen has no reaction with HfN at 600).

[0041]

Again, at the Si/HfN interface, Si reacts with oxygen, which is coming through HfON film and form a very thin layer of SiO. At this higher temperature, Hf and Si can mix at the vicinity of interface and form HfSiON. Accordingly, the resulted film contains HfON, HfSiON and SiO. The EOT and leakage current estimated for the film shown in Fig. 4 and 5 are 0.95 nm and 0.03 A/cm^{-2} , respectively. The leakage current is estimated at -1.2 V, that is -1 V from V_{fb} (flat-band voltage) of -0.2 V.

[0042]

The extent of Si oxidation and intermixing between Si and Hf depend on annealing temperature and time. Depending on the initial HfN thickness, one has to find optimized annealing temperature and time to get the lowest EOT and/or lowest leakage current.

[0043]

During the deposition process, the vertical distance between the center of the Hf target 12 and the wafer holder 11 is 300 mm. The plasma generated by DC electric power is basically confined at the vicinity of Hf target 12 by the strong magnetic field. Due to these two reasons, the plasma density over the wafer surface is negligibly smaller. Thus, the film deposition with the above-mentioned hardware can be considered as remote plasma deposition. Owing to these facts, the films deposited on the wafer 22 are not subject to plasma induced damages. This is further confirmed by CV and IV measurements, wherein there is no evidence for plasma-induced damages to the film.

[0044]

As the modifications of the first working example, it should be noted, that one can use a different metal or metal nitride as the initial film in obtaining gate dielectric instead of the above hafnium (Hf). The different metal is a specific element that belongs to third, fourth or fifth family of a periodic table of the elements. The examples as to the specific element are Zr, La, Ti, Ta and the like. When indicating the specific element as a symbol "A" in general, the deposited nitride material is expressed as $A_x N_y$. In this case, the specific element (A) and nitrogen (N) in the nitride film ($A_x N_y$) have a predetermined fraction relationship between x and y. Concretely, y is smaller than its stoichiometric value as to the nitride film ($A_x N_y$).

[0045]

Also one can use heavily doped poly-Si as the metal gate. Moreover, instead of one type of material, one can use a combination of different metal/metal nitride as the metal gate. Depending on the type of metal gate material, the flat-band voltage shift and metal gate work function of the fabricated MOS device changes.

[Working Example 2]

[0046]

Next, the second working example of the present invention is explained. The feature of the second working example is in the film preparation procedure. This film preparation procedure in the second working example is as follows.

[0047]

- (1): A wafer is cleaned in diluted HF solution to remove native silicon oxide.
- (2): Dry the wafer.
- (3): Thermal annealing over 500 in NH_3 gas environment.
- (4): Deposit HfN by the reactive sputtering technique.
- (5): Anneal the wafer at a higher temperature over 400 in an almost inert gas or N_2 environment where oxygen content is about 1%.

[0048]

In the second working example only the initial wafer preparation before HfN film depositing has been changed compared to the first working example. As explained above, the wafers are subjected to a thermal annealing in NH_3 gas ambient after cleaning in diluted HF solution and before HfN deposition. During this annealing process a thin layer of silicon nitride (SiN_x) is formed on the wafer surface. Typically, annealing time and temperature is controlled to have a silicon nitride film less than 1 nm thickness. However, this is not a critical requirement. This silicon nitride layer suppresses oxygen diffusion to the Si wafer during post deposition annealing. Oxygen diffusion to the Si wafer causes formation of SiO_2 and thereby an increase of EOT. Accordingly, the silicon nitride layer assists to minimize EOT of the resultant film.

[0049]

Except the above-mentioned additional step, all the other processing steps and the configuration of the processing system in the second working example are the same as those explained in first working example.

[Working Example 3]

[00050]

Next, the third working example of the present invention is explained. The feature of the third working example is also in the film preparation procedure. This film preparation procedure in the third working example is as follows. In the third working example, only the initial wafer preparation method is changed.

[0051]

- (1): A wafer is cleaned in diluted HF solution to remove native silicon oxide.
- (2): Dry the wafer.
- (3): Deposit very thin layer of SiO_2 or SiON or Si_3N_4 by CVD or RTP process which is called as underlayer.
- (4): Deposit HfN by the reactive sputtering technique.
- (5): Anneal the wafer at a higher temperature over 400 in an almost inert gas or N_2 environment where oxygen content is about 1%.

[0052]

The SiO_2 , SiON or Si_3N_4 layer deposited by CVD or RTP is usually kept around 1 nm or smaller. The use of this layer is to improve electrical characteristics of the final composite dielectric material.

[0053]

Except the above-mentioned differences, all the other film preparation meth

od is the same as those explained in the first working example.

[0054]

Figs. 7 and 8 show CV and IV curves, respectively, for the resulted films in which the underlayer is SiO₂ with thickness of 1.2 nm. Figs. 9 and 10 shows CV and IV curves, respectively, for the resulted films in which the underlayer is SiON with thickness of 1.2 nm. These SiO₂ and SiON were deposited by RTP process. HfN was deposited on these wafers by the reactive sputtering under the condition given in the first working example. Then the films are thermally annealed at 900 for 30 sec. Thereafter, CV and IV data were measured using TaN metal gate electrode.

[0055]

A summary of electrical properties of these films is indicated on a table shown in Fig. 11.

[0056]

The post deposition annealing temperature and annealing time is critical in optimizing electrical properties. It should be noted that the above-explained annealing time and temperature are perhaps not the best condition. Also one can use a different annealing technique other than RTP method.

[Usability in Industry]

[0057]

The present invention is used for depositing a high permittivity dielectric film such as various metal oxide films or metal oxy-nitride films with very thin and uniform thickness on the doped silicon or Si compound wafer, which is used as a gate dielectric layer for MOSFET device.

[Explanation of Figure]

[0058]

[Fig. 1]

This figure is a schematic view of a DC magnetron PVD system used for HfN film deposition.

[Fig. 2]

This figure is a process views for forming a high permittivity dielectric film as a gate insulation film.

[Fig. 3]

This figure ((A), (B)) is a plan view (A) of the wafer showing the film thickness and a longitudinal view (B) in a diameter line showing the normalized resistivity of the film.

[Fig. 4]

This figure is a characteristic graph showing CV data obtained for the resulted dielectric film.

[Fig. 5]

This figure is a characteristic graph showing IV data obtained for the resulted dielectric film.

[Fig. 6]

This figure is a characteristic graph showing the variation of HfN resistivity against the nitrogen flow rate introduced into the process chamber.

[Fig. 7]

This figure is characteristic graphs showing CV curves for final dielectric films wherein underlayer is 1.2 nm SiO₂ and HfN thickness is 0.5 nm and 1 nm.

[Fig. 8]

This figure is characteristic graphs showing IV curves for final dielectric

films wherein underlayer is 1.2 nm SiO₂ and HfN thickness is 0.5 nm and 1 nm.

[Fig. 9]

This figure is characteristic graphs showing CV curves for final dielectric films wherein underlayer is 1.2 nm SiON and HfN thickness is 0.5 nm and 1 nm.

[Fig. 10]

This figure is characteristic graphs showing IV curves for final dielectric films wherein underlayer is 1.2 nm SiON and HfN thickness is 0.5 nm and 1 nm.

[Fig. 11]

This figure is a table showing a summary of electrical properties of the specific films

[Explanation of Reference Signs]

[0059]

10	PVD process chamber
11	Wafer holder
12	Target
19	Magnet arrangement
22	Wafer

[Claim 1]

A method of depositing a high permittivity dielectric film on a doped silicon or silicon compound layer of a substrate is comprised of:

a first step of nitriding a specific element (A) to form a nitride film (A_xN_y) on said silicon layer, wherein said specific element (A) and nitrogen (N) in said nitride film (A_xN_y) have a predetermined fraction relationship between x and y;

a second step of oxidizing said nitride film in an oxygen atmosphere to form said dielectric film (AON) which is oxidized and nitrated.

[Claim 2]

A method of depositing a high permittivity dielectric film according to claim 1, wherein said specific element (A) is any one which belongs to three, four or five family of periodic table of the elements.

[Claim 3]

A method of depositing a high permittivity dielectric film according to claim 1, wherein said specific element (A) and nitrogen (N) in said nitride film (A_xN_y) have a relationship that y is smaller than its stoichiometric value.

[Claim 4]

A method of depositing a high permittivity dielectric film according to claim 2, wherein said specific element (A) is hafnium (Hf).

[Claim 5]

A method of depositing a high permittivity dielectric film according to claim 4, wherein said hafnium (Hf) and nitrogen (N) in said nitride film (Hf_xN_y) have a relationship that 0 < y < 1.5 for x = 1.

[Claim 6]

A method of depositing a high permittivity dielectric film according to any one of claims 1-5, wherein the oxidization process in said second step is carried out through a thermal anneal process with a specific temperature included in a temperature range of 400-1000 .

[Claim 7]

A method of depositing a high permittivity dielectric film according to any one of claims 1-6, wherein a reactive sputtering method is used for the film d

eposition.

[Claim 8]

A method of depositing a high permittivity dielectric film according to claim 1, wherein any one of SiO_2 , SiN , SiON layers is arranged on said silicon layer, and in said second step another high permittivity dielectric film (AON) is deposited.

[Claim 9]

A method of depositing a high permittivity dielectric film according to claim 1, wherein in said first step a flow rate of nitrogen gas (N_2) supplied for a nitriding process is any value included in a range of 1-15 sccm.

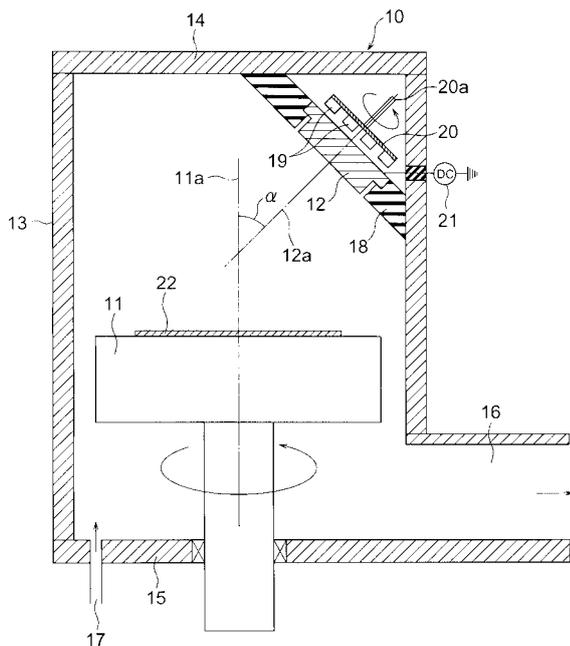
[Abstract]

[Subject] To provide a method of depositing a dielectric film with a very thin thickness, high uniformity of film quality, and higher permittivity, in the MOSFET on the silicon substrate.

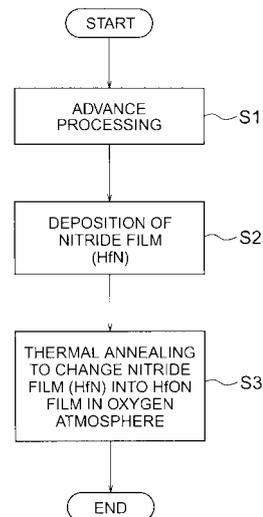
[Means to solve the Problem] This method is of depositing a high permittivity dielectric film on a doped silicon or silicon compound layer of a wafer 22. The method is comprised of a first step of nitriding a specific element (A) such as hafnium Hf to form a nitride film (A_xN_y) on the silicon layer, wherein the specific element (A) and nitrogen (N) in the nitride film (A_xN_y) have a predetermined fraction relationship between x and y; a second step of oxidizing the nitride film in a oxygen atmosphere to form the dielectric film (AON).

[Representative Figure] Fig. 2

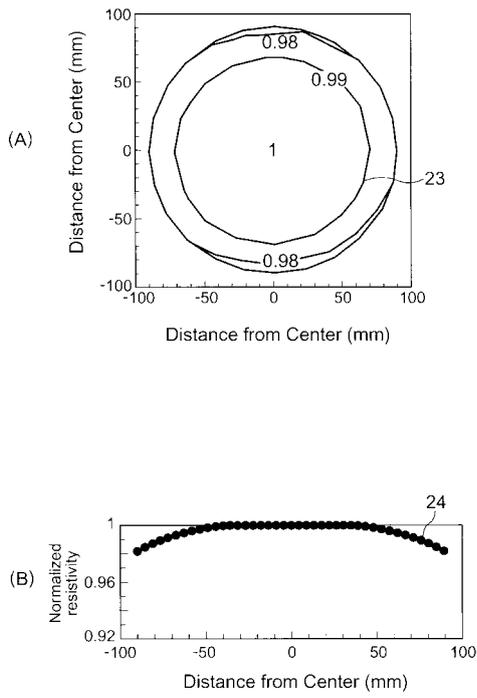
【 Fig. 1 】



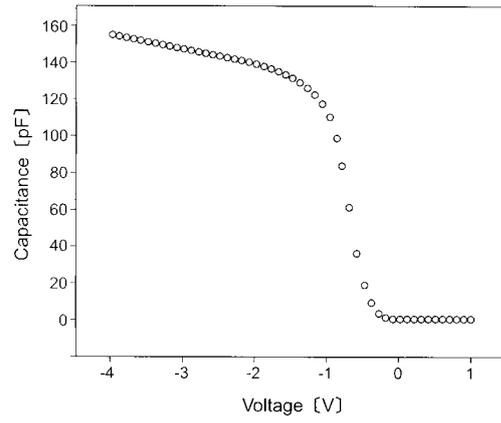
【 Fig. 2 】



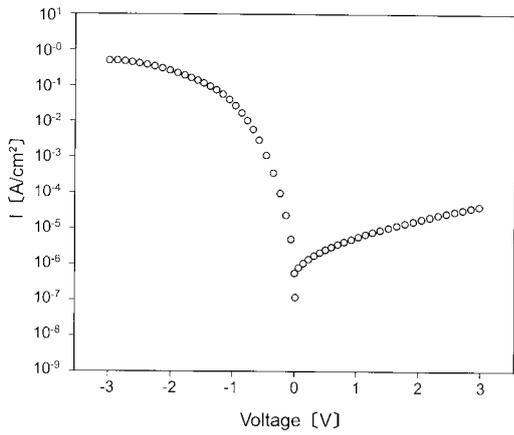
【 Fig. 3 】



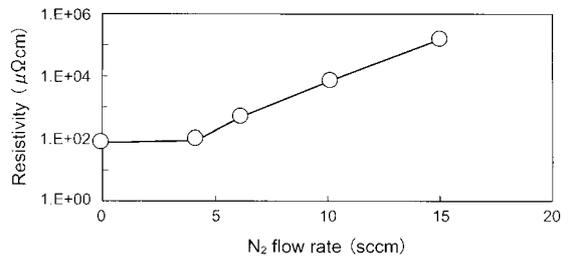
【 Fig. 4 】



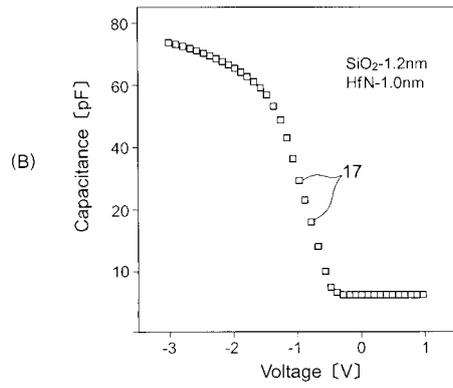
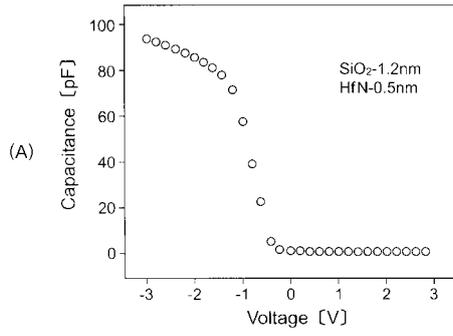
【 Fig. 5 】



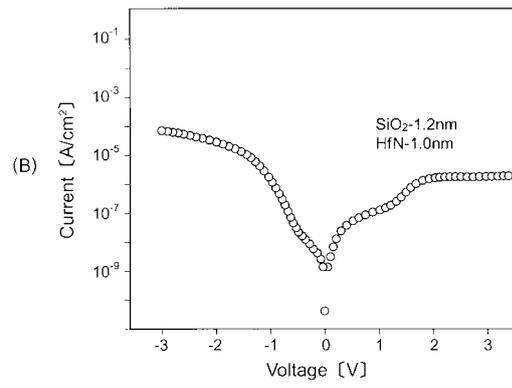
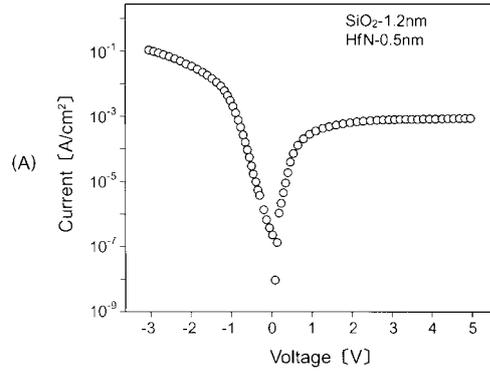
【 Fig. 6 】



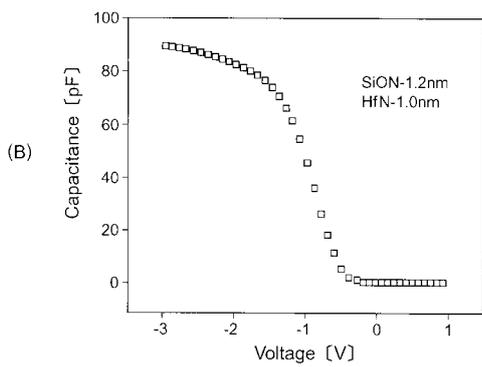
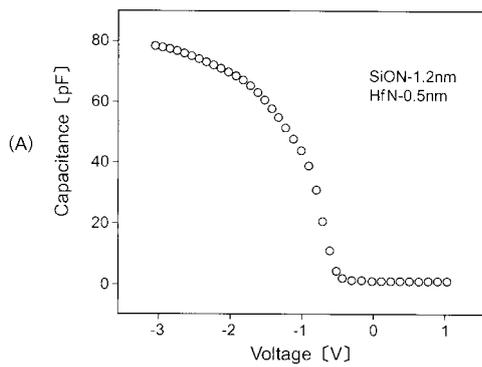
【 Fig. 7 】



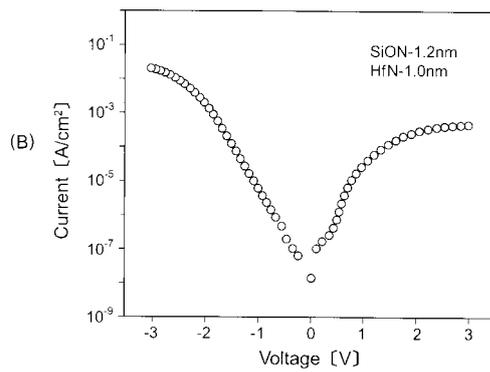
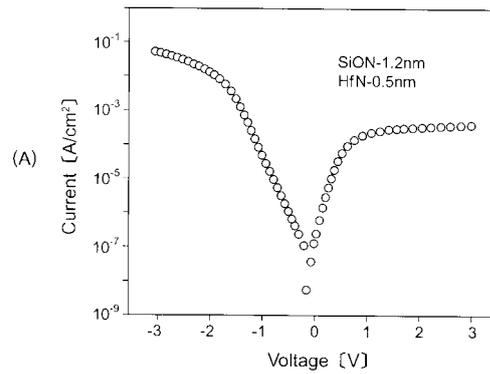
【 Fig. 8 】



【 Fig. 9 】



【 Fig. 10 】



【 Fig. 11 】

Underlayer Thickness	HFN thickness	EOT	V_b	Leakage current at V_b
SiO ₂ (1.2 nm)	0.5 nm	1.63 nm	-0.71 V	1.08×10^{-3} A/cm ²
SiO ₂ (1.2 nm)	1.0 nm	1.81 nm	-1.04 V	2.00×10^{-6} A/cm ²
SiON (1.2 nm)	0.5 nm	1.79 nm	-0.91 V	6.74×10^{-6} A/cm ²
SiON (1.2 nm)	1.0 nm	1.66 nm	-0.95 V	5.65×10^{-6} A/cm ²