(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년12월29일
(11) 등록번호 10-2482147
(24) 등록일자 2022년12월23일

(51) 국제특허분류(Int. Cl.)
G11C 17/16 (2006.01) *G11C 17/18* (2021.01)
G11C 8/08 (2006.01)
(52) CPC특허분류
G11C 17/16 (2013.01)
G11C 17/18 (2013.01)
(21) 출원번호 10-2021-0102526
(22) 출원일자 2021년08월04일
심사청구일자 2021년08월04일
(56) 선행기술조사문헌
KR1020110078735 A*
KR1020130090714 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 키파운드리
충청북도 청주시 흥덕구 대신로 215 (향정동)
(72) 발명자
박성준
경기도 수원시 영통구 대학로 98, 8105동 1202호 (이의동, 광교 호반베르디움 트라엘)
조종민
충청북도 청주시 흥덕구 2순환로 959, 하이닉스 기숙사 행복1동 744호 (향정동)
(뒷면에 계속)
(74) 대리인
김종선, 이형석

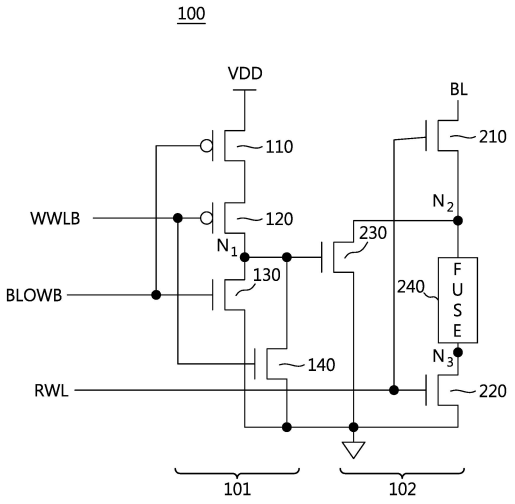
전체 청구항 수 : 총 13 항 심사관 : 윤석채

(54) 발명의 명칭 **이퓨즈 OTP 메모리**

(57) 요 약

본 발명은 종래보다 셀 면적을 감소시키도록 한 이퓨즈 셀(eFuse cell) 및 이를 포함하는 eFuse OTP 메모리를 제안한다. 본 발명에서 이퓨즈 셀(eFuse cell)은, 프로그램 여부 선택(BLOWB) 신호를 인가 받는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터, 프로그램 동작을 위한 쓰기 워드 라인(WWLB) 신호를 인가 받는 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터, 읽기 동작을 위한 읽기 워드 라인(RWL) 신호를 인가 받는 제1 읽기 NMOS 트랜지스터 및 제2 읽기 NMOS 트랜지스터, 퓨징을 위해 프로그램 전류를 흐르도록 제어하는 프로그램 트랜지스터, 상기 제1 읽기 NMOS 트랜지스터와 제2 읽기 NMOS 트랜지스터 사이의 이퓨즈를 포함하여 구성된다. 종래 이퓨즈 셀(eFuse cell)에 필요한 16개의 트랜지스터와 비교하면 7개의 트랜지스터만으로 이퓨즈 셀(eFuse cell)을 설계할 수 있어, 셀 면적을 작게 할 수 있다.

대 표 도 - 도2a



(52) CPC특허분류
G11C 8/08 (2013.01)
(72) 발명자
박성범
경기도 성남시 분당구 돌마로486번길 7, 209동 1301호 (서현동, 효자촌동아)
안기식
경기도 화성시 동탄반석로 41, 618동 801호 (반송동, 나루마을신도브래뉴)

명 세 서

청구범위

청구항 1

복수의 이퓨즈 단위 셀들을 포함하는 이퓨즈 셀 어레이(eFuse cell array)를 포함하고,

상기 이퓨즈 단위 셀은,

프로그램 여부 선택(BLOWB) 신호를 제공받는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터;

프로그램 동작을 위한 쓰기 워드 라인(WWLB) 신호를 제공받는 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터;

읽기 동작을 위한 읽기 워드 라인(RWL) 신호를 제공받는 제1 읽기 NMOS 트랜지스터 및 제2 읽기 NMOS 트랜지스터;

상기 제1 읽기 NMOS 트랜지스터와 상기 제2 읽기 NMOS 트랜지스터 사이의 퓨즈; 및

상기 퓨즈를 프로그램 하기 위해 프로그램 전류를 흐르도록 제어하는 프로그램 트랜지스터를 포함하는, eFuse OTP 메모리.

청구항 2

제 1 항에 있어서,

상기 이퓨즈 단위 셀(eFuse cell)을 이용한 프로그램 동작 시,

상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인(WWLB) 신호 및 읽기 워드 라인(RWL) 신호에 로우(low)가 인가되어, 상기 프로그램 트랜지스터는 턴-온(turn-on)되고, 상기 퓨즈는 프로그램 되는, eFuse OTP 메모리.

청구항 3

제 1 항에 있어서,

상기 이퓨즈 단위 셀(eFuse cell)을 이용한 읽기 동작 시,

상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인 (WWLB) 신호 및 읽기 워드 라인 (RWL) 신호에 high가 인가되어,

상기 제1 읽기 NMOS 트랜지스터, 퓨즈 및 제2 읽기 NMOS 트랜지스터를 통해 읽기 전류 경로가 형성되는, eFuse OTP 메모리.

청구항 4

제 1 항에 있어서,

워드 라인 구동부를 더 포함하고,

상기 워드 라인 구동부는 상기 쓰기 워드 라인(WWLB) 신호 및 읽기 워드 라인(RWL) 신호를 활성화하여 상기 이퓨즈 단위 셀(eFuse cell)에 공급하고,

어드레스 디스에이블(address disable) 상태에서는,

상기 쓰기 워드 라인 (WWLB) 신호는 하이 레벨(high level) 상태가 유지되고,

상기 읽기 워드 라인 (RWL) 신호는 로우 레벨(low level) 상태가 유지되는, eFuse OTP 메모리.

청구항 5

이퓨즈 셀 어레이(eFuse cell array)를 구성하는_제1 영역과 제2 영역을 포함하는 이퓨즈 단위 셀을 포함하고,

상기 제1 영역에는 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터를

포함하고,

상기 제1 PMOS 트랜지스터는 게이트에 프로그램 여부 선택(BLOWB) 신호가 공급되며, 일측 단자가 전원 전압(VDD)를 공급 받고, 타측 단자가 상기 제2 PMOS 트랜지스터에 연결되고,

상기 제2 PMOS 트랜지스터는 게이트에 쓰기 워드 라인 (WWLB) 신호가 공급되며, 일측 단자가 상기 제1 PMOS 트랜지스터에 연결되고, 타측 단자로부터 제1 공통 노드에 게이트 노드 전압이 출력되고,

상기 제1 NMOS 트랜지스터는 게이트에 상기 프로그램 여부 선택(BLOWB) 신호가 공급되며, 일측 단자가 상기 제2 PMOS 트랜지스터에 연결되고, 타측 단자가 접지 전압에 연결되며,

상기 제2 NMOS 트랜지스터는 게이트에 상기 쓰기 워드 라인 (WWLB) 신호가 공급되며, 일측 단자가 상기 제1 공통 노드에 연결되고, 타측 단자가 접지 전압에 연결되는, eFuse OTP 메모리.

청구항 6

제5 항에 있어서,

상기 제1 공통 노드는 상기 제1 NMOS 트랜지스터와 상기 제2 PMOS 트랜지스터 사이에 배치되고,

상기 게이트 노드 전압은 프로그램 트랜지스터의 게이트에 공급되는, eFuse OTP 메모리.

청구항 7

제5 항에 있어서,

상기 제2 영역에는 제1 읽기 NMOS 트랜지스터, 제2 읽기 NMOS 트랜지스터, 프로그램 트랜지스터 및 퓨즈를 포함하고,

상기 제1 읽기 NMOS 트랜지스터는 게이트에 읽기 워드 라인 (RWL) 신호가 공급되고, 일측 단자에 Bit line 신호가 공급되고, 타측 단자는 제2 공통 노드를 통해 상기 퓨즈에 연결되고,

상기 제2 읽기 NMOS 트랜지스터는 게이트에 상기 읽기 워드 라인 (RWL) 신호가 공급되고, 일측 단자는 제3 공통 노드를 통해 상기 퓨즈에 연결되고, 타측 단자가 접지 전압에 연결되며,

상기 프로그램 트랜지스터는 일측 단자가 상기 제2 공통 노드를 통해 상기 제1 읽기 NMOS 트랜지스터의 타측 단자에 연결되고, 타측 단자가 접지 전압에 연결되며,

상기 퓨즈는 일측 단자가 상기 제1 읽기 NMOS 트랜지스터와 상기 프로그램 트랜지스터 사이의 상기 제2 공통 노드에 연결되고, 타측 단자가 상기 제3 공통 노드를 통해 상기 제2 읽기 NMOS 트랜지스터와 연결되는, eFuse OTP 메모리.

청구항 8

제7 항에 있어서,

상기 프로그램 트랜지스터는 NMOS 트랜지스터인, eFuse OTP 메모리.

청구항 9

제7 항에 있어서,

상기 제2 읽기 NMOS 트랜지스터와 상기 퓨즈 사이의 상기 제3 공통 노드는 프로그램 전류 제어부와 연결되고,

상기 프로그램 전류 제어부는 상기 프로그램 전류를 제공하는, eFuse OTP 메모리.

청구항 10

제 7 항에 있어서,

상기 이퓨즈 단위 셀(eFuse cell)을 이용한 프로그램 동작 시,

상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인(WWLB) 신호 및 읽기 워드 라인(RWL) 신호에 로우(low)가 인가되어, 상기 프로그램 트랜지스터는 턴-온(turn-on)되고, 상기 퓨즈는 프로그램 되는, eFuse OTP 메모리.

청구항 11

제 7 항에 있어서,

상기 이퓨즈 단위 셀(eFuse cell)을 이용한 읽기 동작 시,

상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인(WWLB) 신호 및 읽기 워드 라인(RWL) 신호에 high가 인가되어,

상기 제1 읽기 NMOS 트랜지스터, 퓨즈 및 제2 읽기 NMOS 트랜지스터를 통해 읽기 전류 경로가 형성되는, eFuse OTP 메모리.

청구항 12

제1항에 있어서,

상기 프로그램 전류를 공급하는 프로그래밍 전류 구동부;

비트라인을 제공받는 비트라인 센스 앰프;

상기 쓰기 워드 라인(WWLB) 신호 또는 읽기 워드 라인(RWL) 신호를 활성화하는 워드라인 구동부; 및

상기 프로그래밍 전류 구동부, 비트라인 센스 앰프, 워드 라인 구동부에 제어신호를 공급하는 제어로직를 더 포함하는, eFuse OTP 메모리.

청구항 13

제5항에 있어서,

프로그램 전류를 공급하는 프로그래밍 전류 구동부;

비트라인을 제공받는 비트라인 센스 앰프;

쓰기 워드 라인(WWLB) 신호 또는 읽기 워드 라인(RWL) 신호를 활성화하는 워드라인 구동부; 및

상기 프로그래밍 전류 구동부, 비트라인 센스 앰프, 워드 라인 구동부에 제어신호를 공급하는 제어로직를 더 포함하는, eFuse OTP 메모리.

발명의 설명

기 술 분 야

[0001] 본 발명은 이퓨즈 셀(eFuse cell)에 사용되는 회로 소자의 개수를 최소화하여 설계함으로써 종래보다 셀 면적을 감소시키도록 한 이퓨즈 셀(eFuse cell) 및 이를 포함하는 eFuse OTP 메모리에 관한 것이다.

배 경 기 술

[0002] PMIC(Power Management IC)와 같은 파워 IC는 비휘발성(non-volatile) OTP(One time programmable) 메모리를 필요로 한다. 비휘발성 OPT 메모리는 간편한 구동 방식과 작은 면적을 포함하는 이퓨즈(eFuse) 방식의 OTP 메모리가 많이 사용된다.

[0003] 이퓨즈 방식의 OTP 메모리는 폴리-실리콘 퓨즈(poly-silicon fuse)나 금속 퓨즈(metal fuse)에 10mA ~ 30mA 정도의 과전류를 흘려 퓨즈를 블로잉(blowing)하여 끊어주는 방식으로 프로그래밍하며, 프로그램 이전과 이후 저항 값을 이용하여 데이터를 판정한다.

[0004] 이러한 이퓨즈 OTP 메모리 소자의 이퓨즈 단위 셀에는 여러 기능을 하기 위한 다수의 트랜지스터들이 구성한다. 이퓨즈 셀(eFuse cell)에 많은 트랜지스터들로 인해, 이퓨즈 OTP 메모리 소자의 면적을 크게 하는 원인이 된다. 단위 셀로 구성된 셀 어레이 면적이 그 만큼 커지는 문제가 있다. 그래서 소형화된 메모리 소자를 디자인하는데 어려움을 초래하였고 메모리 소자가 적용된 제품 경쟁력을 떨어뜨리는 문제를 초래했다.

발명의 내용

해결하려는 과제

[0005] 이러한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 이퓨즈 셀(eFuse cell) 내에 사용되는 트랜지스터의 개수를 최소화하여 종래보다 eFuse OTP 메모리 셀의 면적을 작게 설계할 수 있는 eFuse OTP 메모리를 제공하는 것이다.

과제의 해결 수단

[0006] 이와 같은 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 eFuse OTP 메모리는, 이퓨즈 셀(eFuse cell)을 포함하고, 상기 이퓨즈 셀(eFuse cell)은 프로그램 여부 선택(BLOWB) 신호를 제공받는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터; 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호를 제공받는 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터; 읽기 동작을 위한 읽기 워드 라인 (RWL) 신호를 제공받는 제1 읽기 NMOS 트랜지스터 및 제2 읽기 NMOS 트랜지스터; 상기 제1 읽기 NMOS 트랜지스터와 상기 제2 읽기 NMOS 트랜지스터 사이의 퓨즈; 및 상기 퓨즈를 프로그램 하기 위해 프로그램 전류를 흐르도록 제어하는 프로그램 트랜지스터를 포함하여 구성되는 것을 특징으로 한다.

[0007] 상기 이퓨즈 셀(eFuse cell)을 이용한 프로그램 동작 시, 상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인 (WWLB) 신호 및 읽기 워드 라인 (RWL) 신호에 로우(low)가 인가되어, 상기 프로그램 트랜지스터는 턴-온(turn-on)되고, 상기 퓨즈는 프로그램 된다.

[0008] 상기 이퓨즈 셀(eFuse cell)을 이용한 읽기 동작 시, 상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인 (WWLB) 신호 및 읽기 워드 라인 (RWL) 신호에 high가 인가되어, 상기 제1 읽기 NMOS 트랜지스터, 퓨즈 및 제2 읽기 NMOS 트랜지스터를 통해 읽기 전류 경로가 형성된다.

[0009] 본 발명의 eFuse OTP 메모리는 워드 라인 구동부를 더 포함하고, 상기 워드 라인 구동부는 상기 쓰기 워드 라인 (WWLB) 신호 및 읽기 워드 라인 (RWL) 신호를 활성화하여 상기 이퓨즈 셀(eFuse cell)에 공급하고, 어드레스 디스에이블(address disable) 상태에서는, 상기 쓰기 워드 라인 (WWLB) 신호는 하이 레벨(high level) 상태가 유지되고, 상기 읽기 워드 라인 (RWL) 신호는 로우 레벨(low level) 상태가 유지된다.

[0010] 본 발명의 다른 실시 예에 따른 eFuse OTP 메모리는, 제1 영역과 제2 영역을 포함하는 이퓨즈 셀을 포함하고, 상기 제1 영역에는 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 트랜지스터는 게이트에 프로그램 여부 선택(BLOWB) 신호가 공급되며, 일측 단자가 전원 전압(VDD)를 공급 받고, 타측 단자가 상기 제2 PMOS 트랜지스터에 연결되고, 상기 제2 PMOS 트랜지스터는 게이트에 쓰기 워드 라인 (WWLB) 신호가 공급되며, 일측 단자가 상기 제1 PMOS 트랜지스터에 연결되고, 타측 단자로부터 제1 공통 노드에 게이트 노드 전압이 출력되고, 상기 제1 NMOS 트랜지스터는 게이트에 상기 프로그램 여부 선택(BLOWB) 신호가 공급되며, 일측 단자가 상기 제2 PMOS 트랜지스터에 연결되고, 타측 단자가 접지 전압에 연결되며, 상기 제2 NMOS 트랜지스터는 게이트에 상기 쓰기 워드 라인 (WWLB) 신호가 공급되며, 일측 단자가 상기 제1 공통 노드에 연결되고, 타측 단자가 접지 전압에 연결된다.

[0011] 상기 제1 공통 노드는 상기 제1 NMOS 트랜지스터와 상기 제2 PMOS 트랜지스터 사이에 배치되고, 상기 게이트 노드 전압은 상기 프로그램 트랜지스터의 게이트에 공급된다.

[0012] 상기 제2 영역에는 제1 읽기 NMOS 트랜지스터, 제2 읽기 NMOS 트랜지스터, 프로그램 트랜지스터 및 퓨즈를 포함하고, 상기 제1 읽기 NMOS 트랜지스터는 게이트에 읽기 워드 라인 (RWL) 신호가 공급되고, 일측 단자에 Bit line 신호가 공급되고, 타측 단자는 제2 공통 노드를 통해 상기 퓨즈에 연결되고, 상기 제2 읽기 NMOS 트랜지스터는 게이트에 상기 읽기 워드 라인 (RWL) 신호가 공급되고, 일측 단자는 제3 공통 노드를 통해 상기 퓨즈에 연결되고, 타측 단자가 접지 전압에 연결되며, 상기 프로그램 트랜지스터는 일측 단자가 상기 제2 공통 노드를 통해 상기 제1 읽기 NMOS 트랜지스터의 타측 단자에 연결되고, 타측 단자가 접지 전압에 연결되며, 상기 퓨즈는 일측 단자가 상기 제1 읽기 NMOS 트랜지스터와 상기 프로그램 트랜지스터 사이의 상기 공통 연결 단자에 연결되고, 타측 단자가 상기 제3 공통 노드를 통해 상기 제2 읽기 NMOS 트랜지스터와 연결된다.

[0013] 상기 프로그램 트랜지스터는 NMOS 트랜지스터이다.

[0014] 상기 제2 읽기 NMOS 트랜지스터와 상기 퓨즈 사이의 상기 제3 공통 노드는 프로그램 전류 제어부와 연결되고, 상기 프로그램 전류 제어부는 상기 프로그램 전류를 제공한다.

[0015] 상기 이퓨즈 셀(eFuse cell)을 이용한 프로그램 동작 시, 상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라

인 (WWLB) 신호 및 읽기 워드 라인 (RWL) 신호에 로우(low)가 인가되어, 상기 프로그램 트랜지스터는 턴-온(turn-on)되고, 상기 퓨즈는 프로그램 된다.

[0016] 상기 이퓨즈 셀(eFuse cell)을 이용한 읽기 동작 시, 상기 프로그램 여부 선택(BLOWB) 신호, 쓰기 워드 라인 (WWLB) 신호 및 읽기 워드 라인 (RWL) 신호에 high가 인가되어, 상기 제1 읽기 NMOS 트랜지스터, 퓨즈 및 제2 읽기 NMOS 트랜지스터를 통해 읽기 전류 경로가 형성된다.

발명의 효과

[0017] 이상과 같은 본 발명의 이퓨즈 OTP 메모리 소자에 따르면, 퓨즈 타입 셀 어레이의 단위 셀인 이퓨즈 셀(eFuse cell)을 종래보다 적은 개수의 스위칭 소자들로 구성함으로써, 이퓨즈 셀(eFuse cell)의 면적을 종래보다 크게 감소시켜 설계할 수 있음을 알 수 있다. 또 이퓨즈 셀(eFuse cell)의 면적 감소로 메모리 소자의 전체 면적 역시 감소시킬 수가 있다.

[0018] 따라서 메모리 소자의 레이아웃을 유연하게 할 수 있으며, 나아가 메모리 소자의 면적 축소로 인한 경쟁력 강화를 기대할 수 있는 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시 예에 따른 eFuse OTP 메모리의 블락 도면이다.

도 2a는 본 발명의 실시 예에 따른 eFuse OTP 메모리에 포함된 이퓨즈 셀(eFuse cell)의 회로 구성도이다.

도 2b는 본 발명의 실시 예에 따른 프로그램 모드에 따른 이퓨즈 셀(eFuse cell)의 프로그램 동작을 나타낸다.

도 2c는 본 발명의 실시 예에 따른 읽기 모드에 따른 이퓨즈 셀(eFuse cell)의 읽기 동작을 나타낸다.

도 3은 본 발명의 실시 예에 따른 eFuse OTP 메모리의 이퓨즈 셀(eFuse cell) array의 프로그램 동작을 나타낸다.

도 4는 본 발명의 실시 예에 따른 eFuse OTP 메모리의 이퓨즈 셀(eFuse cell) array의 읽기 동작을 나타낸다.

도 5는 본 발명의 실시 예에 따른 eFuse OTP 메모리에서 read time 에 따른 비트 라인의 전압 그래프이다.

도 6는 본 발명의 실시 예에 따른 eFuse OTP 메모리의 워드 라인 구동부의 회로 구성도이다.

도 7a 및 도 7b는 종래 이퓨즈 셀(eFuse cell)과 본 발명의 eFuse OTP 메모리의 면적을 비교하기 위한 레이아웃이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0021] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0022] 본 발명에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0023] 공간적으로 상대적인 용어인 아래(below, beneath, lower), 위(above, upper) 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관 관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른

소자의 아래(below, beneath)로 기술된 소자는 다른 소자의 위(above, upper)에 놓여질 수 있다. 따라서, 예시적인 용어인 아래는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0024] 본 발명에서 사용되는 “부” 또는 “부분” 등의 일부분을 나타내는 표현은 해당 구성요소가 특정 기능을 포함할 수 있는 장치, 특정 기능을 포함할 수 있는 소프트웨어, 또는 특정 기능을 포함할 수 있는 장치 및 소프트웨어의 결합을 나타낼 수 있음을 의미하나, 꼭 표현된 기능에 한정된다고 할 수는 없으며, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0025] 또한, 본 발명에서 사용되는 모든 전기 신호들은 일 예시로서, 본 발명의 회로에 반전기 등을 추가적으로 구비하는 경우 이하 설명될 모든 전기 신호들의 부호가 반대로 바뀔 수 있음을 유의해야 한다. 따라서, 본 발명의 권리범위는 신호의 방향에 한정되지 않는다.

[0026] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

[0027] 이하에서는 도면에 도시한 실시 예에 기초하면서 본 발명에 대하여 더욱 상세하게 설명하기로 한다.

[0028] 도 1은 본 발명의 실시 예에 따른 eFuse OTP 메모리의 블락 도면이다.

[0029] 본 발명의 실시 예에 따른 eFuse OTP 메모리(10)는 아래에서 설명하게 될 퓨즈 타입 셀 어레이를 포함한다. 여기서 퓨즈는 폴리-실리콘을 이용한 fuse를 말한다. 퓨즈에 높은 전류를 통과 시켜, 퓨즈를 끊음(blowing)에 의해 프로그램하는 방식을 말한다.

[0030] 도 1에 도시된 바와 같이 본 발명의 퓨즈 타입 셀 어레이를 포함하는 이퓨즈 오티피(이하 eFuse OTP) 메모리(10)는, 제어 로직(Control logic)(20), 워드 라인 구동부(Word Line Driver, 줄여서 WL Driver)(40), 프로그래밍 전류 구동부(Programming Current Driver, 또는 Program current driver, 줄여서 PD Driver)(50), 이퓨즈 셀 어레이 (eFuse cell ARRAY)(60), 비트 라인(Bit line, 줄여서 BL)를 제공받는 비트 라인 센스 앰프(Bit Line Sense AMP, 줄여서 BL S/A)(70) 등을 포함하여 구성된다. 그러나 이러한 구성에 한정하지는 않고 다른 구성들로 대체되거나 더 추가될 수 있음을 당연하다.

[0031] 아래 표 1에 eFuse OTP 메모리(10)에 포함된 블락 들(20, 40, 50, 60, 70)에 대한 간단한 설명을 나타냈다.

표 1

[0032]

Block Name	Description
eFuse CELL ARRAY	eFuse cell array consists of an eFuse cell array of 128 rows × 16 columns.
WL driver	WL driver activates one of 128 rows.
PD Driver	Programming driver supplies the programming current. The programming current is controlled by WSEL pins.
BL S/A	Bit line sense amplifier detects the data coming from the BL, and the data is output through the DOUT pins.
CONTROL LOGIC	Control logic supplies internal control signals which are suitable for programming, read or test mode.

[0033] Control logic(20)은 제어 신호에 따라 프로그램 모드 또는 읽기 모드에 적합한 내부 제어 신호를 공급한다. 또한 Control logic(20)은 워드 라인 구동부(40) 및 프로그램 전류 구동부(Program current driver)(50), 그리고 비트 라인 센스 앰프(Bit Line Sense AMP)(70)에 제어 신호를 공급하고 있다. 워드 라인 구동부(40)는 워드 라인 선택기를 포함할 수 있고, 쓰기 워드 라인(Write word line bar, 줄여서 WWLB) 신호 또는 읽기 워드 라인 신호(Read Word Line, 줄여서 RWL) 신호를 활성화할 수 있다. 프로그램 전류 구동부(Program current driver)(50)는 비트 라인(BL) 선택기를 포함할 수 있고, WSEL 핀들에 의해 제어되는 프로그램 전류를 공급한다.

[0034] 이퓨즈 셀(eFuse cell) ARRAY(60)는 복수의 이퓨즈 단위 셀들을 포함할 수 있다. 비트 라인 센스 앰프(Bit Line Sense AMP)(70)는 비트 라인(BL)에서 출력되는 디지털 데이터를 검출할 수 있고 상기 디지털 데이터는 출력단자(DOUT)를 통해 출력된다.

[0035] 도 1에 제시된 각 단자(pin)에 대한 설명을 표 2에 나타내었다.

표 2

Port Name	I/O Type	Description
ADD[6:0]	Input	Address pins for Word line selection
ACCESS	Input	For read or programming access (active high)
PEB	Input	Programming enable (active low)
RE	Input	Read enable (active high)
TE	Input	Fix low (N/A)
DIN[15:0]	Input	Data inputs *Program data input (Only one DIN selectable to High in programming mode, 1 bit programming only possible)
DOUT[15:0]	Output	Data outputs *Output data is latched until next read data comes to.
WSEL[3:0]	Input	Programming current control (active high)
RD[1:0]	Input	Read margin check control (default low)
RESETB	Input	Power-on reset (active low) * RESETB needs to be asserted once upon power up. * This initialize IP's internal node, should be fixed high during operation mode.
WREN	Input	Write enable (active high) * When 'H', programming operation is possible. 'L' protect programming. * This can prevent programming malfunctions from unintended noise.
VDD	Supply	External supply power
VSS	Supply	Ground

[0036]

[0037] RE, PEB 단자는 각각 read enable, program enable을 나타낸다. 그리고 ADD 단자는 쓰기 워드 라인(Write word line bar, 줄여서 WWLB) 신호 또는 읽기 워드 라인(Read word line, 줄여서 RWL) 신호를 활성화하도록 워드 라인 구동부(40)에서 어드레스 선택을 위한 것이다. 또 WSEL 단자는 프로그램 전류를 공급하도록 프로그램 전류 구동부(Program current driver)(50)에서 프로그램 전류 제어를 위한 것이다. 전원 전압(VDD)와 접지 전압(VSS) 단자는 전원 전압 및 접지 전압을 공급하기 위한 단자이다.

[0038] 본 실시 예는 셀 어레이 형태 또는 셀 어레이(60)의 용량은 특별히 제한되지는 않지만, 실시 예는 128 rows * 16 column로 배열된 미리 정해진 용량을 예를 든다. 즉, 셀 어레이(60)는 128 워드 라인과 16 비트 라인(BL)을 포함할 수 있다. 그러므로 총 2,048 비트가 셀 어레이(60)에 포함될 수 있다. 총 2,048개의 단위 셀들이 셀 어레이(60)에 배열되는 것이다.

[0039] 이와 같은 실시 예에서 하나의 행(row)은 하나의 쓰기 워드 라인(Write word line bar, 줄여서 WWLB) 신호 및 하나의 읽기 워드 라인 (RWL) 신호를 포함한다. 그래서 128개의 WWLB와 128개의 RWL이 존재한다. 그리고 WWLB와 RWL 사이에 일대일 교번 하여 배치된다. 이러한 예에서 워드 라인 선택기와 비트 라인(BL) 선택기는 단위 셀들의 프로그래밍을 수행하기 위해 필요하다. 128 워드 라인(WL)의 하나와 16 비트 라인(BL)의 하나는 행(row) 디코딩(decoding)과 열(column) 디코딩(decoding)을 통해 순차적으로 선택된다. 그러므로 상기 단위 셀 구조는 순차적으로 선택되면서 동작된다고 할 것이다.

[0041] 도 2a는 본 발명의 실시 예에 따른 eFuse OTP 메모리에 포함된 이퓨즈 셀(eFuse cell)의 회로 구성도이다.

[0042] 도 2a를 참조하면, 본 발명의 실시 예에 따른 이퓨즈 셀(100)은 제1 영역(101)과 제2 영역(102)로 구분할 수 있고, 제1 영역은 단위 셀 컨트롤 블락으로 볼 수 있다. 예를 들어, 단위 셀을 동작하기 위한 제어 신호들이 입력되는 영역이다. 제2 영역(102)은 단위 셀에 있는 퓨즈(240)에 쓰기 동작 및 읽기 동작을 수행하는 영역이라 할 수 있다.

[0043] 먼저, 제1 영역(101)에는 제1 PMOS 트랜지스터(110), 제2 PMOS 트랜지스터(120) 제1 NMOS 트랜지스터(130) 및 제2 NMOS 트랜지스터(140)를 포함한다.

[0044] 제1 PMOS 트랜지스터(110)는 게이트에 프로그램 여부 선택(BLOWB) 신호가 공급되며, 일측 단자가 전원 전압(VDD)를 공급 받고, 타측 단자가 제2 PMOS 트랜지스터(120)에 연결된다. 프로그램 여부 선택(BLOWB) 신호는 해당 셀을 선택하게 되면, 프로그램 여부 선택(BLOWB) 신호가 공급되며, 해당 셀에 프로그램 하지 않을 경우, 프로그램 여부 선택(BLOWB) 신호를 차단할 수 있다.

[0045] 제2 PMOS 트랜지스터(120)는 게이트에 쓰기 워드 라인 (WWLB) 신호가 공급되며, 일측 단자가 제1 PMOS 트랜지스터(110)에 연결되고, 타측 단자로부터 제1 공통 노드(N1)에 게이트 노드 전압(GN)이 출력된다. 쓰기 워드 라인 (WWLB) 신호가 공급되면, 해당 셀은 퓨즈에 쓰기 동작 즉, blowing 작업이 진행된다.

[0046] 제1 NMOS 트랜지스터(130)는 게이트에 프로그램 여부 선택(BLOWB) 신호가 공급되며, 일측 단자가 제2 PMOS 트랜지스터(120)의 타측 단자에 연결되고, 타측 단자가 접지 전압(VSS)에 연결된다. 제1 NMOS 트랜지스터(130)와 제2 PMOS 트랜지스터(120) 사이에 제1 공통 노드(N1)가 있고, 게이트 노드 전압(GN)이 출력된다. 상기 게이트 노드 전압(GN)은 프로그램 트랜지스터(230)의 게이트에 공급된다. 게이트 노드 전압(GN)은 전원 전압(VDD)가 될 수 있고, 접지 전압(VSS)인 0V가 될 수 있다.

[0047] 제2 NMOS 트랜지스터(140)는 게이트에 상기 쓰기 워드 라인 (WWLB) 신호가 공급되며, 일측 단자가 제1 공통 노드(N1)에 연결되고, 타측 단자가 접지 전압(VSS)에 연결된다.

[0048] 제2 영역(102)에는 제1 읽기 NMOS 트랜지스터(210), 제2 읽기 NMOS 트랜지스터(220), 프로그램 트랜지스터(230) 및 퓨즈(240)를 포함한다.

[0049] 먼저 제1 읽기 NMOS 트랜지스터(210)는 일측 단자에 Bit line 신호(BL)가 공급되고, 게이트에 읽기 워드 라인 (RWL) 신호가 공급된다. 타측 단자는 제2 공통 노드(N2)를 통해 퓨즈(240)에 연결된다. 읽기 워드 라인 (RWL) 신호가 공급되면, 읽기 동작을 수행할 수 있다.

[0050] 제2 읽기 NMOS 트랜지스터(220)는 게이트에 읽기 워드 라인 (RWL) 신호가 공급되고, 일측 단자는 제3 공통 노드(N3)를 통해 퓨즈(240)에 연결되고, 타측 단자가 접지 전압(VSS)에 연결된다.

[0051] 프로그램 트랜지스터(230)는 프로그램 트랜지스터(230)의 게이트 단자는 제1 NMOS 트랜지스터(130)와 제2 PMOS 트랜지스터(120) 사이의 제1 공통 노드(N1)를 제공받는다. 프로그램 트랜지스터(230)의 드레인 단자가 제2 공통 노드(N2)를 통해 상기 제1 읽기 NMOS 트랜지스터(210)의 타측 단자에 연결된다. 즉, 프로그램 트랜지스터(230)의 드레인 단자는 제1 읽기 NMOS 트랜지스터(210)와 퓨즈(240) 사이의 제2 공통 노드(N2)와 연결된다. 그리고 프로그램 트랜지스터(230)의 타측 단자(소스 단자)가 접지 전압(VSS)에 연결된다. 프로그램 트랜지스터(230)는 NMOS 트랜지스터로서, 퓨즈(240)의 퓨징(fusing) 또는 블로잉(blowing)을 위한 것이다. 그래서 프로그램 트랜지스터(230)는 일정치 이상의 프로그램 전류를 흘릴 수 있도록 하기 위해 해당 채널 폭을 크게 형성해야 한다.

[0052] 퓨즈(240)는 일측 단자가 상기 제1 읽기 NMOS 트랜지스터(210)와 상기 프로그램 트랜지스터(230) 사이의 공통 연결 단자(N2)에 연결되고, 타측 단자가 제3 공통 노드(N3)를 통해 제2 읽기 NMOS 트랜지스터(220)과 프로그램 전원에 연결된다. 프로그램 전원은 소스 라인(SL)을 통해 공급 받는다.

[0053] 위와 같이, 본 발명의 이퓨즈 셀(eFuse cell)(100)은 총 7개의 스위칭 소자가 사용된다. 종래보다 더 적은 개수의 스위칭 소자를 사용하여 단위 셀을 설계할 수 있어 셀 면적을 줄일 수 있다. 도 2a에서 스위칭 소자들은 n형 금속 산화물 반도체(NMOS) 트랜지스터 및 p형 금속 산화물 반도체 (PMOS) 트랜지스터일 수 있다.

[0054] 도 2a에 도시한 바와 같이 이퓨즈 셀(eFuse cell)(100)은 프로그램 여부 선택(BLOWB) 신호를 제공받는 제1 PMOS 트랜지스터(110) 및 제1 NMOS 트랜지스터(130); 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호를 제공받는 제2 PMOS 트랜지스터(120) 및 제2 NMOS 트랜지스터(140); 읽기 동작을 위한 읽기 워드 라인 (RWL) 신호를 제공받는 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220); 퓨징(fusing)을 위해 프로그램 전류를 흐르도록 제어하는 프로그램 트랜지스터(230); 제1 읽기 NMOS 트랜지스터(210)와 제2 읽기 NMOS 트랜지스터(220) 사이에 퓨즈(240)를 포함한다. 여기서, 프로그램 트랜지스터(230)는 fusing을 위한 다량의 Program current를 흐르게 제어하는 program transistor 이다.

[0055] 이퓨즈 셀(eFuse cell)(100)에서, 제1 PMOS 트랜지스터(110) 및 제1 NMOS 트랜지스터(130)는 프로그램 여부 선택(BLOWB) 신호를 제1 PMOS 트랜지스터(110) 및 제1 NMOS 트랜지스터(130)의 각각의 게이트 단자를 통해 공급 받는다.

[0056] 제2 PMOS 트랜지스터(120) 및 제2 NMOS 트랜지스터(140)는 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호를 제2 PMOS 트랜지스터(120) 및 제2 NMOS 트랜지스터(140)의 각각의 게이트 단자를 통해 공급 받는다.

[0057] 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)는 읽기 워드 라인 (RWL) 신호를 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)의 각각의 게이트 단자를 통해 공급 받는다.

[0058] 여기서, 제1 PMOS 트랜지스터, 제2 NMOS 트랜지스터 및 제2 PMOS 트랜지스터(110, 120, 130)는 서로 직렬 연결

된다. 그리고 제1 NMOS 트랜지스터(130), 제2 NMOS 트랜지스터(140), 제2 읽기 NMOS 트랜지스터(220) 및 프로그램 트랜지스터(230)의 소스 단자들은 각각 접지 전원(VSS)와 연결된다.

[0059] 또 제2 읽기 NMOS 트랜지스터(220)와 퓨즈(240) 사이의 제3 공통 노드(N3)는 도 1에서 설명한 프로그램 전류 구동부(Program current driver)(50)가 연결된다. 프로그램 전류 구동부(Program current driver)(50)가 프로그램 전류를 공급한다.

[0060] 도 2a에 따르면 이퓨즈 셀(eFuse cell)(100)은 제1 읽기 NMOS 트랜지스터(210)와 제2 읽기 NMOS 트랜지스터(220) 사이에 퓨즈(240)가 연결된다. 제1 읽기 NMOS 트랜지스터(210)의 소스 단자와 퓨즈(240)의 캐소드(cathode)가 연결되고, 제2 읽기 NMOS 트랜지스터(220)의 드레인 단자와 퓨즈(240)의 애노드(anode)가 연결된다. 퓨즈(240)는 1비트 기억 소자로 과전류에 의하여 저항 값이 변한다. 예를 들어, 프로그램되기 전에는 대략 300Ω 이하의 저항 값을 가지며, 프로그램되면 대략 3kΩ 이상을 가질 수 있다.

[0062] 표 3에 프로그램 및 읽기 동작 모드에서 각 신호에 대한 조건을 나타내었다

표 3

[0063]

Signal	Program mode		Read mode
	Selected	Unselected	
BLOWB	0V	VDD	VDD
WWLB	0V	VDD	VDD
RWL	0V	0V	VDD

[0064] 먼저, Program mode에서 selected cell에 대한 각각의 신호 처리들은 다음과 같다.

[0065] 프로그램 여부 선택(BLOWB) 신호와, 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호는 low로 활성화되어 있다. 그래서 프로그램 여부 선택(BLOWB) 신호 단자(pin)와 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호 단자(pin)에 low가 인가되면, 프로그램 여부 선택(BLOWB) 신호 및 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호와 연결된 스위칭 소자들을 턴-온(turn-on) 된다.

[0066] Program mode에서 unselected cell에 대한 각각의 신호 처리들은 다음과 같다. BLOWB pin과 WWLB pin에 high가 인가되면, BLOWB와 WWLB에 연결된 스위칭 소자들을 턴-오프(turn-off) 된다. 여기서, low가 인가된다는 것은 예를 들어 0V가 인가되는 것이고, high가 인가되다는 것은 VDD(전원 전압)이 인가된다는 것이다. 그리고 단자(pin)은 입력 전압 또는 출력 전압이 인가되는 단자를 말한다.

[0067] Read mode에서 읽기 동작에 대한 각각의 신호 처리들은 다음과 같다. 읽기 동작을 위한 읽기 워드 라인 (RWL) 신호는 high로 활성화되어 있어서, RWL pin에 high가 인가되면 해당되는 스위칭 소자들을 턴-온 된다. 반대로 RWL에 low가 인가되면 RWL과 연결된 스위칭 소자들을 턴-오프 된다.

[0069] 도 2b는 본 발명의 실시 예에 따른 프로그램 모드에 따른 이퓨즈 셀(eFuse cell)의 프로그램 동작을 나타낸다.

[0070] 도 2b 를 참조하면, 이퓨즈 셀(eFuse cell)(100)에 대한 프로그램 동작 시, BLOWB, WWLB, RWL는 low가 인가된다. BLOWB, WWLB, RWL에 0V가 인가된다고 보면 된다.

[0071] 그러면 BLOWB에 연결된 PMOS 소자는 turn-on 되고, NMOS는 turn-off 된다. 그래서 제1 PMOS 트랜지스터(110, PMOS)가 턴-온 되고, 제1 NMOS 트랜지스터(130)는 턴-오프 된다. 또한 WWLB와 연결된 PMOS 소자는 turn-on 되고, NMOS는 turn-off 된다. 제2 PMOS 트랜지스터(120)가 턴-온 되고, 제2 NMOS 트랜지스터(140)는 turn-off 된다. RWL pin에 0V가 인가되기 때문에 NMOS는 turn-off 된다. RWL pin에 연결된 제1 읽기 NMOS 트랜지스터(210, NMOS) 및 제2 읽기 NMOS 트랜지스터(220)는 턴-오프(turn-off)된다.

[0072] 제2 PMOS 트랜지스터(120)가 턴-온 됨에 따라 제1 공통 노드(N1)에 전원 전압(VDD)가 인가된다. 그에 따라 프로그램 트랜지스터(230)의 게이트 단자에 VDD가 인가되기 때문에 프로그램 트랜지스터(230) 턴-온(turn-on) 된다. 그에 따라 프로그램 전류가 점선을 따라 흐를 수 있게 된다. 프로그램 전류 구동부(Program current driver)(50)를 통해 공급되는 프로그램 전류는 비트 라인(BL)을 통해 퓨즈(240)에 전달되고, 퓨즈(240)는 프로그램 전류에 의해 퓨징 또는 프로그래밍 또는 블로잉된다. 퓨징 또는 프로그래밍 또는 블로잉은 퓨즈(240)의 저항을 올리는 작업을 말한다. 프로그램 전류는 퓨즈(240)의 애노드(anode)에서 캐소드(cathode) 방향으로 흐른다. 그리고 프로그램 전류는 프로그램 트랜지스터(230)를 통해 빠져 나간다.

[0074] 도 2c는 본 발명의 실시 예에 따른 읽기 모드에 따른 이퓨즈 셀(eFuse cell)의 읽기 동작을 나타낸다.

[0075] 도 2c를 참조하면, 이퓨즈 셀(eFuse cell)(100)에 대한 읽기 동작 시, BLOWB, WWLB, RWL에 high가 인가된다. BLOWB, WWLB, RWL에 전원 전압(VDD)가 인가된다고 보면 된다. 그러면 프로그램 동작과는 반대로 제1 PMOS 트랜지스터(110), 제2 PMOS 트랜지스터(120), 프로그램 트랜지스터(230)는 턴-오프(turn-off)된다. 그리고 제1 NMOS 트랜지스터(130), 제2 NMOS 트랜지스터(140), 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)는 턴-온(turn-on) 된다.

[0076] 여기서 BLOWB, WWLB에 전원 전압(VDD)이 인가되어, 제2 NMOS 트랜지스터(140)가 turn-on 됨에 따라 프로그램 트랜지스터(230)의 게이트 전압은 그라운드 전압, 접지 전압이 된다. 그래서 프로그램 트랜지스터(230)는 턴-오프(turn-off) 되는 것이다.

[0077] 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)는 턴-온(turn-on) 됨에 따라, 일점 쇄선을 따라 읽기 전류 경로가 형성된다. 즉, 제1 읽기 NMOS 트랜지스터(210), 이- 퓨즈(240), 제2 읽기 NMOS 트랜지스터(220)를 따라 읽기 전류가 흐른다. 이처럼 읽기 전류가 퓨즈(240)를 통과하게 된다.

[0078] 퓨즈(240)의 저항 값에 따라 읽기 전류는 달라지는데, 퓨즈(240)가 블로잉(blowing) 되어 저항이 높은 상태이면, 읽기 전류는 작아진다. 이러한 읽기 전류를 저항 또는 전압으로 환산하여 해당 퓨즈(240)가 프로그래밍 되었는지 확인할 수 있는 것이다. 여기서 읽기 전류는 퓨즈(240)의 캐소드(cathode)에서 애노드(anode) 방향으로 흐르는 바, 프로그램 전류와는 반대방향으로 흐른다고 볼 수 있다.

[0080] 도 3은 본 발명의 실시 예에 따른 eFuse OTP 메모리의 이퓨즈 셀(eFuse cell) array의 프로그램 동작을 나타낸다.

[0081] 도 3에 도시한 바와 같이 eFuse OTP 메모리는 복수 개의 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)들을 포함한다. 각 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)들은 7개의 스위칭 소자(즉 2개의 PMOS 트랜지스터와 5개의 NMOS 트랜지스터)와 퓨즈(240)를 포함한다. 본 실시 예는 이러한 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)들이 모여 128R×16C의 셀 어레이를 이루게 된다. 그리고 이퓨즈 셀(eFuse cell) ARRAY(Cell array)를 구성하는 각각의 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)은 이웃하는 이퓨즈 셀(eFuse cell)과 전기적으로 분리하기 위해 아이솔레이션 된다.

[0082] 각 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)에는 하나의 프로그램 전류 제어부(250)가 연결된다. 프로그램 전류 제어부(250)는, 복수의 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)에 쓰기 전압(Vpgm)에 의한 프로그램 전류(iPGM)가 선택적으로 흐르도록 제어한다. eFuse OTP 메모리의 쓰기 동작 시, 쓰기 전압을 선택적으로 각 이퓨즈 셀(eFuse cell)(100<0>, 100<1>, 100<n>)에 제공하기 위하여, 스위칭 소자(예컨대 PMOS, 260)가 제공될 수 있다. 스위칭 소자(260)는 소스가 쓰기 전압(대략 3.6V ~ 5.5V)을 입력 받고, 게이트가 쓰기 제어 신호를 입력 받으며, 드레인 단자는 퓨즈(240)의 애노드(anode) 측과 연결된다. 쓰기 전압, Vpgm은 소스 라인(SL)을 통해서 전달된다.

[0083] 도 3을 참조하여 eFuse OTP 메모리의 쓰기 동작을 설명한다. 워드 라인 구동부(50)는 쓰기 동작을 수행할 이퓨즈 셀(eFuse cell)(100<0>)을 선택하고, 선택된 이퓨즈 셀(eFuse cell)(100<0>)에 선택 신호들을 제공한다. 선택 신호들은 BLOWB, WWLB, RWL을 말한다. 이들 신호들과 연결된 line에 low가 인가된다. 예를 들어, 0V가 인가된다고 보면 된다. Program current(iPGM)은 BLOWB가 low, WWLB<0>가 low로 선택되면, 프로그램 트랜지스터(230)를 통해 current가 흐르게 되어 퓨즈(240)을 program시킨다.

[0084] 앞서 설명한대로, 로우 레벨에서 활성화되는 WWLB<0>에 low가 인가되면, 제1 PMOS 트랜지스터(110) 및 제2 PMOS 트랜지스터(120)가 턴-온(turn-on) 되고, 이에 프로그램 트랜지스터(230)도 턴-온(turn-on)된다. 반면 다른 스위칭 소자들인 제1 NMOS 트랜지스터(130), 제2 NMOS 트랜지스터(140), 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)는 턴-오프(turn-off)된다.

[0085] 따라서 프로그램 전류 제어부(250)가 공급하는 프로그램 전류(iPGM)는 퓨즈(240) 및 프로그램 트랜지스터(230)를 통해 흐르는 전류 경로(화살표 방향)가 형성된다. 전류 경로를 통해 프로그램 전류(iPGM)가 흐르게 되어 퓨즈(240)에 소정 정보가 프로그램된다. 프로그램 된 퓨즈는 대략 3kΩ 이상의 고 저항을 갖게 된다.

[0086] 다른 선택 되지 않는 셀 (100<1>, 100<n>)에서는, WWLB<1>, WWLB<n> 등은 WLDRV에서 high로 유지되고, 선택 되지 않는 셀 (100<1>, 100<n>)에 배치된 프로그램 트랜지스터(230)은 turn-off 되어 program이 방지된다. 즉, WWLB 단자에 VDD가 인가되고, RWL 단자에 0V가 인가될 수 있다. 그렇게 되면, 제1 PMOS 트랜지스터(110) 내지

제2 PMOS 트랜지스터(120)가 turn-off 된다. 대신 제2 NMOS 트랜지스터(140)은 turn-on 됨에 따라, 프로그램 트랜지스터(230)의 게이트의 전하들이 모두 빠져 나가, 프로그램 트랜지스터(230)의 게이트에 걸리는 전압은 0V가 된다. 그래서 프로그램 트랜지스터(230)는 turn-off 된다. 프로그램 트랜지스터(230)가 turn-off 이기 때문에 프로그램 전류가 흐를 수 없게 된다. 다른 선택 되지 않는 셀 (100<1>, 100<n>)에서는 퓨즈(240)을 퓨징 또는 블로잉을 할 수 없다. 여기서, 제2 NMOS 트랜지스터만 turn-on 된다. 그리고 다른 스위칭 소자들인 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)도 turn-off 된다.

[0088] 도 4는 본 발명의 실시 예에 따른 eFuse OTP 메모리의 이퓨즈 셀(eFuse cell) array의 읽기 동작을 나타낸다.

[0089] 도 4에 도시한 바와 같이 eFuse OTP 메모리는 복수 개의 이퓨즈 셀(eFuse cell)(100)들을 포함하고, 각 이퓨즈 셀(eFuse cell)(100)들은 7개의 스위칭 소자(즉 2개의 PMOS 트랜지스터와 5개의 NMOS 트랜지스터)와 퓨즈(240)를 포함한다. 읽기 동작은 제1 읽기 NMOS 트랜지스터(210), 퓨즈(240) 및 제2 읽기 NMOS 트랜지스터(220)를 통한 전류 경로를 따라 수행된다.

[0090] 읽기 동작을 위하여 복수의 이퓨즈 셀(eFuse cell)(100)에 읽기 전압을 제공하기 위한 읽기 전류 제어부(read current unit)(300)가 구비된다. 읽기 전류 제어부(300)는, 읽기 전류 제어 트랜지스터(310)와 읽기 전류 제어 저항(320)으로 구성된다. 읽기 전류 제어 트랜지스터(310)의 소스 단자는 입력 전압을 입력 받는다. 읽기 전류 제어 트랜지스터(310)의 게이트는 반전된 읽기 제어 신호를 입력 받는다. 읽기 전류 제어 트랜지스터(310)의 드레인 단자는 읽기 전류 제어 저항(320)의 일단과 연결된다. 그래서 eFuse OTP 메모리의 읽기 동작 시 읽기 전압을 선택적으로 복수의 이퓨즈 셀(eFuse cell)(100)에 제공한다.

[0091] 여기서 읽기 전류 제어 저항(320)은 기 설정된 제1 저항 값을 가진다. 또 읽기 전류 제어 저항(320)은 일 단(one end)은 읽기 전류 제어 트랜지스터(310)의 드레인 단자와 연결되고 타 단(the other end)은 이퓨즈 셀(eFuse cell)(100)의 제1 읽기 NMOS 트랜지스터(210)의 드레인 단자와 공통 연결되며, 아울러 비트 라인 센스 앰프(Bit Line Sense AMP)(70)와도 연결된다. 여기서 상기 읽기 전류 제어 저항(320)은 프로그램되지 않은 저항 값(즉 300Ω 이하)과 프로그램 된 경우의 최소 저항 값(즉, 3kΩ)의 중간 값(대략 1.6KΩ)을 가질 수 있다.

[0092] 이퓨즈 셀(eFuse cell)(100)의 퓨즈(240)를 통한 전압 크기와 비교하도록 기준 전압(Vref)을 생성하는 기준 전압 생성부(400)가 구비된다. 기준 전압 생성부(400)는, 3개의 스위칭 소자와 2개의 저항으로 구성되며, 직렬 연결된 복수의 저항들을 이용하여 읽기 전압을 전압분배하고, 분배된 전압을 기준전압으로 생성하는 역할을 한다.

[0093] 구체적으로 보면 제1 기준 전압 생성 트랜지스터(410), 제2 기준 전압 생성 트랜지스터(420), 제3 기준 전압 생성 트랜지스터(430)가 서로 전기적으로 직렬 연결된다. 제1 기준 전압 생성 트랜지스터(410)와 제2 기준 전압 생성 트랜지스터(420) 사이에 제1 기준 전압 생성 저항(440)이 배치된다. 제2 기준 전압 생성 트랜지스터(420)와 제3 기준 전압 생성 트랜지스터(430) 사이에 제2 기준 전압 생성 저항(450)이 배치된다.

[0094] 제1 기준 전압 생성 트랜지스터(410)의 소스 단자는 읽기 전압을 입력 받는다. 제1 기준 전압 생성 트랜지스터(410)의 게이트는 반전된 읽기 제어 신호를 입력 받는다. 제1 기준 전압 생성 트랜지스터(410)의 드레인 단자는 제1 기준 전압 생성 저항(440)의 일단과 연결된다. 그래서 읽기 전압을 선택적으로 제1 기준 전압 생성 저항(440)에 제공하는 PMOS 트랜지스터일 수 있다.

[0095] 제2 기준 전압 생성 트랜지스터(420)는 선택적으로 제1 기준 전압 생성 저항(440) 및 제2 기준 전압 생성 저항(450)을 연결한다. 즉 제2 기준 전압 생성 트랜지스터(420)의 드레인 단자는 제1 기준 전압 생성 저항(440) 및 비트 라인 센스 앰프(Bit Line Sense AMP)(70)와 공통 연결된다. 제2 기준 전압 생성 트랜지스터(420)의 게이트는 읽기 제어 신호를 입력 받는다. 제2 기준 전압 생성 트랜지스터(420)의 소스 단자는 제2 기준 전압 생성 저항(450)와 연결된다. 제2 기준 전압 생성 트랜지스터(420)는 NMOS 트랜지스터일 수 있다.

[0096] 제3 기준 전압 생성 트랜지스터(430)의 드레인 단자는 제2 기준 전압 생성 저항(450)를 제공받는다. 제3 기준 전압 생성 트랜지스터(430)의 게이트는 읽기 제어 신호를 입력 받는다. 제3 기준 전압 생성 트랜지스터(430)의 소스 단자는 접지된다. 제3 기준 전압 생성 트랜지스터(430)는 읽기 전압에 의하여 제1 기준 전압 생성 저항(440) 및 제2 기준 전압 생성 저항(450)에 전류가 흐르도록 하는 NMOS 트랜지스터일 수 있다.

[0097] 상기 기준 전압 생성부(400)에 구비된 2개의 저항, 즉 제1 기준 전압 생성 저항(440) 및 제2 기준 전압 생성 저항(450)은 각각 미리 설정된 저항 값을 포함한다. 각각의 저항 값은 퓨즈(240)의 프로그램되지 않은 저항 값(예를 들어, 약 50 ~ 250Ω)과 프로그램 된 경우의 최소 저항 값(예를 들어, 약, 3k ~ 10kΩ)의 중간 값(예를 들어, 1.5k ~ 5kΩ)을 가질 수 있다.

[0098] 비트 라인 센스 앰프(Bit Line Sense AMP)(70)는 두가지 전압 값을 받고 비교한다. 하나는 프로그램 된 셀의 비트 라인(BL)으로부터 전달된 전압(V_{BL})이다. 다른 하나는 기준 전압과 관련된 비트 라인(BLB)에서 전달 받은 전압(V_{ref})이다. 읽기 전압에 의한 선택된 이퓨즈 셀(eFuse cell)(100)의 퓨즈(240)를 통한 전압 크기 및 기준 전압 생성부(400)가 생성한 기준 전압의 크기(V_{ref})를 비교하여 그 차이를 출력한다. 출력된 결과 값에 따라 퓨즈(240)를 통한 전압 크기(V_{BL})가 기준 전압 생성부(400)에서 생성된 기준 전압의 크기보다 크면 선택된 퓨즈(240)는 프로그램 된 것으로 판단하고, 반대이면 선택된 퓨즈(240)는 프로그램되지 않은 것으로 판단한다.

[0099] 도 4를 참조하여, eFuse OTP 메모리의 읽기 동작(read operation)을 설명한다.

[0100] 워드 라인 구동부(40)는 읽기 동작을 수행할 이퓨즈 셀(eFuse cell)(100)을 선택하고, 선택된 이퓨즈 셀(eFuse cell)(100)에 high가 인가된 BLOWB, WWLB, RWL 등의 신호를 제공한다. 그러면 BLOWB, WWLB, RWL의 단자에 high가 인가되었기 때문에, 제1 PMOS 트랜지스터(110), 제2 PMOS 트랜지스터(120), 프로그램 트랜지스터(230)는 턴-오프(turn-off)되고, 제1 NMOS 트랜지스터(130), 제2 NMOS 트랜지스터(140), 제1 읽기 NMOS 트랜지스터(210) 및 제2 읽기 NMOS 트랜지스터(220)는 턴-온(turn-on) 된다.

[0101] 이후 Control logic(20)은 선택된 이퓨즈 셀(eFuse cell)(100)에 읽기 전압을 제공하고, 기준 전압이 생성되도록 읽기 전류 제어부(300)를 구동하여 읽기 제어 신호를 제공한다. 이에 따라, 읽기 전류 제어 트랜지스터 내지 제3 기준 전압 생성 트랜지스터(310, 410, 420, 430)는 턴-온(turn-on) 된다. 이러한 읽기 전류 제어 트랜지스터 내지 제3 기준 전압 생성 트랜지스터(310, 410, 420, 430)이 턴-온(turn-on) 됨에 따라 읽기 전류 제어 트랜지스터(310), 제1 읽기 전류 제어 저항(320), 제1 읽기 NMOS 트랜지스터(210), 퓨즈(240), 제2 읽기 NMOS 트랜지스터(220)를 통하는 전류 경로(화살표 방향)가 형성된다.

[0102] 그리고 제1 기준 전압 생성 트랜지스터(410), 제1 기준 전압 생성 저항(440), 제2 기준 전압 생성 트랜지스터(420), 제2 기준 전압 생성 저항(450), 제3 기준 전압 생성 트랜지스터(430)를 통하는 전류 경로가 형성된다.

[0103] 이와 같은 전류 경로를 경유하는 스위칭 소자의 개수가 동일하기 때문에 스위칭 소자의 특성을 배제하고, 퓨즈(240)의 저항 값이 기준 저항 이상인지를 판단할 수 있다. 예를 들면 퓨즈(240)가 프로그램되기 전이면, 퓨즈(240)는 제2 기준 전압 생성 저항(450)보다 낮은 저항 값을 포함하는 바, 퓨즈(240)에 걸리는 전압은 제2 기준 전압 생성 저항(450)에 의하여 전압 분배된 전압 값보다 낮을 것이다.

[0104] 반대로, 퓨즈(240)가 프로그램 된 경우, 퓨즈(240)는 제2 기준 전압 생성 저항(450)보다 높은 저항 값을 포함하는 바, 퓨즈(240)에 걸리는 전압은 제2 기준 전압 생성 저항(450)에 의하여 전압 분배된 전압 값보다 높을 것이다. 따라서, 비트 라인 센스 앰프(Bit Line Sense AMP)(70)는 퓨즈(240)의 전압과 기준 전압을 비교하여, 퓨즈(240)의 프로그램 여부를 판단할 수 있다.

[0105] 그리고 읽기 모드에서 선택되지 않는 셀들은 RWL 단자에 low를 인가하면 된다. RWL 단자에 0V가 인가되면 제1 읽기 NMOS 트랜지스터(210)과 제2 읽기 NMOS 트랜지스터(220)이 turn-off 되어 읽기 동작을 할 수 없게 된다.

[0107] 도 5는 본 발명의 실시 예에 따른 eFuse OTP 메모리에서 read time 에 따른 비트 라인의 전압 그래프이다.

[0108] 도 5를 참조하면, 기준 선(Reference Line)은 기준 전압 생성부(400)에서 생성된 기준 전압(V_{ref})을 나타낸다. 기준 선(Reference Line)보다 프로그램 된 퓨즈(240)을 거친 비트 라인(programmed Bit Line)의 전압이 크다. 반대로 프로그램 되기 전의 초기 비트 라인(Initial Bit Line)의 전압은 기준 선(Reference Line)보다 작다. 퓨즈(240)를 통한 전압 크기가 기준 전압 생성부(400)에서 생성된 기준 전압의 크기보다 크면 선택된 퓨즈(240)는 프로그램 된 것으로 판단하고, 반대이면 선택된 퓨즈(240)는 프로그램되지 않은 것으로 판단한다.

[0110] 도 6은 본 발명의 실시 예에 따른 eFuse OTP 메모리의 워드 라인 구동부의 회로 구성도이다.

[0111] 이퓨즈 셀(eFuse cell)(100)에는 프로그램 동작을 위한 쓰기 워드 라인 (WWLB) 신호와 읽기 동작을 위한 RWL 신호가 인가 되어야 하는데, 종래에는 프로그램 동작과 읽기 동작을 위한 워드 라인 구동부가 각각 필요했다. 그러나 프로그램 동작과 읽기 동작 용 워드 라인 구동부가 모두 제공되면 그만큼 회로 구조가 복잡해진다. 본 발명은 워드 라인 구동부의 회로 구조를 간소화한 것이다.

[0112] 본 발명의 워드 라인 구동부(40)는 쓰기 워드 라인 (WWLB) 신호 또는 읽기 워드 라인 (RWL) 신호를 활성화할 수 있다. 워드 라인 구동부(40)의 회로 구성은 어드레스 디스에이블(disable)일 경우, WWLB 신호는 항상 하이 레벨(high level) 상태, RWL 신호는 항상 로우 레벨(low level) 상태가 유지되게 하여 워드 라인의 활성화를 방지한

다.

[0113] 반대로 프로그램 마스터 펄스인 ACC_WT가 하이 레벨(high level)이 되면 WWLB 신호를 해당 펄스 구간 동안 활성화된다. 읽기 마스터 펄스인 ACC_RD가 하이 레벨(high level)이 되면 RWL 신호를 해당 펄스 구간 동안 활성화되도록 구성된다. 즉, ACC_WT가 하이 레벨(high level)이 되면 WWLB가 제공되고, ACC_RD가 하이 레벨(high level)이 되면 RWL 신호가 제공된다는 것이다.

[0115] 도 6을 참조하여 워드 라인 구동부(40)의 회로 구성을 살펴본다. 도시한 바와 같이 워드 라인 구동부(40)는 최소 6개의 PMOS 트랜지스터와 최소 9개의 NMOS 트랜지스터, 제어신호들을 포함한다. 예를 들어, 워드 라인 구동부(40)는 제1 내지 제 6 PMOS(510-560)를 포함하고, 제1 내지 제9 NMOS(610-690)을 포함할 수 있다. 이퓨즈 셀(eFuse cell)의 PMOS 트랜지스터 또는 NMOS 트랜지스터 이름과 혼동을 피하기 위해서, WLDRV PMOS 및 WLDRV NMOS로 표기할 수 있다. 또는 드라이버 PMOS 및 드라이버 NMOS로 표기할 수 있다. 아래에서는 간단하게 PMOS 또는 NMOS로 표기하였다.

[0116] 구체적으로 제1 PMOS(510)와 제1 NMOS(610)를 포함한다. 제1 PMOS(510)와 제1 NMOS(610)는 타이 다운 회로(tie down circuit)이다. 제1 PMOS(510)의 소스는 전원 단자와 연결되고, 제1 PMOS(510)의 드레인 단자는 제1 PMOS(510) 및 제1 NMOS(610)의 게이트와 공통으로 연결된다.

[0117] 전원 전압(VDD) 단자와 제1 POMS(510) 사이에 제2 내지 제6 PMOS(520-560)의 소스 단자가 공통으로 연결된다. 그리고 제2 PMOS(520)의 게이트는 제5 PMOS(550)의 게이트와 연결된다.

[0118] 제2 PMOS(520)에는 제3 내지 제6 NMOS(630-660)가 연결된다. 이들 NMOS(630-660)의 게이트에는 각각 다른 제어신호가 입력된다. 제3 NMOS(630)에는 프로그램 마스터 펄스인 ACC_WT 신호가 인가된다. ACC_WT 신호가 하이 레벨(high level) 상태이면 제3 NMOS(630)은 턴-온(turn-on)된다. Control logic(20)에서 전달된 program master pulse인 ACC_WT가 high가 되면 해당 pulse구간 동안 WWLB가 제공된다. 해당 pulse구간은 프로그램 동작을 위한 펄스 구간을 의미한다. 또는 프로그램(쓰기) 펄스 구간이다.

[0119] 또 제4 NMOS 내지 제6 NMOS(640-660)에는 각각 X01, X234, X56과 같은 제어 블록에서 어드레스 프리 디코딩(address pre decoding)된 신호들이 인가된다. 이들 X01, X234, X56가 각 어드레스에 맞게 하이 레벨(high level) 상태가 되면 제4 NMOS 내지 제6 NMOS(640-660)는 턴-온(turn-on)된다.

[0120] 또 제5 PMOS(550)에 제2 NMOS(620)가 연결된다. 제2 NMOS(620)의 게이트에는 읽기 마스터 펄스인 ACC_RD 신호가 인가되며, ACC_RD 신호가 하이 레벨(high level) 상태이면 제2 NMOS(620)는 턴-온(turn-on) 된다. Control logic(20)에서 전달된 read master pulse인 ACC_RD가 high로 된다면 해당 pulse구간 동안 RWL 신호가 제공된다. 해당 pulse구간은 읽기 동작을 위한 펄스 구간을 의미한다. 또는 읽기 동작 펄스 구간이다.

[0121] 도 6에 따르면 제3 PMOS(530)의 드레인 단자에는 제7 NMOS(670)가 연결된다. 제4 PMOS(540)의 드레인 단자에는 제8 NMOS(680)가 연결된다. 제6 PMOS(560)에는 제9 NMOS(690)가 연결된다.

[0122] 이들 트랜지스터들의 조합은 CMOS 트랜지스터 형태로서 제1, 제2 및 제3 CMOS 트랜지스터라 할 수 있을 것이다. 제1 CMOS 트랜지스터는 제3 PMOS(530) 및 제7 NMOS(670)를 포함한다. 제2 CMOS 트랜지스터는 제4 PMOS(540) 및 제8 NMOS(680)를 포함한다. 제3 CMOS 트랜지스터는 제6 PMOS(560) 및 제9 NMOS(690)를 포함한다.

[0123] 도 6에 따르면 제4 PMOS(540)와 제8 NMOS(680), 즉 제2 CMOS 트랜지스터는 WWLB 신호를 출력하고, 제6 PMOS(560)와 제9 NMOS(690), 즉 제3 CMOS 트랜지스터는 RWL 신호를 출력한다. 로우 레벨(low level) 액티브 신호인 WWLB 신호와, 하이 레벨(high level) 액티브 신호인 RWL 신호들을 쓰기/쓰기 동작 모드에 맞춰서 이퓨즈 셀(eFuse cell)(100)에 인가된다.

[0124] 이와 같이 워드 라인 구동부(40)은 프로그램 동작을 위해서, 로우 레벨(low level) 액티브 신호인 WWLB 신호를 제공한다. 또한 읽기 동작을 위해 하이 레벨(high level) 액티브 신호인 RWL 신호를 생성하여 이퓨즈 셀(eFuse cell)(100)에 인가하도록 구성되는 것이다.

[0126] 도 7의 (a) 및 (b)는 종래 이퓨즈 셀(eFuse cell)과 본 발명의 이퓨즈 셀(eFuse cell)의 면적을 비교하기 위한 레이아웃이다. 이퓨즈 셀(eFuse cell)을 구성하는 스위칭 소자의 경우 종래에는 16개의 스위칭 소자가 사용된 반면 본 발명은 7개의 스위칭 소자 만을 포함하여 회로를 설계하고 있다. 거의 절반 이상의 스위칭 소자 개수를 감소시켰다.

[0127] 이퓨즈 셀(eFuse cell)의 면적을 비교하면, 위의 (a)의 종래 이퓨즈 셀(eFuse cell)은 39.1㎛ × 4.8㎛(가로×

세로)이고, 아래의 (b)의 본 발명의 이퓨즈 셀(eFuse cell)은 24㎛ × 4.63㎛(가로×세로)의 면적으로 설계가 가능함을 확인할 수 있다. 종래 이퓨즈 셀(eFuse cell)의 면적보다 약 40% 정도 감소되었음을 확인할 수 있고, 따라서 셀 어레이(cell array)의 전체 면적 역시 약 40% 정도 감소하여 설계할 수 있다.

[0129] 이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

부호의 설명

[0130] 10: eFuse OTP 메모리

20: Control logic

40: 워드 라인 구동부

50: Program current driver

60: 이퓨즈 셀(eFuse cell) ARRAY

70: Sense AMP

100: 이퓨즈 셀(eFuse cell)

110, 120: 제1 및 제2 PMOS 트랜지스터

130, 140: 제1 및 제2 NMOS 트랜지스터

210, 220: 제1 및 제2 읽기 NMOS 트랜지스터

230: 프로그램 트랜지스터

240: 이퓨즈

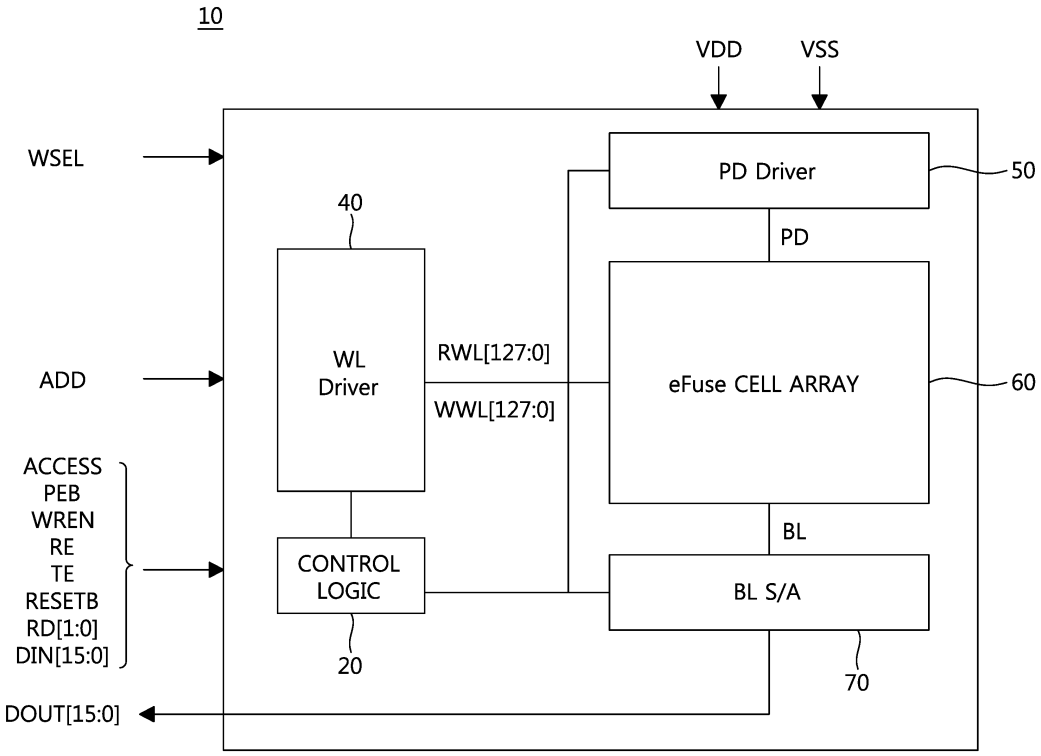
250: 프로그램 전류 제어부

300: 읽기 전류 제어부

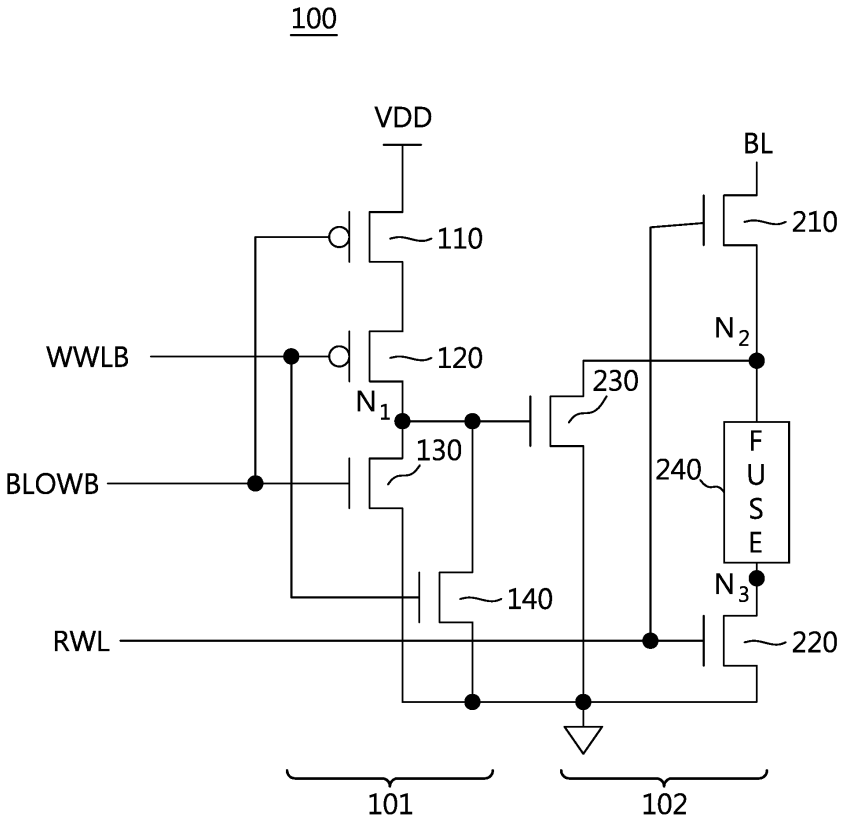
400: 기준 전압 생성부

도면

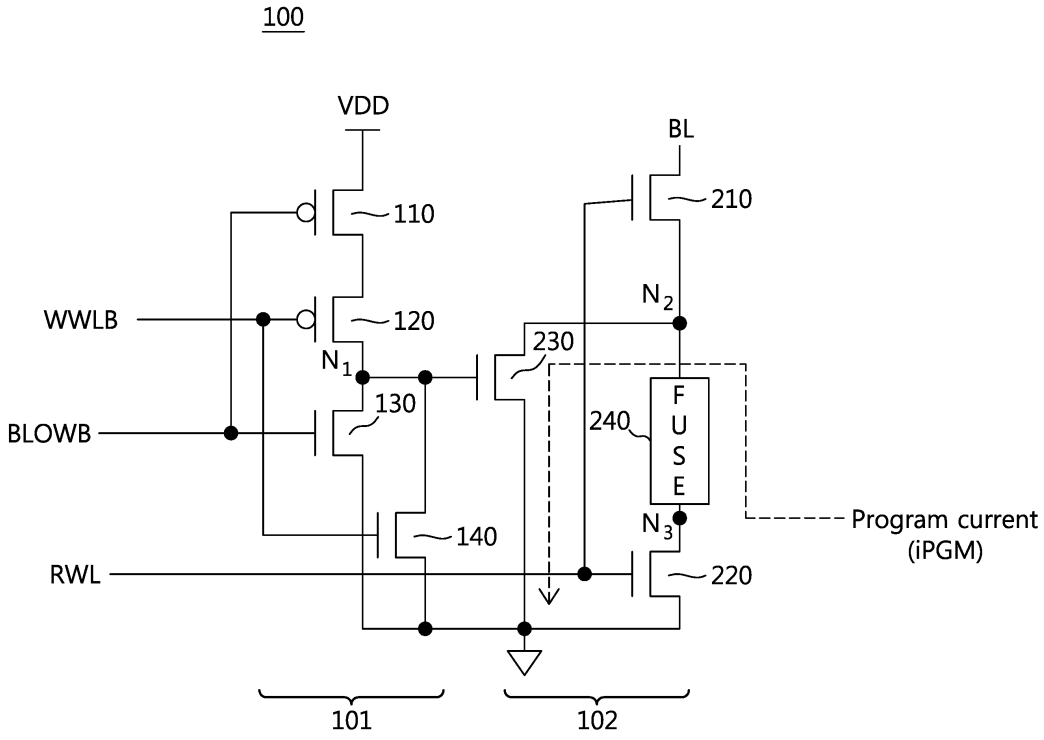
도면1


10
VDD
VSS
WSEL
ADD
ACCESS
PEB
WREN
RE
TE
RESETB
RD[1:0]
DIN[15:0]
DOUT[15:0]
40
WL
Driver
RWL[127:0]
WWL[127:0]
CONTROL
LOGIC
20
PD Driver
50
PD
eFuse CELL ARRAY
60
BL
BL S/A
70

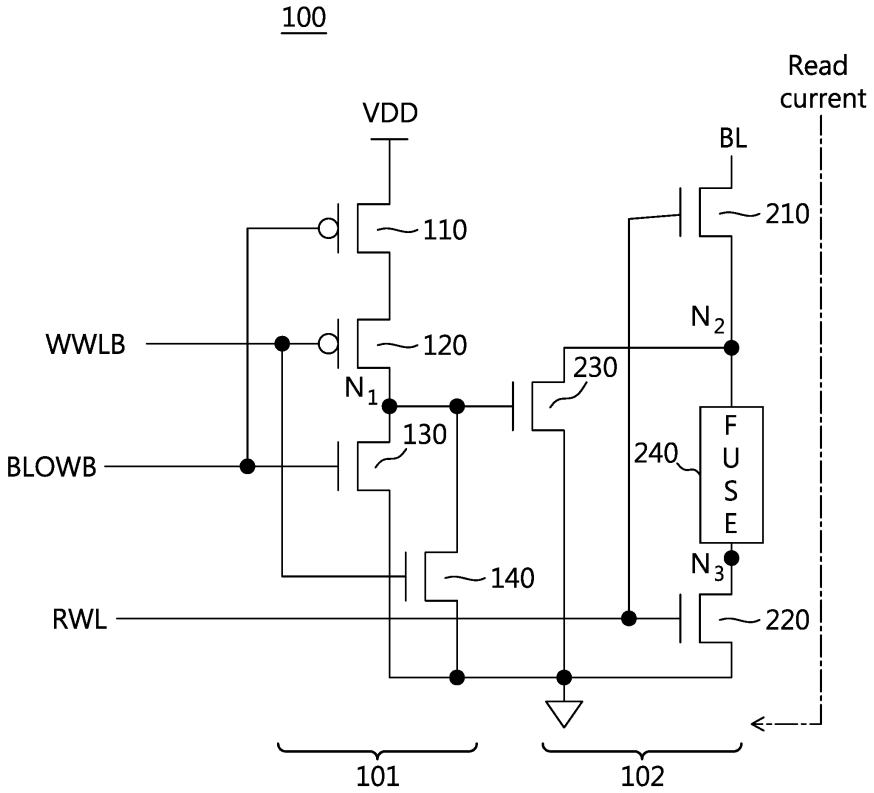
도면2a


100
VDD
BL
110
210
WWLB
120
N1
N2
230
130
240
FUSE
BLOWB
140
N3
RWL
220
101
102

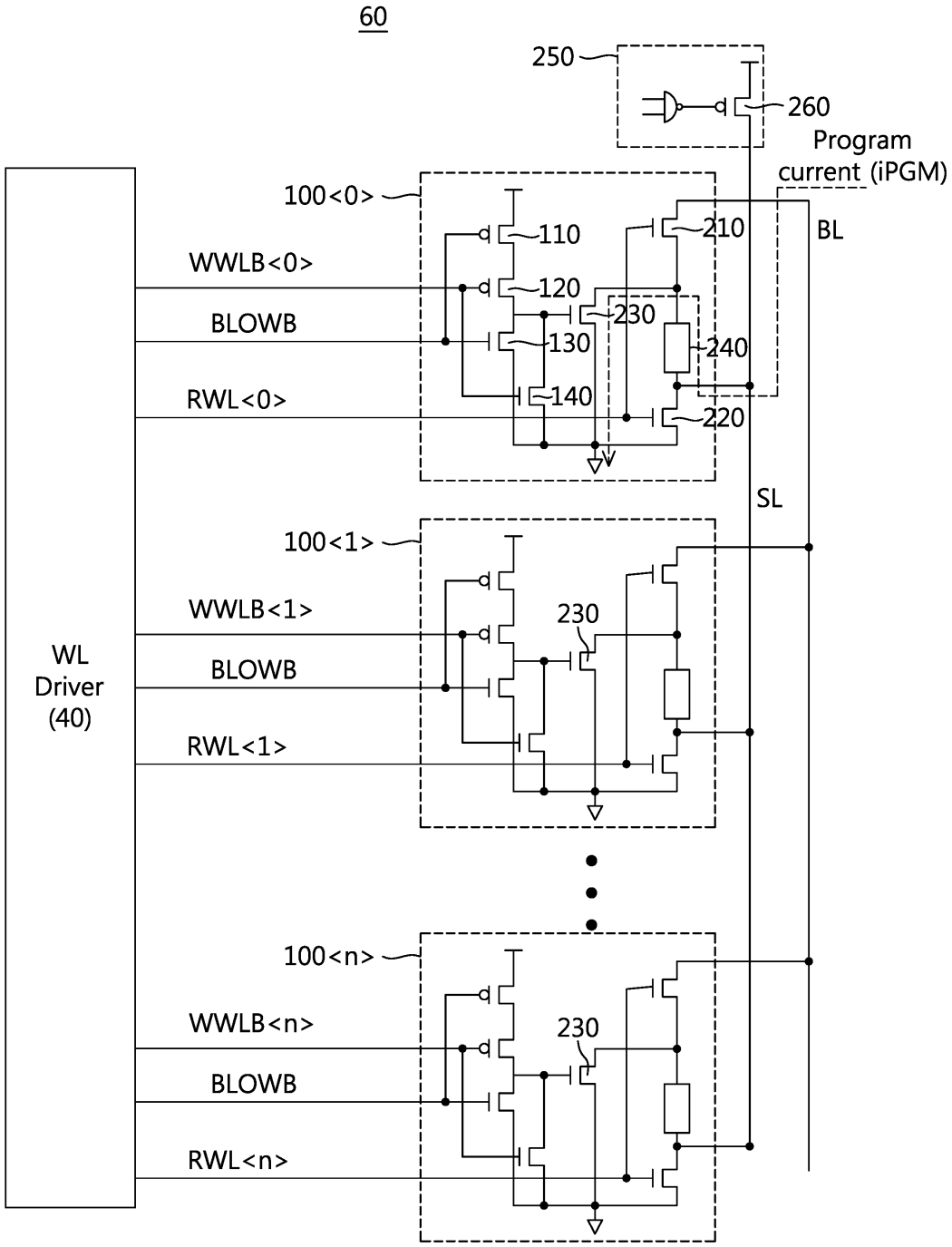
도면2b


100
VDD
BL
110
210
WWLB
120
N2
230
N1
130
240
FUSE
BLOWB
Program current
(iPGM)
140
N3
RWL
220
101
102

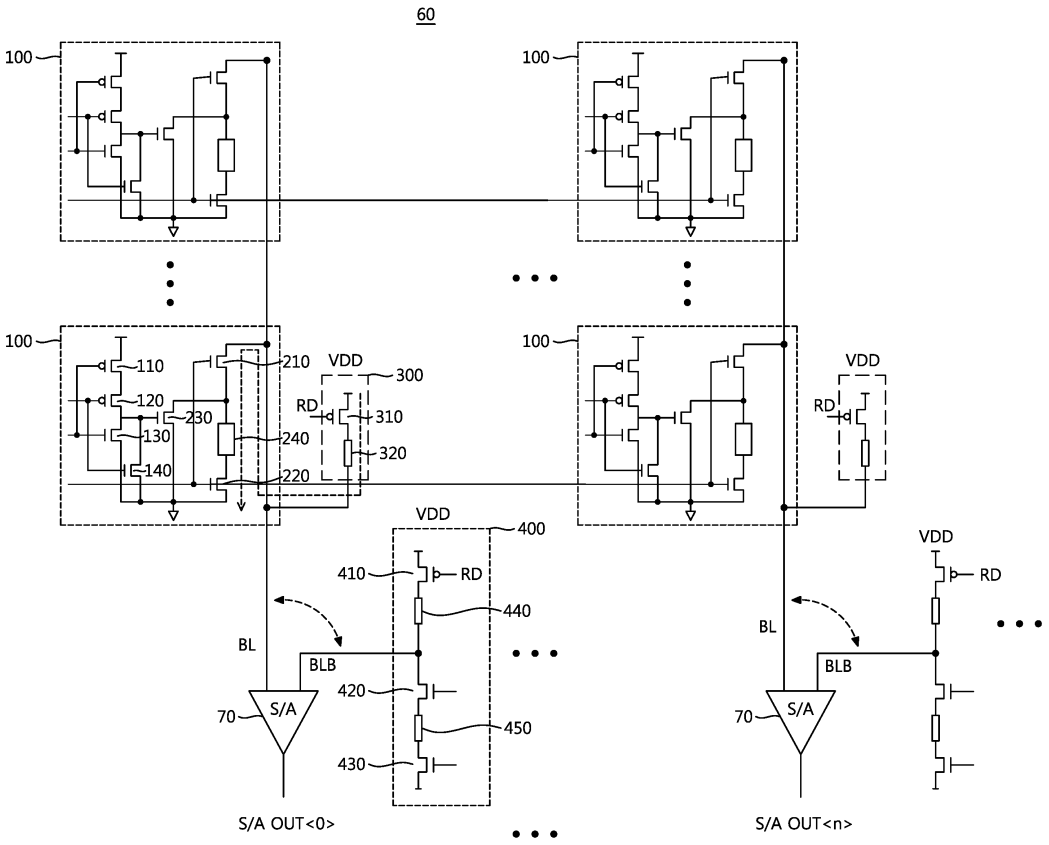
도면2c


100
Read
current
VDD
BL
110
210
WWLB
120
N2
230
N1
130
240
FUSE
BLOWB
140
N3
RWL
220
101
102

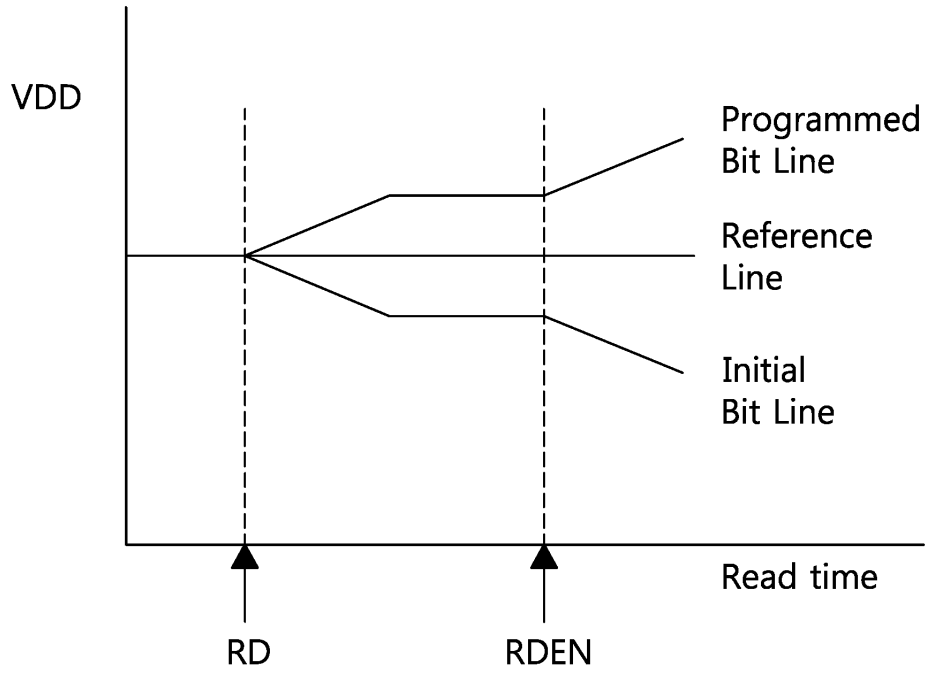
도면3


60
250
260
Program
current (iPGM)
BL
SL
100<0>
110
210
WWLB<0>
120
230
BLOWB
130
240
RWL<0>
140
220
100<1>
WWLB<1>
230
WL
Driver
(40)
BLOWB
RWL<1>
100<n>
WWLB<n>
230
BLOWB
RWL<n>

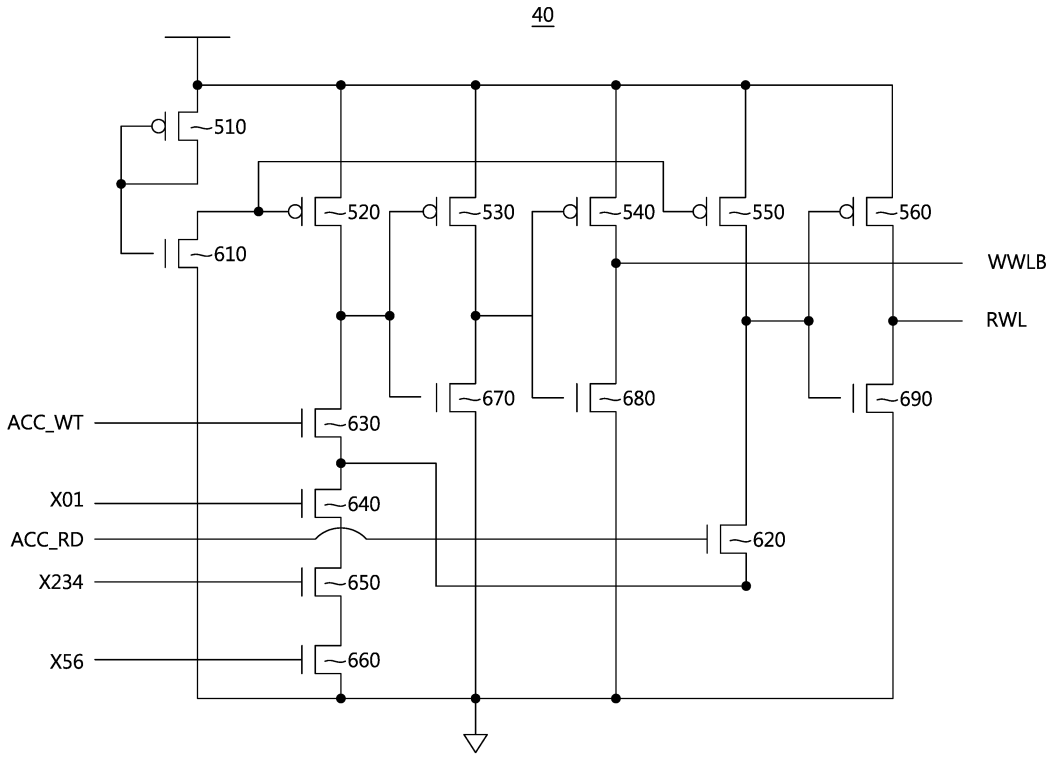
도면4


60
100
100
100
100
110
120
130
140
210
220
230
240
VDD
300
RD
310
320
VDD
RD
VDD
400
410
RD
440
450
420
430
BL
BLB
S/A
70
S/A OUT<0>
VDD
RD
BL
BLB
S/A
70
S/A OUT<n>

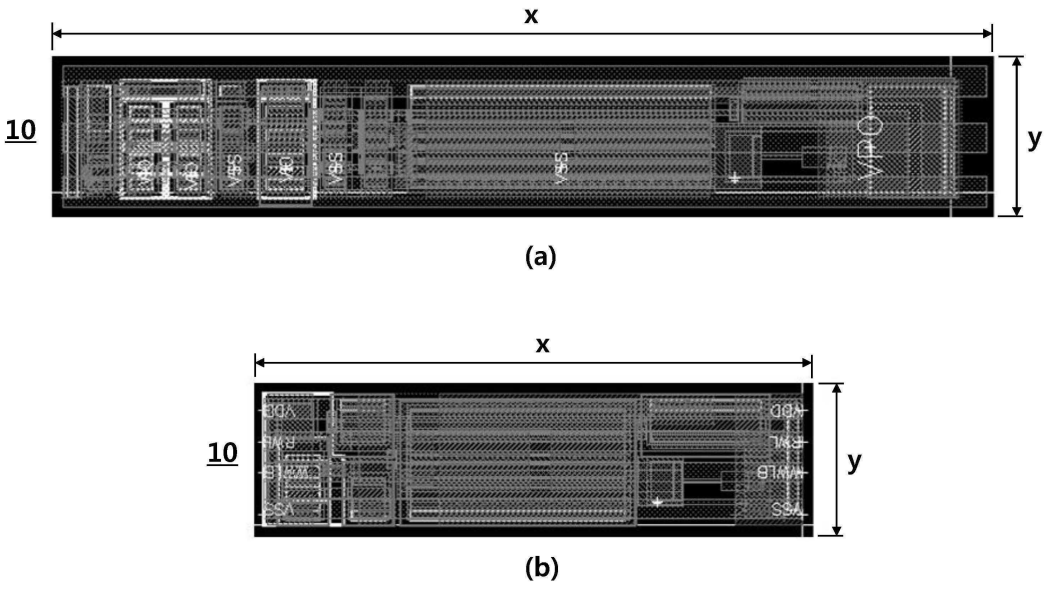
도면5


VDD
Programmed
Bit Line
Reference
Line
Initial
Bit Line
Read time
RD
RDEN

도면6


40
510
520
530
540
550
560
610
WWLB
RWL
670
680
690
ACC_WT
630
X01
640
ACC_RD
620
X234
650
X56
660

도면7


x
10
y
(a)
x
10
y
(b)