



(12) 发明专利

(10) 授权公告号 CN 102738083 B

(45) 授权公告日 2016. 05. 25

(21) 申请号 201110085275. 6

CN 101252146 A, 2008. 08. 27,

(22) 申请日 2011. 04. 06

CN 101677087 A, 2010. 03. 24,

(73) 专利权人 联华电子股份有限公司

CN 101803005 A, 2010. 08. 11,

地址 中国台湾新竹科学工业园区

CN 101901762 A, 2010. 12. 01,

CN 101930913 A, 2010. 12. 29,

(72) 发明人 廖柏瑞 蔡宗龙 林建廷 徐韶华

审查员 吴昊

陈意维 黄信富 李宗颖 蔡旻鎔

杨建伦 吴俊元 蔡腾群 黄光耀

许嘉麟 杨杰甯 陈正国 曾荣宗

李志成 施宏霖 黄柏诚 陈奕文

许哲华

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

CN 1947242 A, 2007. 04. 11,

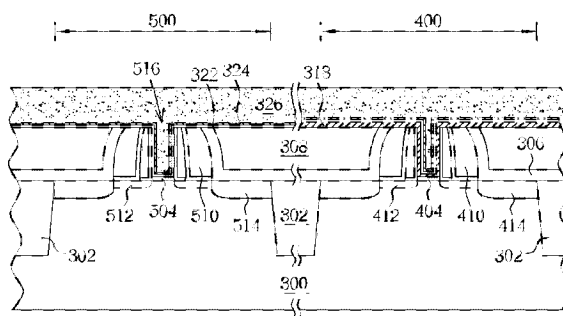
权利要求书2页 说明书7页 附图11页

(54) 发明名称

具有金属栅极的半导体元件的制作方法

(57) 摘要

本发明提供了一种制作具有金属栅极的半导体元件的方法。此方法首先提供基底。基底包括第一导电型晶体管、第二导电型晶体管,其中第一导电型晶体管包括第一牺牲栅极,第二导电型晶体管包括第二牺牲栅极。接着移除第一导电型晶体管的第一牺牲栅极以形成第一沟槽,并于第一沟槽内形成第一金属层。移除第二导电型晶体管的第二牺牲栅极以形成第二沟槽,并于第一沟槽内以及第二沟槽内形成第二金属层。最后于第二金属层上形成第三金属层,使得第三金属层填入第一沟槽以及第二沟槽中。



1. 一种制作具有金属栅极的半导体元件的方法,包括:

提供基底,其中该基底包括第一导电型晶体管、第二导电型晶体管,且该第一导电型晶体管包括第一牺牲栅极,该第二导电型晶体管包括第二牺牲栅极;

移除该第一导电型晶体管的该第一牺牲栅极,以形成第一沟槽;

于该第一沟槽内形成第一金属层;

在形成该第一金属层后,移除该第二导电型晶体管的该第二牺牲栅极,以形成第二沟槽;

于该第一沟槽内以及该第二沟槽内形成第二金属层;

于该第二金属层上形成阻障层,使得该阻障层填入该第一沟槽以及该第二沟槽中;以及

于该阻障层上形成第三金属层,使得该第三金属层填满该第一沟槽以及该第二沟槽。

2. 如权利要求1所述的制作具有金属栅极的半导体元件的方法,在形成该第三金属层后,还包括进行平坦化工艺以同时移除位于该第一沟槽以及该第二沟槽外的该第一金属层、该第二金属层以及该第三金属层。

3. 如权利要求1所述的制作具有金属栅极的半导体元件的方法,其中该第一导电型晶体管包括P型晶体管,该第二导电型晶体管包括N型晶体管。

4. 如权利要求3所述的制作具有金属栅极的半导体元件的方法,其中该第一金属层包括镍、钯、铂、铍、铟、碲、铈、钇、铈、钨、钼;钨、钇、钼、钽、钛的氮化物;钨、钽、钛的碳化物;或者氮化钛铝、氮化钽铝。

5. 如权利要求3所述的制作具有金属栅极的半导体元件的方法,其中该第二金属层包括铝化钛、铝化锆、铝化钨、铝化钽或铝化钼。

6. 如权利要求1所述的制作具有金属栅极的半导体元件的方法,其中该阻障层包括氮化钛。

7. 如权利要求3所述的制作具有金属栅极的半导体元件的方法,在形成该第三金属层前,还包括对该第二金属层进行钝化工艺。

8. 如权利要求7所述的制作具有金属栅极的半导体元件的方法,其中该钝化工艺包括氧化工艺、氮化工艺或者使用氨水的工艺。

9. 如权利要求1所述的制作具有金属栅极的半导体元件的方法,其中移除该第一导电型晶体管的该第一牺牲栅极的步骤,包括:

形成掩模层;

于该掩模层上形成第一图案化光致抗蚀剂层,覆盖该第二导电型晶体管;

移除未被该第一图案化光致抗蚀剂层覆盖的该掩模层以及部分的该第一牺牲栅极;

对该第一图案化光致抗蚀剂层进行光致抗蚀剂修整步骤以形成第二图案化光致抗蚀剂层,其中该第二图案化光致抗蚀剂层的覆盖面积小于该第一图案化光致抗蚀剂层的覆盖面积;

移除未被该第二图案化光致抗蚀剂层覆盖的该掩模层;

移除该第二图案化光致抗蚀剂层;以及

进行湿蚀刻工艺以完全移除该第一牺牲栅极。

10. 如权利要求9所述的制作具有金属栅极的半导体元件的方法,其中该光致抗蚀剂修

整步骤包括使用氧气、臭氧、四氟化碳或溴化氢的等离子体气体。

11. 如权利要求9所述的方法,还包括于该掩模层上形成辅助层,其中该辅助层包括二氧化硅。

12. 如权利要求1所述的制作具有金属栅极的半导体元件的方法,在移除该第一牺牲栅极后,还包括进行退火步骤。

13. 如权利要求1所述的制作具有金属栅极的半导体元件的方法,在移除该第二牺牲栅极后,还包括进行退火步骤。

具有金属栅极的半导体元件的制作方法

技术领域

[0001] 本发明涉及一种具有金属栅极(metal gate)的半导体元件的制作方法。

背景技术

[0002] 在已知半导体产业中,多晶硅广泛地应用于半导体元件如金属氧化物半导体(metal-oxide-semiconductor, MOS)晶体管中,作为标准的栅极材料选择。然而,随着MOS晶体管尺寸持续地微缩,传统多晶硅栅极因硼穿透(boron penetration)效应导致元件效能降低,及其难以避免的耗尽层效应(depletion effect)等问题,使得等效的栅极介电层厚度增加、栅极电容值下降,进而导致元件驱动能力的衰退等困境。因此,半导体业界更尝以新的栅极材料,例如利用功函数(work function)金属来取代传统的多晶硅栅极,用以作为匹配高介电常数(High-K)栅极介电层的控制电极。

[0003] 而在互补式金属氧化物半导体(complementary metal-oxidesemiconductor, CMOS)元件中,双功函数金属栅极一方面需与N型金属氧化物半导体(NMOS)元件搭配,另一方面则需与P型金属氧化物半导体(PMOS)元件搭配,因此使得相关元件的整合技术以及工艺控制更形复杂,且各材料的厚度与成分控制要求亦更形严苛。双功函数金属栅极的制作方法可概分为前栅极(gate first)工艺及后栅极(gate last)工艺两大类。其中前栅极工艺会在形成金属栅极后进行源极/漏极超浅结活化回火以及形成金属硅化物等高温预算工艺,因此使得材料的选择与调整面对较多的挑战。为避免上述高温预算环境并获得较宽的材料选择,业界提出以后栅极工艺取代前栅极工艺的方法。

[0004] 而已知后栅极工艺中,是先形成牺牲栅极(sacrifice gate)或取代栅极(replacement gate),并在完成一般MOS晶体管的制作后,将牺牲/取代栅极移除而形成栅极凹槽(gate trench),再依电性需求于栅极凹槽内填入不同的金属。但由于后栅极工艺相当复杂,需要多道工艺才能完成,因此目前厂商皆致力精简化形成金属栅极的工艺。

发明内容

[0005] 本发明于是提供一种制作具有金属栅极的半导体元件的方法,可得到优选的工艺可靠度。

[0006] 根据优选实施例,本发明提供了一种制作具有金属栅极的半导体元件的方法。此方法首先提供基底。基底包括第一导电型晶体管、第二导电型晶体管,其中第一导电型晶体管包括第一牺牲栅极,第二导电型晶体管包括第二牺牲栅极。接着移除第一导电型晶体管的第一牺牲栅极以形成第一沟槽,并于第一沟槽内形成第一金属层。移除第二导电型晶体管的第二牺牲栅极以形成第二沟槽,并于第一沟槽内以及第二沟槽内形成第二金属层。最后于第二金属层上形成第三金属层,使得第三金属层填入第一沟槽以及第二沟槽中。

[0007] 本发明所提供的方法,是先在第一沟槽或者第二沟槽中分别形成P型功函数金属层以及N型功函数金属层,最后再以低电阻的金属层同时填满第一沟槽以及第二沟槽,故可以避免已知技术金属层(通常是铝)填洞能力不佳的问题,且本发明亦只需要一次的金属平

坦化步骤,故可有效提高工艺的不良率。

附图说明

[0008] 图1至图12所绘示为本发明第一实施例中制作具有金属栅极的半导体元件的方法的示意图。

[0009] 图13至图19所绘示为本发明第二实施例中制作具有金属栅极的半导体元件的方法的示意图。

[0010] 附图标记说明

[0011]	300	基底	406	第一牺牲栅极
[0012]	302	浅沟槽隔离	408	第一盖层
[0013]	306	接触洞蚀刻停止层	410	第一间隙壁
[0014]	308	层内介电层	412	第一轻掺杂漏极
[0015]	312	掩模层	414	第一源极/漏极
[0016]	314	辅助层	416	第一沟槽
[0017]	316	第一图案化光致抗蚀剂层	418	第一金属栅极
[0018]	317	第二图案化光致抗蚀剂层	500	第二有源区域
[0019]	318	P型功函数金属层	502	第二导电型晶体管
[0020]	319	第一图案化光致抗蚀剂层	504	第二栅极介电层
[0021]	320	第三图案化光致抗蚀剂层	506	第二牺牲栅极
[0022]	321	第三图案化光致抗蚀剂层	508	第二盖层
[0023]	322	N型功函数金属层	510	第二间隙壁
[0024]	324	阻障层	512	第二轻掺杂漏极
[0025]	326	金属层	514	第二源极/漏极
[0026]	400	第一有源区域	516	第二沟槽
[0027]	402	第一导电型晶体管	518	第二金属栅极
[0028]	404	第一栅极介电层		

具体实施方式

[0029] 为使本领域的一般技术人员能更进一步了解本发明,下文特列举本发明的数个优选实施例,并配合附图,详细说明本发明的构成内容及所欲达成的功效。

[0030] 请参考图1至图12,所绘示为本发明第一实施例中制作具有金属栅极的半导体元件的方法的示意图。首先,提供基底300,例如是硅基底、含硅基底或绝缘体上硅(silicon-on-insulator,SOI)基底等。基底300上具有多个浅沟槽隔离(shallow trench isolation,STI)302,浅沟槽隔离302可具有适当的应力。通过浅沟槽隔离302所包围的区域,可定义出彼此电性绝缘的第一有源区域400以及第二有源区域500。接着分别于第一有源区域400与第二有源区域500的基底300上形成第一导电型晶体管402与第二导电型晶体管502。在本实施例中,第一导电型晶体管402为P型晶体管,而第二导电型晶体管502则为N型晶体管。

[0031] 如图1所示,第一导电型晶体管402包括第一栅极介电层404、第一牺牲栅极406、第一盖层408、第一间隙壁410、第一轻掺杂漏极(light doped drain,LDD)412以及第一源极/

漏极414。于本发明优选实施例中,第一栅极介电层404可为二氧化硅层,亦可为高介电常数(high-K)栅极介电层。高介电常数栅极介电层的材料例如为氮化硅(SiN)、氮氧化硅(SiON)或者金属氧化物所组成的群组,其中金属氧化物可以是稀土金属氧化物层,例如是包括氧化铪(hafnium oxide, HfO_2)、硅酸铪氧化合物(hafnium silicon oxide, HfSiO_4)、硅酸铪氮氧化合物(hafnium silicon oxynitride, HfSiON)、氧化铝(aluminum oxide, Al_2O_3)、氧化镧(lanthanum oxide, La_2O_3)、铝酸镧(lanthanum aluminum oxide, LaAlO)、氧化钽(tantalum oxide, Ta_2O_5)、氧化锆(zirconium oxide, ZrO_2)、硅酸锆氧化合物(zirconium silicon oxide, ZrSiO_4)、锆酸铪(hafnium zirconium oxide, HfZrO)、锶铋钽氧化物(strontium bismuth tantalate, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, SBT)、锆钛酸铅(lead zirconate titanate, $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, PZT)或钛酸钡锶(barium strontium titanate, $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$, BST)等。第一栅极介电层404亦可为复合层,包括上述的任意组合,优选地由下而上包括二氧化硅层及高介电常数栅极介电层。第一牺牲栅极406则例如是多晶硅栅极,但也可以是由多晶硅层、非晶硅(amorphous Si)或者锆层所组合的复合栅极,或者,在其他实施例中,第一牺牲栅极406会具有倾斜侧壁,而具有“上大下小”的形状。在第一牺牲栅极406与第一栅极介电层404之间可选择性地增加匹配层或后续工艺用的蚀刻停止层,例如包括氮化硅层或金属氮化物层如氮化钛或氮化钽。第一盖层408则是选择性膜层,例如是氮化硅层或氧化层或此两者的复合层。第一间隙壁410可为复合膜层的结构,其可包括高温氧化硅层(high temperature oxide, HTO)、氮化硅、氧化硅或使用六氯二硅烷(hexachlorodisilane, Si_2Cl_6)形成的氮化硅(HCD-SiN)。于实施例中,第一间隙壁410亦可部分或完全被移除,使得接触洞蚀刻停止层(contact etch stop layer, CESL)306对于第一导电型晶体管402以及第二导电型晶体管502能具有优选应力。第一轻掺杂漏极412以及第一源极/漏极414则以适当浓度的掺质加以形成。

[0032] 第二导电型晶体管502包括第二栅极介电层504、第二牺牲栅极506、第二盖层508、第二间隙壁510、第二轻掺杂漏极512以及第二源极/漏极514。第二导电型晶体管502中各元件的实施方式大致与第一导电型晶体管402相同,在此不加以赘述。此外,虽然图1中未明白绘出,但第一导电型晶体管402与第二导电型晶体管502仍可包括其他半导体结构,例如金属硅化物层(salicide)、以选择性外延成长(selective epitaxial growth, SEG)而形成具有六面体(hexagon, 又叫sigma Σ)或八面体(octagon)截面形状的源极/漏极或是其他保护层。在形成了第一导电型晶体管402与第二导电型晶体管502后,在基底300上依序形成接触洞蚀刻停止层(contact etch stop layer, CESL)306与内层介电层(inter-layer dielectric, ILD)308,覆盖在第一导电型晶体管402与第二导电型晶体管502上。于实施例中,接触洞蚀刻停止层306具有应力(stress),以作为选择性应力系统(selective strain scheme, SSS);接触洞蚀刻停止层306可为单层或复合层,在第一导电型晶体管402上施加压缩应力而在第二导电型晶体管502上施加伸张应力。

[0033] 如图2所示,接着进行平坦化工艺,例如化学机械平坦化(chemical mechanical polish, CMP)工艺或者回蚀刻工艺或两者的组合,以依序移除部分的内层介电层308、部分的接触洞蚀刻停止层306、部分的第一间隙壁410、部分的第二间隙壁510,并完全移除第一盖层408、第二盖层508,直到暴露出第一牺牲栅极406与第二牺牲栅极506的顶面。

[0034] 如图3所示,接着于基底300上全面形成掩模层312以及选择性的辅助层314。于本

发明优选实施例中,掩模层312优选为氮化钛(TiN)层,而辅助层314优选为氧化硅(SiO₂)层。辅助层314可提供后续图案化的光致抗蚀剂层316优选的附着力。于实施例中,掩模层312的厚度大体上为50至150埃(angstrom),优选地为100埃,而辅助层314的厚度大体上为0至50埃,优选地为20埃,但不以上述为限。接着,在基底300上形成第一图案化光致抗蚀剂层316,其覆盖至少第二有源区域500。

[0035] 接着,利用第一图案化光致抗蚀剂层316为掩模,以移除未被第一图案化光致抗蚀剂层316覆盖的掩模层312、辅助层314以及第一牺牲栅极406。上述步骤是先将第一图案化光致抗蚀剂层316的图形转印至掩模层312后,再以掩模层312为掩模来移除第一牺牲栅极406。然而,第一牺牲栅极406的材料例如为多晶硅,而使用掩模层312为掩模来移除下方的多晶硅材料时,湿蚀刻虽有优选蚀刻选择比,能完美地停止在第一栅极介电层404上,但会有严重的侧向蚀刻(under cut)问题,这样的问题在形成其他半导体结构,例如静态随机存取存储器(SRAM)中具有连通P型晶体管与N型晶体管的栅极界面的半导体装置时,更容易会发生。相反地,干蚀刻较无侧向蚀刻,但无法停止在第一栅极介电层404上,而有过蚀刻问题,因此,实施例是先以干蚀刻移除大部分第一牺牲栅极406后,再以湿蚀刻移除最后的第一牺牲栅极406,而停止在第一栅极介电层404上。本发明的另一实施例在移除多晶硅的第一牺牲栅极406时,提供了如下文的步骤。请参考图4a至图7b,其中图4b与图7b所代表的是具有P型晶体管以及N型晶体管栅极界面的半导体结构,可分别对应于图4a与图7a的横剖面图,而剖面对应于第二牺牲栅极506的位置。图4b与图7b的虚线I即代表了由多晶硅所组成的界面位置,虚线I的右侧代表P型半导体,左侧代表N型半导体。

[0036] 如图4a与图4b所示,首先进行干蚀刻工艺以移除未被第一图案化光致抗蚀剂层316覆盖的掩模层312以及辅助层314,以及部分的第一牺牲栅极406。接着如图5所示,对第一图案化光致抗蚀剂316进行修整步骤(trimmed),例如使用氧气(O₂)、臭氧(O₃)、四氟化碳(CF₄)或溴化氢(HBr)等的等离子体气体以对第一图案化光致抗蚀剂层316的侧壁进行修整,而稍微减少第一图案化光致抗蚀剂层316的宽度,使得第一图案化光致抗蚀剂层316大体上均匀地向内缩小,而形成了第二图案化光致抗蚀剂层317。如图4b所示,第一图案化光致抗蚀剂层316原先较靠近第一牺牲栅极406的一侧,而进行光致抗蚀剂修整步骤后,第一光致抗蚀剂层316会靠近第二牺牲栅极506的一侧而形成了第二图案化光致抗蚀剂层317。可以理解的是,若以俯视图的角度来看,第二图案化光致抗蚀剂层317的覆盖面积会小于第一图案化光致抗蚀剂层316的覆盖面积。接着如图6所示,以第二图案化光致抗蚀剂层317为掩模,移除未被第二图案化光致抗蚀剂层317覆盖的掩模层312以及辅助层314。最后,如图7a以及图7b所示,移除第二图案化光致抗蚀剂层317以及辅助层314后,进行湿蚀刻步骤以彻底移除第一牺牲栅极406。如图7a所示,移除第一牺牲栅极406后,会在第一导电型晶体管402中形成第一沟槽(trench)416,第二导电型晶体管502的第二牺牲栅极506由于被掩模层312覆盖,因此并不会被移除;而如图7b所示,经蚀刻后的多晶硅侧壁可以较准确地位于虚线I处,且不会有侧向蚀刻的问题。

[0037] 于本发明的实施例中,移除了第一牺牲栅极406后,还可以进行退火(anneal)步骤。由于在形成进行如图2的平坦化工艺时,会移除部分的接触洞蚀刻停止层306,进而破坏了接触洞蚀刻停止层306原先应有的应力。因此,在移除了第一牺牲栅极406后,本发明还进行了退火步骤以回复接触洞蚀刻停止层306的应力状态。于本发明优选实施例中,退火步骤

例如是以快速升温退火设备或激光退火设备进行500至700度的加热,或者在300度至450度的环境下照射紫外光(UV)。此外,在移除了第一牺牲栅极406后,还可搭配保护第一沟槽416的下部的光致抗蚀剂(图未示)进行干蚀刻步骤或湿蚀刻步骤以移除位于第一沟槽416上部处的第一间隙壁410,例如移除位于区域A中的第一间隙壁410,以加大第一沟槽416的上开口大小。

[0038] 接着如图8所示,在基底300上全面形成P型功函数金属层318。P型功函数金属层318会沿着第一沟槽416的表面共形形成,但并不完全填满第一沟槽416。于本实施例中,P型功函数金属层318为满足P型晶体管所需功函数要求的金属,例如是镍(Ni)、钯(Pd)、铂(Pt)、铍(Be)、铱(Ir)、碲(Te)、铼(Re)、钌(Ru)、铑(Rh)、钨(W)、钼(Mo);钨、钌、钽、钽(Ta)、钛(Ti)的氮化物;钨、钽、钛的碳化物;或者氮化钛铝(TiAlN)、氮化钽铝(TaAlN),但不以上述为限;P型功函数金属与掩模层312可使用相同材料或不同材料,但优选地P型功函数金属与掩模层312对于同一种蚀刻剂可具有接近的蚀刻率,最佳的P型功函数金属与掩模层312为同一种材料。

[0039] 接着如图9所示,在基底300上形成第三图案化光致抗蚀剂层320,其至少覆盖于第一有源区域400。接着,如图10所示,以第三图案化光致抗蚀剂层320为掩模,移除未被第三图案化光致抗蚀剂层320覆盖的P型功函数金属层318以及掩模层312,并暴露出第二牺牲栅极506。最后,去除第三图案化光致抗蚀剂层320。当然,此处利用第三图案化光致抗蚀剂层320进行蚀刻步骤时,亦可包括前文所述的修整步骤。

[0040] 接着如图11所示,进行干蚀刻工艺及/或湿蚀刻工艺以移除第二牺牲栅极506,而在第二导电型晶体管502中形成了第二沟槽516。同样的,在移除了第二牺牲栅极506后,可进行退火工艺以回复接触洞蚀刻停止层306的应力。同样的,在移除了第二牺牲栅极506后,亦可选择性地搭配保护第二沟槽(trench)516的下部的光致抗蚀剂(图未示)进行干蚀刻步骤或湿蚀刻步骤以移除位于第二沟槽(trench)516上部处的第二间隙壁510,扩大第二沟槽516上部的开口大小。接着,在基底300上全面共形地形成N型功函数金属层322。N型功函数金属层322会共形地沿第二沟槽516的表面以及第一沟槽416中P型功函数金属层318的表面形成,但并不完全填满第二沟槽516以及第一沟槽416。于本发明优选实施例中,N型功函数金属层322为满足N型晶体管所需功函数要求的金属,例如是铝化钛(titanium aluminides, TiAl)、铝化锆(aluminum zirconium, ZrAl)、铝化钨(aluminum tungsten, WAl)、铝化钽(aluminum tantalum, TaAl)或铝化铪(aluminum hafnium, HfAl),但不以上述为限。接着,为了避免N型功函数金属层322被后续填入的金属层326侵入(spike)而影响其功能,本实施例还可以选择性的在N型功函数金属层322以及金属层326之间形成阻障层324。于本发明优选实施例中,阻障层324为金属层,例如是氮化钛(TiN)层。最后,在基底300上全面形成低电阻的金属层326。金属层326会形成于N型功函数金属层322上(如有阻障层324,则是形成在阻障层324上),并填满第二沟槽516以及第一沟槽416。于本发明优选实施例中,金属层326包括铝(Al)、钛(Ti)、钽(Ta)、钨(W)、铌(Nb)、钼(Mo)、铜(Cu)、氮化钛(TiN)、碳化钛(TiC)、氮化钽(TaN)、钛钨(Ti/W)或钛与氮化钛(Ti/TiN)等复合金属层料,但不以此为限。

[0041] 最后,如图12所示,进行平坦化工艺以同时移除第一沟槽416以及第二沟槽516以外的P型功函数金属层318、N型功函数金属层322以及金属层326。如此一来,位于第一沟槽

416内的P型功函数金属318、N型功函数金属322、(阻障层324)以及金属层326会形成第一导电型晶体管402(P型晶体管)中的第一金属栅极418,且其功函数大致上介于4.8eV与5.2eV之间;而位于第二沟槽518内的N型功函数金属层322、(阻障层324)以及金属层326会形成第二导电型晶体管502(N型晶体管)中的第二金属栅极518,且其功函数大致上介于3.9eV与4.3eV之间。于本发明另一实施例中,可调整P型功函数金属层318以及N型功函数金属层322的厚度,使其发挥优选的功函数功能。

[0042] 在完成了第一金属栅极418以及第二金属栅极518之后,后续还可进行接触插拴(contact plug)的制作,例如形成具有应力的接触插拴。或者,在接触插拴形成前,还可以先完全移除内层介电层306以及接触洞蚀刻停止层308,接着于基底300上再次形成至少另一接触洞蚀刻停止层(图未示),并且通过施加紫外线或者热能的步骤,以使新的接触洞蚀刻停止层产生应力,以分别提升第一导电型晶体管402与第二导电型晶体管502的效能。接着再次形成另一内层介电层(图未示),并于其中形成接触插拴,此接触插拴亦可具有适当的应力。

[0043] 值得注意的是,前述实施方式是先形成高介电常数的栅极介电层为例(即high-K first工艺),而本领域的一般技术人员应当了解,本发明亦可在形成金属栅极之前才形成高介电常数的栅极介电层(即high-K last工艺),例如在第一沟槽内416形成P型功函数金属层318之前,可先在第一沟槽416的表面上形成高介电常数的栅极介电层,然后再依序形成P型功函数金属层318以及金属层326等结构。此位于第一沟槽416内的高介电常数的栅极介电层会和P型功函数金属层318一样具有U型剖面;同样的,在第二沟槽516内形成N型功函数金属层322之前,也可先在第二沟槽516的表面上形成高介电常数的栅极介电层,再依序形成N型功函数金属层322以及金属层326等结构,位于第二沟槽516的高介电常数的栅极介电层会和N型功函数金属层322一样具有U型剖面。此外,若是采用high-K last工艺,在牺牲栅极之前所形成的介电层不限于高介电常数材料,而可以是例如二氧化硅(SiO₂)等材料。

[0044] 请参考图13至图19,所绘示为本发明第二实施例中制作具有金属栅极的半导体元件的方法的示意图。第二实施例的前半段步骤与第一实施例的图1至图2相同,可参考前文说明,在此不加以赘述。而为了能够清楚描述本发明的实施方式,相同的元件将以相同的元件符号表示。如图13所示,在进行平坦化工艺后,接着于基底300上全面形成掩模层312、辅助层314以及第一图案化光致抗蚀剂层319,其中第一图案化光致抗蚀剂层319会覆盖至少第一有源区域400。

[0045] 接着如图14所示,以第一图案化光致抗蚀剂层319为掩模,移除未被第一图案化光致抗蚀剂层319覆盖的掩模层312、辅助层314以及部分的第二牺牲栅极506。然后,移除第一图案化光致抗蚀剂层319以及辅助层314后,再完全移除第二牺牲栅极506以形成第二沟槽516。接着进行退火步骤以加强接触洞蚀刻停止层308的应力。当然,此处利用第一图案化光致抗蚀剂层319进行蚀刻步骤时,亦可包括第一实施例所述的修整步骤。或者,亦可以进行干蚀刻步骤或湿蚀刻步骤以扩大第二沟槽516上部的开口大小。

[0046] 接着如图15所示,在基底300上全面形成N型功函数金属层322。N型功函数金属层322会沿着第二沟槽516的表面形成,但并不完全填满第二沟槽516。接着如图16所示,在基底300上形成第三图案化光致抗蚀剂层321,其覆盖至少于第二有源区域500。如图17所示,以第三图案化光致抗蚀剂层321为掩模,移除未被第三图案化光致抗蚀剂层321覆盖的N型

功函数金属层322以及掩模层312,并暴露出第一牺牲栅极406,最后再移除第三图案化光致抗蚀剂层321。此处利用第三图案化光致抗蚀剂层321进行蚀刻步骤时,亦可包括第一实施例所述的修整步骤。

[0047] 如图18所示,进行干蚀刻工艺及/或湿蚀刻工艺以移除第一牺牲栅极406,而在第一导电型晶体管402中形成了第一沟槽416。于另一实施例中,可进行干蚀刻步骤或湿蚀刻步骤以扩大第一沟槽416上部的开口大小。或者进行退火步骤以加强接触洞蚀刻停止层308的应力。接着,在基底300上全面形成P型功函数金属层318。P型功函数金属层318会沿第一沟槽416的表面以及第二沟槽516中N型功函数金属层322的表面形成,但并不完全填满第一沟槽416以及第二沟槽516。接着,可直接在P型功函数金属层318上形成低电阻的金属层326。金属层326形成于N型功函数金属层322上,并填满第二沟槽516以及第一沟槽416。

[0048] 最后,如图19所示,进行平坦化工艺以同时移除位于第一沟槽416以及第二沟槽516以外的P型功函数金属层318、N型功函数金属层322以及金属层326。如此一来,位于第一沟槽416内的P型功函数金属层318以及金属层326会形成第一导电型晶体管402(P型晶体管)中的第一金属栅极418,且其功函数大致上介于4.8eV与5.2eV之间;而位于第二沟槽518内的N型功函数金属层322、P型功函数金属层318以及金属层326会形成第二导电型晶体管502(N型晶体管)中的第二金属栅极518,且其功函数大致上介于3.9eV与4.3eV之间。

[0049] 本实施例的特征在于,因P型功函数金属层318的材料亦可作为良好的阻障层(TiN),故相较于第一实施例,本实施例毋需额外设置阻障层324于N型功函数金属层322以及金属层326之间。P型功函数金属层318可同时扮演P型功函数金属以及阻障层的角色。如此一来,可减少第一晶体管402以及第二晶体管502中金属层的堆叠层数,以避免过多金属层填洞,造成填洞能力不佳的问题。

[0050] 同样的,本实施例在完成了第一金属栅极418以及第二金属栅极518之后,后续可依据选择性应力系统的设计而形成具有应力接触插栓或者具有应力的接触洞蚀刻停止层。且本实施例除了前述的high-K first工艺,也可应用high-K last工艺。

[0051] 而于本发明另一实施例中,在N型功函数金属层322形成后,可立刻进行钝化工艺,使得N型功函数金属层322的表面形成钝化结构。钝化工艺例如利用氨水对N型功函数金属层322表面钝化,或者是进行氮化工艺或者氧化工艺。而在进行完钝化工艺后,即可以前述实施例的方式,在N型功函数金属层322上形成P型功函数金属层318、金属层326或是阻障层324。

[0052] 综上所述,本发明提供了一种制作具有栅极的半导体元件的方法。此方法是先在第一沟槽或者第二沟槽中,分别形成P型功函数金属层以及N型功函数金属层,最后再以低电阻的金属层同时填满第一沟槽以及第二沟槽,故可以避免已知技术金属层(通常是铝)填洞能力不佳的问题。本发明亦只需要一次的金属平坦化步骤,可有效提高工艺的良率。本发明亦考虑到N型功函数金属层容易被金属铝侵入的问题,因此提供了各种实施方式(形成阻障层、进行钝化工艺、直接以P型功函数金属层为阻障层)来避免这样的情况。另外,本发明于形成第一沟槽以及第二沟槽时,使用了光致抗蚀剂修整工艺以及退火工艺,皆可增加产品的可靠度而提高产品良率。

[0053] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的等同变化与修饰,皆应属本发明的涵盖范围。

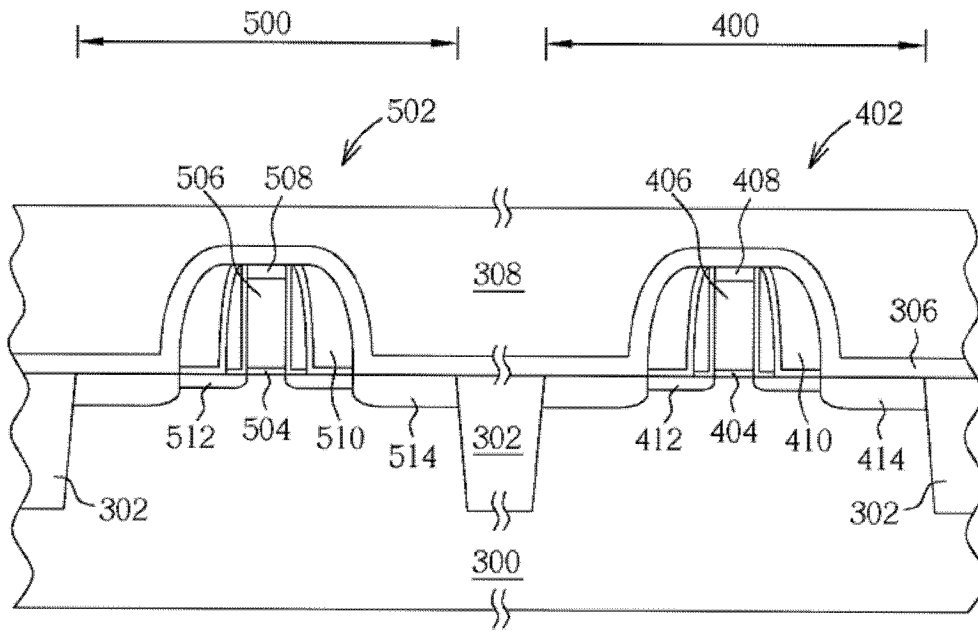


图1

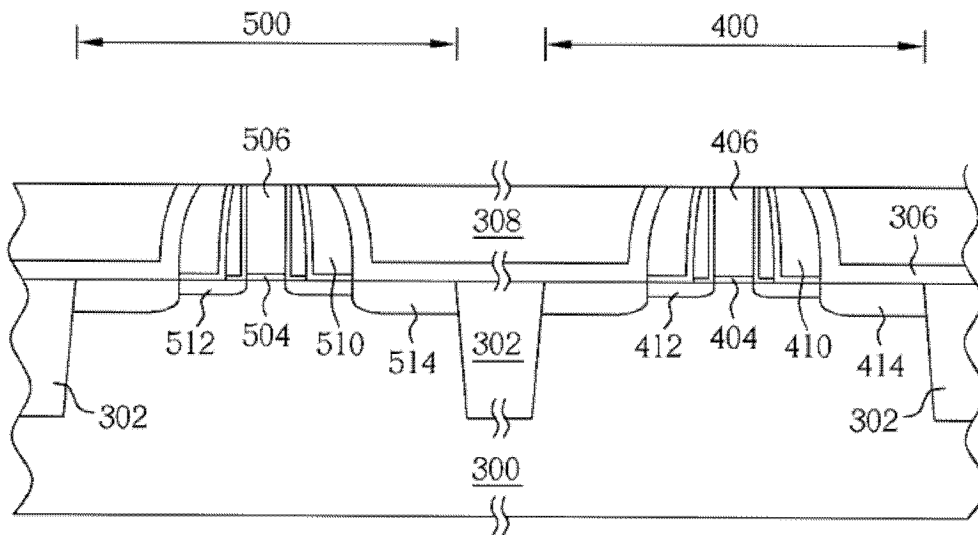


图2

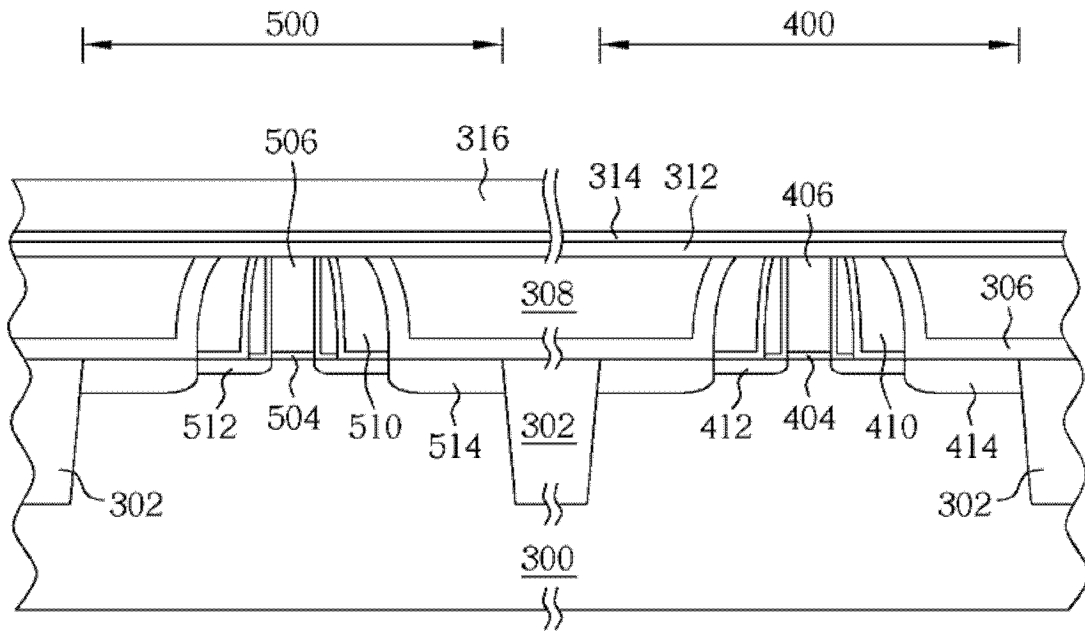


图3

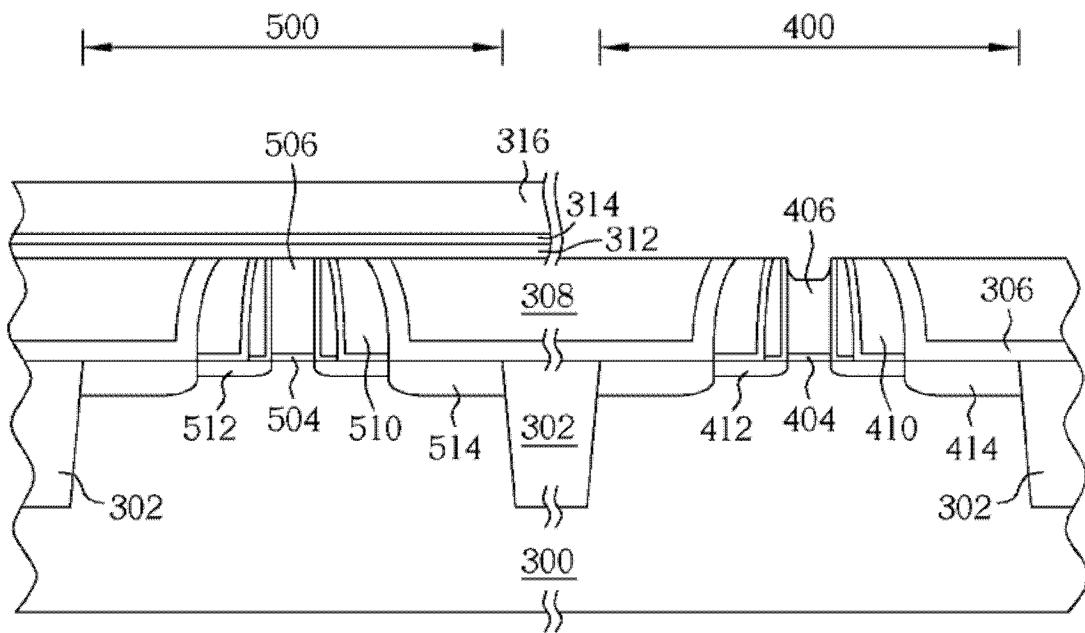


图4a

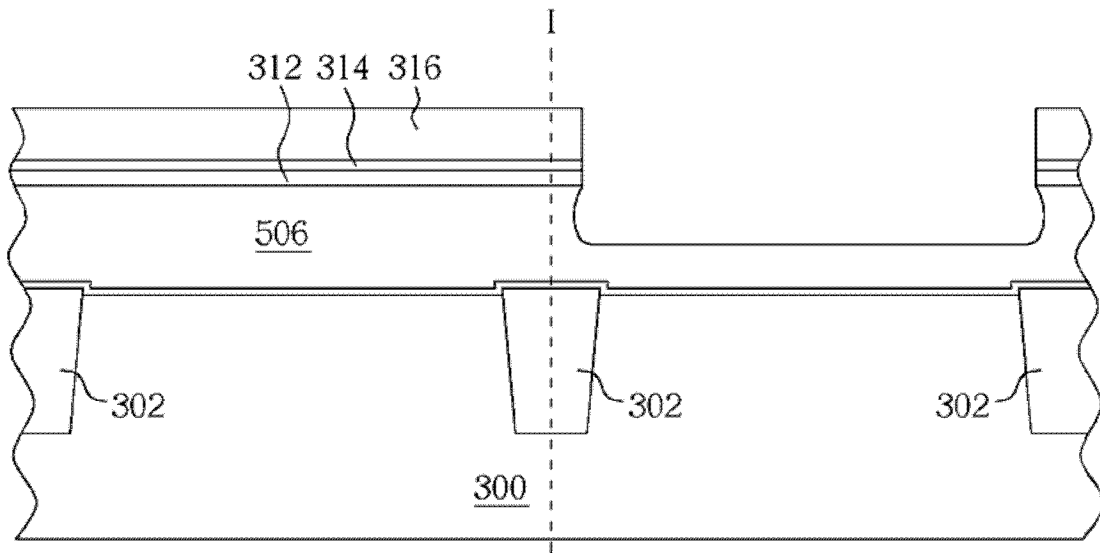


图4b

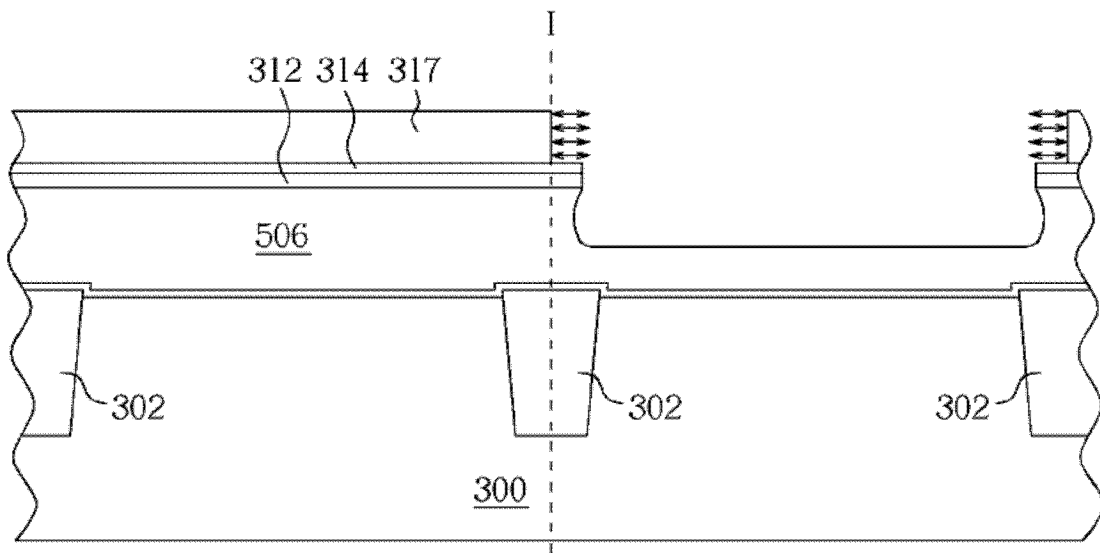


图5

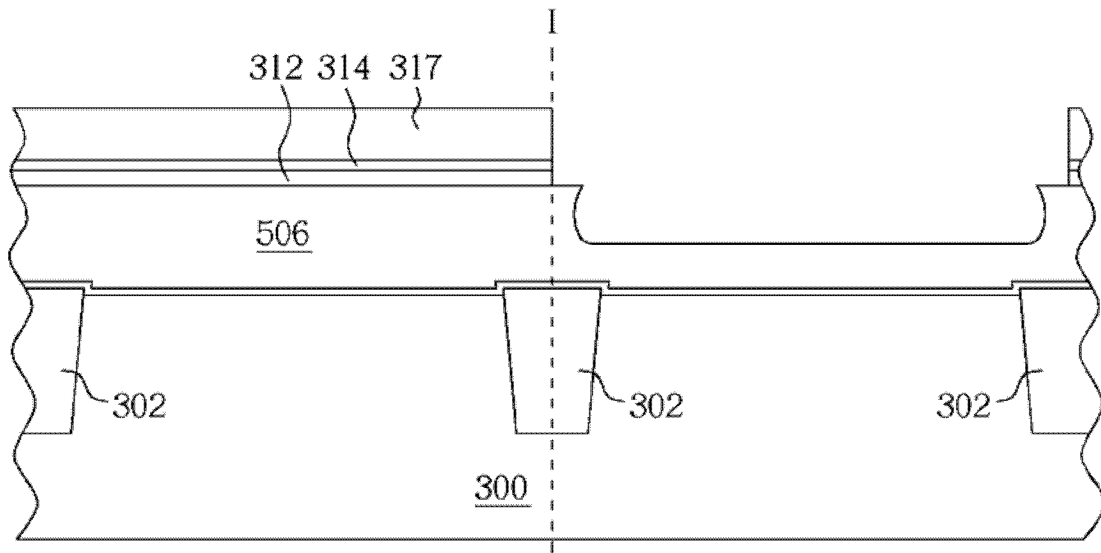


图6

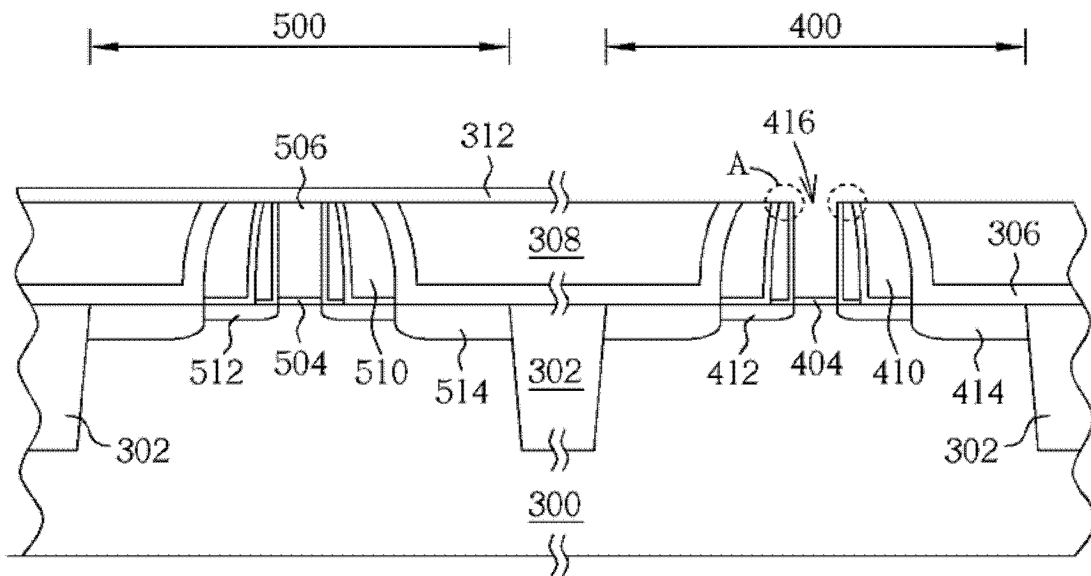


图7a

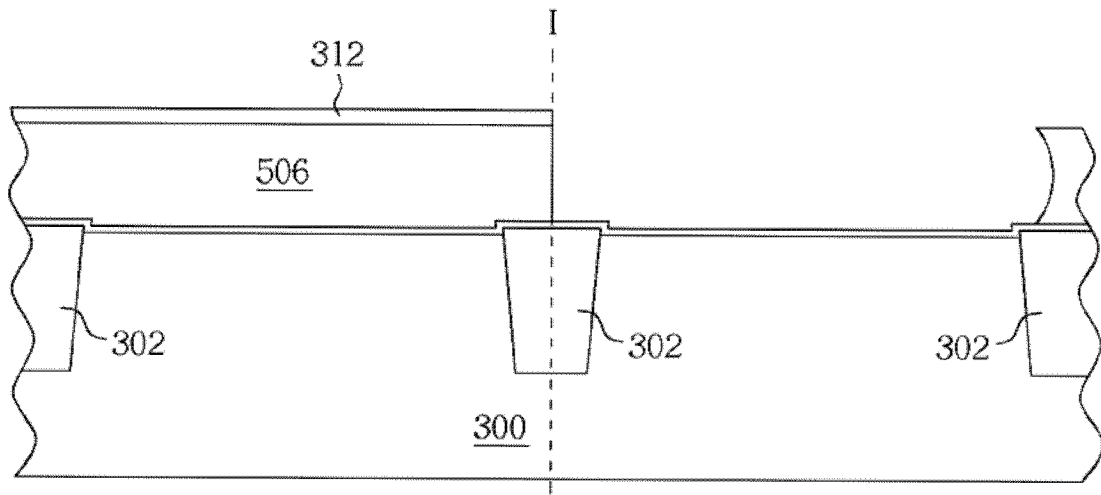


图7b

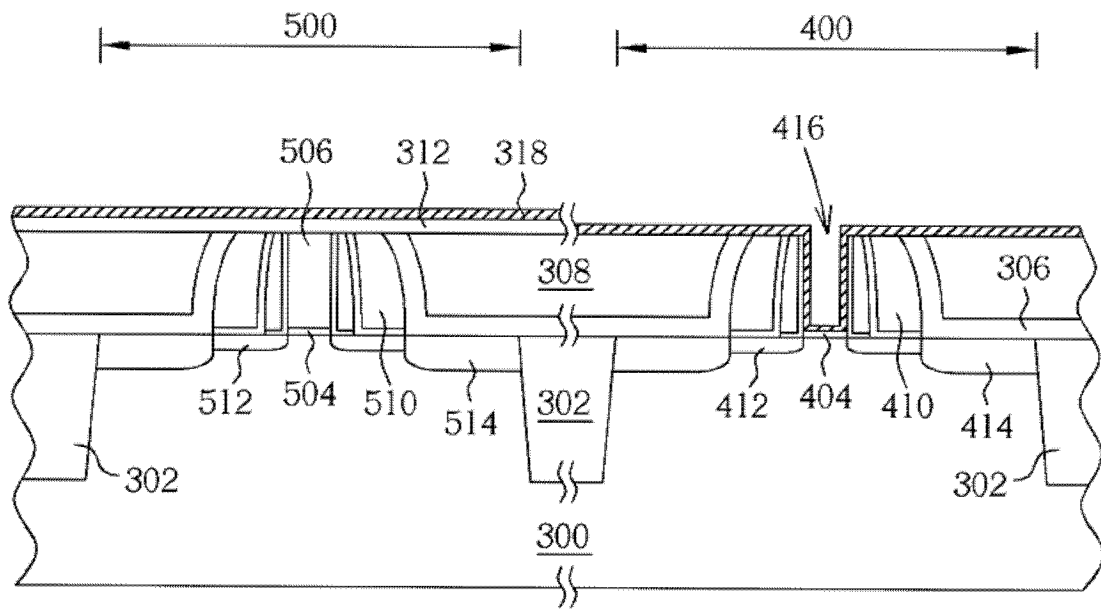


图8

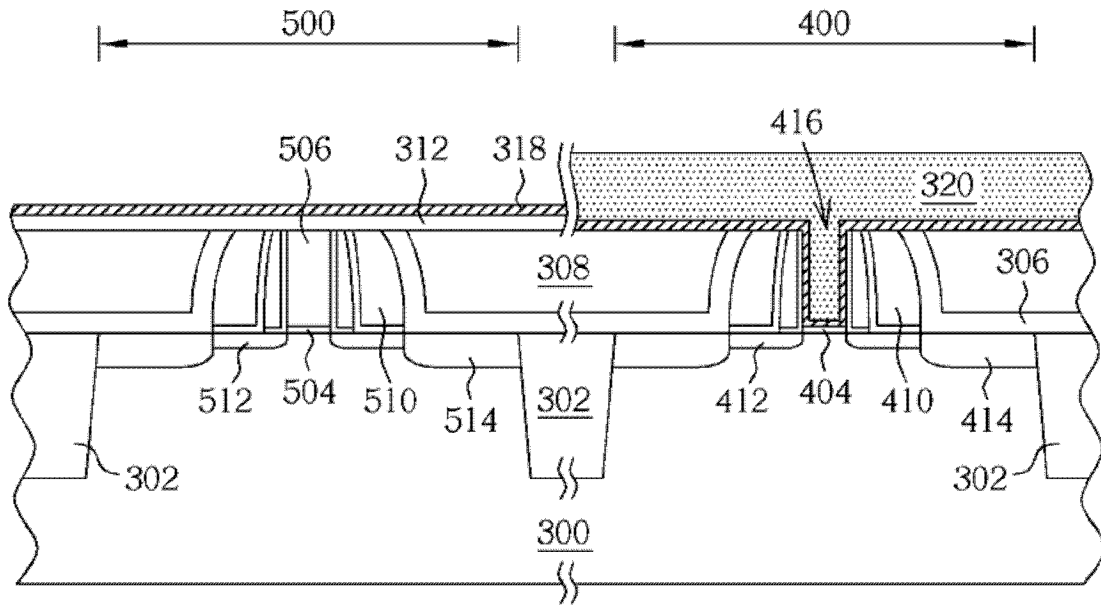


图9

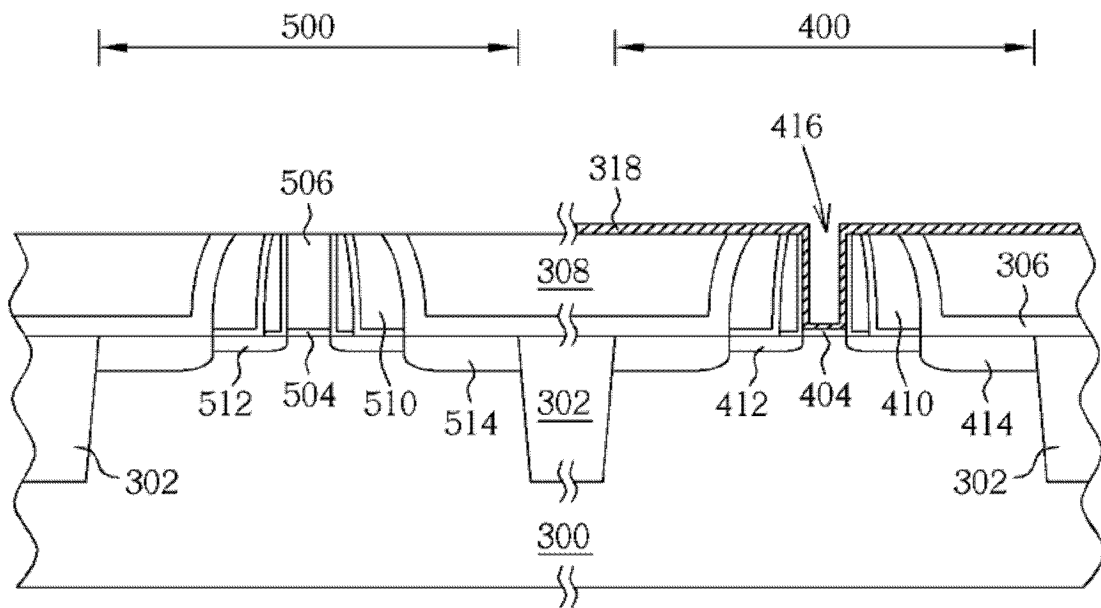


图10

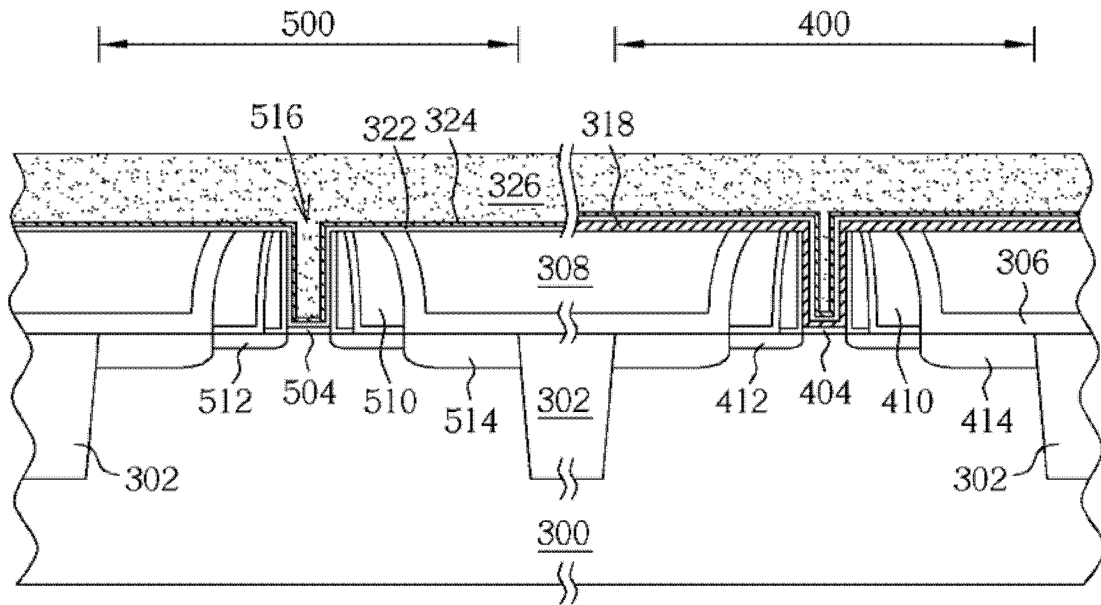


图11

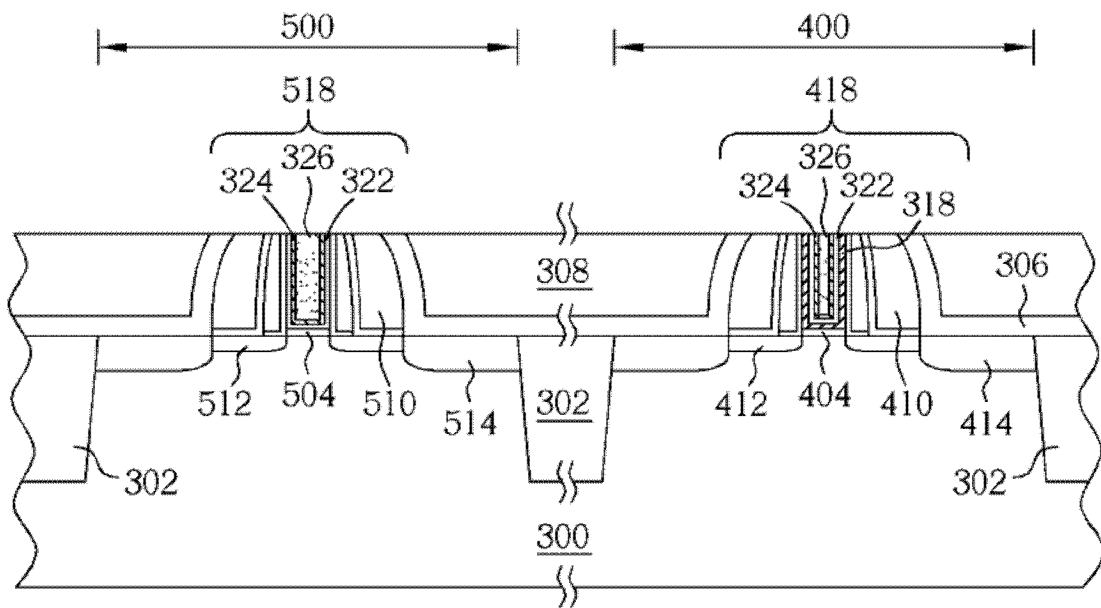


图12

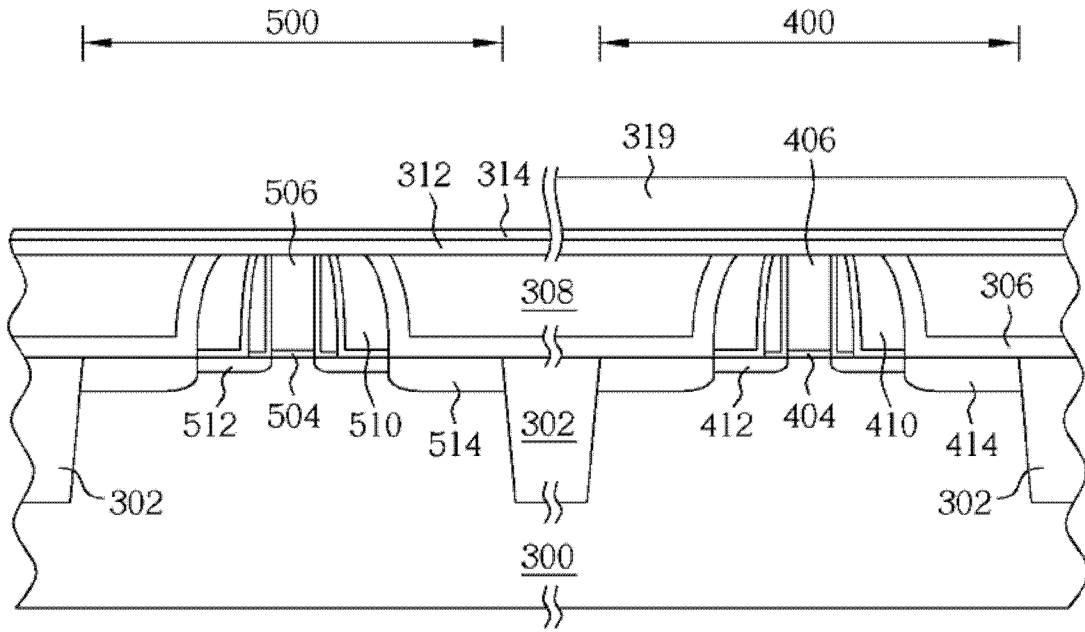


图13

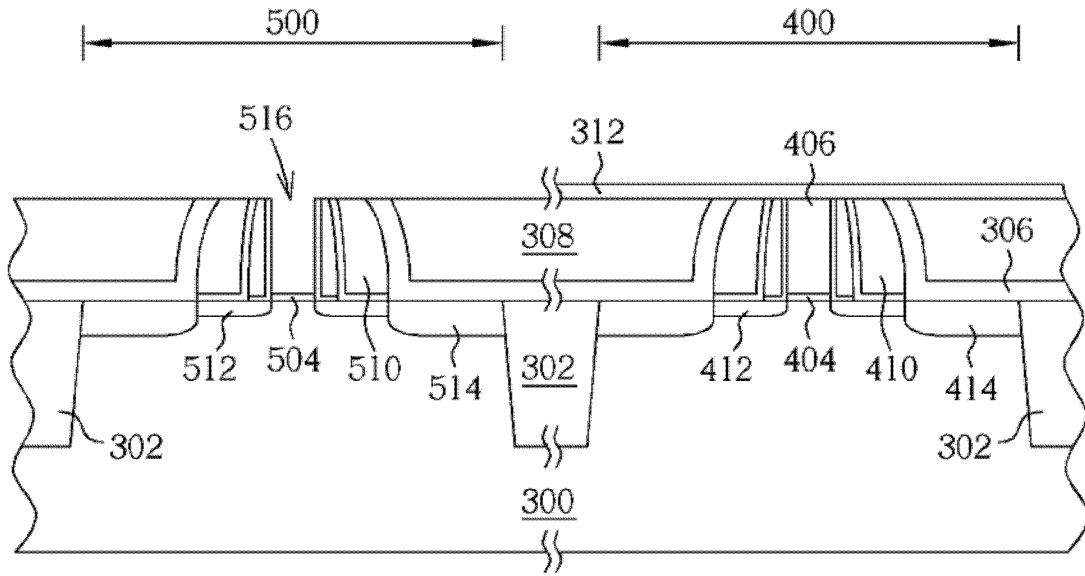


图14

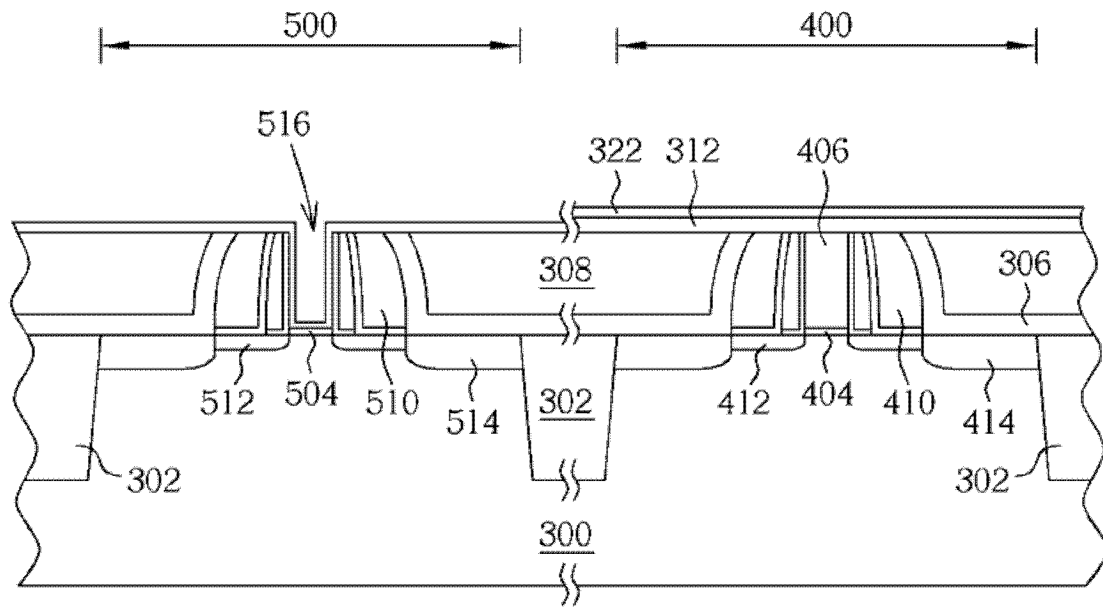


图15

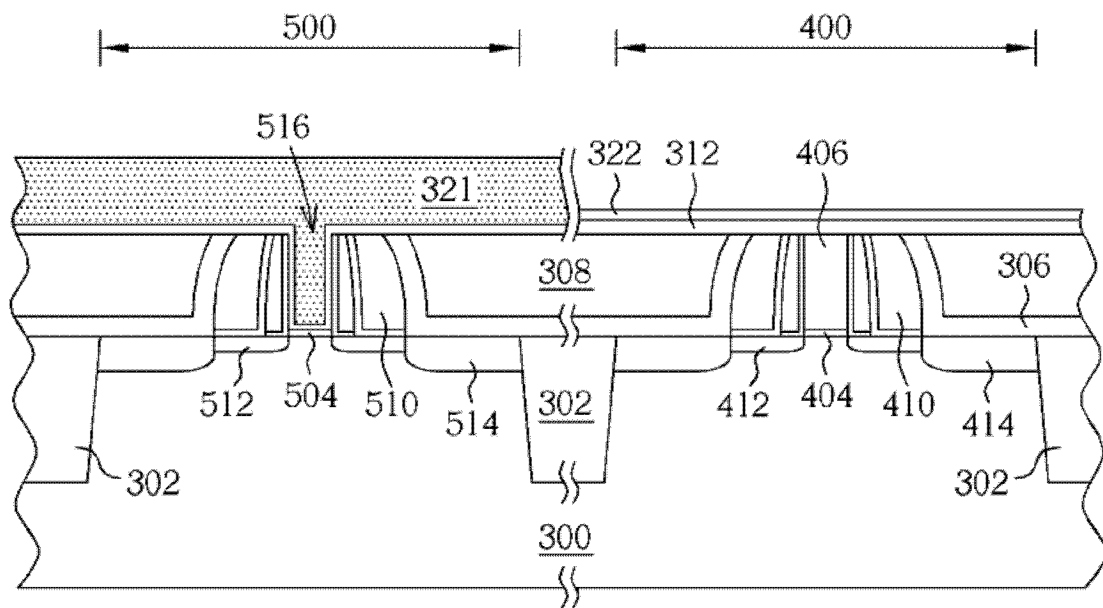


图16

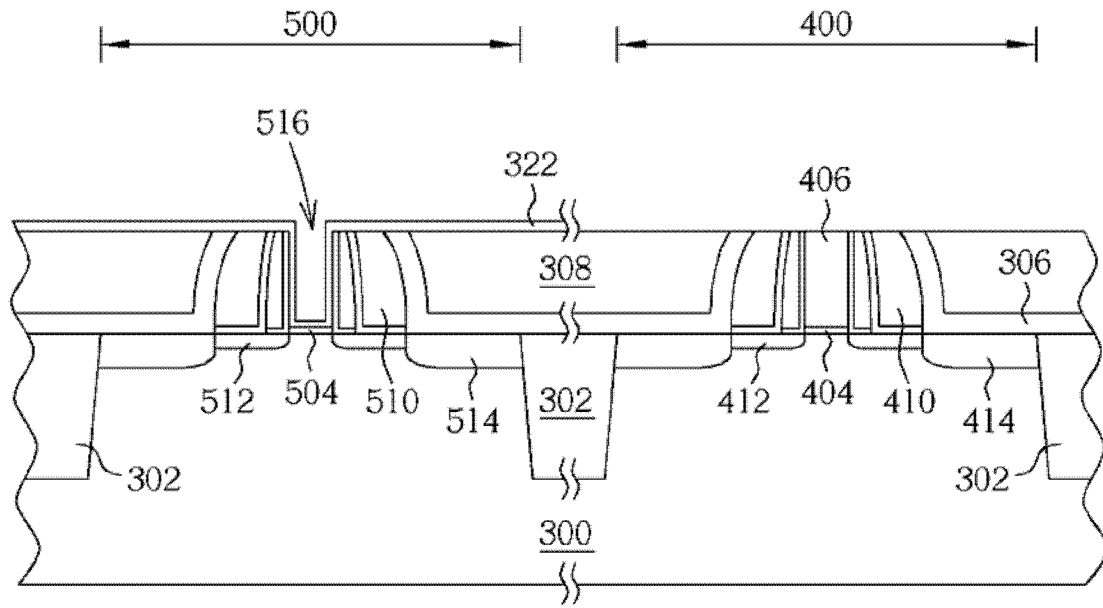


图17

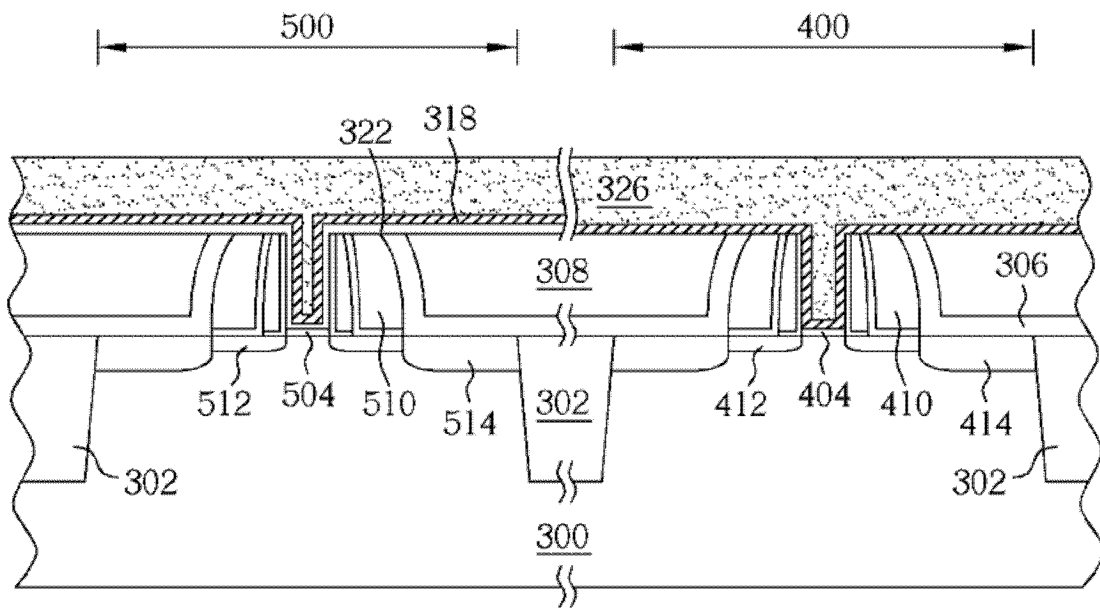


图18

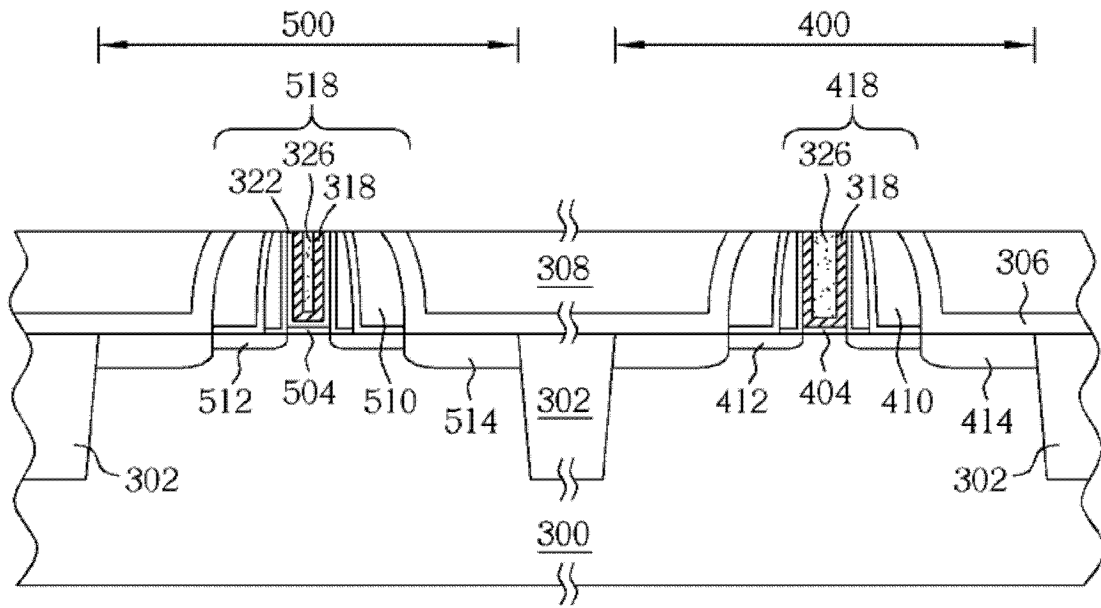


图19