

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-175262

(P2005-175262A)

(43) 公開日 平成17年6月30日(2005.6.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04 C	4M104
HO 1 L 21/28	HO 1 L 21/28 3O1B	5F003
HO 1 L 21/3213	HO 1 L 27/04 P	5F033
HO 1 L 21/331	HO 1 L 29/80 E	5F038
HO 1 L 21/8222	HO 1 L 27/04 F	5F082

審査請求 未請求 請求項の数 17 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2003-414714 (P2003-414714)
 (22) 出願日 平成15年12月12日 (2003.12.12)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 黒川 敦
 東京都千代田区丸の内二丁目4番1号 株
 会社ルネサステクノロジ内
 Fターム(参考) 4M104 AA04 AA05 AA07 BB06 BB11
 BB14 BB28 FF13 FF17 GG06
 GG12
 5F003 BA23 BA92 BF06 BH07 BH08
 BH99 BJ18 BJ20 BM03 BP31

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

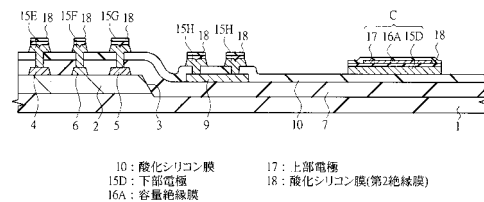
(57) 【要約】

【課題】 容量素子の耐圧を確保しつつ、容量密度を向上できる技術を提供する。

【解決手段】 酸化シリコン膜10上に金属膜を成膜し、その金属膜上にSiN膜を成膜し、そのSiN膜上に金属膜を堆積し、最上層の金属膜をフォトレジスト膜をマスクとしてエッチングして上部電極17を形成した後、上部電極17を覆う酸化シリコン膜18を堆積し、酸化シリコン膜18およびSiN膜をフォトレジスト膜をマスクとしたエッチングによりパターニングして容量絶縁膜16Aを形成し、パターニングされた酸化シリコン膜18をマスクとして最下層の金属膜をスパッタエッチングすることによって下部電極15Dを形成する。

【選択図】 図8

図 8



【特許請求の範囲】

【請求項 1】

半導体基板もしくは絶縁体基板からなる基板上に形成された容量素子を有する半導体装置であって、

前記容量素子は、前記基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とから形成され、

前記下部電極、前記容量絶縁膜および前記上部電極は前記基板上にて平坦に形成され、平面において、前記上部電極の外周は、前記下部電極の外周より内側に配置されていることを特徴とする半導体装置。

【請求項 2】

10

請求項 1 記載の半導体装置において、

前記半導体基板は、GaAs または InP を主成分とし、

前記絶縁体基板は、酸化シリコンまたは酸化アルミニウムを主成分とすることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記基板上に複数の受動素子が形成された第 1 モジュールを含み、

前記容量素子は、前記第 1 モジュールに含まれることを特徴とする半導体装置。

【請求項 4】

20

請求項 3 記載の半導体装置において、

前記第 1 モジュールは、集積受動デバイスであることを特徴とする半導体装置。

【請求項 5】

請求項 2 記載の半導体装置において、

800MHz 以上の周波数で動作する第 2 モジュールを含み、

前記容量素子は、前記第 2 モジュールに含まれることを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記第 2 モジュールは、800MHz 以上の周波数で動作する回路を複数段有する電力増幅器であり、

前記容量素子は、前記回路間の段間整合回路を形成することを特徴とする半導体装置。

30

【請求項 7】

請求項 1 記載の半導体装置において、

平面において、前記容量絶縁膜の前記外周は、前記下部電極の外周と同じ位置または前記下部電極の前記外周より内側に配置されていることを特徴とする半導体装置。

【請求項 8】

(a) 半導体基板もしくは絶縁体基板からなる基板上に第 1 導電性膜、第 1 絶縁膜および第 2 導電性膜を順次堆積する工程、

(b) 前記第 2 導電性膜をパターニングして上部電極を形成する工程、

(c) 前記 (b) 工程後、前記第 1 導電性膜をパターニングして下部電極を形成し、前記上部電極と前記容量絶縁膜と前記下部電極とから容量素子を形成する工程、
を含むことを特徴とする半導体装置の製造方法。

40

【請求項 9】

請求項 8 記載の半導体装置の製造方法において、

(b1) 前記 (b) 工程後かつ前記 (c) 工程の前に、前記第 1 絶縁膜をパターニングして容量絶縁膜を形成する工程、
を含み、

前記第 1 導電性膜および前記第 2 導電性膜は金属を主成分とすることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 記載の半導体装置の製造方法において、

50

前記第 1 導電性膜は、

- (a 1) 前記基板上に第 1 金属膜を形成する工程、
 - (a 2) 前記第 1 金属膜上に第 2 金属膜を形成する工程、
 - (a 3) 前記第 2 金属膜上に第 3 金属膜を形成する工程、
- を含む工程によって形成し、

前記第 2 金属膜は金を主成分とし、

前記第 1 金属膜および第 3 金属膜はモリブデン、チタン、タングステン、チタンタングステンまたはタングステンシリサイドのうちの選択された 1 種類以上を主成分とすることを特徴とする半導体装置の製造方法。

【請求項 1 1】

10

請求項 9 記載の半導体装置の製造方法において、

前記半導体基板は、GaAs または InP を主成分とし、

前記絶縁体基板は、酸化シリコンまたは酸化アルミニウムを主成分とすることを特徴とする半導体装置の製造方法。

【請求項 1 2】

請求項 8 記載の半導体装置の製造方法において、

前記 (c) 工程は、

- (c 1) 前記基板上に第 2 絶縁膜を形成する工程、
- (c 2) 前記第 2 絶縁膜をパターンニングする工程、

を含むことを特徴とする半導体装置の製造方法。

20

【請求項 1 3】

請求項 1 2 記載の半導体装置の製造方法において、

前記 (c) 工程は、

(c 1) 前記第 2 絶縁膜をマスクとして前記第 1 導電性膜をエッチングすることによって前記第 1 導電性膜をパターンニングする工程、

を含み、

前記第 1 導電性膜は金を含み、

前記第 2 絶縁膜は酸化シリコンまたは窒化シリコンを主成分とすることを特徴とする半導体装置の製造方法。

【請求項 1 4】

30

請求項 8 記載の半導体装置の製造方法において、

前記第 2 導電性膜および前記第 1 絶縁膜は、平面において前記上部電極の外周が前記下部電極の外周より内側に配置されるようにパターンニングし、

前記 (c) 工程後、

(d) 前記基板上に第 3 絶縁膜を形成する工程、

(e) 前記上部電極上の前記第 3 絶縁膜に前記上部電極に達する第 1 開口部を形成する工程、

(f) 前記第 1 開口部内に前記上部電極と電氣的に接続する第 1 配線を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 5】

40

請求項 8 記載の半導体装置の製造方法において、

前記第 2 導電性膜は、平面において前記上部電極の外周が前記下部電極の外周より内側に配置されるようにパターンニングし、

前記 (c) 工程後、

(d) 前記基板上に第 3 絶縁膜を形成する工程、

(e) 前記上部電極上の前記第 3 絶縁膜に前記上部電極に達する第 1 開口部を形成し、平面で前記上部電極が位置しない領域において、前記下部電極上の前記第 3 絶縁膜および前記容量絶縁膜に前記下部電極に達する第 2 開口部を形成する工程、

(f) 前記第 1 開口部内に前記上部電極と電氣的に接続する第 1 配線を形成し、前記第 2 開口部内に前記下部電極と電氣的に接続する第 2 配線を形成する工程、

50

を含むことを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 8 記載の半導体装置の製造方法において、
前記上部電極、前記容量絶縁膜および前記下部電極は、前記基板上にて平坦となるように形成することを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 8 記載の半導体装置の製造方法において、
前記基板上には前記容量素子およびバイポーラトランジスタを形成し、
前記バイポーラトランジスタを形成する工程は、
(g1) 前記基板上に第 1 導電型のコレクタ層を形成する工程、 10
(g2) 前記コレクタ層上に第 2 導電型のベース層を形成する工程、
(g3) 前記ベース層上に第 1 導電型のエミッタ層を形成する工程、
(g4) 前記エミッタ層上に前記エミッタ層と電氣的に接続するエミッタ電極を形成する工程、
(g5) 前記エミッタ層をエッチングする工程、
(g6) 前記 (g5) 工程後、前記ベース層上に前記ベース層と電氣的に接続するベース電極を形成する工程、
(g7) 前記 (g5) 工程後、前記ベース層をパターンニングし、前記コレクタ層の第 1 領域を露出する工程、
(g8) 前記第 1 領域上に前記コレクタ層と電氣的に接続するコレクタ電極を形成する工程、 20

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、基板上においてトランジスタおよび抵抗素子などと集積して形成する容量素子の形成工程に適用して有効な技術に関するものである。

【背景技術】

【0002】

たとえば、特許文献 1、特許文献 2、特許文献 3 および特許文献 4 には、同一の基板上に HBT (Hetero-junction Bipolar Transistor: ヘテロ接合バイポーラトランジスタ)、抵抗素子および容量素子を形成する技術が開示されている。

【特許文献 1】特開 2001-77204 号公報

【特許文献 2】特開 2001-326284 号公報

【特許文献 3】特開 2001-156179 号公報

【特許文献 4】特開 2002-252344 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

HBT は、単一電源動作が可能な高出力デバイスとして、高出力増幅器に用いることが検討されている。また、HBT は、高効率で動作する等の特徴を有していることから、たとえば携帯電話などの移動体通信機器向けに応用する技術が検討されている。HBT を移動体通信機器向けに応用する場合には、HBT 素子の高性能化ばかりでなく、HBT が形成された半導体チップ (以下、単にチップと記す) の小型化、および同一チップ内に抵抗素子や容量素子などの受動素子と HBT とを形成することが求められる。

【0004】

本発明者は、移動体通信機器に含まれる高周波モジュールに用いられる HBT について検討しており、この HBT を抵抗素子や容量素子などの受動素子と併せて 1 つのチップ内に形成する技術について検討している。その中で、本発明者は以下のような課題を見出し 50

た。その課題について図39および図40を用いて説明する。

【0005】

図39は、本発明者が検討したチップの一例の要部断面図である。このチップ内には、HBTと抵抗素子や容量素子などの受動素子とが形成されているが、図39中では容量素子の断面を図示している。本発明者が検討したそのチップ内の容量素子を形成する工程は、以下の通りである。たとえばGaAs（ガリウムヒ素）を主成分とする半絶縁性基板（以下、単に基板と記す）101上に成膜された絶縁膜102上において、金属膜103を成膜し、その金属膜103をパターニングする。続いて、基板101上にその金属膜103を覆う層間絶縁膜104を堆積した後、その層間絶縁膜104に金属膜103に達する開口部105を形成する。続いて、その開口部105内を含む層間絶縁膜104上に絶縁膜106堆積した後、その絶縁膜106をパターニングする。続いて、基板101上に金属膜107を堆積した後、その金属膜107をパターニングすることによって、金属膜103を下部電極とし、絶縁膜106を容量絶縁膜とし、金属膜107を上部電極とする容量素子C11形成するものである。本発明者は、このような工程で容量素子C11を形成すると、開口部105の側壁の下部領域105Aにおいて絶縁膜106が折れ曲がり、膜厚が他の領域より薄くなる、もしくは膜質の低下が起きていることを見出した。絶縁膜106の膜厚が薄くなることにより、容量素子C11の耐圧は下部領域105Aにおいて低下してしまうことから、絶縁膜106の膜厚を薄くすることによって容量素子C11の容量密度を向上させる手段を用いることができない課題が存在している。また絶縁膜の成膜条件によっては、下部領域105Aにおいて絶縁膜を薄くならないようにすることもできるが、この場合でも膜質の低下が起きていることが多い。すなわち、膜質の低下により、平坦部での絶縁耐圧に比べ領域105Aでの絶縁耐圧が半分以下に低下する現象が起きやすい。これは、絶縁膜の形成にはプラズマCVD（Chemical Vapor Deposition）装置等を用いるが、段差部での膜質および膜厚の制御は平坦部での制御に比べて困難であるためである。また、容量素子C11を形成するに当たり、開口部105を形成する工程および絶縁膜106をパターニングする工程が必要となることから、チップの製造工程数が増加してしまう課題も存在する。

10

20

【0006】

図40は、本発明者が検討したチップの他の一例の要部断面図である。図40に示したチップも図39に示したチップと同様に、チップ内にHBTと抵抗素子や容量素子などの受動素子とが形成されているが、図40中では容量素子の断面を図示している。本発明者が検討したそのチップ内の容量素子を形成する工程は、金属膜103をパターニングする工程までは図39を用いて説明したチップと同様である。その後、基板101上に絶縁膜106を堆積する。続いて、絶縁膜106上に金属膜107を堆積した後、その金属膜107をパターニングすることによって、金属膜103を下部電極とし、絶縁膜106を容量絶縁膜とし、金属膜107を上部電極とする容量素子C11形成するものである。なお、図40に示した例では、絶縁膜106は層間絶縁膜も兼ねる。本発明者は、このような工程で容量素子C11を形成した場合には、金属膜103の側壁下部の領域103A、側壁部および側壁上部の領域103Bに至る領域において絶縁膜106の膜厚が他の領域より薄くなる、または膜質の低下が起きやすいことを見出した。このように、絶縁膜106を成膜するに当たって、絶縁膜106が部分的に薄くなる、もしくは膜質の低下が起きてしまうと、図37に示した例と同様に、絶縁膜106の膜厚を薄くすることによって容量素子C11の容量密度を向上させる手段を用いることが困難になる課題が存在する。

30

40

【0007】

本発明の目的は、容量素子の耐圧を確保しつつ、容量密度を向上できる技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

本発明による半導体装置は、

半導体基板もしくは絶縁体基板からなる基板上に形成された容量素子を有し、

前記容量素子は、前記基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とから形成され、

前記下部電極、前記容量絶縁膜および前記上部電極は前記基板上にて平坦に形成され、

平面において、前記上部電極の外周は、前記下部電極の外周より内側に配置されているものである。

10

【0011】

また、本発明による半導体装置の製造方法は、

(a) 半導体基板もしくは絶縁体基板からなる基板上に第1導電性膜、第1絶縁膜および第2導電性膜を順次堆積する工程、

(b) 前記第2導電性膜をパターニングして上部電極を形成する工程、

(c) 前記(b)工程後、前記第1導電性膜をパターニングして下部電極を形成し、前記上部電極と前記容量絶縁膜と前記下部電極とから容量素子を形成する工程、を含むものである。

【発明の効果】

20

【0012】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0013】

すなわち、容量素子の耐圧を確保しつつ、容量密度を向上することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

30

【0015】

(実施の形態1)

本実施の形態1の半導体装置は、たとえば基板上にFET(Field Effect Transistor)、抵抗素子および容量素子が集積化されて形成されたものである。この本実施の形態1の半導体装置について、図1～図13を用いてその製造工程に沿って説明する。

【0016】

まず、図1に示すように、抵抗率が 1×10^{-7} ・cm程度の半絶縁性のGaAs基板1を用意する。続いて、たとえば有機金属気相成長(MOCVD; Metal Organic Chemical Vapor Deposition)法によって、GaAs基板1上にn型の導電性を有する不純物(たとえばSi(シリコン))がドーピングされたn型GaAs層2を成長させる。続いて、メサエッチング法によってFETが形成される領域以外のn型GaAs層2をエッチングし、素子分離部3を形成する。続いて、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして、FETが形成される領域のn型GaAs層2上にAuGe(金ゲルマニウム)膜、Ni(ニッケル)膜およびAu(金)膜を順次蒸着することにより、n型GaAs層2とオーミック接触するソース電極4およびドレイン電極5を形成する。続いて、ソース電極4およびドレイン電極5の形成に用いたフォトレジスト膜を除去した後、新たにフォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして、FETが形成される領域のn型GaAs層2上にPt(白金)とAuとを含む積層膜を蒸着することにより、n型GaAs層2とショットキー接続するゲート電極6を形成する。ここまでの工程によりMESFET(Metal Semiconductor Field

40

50

Effect Transistor) を形成することができる。ゲート電極 6 の形成後、前記フォトレジスト膜は除去する。

【0017】

次に、図 2 に示すように、たとえば CVD 法によって GaAs 基板 1 上に膜厚 500 nm 程度の酸化シリコン膜 7 を堆積する。続いて、その酸化シリコン膜 7 上に WSiN (窒化タングステンシリサイド) 膜を堆積した後、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしてその WSiN 膜をエッチングすることにより、抵抗素子 9 を形成する。この抵抗素子 9 の形成後、そのフォトレジスト膜は除去する。本実施の形態 1 では、抵抗素子 9 は WSiN 膜から形成する場合について例示したが、WSiN 膜の代わりに NiCr (ニッケルクロム) 膜から形成してもよい。

10

【0018】

次に、図 3 に示すように、たとえば GaAs 基板 1 上に酸化シリコン膜 10 を堆積する。続いて、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとして酸化シリコン膜 7、10 をエッチングし、ソース電極 4 に達する開口部 11、ゲート電極 6 に達する開口部 12、ドレイン電極 5 に達する開口部 13、および抵抗素子 9 に達する開口部 14 を形成する。

【0019】

次に、図 4 に示すように、酸化シリコン膜 10 上に開口部 11 ~ 14 を埋め込む金属膜 (第 1 導電性膜) 15 を成膜する。図 5 に示すように、この金属膜 15 は、たとえば膜厚 0.1 μm 程度の Mo (モリブデン) 膜 (第 1 金属膜) 15 A、膜厚 0.8 μm 程度の Au (金) 膜 (第 2 金属膜) 15 B および膜厚 0.1 μm 程度の Mo 膜 (第 3 金属膜) 15 C を順次堆積することによって成膜することができる。また、金属膜 15 の最上層となる Mo 膜 15 C の上部に、さらに TiW (チタンタングステン) 膜を積層してもよい。もしくは、Mo 膜 15 A および Mo 膜 15 C を用いる代わりに、Ti (チタン) 膜、W (タングステン) 膜、TiW 膜または WSi (タングステンシリサイド) 膜を用いてもよい。続いて、たとえばその金属膜 15 上にプラズマ CVD 法によって膜厚 100 nm 程度の SiN (窒化シリコン) 膜 (第 1 絶縁膜) 16 を堆積する。続いて、その SiN 膜 16 上に 200 nm 程度の金属膜 (第 2 導電性膜) を堆積する。本実施の形態 1 においては、その金属膜として TiW 膜または WSi 膜を例示することができる。続いて、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしてその金属膜をエッチングすることにより、後の工程で形成される容量素子の上部電極 17 を形成する。上部電極 17 を形成するエッチングには、たとえばドライエッチング法を用いる。通常、ドライエッチングでは、上部電極 17 を加工するエッチングだけで止めることは困難で、下地の SiN 膜 16 の一部を削ることになる。これは、上部電極 17 以外の金属膜を完全にエッチングするために、ドライエッチング装置の加工のばらつきを考慮して、いわゆるオーバーエッチングを行うためである。また場合により、図 6 に示すように、下地の SiN 膜 16 (第 1 絶縁膜) を完全に削ったり、もしくはさらにその下の、Mo 膜 15 C の一部を削ったりしてもよい。この場合では、後述する図 7 に示す形状と異って容量素子の容量絶縁膜は平面で上部電極とほぼ同一形状で形成される。またドライエッチング法以外に、フォトレジストマスクによるリフトオフ法で、Mo などの上部電極 17 をパターンニングしてもよい。この場合は、SiN 膜 16 が削られることなく、図 4 に示す断面と同じ断面となる。

20

30

40

【0020】

次に、図 7 に示すように、GaAs 基板 1 上に膜厚 0.8 μm 程度の酸化シリコン膜 18 を堆積し、その酸化シリコン膜 (第 2 絶縁膜) 18 で上部電極 17 を覆う。酸化シリコン膜 18 の代わりに SiN 膜を用いてもよい。続いて、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしたエッチングにより、酸化シリコン膜 18 および SiN 膜 16 をパターンニングする。この時、金属膜 15 の最上層の Mo 膜 15 C についてもパターンニングしてしまってもよい。それにより、SiN 膜 16 から後の工程で形成される容量素子の容量絶縁膜 16 A を形成することができる。容量絶縁膜 16 A を

50

形成した後、容量絶縁膜 16 A を形成に用いたフォトリソ膜は除去する。

【0021】

次に、図 8 に示すように、酸化シリコン膜 18 をマスクとして A r イオンによるスパッタエッチングを行い、金属膜 15 をパターンニングする。それにより、金属膜 15 から容量素子の下部電極 15 D、ソース電極 4 と電氣的に接続する配線 15 E、ゲート電極 6 と電氣的に接続する配線 15 F、ドレイン電極 5 と電氣的に接続する配線 15 G、および抵抗素子 9 と電氣的に接続する配線 15 H を形成することができる。ここまでの工程により、下部電極 15 D、容量絶縁膜 16 A および上部電極 17 からなる容量素子 C を形成することができる。ここで、図 9 は、その容量素子 C の平面図であり、図 9 中の A - A 線に沿った断面は図 8 中における容量素子 C の断面に相当する。本実施の形態 1 においては、図 9 に示すように、下部電極 15 D (容量絶縁膜 16 A) は、上部電極 17 を取り囲むようにパターンニングされる。この時、金属膜 15 をスパッタエッチングによってパターンニングしたのは、金属膜 15 を形成する A u が化学反応によってエッチングすることが困難な材質だからである。また、金属膜 15 は物理的にエッチング (スパッタエッチング) することでパターンニングされることから、スパッタエッチングによって削られた金属膜 15 を形成する A u および M o が飛散するが、金属膜 15 のパターンニング時には上部電極 17 は酸化シリコン膜 18 によって覆われているので、その A u および M o が上部電極 17 に付着してしまふ不具合を防ぐことができる。それにより、上部電極 17 と下部電極 15 D とが電氣的に短絡してしまふ不具合を防ぐことができる。

10

【0022】

ところで、容量素子を形成するに当たって、たとえば下部電極および配線のパターンニングを先に行い、その下部電極上に層間絶縁膜を成膜し、その層間絶縁膜に下部電極に達する開口部を形成した後、その開口部内に容量絶縁膜および上部電極を形成する場合には、特にその開口部の側壁の最下部において容量絶縁膜が折れ曲がり、容量絶縁膜の膜厚が薄くなったり、膜質が低下したりするために、容量素子の耐圧が低下してしまふことが懸念される。本発明者が行った実験によれば、容量絶縁膜の膜厚を 100 nm 程度として成膜した場合において、80 V ~ 100 V 程度の破壊耐圧となるべきところが、50 V 程度以下の低い破壊耐圧となってしまう場合が多発した。そのため、容量絶縁膜の膜厚を薄くすることによって容量素子の容量密度を向上させることが困難になってしまふことが懸念される。一方、上記の本実施の形態 1 の容量素子 C の形成方法によれば、そのような開口部を形成することなく下部電極 15 D となる金属膜 15 (図 4 参照)、容量絶縁膜 16 A となる S i N 膜 16 および上部電極 17 となる金属膜を連続して成膜するので、容量絶縁膜が局部的に薄くなってしまう不具合を防ぐことができる。また、図 9 を用いて説明したように、下部電極 15 D (容量絶縁膜 16 A) は、平面で上部電極 17 を取り囲むようにパターンニングされていることから、上部電極 17 下においては、容量絶縁膜 16 A が下部電極 15 D の側壁上部および側壁下部に配置されてしまふことを防ぐことができる。すなわち、容量絶縁膜 16 A が折れ曲がり、容量絶縁膜 16 A の膜厚が局部的に薄くなったり、膜質が低下したりすることによって、容量素子 C の耐圧が低下してしまふことを防ぐことができる。それにより、容量素子 C の破壊耐圧を向上することができる。その結果、本実施の形態 1 によれば、容量絶縁膜の膜厚を薄くすることによって容量素子の容量密度を向上させることが可能となる。本発明者が行った実験によれば、上記開口部を設けて容量素子を形成する場合には容量絶縁膜の膜厚を 150 nm 程度としていたものを、本実施の形態 1 の容量素子 C の場合には容量絶縁膜 100 nm 程度とすることができ、容量密度は約 1.5 倍にできることがわかった。すなわち、本実施の形態 1 によれば、開口部を設けて形成した容量素子と同じ容量値の容量素子 C を形成した場合には、容量素子 C が占める面積を約 1.5 分の 1 に縮小することが可能となる。

20

30

40

【0023】

また、本実施の形態 1 の容量素子 C の形成方法によれば、下部電極 15 D となる金属膜 15、容量絶縁膜 16 A となる S i N 膜 16 および上部電極 17 となる金属膜を連続して成膜するので、下部電極 15 D と上部電極 17 との間に入り込んでしまふ異物の密度を低

50

減することができる。それにより、その異物による欠陥に起因する容量耐圧の低下を防ぐことが可能となる。

【0024】

次に、図10に示すように、GaAs基板1上に膜厚0.5 μ m程度のSiN膜および膜厚0.5 μ m程度の酸化シリコン膜を順次堆積することにより、絶縁膜(第3絶縁膜)19を成膜する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとしてその絶縁膜19をエッチングすることにより、配線15E~配線15Hのそれぞれに達する開口部20、平面で上部電極17の配置されていない領域において下部電極15Dに達する開口部(第2開口部)21、および上部電極17に達する開口部(第1開口部)22を同時に形成する。この時、開口部22の開口面積は、開口部21の開口面積より大きくなるように形成される。続いて、開口部20~22内を含む絶縁膜19上に膜厚0.2 μ m程度のMo膜および膜厚3 μ m程度のAu膜を順次堆積する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとしたエッチングにより、そのAu膜およびMo膜をパターンニングし、配線15E~配線15Hのそれぞれと電氣的に接続する配線23、下部電極15Dと電氣的に接続する配線(第2配線)24、および上部電極と電氣的に接続する配線(第1配線)25を形成する。ここで、図11は、配線23、24、25の形成時における容量素子Cの平面図であり、図11中のA-A線に沿った断面は図10中における容量素子Cの断面に相当する。図11に示すように、開口部22は、平面で上部電極17に取り囲まれるように形成される。開口部22が平面で上部電極17から外れた位置に形成されると、開口部22内に配置される配線25によって上部電極17と下部電極15Dとが短絡されてしまう不具合が懸念されるが、開口部22を平面で上部電極17に取り囲まれるように形成することにより、そのような不具合を防ぐことが可能となる。

【0025】

ところで、前記図39の説明で述べたような下部電極および配線のパターンニングを先に行い、その下部電極上に層間絶縁膜を成膜し、その層間絶縁膜に下部電極に達する開口部105を形成した後、その開口部内に容量絶縁膜および上部電極を形成する工程で容量素子を形成する場合には、その容量絶縁膜が形成される開口部と、他の領域で下部電極もしくは下部電極と同層の配線とを電氣的に接続するための開口部Fとを同じ工程で形成することが困難になる。ここで、開口部Fは、上記例では開口部20に相当するものである。仮に開口部Fと同時に容量部の開口部105(図39参照)を同時に形成したとすると、この後に容量絶縁膜を成膜することになるため、開口部F内にも容量絶縁膜は成膜されてしまうことになる。そのため、その開口部内に成膜された容量絶縁膜によって下部電極もしくは下部電極と同層の配線とその上層の配線とが電氣的に接続できなくなってしまうことになる。このような不具合を防ぐために、上記2つの開口部は別工程で形成することが求められる。また、別案として、開口部105のみを先に形成し、次に容量絶縁膜を全面に形成し、容量絶縁膜のパターンニングを行わずに、下部電極もしくは下部電極と同層の配線とを電氣的に接続するための開口部Fを形成する方法も考えられる。この方法では、その開口部Fを形成する際に容量絶縁膜および層間絶縁膜の異なった2層をエッチングすることになる。容量絶縁膜および層間絶縁膜の異なった2層を一括してエッチングして開口部を形成する場合には、形成される開口部の形状を制御することが困難になることから、この方法の実施も困難である。結局、容量絶縁膜および層間絶縁膜はそれぞれ別工程でエッチングすることが求められる。すなわち、下部電極と電氣的に接続する配線を形成するための開口部は、2工程で形成することが求められる。一方、本実施の形態1によれば、下部電極15Dと電氣的に接続する配線24を形成するための開口部21および配線15E~配線15Hのそれぞれに達する開口部20は、上部電極17に達する開口部22を形成する工程と同じ工程で形成できるので、半導体装置の製造工程を簡略化できる。なお、下部電極15Dと電氣的に接続するための開口部21と配線24とは、場合により省略してもよい。たとえば、図12に示すように、下部電極15Dを直接抵抗素子9と接続する配線15もしくはドレイン部の配線15Gに結線してもよい。

【0026】

また、図示は省略するが、配線23、24、25を形成したAu膜およびMo膜の一部を平面渦巻状にパターンングし、インダクタを形成してもよい。

【0027】

次に、図13に示すように、GaAs基板1上に、たとえばポリイミド樹脂膜を塗布することによって保護膜26を形成する。その後、GaAs基板1をダイシング法などによって切断することによって個々のチップへ切り出し、本実施の形態1の半導体装置を製造する。

【0028】

(実施の形態2)

本実施の形態2の半導体装置は、前記実施の形態1と同様に基板上にFET、抵抗素子および容量素子が集積化されて形成されたものである。この本実施の形態2の半導体装置について、図14～図18を用いてその製造工程に沿って説明する。

【0029】

本実施の形態2の半導体装置の製造工程は、前記実施の形態1における素子分離部3(図1参照)を形成した工程までは同様である。その後、たとえばWSi(タングステンシリサイド)膜からなる金属膜15I、前記実施の形態1におけるSiN膜16と同様のSiN膜16、および前記実施の形態1においてSiN膜16上に積層した金属膜と同様の金属膜を順次GaAs基板1上に堆積する。続いて、フォトリソグラフィ技術によってパターンングされたフォトレジスト膜をマスクとしてその金属膜をエッチングすることにより、後の工程で形成される容量素子の上部電極17を形成する。この上部電極17の形成後、そのフォトレジスト膜は除去する。上部電極17の平面パターンについては、前記実施の形態1において図9を用いて説明したパターンと同様である。

【0030】

次に、図15に示すように、フォトリソグラフィ技術によってパターンングされたフォトレジスト膜をマスクとしたドライエッチングにより、SiN膜16および金属膜15Iをパターンングする。それにより、SiN膜16から容量素子の容量絶縁膜16Aを形成し、金属膜15からゲート電極6Aと容量素子の下部電極15Jを形成することができる。金属膜15Iのドライエッチング時には、エッチングガスとして、たとえばSF₆ガスを用いることができる。また、容量絶縁膜16Aおよび下部電極15Jの平面パターンについては、前記実施の形態1において図9を用いて説明したパターンと同様である。ここまでの工程により、下部電極15J、容量絶縁膜16Aおよび上部電極17からなる容量素子C1を形成することができる。このような本実施の形態2によれば、ゲート電極6Aと容量素子C1の下部電極15Jを同じ工程で形成することができるので、前記実施の形態1に比べて半導体装置の製造工程を簡略化することが可能となる。また、前記実施の形態1においては、容量素子Cの下部電極15D(図8参照)となった金属膜15が化学的に安定なAu膜15B(図7参照)を含んでいたことから、金属膜15のパターンングには物理的なエッチング方法(スパッタエッチング法)を用いたが、本実施の形態2においては、金属膜15IはWSi膜から形成されているので、金属膜15Iはドライエッチング法によるパターンングが可能となる。なお、上記の本実施の形態1にでは、下部電極15Jとゲート電極6Aとを同じ工程で形成する場合について説明したが、別の工程で形成してもよい。

【0031】

次に、図16に示すように、フォトリソグラフィ技術によってパターンングされたフォトレジスト膜をマスクとして、FETが形成される領域のn型GaAs層2上にAuGe(金ゲルマニウム)膜、Ni(ニッケル)膜およびAu膜を順次蒸着することにより、前記実施の形態1と同様のn型GaAs層2とオーミック接触するソース電極4およびドレイン電極5を形成する。ここまでの工程によりMESFETを形成することができる。ソース電極4およびドレイン電極5の形成後、前記フォトレジスト膜は除去する。

【0032】

10

20

30

40

50

次に、図17に示すように、GaAs基板1上に前記実施の形態1における酸化シリコン膜7と同様の酸化シリコン膜7を堆積する。続いて、その酸化シリコン膜7上にWSiNを堆積した後、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしてそのWSiN膜をエッチングすることにより、前記実施の形態1における抵抗素子9と同様の抵抗素子9を形成する。

【0033】

次に、図18に示すように、GaAs基板1上に前記実施の形態1における絶縁膜19と同様の絶縁膜19を成膜する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとしてその絶縁膜19をエッチングすることにより、ソース電極4、ゲート電極6Aおよびドレイン電極5のそれぞれに達する開口部20Aと、抵抗素子9に達する開口部20Bと、前記実施の形態1における開口部21、22と同様の開口部21、22とを形成する。続いて、開口部20A、20B、21、22内を含む絶縁膜19上に膜厚0.2μm程度のMo膜および膜厚3μm程度のAu膜を順次堆積する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとしたエッチングにより、そのAu膜およびMo膜をパターンニングし、ソース電極4、ゲート電極6Aおよびドレイン電極5のそれぞれと電氣的に接続する配線23A、抵抗素子9と電氣的に接続する配線23B、下部電極15Jと電氣的に接続する配線24、および上部電極と電氣的に接続する配線25を形成する。その後、GaAs基板1上に、前記実施の形態1の保護膜26と同様の保護膜26を形成し、本実施の形態2の半導体装置を製造する。

【0034】

なお、下部電極15Jと電氣的に接続するための開口部21と配線24とは、場合により省略してもよい。たとえば、ゲート電極6Aを延長し、直接下部電極15Jに結線してもよい。この場合、開口部21が無くて済むので、レイアウト面積を縮小できる。

【0035】

上記のような本実施の形態2によっても、前記実施の形態1と同様の効果を得ることができる。

【0036】

(実施の形態3)

本実施の形態3の半導体装置は、基板上にHBT、抵抗素子および容量素子が集積化されて形成されたものである。この本実施の形態3の半導体装置について、その製造工程に沿って説明する。

【0037】

まず、図19に示すように、抵抗率が 1×10^{-7} ・cm程度の半絶縁性のGaAs基板1を用意する。続いて、MOCVD法により、サブコレクタ層となるn⁺型(第1導電型)GaAs層32を700nm程度成長させる。続いて、n⁺型GaAs層32の上部にコレクタ層となるn⁻型GaAs層33およびベース層となるp⁺型(第2導電型)GaAs層34を順次MOCVD法で形成する。

【0038】

次いで、エミッタ層となるn型InGaP層35をMOCVD法で堆積し、さらにその上部にエミッタコンタクト層となるn⁺型InGaAs層36を400nm程度形成する。このn⁺型InGaAs層36は、後の工程で形成するエミッタ電極とのオーミックコンタクトを図るために用いられる。このように、ベース層(p⁺型GaAs層34)とエミッタ層(n型InGaP層35)とに異種の半導体(ヘテロ接合)を用いる。

【0039】

次いで、導電性膜として、たとえばWSi膜をスパッタリング法によって300nm程度堆積する。続いて、フォトリソグラフィ技術およびドライエッチング技術を用いてそのWSi膜を加工し、エミッタ電極37を形成する。

【0040】

次に、図20に示すように、エミッタ電極37をマスクに、エミッタコンタクト層(n

⁺型 InGaAs 層 36) をウエットエッチングし、エミッタ層 (n 型 InGa 層 35) を露出させる。なお、この際、エミッタ層 (n 型 InGaP 層 35) をエッチングし、ベース層 (p⁺ 型 GaAs 層 34) を露出させてもよい。

【0041】

続いて、下層から Pt、Ti (チタン)、Mo、Ti および Au の積層膜よりなるベース電極 38 を形成する。ベース電極 38 は、たとえばリフトオフ法により形成され、その厚さは 300 nm 程度である。その後、熱処理 (アロイ処理) を施すことにより、ベース電極 38 の最下層の Pt とエミッタ層 (n 型 InGaP 層 35) およびベース層 (p⁺ 型 GaAs 層 34) を反応させる。この反応部によりベース電極 38 とベース層 (p⁺ 型 GaAs 層 34) とをオーミック接続することができる。

10

【0042】

続いて、フォトリソグラフィ技術およびウエットエッチング技術を用いて、エミッタ層 (n 型 InGaP 層 35) およびベース層 (p⁺ 型 GaAs 層 34) をエッチングし、ベースメサ 34A を形成する。エッチング液として、たとえばリン酸と過酸化水素との混合水溶液を用いる。このエッチングによりエミッタ層 (n 型 InGaP 層 35) およびベースメサ 34A がトランジスタ毎に分離する。

【0043】

次に、図 21 に示すように、GaAs 基板 1 上に絶縁膜 (たとえば酸化シリコン膜) 39 を 100 nm 程度堆積する。この絶縁膜 39 は、ベース電極 38 を保護するために形成するが、省略することも可能である。続いて、選択的に絶縁膜 39 およびコレクタ層 (n⁻ 型 GaAs 層 33) をエッチングすることにより、サブコレクタ層 (n⁺ 型 GaAs 層 32) に達する開口部 (第 1 領域) 40 を形成する。

20

【0044】

次に、図 22 に示すように、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜 (図示は省略) をマスクとして、GaAs 基板 1 の全面に下層から AuGe、Ni および Au を順次形成し、そのフォトレジスト膜の上部および露出したサブコレクタ層 (n⁺ 型 GaAs 層 32) 上に積層膜を形成する。続いて、剥離液 (エッチング液) によってそのフォトレジスト膜を除去する。このようにフォトレジスト膜が除去されると、その上部の積層膜も剥離され、サブコレクタ層 (n⁺ 型 GaAs 層 32) 上の一部にのみ積層膜が残存し、コレクタ電極 41 となる。ここまでの工程により、本実施の形態 3 の npn 型 HBT を形成することができる。

30

【0045】

次に、図 23 に示すように、絶縁膜 39 を除去し、コレクタ電極 41 の外側のコレクタ層 (n⁻ 型 GaAs 層 33) およびサブコレクタ層 (n⁺ 型 GaAs 層 32) をエッチングし、素子分離部 42 を形成することによって各 HBT を電氣的に分離する。

【0046】

次に、図 24 に示すように、GaAs 基板 1 上に絶縁膜 (たとえば酸化シリコン膜) 43 を CVD 法で堆積する。なお、前述の絶縁膜 39 (図 22 参照) を残存させたまま、各 HBT を電氣的に分離するためのコレクタ層 (n⁻ 型 GaAs 層 33) およびサブコレクタ層 (n⁺ 型 GaAs 層 32) のエッチングを行い、絶縁膜 39 上に絶縁膜 43 を形成してもよい。

40

【0047】

続いて、たとえばその絶縁膜 43 上に WSiN を堆積した後、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとしてその WSiN 膜をエッチングすることにより、抵抗素子 44 を形成する。本実施の形態 3 では、抵抗素子 44 は WSiN 膜から形成する場合について例示したが、WSiN 膜の代わりに NiCr 膜から形成してもよい。

【0048】

次に、図 25 に示すように、GaAs 基板 1 上に絶縁膜 45 (たとえば酸化シリコン膜) を堆積する。続いて、フォトリソグラフィ技術によってパターニングされたフォトレジ

50

スト膜をマスクとして絶縁膜45、43をエッチングし、エミッタ電極37に達する開口部(図示は省略)、ベース電極38に達する開口部46、コレクタ電極41に達する開口部47、および抵抗素子44に達する開口部48を形成する。

【0049】

次に、図26に示すように、絶縁膜45上に開口部46~48(図25参照)を埋め込む膜厚1 μ m程度の金属膜49、膜厚100nm程度の絶縁膜50、膜厚1 μ m程度の金属膜51、膜厚100nm程度の絶縁膜52および膜厚200nm程度の金属膜53を順次成膜する。金属膜49、51は、たとえば膜厚0.1 μ m程度のMo膜、膜厚0.8 μ m程度のAu膜および膜厚0.1 μ m程度のMo膜を順次堆積することによって成膜することができる。絶縁膜50、52は、下層より酸化シリコン膜、SiN膜および酸化シリコン膜を順次堆積することによって成膜することができる。金属膜53は、たとえば膜厚200nm程度のWSi膜を堆積することによって成膜することができる。本実施の形態3では、後の工程において、これら金属膜49、絶縁膜50、金属膜51、絶縁膜52および金属膜53から第1~第3の3段の容量電極を有し、各容量電極間に絶縁膜50または絶縁膜52からなる容量絶縁膜を有する容量素子を形成する。

10

【0050】

次に、図27に示すように、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとして金属膜53をエッチングすることにより、後の工程で形成される容量素子の第3容量電極54を形成する。

【0051】

次に、図28に示すように、GaAs基板1上に膜厚0.8 μ m程度の酸化シリコン膜55を堆積し、その酸化シリコン膜55で第3容量電極54を覆う。酸化シリコン膜55の代わりにSiN膜を用いてもよい。続いて、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしたエッチングにより、酸化シリコン膜55および絶縁膜52をパターンニングする。それにより、絶縁膜52から容量素子の第2容量絶縁膜56を形成することができる。

20

【0052】

続いて、酸化シリコン膜55をマスクとしてArイオンによるスパッタエッチングを行い、金属膜51をパターンニングする。それにより、金属膜51から容量素子の第2容量電極57を形成することができる。ここで、図29は、第2容量電極57が形成された時点における、第3容量電極54、第2容量絶縁膜56および第2容量電極57の位置関係を示す平面図であり、図29中のA-A線に沿った断面は図28中における第3容量電極54、第2容量絶縁膜56および第2容量電極57の断面に相当する。本実施の形態3においては、図29に示すように、第2容量電極57(容量絶縁膜56)は、平面で第3容量電極54を取り囲むようにパターンニングされる。この時、金属膜51をスパッタエッチングによってパターンニングしたのは、金属膜51を形成するAuが化学反応によってエッチングすることが困難な材質だからである。また、金属膜51は物理的にエッチング(スパッタエッチング)することでパターンニングされることから、スパッタエッチングによって削られた金属膜51を形成するAuおよびMoが飛散するが、金属膜51のパターンニング時には、第3容量電極54は酸化シリコン膜55によって覆われているので、そのAuおよびMoが第3容量電極54に付着してしまう不具合を防ぐことができる。それにより、第3容量電極54と第2容量電極57とが電氣的に短絡してしまう不具合を防ぐことができる。

30

40

【0053】

次に、図30に示すように、GaAs基板1上に膜厚0.8 μ m程度の酸化シリコン膜58を堆積し、その酸化シリコン膜58で酸化シリコン膜55、第3容量電極54、第2容量絶縁膜56および第2容量電極57を覆う。酸化シリコン膜58の代わりにSiN膜を用いてもよい。続いて、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしたエッチングにより、酸化シリコン膜55および絶縁膜50をパターンニングする。それにより、絶縁膜50から容量素子の第1容量絶縁膜59を形成するこ

50

とができる。

【0054】

続いて、酸化シリコン膜58をマスクとしてA r イオンによるスパッタエッチングを行い、金属膜49をパターンニングする。それにより、金属膜49から容量素子の第1容量電極60、エミッタ電極37と電氣的に接続する配線(図示は省略)、ベース電極38と電氣的に接続する配線62、コレクタ電極41と電氣的に接続する配線63、および抵抗素子44と電氣的に接続する配線64を形成することができる。ここまでの工程により、第1容量電極60、第1容量絶縁膜59、第2容量電極57、第2容量絶縁膜56および第3容量電極54からなる容量素子C2を形成することができる。ここで、図31は、第1容量電極60が形成された時点における、第1容量電極60、第1容量絶縁膜59、第2容量電極57、第2容量絶縁膜56および第3容量電極54の位置関係を示す平面図であり、図31中のA-A線に沿った断面は図30中における容量素子C2の断面に相当する。本実施の形態3においては、図31に示すように、第1容量電極60(容量絶縁膜59)は、平面で第2容量電極57を取り囲むようにパターンニングされる。この時、金属膜49をスパッタエッチングによってパターンニングしたのは、金属膜51と同様に金属膜49を形成するAuが化学反応によってエッチングすることが困難な材質だからである。また、金属膜51と同様に金属膜49は物理的にエッチング(スパッタエッチング)することによってパターンニングされることから、スパッタエッチングによって削られた金属膜49を形成するAuおよびMoが飛散するが、金属膜49のパターンニング時には、第3容量電極54は酸化シリコン膜55および酸化シリコン膜58によって覆われ、第2容量電極57は酸化シリコン膜58によって覆われているので、そのAuおよびMoが第3容量電極54および第2容量電極57に付着してしまう不具合を防ぐことができる。それにより、第1容量電極60が第2容量電極57および第3容量電極54と電氣的に短絡してしまう不具合を防ぐことができる。

10

20

【0055】

本実施の形態3では、3段の容量電極(第1容量電極60、第2容量電極57および第3容量電極54)を有する容量素子C2を形成する場合について説明したが、同様の工程によって4段以上の容量電極を有する容量素子を形成してもよい。このように、 $n+1$ 段(n は2以上)の容量電極を有する容量素子を形成する場合には、まず、すべての容量電極および容量絶縁膜となる金属膜および絶縁膜を成膜し、それら薄膜の成膜後において、

30

【0056】

また、図29および図31を用いて説明したように、第1容量電極60(第1容量絶縁膜59)は平面で第2容量電極57(第2容量絶縁膜56)を取り囲むようにパターンニングされ、第2容量電極57(第2容量絶縁膜56)は平面で第3容量電極54を取り囲むようにパターンニングされていることから、第3容量電極54下においては第2容量絶縁膜57が第2容量電極57の側壁上部および側壁下部に配置されてしまうことを防ぎ、第2容量電極57下においては第1容量絶縁膜59が第1容量電極60の側壁上部および側壁下部に配置されてしまうことを防ぐことができる。それにより、第1容量絶縁膜59および第2容量絶縁膜56が折れ曲がり、第1容量絶縁膜59および第2容量絶縁膜56膜厚が局所的に薄くなる、あるいは膜質が低下するために、容量素子C2の耐圧が低下してしまうことを防ぐことができる。その結果、容量素子C2の破壊耐圧を向上することができるようになるので、容量絶縁膜の膜厚を薄くすることによって容量素子の容量密度を向上させることが可能となる。すなわち、本実施の形態3によれば、 $n+1$ 段の容量電極を有する容量素子を形成する場合にも、容量絶縁膜が局所的に薄くなる、あるいは膜質が低下してしまうことを防ぐことができるので、容量素子の破壊耐圧を向上することができるようになる。

40

50

【0057】

また、本実施の形態3の容量素子の形成方法によれば、 $n + 1$ 段の容量電極となる金属膜および各金属膜間に配置される容量絶縁膜を連続して成膜するので、その金属膜および容量絶縁膜間に入り込んでしまう異物の密度を低減することができる。それにより、その異物による欠陥に起因する容量耐圧の低下を防ぐことが可能となる。

【0058】

次に、図32に示すように、GaAs基板1上に膜厚 $0.5\mu\text{m}$ 程度のSiN膜および膜厚 $0.5\mu\text{m}$ 程度の酸化シリコン膜を順次堆積することにより、絶縁膜65を成膜する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして絶縁膜65、45、43をエッチングすることにより、エミッタ電極37に達する開口部66、配線62～配線64のそれぞれに達する開口部67、平面で第2容量電極57および第3容量電極54の配置されていない領域において第1容量電極60に達する開口部68、平面で第3容量電極54の配置されていない領域において第2容量電極57に達する開口部69、および第3容量電極54に達する開口部70を形成する。この時、開口部70の開口面積は、開口部68、69の開口面積より大きくなるように形成される。

【0059】

続いて、開口部66～70内を含む絶縁膜65上に膜厚 $0.2\mu\text{m}$ 程度のMo膜および膜厚 $3\mu\text{m}$ 程度のAu膜を順次堆積する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとしたエッチングにより、そのAu膜およびMo膜をパターンニングし、エミッタ電極37と電氣的に接続する配線71、配線62～配線64のそれぞれと電氣的に接続する配線72、第1容量電極60と電氣的に接続する配線73、第2容量電極57と電氣的に接続する配線74、および第3容量電極54と電氣的に接続する配線75を形成する。ここで、図33は、配線71～75の形成時における容量素子C2の平面図であり、図33中のA-A線に沿った断面は図32中における容量素子C2の断面に相当する。図33に示すように、開口部70は平面で第3容量電極54に取り囲まれるように形成され、開口部69は平面で第2容量電極57に取り囲まれるように形成される。開口部70が平面で第3容量電極54から外れた位置に形成されると、開口部70内に配置される配線75によって第3容量電極54と第2容量電極57および第1容量電極60とが短絡されてしまう不具合が懸念され、開口部69が平面で第2容量電極57から外れた位置に形成されると、開口部69内に配置される配線74によって第2容量電極57と第1容量電極60とが短絡されてしまう不具合が懸念されるが、開口部70を平面で第3容量電極54に取り囲まれるように形成し、開口部69を平面で第2容量電極57に取り囲まれるように形成することにより、そのような不具合を防ぐことが可能となる。

【0060】

本発明者は、容量素子C2を形成するに当たって、たとえば第1容量電極60および配線61、62、63のパターンニングを先に行い、第1容量電極60および配線61、62、63上に層間絶縁膜を成膜し、その層間絶縁膜に第1容量電極60に達する開口部を形成した後、その開口部内に第1容量絶縁膜59および第2容量電極57を形成（パターンニングを含む）し、さらに第1容量絶縁膜59および第2容量電極57上に層間絶縁膜を成膜し、その層間絶縁膜に第2容量電極57に達する開口部を形成した後、その開口部内に第2容量絶縁膜56および第3容量電極54を形成（パターンニングを含む）する工程で容量素子C2を形成する手段について検討した。このような手段を用いた場合には、本実施の形態3の容量素子C2の形成方法に比べて、第1容量絶縁膜59および第2容量電極57を形成するための開口部を形成する工程と、第1容量絶縁膜59をパターンニングする工程と、第2容量絶縁膜56および第3容量電極54を形成するための開口部を形成する工程と、第2容量絶縁膜56をパターンニングする工程とが増加してしまうことになる。なお、この場合、3層配線の構成となり、第2容量電極57と同時に形成した金属層は第2の配線としても使用し、第3容量電極54と同時に形成した金属層は第3の配線としても使用する。従って、通常、最上層の第3の配線上に保護絶縁膜を形成し、この保護絶縁膜に

10

20

30

40

50

ボンディングパッド等を形成するための開口部を形成することになる。一方、本実施の形態3の容量素子C2の形成方法によれば、配線層は2層でよく、これらの工程を省略できるので、半導体装置の製造工程を簡略化することができる。また、n段の積層容量絶縁膜とn+1段の容量電極を有する容量素子を形成するに当たり、nが3以上の場合においても、従来技術ではn+1層の配線層が必要となるのに対し、本実施の形態3では配線層を2層で済ませることができ、工程を簡略化できる。

【0061】

次に、図34に示すように、GaAs基板1上に絶縁膜76を堆積した後、配線71~75に達する開口部77を形成する。本実施の形態3において、絶縁膜76としては、SiN膜または酸化シリコン膜およびSiN膜を順次堆積した積層膜を例示することができる。その後、GaAs基板1をダイシング法などによって切断することによって個々のチップへ切り出し、本実施の形態3の半導体装置を製造する。

10

【0062】

なお本実施の形態3の図32および図34では、第1容量電極60に達する開口部68を設けて第2の配線73で上部に引き出しているが、この配線73は必ずしも必要ではない。第1容量電極60と同時形成した第1の配線で抵抗素子44と接続する配線64もしくはベース電極38と接続する配線62などに接続してもよい。これに対し、第2容量電極57に達する開口部69と配線74は、第2容量電極57と配線74とが電氣的に結線するために省略できない。この手法を繰り返すことで、n段の積層容量絶縁膜を有する容量素子を形成するに当たり、nが3以上の場合においても、本実施の形態3によれば配線層は2層で済ませることができる。

20

【0063】

図35は、上記チップの平面図である。図35に示すように、チップCHPには、上記の本実施の形態のHBT、抵抗素子44および容量素子C2の他に、容量素子CM1、CM3、CM4、およびインダクタLM1、LM3などが形成されている。図示は省略するが、容量素子CM1、CM3、CM4は、容量素子C2と同様の工程および形状で形成されている。図36は図35に示したチップCHPが配線基板に搭載されて形成された高周波電力増幅装置の要部平面図であり、図37はその高周波電力増幅装置の要部回路図である。この高周波電力増幅装置は、たとえば使用周波数が約800MHz~900MHzのGSM(Global System for Mobile Communication)方式、使用周波数が約1.8GHz~1.9GHzのDCS(Digital Cellular System)方式、またはそれら2方式の両方に対応する送信用パワーアンプモジュール(第2モジュール)PAMである。この送信用パワーアンプモジュールPAMを形成する配線基板PLS上には、チップCHP以外にもコンデンサCB1、CB2、CC1、CC2、CH1、CH2、およびインダクタLC1、LC2、LH1、WBなどが搭載されている。コンデンサCB1、CB2、CC1、CC2、CH1、CH2、CH3、CH4、およびインダクタLC1、LC2、LH1、WBは、たとえばフェイスダウンボンディングにより直接配線基板PLSへ実装された個々のチップである。

30

【0064】

上記送信用パワーアンプモジュールPAMにおける外部電極端子は、入力端子としてのRF-in、出力端子としてのRF-out、基準電位(電源電位)としてのVcc1、Vcc2、およびバイアス端子としてのVbb1、Vbb2である。

40

【0065】

RF-inとRF-outとの間には、2段の増幅段が従属接続されている。第1段増幅段および第2段増幅段は、それぞれ第1回路ブロックCCB1および第2回路ブロックCCB2で形成されている。

【0066】

RF-inは所定の段間整合回路を介して第1回路ブロックCCBに含まれるHBTQ1のベース電極に電氣的に接続されている。このHBTQ1によって高周波電力の増幅を行うものである。また、その段間整合回路は、容量素子CM1およびインダクタLM1に

50

よって形成されている。増幅系は2弾構成であることから、第2段増幅段である第2回路ブロックC C B 2に含まれるH B T Q 2のベース電極は、前段のH B T Q 1のコレクタ電極に所定の段間整合回路を介して接続されている。H B T Q 1とH B T Q 2との間に配置された段間整合回路は、容量素子C M 3、C M 4およびインダクタL M 3によって形成されている。

【0067】

(実施の形態4)

前記実施の形態3では、コンデンサC B 1、C B 2、C C 1、C C 2、C H 1、C H 2、C H 3、C H 4(図36参照)は、配線基板P L Sへ直接実装されるチップとして形成する場合について例示したが、本実施の形態4では、これらコンデンサ(受動素子)C B 1、C B 2、C C 1、C C 2、C H 1、C H 2、C H 3、C H 4を集積受動デバイス(Integrated Passive Device; I P D(第1モジュール))として1つのチップ内に形成する場合について説明する。

10

【0068】

図38は、上記集積受動デバイスの要部断面図であり、特にコンデンサC H 2、C H 3、C H 4が示されている。これらコンデンサC H 2、C H 3、C H 4は、G a A s基板1上において、前記実施の形態1にて図4~図13を用いて説明した容量素子Cを形成する工程と同様の工程で形成されている。このように、コンデンサC B 1、C B 2、C C 1、C C 2、C H 1、C H 2、C H 3、C H 4を集積受動デバイスとして1つのチップ内に形成することにより、コンデンサC B 1、C B 2、C C 1、C C 2、C H 1、C H 2、C H 3、C H 4をそれぞれ個々のチップとして送信用パワーアンプモジュールP A M(図36参照)に組み込む場合に比べて小型に組み込むことが可能となる。それにより、送信用パワーアンプモジュールP A M自体を小型化することも可能となる。

20

【0069】

上記のような本実施の形態3によっても、前記実施の形態1と同様の効果を得ることができる。

【0070】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【0071】

たとえば、前記実施の形態1では、G a A s基板上にF E Tを形成する場合について説明したが、G a A s基板を用いる代わりにI n Pなどの半絶縁性の化合物半導体基板を用いてもよい。また前記実施の形態4では石英基板、アルミナ基板などの酸化シリコンあるいは酸化アルミニウムを主成分とする絶縁体基板を用いてもよい。石英基板、アルミナ基板はG a A sなどに比べ低価格であり、I P Dの製造原価を下げることができる。M I M(Metal Insulator Metal)容量の高周波特性の観点からは、シリコンなどの比較的導電性の高い半導体基板を用いるより半絶縁性の化合物基板を用いる方が好ましく、さらに石英などの絶縁性基板を用いる方が一層好ましい。

【産業上の利用可能性】

40

【0072】

本発明の半導体装置は、たとえば送信用パワーアンプモジュールなどの高周波電力増幅装置に適用することができる。

【図面の簡単な説明】

【0073】

【図1】本発明の実施の形態1である半導体装置の製造方法を説明する要部断面図である。

【図2】図1に続く半導体装置の製造工程中の要部断面図である。

【図3】図2に続く半導体装置の製造工程中の要部断面図である。

【図4】図3に続く半導体装置の製造工程中の要部断面図である。

50

- 【図5】本発明の実施の形態1である半導体装置の製造工程中の要部断面図である。
- 【図6】本発明の実施の形態1である半導体装置の製造工程中の要部断面図である。
- 【図7】図4に続く半導体装置の製造工程中の要部断面図である。
- 【図8】図7に続く半導体装置の製造工程中の要部断面図である。
- 【図9】本発明の実施の形態1である半導体装置の製造工程中の要部平面図である。
- 【図10】図8に続く半導体装置の製造工程中の要部断面図である。
- 【図11】図9に続く半導体装置の製造工程中の要部平面図である。
- 【図12】本発明の実施の形態1である半導体装置の製造工程中の要部断面図である。
- 【図13】図10に続く半導体装置の製造工程中の要部断面図である。
- 【図14】本発明の実施の形態2である半導体装置の製造方法を説明する要部断面図である。 10
- 【図15】図14に続く半導体装置の製造工程中の要部断面図である。
- 【図16】図15に続く半導体装置の製造工程中の要部断面図である。
- 【図17】図16に続く半導体装置の製造工程中の要部断面図である。
- 【図18】図17に続く半導体装置の製造工程中の要部断面図である。
- 【図19】本発明の実施の形態3である半導体装置の製造方法を説明する要部断面図である。
- 【図20】図19に続く半導体装置の製造工程中の要部断面図である。
- 【図21】図20に続く半導体装置の製造工程中の要部断面図である。
- 【図22】図21に続く半導体装置の製造工程中の要部断面図である。 20
- 【図23】図22に続く半導体装置の製造工程中の要部断面図である。
- 【図24】図23に続く半導体装置の製造工程中の要部断面図である。
- 【図25】図24に続く半導体装置の製造工程中の要部断面図である。
- 【図26】図25に続く半導体装置の製造工程中の要部断面図である。
- 【図27】図26に続く半導体装置の製造工程中の要部断面図である。
- 【図28】図27に続く半導体装置の製造工程中の要部断面図である。
- 【図29】本発明の実施の形態3である半導体装置の製造工程中の要部平面図である。
- 【図30】図28に続く半導体装置の製造工程中の要部断面図である。
- 【図31】図29に続く半導体装置の製造工程中の要部平面図である。
- 【図32】図30に続く半導体装置の製造工程中の要部断面図である。 30
- 【図33】図31に続く半導体装置の製造工程中の要部平面図である。
- 【図34】図32に続く半導体装置の製造工程中の要部断面図である。
- 【図35】本発明の実施の形態3である半導体装置を形成するチップの平面図である。
- 【図36】図35に示したチップを含む高周波電力増幅装置の要部平面図である。
- 【図37】図36に示した高周波電力増幅装置の要部回路図である。
- 【図38】本発明の実施の形態3である半導体装置を説明する要部断面図である。
- 【図39】本発明者が検討した半導体装置の要部断面図である。
- 【図40】本発明者が検討した半導体装置の要部断面図である。
- 【符号の説明】
- 【0074】 40
- 1 GaAs基板
- 2 n型GaAs層
- 3 素子分離部
- 4 ソース電極
- 5 ドレイン電極
- 6 ゲート電極
- 7 酸化シリコン膜
- 9 抵抗素子
- 10 酸化シリコン膜
- 11 ~ 14 開口部 50

1 5	金属膜 (第 1 導電性膜)	
1 5 A	M o 膜 (第 1 金属膜)	
1 5 B	A u 膜 (第 2 金属膜)	
1 5 C	M o 膜 (第 3 金属膜)	
1 5 D	下部電極	
1 5 E ~ 1 5 H	配線	
1 5 I	金属膜	
1 5 J	下部電極	
1 6	S i N 膜 (第 1 絶縁膜)	
1 6 A	容量絶縁膜	10
1 7	上部電極	
1 8	酸化シリコン膜 (第 2 絶縁膜)	
1 9	絶縁膜 (第 3 絶縁膜)	
2 0、2 0 A、2 0 B	開口部	
2 1	開口部 (第 2 開口部)	
2 2	開口部 (第 1 開口部)	
2 3、2 3 A、2 3 B	配線	
2 4	配線 (第 2 配線)	
2 5	配線 (第 1 配線)	
2 6	保護膜	20
3 2	n ⁺ 型 G a A s 層	
3 3	n ⁻ 型 G a A s 層	
3 4	p ⁺ 型 G a A s 層	
3 4 A	ベースメサ	
3 5	n 型 I n G a P 層	
3 6	n ⁺ 型 I n G a A s 層	
3 7	エミッタ電極	
3 8	ベース電極	
3 9	絶縁膜	
4 0	開口部 (第 1 領域)	30
4 1	コレクタ電極	
4 2	素子分離部	
4 3	絶縁膜	
4 4	抵抗素子	
4 5	絶縁膜	
4 6 ~ 4 8	開口部	
4 9、5 1、5 3	金属膜	
5 0、5 2	絶縁膜	
5 4	第 3 容量電極	
5 5	酸化シリコン膜	40
5 6	第 2 容量絶縁膜	
5 7	第 2 容量電極	
5 8	酸化シリコン膜	
5 9	第 1 容量絶縁膜	
6 0	第 1 容量電極	
6 1	絶縁膜	
6 2 ~ 6 4	配線	
6 5	絶縁膜	
6 6 ~ 7 0	開口部	
7 1 ~ 7 5	配線	50

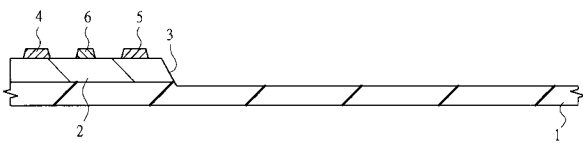
- 76 絶縁膜
- 77 開口部
- 101 基板
- 102 絶縁膜
- 103 金属膜
- 103A、103B 領域
- 104 層間絶縁膜
- 105 開口部
- 105A 領域
- 106 絶縁膜
- 107 金属膜
- C、C1、C2、C11 容量素子
- CHP チップ
- CM1、CM3、CM4 容量素子
- CB1、CB2、CC1、CC2、CH1、CH2、CH3、CH4 コンデンサ(受動素子)
- CCB1 第1回路ブロック
- CCB2 第2回路ブロック
- LC1、LC2、LH1、M1、LM3、WBL インダクタ
- PAM 送信用パワーアンプモジュール(第2モジュール)
- PLS 配線基板
- Q1、Q2 HBT

10

20

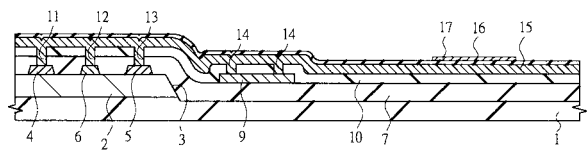
【図1】

図1



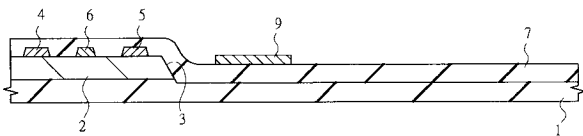
【図4】

図4



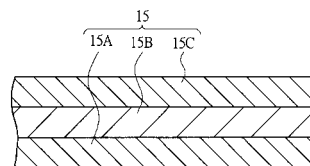
【図2】

図2



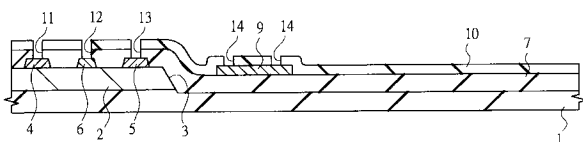
【図5】

図5

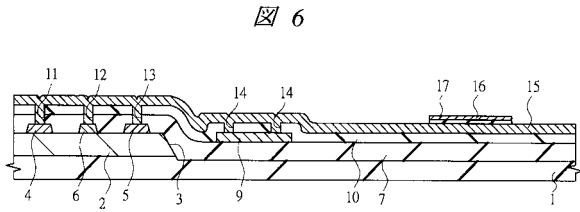


【図3】

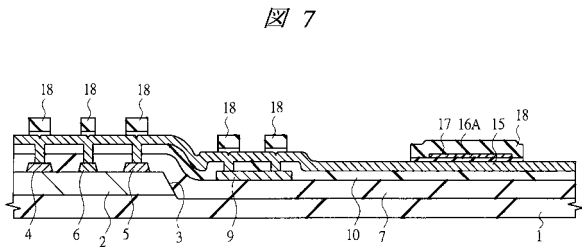
図3



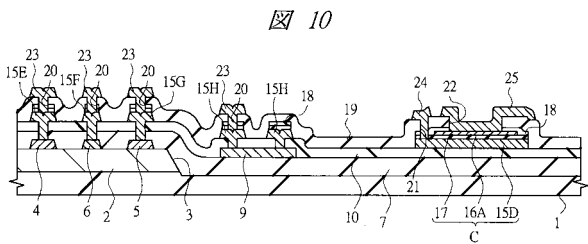
【図6】



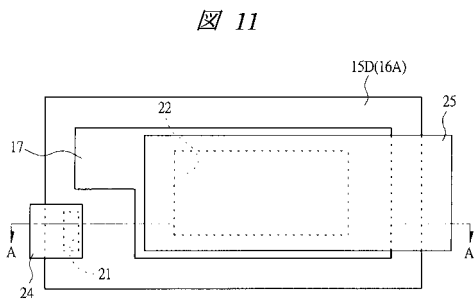
【図7】



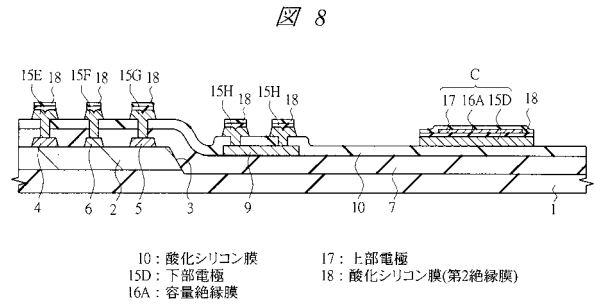
【図10】



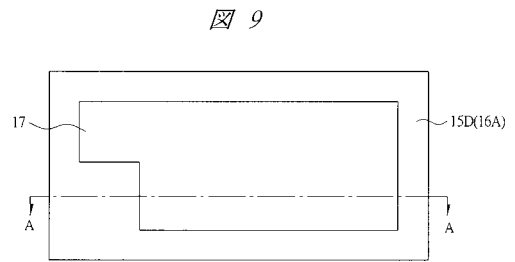
【図11】



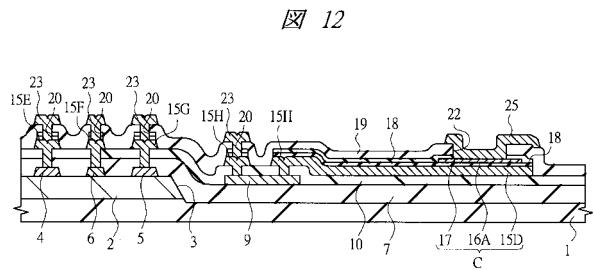
【図8】



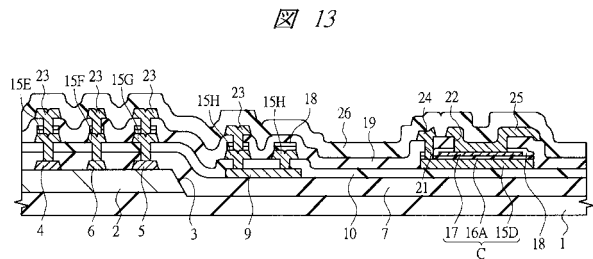
【図9】



【図12】

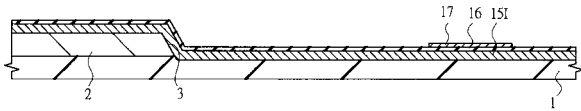


【図13】



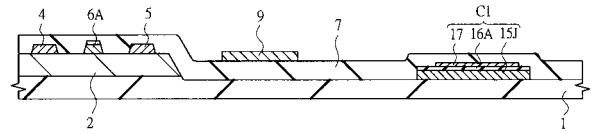
【 図 1 4 】

図 14



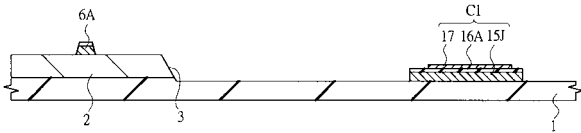
【 図 1 7 】

図 17



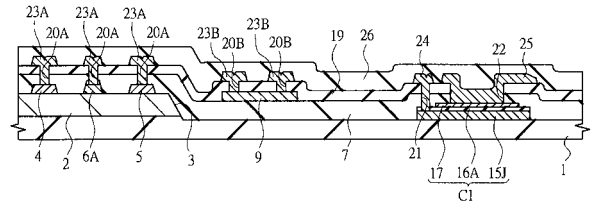
【 図 1 5 】

図 15



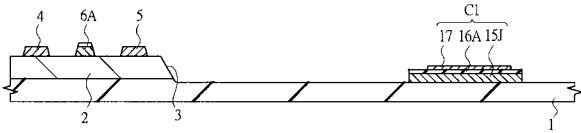
【 図 1 8 】

図 18



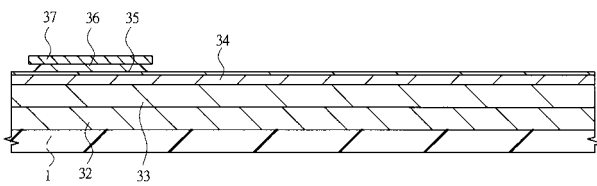
【 図 1 6 】

図 16



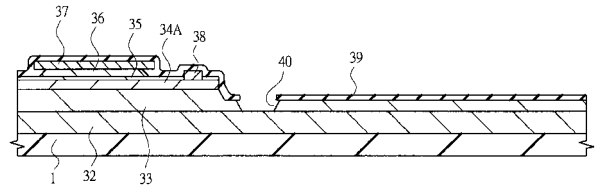
【 図 1 9 】

図 19



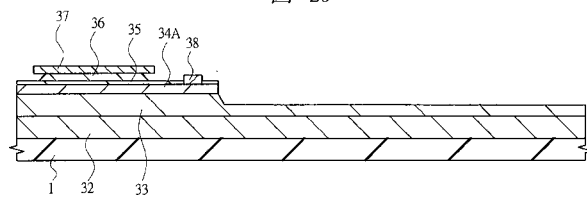
【 図 2 1 】

図 21



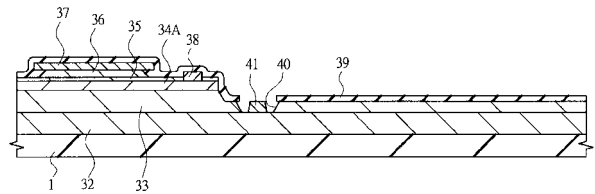
【 図 2 0 】

図 20

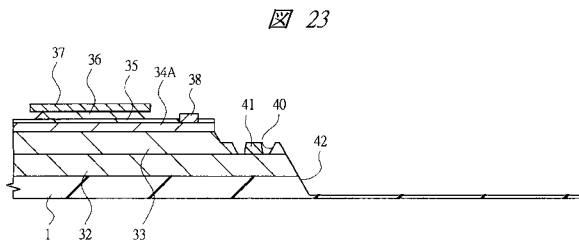


【 図 2 2 】

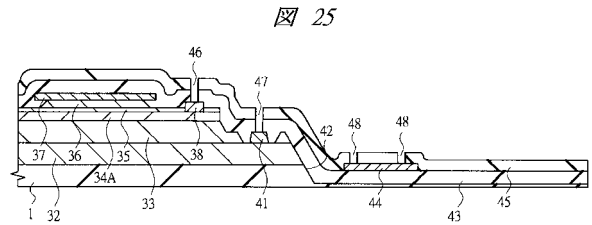
図 22



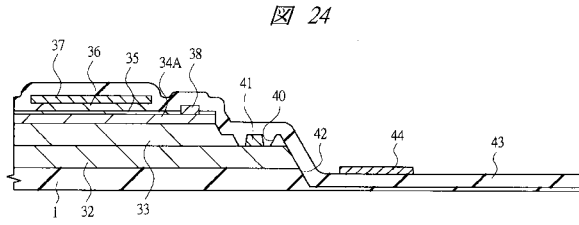
【 図 2 3 】



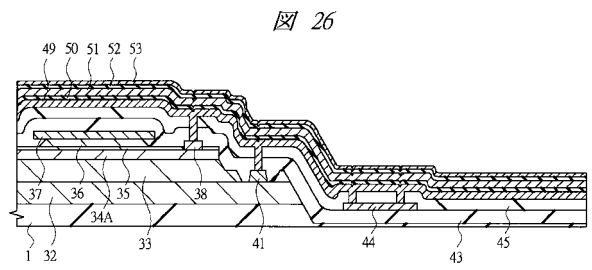
【 図 2 5 】



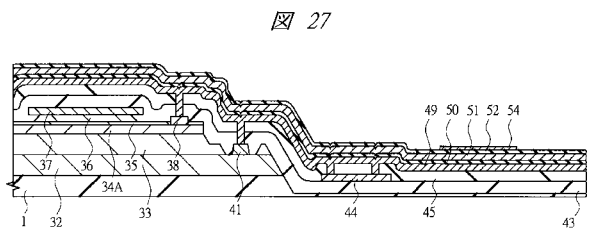
【 図 2 4 】



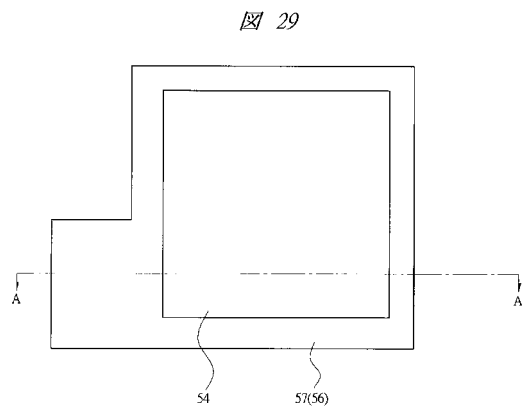
【 図 2 6 】



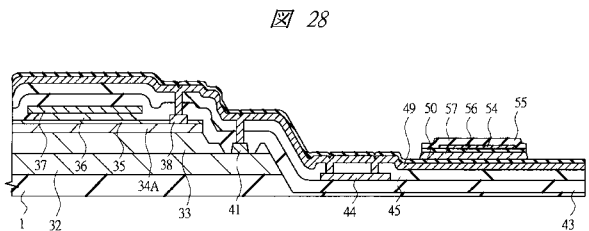
【 図 2 7 】



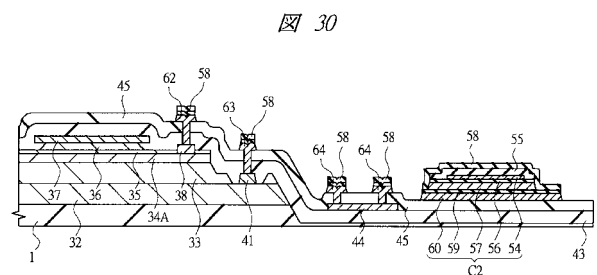
【 図 2 9 】



【 図 2 8 】

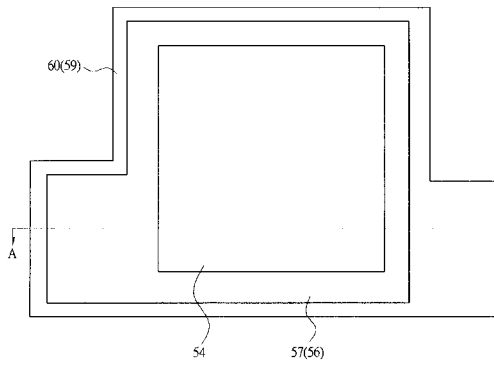


【 図 3 0 】



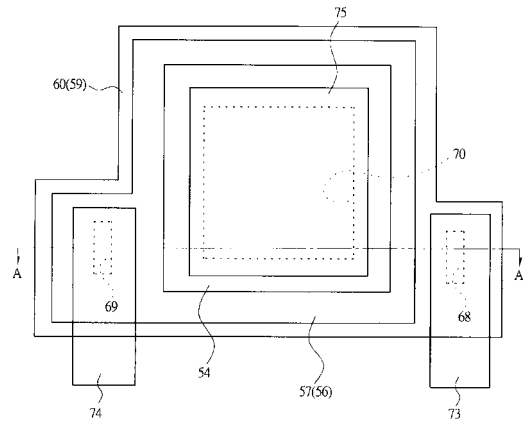
【 図 3 1 】

図 31



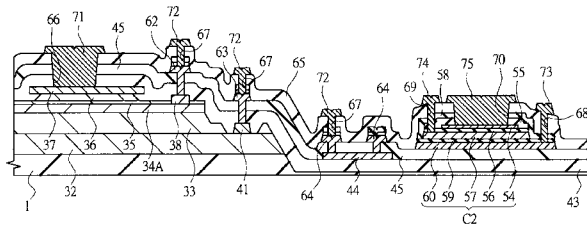
【 図 3 3 】

図 33



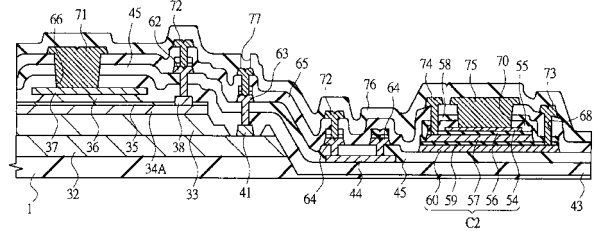
【 図 3 2 】

図 32



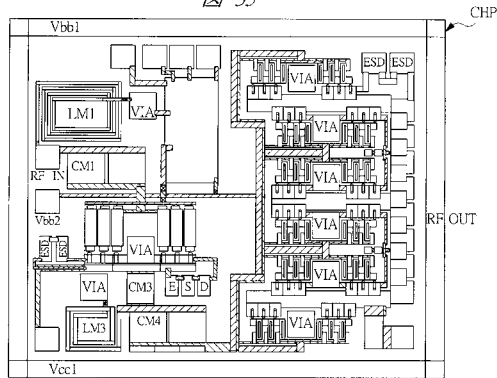
【 図 3 4 】

図 34



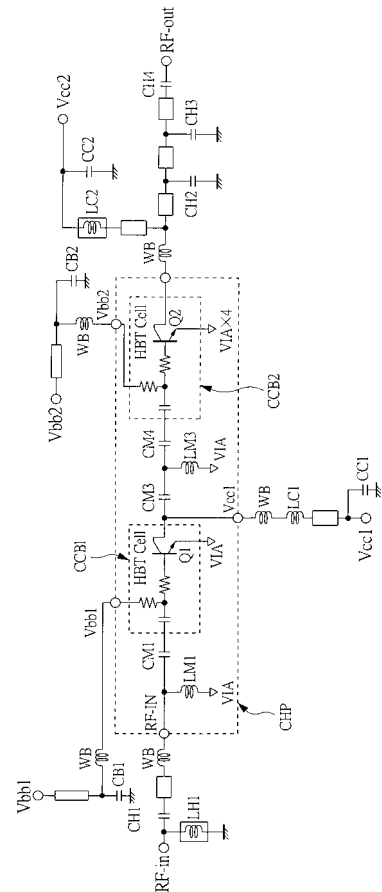
【 図 3 5 】

図 35



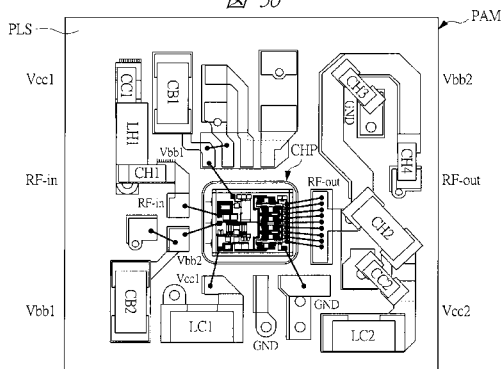
【 図 3 7 】

図 37



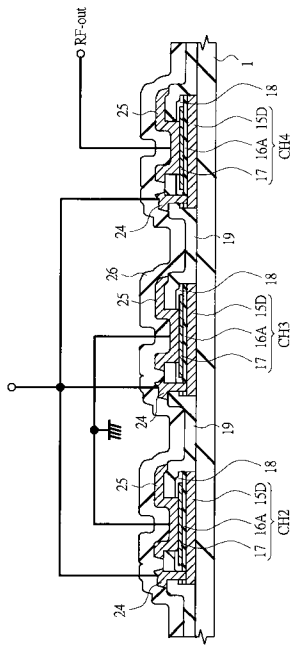
【 図 3 6 】

図 36



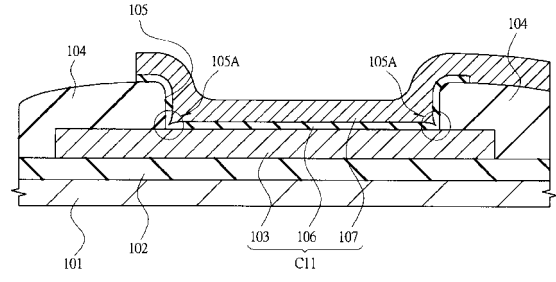
【 図 3 8 】

図 38



【 図 3 9 】

図 39



【 図 4 0 】

図 40

