



# [12] 发明专利说明书

专利号 ZL 200510029301.8

[45] 授权公告日 2007 年 10 月 31 日

[11] 授权公告号 CN 100346167C

[22] 申请日 2005.9.1

[21] 申请号 200510029301.8

[73] 专利权人 上海交通大学

地址 200240 上海市闵行区东川路 800 号

[72] 发明人 陈进 杜敏 郭箬

[56] 参考文献

CN1548974A 2004.11.24

US6519749B1 2003.2.11

US2004/0098687A1 2004.5.20

Low Power BIST Design by Hypergraph Partitioning: Methodology and Architectures P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch, Test Conference, 2000. Proceedings. 2000

SoC 中低峰值功耗的 BIST 调度算法 杨军, 李杰, 李锐, 时龙兴, 电路与系统学报, 第 9 卷第 1 期 2004

基于部分扫描的低功耗内建自测试 李杰, 李锐, 杨军, 凌明, 固体电子学研究与进展, 第 25 卷第 1 期 2005

审查员 雒晓明

[74] 专利代理机构 上海交达专利事务所

代理人 王锡麟 王桂忠

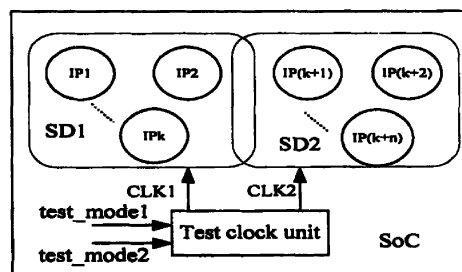
权利要求书 1 页 说明书 4 页 附图 1 页

[54] 发明名称

基于电路分割的低功耗扫描测试方法

[57] 摘要

一种测试技术领域的基于电路分割的低功耗扫描测试方法, 步骤如下: 1) 电路分割: 对设计进行逻辑划分, 划分后一个逻辑部分对应一个扫描测试模式; 2) 扫描时钟设计: 对各个逻辑部分进行扫描测试时, 每一时刻只有一个逻辑部分的扫描时序单元的时钟可控制; 3) 独立扫描链电路设计: 对于整个设计进行逻辑分割后, 各个划分的测试逻辑部分是互异的关系; 4) 输入输出复用: 划分的多个逻辑部分都有对应的扫描链, 各逻辑部分的扫描链通过多路选择器复用共同的输入输出端口。本发明减少了同时进行扫描测试的扫描触发器的数量, 大大降低了瞬时测试功耗, 平均功耗也有所降低, 从而避免了芯片在测试过程中由于功耗过大而失效。



1. 一种基于电路分割的低功耗扫描测试方法，其特征在于，步骤如下：

1) 电路分割：对设计进行逻辑划分，划分后每一个逻辑部分都对应一个扫描测试模式，对于划分为 N 个逻辑部分的设计来说，其瞬时功耗将降低为原来 1/N；

2) 扫描时钟设计：对划分的各个逻辑部分进行扫描测试时，每一时刻只有一个逻辑部分的扫描时序单元的时钟可控制，另外的扫描触发器的时钟始终处于非激活状态；

3) 独立扫描链电路设计：对于整个设计进行逻辑分割后，各个划分的测试逻辑部分是互异的关系，即一部分逻辑处于测试模式下，另外部分的逻辑的测试时钟关闭，相当于一个黑盒；

4) 输入输出复用：划分的多个逻辑部分都有对应的扫描链，各逻辑部分的扫描链通过多路选择器复用共同的输入输出端口；

所述的步骤 3) 中，被测试部分的输入端的逻辑存在着可控制性问题，该问题通过同时采取以下两种方案来解决：

a) 按照时钟域来划分测试逻辑部分；

b) 在各个划分的逻辑部分之间加入独立的扫描链，该扫描链输入输出端直接连接在芯片的端口上，绕过被划分的逻辑内部；

所述的 b)，具体实现如下：

假设扫描链逻辑加在逻辑划分 M1 和 M2 之间，独立扫描链逻辑在测试 M1 和 M2 的两种测试模式下都能起作用，正常工作时时钟关闭，当测试逻辑部分 M1 时，通过 M1 和 M2 之间的独立扫描链往两者相互交互通道的中 M1 的输入部分施加激励增加电路的可控性，并且把 M1 的输出端口的值移位到输出端口上，增加 M1 测试的可观测性，从而增加 M1 的测试覆盖率，连接着 M1 的输入输出的独立扫描链同样连接着 M2 的输出输入，同样，该独立的扫描链在测试 M2 时起到增加 M2 的可观测性和可控制性的作用。

## 基于电路分割的低功耗扫描测试方法

### 技术领域

本发明涉及的是一种测试技术领域的方法，具体是一种基于电路分割的低功耗扫描测试方法。

### 背景技术

基于扫描链的可测试性方法广泛的使用在数字集成电路的内建测试中，因为这种方法增加了电路内部节点的可控制性和可观测性，同时节省了测试成本。目前的大型片上系统（SoC）设计中都进行了可测试性设计，对于数字逻辑部分常用的做法是加入一个测试模式，在该模式下对芯片进行基于扫描链的可测试性设计。在测试机上进行扫描链测试时，根据输入的测试矢量，可能会有大量扫描链上的触发器在翻转，这时会造成芯片瞬时峰值功耗过大，甚至烧毁芯片。一般情况下，扫描测试模式下的功耗比功能操作模式下要高出很多，因此基于扫描链测试时的功耗成为芯片设计者和测试工程师所关注的一个主要问题。目前通常会采用加入中断点或者降低时钟频率的方法来防止功耗过大，然而前一种解决方法不仅需要硬件的耗费，而且需要测试时间。第二种建议需要较少的硬件，但是降低时钟频率需要增加额外的测试时间，同时会引起错误覆盖率的损失，因为一些动态错误被屏蔽了。

经对现有技术的文献检索发现，2000年10月的《国际测试会议》(Proceedings of International Test Conference Oct. 2000)中刊登了“适应于低功耗的扫描链结构”(Adapting scan architectures for low power operation)一文，该文提出了一种把扫描链划分为多个部分来减小测试功耗的方法，该方法通过将扫描链分成等长的几部分，在测试过程中这几部分的响应数据直接反馈到测试设备进行比较，减少了数据在扫描链中的移位次数。这种方法通过减少触发器的翻转来降低功耗，但是其需要加入额外的扫描链控制模块，完成对于扫描链的分割，对于上百万门的SoC来说，设计复杂度大大增加。另外，这种方法虽然降低了整个测试过程的总功耗，但是却无法减少同时翻转触发器的

数量，因此无法降低瞬时峰值功耗。

#### 发明内容

本发明的目的在于解决大规模集成电路设计中测试功耗过大的问题，提供一种基于电路分割的低功耗扫描测试方法。使其通过避免所有触发器同时翻转来解决测试的功耗问题，每次测试时，只是对其中的一部分逻辑进行测试，这样减少了测试时的瞬时功耗。

本发明是通过以下技术方案实现的，包括如下几个步骤：

1) 电路分割：根据需要达到的瞬时功耗要求对设计进行逻辑划分，划分后每一个逻辑部分都对应一个扫描测试模式。对于划分为  $N$  个逻辑部分的设计来说，其瞬时功耗将降低为原来  $1/N$ 。

2) 扫描时钟设计：对划分的各个逻辑部分进行扫描测试时，每一时刻只有一个逻辑部分的扫描时序单元（扫描触发器）的时钟可以控制，其它部分的扫描触发器的时钟始终处于非激活状态。

3) 独立扫描链电路设计：对于整个设计进行逻辑分割后，各个划分的测试逻辑部分是互异的关系，即一部分逻辑处于测试模式下，其它部分的逻辑的测试时钟关闭，相当于一个黑盒。这样在一种测试模式下的逻辑部分与属于其他测试模式下的逻辑部分之间存在着可测试性问题，即被测试部分的输入端的逻辑存在着可控制性问题，输出部分存在着可观测性问题。可测试性问题的存在会导致测试覆盖率的下降。本发明中提出两种方案来解决这一问题：

a) 按照时钟域来划分测试逻辑部分。一般不同时钟域之间信号交互比较少，按照不同时钟域划分，有利于可高可测试性。

b) 在各个划分的逻辑部分之间加入独立的扫描链，该扫描链输入输出端直接连接在芯片的端口上，绕过被划分的逻辑内部。假设扫描链逻辑加在逻辑划分  $M1$  和  $M2$  之间，独立扫描链逻辑在测试  $M1$  和  $M2$  的两种测试模式下都能起到作用，正常工作时时钟关闭。当测试逻辑部分  $M1$  时，通过  $M1$  和  $M2$  之间的独立扫描链可以往两者相互交互通道中  $M1$  的输入部分施加激励增加电路的可控性，也可以把  $M1$  的输出端口的值移位到输出端口上，增加  $M1$  测试的可观测性，因而可以增加  $M1$  的测试覆盖率。连接着  $M1$  的输入输出的独立扫描链同样连接着  $M2$  的输出输入。同样，该独立的扫描链也可以在测试  $M2$  时起到增加  $M2$  的可

观测性和可控制性的作用。独立扫描链的加入，使得整个芯片的测试覆盖率大大提高。

4) 输入输出复用：划分的多个逻辑部分都有对应的扫描链，不同逻辑部分的扫描链可以通过多路选择器复用共同的输入输出端口。

本发明通过设置多个扫描测试模式，在每个扫描测试模式下，只有一部分扫描链进行扫描测试，其他不属于当前扫描测试模式下的扫描链则处于非激活状态，这样就将整个扫描测试功耗分成了几部分，大大降低了峰值运行功耗，有效地避免了电迁移现象的发生。同时这些扫描测试模式有相同的复用管脚，即每种模式下对应的扫描链的输入输出端口是一样的，因此多种扫描测试不会引起片外引脚的增加。本发明减少了同时进行扫描测试的扫描触发器的数量，大大降低了瞬时测试功耗，平均功耗也有所降低，从而避免了芯片在测试过程中由于功耗过大而失效。

#### 附图说明

图 1 本发明对设计进行逻辑电路分割示意图

图 2 本发明中独立扫描链设计示意图

图 3 不同测试模式扫描链输入输出端口复用示意图

#### 具体实施方式

下面以一个分割为两个部分的 SoC 可测试性设计的过程为例，具体介绍基于电路分割的低功耗扫描测试方法，该 SoC 约包含 4 万个触发器。

首先是电路分割，如图 1 所示在该例中电路按照功耗要求分为两个扫描部分 SD1 和 SD2。SD1 和 SD2 对应不同的扫描模式。SD1 有 k 个模块：IP1, IP2, ..., IPk；SD2 中有 n 个模块：IP(k+1), IP(k+2), ..., IP(k+n)。

接着是扫描时钟设计，在对应 SD1 的测试扫描模式时，处于激活状态的 CLK1 能够到达 IP1, IP2, ..., IPk 中所有的扫描时序单元，而 CLK2 为固定值，即没有时钟能够到达 SD2 中的模块 IP(k+1), IP(k+2), ..., IP(k+n)。同样，对应 SD2 的测试扫描模式时，只有 CLK2 是激活的，能够到达 SD2 中的所有的模块，而 CLK1 为固定值。测试时钟 CLK1 和 CLK2 由测试使能信号 test\_mode1 和 test\_mode2 通过测试时钟模块 (Test clock unit) 中的多路选择器生成，即当 test\_mode1 置位时，CLK1 处于激活状态，当 test\_mode2 置位时，CLK2 处于激活状态。

然后是独立扫描链电路设计，该独立扫描链逻辑 wrapper 模块，如图 2 所示，具有单独的扫描输入端口 SI 和扫描输出端口 SO。假设 SD1 和 SD2 的测试模式的使能信号分别为 test\_model 和 test\_mode2，则独立扫描链逻辑的测试使能信号 test\_mode 为：

$$test\_mode = test\_model \parallel test\_mode2$$

即在 SD1 和 SD2 的扫描测试模式下，独立扫描链逻辑均起到作用。在 test\_model 时，独立扫描链逻辑的时钟 (wrapper\_clk) 和测试使能信号 (wrapper\_se)，与 SD1 部分的测试时钟和使能信号具有相同的输入源。同样，在 test\_mode2 时，独立扫描链逻辑的时钟 (wrapper\_clk) 和测试使能信号 (wrapper\_se)，与 SD2 部分的测试时钟和使能信号具有相同的源。

最后是输入输出复用，独立扫描链在两种测试模式下都起到作用，要用独立的扫描输入输出端口。SD1 和 SD2 分别在不同测试模式下，相互之间的扫描链可以通过多路选择器复用相同的输入端口 SI 和输出端口 SO，如图 3 所示。

对设计完成的电路进行矢量仿真测试，与原电路进行比较，总功耗、测试时间和故障覆盖率相当，瞬时峰值功耗减小了一半以上。

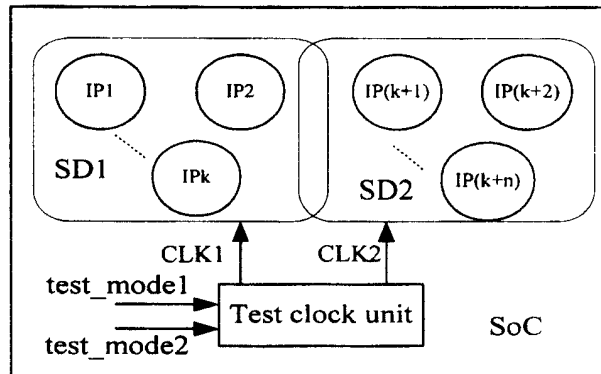


图 1

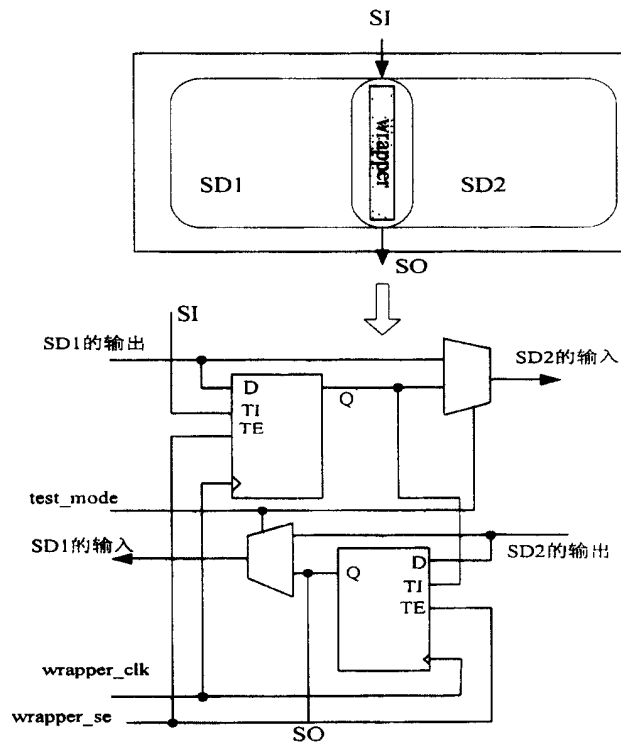


图 2

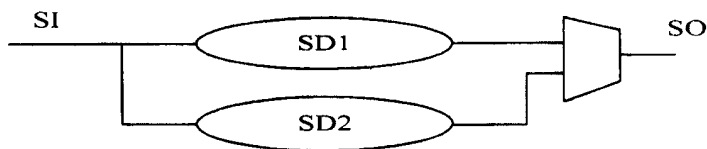


图 3