

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-531848
(P2005-531848A)

(43) 公表日 平成17年10月20日(2005.10.20)

(51) Int. Cl.⁷
G06F 17/16

F I
G06F 17/16

テーマコード(参考)
5B056

審査請求 有 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2004-517568 (P2004-517568)
 (86) (22) 出願日 平成15年5月20日 (2003.5.20)
 (85) 翻訳文提出日 平成17年1月25日 (2005.1.25)
 (86) 国際出願番号 PCT/US2003/016019
 (87) 国際公開番号 W02004/003767
 (87) 国際公開日 平成16年1月8日 (2004.1.8)
 (31) 優先権主張番号 10/184,583
 (32) 優先日 平成14年6月28日 (2002.6.28)
 (33) 優先権主張国 米国 (US)

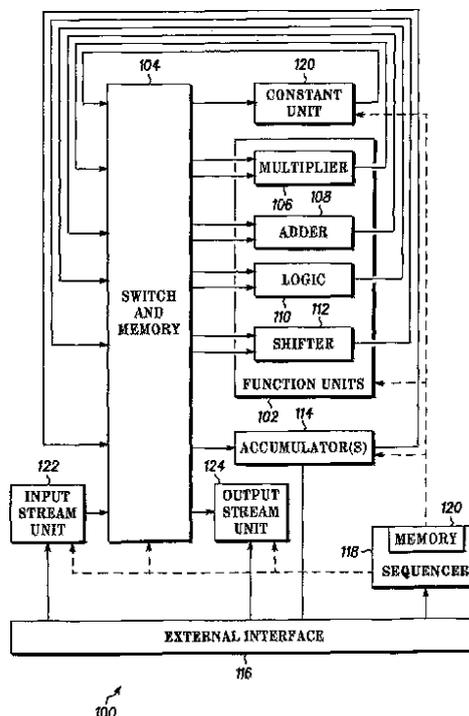
(71) 出願人 390009597
 モトローラ・インコーポレイテッド
 MOTOROLA INCORPORATED
 アメリカ合衆国イリノイ州シャンバーグ、
 イースト・アルゴンクイン・ロード130
 3
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 メイ、フィリップ イー。
 アメリカ合衆国 60067 イリノイ州
 パラタイン エス.セダー ストリート
 235

最終頁に続く

(54) 【発明の名称】 再構成可能なストリーミングベクトルプロセッサ

(57) 【要約】

再構成可能なストリーミングベクトルプロセッサ100が提供される。前記プロセッサはデータ値を受け取るための一つ以上の入力およびデータ値を提供するための出力を有する多数の機能ユニット102、再構成可能な相互接続スイッチ104およびマイクロシーケンサ118を含む。前記再構成可能な相互接続スイッチ104は一つ以上のリンクを有し、各リンクはマイクロシーケンサ118の命令に従って機能ユニット102の出力と機能ユニット入力とを接続するように動作可能である。ベクトルプロセッサはまた、メモリからデータを取り出すために一つ以上の入力ストリームユニットを含むこともある。各入力ストリームユニットはホストプロセッサによって命令され、前記ホストプロセッサへの決められたインターフェイス116を有する。前記ベクトルプロセッサはまた、データをメモリまたはホストプロセッサに書き込むための出力ストリームユニットを一つ以上含む。



【特許請求の範囲】

【請求項 1】

各々がデータ値を受け取るための一つ以上の入力、およびデータ値を提供するための出力を有する、複数の機能ユニットと、

各リンクが、或る機能ユニットの出力と或る機能ユニットの一つ以上の入力の内の一つに接続するように動作可能な、一つ以上のリンクを備える再構成可能な相互接続スイッチと、

前記再構成可能な相互接続スイッチに接続され、前記スイッチを制御するように動作可能なマイクロシーケンサとを備える、再構成可能なストリーミングベクトルプロセッサ。

【請求項 2】

前記マイクロシーケンサは命令プログラムを保存するためのプログラムメモリを含む、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 3】

前記再構成可能な相互接続スイッチは、データ値を保存するためのスイッチメモリを含む、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 4】

前記スイッチメモリは、FIFO、プログラム遅延およびパイプライン型レジスタファイルの内の少なくとも一つを備える、請求項 3 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 5】

再構成可能な相互接続スイッチのリンクはマイクロシーケンサによって機能ユニットの出力からデータ値を受け取り、機能ユニットにある一つ以上の入力の内の一つにデータ値を提供するように命令される、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 6】

前記再構成可能な相互接続スイッチに接続され、データメモリから入力データ値を取り出し、前記再構成可能な相互接続スイッチにデータ値を提供するように動作可能な一つ以上の入力ストリームユニットと、

前記再構成可能な相互接続スイッチに接続され、前記再構成可能な接続スイッチからデータ値を受け取り、データメモリに出力データ値を提供するように動作可能な一つ以上の出力ストリームユニットとを更に備える、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 7】

前記入力および出力ストリームユニットは、ホストコンピュータからの制御命令を受け取るためのインターフェースを含む、請求項 6 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 8】

前記制御命令は、

データメモリにあるデータ値のベクトルの開始アドレス、

データ値のベクトルのスパン、

データ値間のストライド、

ベクトルデータ値のスパンの間をスキップするための、メモリアドレスの数、および

データ値のベクトルにおける各データ値のサイズの内の少なくとも一つを備える、請求項 7 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 9】

前記入力ストリームユニット、出力ストリームユニットおよびマイクロシーケンサをホストコンピュータに接続するように動作可能な外部インターフェースを更に備える、請求項 6 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 10】

前記機能ユニットは、

10

20

30

40

50

シフタ、
加算器、
論理ユニットおよび

乗算器の内の少なくとも一つを備える請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 1 1】

前記機能ユニットは更にパススルー機能ユニットを備える、請求項 1 0 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 1 2】

複数の機能ユニットの内の少なくとも一つの機能ユニットの出力は、パイプラインレジスタを備える、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。 10

【請求項 1 3】

前記再構成可能な相互接続スイッチに接続されている少なくとも一つの累算器を更に備える、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 1 4】

前記少なくとも一つの累算器は、ホストコンピュータに接続されるように動作可能な、請求項 1 3 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 1 5】

複数のスカラーレジスタを更に備える、請求項 1 記載の再構成可能なストリーミングベクトルプロセッサ。 20

【請求項 1 6】

前記複数のスカラーレジスタはデータトンネルを提供する、請求項 1 5 記載の再構成可能なストリーミングベクトルプロセッサ。

【請求項 1 7】

相互接続スイッチ、マイクロシーケンサおよび複数の機能ユニットを備えるストリーミングベクトルプロセッサを構成する方法であって、

前記マイクロシーケンサに命令プログラムを保存することと、

命令プログラムの中から一つの命令を取り出すことと、

命令プログラムから取り出された命令に従い、前記相互接続スイッチを構成することと

、
命令プログラムから受け取った命令に従い、第一メモリに保存されたデータを機能ユニットに提供することと、

機能ユニットは前記データ上で動作することと、

命令プログラムから受け取った命令に従い、機能ユニットからのデータを第二メモリに保存することとを備える方法。 30

【請求項 1 8】

前記ストリーミングベクトルプロセッサは、バッファメモリを有する一つ以上の入力ストリームユニットを備え、前記第一メモリは入力ストリームユニットの一つ以上のバッファメモリであり、かつ前記相互接続スイッチ内のメモリである、請求項 1 7 記載の方法。

【請求項 1 9】

ホストプロセッサから受け取ったパラメータセットに従い、各入力ストリームが外部メモリからデータ値を取り出すことと、前記入力ストリームユニットのバッファメモリにデータ値を保存することとを更に備える、請求項 1 8 記載の方法。 40

【請求項 2 0】

前記ストリーミングベクトルプロセッサは、バッファメモリを有する一つ以上の出力ストリームユニットを備え、前記第二メモリは出力ストリームユニットの一つ以上のバッファメモリであり、かつ前記相互接続スイッチ内のメモリである、請求項 1 7 記載の方法。

【請求項 2 1】

ホストプロセッサから受け取ったパラメータセットに従い、各出力ストリームユニットは、前記出力ストリームユニットのバッファメモリのデータ値を外部メモリに書き込むこ 50

とを更に備える、請求項 20 記載の方法。

【請求項 22】

反復演算を実行するためのストリーミングベクトルプロセッサをプログラムする方法であって、前記ストリーミングベクトルプロセッサは再構成可能なデータ経路を有し、

前記方法は

前記反復演算の反復処理のデータフローグラフを指定することと、

前記データフローグラフに対応する半順序集合の演算を指定する線形グラフを、前記データフローグラフから生成することと、

前記線形グラフをストリーミングベクトルプロセッサのデータ経路上にスケジュールすることと、

前記ストリーミングベクトルプロセッサのデータ経路を構成するように動作可能なバイナリコード命令を生成することとを備える方法。

10

【請求項 23】

前記ストリーミングベクトルプロセッサはメモリを有するマイクロシケンサを含み、前記方法は前記マイクロシケンサのメモリ内にバイナリコード命令を保存することを更に備える、請求項 22 記載の方法。

【請求項 24】

前記線形グラフをスケジュールすること、およびバイナリコード命令を生成することは、コンピュータによって実行される、請求項 23 記載の方法。

【請求項 25】

前記線形グラフを生成することは、グラフィカルユーザインターフェースを使用して前記データフローグラフをコンピュータに指定し、前記コンピュータはデータフローグラフから線形グラフを自動的に生成することを更に備える、請求項 22 記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願のクロスリファレンス)

本願は、同時係属中である「統合ストレージを伴う相互接続装置 (INTERCONNECTION DEVICE WITH INTEGRATED STORAGE)」と題し、代理人整理番号 CML00101D によって確認される特許出願と、「部分アドレッシングを伴うメモリインターフェース (MEMORY INTERFACE WITH FRACTIONAL ADDRESSING)」と題し、代理人整理番号 CML00102D によって確認される特許出願と、「ストリーミングベクトルプロセッサのためのスケジューラ (SCHEDULER FOR STREAMING VECTOR PROCESSOR)」と題し、代理人整理番号 CML00108D によって確認される特許出願と、「ストリーミングベクトル演算処理のための線形グラフをプログラムする方法 (METHOD OF PROGRAMMING LINEAR GRAPHS FOR STREAMING VECTOR COMPUTATION)」と題し、代理人整理番号 CML00109D によって確認される特許出願とに関連し、同日に出願され、参考のために本願に添付する。

30

40

【0002】

本発明は、概してコンピュータプロセッサの分野に関連する。より詳細には、本発明は再構成可能なストリーミングベクトルプロセッサに関連する。

【背景技術】

【0003】

移動端末向けに計画されている新しいアプリケーション (マルチメディア、画像、イメージ圧縮 / 解凍等) の多くは、高い割合でストリーミングベクトル演算処理を伴う。これらのアプリケーションプロセッサの演算率は、最良の汎用 CPU が実行することができる処理能力を超えることが多い。従って、これらの新しいアプリケーションの演算要求に応えるために、そのような端末にある演算処理エンジンの性能を改善する手段を発見するこ

50

とが望まれる。

【0004】

同時に、これらの新しいアプリケーションは性質上、標準規格およびその標準規格を満たす最良のアルゴリズムが絶えず変化し、プログラムが可能であり、かつプログラムが容易である解決方法を必要としている。更に、如何に早期に市場に出荷するかという、製品化までに要する時間に対する圧力が増大している。この問題に対処する一つの方法として、ソフトウェアおよびハードウェアにおいて以前に投資したものの再利用を多く行うことがある。複数の製品に渡るハードウェアの再利用は、プログラム可能性によって最も促進される。ソフトウェアの再利用は、バイナリ互換性が維持されるように、端末における複数の実装において一貫性のあるプログラミングモデルを使用することで促進される。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

この必要性を満たすための一つの試みとして、ハードウェアアクセラレータの使用が挙げられる。前記ハードウェアアクセラレータは、再プログラムする性能が限定されているため、上記の問題を解決するには不十分である。機能的に固定されていないハードウェアアクセラレータは、関数のタイプまたは順序を変更するのではなく、ハードウェアアクセラレータが実行する関数のパラメータのみを変更することができる。

【0006】

プログラム可能性のソリューションは、ベクトルプロセッサ、デジタルシグナルプロセッサ、SIMDプロセッサおよびVLWプロセッサの形式となって存在する。これらのソリューションは、上記プロセッサのプログラミングモデルに制限があるために不十分であり、プログラムすることを困難なものにし、全てのハードウェア世代に渡る一貫したプログラミングモデルの維持を困難にしている。上記プロセッサのプログラミングモデルにおける制限には、データ経路パイプラインのプログラマによる視認性、メモリ幅および待ち時間、メモリ内のデータアライメント、および明確なリソースの依存関係等がある。

20

【課題を解決するための手段】

【0007】

本発明の特性と考えられる新規な特徴は、添付の特許請求の範囲において説明される。しかしながら、本発明自体は、好適な使用形態、本発明の更なる目的およびその利点と同様に、添付の図面と併せて読まれる際、以下に続く実施形態の詳細な説明を参照することによって最も良く理解されよう。

30

【0008】

本発明は多くの異なる形式による実施形態が可能であるが、本願による開示は発明の本質の一具体例として考慮され、図面に示され、説明される特定の実施形態に限定される意図ではないことを理解した上で図面に示され、本願において一つ以上の特定の実施形態が詳細に説明されるだろう。以下の説明にある同一の参照数表示は、図面の様々な外形において同一、同様のまたは一致する部分を説明するために使用されるものとする。

【0009】

本発明における再構成可能なストリーミングベクトルプロセッサ(RSVP)はベクトル演算、即ち一連のデータ要素における同一の演算のセットを実行するコプロセッサである。RSVPは高速なベクトル演算を実行することによって、内蔵されている汎用プロセッサ(ホストプロセッサ)の性能を強化するように設計されている。RSVPのプログラミングモデルにおいて、ベクトル演算の性能は二つの構成要素に分離される。それらはアクセスと演算処理である。

40

【0010】

本発明の一実施形態において提供される再構成可能なストリーミングベクトルプロセッサは、多くの機能ユニットを含み、各機能ユニットはデータ値を受け取るための一つ以上の入力、データ値を提供するための出力、再構成可能な相互接続スイッチおよびマイクロシーケンサを含む。前記再構成可能な相互接続スイッチは一つ以上のリンクを含み、各リ

50

ンクはマイクロシーケンサの命令によって、機能ユニットの出力と機能ユニットの入力とを接続する機能を有する。ベクトルプロセッサはまた、メモリからデータを取り出すための一つ以上の入力ストリームユニットを含む。前記入力ストリームはホストプロセッサによって命令され、前記ホストプロセッサへの決められたインターフェースを有する。前記ベクトルプロセッサはまた、データをメモリに書き込むための一つ以上の出力ストリームを含み、同様にホストプロセッサへの決められたインターフェースを有する。

【0011】

更に進んだ実施形態では、前記再構成可能な相互接続スイッチは中間データ値を保存するためのメモリを含む。

好適な実施形態において、入力データストリームに決められたインターフェースはプログラミングモデルの第一部分を形成する。再構成可能な相互接続スイッチを指示する一連の手順においてメモリに保存された命令は、プログラミングモデルの第二部分を形成する。

【発明を実施するための最良の形態】

【0012】

R V S Pハードウェア100の典型的な実施形態を図1に示す。図1を参照すると、多くの機能ユニット102の出力および入力再構成可能な相互接続スイッチ104を介して相互接続されている。前記機能ユニットには乗算器106、加算器108、論理ユニット110およびシフタ112が含まれ得る。他の機能ユニットが含まれることもあり、特定のタイプである複数の機能ユニットが含まれることもある。前記機能ユニットからの出力はシングルレジスタまたはパイプラインレジスタであり得る。前記機能ユニットは複数の独立した演算をサポートする。例えば、乗算器は128ビットの入力および128ビットの出力を有し、二つの32×32ビットから64ビットを生成する乗算、または四つの16×16ビットから32ビットを生成する乗算、または乗算の総計が128ビットの入力または128ビットの出力を超えない、任意の組み合わせの乗算を実行することができる。前記ハードウェアはまた、一つ以上の累算器114も含む。好適な実施形態において、前記累算器は累算器のみではなくストレージレジスタとしても機能し、相互接続スイッチ104と外部インターフェース116との両方にインターフェースで接続されている。外部インターフェース116は、R S V Pとホストプロセッサとのリンクを有効にし、ホストプロセッサに累算器およびR S V Pの他の部分へのアクセスを可能にする。機能ユニット102および再構成可能な相互接続スイッチ104は、R S V Pのためのデータ経路を定義する。機能ユニットおよび再構成可能な相互接続スイッチ104はマイクロシーケンサ118に接続しており、前記マイクロシーケンサは目的とするベクトル演算処理のデータフローグラフの実装に特定の記述を記載している命令プログラムを保存するためのメモリ120、好ましくはキャッシュ、を含む。プロセッサクロックの各サイクルにおいて、マイクロシーケンサは相互接続スイッチにおけるリンクを構成し、機能ユニットを動作させる制御語を生成する。スカラー値の保存と提示およびトンネルノードの機能性は定数ユニット120によって提供される。スカラー値およびトンネルの初期値は、ホストプロセッサまたは命令プログラムによって読み込まれる。動作中、入力データ値は一つ以上の入力ストリームユニット122（一つのユニットのみ図示されている）によって、相互接続スイッチ104に提供される。各入力ストリームユニット122は、メモリ内におけるデータの割り当てを記述しているパラメータセットによって制御される。このパラメータセットはホストプロセッサによって提供され、入力ストリームユニットは外部インターフェース116を介してホストプロセッサに接続されている。各出力ストリームユニット124（一つのユニットのみ図示されている）は同様にホストプロセッサによって制御され、データを再構成可能な相互接続スイッチ104から外部メモリに転送するように動作可能である。入力ストリーム122および出力ストリーム124は、データフローを同期化するマイクロシーケンサ118に接続されている。

【0013】

上記において説明した典型的なR S V Pのアーキテクチャは、ベクトルアクセスとベク

10

20

30

40

50

トル演算処理との演算の分離を促進する。

入力または出力ストリームユニットによって実行されるベクトルアクセスは、ベクトル演算の一部である各入力および出力ベクトルの場所、形状およびタイプを記述することから構成されている。好適な実施形態において、これらの特性は二つ以上のパラメータを通して記述される。

【0014】

1. ベクトルアドレス - 次のベクトル成分のメモリ内にある開始アドレス。
2. スライド - 一つの成分から次の成分への符号付き増分。
3. スパン - スキップする前のスライド数。

【0015】

4. スキップ - 成分のスパンを数えた後の符号付き増分。
5. サイズ - 各データ要素のサイズ（例えば 1, 2 または 4 バイト）。

入力および出力ベクトルに加えて、ベクトルプロセッサは多数のスカラーおよびアキュムレータレジスタを含むことがあり、前記スカラーおよびアキュムレータレジスタの初期値はプログラマによって特定され得る。これらのレジスタはベクトル演算処理内で使用される。累算器の場合、レジスタの値は演算処理中に変更することが可能であり、後に使用するためにアクセスすることができる。プログラミングモデルのベクトルアクセス部分は、ホストプロセッサで使用されるプログラミング言語で記述され、ホスト上で実行される。

【0016】

ベクトル演算処理は演算子の半順序集合から構成され、それらは各出力ベクトル成分を導出するために、入力ベクトル、スカラーレジスタ、および累算器の成分に適用される。本発明におけるプログラミングモデルでは、演算処理のデータフローグラフの線形表示によって、ベクトル演算処理が行なわれる。データフローグラフにおいて、グラフ内の各ノードはノード記述子を使用して表示され、前記ノード記述子は入力データが得られたノードおよびノード群によって実行される演算を特定する。他のCPUの命名方法にあるような、演算子の間でデータを渡すためにレジスタを明示的に命名する規則はない。演算の例として下記のC言語による記述がある。

【0017】

【数1】

```
void quant(short *out, short *in, int n, short qp)
{
    long rq, b, c;
    rq = ((1 << 16) + qp) / (qp << 1);
    b = qp - !(qp & 1);
    while(--n > 0)
    {
        c = *in++;
        if(c < 0) c += b;
        else if(c > 0) c -= b;
        *out++ = (c * rq) / (1 << 16);
    }
}
```

【0018】

対応するデータフローグラフを図2に示す。図2を参照するとブロック202においてベクトルv1が読み込まれる。ノード204においてベクトルの符号が取得される。スカ

10

20

30

40

50

ラ値 s_1 および s_2 がそれぞれ、ブロック 208 において読み込まれる。ブロック 210 において即座にシフト値 16 が読み込まれる。ノード 212 において、ベクトル v_1 にスカラー s_2 を乗算する。ノード 214 において、この乗算の結果が v_1 から減算される。ノード 216 において、前記の減算の結果にスカラー s_1 を乗算した後、ノード 218 において右に 16 移動する。ブロック 220 において最終的なベクトルの結果が、 v_0 として保存される。

【0019】

データフローグラフの線形化された形式は以下のように示される。

【0020】

【数 2】

```

Q1:  vld.s16      (v1)      // c = *in++;
Q2:  vsign.s16   Q1
Q3:  vscalar    s2        // s2 is b
Q4:  vscalar    s1        // s1 is rq
Q5:  vimm       16
Q6:  vmul.s16   Q2,Q3     // if(c<0) c+=b;
Q7:  vsub.s16   Q1,Q6     // else if (c>0) c-=b;
Q8:  vmul.s32   Q7,Q4     // c *= rq;
Q9:  vasr0.s16  Q8,Q5     // *out++ = c/(1<<16);

```

10

20

【0021】

上記の典型的な線形フロー形式は関数演算を使用する。

`vld.s16` - 16 ビットデータ値のベクトルから次のデータ要素を読み込む。

`vsign.s16` - データ値の符号を計算する。

【0022】

`vscalar` - スカラー値を読み込む。

`vmul.s16` - 二つの 16 ビットデータ値を乗算する。

`vmul.s32` - 二つの 32 ビットデータ値を乗算する。

30

【0023】

`vsub.s16` - 二つの 16 ビットデータ値を減算する。

`vasr0.s16` - 16 ビットデータ値を右に移動する算術シフト。

機能ユニットは、ベクトル成分の加法 (`vadd`) および累算 (`vadda`) を含む、他の様々な関数演算を実行することが好ましい。実行の前に、線形グラフが RSV P のデータ経路上にスケジューラされる。データ経路は各クロックサイクルにおいて再構成可能である。機能ユニットは一つに集約されることもあり、つまりは機能ユニットの部分集合が結合してより大きな機能ユニットを形成することが可能である。前記機能ユニットの相互結合によって任意に機能ユニットのパイプラインを構築することが可能となる。

40

【0024】

RSVP はそのプログラミングモデルを通して、目的である高性能および市場への迅速性を促進する。RSVP はコプロセッサであるために、シングルコアのプログラミングモデルを使用することが望ましい。汎用 CPU / DSP の組み合わせにおいて使用されるようなデュアルコアソリューションでは、プログラムするのが非常に困難になる傾向がある。その理由は、これらのタイプのソリューションにあるのだが、プログラマは二つの異なるプログラミングツールセットを使用しなくてはならず、明示的に CPU と DSP との間における同期化を処理しなくてはならないことにある。

【0025】

本発明におけるプログラミングモデル内において、ベクトルアクセスに関する記述は、

50

ベクトル演算の記述と分離されている。従って、プログラマは上記の二つの事項を混合して処理する必要はない。ベクトルアクセスは五つのパラメータのみで記述されていることから、プログラマはデータアライメント、メモリバス幅、またはメモリ待ち時間の問題の処理を避けることができる。ベクトルアクセスの基礎となるハードウェアがこれらの問題を処理する。このようにしてベクトルアクセスの記述は、メモリサブシステムまたはベクトルアクセスのハードウェアの実行に関わらず、一定のままである。これはプログラマの仕事を簡略化するだけでなく、RSVPのバイナリコードが上記メモリサブシステムやベクトルアクセスのハードウェアの実行による変更を反映させるために変換される必要がないように、バイナリコードの互換性をも増大させる。

【0026】

データフローグラフの形式であるベクトル演算処理の記述は、RSVPのデータ経路の実装に特定の情報を含まない。累算器およびベクトルストリームユニット(VSU)を使用する以外には、RSVPは任意のリソースとの依存関係がない。特に演算子の間でデータを渡すための明示的なレジスタの命名方法を欠いている。そのためスケジューラが最適なスケジュールを得ることを容易にし、スケジューラにかかる負荷を取り除くことができる。結果として、データ経路はプログラマにとって透過性があり、RSVPのバイナリコードを変更することなくスカラーデータ経路からVLWまたはSIMDのようなスーパー scalerであるものに変更することができる。

【0027】

プログラミングモデルにおけるベクトルアクセスの記述とベクトル演算処理の記述の分離を図3および図4に示す。図3はRSVPのコードを生成するための方法であるフローチャートを示す。開始ブロック302に続いて、ブロック304では演算処理のデータフローグラフが指定される。ブロック306において、前記データフローグラフから演算処理の線形グラフ形式が生成される。線形グラフ形式の生成は手動で実行されるか、またはコンピュータプログラムによって自動的に実行されることがある。一実施形態において、コンピュータプログラムはユーザにグラフィカルユーザインターフェースを提供し、データフローグラフへの入力を容易にしている。ブロック306において生成された線形グラフ形式は、ブロック308でスケジューラに提供される。スケジューラはRSVPリソースを効率的に使用するための関数演算を命令するコンピュータプログラムである。一旦スケジューリングが完了するとブロック310でRSVPのためのバイナリコードが生成され、ブロック312でその処理は終了する。この処理はデータアライメントおよびデータの埋め込み、メモリバス幅またはメモリ待ち時間のような、ベクトルアクセスに関する問題を考慮していないことに注意されたい。これらの問題はハードウェアによって処理される。データアクセスはホストプロセッサで指定される。ホストプロセッサのためのプログラミング処理を図4に示す。図4を参照すると、開始ブロック402に続いてメモリ内のデータ構造がブロック404で指定される。ブロック406において関連するデータアクセスのパラメータ(開始アドレス、ストライド、スパン、スキップおよびサイズ)が指定される。これらのパラメータは演算処理中にRSVPの入力ストリーミングユニットに渡されるであろう。ブロック408においてホストプロセッサコードの残りが生成され、ブロック410でその処理は終了する。このように前記ホストの処理はベクトルアクセスを指定するが、ベクトル演算処理とは独立している。

【0028】

RSVPハードウェアは性能を向上させるために、プログラミングモデルのいくつかの態様を利用する。ベクトルアクセスと演算処理とが分離しているために、それぞれのハードウェアは互いに非同期的に動作する。その結果、ベクトルアクセスハードウェアは演算処理の前に進行することができ、データが必要とされる前に取り出されることから、メモリ待ち時間の一部分が隠されることになる。

【0029】

ベクトルアクセスの記述は、全ての情報がアクセスするハードウェア内にある少数のレジスタに保存されるような、十分に簡潔なものである。これらのレジスタはホストプロセ

10

20

30

40

50

ッサにアクセス可能である。同様にRSVPデータフローグラフは、例えばRSVPマイクロシーケンサメモリが線形形式のデータフローグラフを全て保持するのに十分大きなものであるように、構造的に固定数のノード（例えば、256）に限定されている。この方法による利点は、ハードウェアはアドレス計算またはベクトル演算処理の実行方法を決定するための命令を一度も取り出す必要がないことである。これによってRSVP演算処理を行うのに要するメモリ帯域幅からの命令の取り出しを削除することになる。

【0030】

ベクトル演算処理がリソースの依存性をほとんど含むことがないデータフローグラフとして指定されるために、RSVPのデータ経路は他のCPUのデータ経路とは異なっている。DSP、SIMD、VLWおよびベクトルプロセッサ装置のほとんどは、任意の順でそれらのデータ経路にある機能ユニットに接続することができない。統合され得る機能ユニットも有していない。

10

【0031】

本発明は特定のアーキテクチャに基づいた典型的な実施形態によって説明されてきたことを、当業者は認識するであろう。しかしながら本発明は類似のアーキテクチャを使用し実行され得るため、上記のように限定されるべきではない。当業者は更に、本発明の精神および範囲から逸脱することなく形式および詳細の様々な変更が成されることを理解するであろう。

【0032】

本発明が特定の実施形態に関連して説明される間に、上述の説明に照らして多くの代替、修正、置換および変更が可能であることが当業者に明らかになることは明白である。従って、本発明は添付の請求項の範囲に含まれるように、そのような代替、修正、変更を全て包含していることを意図するものである。

20

【図面の簡単な説明】

【0033】

【図1】本発明における再構成可能なストリーミングベクトルプロセッサの実施形態の概略図。

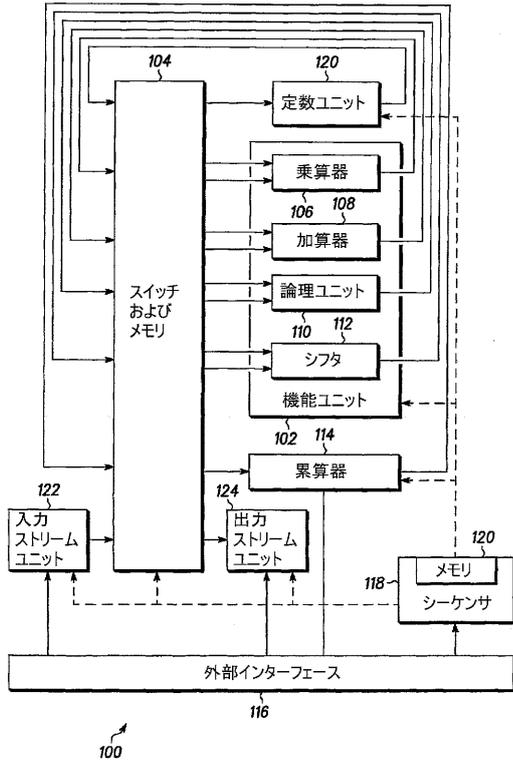
【図2】典型的な反復演算処理のデータフローグラフ。

【図3】本発明におけるベクトルプロセッサをプログラムするための処理のフローチャート。

30

【図4】本発明におけるベクトルプロセッサで動作するためのホストプロセッサをプログラムする処理を表すフローチャート。

【 図 1 】



【 図 2 】

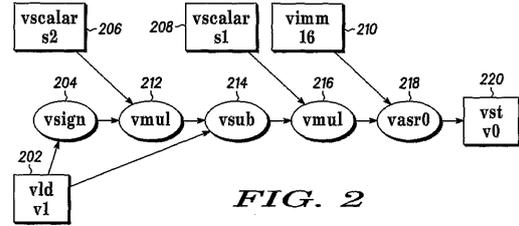
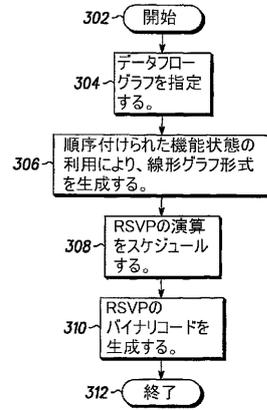
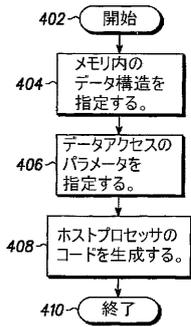


FIG. 2

【 図 3 】



【 図 4 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/16019
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) : G 06 F 15/00 US CL : 712/218		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 712/218		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,719,998 A (Ku et al) 17 February 1998 (17.02.98), figures 1,2,5,7 column 1, column 2 lines 36-44, column 3 lines 34-54, column 5 lines 20-54, column 7 lines 34-46	1-7,9-24 ----- 8,25
Y	US 6,202,130 B1 (Scales, III et al) 13 March 2001 (13.03.01), figure 2 column 1	8,22-25
X	US 4,744,043 A (Kloker et al) 10 May 1988 (10.05.88), figures 1-2, whole document	1-7,9-24
Y	US 5,697,788 A (Ohta) 16 December 1997 (16.12.1997), column 11 line 9-column 12 line 12 column 1 lines 18-39 abstract figures 8,12,14,15	22-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 June 2003 (27.06.2003)		Date of mailing of the international search report 29 JUL 2003
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No.		Authorized officer Eddie Chan <i>James R. Matthews</i> Telephone No. 703-305-7579

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 モート、ケント ドナルド
 アメリカ合衆国 60190 イリノイ州 ウィンフィールド ロレイン ドライブ ダブリュ4
 40 28

(72) 発明者 エシック、レイモンド ビー・ザ フォース
 アメリカ合衆国 60137 イリノイ州 グレン エリン エヌ・ランバート アベニュー 1
 67

(72) 発明者 チリセスキュ、シルビュ
 アメリカ合衆国 60610 イリノイ州 シカゴ エヌ・ステート ストリート 1030 ナ
 ンバー25シー

(72) 発明者 ルーカス、ブライアン ジェフリー
 アメリカ合衆国 60010 イリノイ州 バリントン フォックス ハント トレイル 201

(72) 発明者 ノリス、ジェームズ エム.
 アメリカ合衆国 60563 イリノイ州 ネイパービル ノース ルーミス ストリート 13
 17

(72) 発明者 シュット、マイケル アレン
 アメリカ合衆国 60091 イリノイ州 ウィルメット ウォルナット アベニュー 1631

(72) 発明者 サイーディ、アリ
 アメリカ合衆国 02142 マサチューセッツ州 ケンブリッジ ケンブリッジ センター 6
 Fターム(参考) 5B056 BB32 BB42