



(12) 发明专利申请

(10) 申请公布号 CN 104285283 A

(43) 申请公布日 2015. 01. 14

(21) 申请号 201380024233. 9

(51) Int. Cl.

(22) 申请日 2013. 04. 19

H01L 21/3065(2006. 01)

(30) 优先权数据

2012-106014 2012. 05. 07 JP

2013-064490 2013. 03. 26 JP

(85) PCT国际申请进入国家阶段日

2014. 11. 07

(86) PCT国际申请的申请数据

PCT/JP2013/002650 2013. 04. 19

(87) PCT国际申请的公布数据

W02013/168372 JA 2013. 11. 14

(71) 申请人 株式会社电装

地址 日本爱知县

(72) 发明人 小田洋平 野田理崇

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 徐冰冰 黄剑锋

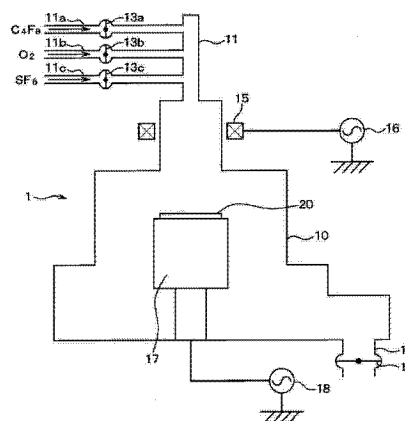
权利要求书1页 说明书7页 附图10页

(54) 发明名称

半导体基板的制造方法

(57) 摘要

对导入到反应腔室(10)内的第1气体进行等离子体化,在半导体晶片(20)上刻蚀沟槽(22)。对导入到上述反应腔室(10)内的第2导入气体进行等离子体化,在上述沟槽(22)的壁面形成保护膜(23)。对导入到上述反应腔室(10)内的第3导入气体进行等离子体化,将形成在上述沟槽(22)的底面的上述保护膜(23)除去。在除去了形成在上述沟槽(22)的底面的保护膜(23)后,将上述反应腔室(10)内排气。



1. 一种半导体基板的制造方法,其特征在于,

将在表面形成有实施了规定的图案化的掩膜件 (21) 的半导体晶片 (20) 向反应腔室 (10) 内导入,

向上述反应腔室 (10) 内导入第 1 气体,对该第 1 导入气体进行等离子体化而处理上述半导体晶片 (20),从而按照上述掩膜件 (21) 的图案在上述半导体晶片 (20) 上蚀刻沟槽 (22),

向上述反应腔室 (10) 内导入第 2 导入气体,对该第 2 导入气体进行等离子体化而处理上述半导体晶片 (20),从而在上述沟槽 (22) 的壁面形成保护膜 (23),

向上述反应腔室 (10) 内导入第 3 导入气体,对该第 3 导入气体进行等离子体化而处理上述半导体晶片 (20),从而将形成在上述沟槽 (22) 的底面的保护膜 (23) 除去,

在上述半导体晶片 (20) 上残留有上述掩膜件 (21) 的状态下,通过重复进行上述沟槽 (22) 的刻蚀、上述保护膜 (23) 的形成、和形成在上述沟槽 (22) 的底面的保护膜 (23) 的除去,将上述沟槽 (22) 逐渐深挖,

在除去了形成在上述沟槽 (22) 的底面的保护膜 (23) 后,将上述反应腔室 (10) 内的排气至少执行一次。

2. 如权利要求 1 所述的半导体基板的制造方法,其特征在于,

通过重复进行上述沟槽 (22) 的刻蚀、上述保护膜 (23) 的形成、形成在上述沟槽 (22) 的底面的保护膜 (23) 的除去、和上述反应腔室 (10) 内的排气,将上述沟槽 (22) 深挖。

3. 如权利要求 1 或 2 所述的半导体基板的制造方法,其特征在于,

上述反应腔室 (10) 内的排气以上述反应腔室 (10) 内的压力为 0.65Pa 以下的方式进行。

4. 如权利要求 1 或 2 所述的半导体基板的制造方法,其特征在于,

使将上述反应腔室 (10) 内排气时的上述反应腔室 (10) 内的压力相对于将上述沟槽 (22) 刻蚀时的上述反应腔室 (10) 内的压力的比为 0.5 以下。

5. 如权利要求 1 ~ 4 中任一项所述的半导体基板的制造方法,其特征在于,

上述反应腔室 (10) 内的排气在对纵横比为 10 以上的上述沟槽 (22) 进行刻蚀前进行,所述纵横比由上述沟槽 (22) 的开口部的深度相对于宽度的比例表示。

6. 如权利要求 1 ~ 5 中任一项所述的半导体基板的制造方法,其特征在于,

在刻蚀了上述沟槽 (22) 后且形成上述保护膜 (23) 前也对上述反应腔室 (10) 内进行排气。

半导体基板的制造方法

[0001] 相关申请

[0002] 本公开基于 2012 年 5 月 7 日申请的日本申请号 2012 - 106014 号以及 2013 年 3 月 26 日申请的日本申请号 2013 - 64490, 这里引用其记载内容。

技术领域

[0003] 本公开涉及通过刻蚀而形成有沟槽的半导体基板的制造方法。

背景技术

[0004] 以往以来, 为了得到低导通电阻的同时得到高耐压, 已知有如下方案, 即: 使用具有通过将 P 型区域和 N 型区域在面方向上重复配置而形成了 PN 柱 (column) 构造的超结构构造的半导体基板来构成半导体装置。

[0005] 作为上述半导体基板的制造方法, 例如在专利文献 1 中提出了下面的方法。首先, 对具有多个芯片形成区域的半导体晶片的各芯片形成区域形成沟槽。之后, 通过反复执行对 C_4F_8 气体进行等离子体化而在沟槽的壁面形成保护膜的保护膜形成步骤、和将 C_4F_8 气体进行排气的排气步骤、和对 SF_6 气体进行等离子体化而将在沟槽的底面形成的保护膜除去、进而将沟槽深挖的刻蚀步骤的各步骤, 从而形成具有期望的深度的沟槽。

[0006] 由此, 通过向各沟槽埋入外延膜等而制造具有 PN 柱构造的半导体基板。并且, 通过在执行了一般的半导体制造工序后以芯片为单位进行分割, 而制造具有 PN 柱构造的半导体装置。

[0007] 并且, 由于在形成了保护膜后将 C_4F_8 气体排气, 所以能够抑制在刻蚀工序时 C_4F_8 气体与 SF_6 气体混合。因此, 能够抑制在刻蚀工序时保护膜的强度降低, 能够抑制对半导体晶片施加破坏。

[0008] 现有技术文献

[0009] 专利文献

[0010] 专利文献 1: 日本特开 2008 - 205436 号公报

[0011] 发明的概要

[0012] 发明要解决的课题

[0013] 但是, 在上述制造方法中, 在通过刻蚀步骤将保护膜除去时生成氟类的反应气体, 该反应气体滞留在沟槽内。并且, 在刻蚀步骤中, 通常, 通过将 SF_6 等离子体从与半导体晶片的面方向垂直的方向照射、对半导体晶片进行处理来进行, 但在半导体晶片的中央部与外缘部, SF_6 等离子体的流速不同。具体来说, 向半导体晶片的中央部照射的 SF_6 等离子体与向外缘部照射的 SF_6 等离子体相比, 流速变大。

[0014] 因此, 若反应气体在沟槽内滞留, 则 SF_6 等离子体中的自由基到达形成在半导体晶片的中央部的沟槽的底面的比例与 SF_6 等离子体中的自由基到达形成在半导体晶片的外缘部的沟槽的底面的比例不同。从而, 在半导体晶片的面内, 各芯片形成区域中的刻蚀速率产生偏差。即, 在半导体晶片的面内, 形成在各芯片形成区域的沟槽的深度产生偏差。

[0015] 此外,若使用这样形成在各芯片形成区域的沟槽的深度产生偏差的半导体晶片来制造具有 PN 柱构造的半导体装置,则耐压按照每个芯片产生偏差。

发明内容

[0016] 本公开鉴于上述点,其目的在于提供在半导体晶片的面内能够抑制形成在各芯片形成区域的沟槽的深度产生偏差的半导体基板的制造方法。

[0017] 用于解决课题的手段

[0018] 本公开的一方式的半导体基板的制造方法中,将在表面形成有施加了规定的图案化的掩膜件的半导体晶片导入到反应腔室内。向上述反应腔室内导入第 1 气体,对该第 1 导入气体进行等离子体化而处理上述半导体晶片,从而按照上述掩膜件的图案在上述半导体晶片刻蚀沟槽。向上述反应腔室内导入第 2 导入气体,对该第 2 导入气体进行等离子体化而处理上述半导体晶片,从而在上述沟槽的壁面形成保护膜。向上述反应腔室内导入第 3 导入气体,对该第 3 导入气体进行等离子体化而处理上述半导体晶片,从而将形成在上述沟槽的底面的保护膜除去。在上述半导体晶片上残留有上述掩膜件的状态下,重复进行上述沟槽的刻蚀、上述保护膜的 formed、形成在上述沟槽的底面的保护膜的除去,从而将上述沟槽逐渐深挖。在除去了形成在上述沟槽的底面上的保护膜后,将上述反应腔室内的排气至少进行一次。

[0019] 在上述制造方法中,在除去了形成在上述沟槽的底面上的保护膜后,至少将上述反应腔室内排气一次,因此能够将滞留在上述沟槽内的反应气体排气。由此,在深挖上述沟槽时,能够抑制在上述半导体晶片的面内、各芯片形成区域中刻蚀速率产生偏差。即,能够抑制在上述半导体晶片的面内、形成在各芯片形成区域的上述沟槽的深度产生偏差。

附图说明

[0020] 边参照下述的附图边通过以下的详细说明,本公开中的上述或者其他的目的、构成、优点变得更加明白。在附图中,

[0021] 图 1 是在本公开的第 1 实施方式的半导体基板的制造方法中使用的刻蚀装置的示意图。

[0022] 图 2A 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0023] 图 2B 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0024] 图 2C 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0025] 图 2D 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0026] 图 2E 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0027] 图 2F 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0028] 图 2G 是表示第 1 实施方式的半导体基板的制造工序的一部分的剖面图。

[0029] 图 3A 是表示不进行排气步骤而形成了沟槽时的沟槽的深度偏差的图。

[0030] 图 3B 是表示通过第 1 实施方式的半导体基板的制造方法形成了沟槽时的沟槽的深度偏差的图。

[0031] 图 4 是示意地表示形成在 Si 晶片上的沟槽的图。

[0032] 图 5 是表示 Si 晶片的芯片形成区域的平面示意图。

[0033] 图 6 是表示反应腔室内的压力与沟槽的深度偏差的关系的图。

[0034] 图 7 是表示排气步骤时的反应腔室内的压力相对于刻蚀步骤时的反应腔室内的压力的比、与沟槽的深度偏差的关系的图。

[0035] 图 8 是表示排气步骤时的反应腔室内的压力相对于刻蚀步骤时的反应腔室内的压力的比、与沟槽的深度偏差的关系的图。

[0036] 图 9 是表示反应腔室内的压力与锥角的关系的图。

[0037] 图 10 是表示排气步骤时的反应腔室内的压力相对于刻蚀步骤时的反应腔室内的压力的比、与锥角的关系的图。

[0038] 图 11 是表示纵横比与沟槽的深度偏差的关系的图。

具体实施方式

[0039] 以下,对本公开的实施方式基于附图进行说明。另外,在以下的各实施方式相互中,对于相互相同或等同的部分赋予同一符号而进行说明。

[0040] (第 1 实施方式)

[0041] 参照附图来说明本公开的第 1 实施方式。另外,本实施方式的半导体基板的制造方法适宜适用于特别是形成了用于构成 PN 柱构造的沟槽的半导体基板的制造方法。首先,对在本实施方式的半导体基板的制造方法中使用的刻蚀装置进行说明。

[0042] 如图 1 所示,刻蚀装置 1 具备反应腔室 10。反应腔室 10 构成真空室,具有气体导入口 11 以及气体排气口 12。在气体导入口 11 上以可进行多种气体导入的方式连接着与导入的气体种类的数量对应的气体线路 11a ~ 11c,在各气体线路 11a ~ 11c 上分别具有切换阀 13a ~ 13c。此外,通过控制各切换阀 13a ~ 13c 而能够向反应腔室 10 内导入期望的气体种类,并且能够控制向反应腔室 10 内的流量。

[0043] 另外,本实施方式中,在气体导入口 11 具备 3 个气体线路 11a ~ 11c,以使能够将用于进行刻蚀步骤的 SF_6 气体、用于进行保护膜形成步骤的 C_4F_8 气体、以及用于进行保护膜除去步骤的 O_2 气体这 3 种气体导入。

[0044] 在气体排气口 12 具备排气阀 14。此外,通过该排气阀 14 以及各气体线路 11a ~ 11c 所具备的切换阀 13a ~ 13c 能够使反应腔室 10 内的压力为期望的值。

[0045] 并且,在反应腔室 10 中内置有 RF 线圈 15。该 RF 线圈 15 被从等离子体生成用的电源 16 提供电力,使反应腔室 10 内发生 RF 电场。

[0046] 进而,在反应腔室 10 中具备配置刻蚀对象的 Si 晶片 20 的设置台 17。该设置台 17 与偏压用的电源 18 连接,能够向 Si 晶片 20 施加规定的偏压。并且,虽然没有特别图示,但成为向设置台 17 导入用于将 Si 晶片 20 从背面侧冷却的冷却用 He 气体的机构。

[0047] 以上是本实施方式的刻蚀装置 1 的构成。接着,参照图 2 来说明使用了上述刻蚀装置 1 的半导体基板的制造方法。

[0048] 本实施方式中,在 Si 晶片 20 上形成沟槽时,具体来说如后所述,但通过重复进行刻蚀步骤、保护膜形成步骤、保护膜除去步骤、排气步骤,将沟槽深挖直到期望的深度。

[0049] 此时,在刻蚀步骤、保护膜形成步骤、保护膜除去步骤中,从气体导入口 11 将切换阀 13a ~ 13c 适当开合,将期望的气体种类向反应腔室 10 内导入,并且将气体排气口 12 的排气阀 14 适当调整而排气,使反应腔室 10 内的压力成为期望的值而进行。

[0050] 并且,在刻蚀步骤、保护膜形成步骤、保护膜除去步骤中,对等离子体生成用的电源 16 施加高频电场而使基于导入的气体种类的等离子体发生,对偏压用的电源 18 施加高频电场而向 Si 晶片 20 照射等离子体,从而通过对 Si 晶片 20 进行等离子体处理而进行。

[0051] 没有特别限定,但例如能够对等离子体生成用的电源 16 投入 1400 ~ 1500W 左右的电力而对导入的气体种类进行等离子体化,并对偏压用的电源 18 投入 0W ~ 50W 左右的电力而对 Si 晶片 20 进行等离子体处理。并且,能够使等离子体生成用的电源 16 以及偏压用的电源 18 的频率为例如 300kHz。

[0052] 以下说明具体的制造工序,但图 2A ~ 图 2G 中仅示出了 Si 晶片 20 中的一部分,实际上在 Si 晶片 20 的整个区域进行相同的工序。并且,本实施方式中,作为 Si 晶片 20 而使用了具有多个芯片形成区域的 6 英寸的晶片,该 Si 晶片 20 相当于半导体晶片。

[0053] 首先,如图 2A 所示,准备在 Si 晶片 20 的表面 20a 上形成实施了图案化的由 SiO₂ 或抗蚀剂等构成的掩膜件 21 后的结构,将该 Si 晶片 20 配置在反应腔室 10 的设置台 17 上。

[0054] 然后,如图 2B 所示,进行对 Si 晶片 20 形成沟槽 22 的刻蚀步骤。在刻蚀步骤中,将 SF₆ 气体向反应腔室 10 内导入约 200 ~ 300sccm,使反应腔室 10 内的压力为 1 ~ 2Pa。并且,对 SF₆ 气体进行等离子体化,将 Si 晶片 20 通过 SF₆ 等离子体处理 1.0 ~ 1.5 秒,从而形成沟槽 22。另外,所谓刻蚀步骤中的压力是指,从导入 SF₆ 气体从而反应腔室 10 内的压力上升到规定压力开始、到对 Si 晶片 20 的处理结束为止的平均压力。

[0055] 接着,如图 2C 所示,进行在沟槽 22 的壁面形成保护膜 23 的保护膜形成步骤。在保护膜形成步骤中,将 C₄F₈ 气体向反应腔室 10 内导入 270sccm,使反应腔室 10 内的压力为 1 ~ 2Pa。并且,对 C₄F₈ 气体进行等离子体化,将 Si 晶片 20 通过 C₄F₈ 等离子体处理 0.5 ~ 1.0 秒。由此,在沟槽 22 的壁面形成碳氟类的聚合物膜。该聚合物膜是本实施方式的保护膜 23。

[0056] 另外,在该工序中,通过向偏压用电源投入 0W 的电力并形成保护膜 23,能够抑制形成保护膜 23 时掩膜件 21 被刻蚀。并且,所谓保护膜形成步骤中的压力是指,从导入 C₄F₈ 气体从而反应腔室 10 内的压力上升到规定压力开始、到对 Si 晶片 20 的处理结束为止的压力。

[0057] 接着,如图 2D 所示,进行将形成在沟槽 22 的底面上的保护膜 23 除去的保护膜除去步骤。在保护膜除去步骤中,将 O₂ 气体向反应腔室 10 内导入 100 ~ 150sccm,使反应腔室 10 内的压力为 1 ~ 2Pa。并且,对 O₂ 气体进行等离子体化,将 Si 晶片 20 通过 O₂ 等离子体处理 0.5 ~ 1.0 秒,从而将形成在沟槽 22 的底面上的保护膜 23 除去。

[0058] 另外,若进行该步骤,则在沟槽 22 内滞留由 O₂ 等离子体与保护膜 23 反应而生成的氟类的反应气体 24。图 2D 中,将该反应气体 24 示意地以圆标记表示。并且,所谓保护膜形成步骤中的压力是指,从将 O₂ 气体导入从而反应腔室 10 内的压力上升到规定压力开始、到对 Si 晶片 20 的处理结束为止的平均压力。

[0059] 接着,如图 2E 所示,进行将通过保护膜除去步骤生成的反应气体 24 排气的排气步骤。排气步骤具体来说如后所述,以使排气阀 14 为开、排气步骤的压力为 0.65Pa 以下的方式进行 0.2 ~ 0.5 秒。由此,反应腔室 10 内的气体(等离子体)被排气,并且滞留在沟槽 22 内的反应气体 24 也被排气。

[0060] 另外,所谓排气步骤的压力是指,从开始排气步骤从而反应腔室 10 内的压力下降

到规定压力开始、到排气结束为止的平均压力。

[0061] 之后,如图 2F 所示,进行将沟槽 22 深挖的刻蚀步骤。在该刻蚀步骤中,与图 2A 同样地,将 SF_6 气体向反应腔室 10 内导入 200 ~ 300sccm,使反应腔室 10 内的压力为 2Pa。并且,对 SF_6 气体进行等离子体化,将 Si 晶片 20 通过 SF_6 等离子体处理 1.0 ~ 2.0 秒,从而将沟槽 22 深挖。

[0062] 此时,通过图 2E 的排气步骤,反应气体 24 被排气。因此,能够对在 Si 晶片 20 的面内、 SF_6 等离子体中的自由基到达形成在各芯片形成区域的各沟槽 22 的底面的比例偏差进行抑制。即,能够对在 Si 晶片 20 的面内、在各芯片形成区域中刻蚀速率偏差进行抑制。

[0063] 之后,如图 2G 所示,通过反复执行上述保护膜形成步骤、保护膜除去步骤、排气步骤、刻蚀步骤,将沟槽 22 深挖直到期望的深度。

[0064] 由此,形成了在 Si 晶片 20 的各芯片形成区域形成有沟槽 22 的 Si 晶片 20。此外,通过在该 Si 晶片 20 使外延膜生长,或在进行了一般的半导体制造工序后以芯片为单位进行分割,来制造使用了具有 PN 柱构造的半导体基板的半导体装置。

[0065] 另外,在本实施方式中,进行刻蚀步骤时所导入的 SF_6 相当于第 1 气体,进行保护膜形成步骤时所导入的 C_4F_8 气体相当于第 2 气体,进行保护膜除去步骤时所导入的 O_2 气体相当于第 3 气体。以上是本实施方式中的半导体基板的制造方法。

[0066] 根据这样的制造方法,在保护膜除去步骤后进行排气步骤,所以能够将将在沟槽 22 内滞留的反应气体 24 除去。因此,在通过刻蚀步骤将沟槽 22 深挖时,能够对在 Si 晶片 20 的面内、在各芯片形成区域刻蚀速率产生偏差进行抑制。即,能够对在 Si 晶片 20 的面内、形成在各芯片形成区域的沟槽 22 的深度产生偏差进行抑制。

[0067] 具体来说,如图 3A 以及图 3B 所示,能够通过进行排气步骤而减小 3σ ,能够将沟槽 22 的深度偏差减小到 0.9 ~ 1.1%。所谓沟槽 22 的深度偏差是指,用 $\{3\sigma / \text{Ave}(\text{平均})\} \times 100$ 运算出的值,在图 3A 以及图 3B 中用 % 表示。

[0068] 另外,图 3A 以及图 3B 是以深度为 45 ~ 50 μm 的方式形成了沟槽 22 时的图,所谓沟槽 22 的深度是指,如图 4 所示从 Si 晶片 20 的表面 20a 开始到沟槽 22 的底面为止的长度 L。

[0069] 并且,图 3A 以及图 3B 是以图 5 所示的在 Si 晶片 20 的各芯片形成区域中的芯片形成区域 a ~ i 的 9 处形成的沟槽 22 为评价对象的结果。这里,各芯片形成区域 a ~ i 被设为 1 边是 3 ~ 5mm 的正形状,各个 600 ~ 800 条的沟槽 22 在规定方向上延伸设置。并且, Si 晶片 20 以使芯片形成区域 c 与设置台 17 的中心一致的方式被配置并处理。

[0070] 进而,在图 3A 以及图 3B 中,批次 (lot) 是指 25 片 Si 晶片 20, Ave 是指形成在 25 片 Si 晶片 20 中的沟槽 22 的深度平均。

[0071] 并且,本实施方式中,使排气步骤时反应腔室 10 内的压力为 0.65Pa 以下,因此能够充分得到排气步骤的效果。

[0072] 即,如图 6 所示,若排气步骤时的反应腔室 10 内的压力比 0.65Pa 高,则不能将反应气体 24 充分地除去,不能充分减小沟槽 22 的深度偏差。与此相对,若排气步骤时的反应腔室 10 内的压力为 0.65Pa 以下,则沟槽 22 的深度偏差急剧地变小。因此,本实施方式中,设为能够充分得到排气步骤的效果,使排气步骤时的反应腔室 10 内的压力为 0.65Pa 以下。另外,图 6 是以深度为 45 ~ 50 μm 的方式形成了沟槽 22 时的图。

[0073] 并且,也能够从图 6 导出排气步骤时的反应腔室 10 内的压力相对于刻蚀步骤时的反应腔室 10 内的压力的比。该情况下,如图 7 所示,可以说通过使排气步骤时的反应腔室 10 内的压力相对于刻蚀步骤时的反应腔室 10 内的压力的比为 0.5 以下,能够充分得到排气步骤的效果。

[0074] 另外,如图 8 所示,排气步骤时的反应腔室 10 内的压力相对于刻蚀步骤时的反应腔室 10 内的压力的比不依赖于进行刻蚀步骤时的 SF_6 气体的导入量。此外,排气步骤时的反应腔室 10 内的压力相对于刻蚀步骤时的反应腔室 10 内的压力是指,(排气步骤时的反应腔室 10 内的压力)/(刻蚀步骤时的反应腔室 10 内的压力)。

[0075] 并且,排气步骤是,若减小反应腔室 10 内的压力则越能够将沟槽 22 内滞留的反应气体 24 除去,但若将压力过度减小则沟槽 22 变成倒锥形状。

[0076] 即,刻蚀步骤中也生成 SF_6 与保护膜 23 的反应气体,该反应气体滞留在沟槽 22 内。并且,在进行保护膜形成步骤时,与进行刻蚀步骤时相同,在 Si 晶片 20 的中央部与外缘部, C_4F_8 等离子体的流速不同,与向外缘部照射的 C_4F_8 等离子体相比,向 Si 晶片 20 的中央部照射的 C_4F_8 等离子体的流速大。

[0077] 因此,若反应气体滞留在沟槽 22 内,则 C_4F_8 等离子体中的自由基到达形成在 Si 晶片 20 的中央部的沟槽 22 的底部的比例、与 C_4F_8 等离子体中的自由基到达形成在 Si 晶片 20 的外缘部的沟槽 22 的底部的比例不同。因此,在 Si 晶片 20 的面内,各芯片形成区域中的保护膜 23 的厚度不同,特别是位于 Si 晶片 20 的外缘部的芯片形成区域中形成的保护膜 23 的厚度变薄。

[0078] 从而,在进行了保护膜除去步骤时,特别是在位于 Si 晶片 20 的外缘部的芯片形成区域中,不仅沟槽 22 的底面,形成在侧壁的保护膜 23 也被除去。

[0079] 此外,在该状态下进行刻蚀步骤的情况下,若使排气步骤中的反应腔室 10 内的压力过小,则刻蚀步骤时的 SF_6 等离子体容易到达沟槽 22 的底面以及底面侧的侧壁,因此沟槽 22 的一部分(底面侧的侧壁)也被刻蚀,形成倒锥形状的沟槽 22。

[0080] 此外,若向该沟槽 22 埋入外延膜则有时在沟槽 22 内形成空洞,若使用这样的半导体基板来制造半导体装置,则由于空洞,耐压降低。

[0081] 从而,排气步骤如图 9 所示优选的是反应腔室 10 内的压力为 0.25Pa 以上。即,优选的是使进行排气步骤时的压力为 0.25Pa 以上且 0.65 以下。由此,能够在 Si 晶片 20 的面内,在抑制沟槽 22 的深度偏差的同时抑制沟槽 22 变成倒锥形状。

[0082] 另外,图 9 是以深度为 45 ~ 50 μm 的方式形成了沟槽 22 时的图,将进行刻蚀步骤时的 SF_6 气体导入约 200 ~ 300sccm,对图 5 中的形成在芯片形成区域 c 的沟槽 22 进行评价而得到的。并且,所谓锥角是指,如图 4 所示 Si 晶片 20 的表面 20a 与沟槽 22 的侧壁所成的角度 θ 。

[0083] 并且,也能够从图 9 导出排气步骤时的反应腔室 10 内的压力相对于刻蚀步骤时的反应腔室 10 内的压力的比。该情况下,如图 10 所示,可以说通过使排气步骤时的反应腔室 10 内的压力相对于刻蚀步骤时的反应腔室 10 内的压力的比为 0.2 以下,能够抑制沟槽 22 成为倒锥形状。

[0084] (其他的实施方式)

[0085] 在上述第 1 实施方式中,在保护膜除去步骤时将 O_2 气体导入了反应腔室 10 内,但

也可以在保护膜除去步骤时将 SF_6 气体导入。即,也能够作为第 1、第 3 气体而都使用 SF_6 气体。

[0086] 并且,在上述第 1 实施方式中,对通过重复进行刻蚀步骤、保护膜形成步骤、保护膜除去步骤、排气步骤而将沟槽 22 深挖的制造方法进行了说明。但是,也可以每次不进行排气步骤。即,在由(沟槽深度)/(开口部的宽度)表示的纵横比小的情况下,反应气体 24 不易滞留在沟槽 22 内,反应气体 24 自然地由沟槽 22 内抽出,因此可以在形成纵横比大的沟槽 22 的刻蚀步骤之前进行排气步骤。

[0087] 具体来说,如图 11 所示,在不进行排气步骤而形成了沟槽 22 的情况下,若形成纵横比为 10 以上的沟槽 22,则沟槽 22 的深度偏差急剧地变大。因此,可以在形成纵横比为 10 以上的沟槽 22 的刻蚀步骤之前进行排气步骤。

[0088] 即,在即使进行刻蚀步骤也形成纵横比为 10 以下的沟槽 22 的情况下,边重复进行刻蚀步骤、保护膜形成步骤、保护膜除去步骤边将沟槽 22 深挖。此外,也可以在形成纵横比为 10 以上的沟槽 22 的刻蚀步骤之前将排气步骤编入,通过重复进行刻蚀步骤、保护膜形成步骤、保护膜除去步骤、排气步骤来将沟槽 22 深挖。

[0089] 另外,图 11 中的有排气是以反应腔室 10 内的压力为 0.3Pa 的方式进行了排气步骤时的情况。

[0090] 并且,也可以在将刻蚀步骤、保护膜形成步骤、保护膜除去步骤重复多次后进行排气步骤,之后再次进行刻蚀步骤、保护膜形成步骤、保护膜除去步骤而形成具有期望的深度的沟槽 22。即,只要使排气步骤进行至少 1 次以上,就能够与以往的半导体基板的制造方法相比抑制沟槽 22 的深度偏差。

[0091] 进而,在上述第 1 实施方式中,说明了优选的是为了抑制沟槽 22 成为倒锥形状而通过排气步骤使反应腔室 10 内的压力为 0.25Pa 以上,但也可以如下所示那样。即,也可以在刻蚀步骤之后也进行排气步骤。由此,能够将刻蚀步骤时所生成的反应气体排气。因此,在保护膜形成步骤时 C_4F_8 等离子体容易到达沟槽 22 的底部,能够抑制形成在沟槽 22 的底部的保护膜 23 变薄。由此,能够抑制通过刻蚀步骤对沟槽 22 进行了深挖时沟槽 22 成为倒锥形状。

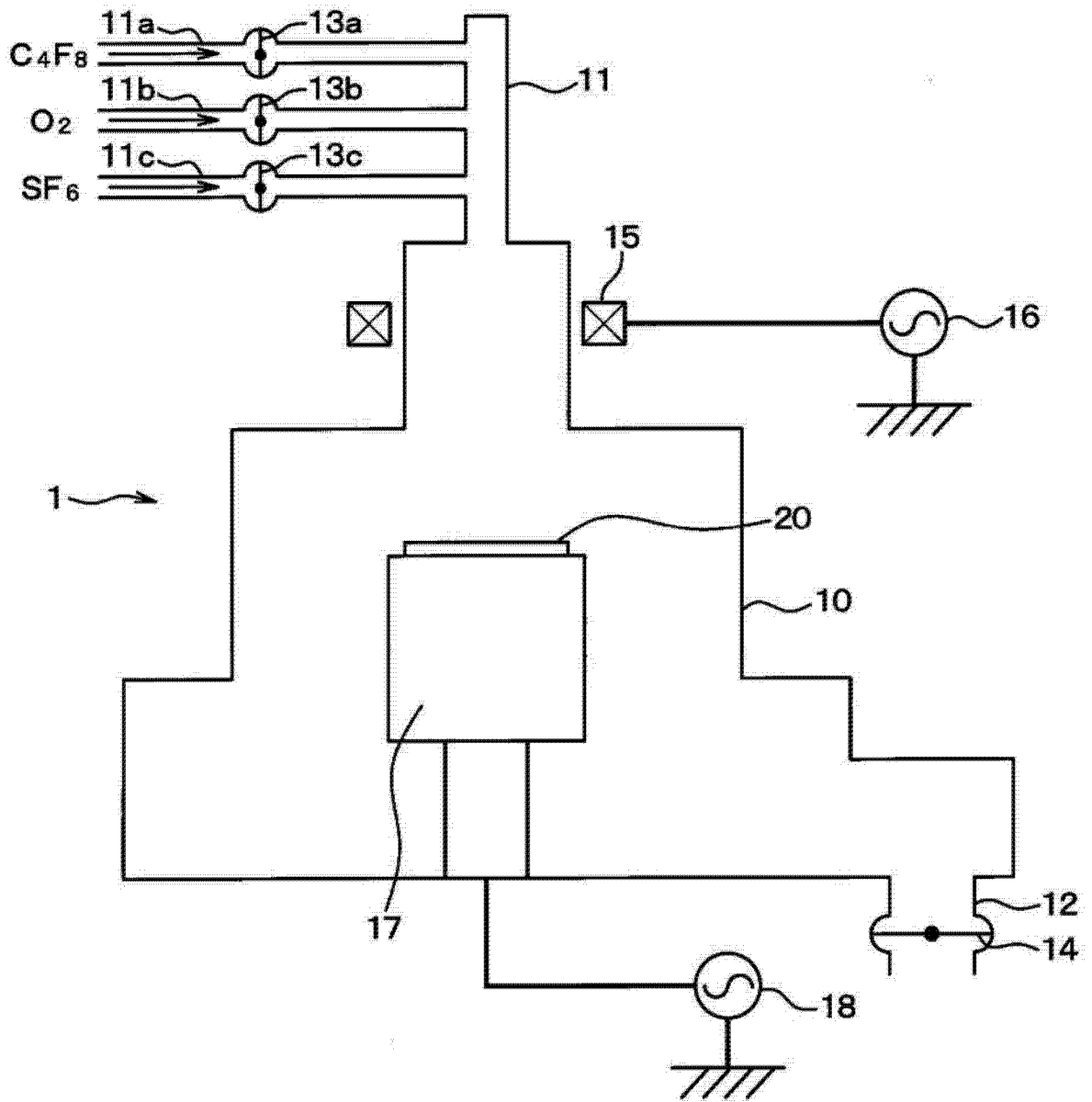


图 1

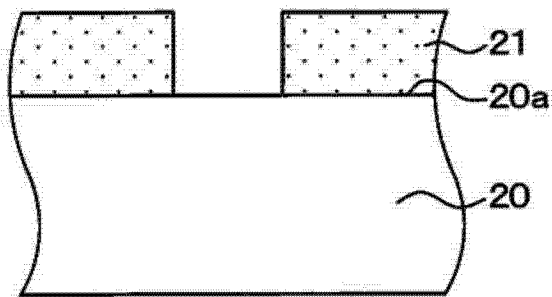


图 2A

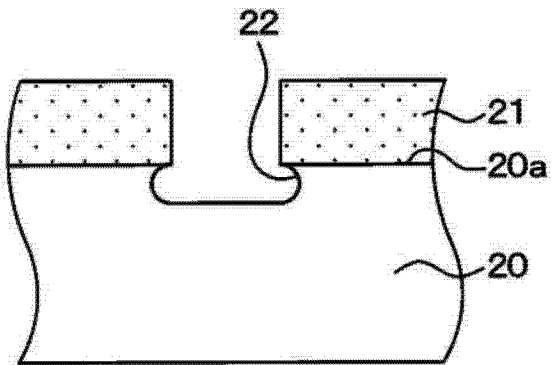


图 2B

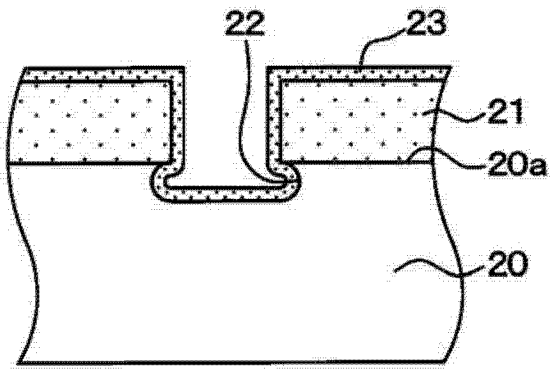


图 2C

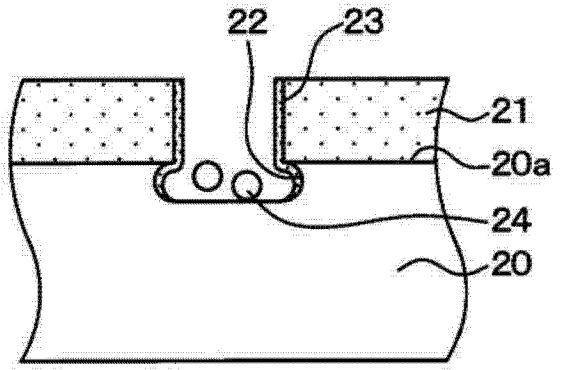


图 2D

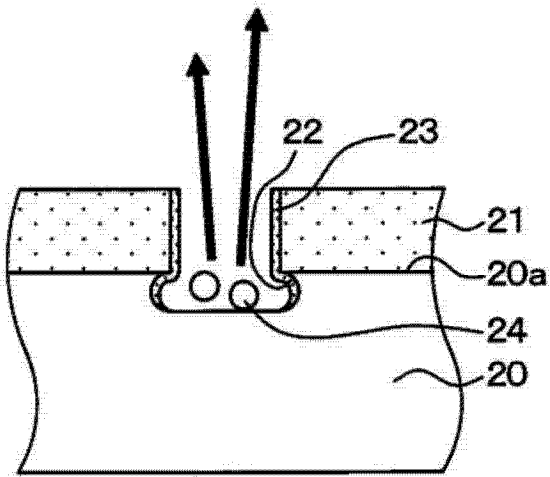


图 2E

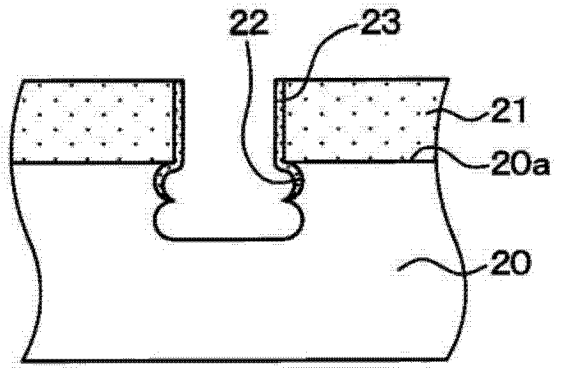


图 2F

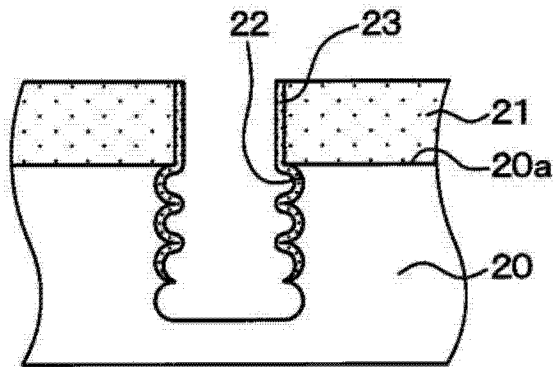


图 2G

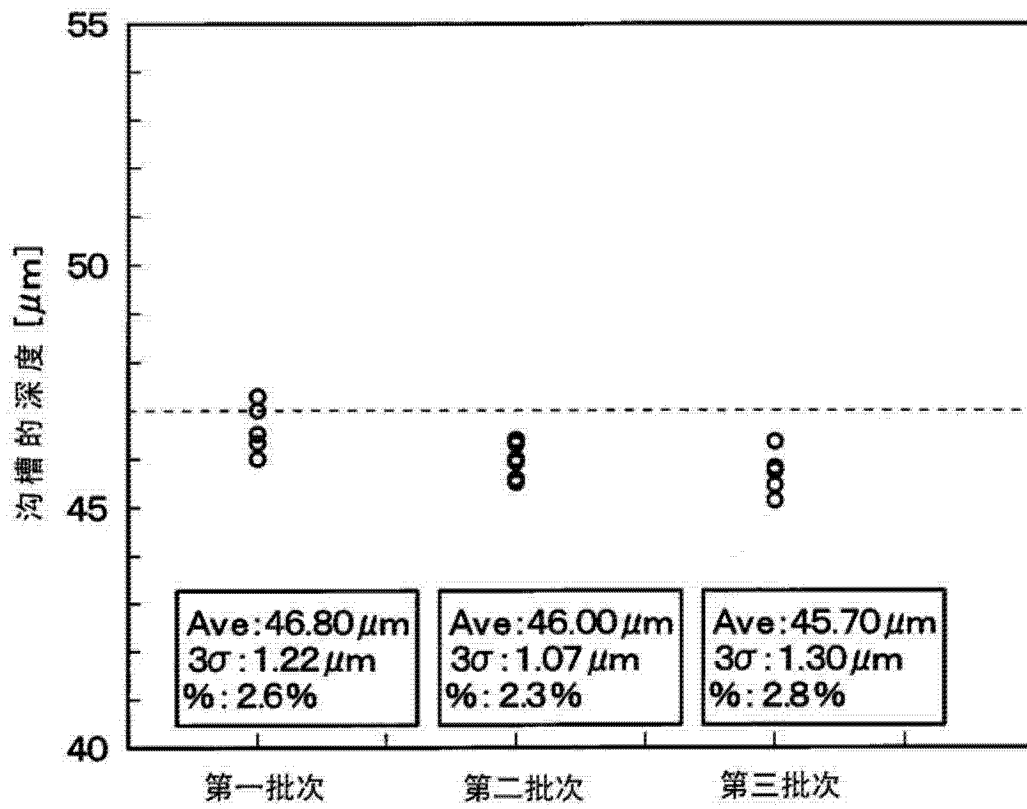


图 3A

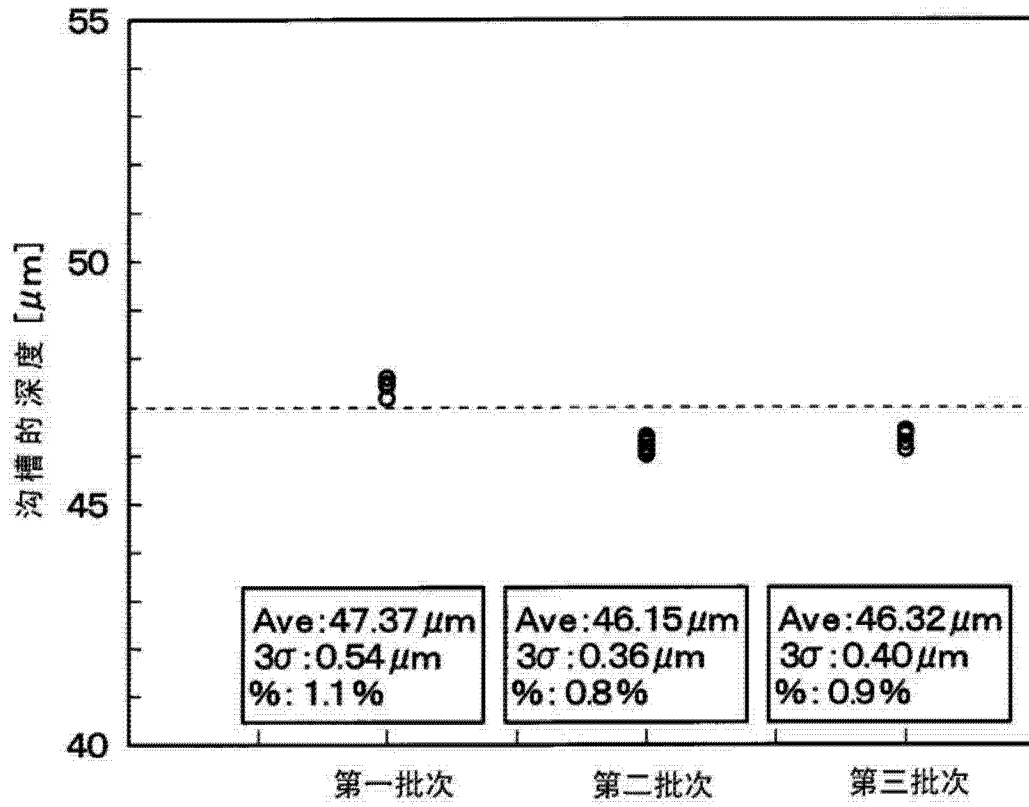


图 3B

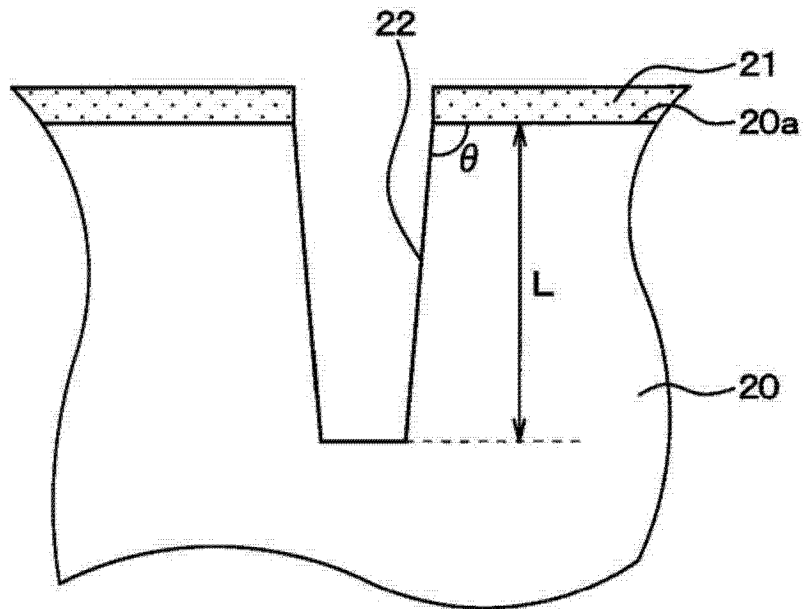


图 4

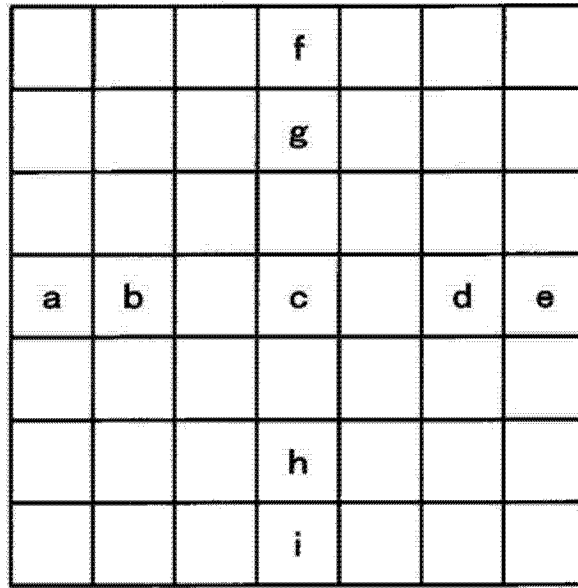


图 5

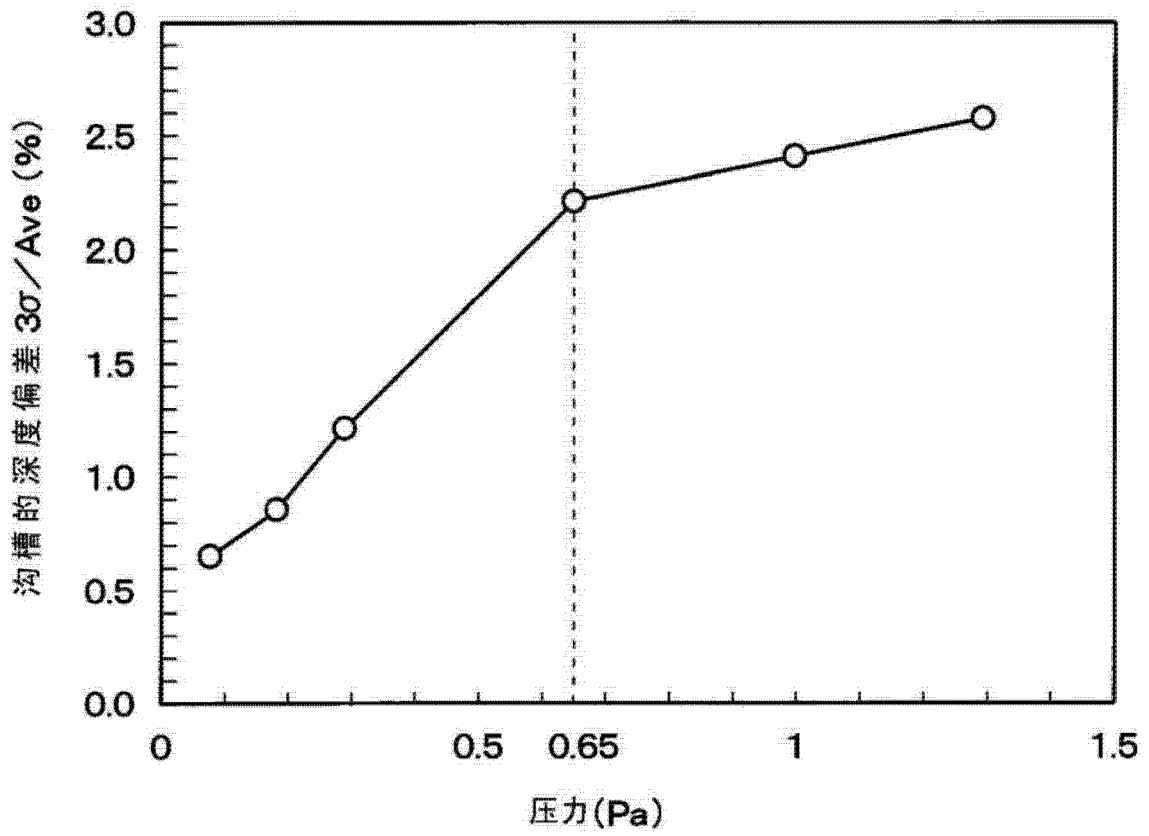


图 6

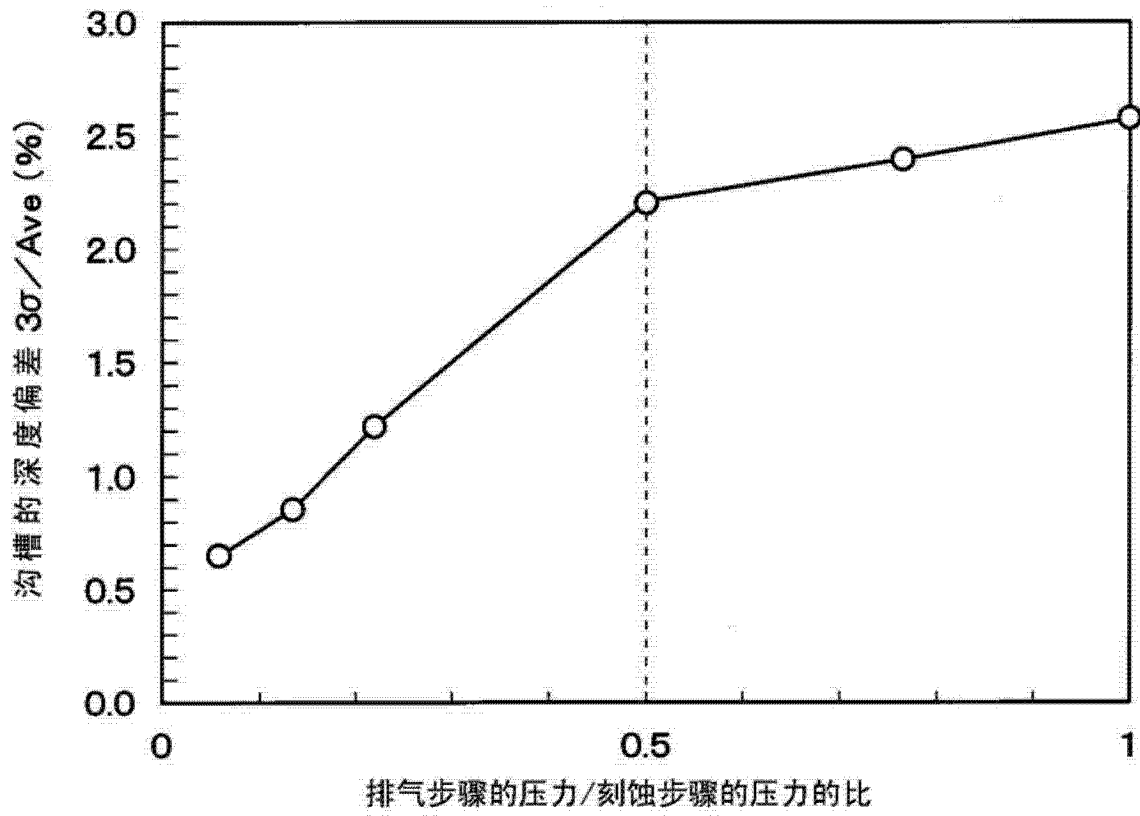


图 7

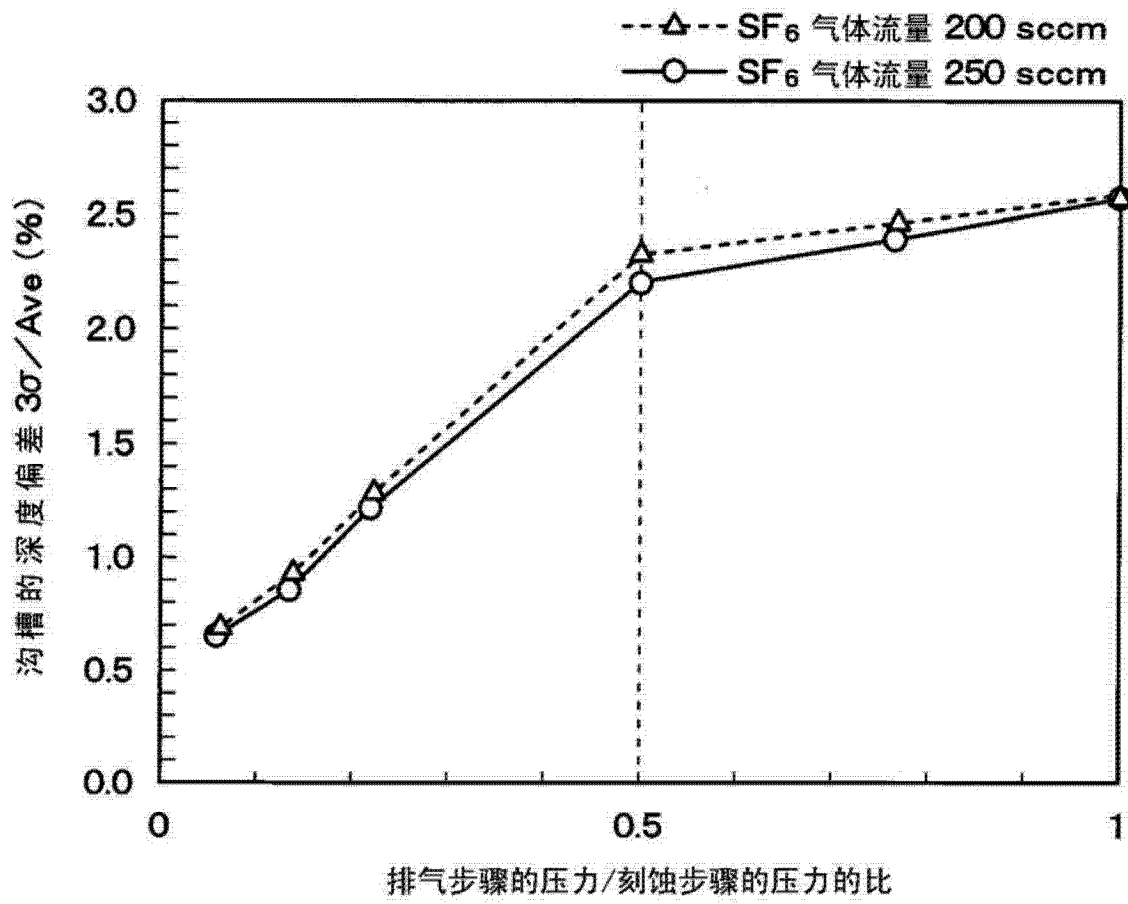


图 8

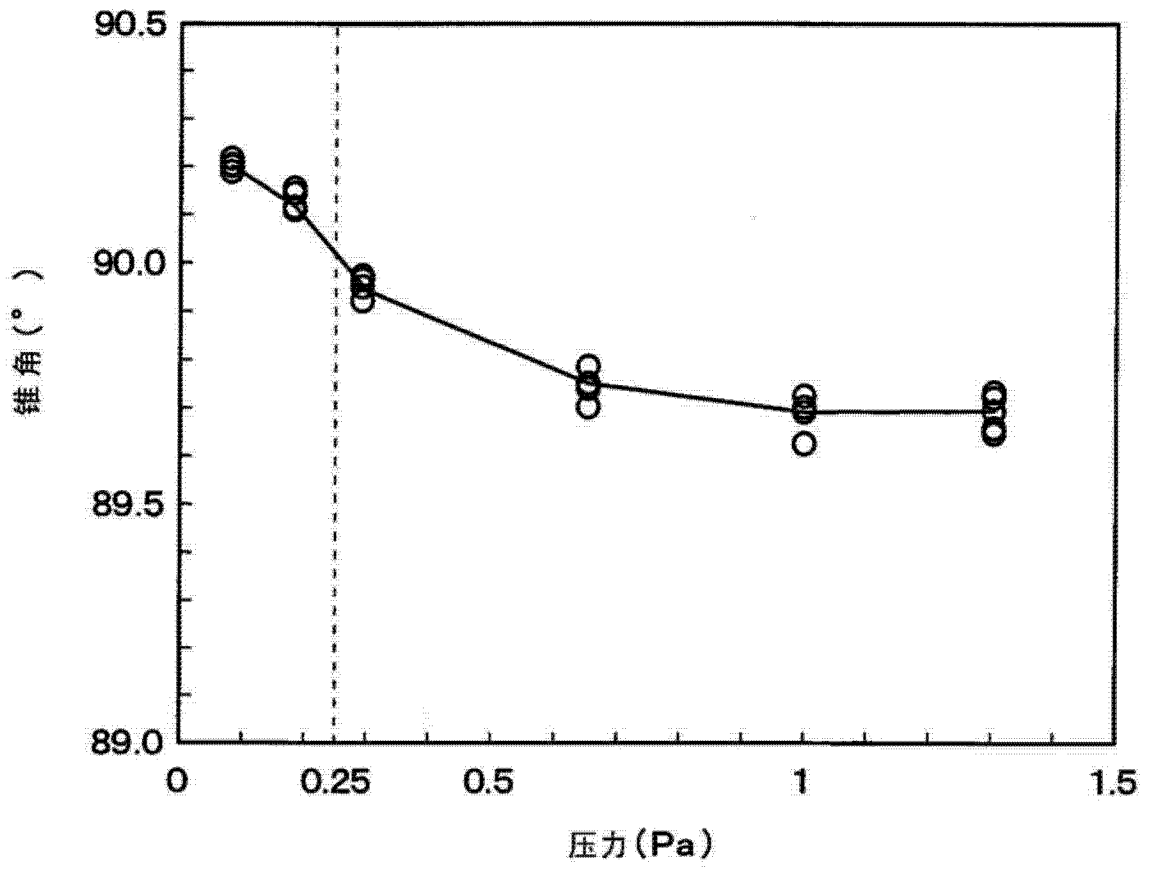


图 9

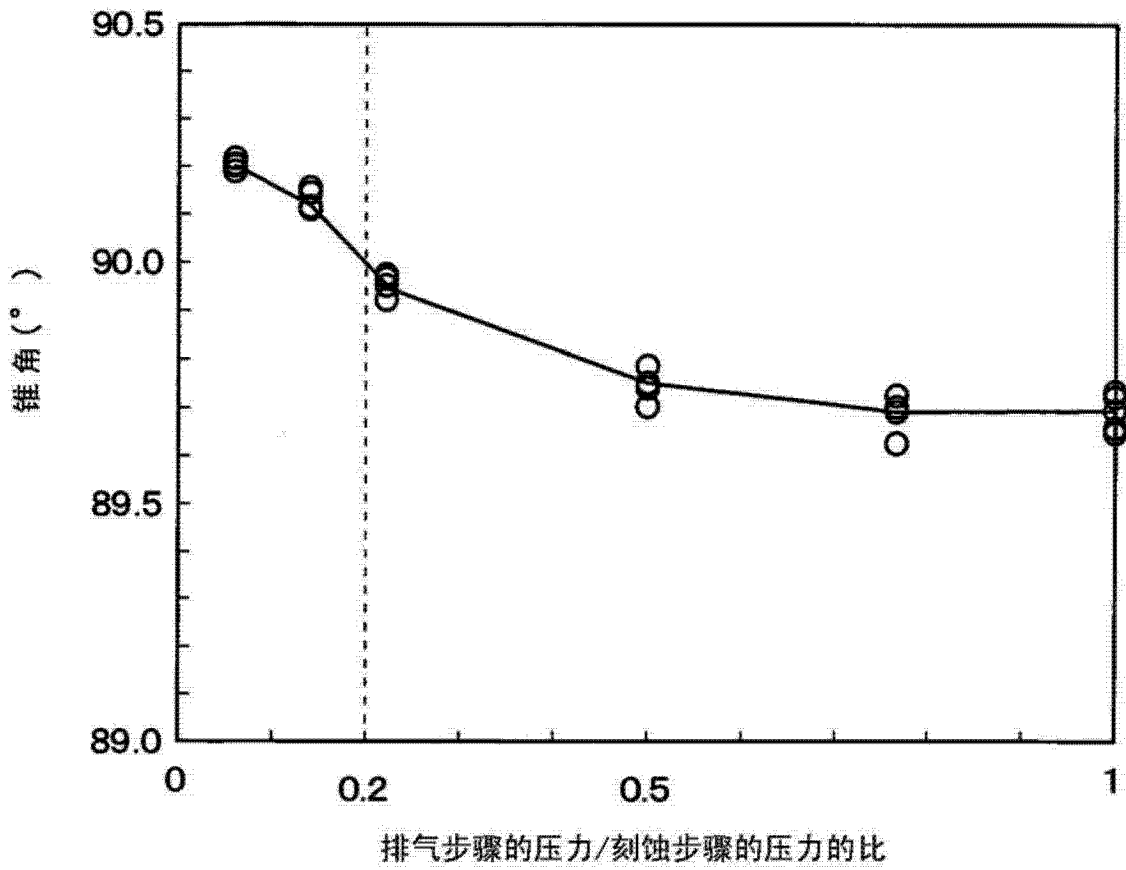


图 10

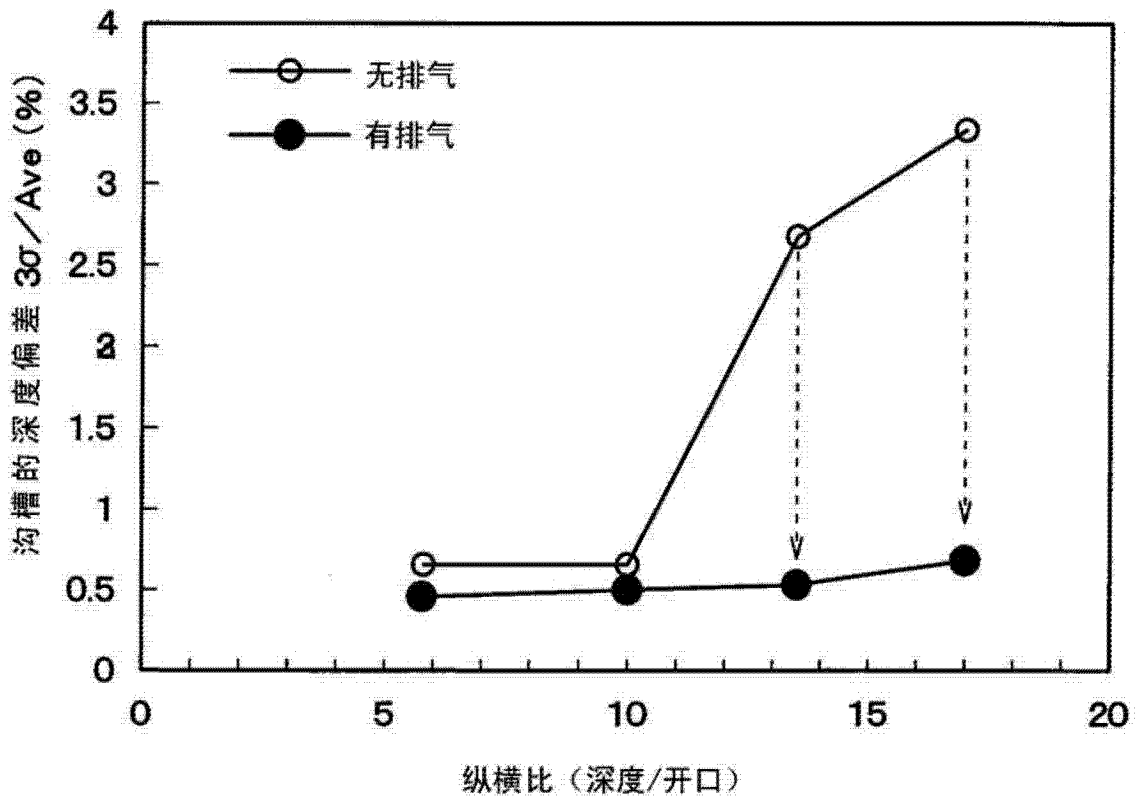


图 11