



# (12)发明专利

(10)授权公告号 CN 105609544 B

(45)授权公告日 2019.05.03

(21)申请号 201510980166.9

(22)申请日 2015.12.22

(65)同一申请的已公布的文献号  
申请公布号 CN 105609544 A

(43)申请公布日 2016.05.25

(73)专利权人 杭州士兰微电子股份有限公司  
地址 310012 浙江省杭州市黄姑山路4号  
专利权人 杭州士兰集成电路有限公司

(72)发明人 张常军 季锋 王平 陈祖银

(74)专利代理机构 北京成创同维知识产权代理有限公司 11449  
代理人 蔡纯 张靖琳

(51)Int.Cl.  
H01L 29/06(2006.01)

(56)对比文件

US 3954523 A,1976.05.04,  
CN 205508823 U,2016.08.24,  
CN 86108395 A,1987.09.16,  
US 2001/0023094 A1,2001.09.20,  
CN 1845332 A,2006.10.11,

审查员 吴艳艳

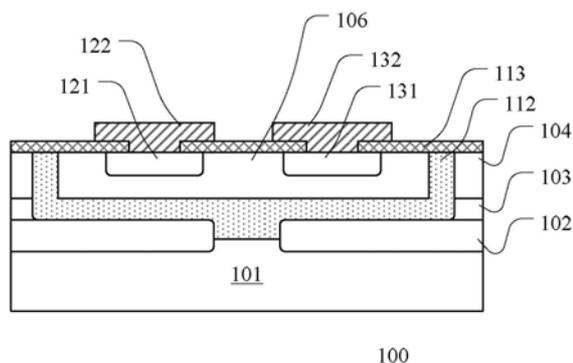
权利要求书2页 说明书7页 附图3页

## (54)发明名称

绝缘隔离半导体器件及其制造方法

## (57)摘要

公开了一种绝缘隔离半导体器件及其制造方法。所述绝缘隔离半导体器件包括：半导体衬底；位于所述半导体衬底上的第一半导体层；位于所述第一半导体层上的第二半导体层；位于所述第二半导体层中的半导体岛；以及围绕所述半导体岛的底部和侧壁的第一绝缘隔离层，其中，所述第一绝缘隔离层包括由所述第一半导体层的一部分形成的在所述半导体岛的底部延伸的第一部分，以及由所述第二半导体层的一部分形成的在所述半导体岛的侧壁延伸的第二部分。所述绝缘隔离半导体器件无需使用SOI，从而可以降低制造成本。



1. 一种绝缘隔离半导体器件,包括:  
半导体衬底;  
位于所述半导体衬底上的第一半导体层;  
位于所述半导体衬底中的半导体埋层,所述半导体衬底位于所述半导体埋层上方的部分形成所述第一半导体层;  
位于所述第一半导体层上的第二半导体层;  
位于所述第二半导体层中的半导体岛;以及  
围绕所述半导体岛的底部和侧壁的第一绝缘隔离层,用于隔离所述半导体衬底和所述半导体岛,

其中,所述第一绝缘隔离层包括由所述第一半导体层的一部分形成的在所述半导体岛的底部延伸的第一部分,以及由所述第二半导体层的一部分形成的在所述半导体岛的侧壁延伸的第二部分,

所述半导体埋层包括开口,并且所述第一绝缘隔离层延伸进入所述开口,

所述半导体衬底和所述第一半导体层为第一掺杂类型,所述第二半导体层、所述半导体岛以及所述埋层为与所述第一掺杂类型相反的第二掺杂类型。

2. 根据权利要求1所述的绝缘隔离半导体器件,还包括位于所述第二半导体层上的第二绝缘层,所述第二绝缘层覆盖所述半导体岛的表面,以及经由所述第二绝缘层到达所述半导体岛的导电通道。

3. 根据权利要求1所述的绝缘隔离半导体器件,其中,所述半导体埋层位于所述半导体衬底表面下方深度大于2微米的位置。

4. 根据权利要求1所述的绝缘隔离半导体器件,其中,所述第一绝缘隔离层的厚度不超过2微米。

5. 根据权利要求1所述的绝缘隔离半导体器件,其中,所述第一掺杂类型为N型和P型之一,所述第二掺杂类型为N型和P型中的另一种。

6. 根据权利要求1所述的绝缘隔离半导体器件,还包括位于所述半导体岛中的多个掺杂区,所述多个掺杂区的掺杂类型为所述第一掺杂类型和所述第二掺杂类型之一。

7. 根据权利要求1所述的绝缘隔离半导体器件,其中,所述绝缘隔离半导体器件为选自二极管和晶体管中的一种。

8. 根据权利要求1所述的绝缘隔离半导体器件,其中,所述第一半导体层和所述第二半导体层中的至少一个为外延半导体层。

9. 一种用于制造绝缘隔离半导体器件的方法,包括:

在半导体衬底上形成第一半导体层;

在所述第一半导体层上形成第二半导体层;

采用所述第一半导体层的一部分和所述第二半导体层的一部分形成第一绝缘隔离层,

其中,所述第一绝缘隔离层在所述第二半导体层中限定半导体岛,并且,所述第一半导体层的所述一部分形成所述第一绝缘隔离层在所述半导体岛的底部延伸的第一部分,所述第二半导体层的所述一部分形成所述第一绝缘隔离层在所述半导体岛的侧壁延伸的第二部分,

形成所述第一半导体层的步骤包括:在所述半导体衬底中形成半导体埋层,所述半导

体埋层位于所述第一半导体层下方并且具有开口,使得所述第一半导体层与所述半导体衬底经由所述开口彼此连接,

所述半导体衬底和所述第一半导体层为第一掺杂类型,所述第二半导体层、所述半导体岛以及所述埋层为与所述第一掺杂类型相反的第二掺杂类型。

10. 根据权利要求9所述的方法,其中,所述半导体埋层位于所述半导体衬底表面下方深度大于2微米的位置。

11. 根据权利要求9所述的方法,其中,所述半导体衬底位于所述半导体埋层上方的部分形成所述第一半导体层。

12. 根据权利要求9所述的方法,其中,形成半导体埋层的步骤包括采用离子注入在所述半导体衬底内部形成掺杂区作为所述半导体埋层。

13. 根据权利要求12所述的方法,其中,所述离子注入的能量为800keV-1500keV。

14. 根据权利要求9所述的方法,其中,形成第一绝缘隔离层的步骤包括:

阳极氧化,使得所述第二半导体层的所述一部分和所述第一半导体层的所述一部分转变为多孔硅;以及

将所述多孔硅转变为氧化硅。

15. 根据权利要求14所述的方法,在阳极氧化的步骤之前,还包括:在所述第二半导体层中形成到达所述半导体衬底的所述第一部分的第一掺杂区。

16. 根据权利要求15所述的方法,阳极氧化的步骤包括:

将已经形成的半导体结构浸入腐蚀溶液中;以及

施加电流,使得电流依次流经所述第一掺杂区、所述第一半导体层、所述半导体衬底。

17. 根据权利要求16所述的方法,在浸入腐蚀溶液的步骤之前,还包括:

采用掩模覆盖所述第二半导体层的表面;

在掩模中形成开口,暴露所述第一掺杂区的表面;

将第一导线电连接至所述第一掺杂区的表面,使得所述第一掺杂区作为阳极;以及

将第二导线电连接至所述半导体衬底的表面,使得所述半导体衬底作为阴极。

18. 根据权利要求14所述的方法,其中,所述阳极氧化仅腐蚀第一掺杂类型的半导体材料。

19. 根据权利要求9所述的方法,其中,所述第一掺杂类型为N型和P型之一,所述第二掺杂类型为N型和P型中的另一种。

20. 根据权利要求9所述的方法,在形成第一绝缘隔离层的步骤之后,还包括在所述半导体岛中形成所述绝缘隔离半导体器件的多个掺杂区。

21. 根据权利要求9所述的方法,其中,通过外延生长形成所述第一半导体层和所述第二半导体层中的至少一个。

## 绝缘隔离半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及地半导体技术,更具体地,涉及绝缘隔离半导体器件(Dielectrically Isolated Semiconductor Device)及其制造方法。

### 背景技术

[0002] 绝缘体上硅(SOI)包括半导体层和位于半导体层下方的绝缘层。该绝缘层可以是单晶硅衬底中的氧化物埋层。在绝缘体上硅(SOI)中形成的半导体器件包括晶体管和二极管等,其中,在SOI的半导体中形成半导体器件的有源区。进一步地,利用绝缘层实现半导体有源区的隔离,从而可以抑制半导体衬底的漏电流和相关的寄生电容等。基于SOI的半导体器件可以获得高速、低功耗和高可靠性等优点。例如,在应用于ESD时,二极管的瞬态响应速度是重要参数。由于可以减轻寄生电容,因此基于SOI的二极管可以工作于高速应用中。

[0003] 绝缘隔离半导体器件利用绝缘层将半导体器件的有源区与邻近半导体器件相隔离,从而可以提高器件性能。现有的绝缘隔离半导体器件形成在SOI中,不仅包括有源区下方的绝缘层,而且包括围绕有源区周边形成的沟槽隔离以及在有源区上方形成的层间介质层。例如,全氧化物半导体器件的有源区大致由绝缘层完全包围,仅在层间介质层中形成导电通道到达掺杂区,从而提供半导体器件与外部电路的电连接路径。

[0004] 由于难以直接在氧化层上外延生长单晶硅,因此,用于制造绝缘隔离半导体器件的工艺需要预先形成SOI,或者购买商品化的SOI晶片,然后在SOI的半导体层中形成半导体器件的有源区。已有的一种制造SOI的方法是将氧化层和单晶硅进行高温键合,从而形成单晶硅和氧化层的叠层作为SOI。由于复杂且高成本的SOI制造工艺,绝缘隔离半导体器件的制造成本也相应提高。

[0005] 因此,期望进一步简化绝缘隔离半导体器件的制造工艺以降低其成本。

### 发明内容

[0006] 本发明的目的在于提供一种利用半导体衬底制造的绝缘隔离半导体器件及其制造方法,无需预先制造SOI,从而可以降低制造成本。

[0007] 根据本发明的一方面,提供一种绝缘隔离半导体器件,包括:半导体衬底;位于所述半导体衬底上的第一半导体层;位于所述第一半导体层上的第二半导体层;位于所述第二半导体层中的半导体岛;以及围绕所述半导体岛的底部和侧壁的第一绝缘隔离层,其中,所述第一绝缘隔离层包括由所述第一半导体层的一部分形成的在所述半导体岛的底部延伸的第一部分,以及由所述第二半导体层的一部分形成的在所述半导体岛的侧壁延伸的第二部分。

[0008] 优选地,所述绝缘隔离半导体器件还包括位于所述半导体衬底中的半导体埋层,所述半导体衬底位于所述半导体埋层上方的部分形成所述第一半导体层。

[0009] 优选地,所述半导体埋层包括开口,并且所述第一绝缘隔离层延伸进入所述开口。

[0010] 优选地,所述绝缘隔离半导体器件还包括位于所述第二半导体层上的第二绝缘

层,所述第二绝缘层覆盖所述半导体岛的表面,以及经由所述第二绝缘层到达所述半导体岛的导电通道。

[0011] 优选地,所述半导体埋层位于所述半导体衬底表面下方深度大于2微米的位置。

[0012] 优选地,所述第一绝缘层的厚度不超过2微米。

[0013] 优选地,所述半导体衬底和所述第一半导体层为第一掺杂类型,所述半导体掩埋层、所述第二半导体层和所述半导体岛为与所述第一掺杂类型相反的第二掺杂类型。

[0014] 优选地,所述第一掺杂类型为N型和P型之一,所述第二掺杂类型为N型和P型中的另一种。

[0015] 优选地,所述绝缘隔离半导体器件还包括位于所述半导体岛中的多个掺杂区,所述多个掺杂区的掺杂类型为所述第一掺杂类型和所述第二掺杂类型之一。

[0016] 优选地,所述绝缘隔离半导体器件为选自二极管和晶体管中的一种。

[0017] 优选地,所述第一半导体层和所述第二半导体层中的至少一个为外延半导体层。

[0018] 根据本发明的另一方面,提供一种用于制造绝缘隔离半导体器件的方法,包括:在半导体衬底上形成第一半导体层;在所述第一半导体层上形成第二半导体层;采用所述第一半导体层的一部分和所述第二半导体层的一部分形成第一绝缘隔离层,其中,所述第一绝缘隔离层在所述第二半导体层中限定半导体岛,并且,所述第一半导体层的所述一部分形成所述第一绝缘层在所述半导体岛的底部延伸的第一部分,所述第二半导体的所述一部分形成所述第一绝缘层在所述半导体岛的侧壁延伸的第二部分。

[0019] 优选地,形成所述第一半导体层的步骤包括:在所述半导体衬底中形成半导体埋层,所述半导体埋层位于所述第一半导体层下方并且具有开口,使得所述第一半导体层与所述半导体衬底经由所述开口彼此连接。

[0020] 优选地,所述半导体埋层位于所述半导体衬底表面下方深度大于2微米的位置。

[0021] 优选地,所述半导体衬底位于所述半导体埋层上方的部分形成所述第一半导体层。

[0022] 优选地,形成半导体埋层的步骤包括采用离子注入在所述半导体衬底内部形成掺杂区作为所述半导体埋层。

[0023] 优选地,所述离子注入的能量为800keV-1500keV。

[0024] 优选地,形成第一绝缘隔离层的步骤包括:阳极氧化,使得所述第二半导体层的所述一部分和所述半导体衬底的所述一部分转变为多孔硅;以及将所述多孔硅转变为氧化硅。

[0025] 优选地,在阳极氧化的步骤之前,还包括:在所述第二半导体层中形成到达所述半导体衬底的所述第一部分的第一掺杂区。

[0026] 优选地,阳极氧化的步骤包括:将已经形成的半导体结构浸入腐蚀溶液中;以及施加电流,使得电流依次流经所述第一掺杂区、所述第一半导体层、所述第一半导体层。

[0027] 优选地,在浸入腐蚀溶液的步骤之前,还包括:采用掩模覆盖所述第二半导体层的表面;在掩模中形成开口,暴露所述第一掺杂区的表面;将第一导线电连接至所述第一掺杂区的表面,使得所述第一掺杂区作为阳极;以及将第二导线电连接至所述半导体衬底的表面,使得所述半导体衬底作为阴极。

[0028] 优选地,所述阳极氧化仅腐蚀第一掺杂类型的半导体材料。

[0029] 优选地,所述半导体衬底和所述第一半导体层为第一掺杂类型,所述半导体掩埋层、所述第二半导体层和所述半导体岛为与所述第一掺杂类型相反的第二掺杂类型。

[0030] 优选地,所述第一掺杂类型为N型和P型之一,所述第二掺杂类型为N型和P型中的另一种。

[0031] 优选地,在形成第一绝缘隔离层的步骤之后,还包括在所述半导体岛中形成所述绝缘隔离半导体器件的多个掺杂区。

[0032] 优选地,通过外延生长形成所述第一半导体层和所述第二半导体层中的至少一个。

[0033] 根据本发明实施例的绝缘隔离半导体器件,第一绝缘隔离层包括由所述第一半导体层的一部分形成的在所述半导体岛的底部延伸的第一部分,以及由所述第二半导体层的一部分形成的在所述半导体岛的侧壁延伸的第二部分。该半导体器件既无需预先制造SOI,也无需单独形成沟槽隔离,从而可以简化工艺,降低制造成本。该第一绝缘隔离层围绕半导体岛的底部和侧壁,从而实现了该半导体器件与半导体衬底之间的纵向隔离,以及半导体器件与邻近的半导体器件之间的横向隔离。该绝缘隔离半导体器件可以减轻寄生电容,从而工作于高速应用。

## 附图说明

[0034] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0035] 图1至10示出根据本发明的实施例的绝缘隔离半导体器件的制造方法的各个阶段的截面图。

## 具体实施方式

[0036] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的半导体结构。

[0037] 应当理解,在描述器件的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果将器件翻转,该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0038] 如果为了描述直接位于另一层、另一个区域上面的情形,本文将采用“A直接在B上面”或“A在B上面并与之邻接”的表述方式。在本申请中,“A直接位于B中”表示A位于B中,并且A与B直接邻接,而非A位于B中形成的掺杂区中。

[0039] 在本申请中,术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称,包括已经形成的所有层或区域。

[0040] 在下文中描述了本发明的许多特定的细节,例如器件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按照这些特定的细节来实现本发明。

[0041] 除非在下文中特别指出,半导体器件的各个部分可以由本领域的技术人员公知的

材料构成。半导体材料例如包括III-V族半导体,如GaAs、InP、GaN、SiC,以及IV族半导体,如Si、Ge。

[0042] 本发明可以各种形式呈现,以下将以二极管的制造工艺为例说明本发明的实施例。

[0043] 图1至10示出根据本发明的实施例的绝缘隔离半导体器件的制造方法的各个阶段的截面图。

[0044] 如图1所示,采用离子注入,在半导体衬底101上形成半导体埋层102。半导体衬底101和半导体埋层102分别为彼此相反的第一掺杂类型和第二掺杂类型。

[0045] 第一掺杂类型是N型和P型中的一种,第二掺杂类型是N型和P型中的另一种。为了形成N型半导体层或区域,可以在半导体层和区域中注入N型掺杂剂(例如P、As)。为了形成P型半导体层或区域,可以在半导体层和区域中掺入P型掺杂剂(例如B)。在一个示例中,半导体衬底101是P掺杂的,半导体埋层102是N掺杂的。

[0046] 通过控制离子注入的能量和掺杂剂的剂量,可以控制掺杂剂在半导体衬底101中的深度及掺杂浓度分布。优选地,半导体埋层102位于半导体衬底101的表面下深度超过2微米的位置,从而完全嵌入半导体衬底101内部。为此,离子注入的能量约为800keV-1500keV,从而通过高能量注入到达期望的深度。此外,为了减小掺杂区的分布范围,优选使用扩散系数小的掺杂剂。例如,为了形成N型埋层,可以采用扩散系数小的砷元素作为掺杂剂。

[0047] 在该实施例中,半导体埋层102是包含开口的图案化层。为此,在离子注入前,在半导体衬底101上形成光致抗蚀剂层,通过光刻将光致抗蚀剂层形成包含开口的掩模,然后经由掩模进行离子注入。该掩模作为离子注入的遮挡掩模,掩模的开口部分图案与将要形成的半导体埋层102的图案相同。在离子注入之后,通过在溶剂中溶解或灰化去除光致抗蚀剂层。

[0048] 在离子注入之后,由于半导体埋层102包含开口,因此,半导体衬底101包括位于半导体埋层102上方的第一部分、位于半导体埋层102下方的部分,以及用于连接第一部分和第二部分的连接部。在该实施例中,半导体衬底101位于半导体埋层102上方的第一部分,作为第一半导体层103。通过控制离子注入的参数控制半导体埋层102的深度,也即第一半导体层103的厚度。在替代的实施例中,通过外延生长形成第一半导体层103。通过控制外延生长的工艺控制第一半导体层103的厚度。

[0049] 由于掩模的遮挡,半导体衬底101的连接部未注入掺杂剂,因而,半导体衬底101的第一部分和第二部分经由连接部连通,从而在后续的阳极氧化步骤中将作为电流路径的一部分。优选地,为了在阳极氧化时控制电流方向和获得高电流密度,半导体衬底101的第一部分的厚度与连接部的宽度或直径大致在同一数量级,例如在2微米的范围内。

[0050] 进一步地,在半导体衬底101的表面上形成第二半导体层104,如图2所示。第二半导体层104为第二掺杂类型。

[0051] 可以采用已知的沉积工艺形成第二半导体层102,、化学气相沉积(CVD)、原子层沉积(ALD)、等。半导体衬底101例如是单晶硅衬底,第二半导体层102例如是外延硅层。

[0052] 在该实施例中,通过控制沉积时间等参数可以调节外延半导体104的厚度,使得该厚度约为1微米至10微米,优选约为2微米至4微米。通过控制掺杂浓度调节第二半导体层104的电阻率,使得该电阻率约为 $1\ \Omega\cdot\text{cm}$ 至 $100\ \Omega\cdot\text{cm}$ ,优选约为 $5\ \Omega\cdot\text{cm}$ 至 $10.0\ \Omega\cdot\text{cm}$ 。

[0053] 进一步地,在第二半导体层104的表面形成光致抗蚀剂层,通过光刻将光致抗蚀剂层形成包含开口的掩模105。然后经由掩模105进行离子注入,形成第一掺杂区110,如图3所示。该掩模105作为离子注入的遮挡掩模,掩模105的开口图案与将要形成的掺杂区的图案相同。在离子注入之后,仍然保留掩模105用于后续的工艺步骤。

[0054] 第一掺杂区110与半导体衬底101的掺杂类型相同,二者均为第一掺杂类型,但第一掺杂区110相对重掺杂。通过控制离子注入的能量和掺杂剂的剂量,使得第一掺杂区110从第二半导体层104的表面向下延伸至半导体衬底101的第一部分中。优选地,第一掺杂区110向下延伸至与半导体埋层102的表面接触。

[0055] 第一掺杂区110在后续的阳极氧化步骤中将作为电流路径的一部分。优选地,为了在阳极氧化时控制电流方向和获得高电流密度,第一掺杂区110的宽度或直径与半导体衬底101的第一部分的厚度大致在同一数量级,例如在2微米范围内。

[0056] 进一步地,采用阳极氧化工艺,将第一掺杂区110和半导体衬底101的一部分转变多晶硅,从而形成多孔硅层111,如图4所示。

[0057] 在阳极氧化工艺中,将整个半导体结构浸入腐蚀溶液中。将一根导线连接至第一掺杂区110使其作为阳极,将另一根导线连接至半导体衬底101使其作为阴极。然后,经由导线在阳极和阴极之间通以电流。由于第一掺杂区110、半导体衬底101的第一部分、半导体衬底101的连接部、以及半导体衬底101的第二部分的掺杂类型相同并且彼此连通,因此,电流依次流经上述区域。如果电流密度大于预定值,则位于电流路径上的半导体材料逐渐失去电子,从而形成多孔硅。

[0058] 在该实施例中,第一掺杂区110的表面与导线接触。因此,从该表面开始,第一掺杂区110逐渐转变成氧化物。在电流流动的方向上,第一掺杂区110、半导体衬底101的第一部分和连接部的截面尺寸小于半导体衬底101的第二部分的截面尺寸。

[0059] 通过选择合适的电流值,使得第一掺杂区110、半导体衬底101的第一部分和连接部的电流密度大于预定值转变成多孔硅,形成多孔硅层111,同时,半导体衬底101的第二部分的电流密度小于预定值而保持为半导体材料。

[0060] 在上述阳极氧化工艺中,掩模105限制了电流在第一掺杂类型的第一掺杂区流入半导体结构。半导体埋层102与半导体衬底101的掺杂类型相反,从而限制电流流动区域,迫使电流只能从半导体埋层102上方的半导体层横向流动。然后,电流经由半导体埋层102的开口流向半导体衬底101的背面。这些限制电流路径的措施可以提高多孔硅层111的质量和厚度均匀性。

[0061] 在该优选的实施例中,上述阳极氧化仅腐蚀第一掺杂类型的半导体材料。

[0062] 进一步地,在阳极氧化工艺之后,通过在溶剂中溶解或灰化去除掩模105。将半导体结构从腐蚀溶液中取出,进行烘干。然后,在氧化气氛中氧化,将多孔硅层111氧化形成第一绝缘隔离层112,如图5所示。

[0063] 第一绝缘隔离层112将第二半导体层104分离成半导体岛106,并且限定半导体岛106的底部和侧面。在该步骤中,半导体衬底101的第一部分也由第一绝缘隔离层112隔开。

[0064] 进一步地,通过上述已知的沉积工艺,在半导体结构的表面上形成第二绝缘隔离层113,如图6所示。例如,第二绝缘隔离层113由氧化物、氮化物或氧氮化物的一种组成。第二绝缘隔离层113覆盖第二半导体层104的表面,即覆盖半导体岛106的表面。第一绝缘隔离

层112和第二绝缘隔离层113一起,使得半导体岛106与邻近的半导体区域隔开。

[0065] 进一步地,通过离子注入,在第二半导体层104的半导体岛106中形成第二掺杂区121,如图7所示,以及第三掺杂区131,如图8所示。

[0066] 该离子注入穿过第二绝缘隔离层113进入第二半导体层104的半导体岛106中。第二掺杂区121和第三掺杂区131分别为第二掺杂类型和第一掺杂类型。第二掺杂区121与第二半导体层104的掺杂类型相同但相对重掺杂。第三掺杂区131与第二半导体层104之间形成二极管的PN结。

[0067] 进一步地,在半导体结构的表面形成光致抗蚀剂层,通过光刻将光致抗蚀剂层形成包含开口的掩模。采用掩模进行蚀刻,该蚀刻可以采用干法蚀刻,如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀,或者通过使用蚀刻剂溶液的选择性的湿法蚀刻。

[0068] 该蚀刻从光致抗蚀剂掩模中的开口向下进行,在第二绝缘隔离层113中形成开口,分别暴露第二掺杂区121和第三掺杂区131的表面,如图9所示。由于蚀刻剂的选择性,该蚀刻可以停止在第二掺杂区121和第三掺杂区131的表面。在蚀刻之后,通过在溶剂中溶解或灰化去除光致抗蚀剂层。

[0069] 进一步地,通过上述已知的沉积工艺,在半导体结构表面形成导电层。该导电层例如由金、银、铜、铝或其合金组成。该导电层不仅覆盖第二绝缘隔离层113的表面,而且填充开口,与第二掺杂区121和第三掺杂区131接触。

[0070] 采用光致抗蚀剂层形成掩模,将导电层图案化形成分别接触第二掺杂区121的阴极接触和接触第三掺杂区131的源极接触,如图10所示。

[0071] 该绝缘隔离半导体器件100包括半导体衬底101、位于半导体衬底上101的第二半导体层104、位于第二半导体层104中的半导体岛106、以及围绕半导体岛106的底部和侧壁的第一绝缘隔离层112,其中,第一绝缘隔离层112是由第二半导体层104的一部分和半导体衬底101的一部分一起形成的绝缘层。

[0072] 优选地,该绝缘隔离半导体器件100还包括位于半导体衬底101中的半导体埋层102,半导体埋层102限定第一绝缘隔离层112在半导体岛106的底部横向延伸的部分。

[0073] 优选地,半导体埋层102包括开口,并且第一绝缘隔离层112延伸进入开口。

[0074] 优选地,绝缘隔离半导体器件100还包括位于第二半导体层104上的第二绝缘层113,第二绝缘层113覆盖半导体岛106的表面,以及经由第二绝缘层113到达半导体岛106的导电通道。

[0075] 优选地,半导体埋层102位于半导体衬底101表面下方深度大于2微米的位置。

[0076] 优选地,第一绝缘层的厚度不超过2微米。

[0077] 优选地,绝缘隔离半导体器件100还包括位于半导体岛106中的第二掺杂区121和第三掺杂区131。

[0078] 优选地,绝缘隔离半导体器件100还包括位于第一半导体层和第二半导体层104之间的第三半导体层,其中,所述第三半导体层为第一掺杂类型。

[0079] 在上述的实施例中,描述了绝缘隔离半导体器件包括第二掺杂类型的半导体岛106的实例。在替代的实施例中,根据器件的类型,可以形成第一掺杂类型的半导体岛106。为此,相对于上述实施例,仅仅需要反转半导体衬底101、半导体埋层102、第一半导体层103、第二半导体层104和第一掺杂区110的掺杂类型即可。

[0080] 在上述的实施例中,描述了绝缘隔离半导体器件为二极管的实例。在替代的实施例中,绝缘隔离半导体器件可以是晶体管,采用第一绝缘隔离层和第二绝缘隔离层限定的半导体岛还可以用于形成晶体管的有源区。进一步地,在第二绝缘隔离层中形成导电通道到达掺杂区,从而提供半导体器件与外部电路的电连接路径。

[0081] 在以上的描述中,对于各层的图案化、蚀刻等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0082] 应当说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0083] 依照本发明的实施例如上文,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

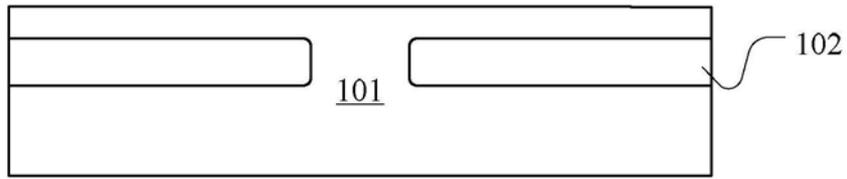


图1

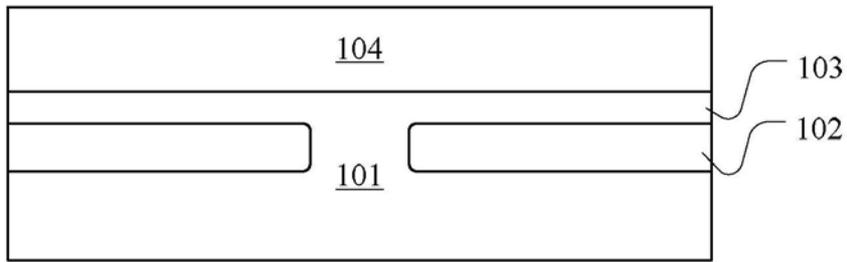


图2

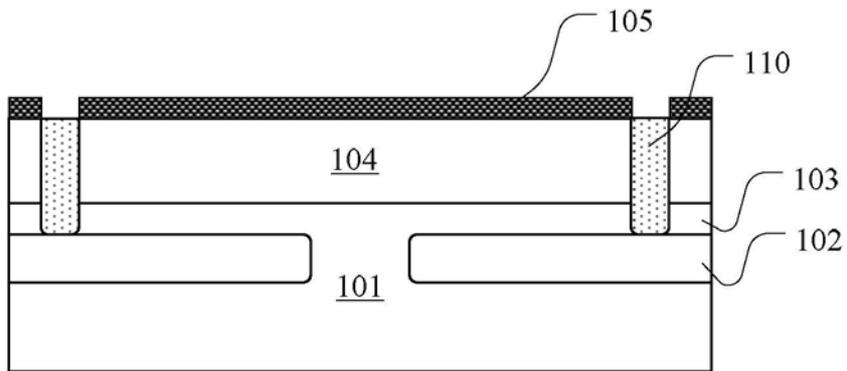


图3

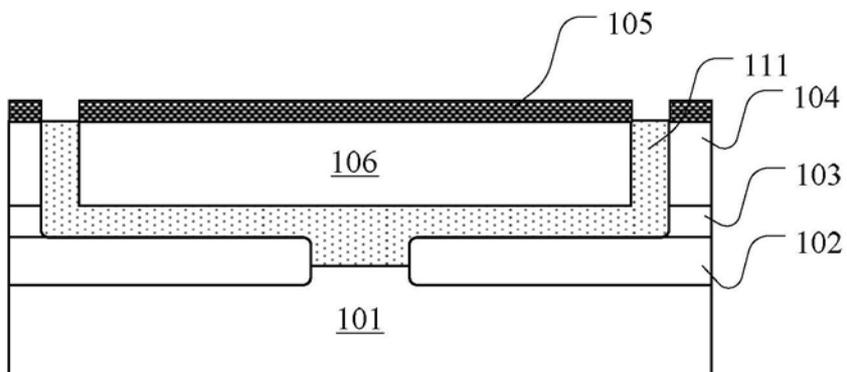


图4

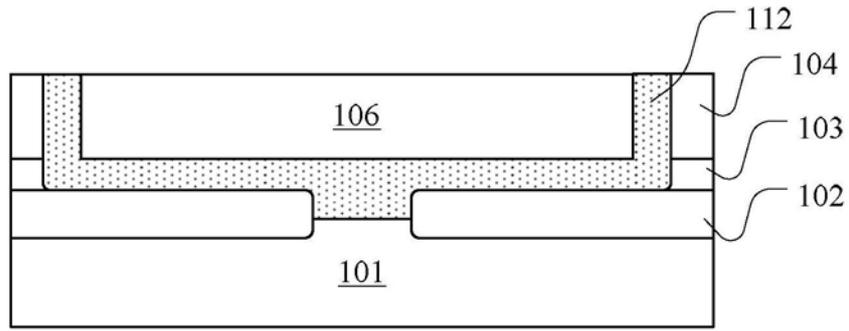


图5

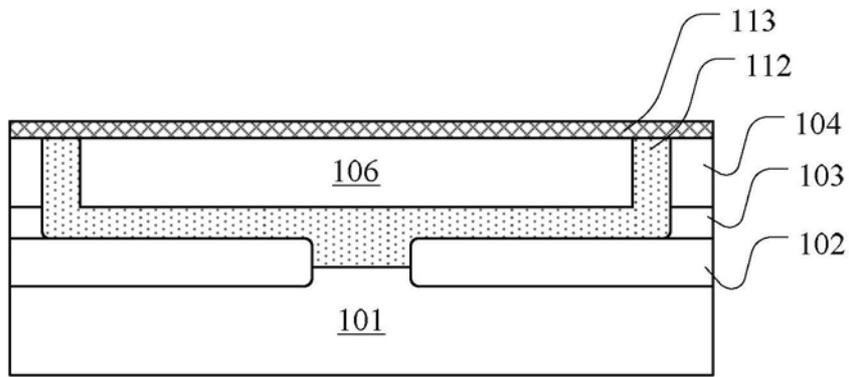


图6

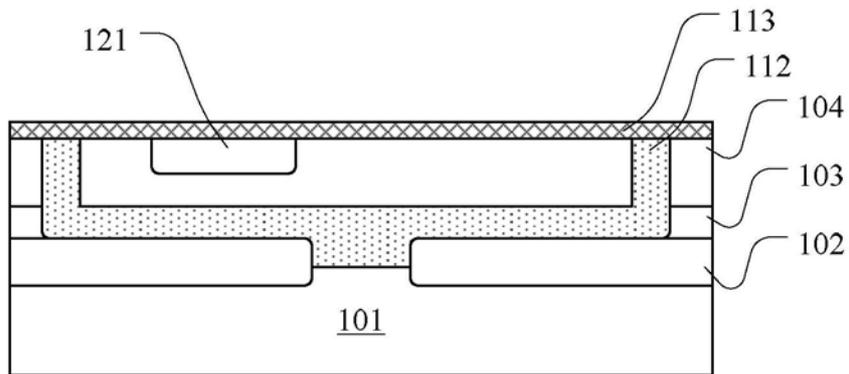


图7

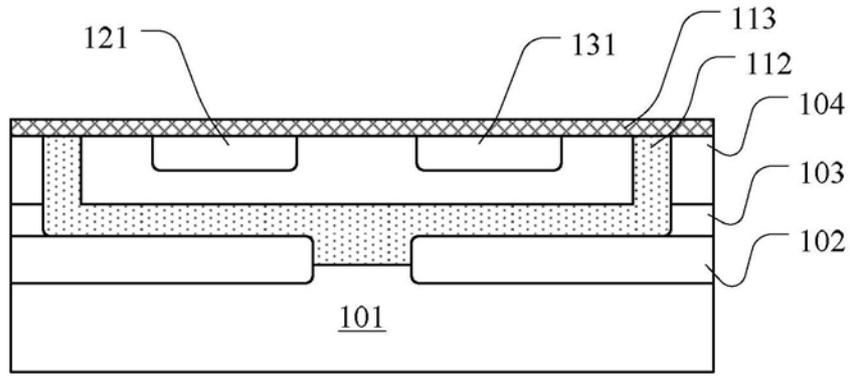


图8

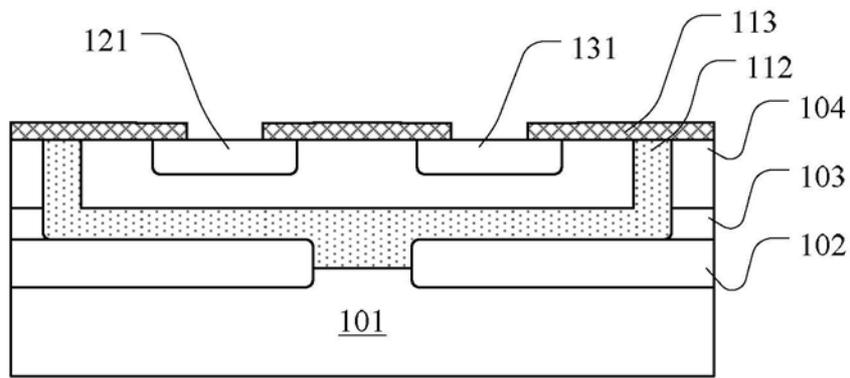
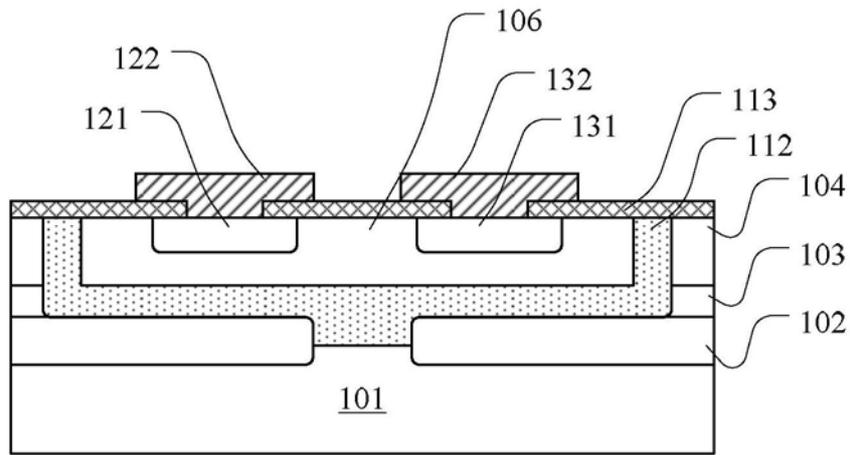


图9



100

图10