



# (12)发明专利

(10)授权公告号 CN 104425243 B

(45)授权公告日 2017.06.06

(21)申请号 201310382615.0

(22)申请日 2013.08.28

(65)同一申请的已公布的文献号  
申请公布号 CN 104425243 A

(43)申请公布日 2015.03.18

(73)专利权人 上海华虹宏力半导体制造有限公  
司

地址 201203 上海市浦东新区张江高科技  
园区祖冲之路1399号

(72)发明人 孙娟

(74)专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 王函

(51)Int. Cl.

H01L 21/329(2006.01)

(56)对比文件

US 2003/0022474 A1,2003.01.30,  
CN 102184853 A,2011.09.14,  
US 2013/0015550 A1,2013.01.17,

审查员 张玉萍

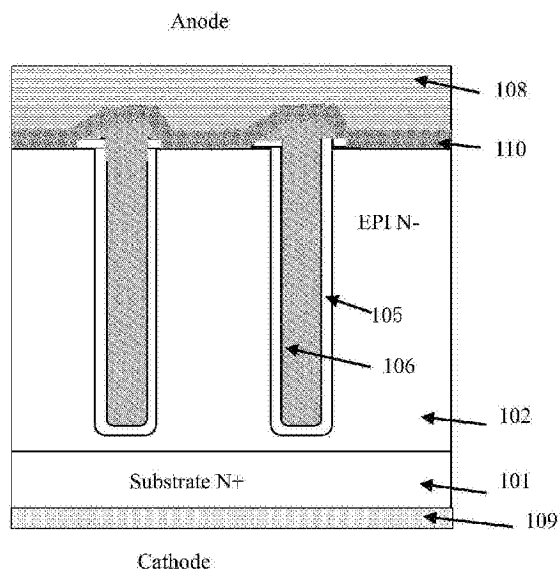
权利要求书1页 说明书4页 附图7页

(54)发明名称

一种肖特基二极管的制造工艺方法

(57)摘要

本发明公开了一种肖特基二极管的制造工艺方法,包括如下工艺步骤:1)在N+硅基片正面依次生长N-外延层、非掺杂的氧化硅、氮化硅硬掩膜层,光刻、干法刻蚀氮化硅硬掩膜层,形成底部斜切口;2)N-外延层上干法刻蚀深沟槽;3)热氧化法生长栅极氧化膜;4)沟槽填充多晶硅;5)回刻多晶硅,氮化硅硬掩膜层上方多晶硅全部去除,沟槽内多晶硅刻蚀到该硬掩膜层的2/3处;6)去除氮化硅硬掩膜层,停止在栅极氧化膜上,剩余多晶硅形貌呈T型;7)N+硅基片正面沉积接触孔介质膜;8)刻蚀接触孔介质膜,停止在N-外延层上,形成U形栅极氧化膜;9)淀积金属阳极和金属阴极。本发明解决了现有工艺导致器件漏电增大和BV电压偏低的问题。



1. 一种肖特基二极管的制造工艺方法,其特征在于,包括如下工艺步骤:

(1) 准备N+硅基片,在N+硅基片正面生长N-外延层;N-外延层上面生长非掺杂的氧化硅,在非掺杂的氧化硅上方淀积氮化硅硬掩膜层,并进行图形化工艺,干法刻蚀氮化硅硬掩膜层,刻蚀后形成底部斜切口形状;

(2) 去除光刻胶后,再通过干法刻蚀刻蚀出沟槽,N-外延层上形成了规律排列的沟槽;

(3) 热氧化法生长栅极氧化膜;

(4) 沟槽中填充多晶硅;

(5) 以氮化硅硬掩膜层作为刻蚀停止层回刻多晶硅,将氮化硅硬掩膜层上方的多晶硅全部去除掉,沟槽内多晶硅刻蚀到氮化硅硬掩膜层的2/3处;

(6) 去除氮化硅硬掩膜层,刻蚀停止在栅极氧化膜上,由于多晶硅回刻刻蚀到氮化硅硬掩膜层2/3处,去除氮化硅硬掩膜层后剩余多晶硅形貌呈T型;

(7) 在N+硅基片正面沉积一层接触孔介质膜;

(8) 刻蚀接触孔介质膜,停止在N-外延层上,T型多晶硅之下的栅极氧化膜得以保留,形成U形的栅极氧化膜;

(9) 在N+硅基片正面淀积金属阳极,在N+硅基片背面淀积金属阴极。

2. 按权利要求1所述的方法,其特征在于,步骤(1)中,所述N-外延层的厚度在5-10 $\mu\text{m}$ ,掺杂浓度在 $1\text{E}12\text{-}1\text{E}15\text{cm}^{-3}$ 之间。

3. 按权利要求1所述的方法,其特征在于,步骤(1)中,所述的非掺杂的氧化硅采用热氧化法或常压化学气相沉积法生长,其厚度在150-500 $\text{\AA}$ 之间;所述氮化硅硬掩膜层采用化学气相沉积法淀积,其厚度在1000-4500 $\text{\AA}$ 之间。

4. 按权利要求1所述的方法,其特征在于,步骤(1)中,所述氮化硅硬掩膜层的干法刻蚀采用双功率源刻蚀设备,包含上部电源功率和偏转功率;所述干法刻蚀分前段刻蚀和后段刻蚀,具体刻蚀参数设置为:前段刻蚀中,腔体压力为10~50毫托,上部电源功率为300~850W,偏转功率为55~250W,碳氟系气体流量为50~250sccm;后段刻蚀的刻蚀参数:压力为40~100毫托,上部电源功率为600~900W,偏转功率为40~100W,碳氟系气体流量为10~300sccm。

5. 按权利要求1所述的方法,其特征在于,步骤(2)中,所述沟槽的深度在1 $\mu\text{m}$ -4 $\mu\text{m}$ 之间。

6. 按权利要求1所述的方法,其特征在于,步骤(3)中,所述栅极氧化膜的厚度在500-4000 $\text{\AA}$ 。

7. 按权利要求1所述的方法,其特征在于,步骤(6)中,所述去除氮化硅硬掩膜层采用湿法刻蚀,湿法药液是热磷酸。

8. 按权利要求1所述的方法,其特征在于,步骤(9)中,所述金属阳极的膜层结构是单层金属Al,或者是Ti/TiN/Al的多层金属结构。

9. 按权利要求1或8所述的方法,其特征在于,步骤(9)中,如所述金属阳极的膜层结构是Ti/TiN/Al的多层金属结构,则所述金属阳极在沉积后增加一步退火工艺,退火条件为690 $^{\circ}\text{C}$ ,N<sub>2</sub>,30s。

## 一种肖特基二极管的制造工艺方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造工艺,尤其涉及一种肖特基二极管的制造工艺方法。

### 背景技术

[0002] 沟槽MOS型肖特基二极管因为其正向导通电阻小,反向偏压漏电小的特性,被广泛应用在整流器等电力器件中。现有的工艺流程如图1A到图1H所示,采用如下步骤:(1)如图1A所示,在N+硅基片101上使用外延的方法生长一层N-外延层102。用化学气相沉积工艺生长一层硬掩膜层二氧化硅103,厚度在1000Å-3000Å,然后光刻和干法刻蚀该硬掩膜层二氧化硅103,去胶,干法刻蚀形成硅沟槽的图形。(2)如图1B所示,用湿法刻蚀去除该硬掩膜层二氧化硅103,可以使用BOE等刻蚀二氧化硅的药液。(3)如图1C所示,使用热氧化法生长一层栅极氧化膜105,因为这层氧化膜和器件的反向耐压有直接关系,所以要选用氧化膜质量较好的热氧化法,厚度一般在800-4000Å之间。(4)如图1D所示,用化学气相沉积法填充多晶硅106。(5)如图1E所示,干法刻蚀多晶硅106,在非沟槽区域,刻蚀停止在栅极氧化膜105上,在沟槽区域,多晶硅在沟槽内有500-3000Å的刻蚀量。(6)如图1F所示,用化学气相沉积法沉积接触孔(Contact)介质膜107,一般这层介质膜是掺杂硼或者是磷的氧化膜,用于吸收金属离子等杂质,厚度在4000-10000Å之间。(7)如图1G所示,光刻工艺定义出需要刻蚀的区域,用干法或者湿法刻蚀定义出接触孔区域,因为栅极氧化膜105和接触孔介质膜107没有选择比,同时接触孔刻蚀要保证一定的过刻蚀量以保证没有氧化膜残留,所以在硅片表面栅极氧化膜区域形成一个凹形的沟槽,这个凹槽介于N-外延层102和硅沟槽内填充的多晶硅106之间。(8)如图1H所示,用化学气相沉积(CVD)或者物理气相沉积(PVD)方法沉积一层金属阻障层110和金属阳极108,最后在N+硅基片101背面形成金属阴极109。因为前面提到的凹槽的存在,金属会填充在凹槽中,在沟槽之间的硅平台边缘会形成尖锐的半导体和金属接触,造成一定程度的漏电问题。

### 发明内容

[0003] 本发明解决的技术问题是提供一种肖特基二极管的制造工艺方法,解决现有工艺在接触孔刻蚀过程中沟槽栅极氧化膜在沟槽顶部的凹槽会导致沟槽MOS型肖特基二极管器件的漏电增大和BV电压偏低的问题。

[0004] 为解决上述技术问题,本发明提供一种肖特基二极管的制造工艺方法,包括如下工艺步骤:

[0005] (1)准备N+硅基片,在N+硅基片正面生长N-外延层;N-外延层上面生长非掺杂的氧化硅,在非掺杂的氧化硅上方淀积氮化硅硬掩膜层,并进行图形化工艺,干法刻蚀氮化硅硬掩膜层,刻蚀后形成底部斜切口形状;

[0006] (2)去除光刻胶后,再通过干法刻蚀刻蚀出深沟槽,N-外延层上形成了规律排列的

沟槽；

[0007] (3)热氧化法生长栅极氧化膜；

[0008] (4)沟槽中填充多晶硅；

[0009] (5)以氮化硅硬掩膜层作为刻蚀停止层回刻多晶硅，将氮化硅硬掩膜层上方的多晶硅全部去除掉，沟槽内多晶硅刻蚀到氮化硅硬掩膜层的2/3处；

[0010] (6)去除氮化硅硬掩膜层，刻蚀停止在栅极氧化膜上，由于多晶硅回刻刻蚀到氮化硅硬掩膜层2/3处，去除氮化硅硬掩膜层后剩余多晶硅形貌呈T型；

[0011] (7)在N+硅基片正面沉积一层接触孔介质膜；

[0012] (8)刻蚀接触孔介质膜，停止在N-外延层上，T型多晶硅之下的栅极氧化膜得以保留，形成U形的栅极氧化膜；

[0013] (9)在N+硅基片正面淀积金属阳极，在N+硅基片背面淀积金属阴极。

[0014] 进一步地，步骤(1)中，所述N-外延层的厚度在5-10 $\mu\text{m}$ ，掺杂浓度在 $1\text{E}12$ 到 $1\text{E}15\text{cm}^{-3}$ 之间。

[0015] 进一步地，步骤(1)中，所述的非掺杂的氧化硅采用热氧化法或常压化学气相沉积法生长，其厚度在150-500 $\text{\AA}$ 之间；所述氮化硅硬掩膜层采用化学气相沉积法淀积，其厚度在1000-4500 $\text{\AA}$ 之间。

[0016] 进一步地，步骤(1)中，所述氮化硅硬掩膜层的干法刻蚀采用双功率源刻蚀设备，包含上部电源功率和偏转功率；所述干法刻蚀分前段刻蚀和后段刻蚀，具体刻蚀参数设置为：前段刻蚀中，腔体压力为10~50毫托，上部电源功率为300~850W，偏转功率为55~250W，碳氟系气体流量为50~250sccm；后段刻蚀的刻蚀参数：压力为40~100毫托，上部电源功率为600~900W，偏转功率为40~100W，碳氟系气体流量为10~300sccm。

[0017] 进一步地，步骤(2)中，所述沟槽的深度在1 $\mu\text{m}$ -4 $\mu\text{m}$ 之间。

[0018] 进一步地，步骤(3)中，所述栅极氧化膜的厚度在500-4000 $\text{\AA}$ 。

[0019] 进一步地，步骤(6)中，所述去除氮化硅硬掩膜层采用湿法刻蚀，湿法药液是热磷酸。

[0020] 进一步地，步骤(9)中，所述金属阳极的膜层结构是单层金属Al，或者是Ti/TiN/Al的多层金属结构。

[0021] 进一步地，步骤(9)中，如所述金属阳极的膜层结构是Ti/TiN/Al的多层金属结构，则所述金属阳极在沉积后可增加一步退火工艺，退火条件为690 $^{\circ}\text{C}$ ， $\text{N}_2$ ，30s。

[0022] 和现有技术相比，本发明具有以下有益效果：对于沟槽MOS型肖特基二极管器件，传统工艺在接触孔刻蚀过程中沟槽栅极氧化膜在沟槽顶部的凹槽会导致器件漏电增大，BV电压降低的问题。本发明通过避免沟槽栅极氧化膜凹槽的形貌甚至是形成凸出的U形沟槽栅极氧化膜的形貌，来改善肖特基二极管的漏电和耐压问题。为了制造出上述物理形貌，本发明通过优化深沟槽硬质掩膜的形貌，形成切口形貌，制造出具有绝缘层突出特征的结构，避免了漏电和BV偏低的问题。经实验测试验证，本发明的沟槽MOS型肖特基二极管的initial leakage(初始漏电)从 $10^{-3}\text{A}$ 降低到 $10^{-6}\text{A}$ 的水平，1mA时VR在100V以上，BV面内均一性有显著提高。

## 附图说明

[0023] 图1A-图1H是现有的工艺流程的断面示意图;其中,图1A是现有的工艺流程的步骤(1)完成后的断面示意图;图1B是现有的工艺流程的步骤(2)完成后的断面示意图;图1C是现有的工艺流程的步骤(3)完成后的断面示意图;图1D是现有的工艺流程的步骤(4)完成后的断面示意图;图1E是现有的工艺流程的步骤(5)完成后的断面示意图;图1F是现有的工艺流程的步骤(6)完成后的断面示意图;图1G是现有的工艺流程的步骤(7)完成后的断面示意图;图1H是现有的工艺流程的步骤(8)完成后的断面示意图;

[0024] 图2A-图2I是本发明的工艺流程的断面示意图;其中,图2A是本发明方法的步骤(1)完成后的示意图;图2B是本发明方法的步骤(2)完成后的示意图;图2C是本发明方法的步骤(3)完成后的示意图;图2D是本发明方法的步骤(4)完成后的示意图;图2E是本发明方法的步骤(5)完成后的示意图;图2F是本发明方法的步骤(6)完成后的示意图;图2G是本发明方法的步骤(7)完成后的示意图;图2H是本发明方法的步骤(8)完成后的示意图;图2I是本发明方法的步骤(9)完成后的示意图;

[0025] 图中附图标记说明如下:

[0026] 101是N+硅基片;102是N-外延层;103是二氧化硅;104是氮化硅硬掩膜层;105是栅极氧化膜;106是多晶硅;107是接触孔介质膜;108是金属阳极;109是金属阴极;110是金属阻挡层。

## 具体实施方式

[0027] 下面结合附图和实施例对本发明作进一步详细的说明。

[0028] 参考图2A-图2I,描述了一个实现本发明的实施例。

[0029] 本发明一种肖特基二极管的制造工艺方法,包括如下步骤:

[0030] (1)如图2A所示,N+硅基片101是高掺杂N型的半导体基片,在N+硅基片101的正面外延生长(epi)一层低掺杂N型单晶硅,形成N-外延层102,N-外延层102的厚度在5-10 $\mu\text{m}$ 之间,掺杂浓度在 $1\text{E}12\text{-}1\text{E}15\text{cm}^{-3}$ 之间。在N-外延层102上面生长一层150-500 $\text{\AA}$ 的二氧化硅103,这一层二氧化硅103主要作用是消除氮化硅硬掩膜层和硅基板由于膨胀系数不同造成的应力问题,这一层氧化膜可以采用热氧化法生长,也可以采用常压化学气相沉积法生长。二氧化硅103上方使用化学气相沉积方法沉积1000-4500 $\text{\AA}$ 的氮化硅硬掩膜层4,其厚度主要由刻蚀沟槽的深度决定。接着光刻胶图形化和干法刻蚀氮化硅硬掩膜层4,此步干法刻蚀分前段刻蚀和后段刻蚀,前段刻蚀形成相对垂直的刻蚀图形,刻蚀厚度在氮化硅硬掩膜层4的2/3处,在所述后段刻蚀中改变刻蚀参数使侧向性刻蚀增强(即对边缘的刻蚀作用加大),从而在氮化硅硬掩膜层4底部形成斜切口结构(见图2A)。具体的氮化硅硬掩膜层4的干法刻蚀采用双功率源刻蚀设备,包含上部电源功率和偏转功率,具体刻蚀参数设置为:前段刻蚀中,腔体压力为10~50毫托,上部电源功率为300~850W,偏转功率为55~250W,碳氟系气体(如 $\text{CHF}_3$ , $\text{CF}_4$ , $\text{CH}_2\text{F}_2$ , $\text{CH}_3\text{F}$ )流量为50~250sccm;后段刻蚀的刻蚀参数:压力为40~100毫托,上部电源功率为600~900W,偏转功率为40~100W,碳氟系气体(如 $\text{CHF}_3$ , $\text{CF}_4$ , $\text{CH}_2\text{F}_2$ , $\text{CH}_3\text{F}$ )流量为10~300sccm。

[0031] (2)如图2B所示,氮化硅硬掩膜层4刻蚀完去除光刻胶后,再通过干法刻蚀刻蚀出

深沟槽，N-外延层102上形成了规律排列的沟槽。沟槽深度在 $1\mu\text{m}$ - $4\mu\text{m}$ 之间。

[0032] (3) 如图2C所示，采用热氧化法使用高温炉管淀积 $500\text{-}4000\text{\AA}$ 的栅极氧化膜105。

[0033] (4) 如图2D所示，使用化学气相沉积法在沟槽内填充多晶硅106，沟槽被多晶硅填满。

[0034] (5) 如图2E所示，使用干法刻蚀工艺将氮化硅硬掩膜层104上方的多晶硅全部去除掉，氮化硅硬掩膜层104是刻蚀停止层，沟槽内多晶硅刻蚀到氮化硅硬掩膜层104的 $2/3$ 处。

[0035] (6) 如图2F所示，湿法去除氮化硅硬掩膜层104，湿法药液是热磷酸，刻蚀停止在二氧化硅103上。由于多晶硅只是刻蚀到氮化硅硬掩膜层104的 $2/3$ 处，经过湿法去除氮化硅硬掩膜层104后，剩余多晶硅106形貌呈T型。

[0036] (7) 如图2G所示，在N+硅基片101正面沉积一层接触孔介质膜107。用化学气相沉积法沉积接触孔介质膜107，一般这层介质膜是掺杂硼或者是磷的氧化膜，用于吸收金属离子等杂质，厚度在 $4000\text{-}10000\text{\AA}$ 之间。

[0037] (8) 如图2H所示，在接触孔图形化以后，采用干法刻蚀去除接触孔介质膜107，刻蚀停止在N-外延层102上。由于此步接触孔介质膜刻蚀对N-外延层及多晶硅选择比都比较高，所以T型多晶硅之下的氧化膜得以保留，形成U形的栅极氧化膜105，避免了介于N-外延层102和硅沟槽之间凹槽的产生，这样就很好的隔离了沟槽和N型的漂移区。

[0038] (9) 如图2I所示，在N+硅基片101正面进行金属阳极108的沉积工艺，和晶圆背面的沉积工艺。用化学气相沉积(CVD)或者物理气相沉积(PVD)方法在N+硅基片101正面沉积一层金属阻挡层110和金属阳极108，最后在N+硅基片101背面形成金属阴极109。金属阳极108的膜层结构可以是单层金属，例如铝，也可以是多层金属，例如Ti/TiN/Al。如果有Ti/TiN，可以在Ti/TiN沉积后增加一步退火，退火条件为 $690^\circ\text{C N}_2 30\text{s}$ 。因为步骤(8)提到的U形的栅极氧化膜105，避免了介于N-外延层102和硅沟槽之间凹槽的产生，这样就很好的隔离了沟槽和N型的漂移区，从而避免造成一定程度的漏电问题。

[0039] 在传统的沟槽MOS型肖特基二极管基础上，在沟槽和N型的漂移区之间是氧化膜绝缘层(即栅极氧化膜105)，这层膜的质量直接影响器件的耐压特性，一般是用热氧化法形成。在沟槽之间形成一个半导体平台，平台和正电极接触形成肖特基二极管。沟槽和半导体之间的绝缘层会延伸到平台顶部并高于肖特基二极管界面。用传统的工艺方法在接触孔刻蚀(Contact Etch)时，有一定的过刻蚀量，因为刻蚀条件对氧化膜和单晶硅有高选择比，在半导体平台区域是停在硅基板上，但是在沟槽绝缘膜区域有一定的损失，造成一个小沟槽，阳极金属会填入，造成漏电和BV偏低的问题。本发明通过改变工艺流程及优化硬质掩膜的形貌，形成切口形貌，制造出具有绝缘层突出特征的结构(即形成U形的栅极氧化膜105)，避免了漏电和BV偏低的问题。

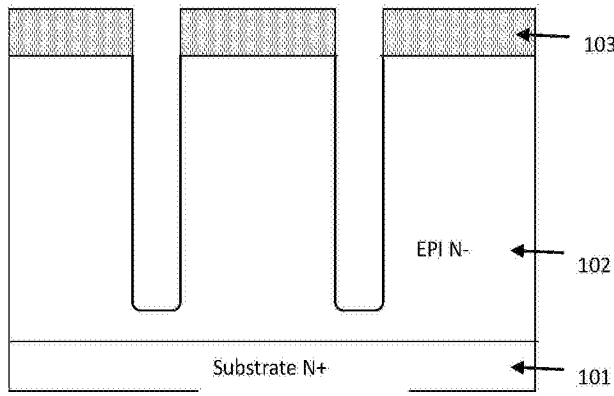


图1A

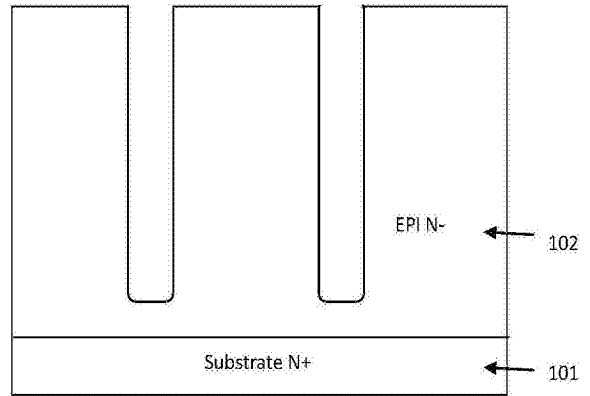


图1B

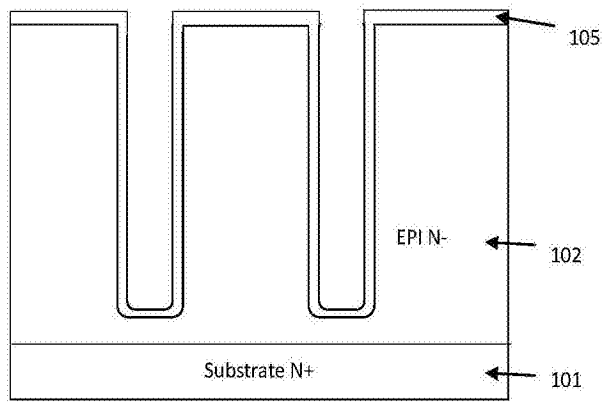


图1C

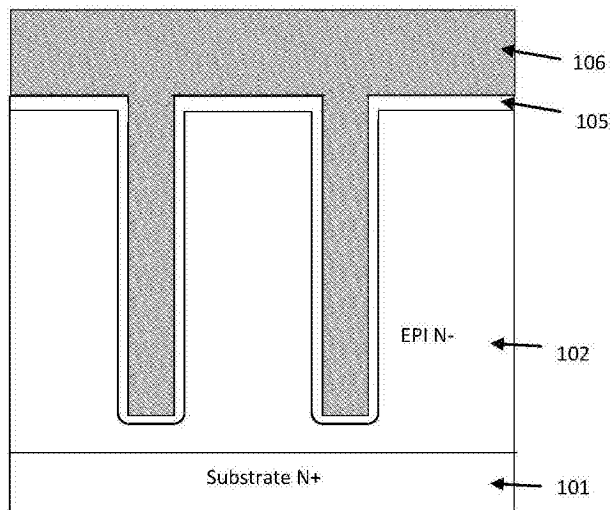


图1D

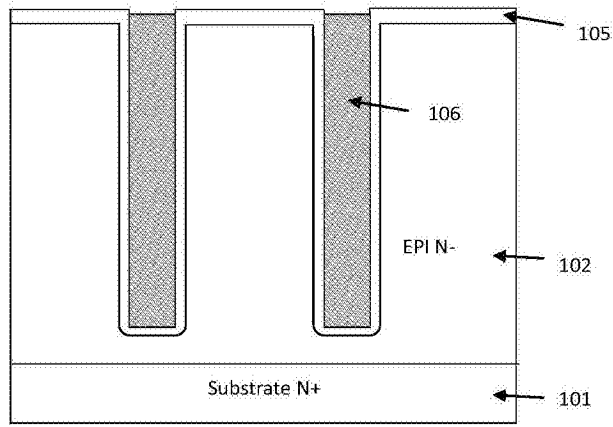


图1E

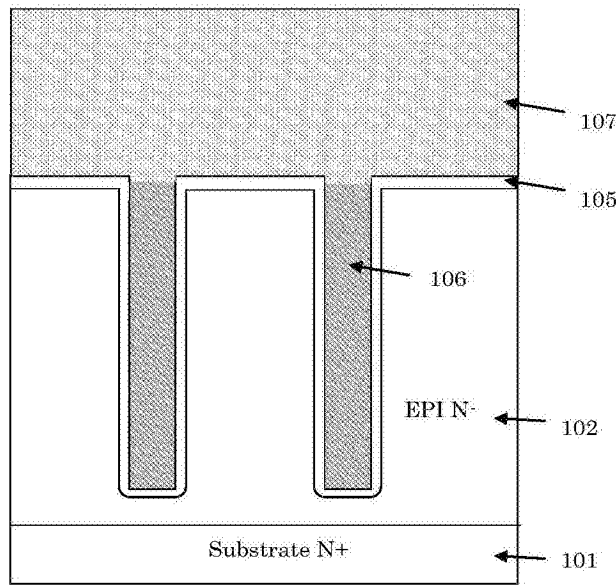


图1F

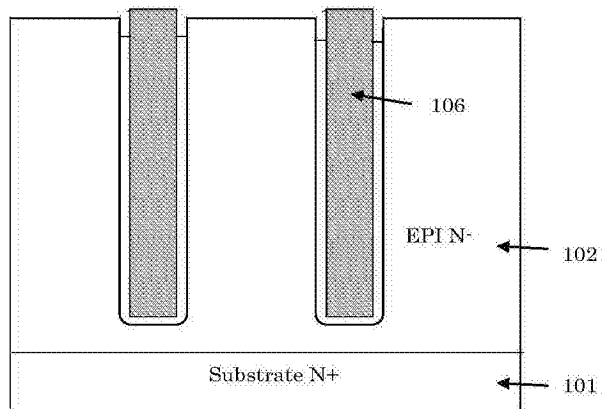


图1G



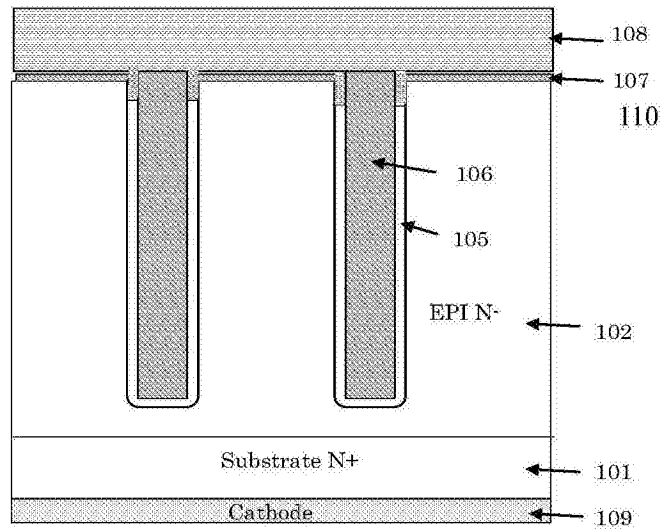


图1H

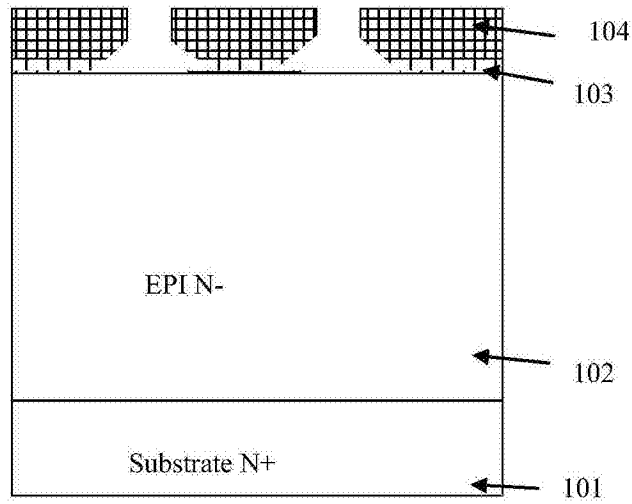


图2A

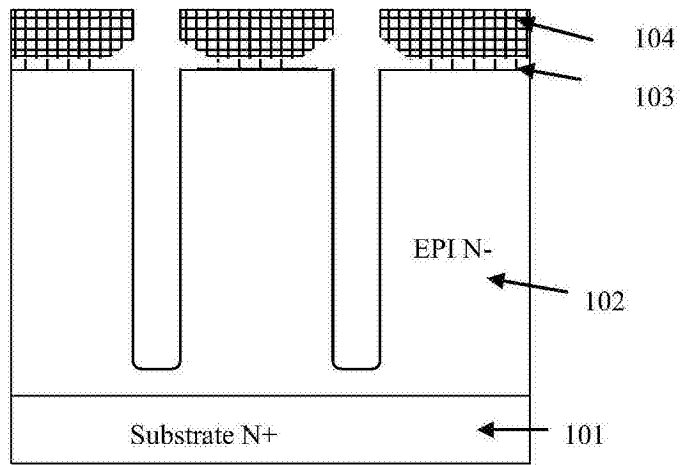


图2B

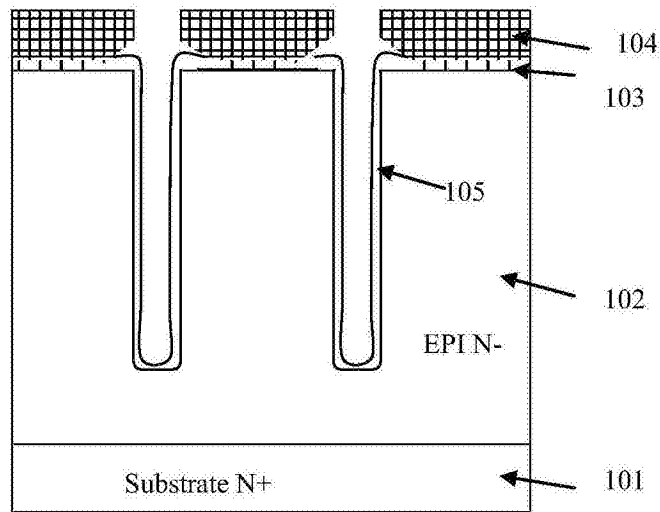


图2C

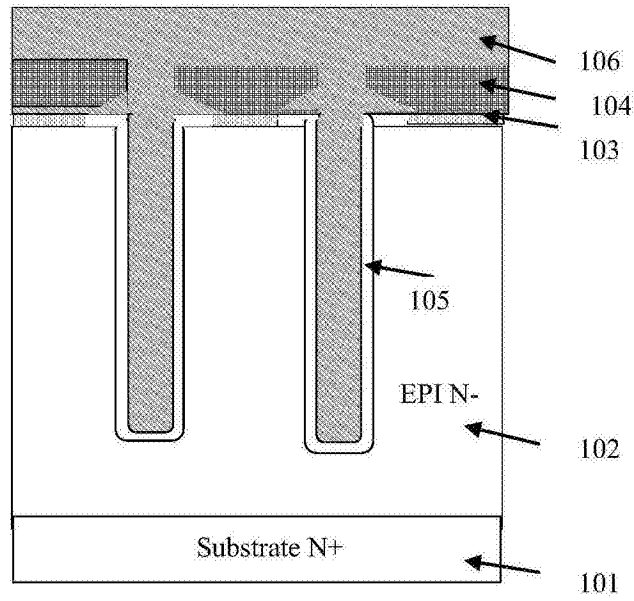


图2D

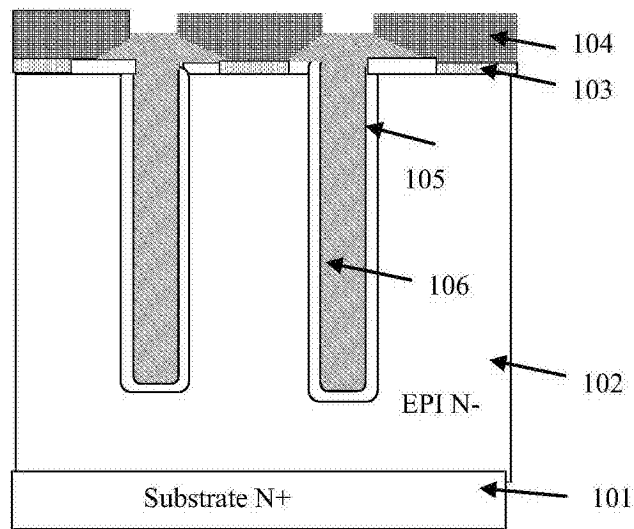


图2E

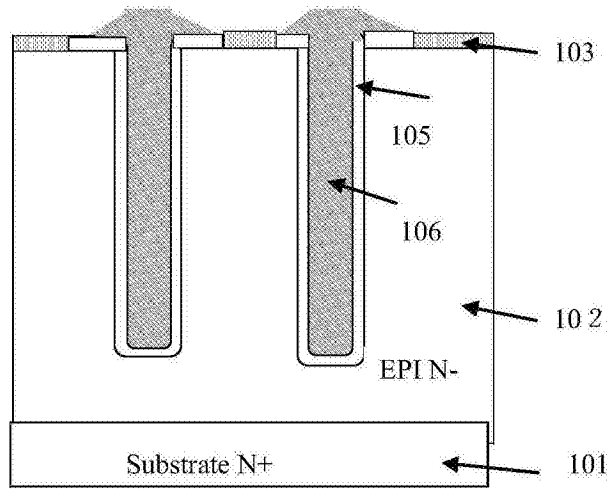


图2F

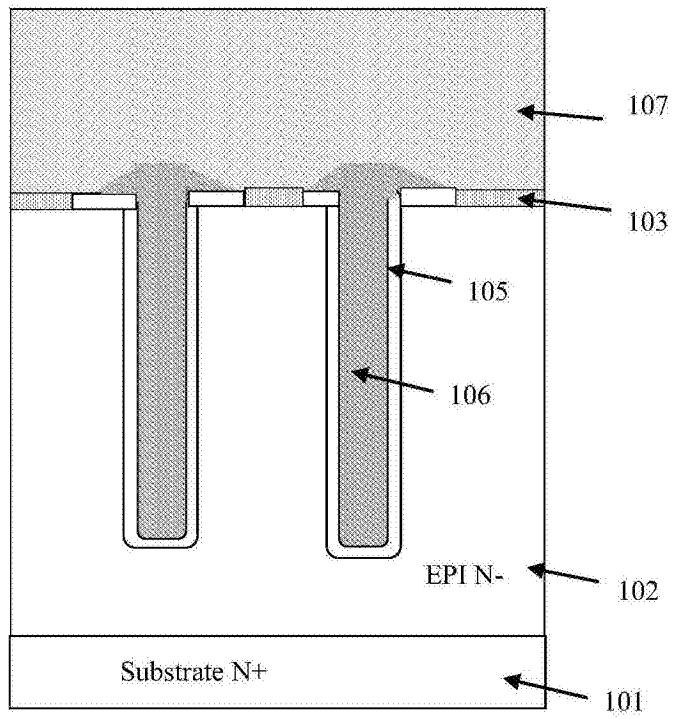


图2G

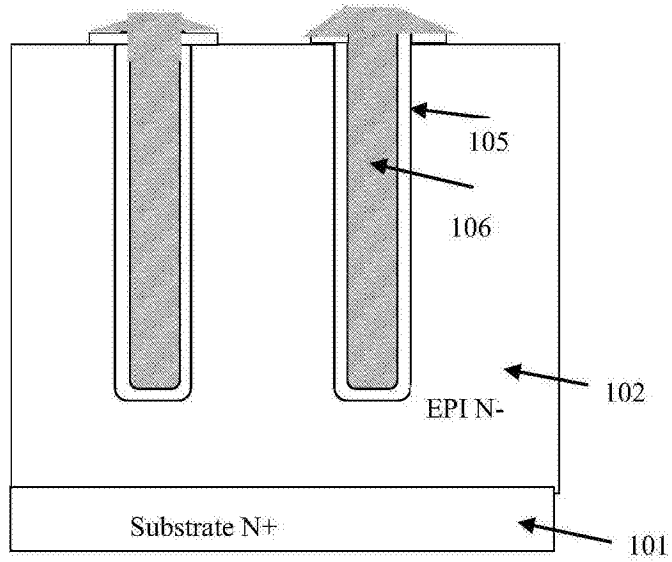


图2H

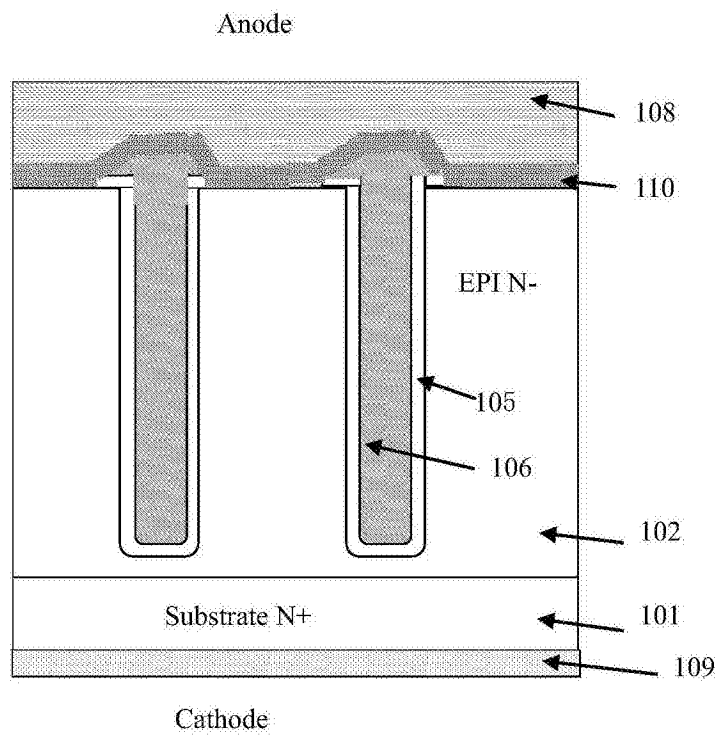


图2I