



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2013 003 902.8**
 (86) PCT-Aktenzeichen: **PCT/JP2013/073791**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2014/038587**
 (86) PCT-Anmeldetag: **04.09.2013**
 (87) PCT-Veröffentlichungstag: **13.03.2014**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **16.04.2015**
 (45) Veröffentlichungstag
 der Patenterteilung: **12.05.2022**

(51) Int Cl.: **H01L 23/48 (2006.01)**
H01L 23/28 (2006.01)

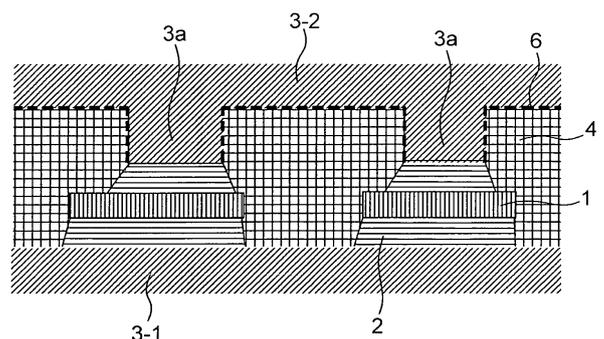
Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

<p>(30) Unionspriorität: 2012-197347 07.09.2012 JP</p> <p>(73) Patentinhaber: Hitachi Astemo, Ltd., Hitachinaka-shi, Ibaraki-ken, JP</p> <p>(74) Vertreter: Strehl Schübel-Hopf & Partner mbB Patentanwälte European Patent Attorneys, 80538 München, DE</p> <p>(72) Erfinder: Yamashita, Shiro, c/o HITACHI, LTD., Tokyo, JP; Yoshinari, Hideto, c/o HITACHI AUTOMOTIVE SYSTEMS, Hitachinaka-shi, Ibaraki, JP; Kume,</p>	<p>Takashi, c/o HITACHI AUTOMOTIVE SYSTEMS, Hitachinaka-shi, Ibaraki, JP; Fujino, Shinichi, c/o HITACHI AUTOMOTIVE SYSTEMS, Hitachinaka- shi, Ibaraki, JP; Ide, Eiichi, c/o HITACHI, LTD., Tokyo, JP</p> <p>(56) Ermittelter Stand der Technik:</p> <table border="0"> <tr><td>JP</td><td>2001- 352 023</td><td>A</td></tr> <tr><td>JP</td><td>2002- 110 893</td><td>A</td></tr> <tr><td>JP</td><td>2011- 216 564</td><td>A</td></tr> <tr><td>JP</td><td>H10- 107 195</td><td>A</td></tr> <tr><td>JP</td><td>2008- 187 045</td><td>A</td></tr> <tr><td>JP</td><td>2005- 244 166</td><td>A</td></tr> <tr><td>JP</td><td>2008- 71 886</td><td>A</td></tr> </table>	JP	2001- 352 023	A	JP	2002- 110 893	A	JP	2011- 216 564	A	JP	H10- 107 195	A	JP	2008- 187 045	A	JP	2005- 244 166	A	JP	2008- 71 886	A
JP	2001- 352 023	A																				
JP	2002- 110 893	A																				
JP	2011- 216 564	A																				
JP	H10- 107 195	A																				
JP	2008- 187 045	A																				
JP	2005- 244 166	A																				
JP	2008- 71 886	A																				

(54) Bezeichnung: **Halbleitervorrichtung und Verfahren zu ihrer Herstellung**

(57) Hauptanspruch: Halbleitervorrichtung, welche folgendes aufweist:
 ein Halbleiterelement (1),
 einen ersten Leiterraum (3-1), der durch ein erstes Lot (2) mit einer Hauptfläche des Halbleiterelements verbunden ist, und
 einen zweiten Leiterraum (3-2), der durch ein zweites Lot mit einer entgegengesetzten Fläche des Halbleiterelements verbunden ist, wobei
 ein Raum zwischen dem ersten Leiterraum und dem zweiten Leiterraum mit einem Gießharz (4) gefüllt ist,
 der zweite Leiterraum einen Basisabschnitt (3a) aufweist, wobei der Basisabschnitt integral mit dem zweiten Leiterraum ausgebildet ist und einen mit dem Halbleiterelement durch das zweite Lot zu verbindenden Oberflächenabschnitt sowie einen Seitenabschnitt aufweist, die Oberflächenrauigkeit des Seitenabschnitts des Basisabschnitts höher ist als die Oberflächenrauigkeit des mit dem Halbleiterelement durch das zweite Lot zu verbindenden Oberflächenabschnitts des Basisabschnitts, und
 die Oberflächenrauigkeiten des Seitenabschnitts des Basisabschnitts und eines Oberflächengebiets des zwei-

ten Leiterraums, das keinen Basisabschnitt aufweist, vom gleichen Grad sind.



Beschreibung

Technisches Gebiet

[0001] Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und ein Verfahren zu ihrer Herstellung. Die vorliegende Erfindung betrifft beispielsweise ein durch Verbinden von Halbleiterkomponenten mit Zuleitungsanschlüssen durch Lot erhaltenes Halbleiterleistungsmodul.

Technischer Hintergrund

[0002] Herkömmlicherweise wurden bei einem Leistungsmodul, das eine Leistungswandlung und -steuerung ausführt, die elektrische Verbindung und Wärmeabfuhr zu einem Substrat durch Verbinden einer Seite eines Chips mit dem Substrat durch Lot und Verbinden der anderen Seite des Chips mit dem Substrat durch Drahtbonden verwirklicht.

[0003] Infolge des zunehmenden Bedarfs an einer Größenverringern von Leistungsmodulen sowie einer Erhöhung der Wärmeabfuhr wurde jedoch ein Verfahren zur Verbindung sowohl der Vorder- als auch der Rückseite eines Chips mit Lot und zum Kühlen des Chips von den entgegengesetzten Seiten verwendet. **Fig. 1** zeigt ein Beispiel eines solchen Moduls, das eine Struktur annimmt, bei der ein Chip 1 von den entgegengesetzten Seiten unter Verwendung von Leiterrahmen 3 und Rippen 5 gekühlt wird.

[0004] Ein solches Wärmeabfuhrverfahren wird auch in Patentliteratur 1 bis 3 verwendet. Ein solches beidseitig gekühltes Leistungsmodul wird durch Einsiegeln der Komponenten mit Gießharz nach der Lötverbindung und anschließendes Bereitstellen von Kühlabschnitten auf der Außenseite der Komponenten gebildet.

Patentliteratur 1: JP 2001- 352 023 A

Patentliteratur 2: JP 2005- 244 166 A

Patentliteratur 3: JP 2002- 110 893 A

Kurzfassung der Erfindung

Technisches Problem

[0005] Wenn ein Leistungsmodul in der Art des vorstehend beschriebenen erzeugt wird, wird ein Chip durch Lot mit Leiterrahmen verbunden, die infolge der Anforderung einer höheren Wärmeabfuhr aus Materialien mit einer hohen Wärmeleitfähigkeit, wie Cu, bestehen. Falls dabei flache Leiterrahmen mit den entgegengesetzten Seiten des Chips verbunden werden, bestehen Bedenken, dass Lot auf einer Seite in Kontakt mit Lot auf der anderen Seite gelangen kann, wodurch ein Kurzschluss erzeugt werden kann. **Fig. 2** zeigt ein Beispiel, bei dem ein Kurzschluss durch Lot erzeugt wird.

[0006] Als eine Maßnahme zum Vermeiden eines solchen Problems beschreibt Patentliteratur 3 eine Struktur, bei der ein Basisabschnitt und ein Abstandselement als getrennte Komponenten auf einem Lötverbindungsabschnitt eines Leiterrahmens 3 bereitgestellt werden und die Komponenten dann durch Lot mit einer Chiipelektrode verbunden werden (siehe **Fig. 3**). Dementsprechend kann verhindert werden, dass die Lote 2 auf den entgegengesetzten Seiten des Chips 1 einander nahe kommen, wodurch ein Kurzschluss verhindert wird.

[0007] Wenn der Basisabschnitt 3a jedoch als eine getrennte Komponente auf dem Leiterrahmen 3 bereitgestellt wird (d.h. wenn der Leiterrahmen 3 und der Basisabschnitt 3a mit dem Lot 2 aneinander gebondet werden), ist die Lotbenetzbarkeit des Basisabschnitts 3a wichtig. Wenn die Benetzbarkeit der Lötverbindungsfläche des Basisabschnitts 3a gleich der Benetzbarkeit der Seitenflächen des Basisabschnitts und ihrer Umgebung ist, werden die Seitenflächen des Basisabschnitts 3a während der Lötverbindung mit dem Lot 2 benetzt. **Fig. 4** zeigt eine Ansicht, bei der eine Seitenfläche des Basisabschnitts mit dem Lot 2 benetzt wird. Wenn ein solches Benetzen hervorgerufen wird, tritt ein Kurzschluss des Lots 2 am Verbindungsabschnitt zwischen dem Leiterrahmen 3 (d.h. dem Basisabschnitt 3a) und dem Chip 1 auf. Demgemäß wird ein nicht verbundener Abschnitt erzeugt. Weil das Lot 2, das die Seitenfläche(n) des Basisabschnitts benetzt, am Chip 1 ferner infolge seiner Oberflächenspannung zieht, tritt ein Versatz des Chips 1 auf. Infolge dieser Fehler gehen die Montageeigenschaften, Zuverlässigkeit und Leistungsfähigkeit in der nachfolgenden Stufe verloren. Demgemäß sollte die Erzeugung solcher Fehler vermieden werden.

[0008] Dabei nimmt das vorstehend erwähnte Leistungsmodul eine Struktur an, bei der, nachdem der Chip 1 durch Lot mit dem Leiterrahmen 3 verbunden wurde, die Komponenten mit Gießharz eingesiegelt werden. Dieses Gießharz sollte sicher bewirken, dass die Leiterrahmen 3 und der Chip 1 eng aneinander haften. Infolge der Haftung kann die Zuverlässigkeit des Chips 1 gewährleistet werden und kann die Lebensdauer des Lötverbindungsabschnitts verlängert werden.

[0009] Demgemäß muss das Gießharz einen hohen Haftgrad aufweisen. Falls der Haftgrad gering ist und die Leiterrahmen demgemäß vom Gießharz abgeschält werden, besteht die Möglichkeit, dass sich das Abschälen entwickelt, wodurch der Chip schließlich brechen kann. Es bestehen auch Bedenken, dass die Rissentwicklungsgeschwindigkeit am Lötverbindungsabschnitt zunehmen kann, wodurch die Ermüdungsdauer verkürzt werden kann.

[0010] Weder Patentliteratur 1 noch Patentliteratur 2 offenbart eine diese Probleme lösende Erfindung. Währenddessen beschreibt Patentliteratur 3 das Bereitstellen eines Blocks (d.h. eines Basisabschnitts 3a), der als ein Abstandselement zwischen dem Leiterraum 3 und dem Chip 1 dient, wobei das Lot 2 dazwischen angeordnet ist (siehe **Fig. 3**). Zusätzlich werden oxidierte Oberflächen auf den Seitenflächen des Blocks (d.h. des Basisabschnitts 3a) gebildet, um zu verhindern, dass die Seitenflächen mit dem Lot 2 benetzt werden, und um den Haftgrad am Gießharz zu erhöhen. Ferner wird eine Ni-Plattierung auf den Leiterraum 3 um das Abstandselement (d.h. den Basisabschnitt 3a) herum angewendet, um den Grad der Haftung am Gießharz zu erhöhen. In Patentliteratur 3 ergibt sich jedoch auch der Nachteil, dass, weil das Abstandselement (d.h. der Basisabschnitt 3a) durch das Lot 2 mit dem Leiterraum 3 verbunden wird, die Anzahl der Lötverbindungsabschnitte erhöht wird, wodurch der Schwierigkeitsgrad des Prozesses erhöht wird. Ferner wird, wenn die beiden verschiedenen Prozesse des Bildens oxidierteter Oberflächen auf den Seitenflächen des Abstandselements (d.h. des Basisabschnitts 3a) und des Ni-Plattierens in der Peripherie davon angewendet werden, erwartet, dass der Prozess der Herstellung des Leiterraums 3 komplex ist und dass die Kosten hoch sind.

[0011] Die vorliegende Erfindung wurde angesichts der vorstehenden Umstände gemacht und stellt eine sehr zuverlässige Halbleitervorrichtung bereit, indem sie verhindert, dass die Seitenflächen eines Basisabschnitts mit Lot benetzt werden, wodurch andernfalls Verbindungsfehler des Lots oder ein Chipversatz hervorgerufen werden würden, und indem sie das Abschälen von Gießharz verhindert, wodurch der Chip andernfalls brechen würde oder die Lebensdauer des Lots verkürzt werden würde.

[0012] Die Druckschrift JP 2011-216 564 A offenbart ein zwischen zwei Leiterraum mittels Lot angebrachtes und von Gießharz umgebenes Halbleiterelement. Die Druckschriften JP H10-107 195 A und JP 2008-71 886 A behandeln das Aufrauen von Substratoberflächen zur Verbesserung der Anhaftung von Kunstharz. In der Druckschrift JP 2008-187 045 A wird eine Halbleitervorrichtung beschrieben, in der Kontaktbereiche an Lötverbindungsstellen bewusst nicht aufgeraut sind, um die Zuverlässigkeit der Halbleitervorrichtung nicht zu beeinträchtigen.

Lösung des Problems

[0013] Zum Lösen der vorstehenden Aufgabe werden gemäß der vorliegenden Erfindung eine Halbleitervorrichtung und ein Herstellungsverfahren dafür, so wie sie in den unabhängigen Patentansprüchen definiert sind, vorgeschlagen. Eine weitere vorteil-

hafte Ausführung ist im abhängigen Patentanspruch beschrieben.

Vorteilhafte Wirkungen der Erfindung

[0014] Gemäß der vorliegenden Erfindung kann eine sehr zuverlässige Halbleitervorrichtung bereitgestellt werden, indem verhindert wird, dass die Seitenflächen eines Basisabschnitts mit Lot benetzt werden, wodurch andernfalls Verbindungsfehler des Lots oder ein Chipversatz hervorgerufen werden würde, und indem das Abschälen von Gießharz verhindert wird, wodurch der Chip andernfalls brechen würde oder die Lebensdauer des Lots verkürzt werden würde.

[0015] Weitere Merkmale, die sich auf die vorliegende Erfindung beziehen, werden anhand der Beschreibung der Patentschrift und der anliegenden Zeichnung verständlich. Zusätzlich können Ausführungsformen der vorliegenden Erfindung durch Elemente, eine Kombination einer Vielzahl von Elementen, die folgende detaillierte Beschreibung und die anliegenden Ansprüche implementiert werden.

Figurenliste

[0016] Es zeigen:

Fig. 1 eine Ansicht eines als Beispiel dienenden Moduls, wobei ein Verfahren zum Kühlen eines Chips von den entgegengesetzten Seiten angewendet wird,

Fig. 2 eine schematische Ansicht eines Beispiels, wobei ebene Leiterraum verwendet werden und ein Kurzschluss durch das Lot erzeugt wird,

Fig. 3 eine schematische Ansicht einer als Beispiel dienenden Struktur eines Lötverbindungsabschnitts, wenn eine Basis an einen der Leiterraum gebondet wird,

Fig. 4 eine schematische Ansicht, wobei eine Seitenfläche eines Basisabschnitts während der Lötverbindung mit Lot benetzt wird,

Fig. 5 eine schematische Ansicht der Grundstruktur einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung,

Fig. 6 eine Ansicht eines Lötverbindungsprozesses,

Fig. 7 eine Tabelle, welche die Ergebnisse der Anzahl fehlerhafter Proben in Beispiel 1 zeigt, und

Fig. 8 eine Tabelle, welche die Ergebnisse der Anzahl fehlerhafter Proben in Beispiel 2 zeigt.

Beschreibung von Ausführungsformen

[0017] Nachstehend werden Ausführungsformen der vorliegenden Erfindung mit Bezug auf die anliegende Zeichnung beschrieben. In der anliegenden Zeichnung können Elemente, welche die gleiche Funktion aufweisen, durch die gleiche Bezugszahl bezeichnet werden. Wenngleich die anliegende Zeichnung spezifische Ausführungsformen und Implementationen gemäß dem Grundgedanken der vorliegenden Erfindung zeigt, dient sie nur dem Verständnis der vorliegenden Erfindung und sollte demgemäß nicht verwendet werden, um die vorliegende Erfindung eng auszulegen.

[0018] Wenngleich diese Ausführungsform vollständige detaillierte Beschreibungen enthält, damit Fachleute die vorliegende Erfindung verwirklichen können, ist zu verstehen, dass auch andere Implementierungen und Ausführungsformen möglich sind und dass demgemäß Änderungen an den Konfigurationen oder Strukturen sowie das Austauschen einer Vielzahl von Elementen innerhalb des Gedankens und des Schutzzumfangs der vorliegenden Erfindung möglich sind. Demgemäß soll die vorliegende Erfindung nicht auf die folgende Beschreibung beschränkt sein.

<Konfiguration einer Halbleitervorrichtung>

[0019] Fig. 5 zeigt die Struktur einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung.

[0020] Für die Halbleitervorrichtung gemäß dieser Ausführungsform wird eine Struktur verwendet, bei der Leiterrahmen 3-1 und 3-2 und ein Chip 1 mit jeweils einem ersten Lot 2 und einem zweiten Lot verbunden sind. Bei der Halbleitervorrichtung ist ein zwischen dem Chip 1, der ein Halbleiterelement ist, und den Leiterrahmen 3-1 und 3-2 ausgebildeter Raum mit Gießharz gefüllt.

[0021] Wie in Fig. 5 dargestellt ist, weist der Leiterrahmen 3-2 einen damit integral ausgebildeten Basisabschnitt (d.h. einen vorstehenden Abschnitt) 3a auf. Wie vorstehend beschrieben, ist gemäß dieser Ausführungsform der Basisabschnitt 3a anders als der Leiterrahmen und der Basisabschnitt, die in Patentliteratur 3 offenbart sind, mit dem Leiterrahmen 3-2 integral ausgebildet (siehe Fig. 3). Demgemäß kann der Prozess zur Herstellung der Halbleitervorrichtung weiter vereinfacht werden.

[0022] Bei der Halbleitervorrichtung wird eine von der Lötverbindungsfläche des Leiterrahmens 3-2 verschiedene Fläche 6 einer Aufrauungsbehandlung unterzogen, um zu ermöglichen, dass die Fläche 6 weniger leicht mit dem zweiten Lot benetzt wird. Zusätzlich kann auch ein Gebiet des Leiterrah-

mens 3-1, das von einem Abschnitt verschieden ist, der mit dem Lot 2 zu verbinden ist, einer Aufrauungsbehandlung unterzogen werden. Eine solche Aufrauungsbehandlung kann ein Gebiet bereitstellen, in dem die Benetzbarkeit mit dem Lot gering ist, wodurch der Grad der Haftung des Lots an einem Element, mit dem das Lot verbunden wird, gesteuert werden kann.

[0023] Es sei bemerkt, dass ein Abschnitt des Basisabschnitts 3a, der mit dem zweiten Lot zu verbinden ist, keiner Aufrauungsbehandlung unterzogen wird oder so einer Aufrauungsbehandlung unterzogen wird, dass er einen geringeren Rauigkeitsgrad aufweist als andere Abschnitte als der Basisabschnitt 3a. Dementsprechend wird der Abschnitt des Basisabschnitts, der mit dem Lot zur Verbindung mit dem Halbleiterelement zu verbinden ist, nicht aufgeraut oder hat einen geringen Rauigkeitsgrad und demgemäß eine hohe Lotbenetzbarkeit. Zusätzlich kann auch verhindert werden, dass die Seitenflächen des Basisabschnitts mit Lot benetzt werden, wodurch andernfalls Verbindungsfehler des Lots oder ein Chipversatz hervorgerufen werden würde, und es kann auch ein Abschälen des Gießharzes verhindert werden, wodurch der Chip andernfalls brechen würde.

[0024] Es sei bemerkt, dass, wenn eine Aufrauungsbehandlung für die Oberfläche eines Gebiets des Leiterrahmens 3-2, das keinen Basisabschnitt 3a aufweist, und eine Aufrauungsbehandlung für die Seitenflächen des Basisabschnitts 3a mit in etwa dem gleichen Aufrauungsgrad ausgeführt werden, der Vorteil erzielt werden kann, dass ein gut ausgeglichener Haftgrad erreicht werden kann, wenn das Gießharz eingespritzt wird. Es ist jedoch auch möglich, wenn auch nicht mehr im Rahmen der vorliegenden Erfindung, eine Aufrauungsbehandlung nur auf die Seitenflächen des Basisabschnitts 3a und nicht auf die Oberfläche des Leiterrahmens 3-2 anzuwenden.

<Aufrauungsbehandlung>

[0025] Hier wird eine Aufrauungsbehandlung beschrieben, die auf den Leiterrahmen anzuwenden ist. Unregelmäßigkeiten, die durch eine Aufrauungsbehandlung hervorgerufen werden, betragen wünschenswerterweise etwa einige μm , weil die Lotbenetzbarkeit gesteuert werden muss und der Haftgrad des Gießharzes erhöht werden muss.

[0026] Die Aufrauungsbehandlung ist vorzugsweise eine Behandlung in der Art eines Ätzens, die chemisch Unregelmäßigkeiten auf einer Oberfläche bildet. Es ist jedoch auch möglich, eine Behandlung in der Art eines Sandstrahlens zu verwenden, die physikalisch Unregelmäßigkeiten auf einer Oberfläche bildet. Ferner ist es in Bezug auf eine Aufrau-

hungsbehandlung, die chemisch Unregelmäßigkeiten bildet, möglich, eine Schwärzungsreduktionsbehandlung oder ein Ätzen zu verwenden, wobei eine Grübchenmaske verwendet wird, wobei dies von einem Ätzen verschieden ist, bei dem einfach Säuren verwendet werden.

[0027] Die Aufrauungsbehandlung wird für den Leiterraum 3-2 mit dem Basisabschnitt 3a auf die Seitenflächen des Basisabschnitts 3a und den Hauptkörper des Leiterraums 3-2 angewendet. Um die Zuverlässigkeit weiter zu erhöhen, kann eine Aufrauungsbehandlung auch auf den anderen Leiterraum 3-1 ohne den Basisabschnitt 3a angewendet werden.

[0028] Wie vorstehend beschrieben, wird der Leiterraum 3-2 teilweise aufgerauht, so dass ein Abschnitt, der in Kontakt mit dem Gießharz 4 gelangt, aufgerauht wird, während eine Oberfläche, die mit dem zweiten Lot zu verbinden ist, nicht aufgerauht wird. Für einen Prozess einer solchen Aufrauungsbehandlung ist es bevorzugt, ein Verfahren zu verwenden, bei dem, im Unterschied dazu, dass die mit dem zweiten Lot zu verbindende Oberfläche maskiert wird, die mit dem zweiten Lot zu verbindende Oberfläche durch maschinelle Bearbeitung in der Art eines Polierens entfernt wird, nachdem der Leiterraum 3-2 vollständig aufgerauht wurde. Alternativ ist es auch möglich, für eine Lötverbindungsfläche des Leiterraums, die vollkommen aufgerauht wurde, das Lot vor der Verbindung mit dem Chip mit der Leiterraumseite zu verbinden.

<In Bezug auf das Lot>

[0029] Für das Lot müssen sorgfältig Lötmaterialien, das Verbindungsverfahren und Verbindungsbedingungen ausgewählt werden, wobei die Spezifikationen des Chips 1 und der Leiterraum 3-1 und 3-2 berücksichtigt werden.

(i) Lötmaterialien

[0030] In Bezug auf die Lötmaterialien werden vorzugsweise typische Lote auf Sn-Basis verwendet. Um die Benetzbarkeit zu erhöhen, kann auch ein Sn-Ag-basiertes Lot verwendet werden. Wenn Bedenken hinsichtlich eines Verlusts der Ni-metallisierten Oberfläche des Chips bestehen, kann auch ein Sn-Cu-basiertes Lot verwendet werden.

(ii) Lötverbindungsverfahren

[0031] In Bezug auf das Lötverbindungsverfahren ist es wünschenswert, vom herkömmlichen Chipbondprozess beispielsweise das Zuführen einer Lötlegierung oder eines Lötendrahts oder das direkte Zuführen geschmolzenen Lots auszuführen. Es kann auch ein Verfahren hinzugefügt werden, bei dem Anker auf

dem Chip 1 oder auf den Leiterraum 3-1 und 3-2 angeordnet werden oder beispielsweise ein Scheuern ausgeführt wird, wenn der Chip 1 und die Leiterraum 3-1 und 3-2 zugeführt werden.

[0032] Ein Lötverbindungsprozess (d.h. ein Wiederaufschmelzverbindungsprozess) wird genauer mit Bezug auf **Fig. 6** beschrieben. Hier wird für das Wiederaufschmelzlöten eine Vakuumwiederaufschmelzlötvorrichtung verwendet.

[0033] Zuerst wird der Leiterraum 3-1 durch ein Leiterraumbefestigungshilfsmittel befestigt, und der Chip 1 und das Lot 2 werden auf dem Leiterraum 3-1 überlagert. Dann werden der Chip 1 und das Lot 2 durch ein Chip-/Lotzufuhrhilfsmittel befestigt (siehe **Fig. 6A**)

[0034] Eine Aufrauungsbehandlung wird durch einen von jenem in **Fig. 6A** verschiedenen Schritt (nicht dargestellt) vorab auf die Oberfläche des Leiterraums 3-2 angewendet (die daher von der Lötbondfläche des Basisabschnitts 3a verschieden ist).

[0035] Nachdem der Chip 1 und das zweite Lot positioniert wurden, wird als nächstes das Chip-/Lotzufuhrhilfsmittel entfernt, so dass der Chip 1 und das zweite Lot nicht versetzt werden. Dann wird der Leiterraum 3-2, welcher der Aufrauungsbehandlung unterzogen wurde, oberhalb des Chips 1 und des zweiten Lots zugeführt, um mit der Wiederaufschmelzung verbunden zu werden (siehe **Fig. 6B**).

[0036] Während des Wiederaufschmelzprozesses wird die Atmosphäre auf eine Wasserstoffreduktionsatmosphäre gesetzt, und die Atmosphäre wird vor und nach dem Erwärmen ausgetauscht. Nachdem die Atmosphäre durch eine H₂-Reduktionsatmosphäre ausgetauscht wurde, wird mit dem Erhöhen der Temperatur begonnen, und die Verbindung wird unter Verwendung eines Temperaturprofils mit einer Spitze von 250 °C ausgeführt. Nachdem die Temperatur die Spitzentemperatur erreicht hat, wird ein Vakuumausgasen ausgeführt, um Hohlräume im Lot zu entfernen. Wenn das Lot schmilzt und die Oberflächenspannung durch das Aufschmelzen wirkt, wird die Form des Lotabschnitts 2 in **Fig. 6C** geändert. Nachdem das Lot abgekühlt ist, wird die Atmosphäre ausgetauscht und wird der Wiederaufschmelzverbindungsprozess beendet (siehe **Fig. 6C**).

[0037] Schließlich wird der Raum zwischen dem Leiterraum 3-1 und dem Leiterraum 3-2 mit Gießharz gefüllt (nicht dargestellt).

(iii) Verbindungsbedingungen

[0038] In Bezug auf die Verbindungsbedingungen kann die Temperatur aus dem Bereich zwischen

dem Schmelzpunkt des zu verwendenden Lots und etwa 350 °C ausgewählt werden. Zum Erhöhen der Benetzbarkeit wird vorzugsweise eine Temperatur auf der Hochtemperaturseite ausgewählt, während, wenn Bedenken hinsichtlich eines Verlusts der Ni-metallisierten Oberfläche des Chips 1 bestehen, vorzugsweise eine Temperatur auf der Niedertemperaturseite ausgewählt wird. Die Atmosphäre während des Verbindens ist statt Luft wünschenswerterweise eine N₂-Atmosphäre. Ferner sollte die Atmosphäre zum Erhöhen der Benetzbarkeit auf eine reduzierende Atmosphäre in der Art einer H₂- oder Ameisensäureatmosphäre gesetzt werden.

<Vorteilhafte Wirkungen der Ausführungsform>

[0039] Gemäß der vorstehend erwähnten Struktur der Halbleitervorrichtung der vorliegenden Erfindung wird der Basisabschnitt mit dem Leiterrahmen 3-2 (d.h. dem zweiten Leiterrahmen) integral ausgebildet (was nicht bedeutet, dass getrennte Komponenten mit Lot oder dergleichen verbunden werden) und werden die Seitenflächen des Basisabschnitts und die Oberfläche eines Abschnitts des Hauptkörpers des Leiterrahmens, der in Kontakt mit Gießharz gelangt, aufgeraut. Daher kann ein Benetzen mit dem Lot verhindert werden, wodurch andernfalls Verbindungsfehler des Lots oder ein Chipversatz hervorgerufen werden würden. Zusätzlich ist es auch möglich, den Haftgrad zwischen Gießharz, das später für das Versiegeln verwendet wird, und den Leiterrahmen zu erhöhen und auf diese Weise das Abschälen des Gießharzes zu verhindern, wodurch der Chip andernfalls brechen würde oder die Lebensdauer des Lötverbindungsabschnitts verkürzt werden würde. Dementsprechend können Fehler verringert werden, die während der Lötverbindung auftreten können, und kann ein sehr zuverlässiges Leistungsmodul erhalten werden.

[Beispiele]

[Beispiel 1]

[0040] Beispiel 1 der vorliegenden Erfindung wird nachstehend beschrieben. Hier wurde ein Cu-Leiterrahmen mit einem damit integral ausgebildeten Basisabschnitt als Probe verwendet. Es wurden zwei Typen von Leiterrahmen verwendet, nämlich ein Leiterrahmen mit einer massiven Cu-Oberfläche ohne Rauigkeit und ein Leiterrahmen, der durch teilweises Aufrauen der Seitenfläche eines Basisabschnitts sowie des Hauptkörpers des Leiterrahmens erhalten wurde.

[0041] Die Teilrauigkeit des Leiterrahmens wurde durch einmaliges Aufrauen des gesamten Leiterrahmens und anschließendes Beseitigen der Rauigkeit der Lötverbindungsfläche des Basisabschnitts durch Polieren gebildet. Für das Lot wurde

ein lagenförmiges Sn₃Ag_{0,5}Cu-Lot verwendet. Für das Wiederaufschmelzen wurde eine Vakuumwiederaufschmelzlötvorrichtung verwendet, und das Verbinden wurde unter Verwendung eines Temperaturprofils mit einer Spitze von 250 °C ausgeführt.

[0042] Eine Lötverbindung wurde an 20 Proben ausgeführt, und das Vorhandensein oder Nichtvorhandensein einer Benetzung mit dem Lot, Verbindungsfehler des Lots und die Erzeugung eines Chipversatzes wurden bestätigt.

[0043] Fig. 7 zeigt die Ergebnisse. Wie aus Fig. 7 ersichtlich ist, wurden, wenn Leiterrahmen verwendet wurden, auf die keine Aufrauungsbehandlung angewendet wurde, die vorstehend erwähnten Fehler erzeugt, während, wenn Leiterrahmen verwendet wurden, auf die eine Aufrauungsbehandlung angewendet wurde, kein Fehler erzeugt wurde.

[0044] Danach wurde ein Harzgießen auf jedem mit dem Chip verbundenen Leiterrahmen ausgeführt. Danach wurde ein Temperaturzyklustest ausgeführt. In Bezug auf die Leiterrahmen ohne Rauigkeit wurde ein Abschälen von Harz an allen Proben vorgenommen, und Chiprisse wurden in 5 der 20 Proben erzeugt.

[0045] Dagegen wurden bei den Leiterrahmen mit einer Teilrauigkeit Chiprisse in keiner Probe erzeugt. Ferner wiesen die Leiterrahmen mit einer Teilrauigkeit, was die Ermüdungsdauer des Lots angeht, kleinere Abschnitte sich entwickelnder Risse auf als die Leiterrahmen ohne Rauigkeit und sind demgemäß langlebiger.

[Beispiel 2]

[0046] Beispiel 2 der vorliegenden Erfindung wird nachstehend beschrieben. Wie in Beispiel 1 wurde ein Cu-Leiterrahmen mit einem damit integral ausgebildeten Basisabschnitt als Probe verwendet. Wie in Beispiel 1 wurden zwei Typen von Leiterrahmen verwendet, nämlich ein durch Aufrauen der Seitenflächen eines Basisabschnitts sowie des Hauptkörpers des Leiterrahmens erhaltener Leiterrahmen und ein Leiterrahmen mit einer massiven Cu-Oberfläche ohne Rauigkeit. Die Teilrauigkeit des Leiterrahmens wurde durch Maskieren einer Lötverbindungsfläche und anschließendes Eintauchen des Leiterrahmens in Säuren und darauf folgendes Abschälen der Maske gebildet. Für das Lot wurde ein lagenförmiges Sn₃Ag_{0,5}Cu-Lot verwendet. Für das Wiederaufschmelzen wurde eine Vakuumwiederaufschmelzlötvorrichtung verwendet, und das Verbinden wurde unter Verwendung eines Temperaturprofils mit einer Spitze von 250 °C ausgeführt.

[0047] Eine Lötverbindung wurde an 20 Proben ausgeführt, und das Vorhandensein oder Nichtvorhan-

densein einer Benetzung mit dem Lot, Verbindungsfehler des Lots und die Erzeugung eines Chipversatzes wurden bestätigt.

[0048] Fig. 8 zeigt die Ergebnisse. Wenn die Leiterahmen verwendet wurden, auf die keine Aufrauungsbehandlung angewendet wurde, wurden die vorstehend erwähnten Fehler erzeugt, während, wenn die Leiterrahmen verwendet wurden, auf die eine Aufrauungsbehandlung angewendet wurde, kein Fehler erzeugt wurde.

[0049] Danach wurde ein Harzgießen auf jedem mit dem Chip verbundenen Leiterrahmen ausgeführt. Danach wurde ein Temperaturzyklustest ausgeführt. In Bezug auf die Leiterrahmen ohne Rauigkeit wurde ein Abschälen von Harz an allen Proben vorgenommen, und Chiprisse wurden in 7 der 20 Proben erzeugt. Dagegen wurden bei den Leiterrahmen mit einer Teilrauigkeit Chiprisse in keiner Probe erzeugt. Ferner wiesen die Leiterrahmen mit einer Teilrauigkeit, was die Ermüdungsdauer des Lots angeht, kleinere Abschnitte sich entwickelnder Risse auf als die Leiterrahmen ohne Rauigkeit und sind demgemäß langlebiger.

[Industrielle Anwendbarkeit]

[0050] In der künftigen hochentwickelten Informationsgesellschaft wird es einen hohen Bedarf an elektrischer Energie geben. Es wird in Zusammenhang mit Umweltproblemen auch einen Bedarf an der Einsparung von Energie geben, und es wird vollständig elektrische Häuser geben, um in Hinblick auf die Verringerung von CO₂-Emissionen fossile Kraftstoffe zu reduzieren. Vor diesem Hintergrund wird davon ausgegangen, dass die Rolle der Leistungselektronik für die hocheffiziente Verwendung von Energie immer wichtiger wird.

[0051] Auf dem Gebiet der Leistungselektronik besteht ein hoher Bedarf an der Größenverringern von Modulen sowie an einer Erhöhung des Umfangs der Wärmeabfuhr, um Energie wirksamer zu verwenden. Daher sollte diese Möglichkeit untersucht werden.

[0052] Die vorliegende Erfindung wird als für alle Module wirksam angesehen, die durch Verbinden der entgegengesetzten Seiten eines Chips mit Lot erhalten werden.

Bezugszeichenliste

1	Chip
2	erstes Lot, Lot
3	Leiterrahmen
3a	Zuleitungsbasisabschnitt (Basisabschnitt)

4	Gießharz
5	CAN-Zustands-Kühlrippen
6	der Aufrauungsbehandlung unterzogener Abschnitt

Patentansprüche

1. Halbleitervorrichtung, welche folgendes aufweist:

ein Halbleiterelement (1),
einen ersten Leiterrahmen (3-1), der durch ein erstes Lot (2) mit einer Hauptfläche des Halbleiterelements verbunden ist, und
einen zweiten Leiterrahmen (3-2), der durch ein zweites Lot mit einer entgegengesetzten Fläche des Halbleiterelements verbunden ist, wobei ein Raum zwischen dem ersten Leiterrahmen und dem zweiten Leiterrahmen mit einem Gießharz (4) gefüllt ist,
der zweite Leiterrahmen einen Basisabschnitt (3a) aufweist, wobei der Basisabschnitt integral mit dem zweiten Leiterrahmen ausgebildet ist und einen mit dem Halbleiterelement durch das zweite Lot zu verbindenden Oberflächenabschnitt sowie einen Seitenabschnitt aufweist,
die Oberflächenrauigkeit des Seitenabschnitts des Basisabschnitts höher ist als die Oberflächenrauigkeit des mit dem Halbleiterelement durch das zweite Lot zu verbindenden Oberflächenabschnitts des Basisabschnitts, und
die Oberflächenrauigkeiten des Seitenabschnitts des Basisabschnitts und eines Oberflächengebiets des zweiten Leiterrahmens, das keinen Basisabschnitt aufweist, vom gleichen Grad sind.

2. Halbleitervorrichtung nach Anspruch 1, wobei die Fläche des Basisabschnitts (3a), die in Kontakt mit dem zweiten Lot zur Verbindung mit dem Halbleiterelement (1) gelangt, aus dem gleichen Material besteht wie eine Fläche des Abschnitts, der von der Fläche verschieden ist, die in Kontakt mit dem Lot gelangt.

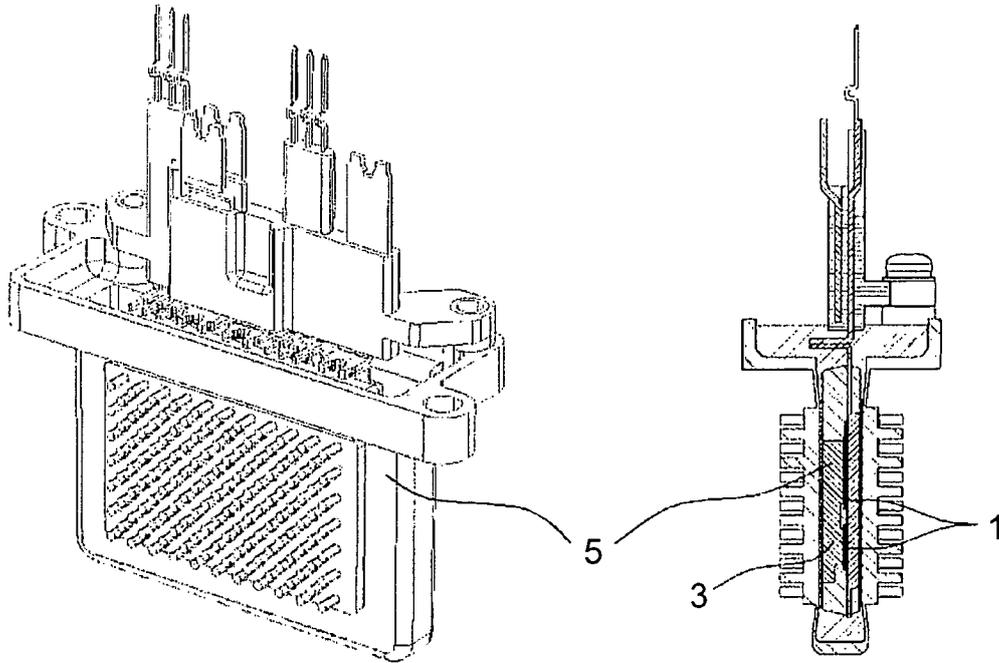
3. Verfahren zur Herstellung einer Halbleitervorrichtung, welches Folgendes aufweist:

einen ersten Schritt, um eine Verbindungsfläche eines Halbleiterelements (1) über einem ersten Leiterrahmen (3-1) zu positionieren, wobei dazwischen ein erstes Lot (2) angeordnet wird,
einen zweiten Schritt, um von einem zweiten Leiterrahmen (3-2) mit integral ausgebildetem Basisabschnitt (3a) einen mit dem Halbleiterelement zu verbindenden Oberflächenabschnitt des Basisabschnitts als eine Kontaktfläche für ein zweites Lot zu positionieren, wobei ein Seitenabschnitt des Basisabschnitts, der von dem mit dem Halbleiterelement durch das zweite Lot zu verbindenden Oberflächenabschnitt verschieden ist, rauher ist als der mit dem Halbleiterelement durch das zweite Lot zu

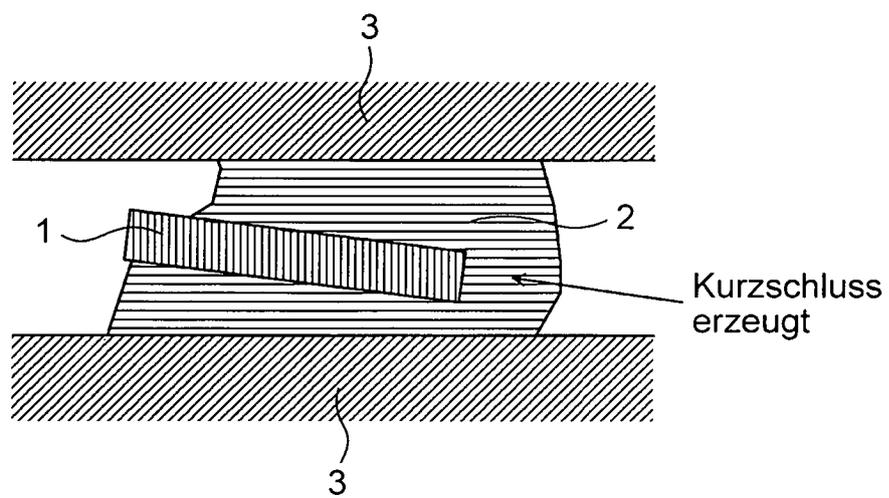
verbindende Oberflächenabschnitt des Basisabschnitts, wobei die Oberflächenrauigkeiten des Seitenabschnitts des Basisabschnitts und eines Oberflächengebiets des zweiten Leiterrahmens, das keinen Basisabschnitt aufweist, vom gleichen Grad sind und wobei das zweite Lot mit der Kontaktfläche mit dem zweiten Leiterrahmen von dem ersten Lot verschieden ist, das im ersten Schritt mit dem ersten Leiterrahmen unter dem Halbleiterelement verbunden wird, einen dritten Schritt, um nach dem zweiten Schritt den ersten und den zweiten Leiterrahmen, die positioniert wurden, zu reiben, wodurch der erste und der zweite Leiterrahmen mit dem Halbleiterelement verbunden werden, und einen vierten Schritt, um einen Raum zwischen dem ersten Leiterrahmen und dem zweiten Leiterrahmen mit einem Gießharz (4) zu füllen.

Es folgen 5 Seiten Zeichnungen

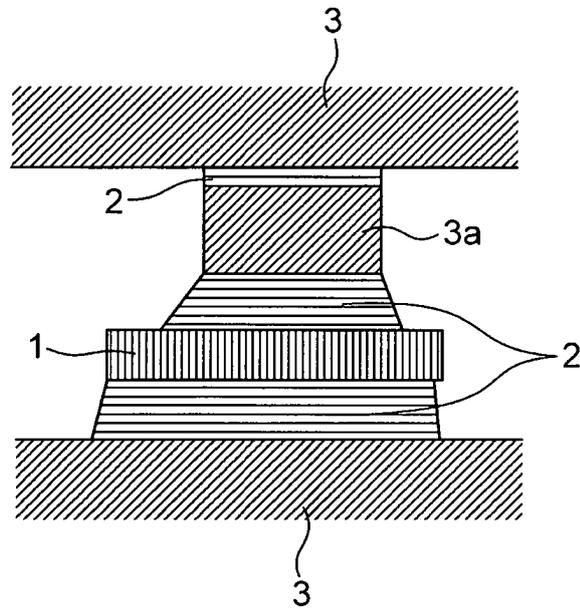
Figur 1



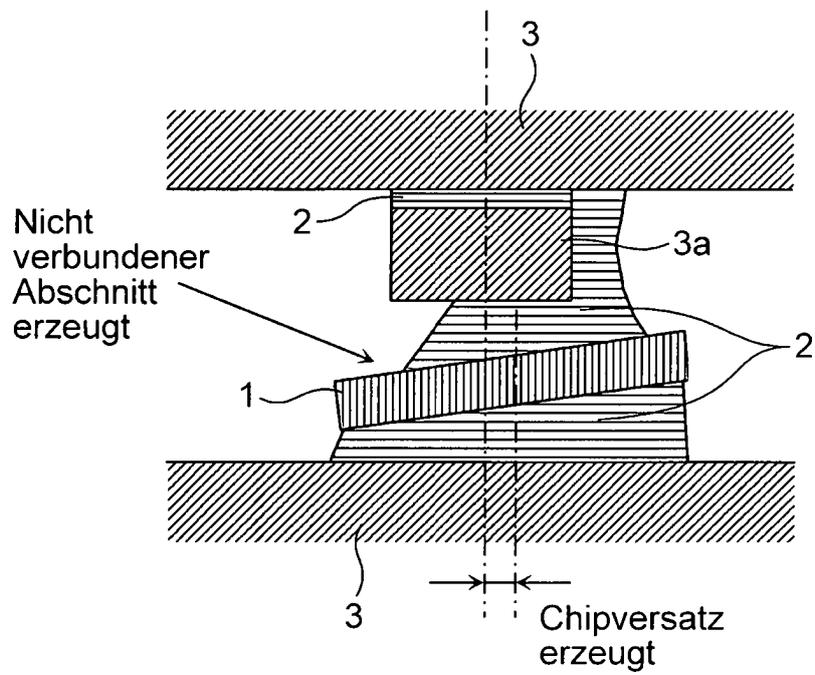
Figur 2



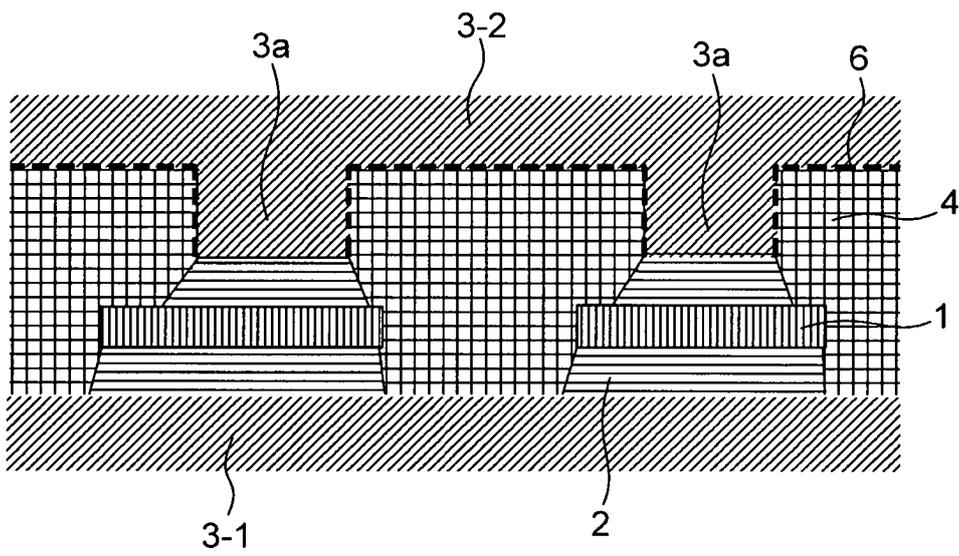
Figur 3



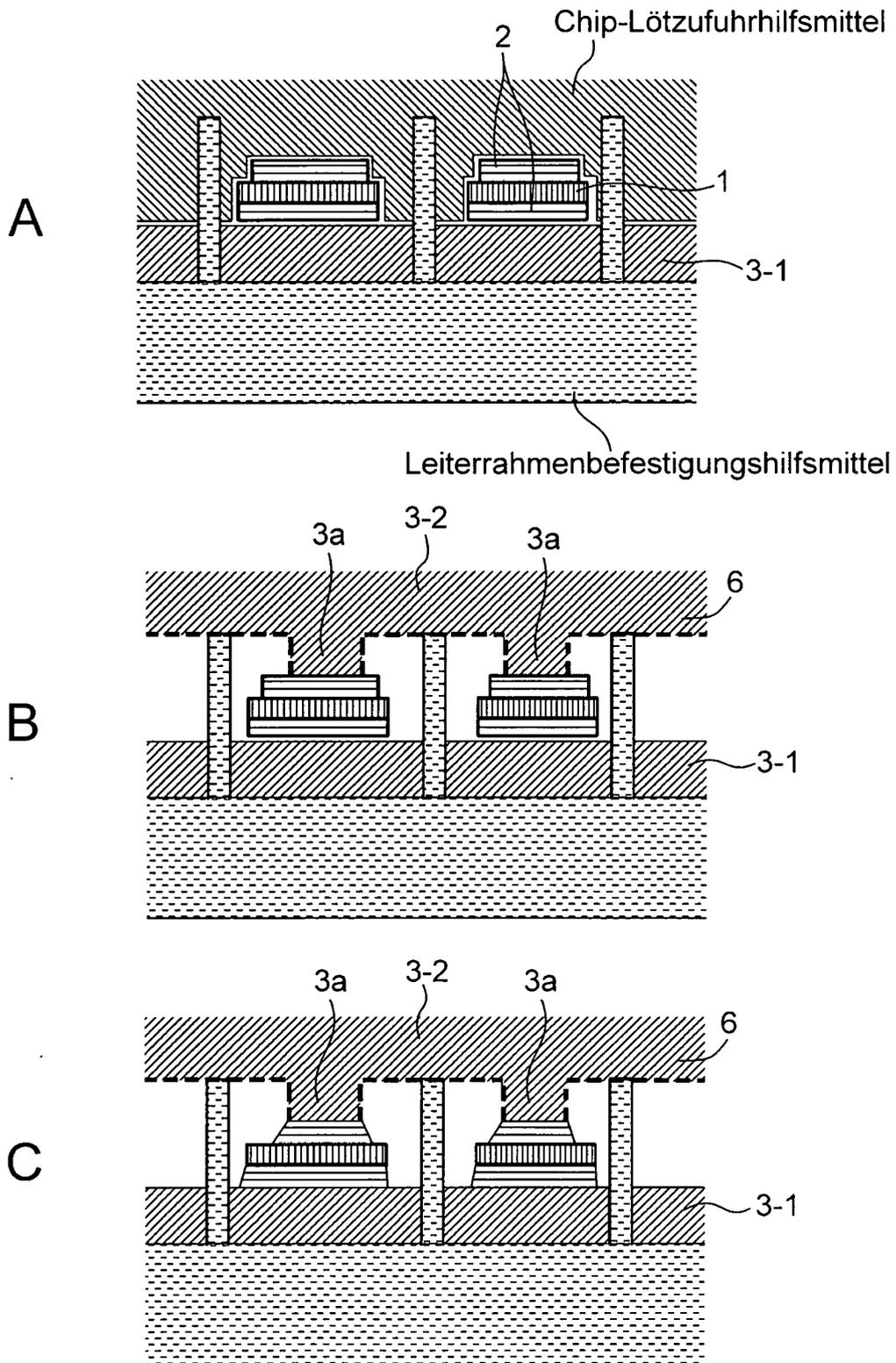
Figur 4



Figur 5



Figur 6



Figur 7

Leiterrahmen aufgeraut oder nicht	nicht aufgeraut	teilweise aufgeraut
Seitenflächen des Basisabschnitts feucht	18/20	0/20
Chipversatz	17/20	0/20
Abschälen des Gießharzes	20/20	0/20

Figur 8

Leiterrahmen aufgeraut oder nicht	nicht aufgeraut	teilweise aufgeraut
Seitenflächen des Basisabschnitts feucht	16/20	0/20
Chipversatz	19/20	0/20
Abschälen des Gießharzes	20/20	0/20