

특허청구의 범위

청구항 1

기관 위에 설치된 복수의 배선과,

상기 복수의 배선에 대응하여 설치되고, 지그재그 배치로 복수의 열을 이루는 복수의 실장 단자를 구비하는 배선 기관으로서,

상기 실장 단자는,

상기 배선과 같은 층의 제1도전막과,

상기 배선 및 상기 제1도전막을 덮고, 상기 제1도전막 위에 개구부를 갖는 절연막과,

상기 개구부를 통해 상기 제1도전막과 전기적으로 접속하는 상층 도전막을 구비하고,

상기 절연막은,

상기 복수의 실장 단자가 지그재그 배치로 복수의 열을 이뤄서 설치된 영역의 외측에 설치된 후막부와,

상기 개구부와 상기 지그재그 배치의 열방향에 인접하는 영역에 설치되고, 상기 후막부보다 막두께가 얇은 박막부를 갖는 것을 특징으로 하는 배선 기관.

청구항 2

제 1항에 있어서,

인접하는 상기 배선에 대응하는 상기 실장 단자 사이에, 상기 후막부가 더 설치되어 있는 것을 특징으로 하는 배선 기관.

청구항 3

제 1항에 있어서,

인접하는 상기 배선에 대응하는 상기 실장 단자 사이에, 상기 박막부가 더 설치되어 있는 것을 특징으로 하는 배선 기관.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 절연막은,

상기 제1도전막 위에 형성된 제1절연막과,

상기 제1절연막 위에 형성된 제2절연막과,

상기 제2절연막 위에 형성된 제3절연막을 포함하고,

상기 박막부에서는, 상기 제2절연막 및 상기 제3절연막이 제거되고, 상기 제1절연막이 잔재하고 있으며,

상기 후막부에서는, 상기 제1절연막, 상기 제2절연막 및 상기 제3절연막이 잔재하고 있는 것을 특징으로 하는 배선 기관.

청구항 5

제 4항에 있어서,

상기 배선은, 상기 박막부와 중복하는 영역에 있어서, 상기 제1절연막에 피복되어 있는 것을 특징으로 하는 배선 기관.

청구항 6

제 4항에 있어서,

상기 제1절연막 위에 형성되어, 상기 개구부를 둘러싸도록 틀 모양으로 설치된 제2도전막을 더 구비하고,

상기 지그재그 배치의 열방향에 있어서, 상기 개구부는, 상기 제1도전막의 내측에 배치되도록, 그 폭이 상기 제1도전막보다 작게 형성되고,

상기 상층 도전막은, 상기 개구부를 덮고, 상기 틀 모양의 제2도전막과 중복하도록 형성되어 있는 것을 특징으로 하는 배선 기판.

청구항 7

제 4항에 있어서,

상기 지그재그 배치의 열방향에 있어서, 상기 개구부는, 상기 제1도전막보다 폭 넓게 형성되고,

상기 상층 도전막은, 상기 제1도전막을 덮도록, 상기 제1도전막보다 크게 형성되어 있는 것을 특징으로 하는 배선 기판.

청구항 8

제 7항에 있어서,

상기 박막부에서, 상기 배선을 덮는 상기 제1절연막 위에, 반도체층으로 이루어지는 패턴이 적층 되어 있는 것을 특징으로 하는 배선 기판.

청구항 9

제 1항 내지 제 3항 중 어느 한 항에 기재된 배선 기판과, 이방성 도전막을 통해 상기 배선 기판에 접속되는 실장 부품을 갖는 것을 특징으로 하는 표시장치.

청구항 10

복수의 배선과,

상기 복수의 배선에 대응하여 설치되고, 지그재그 배치로 복수의 열을 이루는 복수의 실장 단자를 구비하는 배선 기판의 제조 방법으로서,

기판 위에, 상기 배선과, 상기 실장 단자의 제1도전막을 형성하는 공정과,

상기 배선 및 상기 제1도전막을 덮고, 상기 제1도전막 위에 개구부를 갖는 절연막을 형성하는 공정과,

상기 개구부를 통해 상기 제1도전막과 전기적으로 접속하는 상층 도전막을 형성하는 공정을 구비하고,

상기 절연막을 형성하는 공정에서는, 상기 복수의 실장 단자가 지그재그 배치로 복수의 열을 이뤄서 설치된 영역의 외측에 후막부를 형성하는 동시에, 상기 개구부와 상기 지그재그 배치의 열방향에 인접하는 영역에, 상기 후막부보다 막두께가 얇은 박막부를 형성하는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 11

제 10항에 있어서,

상기 후막부가, 인접하는 상기 배선에 대응하는 상기 실장 단자 사이에 더 형성되는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 12

제 10항에 있어서,

상기 박막부가, 인접하는 상기 배선에 대응하는 상기 실장 단자 사이에 더 형성되는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 13

제 10항 내지 제 12항 중 어느 한 항에 있어서,

상기 절연막을 형성하는 공정은,

상기 배선 및 상기 제1도전막을 덮는 제1절연막을 형성하는 공정과,

상기 제1절연막 위에 제2절연막을 형성하는 공정과,

상기 제2절연막 위에 제3절연막을 형성하는 공정과,

상기 제3절연막을 형성한 후, 상기 절연막에 상기 박막부 및 상기 개구부를 형성하는 공정을 구비하는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 14

제 13항에 있어서,

상기 개구부에서는, 상기 제1절연막, 상기 제2절연막 및 상기 제3절연막이 제거되고,

상기 박막부에서는, 상기 제2절연막 및 상기 제3절연막이 제거되고,

상기 후막부에서는, 상기 제1절연막, 상기 제2절연막 및 상기 제3절연막이 잔재하고 있는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 15

제 13항에 있어서,

상기 박막부가 되는 영역의 상기 배선을 덮도록, 상기 제1절연막과 상기 제2절연막 사이에 제2도전막을 형성하는 공정을 더 구비하고,

상기 박막부 및 상기 개구부를 형성하는 공정에서는, 상기 박막부의 상기 제2도전막을 에칭 스톱퍼로서 이용하고, 상기 개구부와 함께 상기 제2도전막이 노출한 상기 박막부를 형성하는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 16

제 15항에 있어서,

상기 상층 도전막을 통해, 상기 박막부에 노출한 상기 제2도전막을 제거하는 공정을 더 구비하는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 17

제 13항에 있어서,

상기 제2도전막을 형성하는 공정에서는 상기 개구부가 되는 영역을 둘러싸도록 형성하고,

상기 박막부 및 상기 개구부를 형성하는 공정에서는, 상기 지그재그 배치의 열방향에 있어서, 상기 제1도전막의 내측에 배치되도록 상기 개구부를 형성하고,

상기 상층 도전층을 형성하는 공정에서는, 상기 개구부를 피복하도록, 상기 개구부를 둘러싸는 제2도전막과 중복하여 형성하는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 18

제 13항에 있어서,

상기 박막부 및 상기 개구부를 형성하는 공정에서는, 상기 지그재그 배치의 열방향에 있어서, 상기 제1도전막보다 폭이 넓은 상기 개구부를 형성하고,

상기 상층 도전막을 형성하는 공정에서는, 상기 제1도전막을 피복하도록, 상기 제1도전막보다 크게 형성하는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 19

제 18항에 있어서,

상기 제1절연막과 상기 제2도전막 사이에, 반도체층을 형성하는 공정을 더 구비하고,

상기 박막부 및 상기 개구부를 형성하는 공정에서는, 상기 제2절연막, 상기반도체층 및 상기 제1절연막을 관통하고, 상기 제1도전막이 노출한 개구부와, 상기 개구부와 상기 지그재그 배치의 열방향에 인접하는 영역에, 상기 제2절연막을 관통하고, 상기 제2도전막이 노출한 박막부를 형성하는 것을 특징으로 하는 배선 기관의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은, 배선 기관, 그 제조 방법 및 표시장치에 관한 것이다.

배경기술

<2> 액정표시장치는, 박형, 경량, 저소비 전력으로, 다수의 기기의 표시장치로서 사용되고 있다. 특히, 휴대전화 등의 휴대 정보기기에서는, 소형화, 박형화에 따라, 액정표시장치를 구동하는 드라이버 IC의 실장 방법으로서, COG(Chip On Glass)실장이 많이 이용되도록 되어 있다.

<3> COG실장은, 실장 단자가 형성된 유리 기관 위에, 직접 드라이버 IC를 실장하는 방법이다. COG실장에서는, 대부분의 경우, 이방성 도전막(ACF:Anisotropic Conductive Film)을 통해, 실장 단자와 드라이버 IC가 전기적으로 접속된다(예를 들면 특허문헌 1). ACF은, 절연성의 열경화형 접착제 안에, 수지제 볼에 Au나 Ni가 코팅된 도전 입자가 분산되고 있는 것이다.

<4> 최근, 휴대 정보기기에 사용되고 있는 액정표시장치는, 고해상도화에 따라, 화소(도트) 피치가 40~60 μ m정도까지 작아지고 있다. 이러한 협소 피치에서는, 실장 단자 간의 간격이 좁아져, 드라이버 IC의 실장이 곤란하게 된다. 그래서, 실장 단자의 피치를 확보하기 위해, 실장 단자를 지그재그 배치로 하는 것이 통상 행해지고 있다(특허문헌 2). 예를 들면 2열의 지그재그 배치로는, 실장 단자의 피치를 배선 피치의 2배로 넓게 할 수 있다.

<5> 도 15는, 종래의 액정표시장치에 있어서의 실장 단자의 구성을 나타낸 평면도다. 도 16은, 도 15의 XVI-XVI단면도다. 도 15에 나타내는 바와 같이, 배선(2a)에는, 각각 실장 단자(6)가 형성되어 있다. 여기에서는, 실장 단자(6)는, 2열의 지그재그 배치로 되어 있다. 따라서, 인접하는 실장 단자(6) 사이에는, 배선(2a)가 배치되어 있다.

<6> 실장 단자(6)는, 도 16에 나타내는 바와 같이 적층구조이다. 즉, 기관(1) 위에, 배선(2a)과 같은 층의 제1도전막(2)이 형성되어 있다. 그리고, 제1도전막(2) 위에 개구부(5)를 갖는 절연막(4)이 적층된다. 또한, 개구부(5)를 피복하도록, 상층 도전막(7)이 설치된다. 드라이버 IC(11)에는, Au등의 돌기 전극(범프(12))이 형성되어 있다. COG실장에서는, 이 범프(12)와 실장 단자(6)의 개구부(5)를 위치 맞춤하여, 열압착한다. 이에 따라 ACF(13)의 도전 입자(14)를 통해 드라이버 IC(11)와 실장 단자(6)의 전도가 행해지고 있다.

<7> [특허문헌 1] 일본국 공개특허공보 특개 2002-229058호

<8> [특허문헌 2] 일본국 공개특허공보 특개 2002-196703호

발명의 내용

해결하고자하는 과제

<9> 그러나, 최근의 협소 피치화에 의해, 도 15 및 도 16과 같은 지그재그 배치에 있어서도, 실장 단자(6)의 피치 L는 30~40 μ m정도로 매우 좁아지고 있다. 이것에 따라, 실장 단자(6)는, 제1도전막(2)의 폭 치수를 축소할 설계로 할 필요가 있다. 즉, 드라이버 IC(11)와의 전도를 취하기 위해 설치된 개구부(5)의 폭 치수도, 작게 할 필요가 있다. 그 결과, COG실장에서는, 실장 단자(6)의 폭 방향에 있어서의 범프(12)와 개구부(5)의 위치 맞춤 정밀도의 향상이 더욱 요구되게 되었다. 즉, COG실장에 있어서, 위치 맞춤 정밀도의 실장 단자(6)의 폭 방향에 있어서의 허용오차범위는, 점점 좁아지고 있다.

- <10> 여기에서, 도 15 및 도 16에 나타내는 종래의 액정표시장치에서는, 개구부(5)주변의 절연막(4)은, 절연막 4a, 4b, 4c로 구성되어 있다. 즉, 게이트 절연막 등으로 이루어지는 절연막 4a, TFT위에 설치되는 층간 절연막 등으로 이루어지는 절연막 4b, 그리고 요철 패턴이 형성되는 유기막 등으로 이루어지는 절연막 4c가 순차 적층된 적층구조로 되어 있다. 따라서, 실장 단자(6)의 개구부(5) 위와, 실장 단자(6) 사이의 영역 위 사이에는, 도 16에 나타내는 바와 같이 단자 d가 존재한다. 그 때문에 위치 맞춤 정밀도의 허용오차범위를 넘어 위치 맞춤이 행해지면, 범프(12)가 절연막(4) 위로 타오르게 되어, 개구부(5) 안으로 들어가지 않는다. 따라서, 다음과 같은 문제가 생기게 된다.
- <11> 도 15 및 도 16과 같이 ACF(13)을 통한 실장에서는, 범프(12)와 실장 단자(6)의 중복 면적이 감소하므로, 전도에 기여하는 도전 입자(14)의 수가 적어진다. 그 결과, 전도불량의 발생이 증가한다. 또한, 범프(12)가 개구부(5) 안으로 들어가지 않기 때문에, 개구부(5)안의 도전 입자(14)가 매워지지 않아, 충분한 압착을 할 수 없게 된다. 그 때문에 실장 직후에 전도가 취해지고 있는 경우에도, 사용중에 전도불량이 발생하게 되는 경우가 있어, 신뢰성에 문제가 있었다.
- <12> 또한 ACF(13)을 통하지 않고, 범프(12)와 실장 단자(6)를 직접 접촉시키는 실장에서는, 개구부(5)주변의 절연막(4) 위에 설치된 상층 도전막(7)만이 범프(12)와 접촉하게 된다. 따라서, 범프(12)와 실장 단자(6)의 접촉 면적은, 대폭 감소한다. 그 결과, 범프(12)와 실장 단자(6) 사이의 저항이 증가하고, 전도불량이 발생하게 된다.
- <13> 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 실장 단자와 외부 회로의 실장에 있어서, 위치 맞춤 정밀도의 허용오차범위를 확대하는 것이 가능한 배선 기판, 그 제조 방법 및 표시장치를 제공하는 것을 목적으로 한다.

과제 해결수단

- <14> 본 발명에 따른 배선 기판은, 기판 위에 설치된 복수의 배선과, 상기 복수의 배선에 대응하여 설치되어, 지그재그 배치로 복수의 열을 이루는 복수의 실장 단자를 구비하는 배선 기판으로서, 상기 실장 단자는, 상기 배선과 같은 층의 제1도전막과, 상기 배선 및 상기 제1도전막을 덮고, 상기 제1도전막 위에 개구부를 갖는 절연막과, 상기 개구부를 통해 상기 제1도전막과 전기적으로 접속하는 상층 도전막을 구비하고, 상기 절연막은, 상기 복수의 실장 단자가 지그재그 배치로 복수의 열을 이뤄서 설치된 영역의 외측에 설치된 후막부와, 상기 개구부와 상기 지그재그 배치의 열방향에 인접하는 영역에 설치되어, 상기 후막부보다 막두께가 얇은 박막부를 갖는 것이다.
- <15> 또한 본 발명에 따른 배선 기판의 제조 방법은, 복수의 배선과, 상기 복수의 배선에 대응하여 설치되어, 지그재그 배치로 복수의 열을 이루는 복수의 실장 단자를 구비하는 배선 기판의 제조 방법으로서, 기판 위에, 상기 배선과, 상기 실장 단자의 제1도전막을 형성하는 공정과, 상기 배선 및 상기 제1도전막을 덮고, 상기 제1도전막 위에 개구부를 갖는 절연막을 형성하는 공정과, 상기 개구부를 통해 상기 제1도전막과 전기적으로 접속하는 상층 도전막을 형성하는 공정을 구비하고, 상기 절연막을 형성하는 공정에서는 상기 복수의 실장 단자가 지그재그 배치로 복수의 열을 이뤄서 설치된 영역의 외측에 후막부를 형성하는 동시에, 상기 개구부와 상기 지그재그 배치의 열방향에 인접하는 영역에, 상기 후막부보다 막두께가 얇은 박막부를 형성하는 것이다.

효과

- <16> 본 발명에 의하면, 실장 단자와 외부 회로의 실장에 있어서, 위치 맞춤 정밀도의 허용오차범위를 확대하는 것이 가능한 배선 기판, 그 제조 방법 및 표시장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- <17> 실시예 1.
- <18> 처음에, 도 1을 사용하여, 본 발명에 따른 표시장치에 대하여 설명한다. 도 1은, 표시장치에 이용되는 TFT어레이 기판의 구성을 나타내는 정면도다. 본 발명에 따른 표시장치는, 액정표시장치를 예로 들어 설명하지만, 어디까지나 예시적인 것이며, 유기 EL표시장치 등의 평면형 표시장치(플랫 패널 디스플레이) 등을 사용하는 것도 가능하다. 이 액정표시장치의 전체구성에 대해서는, 이하에 서술하는 제1~제5의 실시예에서 공통이다.
- <19> 본 발명에 따른 액정표시장치는, 기판(1)을 가지고 있다. 기판(1)은, 예를 들면 TFT어레이 기판 등의 어레이 기판이다. 기판(1)에는, 표시 영역(41)과 표시 영역(41)을 둘러싸도록 설치된 액틀 영역(42)이 설치된다. 이 표시 영역(41)에는, 복수의 게이트 배선(주사 신호선)(43)과 복수의 소스 배선(표시 신호선)(44)이 형성되어 있다.

복수의 게이트 배선(43)은 평행하게 설치된다. 마찬가지로, 복수의 소스 배선(44)은 평행하게 설치된다. 게이트 배선(43)과 소스 배선(44)은, 서로 교차하도록 형성되어 있다. 게이트 배선(43)과 소스 배선(44)은 직교하고 있다. 인접하는 게이트 배선(43)과 소스 배선(44)으로 둘러싸인 영역이 화소(47)가 된다. 따라서, 기판(1)에서는, 화소(47)가 매트릭스 모양으로 배열된다.

- <20> 기판(1)의 액틀 영역(42)에는, 주사 신호 구동회로(45)와 표시 신호 구동회로(46)가 설치된다. 게이트 배선(43)은, 표시 영역(41)부터 액틀 영역(42)까지 연장 설치되고, 기판(1)의 단부에서, 주사 신호 구동회로(45)에 접속된다. 소스 배선(44)도 마찬가지로, 표시 영역(41)부터 액틀 영역(42)까지 연장 설치되고, 기판(1)의 단부에서, 표시 신호 구동회로(46)와 접속된다. 주사 신호 구동회로(45)의 근방에는, 외부 배선 48이 접속되어 있다. 또한 표시 신호 구동회로(46)의 근방에는, 외부 배선 49가 접속되어 있다. 외부 배선 48, 49는, 예를 들면 FPC(Flexible Printed Circuit)등의 배선 기판이다.
- <21> 외부 배선 48, 49를 통해 주사 신호 구동회로(45) 및 표시 신호 구동회로(46)에 외부로부터의 각종 신호가 공급된다. 주사 신호 구동회로(45)는 외부로부터의 제어 신호에 의거하여 게이트 신호(주사 신호)를 게이트 배선(43)에 공급한다. 이 게이트 신호에 의해, 게이트 배선(43)이 순차 선택되어 간다. 표시 신호 구동회로(46)는 외부로부터의 제어 신호나, 표시 데이터에 의거하여 표시 신호를 소스 배선(44)에 공급한다. 이에 따라 표시 데이터에 따른 표시 전압을 각 화소(47)에 공급할 수 있다.
- <22> 화소(47) 안에는, 적어도 하나의 TFT(50)가 형성되어 있다. TFT(50)는 소스 배선(44)과 게이트 배선(43)의 교차점 근방에 배치된다. 예를 들면 이 TFT(50)가 화소 전극에 표시 전압을 공급한다. 다시 말해, 게이트 배선(43)으로부터의 게이트 신호에 의해, 스위칭 소자인 TFT(50)가 온 한다. 이에 따라 소스 배선(44)으로부터, TFT(50)의 드레인 전극에 접속된 화소 전극에 표시 전압이 인가된다. 화소 전극과 대향 전극 사이에는, 표시 전압에 따른 전계가 생긴다. 또한, 기판(1)의 표면에는, 배향막(도시 생략)이 형성되어 있다.
- <23> 또한 기판(1)에는, 대향 기판이 대향하여 배치되어 있다. 대향 기판은, 예를 들면 칼라필터 기판이며, 시인측에 배치된다. 대향 기판에는, 칼라필터, 블랙 매트릭스(BM), 대향 전극 및 배향막 등이 형성되어 있다. 또한, 대향 전극은, 기판(1)측에 배치되는 경우도 있다. 기판(1)과 대향 기판 사이에는 액정층이 끼워진다. 다시 말해, 기판(1)과 대향 기판 사이에는 액정이 도입되고 있다. 또한 기판(1)과 대향 기판의 외측의 면에는, 편광판 및 위상차판 등이 설치된다. 또한 액정표시 패널의 반시인측에는, 백라이트 유닛 등이 배치된다.
- <24> 화소 전극과 대향 전극 사이의 전계에 의해, 액정이 구동된다. 다시 말해, 기판간의 액정의 배향방향이 변화된다. 이에 따라 액정층을 통과하는 빛의 편광상태가 변화된다. 다시 말해, 편광판을 통과해서 직선편광이 된 빛은 액정층에 의해, 편광상태가 변화된다. 구체적으로는, 백라이트 유닛으로부터의 빛은, 어레이 기판측의 편광판에 의해 직선편광이 된다. 이 직선편광이 액정층을 통과함으로써, 편광상태가 변화된다.
- <25> 편광 상태에 의해, 대향 기판 측의 편광판을 통과하는 광량은 변화된다. 다시 말해, 백라이트 유닛으로부터 액정표시 패널을 통과하는 투과광 중, 시인측의 편광판을 통과하는 빛의 광량이 변화된다. 액정의 배향방향은, 인가되는 표시 전압에 의해 변화된다. 따라서, 표시 전압을 제어함으로써, 시인측의 편광판을 통과하는 광량을 변화시킬 수 있다. 다시 말해, 화소마다 표시 전압을 바꿈으로써, 원하는 화상을 표시할 수 있다.
- <26> 다음에 본 실시예에 따른 실장 단자의 구성에 대해, 도 2 및 도 3을 사용하여 상세하게 설명한다. 도 2는, 실시예 1에 따른 액정표시장치의 실장 단자의 구성을 나타낸 평면도이다. 도 3은 도 2의 III-III단면도다. 본 실시예에 따른 실장 단자(6)는, 예를 들면 도 1의 액틀 영역(42)에 연장하여 설치된 게이트 배선(43)의 인회 배선에 설치되는 것이며, 주사 신호 구동회로(45)와의 접속부 부근에 형성된다. 또한 본 실시예에 따른 실장 단자(6)는, 예를 들면 표시 신호 구동회로(46)와의 접속 부근에 있어서, 소스 배선(44)의 인회 배선에 형성된다.
- <27> 도 2에 있어서, 복수의 배선(2a)이 Y방향으로 연장하여 형성되어 있다. 배선(2a)은, X방향으로 복수 나열되어 설치된다. 이하, 지그재그 배치된 실장 단자의 열방향을 X방향으로 하고, X방향과 수직인 방향을 Y방향으로 한다. 배선(2a)은, 예를 들면 도 1에 있어서의 게이트 배선(43)이나 소스 배선(44)의 인회 배선이다. 배선(2a)에는, 드라이버 IC(11)와 전도를 취하기 위한 실장 단자(6)가 각각 설치된다. 드라이버 IC(11)는, 예를 들면 도 1에 있어서의 주사 신호 구동회로(45)나 표시 신호 구동회로(46)이다. 협소 피치에 대응하기 위해, 실장 단자(6)의 나열은, 도 2에 나타내는 바와 같이 지그재그 배치로 되어 있다. 즉, 인접하는 배선(2a)의 실장 단자(6) 서로는, X방향으로 인접하여 배치되지 않고, Y방향으로 복수의 열을 이루어 배치되고 있다. 여기에서는, 2열의 지그재그 배치인 경우에 대해 예시적으로 나타내고 있으며, 실장 단자(6)가 Y방향으로 2열 나열된 구성으로 되

어 있다. 따라서, X방향으로 인접하는 실장 단자(6) 사이에는, 인접하는 배선(2a)이 배치된다.

- <28> 또한 실장 단자(6)에는, 도 3에 나타내는 바와 같이, 기관(1) 위에, 배선(2a)과 같은 층에 의해 제1도전막(2)이 형성되어 있다. 배선(2a) 및 제1도전막(2)은, A1등의 금속막에 의해 형성된다. 제1도전막(2)은, 예를 들면 게이트 배선(43) 및 소스 배선(44)의 한쪽과 같은 층으로 형성할 수 있다. 배선(2a) 및 제1도전막(2)을 피복하도록, 절연막(4)이 설치된다. 절연막(4)은, 도 16에 나타내는 종래의 액정표시장치와 마찬가지로 절연막 4a, 4b, 4c로 구성된다. 즉, TFT(50)의 게이트 절연막 등으로 이루어지는 절연막 4a(제1절연막), TFT(50)위에 설치되는 층간 절연막 등으로 이루어지는 절연막 4b(제2절연막), 그리고 요철 패턴이 형성되는 유기막 등으로 이루어지는 절연막 4c(제3절연막)가 순차 적층된 적층구조로 되어 있다. 절연막 4a, 4b는, 예를 들면 실리콘 산화막이나 실리콘 질화막 등의 무기막으로 형성되어 있다.
- <29> 본 실시예에서는, 절연막(4)에는, 개구부(5) 및 박막부(5a)가 형성되어 있다. 즉, 절연막 4b, 4c가 제거된 박막부(5a)와, 절연막 4a, 4b, 4c가 제거된 개구부(5)가 절연막(4)에 형성되어 있다. 개구부(5)는, 도 16에 나타내는 종래의 액정표시장치와 마찬가지로 제1도전막(2)위에 설치된다. 개구부(5)의 치수는 제1도전막(2)보다도 작고, 개구부(5)가 제1도전막(2)의 패턴 외형으로부터 벗어나지 않도록 배치된다. 그리고, 개구부(5)와 X방향으로 인접하는 영역에, 박막부(5a)가 설치된다. 더 구체적으로는, 박막부(5a)는, 실장 단자(6)에 인접하는 영역의 배선(2a) 위에, 개구부(5)에 인접하는 형태로 설치된다. 따라서, 박막부(5a)는, X방향으로 인접하는 개구부(5) 사이에 설치된다. 따라서, 절연막(4)에는, 개구부(5)의 X방향의 외측에 절연막 4a만을 갖는 영역(박막부(5a)), 개구부(5) 및 박막부(5a)의 Y방향의 외측에는 절연막 4a, 4b, 4c를 갖는 영역(후막부)이 형성되어 있다. 절연막(4)에 의해, 배선(2a)의 단락이나 부식이 방지된다. 즉 후막부에 있어서, 배선(2a)은 절연막 4a, 4b, 4c에 피복되고 있다. 또한 박막부(5a)에 있어서, 배선(2a)은 절연막 4a에 피복되고 있다.
- <30> 또한, 본 실시예에서는, 절연막 4a 위에, 개구부(5)를 둘러싸도록 틀 모양의 제2도전막(3)이 설치된다. 제2도전막(3)은, A1등의 금속막으로 형성된다. 제2도전막(3)은, 예를 들면 게이트 배선(43) 및 소스 배선(44)의 다른 쪽과 같은 층으로 형성할 수 있다. 제2도전막(3)은, 개구부(5) 측의 단부, 즉, 제2도전막(3)의 패턴 내형 단이, 개구부(5)의 외형과 대략 같은 위치가 되도록 배치되어 있다. 제2도전막(3)의 패턴 외형 단은, 예를 들면 제1도전막(2)의 패턴 단보다도 내측의 위치가 되도록 배치되어 있다.
- <31> 그리고, 절연막(4) 위에는, 개구부(5)를 피복하도록, 상층 도전막(7)이 설치된다. 상층 도전막(7)은, 예를 들면 제1도전막(2)보다 작은 형상으로서, 상층 도전막(7)의 패턴 외형이 제2도전막(3)의 패턴 외형 단과 대략 같은 위치가 되도록 형성되어 있다. 즉, 개구부(5)의 X방향의 주변영역으로는, 제2도전막(3)이 상층 도전막(7)과 절연막 4a 사이에 설치된다. 한편, 개구부(5)의 Y방향의 주변영역으로는, 상층 도전막(7)이 절연막 4b, 4c를 통해 제2도전막(3)과 중복하도록 설치된다. 개구부(5)를 통해, 상층 도전막(7)은 제1도전막(2)과 전기적으로 접속한다. 상층 도전막(7)은, ITO등의 도전성 산화막에 의해 형성된다. 상층 도전막(7)은, 예를 들면 화소(47) 안에 설치된 화소 전극과 같은 층의 투명 도전막에 의해 형성할 수 있다.
- <32> 이와 같이, 본 실시예의 실장 단자(6)는, 개구부(5)안의 영역에서는, 기관(1) 위에 제1도전막(2)과 상층 도전막(7)이 이 순서로 적층되어 있다. 실장 단자(6)의 외주 테두리 중, 개구부(5)의 X방향의 외측의 영역에서는, 기관(1) 위에 제1도전막(2), 절연막 4a, 제2도전막(3), 상층 도전막(7)이 적층된 구성으로 되어 있다. 실장 단자(6)의 외주 테두리 중, 개구부(5)의 Y방향의 외측의 영역에서는, 기관(1) 위에 제1도전막(2), 절연막 4a, 절연막 4b, 절연막 4c, 제2도전막(3), 상층 도전막(7)이 적층된 구성으로 되어 있다. 또한 실장 단자(6)의 X방향으로 인접하는 영역의 배선(2a)을 피복하도록, 절연막 4a가 적층되어 있다.
- <33> 이러한 구성의 실장 단자(6)와 드라이버 IC(11)는, COG실장되고, 이방성 도전막(ACF(13))을 통해 전기적으로 접속되어 있다. 구체적으로는, ACF(13)은, 절연성의 열경화형 접착제 안에, 수지제 볼에 Au나 Ni가 코팅된 도전 입자(14)가 분산되어 있다. 드라이버 IC(11)에는, 개구부(5)와 대향하는 영역에 범프(12)가 설치된다. 범프(12)는, Au등에 의해 형성된다. 이 범프(12)와 실장 단자(6)의 개구부(5)를 위치 맞춤하고, 열압착하여 COG실장한다. 이에 따라 ACF(13)의 도전 입자(14)를 통해 드라이버 IC(11)와 실장 단자(6)가 전도한다.
- <34> 여기에서, COG실장 시, 위치 맞춤에 X방향의 어긋남(X방향의 실장 위치 어긋남)이 일어나, 범프(12)가 실장 단자(6)의 개구부(5)안으로 들어가지 않고, 절연막 4a위로 올라타게 되는 경우를 생각할 수 있다. 본 실시예에서는, 실장 단자(6)의 외주 테두리 중 개구부(5)의 X방향으로 외측의 영역과, 개구부(5)의 단차 d1는 약 0.5 μ m 정도다. 이 단차는, 종래의 구성에 있어서의 단차 d에 비하여 매우 작은 값이다. 따라서, 도전 입자(14)의 지름이 3~4 μ m인 것을 고려하면, 단차 d1이 존재하고 있어도, 범프(12)와 실장 단자(6)는 문제없이 콘택을 취하는 것이 가능하게 된다. 또한 X방향으로 실장 위치 어긋남(시프트)이 일어나 배선(2a) 위에 범프(12)가 배치된다고

해도, 배선(2a)은 절연막 4a에 의해 피막되고 있으며, 범프(12)는 배선(2a)과 단락하지 않는다.

- <35> 계속해서, 본 실시예의 실장 단자의 제조 방법에 대해, 도 4를 참조하여 상세하게 설명한다. 도 4는, 실시예 1에 따른 배선 기관의 제조 공정을 나타내는 단면도다. 도 4에 나타내는 단면도는, 도 3과 마찬가지로, 도 2에 있어서의 III-III단면에 대응한다.
- <36> 우선 처음에, 스퍼터법 등에 의해, 제1도전막(2)을 기관(1)위 전체면에 퇴적한다. 제1도전막(2)으로서, Al등의 금속막을 사용할 수 있다. 제1도전막(2) 위에, 사진제판 등에 의해 레지스트를 패터닝한다. 이 레지스트 패턴을 통해 제1도전막(2)을 에칭하고, 배선(2a) 및 실장 단자(6)의 제1도전막(2)을 형성한다. 이 때, 예를 들면 게이트 배선(43) 및 소스 배선(44)의 한쪽과 같은 층으로 형성하면, 공정수를 증가시키지 않고 제1도전막(2)을 형성할 수 있다.
- <37> 다음에 플라즈마 CVD법 등에 의해, 절연막 4a를 기관(1) 전체면에 퇴적한다. 절연막 4a에는, 실리콘 질화막 등의 무기막이 이용된다. 또한 예를 들면 TFT(50)의 게이트 절연막과 같은 층으로 형성하면, 공정수를 증가시키지 않고 절연막 4a를 형성할 수 있다. 이에 따라 배선(2a) 및 실장 단자(6)의 제1도전막(2)이 절연막 4a에 피복된다. 절연막 4a의 퇴적후, TFT(50)의 반도체층이 형성된다. 또한, 본 실시예에서는, 이 반도체층은, 표시 영역(41)에 형성되지만, 도 2에 나타내는 실장 단자 주변에는 설치되지 않는다.
- <38> 그 후에 스퍼터링법 등을 사용하여 제2도전막(3)을 기관(1) 전체면에 퇴적한다. 제2도전막(3)은, Al등의 금속막에 의해 형성할 수 있다. 그리고, 제2도전막(3) 위에, 사진제판 등에 의해 레지스트 패턴을 형성한다. 이 레지스트 패턴을 통해, 제2도전막(3)을 에칭하고, 패터닝 한다. 이에 따라 도 4a에 나타내는 바와 같이, 배선(2a) 및 실장 단자(6) 위의 일부에, 제2도전막(3)의 패턴이 형성된다. 구체적으로는, 이 제2도전막(3)의 패턴은, 개구부(5)가 되는 영역을 제외한, 실장 단자(6)의 제1도전막(2) 위의 영역에 형성되어 있다. 또한 실장 단자(6)의 제1도전막(2)과 X방향으로 인접하는 영역의 배선(2a)을 덮는 영역에 형성되어 있다. 또한, 박막부(5a)가 되는 영역 위에도 형성되어 있다. 이 때, 예를 들면 게이트 배선(43) 및 소스 배선(44)의 다른 쪽과 같은 층으로 형성하면, 공정 수를 증가시키지 않고 제2도전막(3)을 형성할 수 있다.
- <39> 다음에 플라즈마 CVD법 등에 의해, 제2도전막(3)을 피복하도록, 절연막 4b를 기관(1) 전체면에 퇴적한다. 절연막 4b로서, 실리콘 질화막 등의 무기막을 사용할 수 있다. 또한, 절연막 4b위에, 유기막 등으로 이루어지는 절연막 4c를 도포한다. 이에 따라 도 4b에 나타내는 구성이 된다. 이 때, 예를 들면 층간 절연막과 같은 층으로 절연막 4b를 형성하고, 화소(47) 안에 요철 패턴이 형성되는 유기막과 같은 층으로 절연막 4c를 형성하면, 공정수가 증가하지 않는다.
- <40> 절연막 4c의 도포후, 사진제판에 의해 절연막 4c를 패터닝 한다. 이에 따라 개구부(5) 및 박막부(5a)가 되는 영역 위의 절연막 4c가 제거되고, 절연막 4b가 노출한다. 또한 절연막 4c의 패턴이 잔존한 영역이, 절연막(4)의 후막부가 된다. 이 절연막 4c패턴을 통해, 건식 에칭 등을 행하고, 절연막 4b, 4a를 일괄 제거한다. 이 때, 박막부(5a)가 되는 영역에서는, 제2도전막(3)이 에칭 스톱퍼가 된다. 따라서, 박막부(5a)에서는, 제2도전막(3) 위의 절연막 4b는 제거되지만, 제2도전막(3) 아래의 절연막 4a는 제거되지 않고 남는다. 이에 따라 도 4c에 나타내는 바와 같이, 절연막(4)에 개구부(5) 및 박막부(5a)가 동시 형성된다. 여기에서, 예를 들면 화소(47)안의 유기막에 콘택홀을 형성할 때, 동시에 절연막 4c를 패터닝 하면, 사용하는 마스크 수를 증가시키지 않고 개구부(5) 및 박막부(5a)를 형성할 수 있다.
- <41> 절연막(4)에 개구부(5) 및 박막부(5a)를 형성한 후, 스퍼터링법 등에 의해, 상층 도전막(7)을 기관(1) 전체면에 퇴적한다. 상층 도전막(7)으로서, ITO등의 투명성을 갖는 도전성 산화막을 사용할 수 있다. 그리고, 사진제판, 에칭 및 레지스트 제거의 공정을 거쳐, 상층 도전막(7)을 패터닝 한다. 이에 따라 도 4d에 나타내는 바와 같이, 개구부(5)가 상층 도전막(7)에 의해 피복된다. 이 때, 예를 들면 표시 영역(41) 안의 화소 전극과 같은 층으로 형성하면, 공정수를 증가시키지 않고 상층 도전막(7)을 형성할 수 있다.
- <42> 이 단계에서는, 인접하는 실장 단자(6)가 제2도전막(3)을 통해 쇼트한 상태의 구성으로 되어 있다. 그래서, 인접하는 실장 단자(6)가 전기적으로 격리되도록, 제2도전막(3)을 제거한다. 여기에서는, 도 4d에서 형성된 상층 도전막(7)을 마스크로 하여, 습식 에칭 등의 방법을 사용하여, 제2도전막(3)을 패터닝 한다. 이에 따라 도 4e에 나타내는 바와 같이, 표면에 노출한 제2도전막(3)이 제거된다. 즉, 박막부(5a)에 형성된 제2도전막(3) 중, 상층 도전막(7)에 피복되지 않은 영역의 제2도전막(3)만이 제거된다. 또한, 실장 단자(6)의 제1도전막(2)의 X방향으로 인접하는 영역의 배선(2a)을 덮는 영역에 형성된 제2도전막(3) 중, 절연막 4c와 중복하는 영역의 제2도전막(3)은, 제거되지 않고 배선(2a) 위를 넘는 형태로 패턴이 잔존한다. 이상의 공정을 거쳐, 본 실시예의 실장 단

자(6)가 형성된 배선 기판이 완성된다.

- <43> 이와 같이 제작한 배선 기판과, 칼라필터 등의 대향 기판을 셀재를 통해 붙인 후, 액정을 주입한다. 또한, 드라이버 IC(11)등의 실장 부품을 배선 기판에 실장한다. 드라이버 IC(11)의 실장 방법으로서, COG실장을 사용할 수 있다. 드라이버 IC(11)의 범프(12)와 배선 기판의 실장 단자(6)의 개구부(5)가 대향하도록 위치 맞춤하여 열압 착한다. 이에 따라 ACF(13)을 통해 드라이버 IC(11)와 실장 단자(6)가 전도한다. 이와 같이 하여, 본 실시예의 액정표시장치가 완성된다.
- <44> 이상과 같이, 본 실시예에서는, 배선(2a) 및 실장 단자(6)의 제1도전막(2)을 덮는 절연막 4a 위에, 제2도전막(3)을 형성한다. 이 때, 제2도전막(3)을, 개구부(5)가 되는 영역을 제외한 제1도전막(2)위의 영역, 제1도전막(2)과 X방향으로 인접하는 영역의 배선(2a)을 덮는 영역 및 박막부(5a)가 되는 영역 위에 형성한다. 이에 따라 절연막 4a, 4b, 4c를 관통하는 개구부(5)를 형성하는 동시에, 제2도전막(3)을 에칭 스톱퍼로서 절연막 4b, 4c가 제거된 박막부(5a)를 형성할 수 있다. 또한, 상층 도전막(7)을 마스크로 하여 제2도전막(3)을 제거함으로써, 인접하는 실장 단자(6) 사이를 전기적으로 격리할 수 있다. 이러한 방법에 의해, 개구부(5)와, 개구부(5)의 X방향으로 외측의 영역과의 단차 d1은, 도 16에 나타내는 종래의 단차 d와 비교하여 매우 작아진다. 따라서, X방향으로 실장 위치 어긋남이 일어나 절연막 4a위나 배선(2a) 위에 범프(12)가 타올랐다고 해도, 배선(2a)과 단락하지 않고, 실장 단자(6)와의 콘택을 확실하게 취할 수 있다. 따라서, 본 실시예의 실장 단자(6)가 형성된 표시장치에서는, 신뢰성을 향상시킬 수 있다. 이러한 구성의 실장 단자(6)는, 드라이버 IC의 실장에 있어서, 위치 맞춤 정밀도의 허용오차범위를 확대하는 것이 가능하게 된다.
- <45> 실시예 2.
- <46> 본 실시예에 따른 실장 단자의 구성에 대해서, 도 5 및 도 6을 사용하여 상세하게 설명한다. 도 5는, 실시예 2에 따른 액정표시장치의 실장 단자의 구성을 나타낸 평면도다. 도 6은 도 5의 VI-VI단면도다. 본 실시예에서는, 실장 단자부분의 구성이 실시예 1과는 다르며, 그 이외의 구성은 실시예 1과 동일하므로 설명을 생략한다.
- <47> 도 5 및 도 6에 있어서, 도 2 및 도 3과 같은 구성 부분에 대해서는 동일한 부호를 붙이고, 차이에 대하여 설명한다. 도 5에 있어서, 실시예 1과 마찬가지로 협소 피치에 대응하기 위해, 실장 단자(6)의 나열이 복수의 열을 이룬 지그재그 배치로 되어 있다. 여기에서는, 2열의 지그재그 배치인 경우에 대해서 예시적으로 나타내고 있으며, 실장 단자(6)가 Y방향으로 2열 나열된 구성으로 되어있다. 따라서, X방향으로 인접하는 실장 단자(6) 사이에는, 인접하는 배선(2a)이 배치된다.
- <48> 도 6에 있어서, 실시예 1과 마찬가지로, 실장 단자(6)에는, 기판(1) 위에 배선(2a)과 같은 층으로 제1도전막(2)이 형성되어 있다. 또한 배선(2a) 및 제1도전막(2)을 피복하도록, 절연막 4a, 4b, 4c로 이루어지는 절연막(4)이 설치된다. 절연막(4)에는, 절연막 4b, 4c가 제거된 박막부(5a) 및 절연막 4a, 4b, 4c를 관통하는 개구부(5)가 형성되어 있다.
- <49> 본 실시예에서는, 개구부(5) 및 박막부(5a)가 형성되는 영역이 실시예 1과 다르다. 즉, 개구부(5)는, 그 X방향의 폭이 실시예 1보다도 커지고 있으며, 제1도전막(2)보다 폭 넓게 형성되어 있다. 그리고, 개구부(5)와 X방향으로 인접하는 영역에 박막부(5a)가 설치된다. 따라서, 박막부(5a)는, X방향으로 인접하는 개구부(5) 사이에 설치된다. 박막부(5a)는, 그 X방향의 폭이 실시예 1보다도 작게 되어 있으며, 개구부(5)에 인접하는 영역의 배선(2a)을 넘도록 형성되어 있다. 절연막(4)에는, 실시예 1과 마찬가지로, 개구부(5)의 X방향의 외측에 절연막 4a만을 갖는 영역, 개구부(5) 및 박막부(5a)의 Y방향의 외측에는 절연막 4a, 4b, 4c를 갖는 영역이 형성된다. 절연막(4)에 의해, 배선(2a)의 단락이나 부식이 방지된다. 즉, 배선(2a)은, 절연막 4a, 4b, 4c로 피복되거나, 혹은 박막부(5a)와 중복하는 영역에 있어서는 절연막 4a로 피복되고 있다.
- <50> 그리고, 본 실시예에서는, 절연막(4) 위에는, 제1도전막(2)을 피복하도록, 상층 도전막(7)이 설치된다. 즉, 상층 도전막(7)은, 제1도전막(2)보다 큰 형상으로서, 상층 도전막(7)으로부터 제1도전막(2)이 비어져 나오지 않도록 배치되어 있다. 또한 상층 도전막(7)의 패턴과, 박막부(5a)의 외형 단은 이격되어 배치되어 있다. 개구부(5) 안에 있어서, 상층 도전막(7)은 제1도전막(2)과 전기적으로 접속한다. 또한, 본 실시예에서는, 도 2에 있어서의 실시예 1에서 나타낸, 개구부(5)를 둘러싸는 틀 모양의 제2도전막(3)은 형성되지 않는다.
- <51> 이와 같이, 본 실시예의 실장 단자(6)는, 개구부(5)안의 영역에 있어서, 기판(1) 위에 제1도전막(2)과 상층 도전막(7)이 이 순서로 적층 되어 있다. 또한 실장 단자(6)의 X방향으로 인접하는 영역의 배선(2a)을 피복하도록, 절연막 4a가 적층 되어 있다.
- <52> 이러한 구성의 실장 단자(6)와 드라이버 IC(11)는, 실시예 1과 마찬가지로, ACF(13)을 통해 COG실장되어 있다.

여기에서, COG실장 시, X방향의 실장 위치 어긋남이 일어나도, 개구부(5)안의 실장 단자(6) 위와, X방향에 인접하는 실장 단자(6)사이의 영역 상에서는 거의 단차가 없다. 그 때문에 범프(12)와 실장 단자(6)는 문제없이 콘택을 취하는 것이 가능하게 된다. 또한 X방향으로 실장 위치 어긋남이 일어나 배선(2a) 위에 범프(12)가 배치되었다고 해도, 배선(2a)은 절연막 4a에 의해 피막되고 있으며, 범프(12)는 배선(2a)과 단락하지 않는다.

- <53> 여기에서, 본 실시예의 실장 단자의 제조 방법에 대해, 도 7을 참조하여 설명한다. 도 7은, 실시예 2에 따른 배선 기관의 제조 공정을 나타내는 단면도다. 도 7에 나타내는 단면도는, 도 6과 마찬가지로, 도 5에 있어서의 VI-VI단면에 대응한다.
- <54> 본 실시예의 실장 단자(6)는, 기관(1) 위에 형성된 배선(2a) 및 제1도전막(3)을 덮는 절연막 4a를 형성 후, 실시예 1과 다른 형상의 제2도전막(3)을 형성한다. 이에 따라 도 7a에 나타내는 바와 같이, 배선(2a) 위의 일부에 제2도전막(3)의 패턴이 형성된다. 구체적으로는, 제2도전막(3)의 패턴은, 박막부(5a)가 되는 개소를 포함하는 배선(2a) 위의 영역에 형성된다. 또한 제2도전막(3)의 패턴은, X방향의 폭 치수가 배선(2a)보다도 크고, Y방향의 길이는 예를 들면 제1도전막(2)보다도 커지도록 형성한다.
- <55> 다음에 실시예 1과 마찬가지로, 절연막 4b를 기관(1) 전체에 퇴적한 후, 절연막 4c를 도포하고, 도 7b에 나타내는 구성으로 한다. 그리고, 실시예 1과 마찬가지로, 절연막 4c를 패터닝 하고, 개구부(5) 및 박막부(5a)가 되는 영역 위의 절연막 4c를 제거한다. 이 절연막 4c패턴을 통해, 건식 에칭 등에 의해 절연막 4b, 4a를 일괄 제거한다. 이 때, 실시예 1과 마찬가지로, 박막부(5a)가 되는 영역에서는, 제2도전막(3)이 에칭 스톱퍼가 된다. 따라서, 박막부(5a)에서는, 제2도전막(3)상의 절연막 4b는 제거되지만, 제2도전막(3)아래의 절연막 4a는 제거되지 않고 남는다. 이에 따라 도 7c에 나타내는 바와 같이, 절연막(4)에 개구부(5) 및 박막부(5a)가 형성된다.
- <56> 계속해서, 실시예 1과 마찬가지로, 상층 도전막(7)을 기관(1) 전체면에 퇴적한다. 그리고 사진제판, 에칭 및 레지스트 제거의 공정을 거쳐, 상층 도전막(7)을 패터닝 한다. 본 실시예에서는, 실장 단자(6)의 제1도전막(2)보다 큰 형상의 상층 도전막(7)을 형성한다. 이에 따라 도 7d에 나타내는 바와 같이, 제1도전막(2)이 상층 도전막(7)에 의해 피복된다.
- <57> 이 단계에서는, 박막부(5a) 안에는 제2도전막(3)이 노출하고 있다. 그 때문에 X방향으로 실장 위치 어긋남이 일어났을 경우, 이 노출한 제2도전막(3)을 통해, 인접하는 실장 단자끼리가 쇼트하게 된다. 그래서, 제2도전막(3)이 표면에 노출하지 않도록, 습식 에칭 등에 의해 제2도전막(3)을 제거한다. 여기에서는, 도 7d에서 형성된 상층 도전막(7)이 마스크가 되므로, 박막부(5a) 안으로 노출한 제2도전막(3)만이 제거된다. 이에 따라 도 7e에 나타내는 바와 같이, 표면으로 노출한 제2도전막(3)이 제거된다. 또한, 실시예 1과 마찬가지로, 절연막 4c와 중복하는 영역의 제2도전막(3)은, 제거되지 않고 배선(2a) 위를 넘는 형태로 패턴이 잔존한다. 이상의 공정을 거쳐, 본 실시예의 실장 단자(6)가 형성된 배선 기관이 완성된다.
- <58> 이와 같이, 본 실시예에서는, 배선(2a)을 덮는 절연막 4a 위에, 제2도전막(3)을 형성한다. 이 때, 제2도전막(3)을, 박막부(5a)가 되는 개소를 포함하는 배선(2a) 위의 영역에 형성한다. 이에 따라 실시예 1과 동일한 효과에 더하여, 다음과 같은 효과가 있다. 즉, 본 실시예에서는, 제2도전막(3) 위에 직접 상층 도전막(7)이 적층되는 구성이 되지 않는다. 그 때문에 제2도전막(3)을 상층 도전막(7) 형성후에 습식 에칭 등에 의해 제거할 때, 제2도전막(3)이 상층 도전막(7)보다도 내측까지 에칭되어, 덮개형상이 되는 것을 방지할 수 있다. 따라서, 상층 도전막(7)의 덮개부분의 벗겨짐에 의해, 인접하는 실장 단자(6)와의 쇼트 등의 결함 불량이 발생하는 것을 방지할 수 있다.
- <59> 실시예 3.
- <60> 본 실시예에 따른 실장 단자의 구성에 대해서, 도 8 및 도 9를 사용하여 상세하게 설명한다. 도 8은, 실시예 3에 따른 액정표시장치의 실장 단자의 구성을 나타낸 평면도다. 도 9는 도 8의 IX--IX단면도다. 본 실시예에서는, 박막부(5a)안의 배선(2a)은 또한 반도체층에 의해 피복되고 있으며, 그 이외의 구성은 실시예 2와 동일하므로 설명을 생략한다.
- <61> 도 8 및 도 9에 있어서, 도 5 및 도 6과 같은 구성 부분에 대해서는 동일한 부호를 붙이고, 차이에 대하여 설명한다. 도 8 및 도 9에 있어서, 박막부(5a)안의 영역에서는, 실시예 2와 마찬가지로, 기관(1) 위에 배선(2a)이 설치되고, 이 배선(2a)을 피복하도록 절연막 4a가 형성되어 있다. 본 실시예에서는, 이 절연막 4a 위에, 또한 반도체층(8)이 적층 되어 있다. 또한, 반도체층(8)은, 박막부(5a)안 뿐만 아니라, 개구부(5)를 제외한 영역에 형성되어 있어도 된다. 이 경우, 반도체층(8)은, 절연막 4a와, 제2도전막(3) 혹은 절연막 4b 사이에 배치된다.
- <62> 이러한 구성의 실장 단자(6)와 드라이버 IC(11)는, 실시예 1, 2와 마찬가지로, ACF(13)을 통해 COG실장되어 있

다. 여기에서, COG실장 시, X방향의 실장 위치 어긋남이 일어나도, 개구부(5) 안의 실장 단자(6) 위와, X방향으로 인접하는 실장 단자(6) 사이의 영역 위에서는 거의 단차가 없다. 그 때문에 범프(12)와 실장 단자(6)는 문제 없이 콘택을 취하는 것이 가능하게 된다. 또한 X방향으로 실장 위치 어긋남이 일어나 배선(2a) 위에 범프(12)가 배치된다고 해도, 배선(2a)은 절연막 4a에 의해 피막되고 있으며, 범프(12)는 배선(2a)과 단락하지 않는다.

- <63> 여기에서, 본 실시예의 실장 단자의 제조 방법에 대해, 도 10을 참조하여 설명한다. 도 10은, 실시예 3에 따른 배선 기판의 제조 공정을 나타내는 단면도다. 도 10에 나타내는 단면도는, 도 9와 마찬가지로, 도 8에 있어서의 IX-IX단면에 대응한다.
- <64> 본 실시예의 실장 단자(6)는, 기판(1) 위에 형성된 배선(2a) 및 제1도전막(3)을 피복하는 절연막 4a를 형성한 후, 반도체층(8)을 기판(1) 전체면에 퇴적한다. 반도체층(8)은, TFT(50)의 반도체층과 같은 층으로 형성할 수 있다. 그리고, 반도체층(8) 위에, 실시예 2와 같은 형상의 제2도전막(3)을 형성한다. 이에 따라 도 10a에 나타내는 바와 같이, 배선(2a) 위의 일부에 제2도전막(3)의 패턴이 형성된다.
- <65> 다음에 실시예 2와 마찬가지로, 절연막 4b를 기판(1) 전체에 퇴적한 후, 절연막 4c를 도포하고, 도 10b에 나타내는 구성으로 한다. 그리고, 실시예 2와 마찬가지로, 절연막 4c를 패터닝 하고, 개구부(5) 및 박막부(5a)가 되는 영역 위의 절연막 4c를 제거한다. 이 절연막 4c의 패턴을 통해, 건식 에칭 등에 의해 절연막 4b, 반도체층(8) 및 절연막 4a를 일괄 제거한다. 이 때, 실시예 2와 마찬가지로, 박막부(5a)가 되는 영역에서는, 제2도전막(3)이 에칭 스톱퍼가 된다. 따라서, 박막부(5a)에서는, 제2도전막(3) 위의 절연막 4b는 제거되지만, 제2도전막(3) 아래의 반도체층(8) 및 절연막 4a는 제거되지 않고 남는다. 이에 따라 도 10c에 나타내는 바와 같이 절연막(4)에 개구부(5) 및 박막부(5a)가 형성된다.
- <66> 계속해서, 실시예 2와 마찬가지로, 상층 도전막(7)을 기판(1) 전체면에 퇴적한다. 그리고 사진제판, 에칭 및 레지스트 제거의 공정을 거쳐, 상층 도전막(7)을 패터닝 한다. 이에 따라 도 10d에 나타내는 바와 같이, 제1도전막(2)이 상층 도전막(7)에 의해 피복된다.
- <67> 그 후에 실시예 2와 마찬가지로, 습식 에칭 등에 의해 제2도전막(3)을 제거한다. 여기에서는, 도 10d에서 형성된 상층 도전막(7)이 마스크가 되므로, 박막부(5a) 안으로 노출한 제2도전막(3)만이 제거된다. 이에 따라 도 10e에 나타내는 바와 같이, 표면으로 노출한 제2도전막(3)이 제거되고, 박막부(5a)안에는 반도체층(8)이 노출한다. 이상의 공정을 거쳐, 본 실시예의 실장 단자(6)가 형성된 배선 기판이 완성된다.
- <68> 이와 같이, 본 실시예에서는, 절연막 4a 위에 반도체층(8)을 적층하고 나서, 제2도전막(3)을 형성한다. 이에 따라 실시예 2와 동일한 효과에 더하여, 다음과 같은 효과가 있다. 즉, 본 실시예에서는, 실장 단자(6)와 인접하는 영역의 배선(2a)은, 절연막 4a와 반도체층(8)의 적층막에 의해 피복된다. 이에 따라 배선(2a)의 내부식 효과를 얻을 수 있고, 본 실시예의 실장 단자(6)를 사용한 표시장치에 있어서, 신뢰성을 향상시킬 수 있다.
- <69> 실시예 4.
- <70> 본 실시예에 따른 실장 단자의 구성에 대해, 도 11 및 도 12를 사용하여 상세하게 설명한다. 도 11은, 실시예 4에 따른 액정표시장치의 실장 단자의 구성을 나타낸 평면도다. 도 12는 도 11의 XII-XII단면도다. 본 실시예에서는, 실장 단자부분의 구성이 실시예 1과는 다르며, 그 이외의 구성은 실시예 1과 동일하므로 설명을 생략한다. 또한, 도 11 및 도 12에서는, 복수의 실장 단자(6)가 지그재그 배치로 설치된 영역의 단의 부분을 포함하도록 기재되어 있다.
- <71> 도 11 및 도 12에 있어서, 도 2 및 도 3과 같은 구성 부분에 관해서는 동일 부호를 붙이고, 차이에 대하여 설명한다. 절연막(4)에는, 실시예 1과 마찬가지로, 개구부(5)와, 절연막 4a만을 갖는 박막부(5a)와, 절연막 4a, 4b, 4c를 갖는 후막부가 형성된다. 본 실시예에서는, 박막부(5a)가 형성되는 영역이 실시예 1과 다르다. 즉, 박막부(5a)가 형성되는 영역은, 실시예 1보다도 넓어지고 있다.
- <72> 도 11 및 도 12에 나타내는 바와 같이 박막부(5a)는, 개구부(5)가 형성되는 영역을 제외한, 복수의 실장 단자(6)가 지그재그 배치로 복수의 열을 이뤄서 설치된 영역 위 전체에 걸쳐 설치된다. 그리고, 복수의 실장 단자(6)가 설치된 영역의 외측에는, 후막부가 설치된다. 도 2에 나타낸 실시예 1에서는, 인접하는 배선에 대응하는 실장 단자 사이에 후막부가 설치되고 있었지만, 본 실시예에서는 형성되지 않는다. 따라서, 박막부(5a)는, 복수의 개구부(5)를 둘러싸도록, X, Y방향 모두 폭넓게 형성되고, 이 박막부(5a)를 둘러싸도록 후막부가 형성되어 있다. 또한, 절연막 4a 위에는, 개구부(5)를 둘러싸는 틀 모양의 제2도전막(3)에 더하여, 본 실시예에서는, 박막부(5a)를 둘러싸는 틀 모양의 제2도전막(3)이 설치된다.

- <73> 이러한 구성의 실장 단자(6)와 드라이버 IC(11)는, 실시예 1과 같이, ACF(13)을 통해 COG실장되어 있다. 이 때, 드라이버 IC(11)의 외주 단이 절연막(4)의 후막부와 중복하도록 위치 맞춤하면 된다. 즉, 박막부(5a)가 드라이버 IC(11)의 외형보다 내측에 배치되도록, 박막부(5a)의 치수를 설계해 두는 것이 바람직하다. 여기에서, 개구부(5)안의 실장 단자(6) 위와, 개구부(5)의 Y방향으로 외측의 영역 위와의 단차는, 실시예 1의 단차에 비하여 매우 작은 값이다. 그 때문에 COG실장 시, X방향과 마찬가지로 Y방향으로 실장 위치 어긋남이 생겨도, 범프(12)와 실장 단자(6)는 문제없이 콘택을 취하는 것이 가능하게 된다. 또한 실장 위치 어긋남이 일어나 배선(2a) 위에 범프(12)가 배치되었다고 해도, 배선(2a)은 절연막 4a에 의해 피막 되고 있으며, 범프(12)는 배선(2a)과 단락하지 않는다.
- <74> 다음에 본 실시예의 실장 단자의 제조 방법에 관하여 설명한다. 본 실시예에서는, 제2도전막(3)을 패터닝하여 실시예 1과 다른 개소에 형성한다. 그 이외의 공정에 대해서는, 도 4에 나타난 실시예 1의 제조 공정과 기본적으로 동일하므로, 설명을 생략한다. 도 4a에 있어서, 실시예 1과 마찬가지로, 제2도전막(3)을 절연막 4a 위에 퇴적한 후, 레지스트 패턴을 통해 에칭한다. 이 때, 본 실시예에서는, 박막부(5a)가 되는 영역을 포함하는 형태로 제2도전막(3)의 패턴을 형성한다. 이에 따라 제2도전막(3)이, 개구부(5)가 되는 영역을 제외한, 복수의 실장 단자(6)의 제1도전막(2)이 지그재그 배치로 설치된 영역 위 전체에 걸쳐 잔존하도록, 패터닝 된다.
- <75> 그 후에 실시예 1과 마찬가지로, 제2도전막(3)을 피복하도록 절연막 4b를 퇴적하고, 절연막 4c를 도포한다. 사진제판에 의해 절연막 4c를 패터닝 하고, 개구부(5) 및 박막부(5a)가 되는 영역 위의 절연막 4c를 제거한다. 본 실시예에서는, 실시예 1과 박막부(5a)의 형성 영역이 다르기 때문에, 패터닝 후에 잔존하는 절연막 4c의 형상도 다르다. 즉, 제2도전막(3)을 둘러싸는 형상으로, 절연막 4c를 형성한다. 실시예 1과 달리, 실장 단자(6)의 제1도전막(2)위에는 절연막 4c가 형성되지 않는다. 이 때 절연막 4c가, 제2도전막(3)의 패턴 외주 테두리와 중복하도록 형성하면 바람직하다. 즉, 제2도전막의 패턴 단이 전체 외주에 걸쳐 절연막 4c에 피복되도록 하면 바람직하다.
- <76> 이 절연막 4c 패턴을 통해, 절연막 4b, 4a를 일괄 제거한다. 이에 따라 절연막(4)에 개구부(5)가 형성되는 동시에, 제2도전막(3)을 에칭 스톱퍼로서 박막부(5a)가 형성된다. 다음에 개구부(5)를 피복하도록 상층 도전막(7)을 형성한다. 그리고, 이 상층 도전막(7)을 마스크로 하여, 노출한 제2도전막(3)을 에칭하여 제거한다. 이상의 공정을 거쳐, 본 실시예의 실장 단자(6)가 형성된 배선 기판이 완성된다.
- <77> 상기한 바와 같이 제작한 배선 기판과 대향 기판을 서로 붙여, 액정을 주입한 후, 드라이버 IC(11) 등의 실장 부품을 배선 기판에 실장한다. 드라이버 IC(11)의 범프(12)와 배선 기판의 실장 단자(6)의 개구부(5)가 대향하도록 위치 맞춤하여, 열압착한다. 또한 이 때, 드라이버 IC(11)의 외주 단이 절연막(4)의 후막부와 중복하도록, 위치 맞춤하면 된다. 이와 같이 하여, 본 실시예의 액정표시장치가 완성된다.
- <78> 이상과 같이, 본 실시예에서는, 배선(2a) 및 실장 단자(6)의 제1도전막(2)을 피복하는 절연막 4a 위에, 제2도전막(3)을 형성한다. 이 때, 제2도전막(3)을, 박막부(5a)가 되는 영역을 포함하도록 형성한다. 즉, 개구부(5)가 되는 영역을 제외한 복수의 실장 단자(6)가 설치되는 영역 위 전체에 걸쳐, 제2도전막(3)을 형성한다. 이에 따라 절연막 4a, 4b, 4c를 관통하는 개구부(5)를 형성하는 동시에, 제2도전막(3)을 에칭 스톱퍼로서 절연막 4b, 4c가 제거된 박막부(5a)를 형성할 수 있다. 또한, 상층 도전막(7)을 마스크로 하여 제2도전막(3)을 제거함으로써, 인접하는 실장 단자(6) 사이를 전기적으로 격리할 수 있다. 이러한 방법에 의해, 개구부(5)와, 개구부(5)의 Y방향으로 외측의 영역과의 단차는, 실시예 1의 단차와 비교하여 매우 작아진다. 즉, 도 16에 나타내는 종래의 단차와 비교하면, X방향, Y방향 모두 단차가 매우 작아진다. 따라서, X방향 및 Y방향으로 실장 위치 어긋남이 일어나 절연막 4a위나 배선(2a)위에 범프(12)가 타 올랐다고 해도, 배선(2a)과 단락하지 않고, 실장 단자(6)와의 콘택을 확실하게 취할 수 있다. 따라서, 본 실시예의 실장 단자(6)가 형성된 표시장치에서는, 신뢰성을 향상시킬 수 있다. 이러한 구성의 실장 단자(6)는, 드라이버 IC의 실장에 있어서, 위치 맞춤 정밀도의 허용오차범위를 확대하는 것이 가능하게 된다.
- <79> 실시예 5.
- <80> 본 실시예에 따른 실장 단자의 구성에 대해서, 도 13 및 도 14를 사용하여 상세하게 설명한다. 도 13은, 실시예 5에 따른 액정표시장치의 실장 단자의 구성을 나타낸 평면도다. 도 14는 도 13의 XIV-XIV단면도다. 본 실시예에서는, 실장 단자부분의 구성이 실시예 4와는 다르고, 그 이외의 구성은 실시예 4와 동일하므로 설명을 생략한다. 또한, 도 13 및 도 14에서는, 복수의 실장 단자(6)가 지그재그 배치로 설치된 영역의 단의 부분을 포함하도록 기재되어 있다.

- <81> 도 13 및 도 14에 있어서, 도 11 및 도 12와 같은 구성 부분에 대해서는 동일 부호를 붙이고, 차이에 대하여 설명한다. 절연막(4)에는, 실시예 4와 마찬가지로, 개구부(5)와, 절연막 4a만을 갖는 박막부(5a)와, 절연막 4a, 4b, 4c를 갖는 후막부가 형성된다. 본 실시예에서는, 박막부(5a)가 형성되는 영역이 실시예 4와 다르다. 즉, 박막부(5a)가 형성되는 영역은, 실시예 4보다도 넓어지고 있다.
- <82> 도 13 및 도 14에 나타내는 바와 같이, 박막부(5a)는, 개구부(5)가 형성되는 영역을 제외한, 드라이버 IC(11)가 대향하는 영역에 설치된다. 그리고, 드라이버 IC(11)가 대향하는 영역의 외측에는, 후막부가 설치된다. 도 11에 나타낸 실시예 4에서는, 드라이버 IC(11)가 대향하는 영역 중, 복수의 실장 단자(6)가 지그재그 배치로 복수의 열을 이뤄서 설치된 영역의 외측에는 후막부가 설치되고 있었지만, 본 실시예에서는 형성되지 않는다. 따라서, 박막부(5a)는, 실시예 4보다도 광범위하게 형성되고, 이 박막부(5a)를 둘러싸도록 후막부가 형성되어 있다. 또한, 본 실시예 4와 마찬가지로 절연막 4a 위에는, 개구부(5)를 둘러싸는 틀 모양의 제2도전막(3)에 더하여, 박막부(5a)를 둘러싸는 틀 모양의 제2도전막(3)이 설치되어 있다.
- <83> 이러한 구성의 실장 단자(6)와 드라이버 IC(11)는, 실시예 4와 마찬가지로, ACF(13)을 통해 COG실장되어 있다. 이 때, 드라이버 IC(11)의 외주 단이 절연막(4)의 박막부(5a)안에 배치되도록, 위치 맞춤하면 된다. 즉, 후막부가 드라이버 IC(11)의 외형보다 외측에 배치되도록, 박막부(5a)의 치수를 설계해 두는 것이 바람직하다. 여기에서, 개구부(5)안의 실장 단자(6) 위와, 개구부(5)의 Y방향으로 외측의 영역 위와의 단차는, 실시예 4와 마찬가지로, 실시예 1의 단차에 비하여 매우 작은 값이 된다. 그 때문에 COG실장 시, X방향과 마찬가지로 Y방향으로 실장 위치 어긋남이 생겨도, 범프(12)와 실장 단자(6)는 문제없이 콘택을 취하는 것이 가능하게 된다. 또한 실장 위치 어긋남이 일어나 배선(2a) 위에 범프(12)가 배치되었다고 해도, 배선(2a)은 절연막 4a에 의해 피막되고 있으며, 범프(12)는 배선(2a)과 단락하지 않는다.
- <84> 다음에 본 실시예의 실장 단자의 제조 방법에 대하여 설명한다. 본 실시예에서는, 실시예 4보다 제2도전막(3)을 광범위하게 형성하고 있다. 즉, 개구부(5)가 되는 영역을 제외한, 드라이버 IC(11)가 대향하는 영역 위 전체에 걸쳐, 제2도전막(3)이 잔존하도록 패터닝 한다. 그 이외의 공정에 대해서는 실시예 4의 제조 공정과 기본적으로 같기 때문에 설명을 생략한다.
- <85> 상기한 바와 같이 제작한 배선 기관과 대향 기관을 서로 붙여, 액정을 주입한 후, 드라이버 IC(11) 등의 실장 부품을 배선 기관에 실장한다. 드라이버 IC(11)의 범프(12)와 배선 기관의 실장 단자(6)의 개구부(5)가 대향하도록 위치 맞춤하여, 열압착한다. 또한 이 때, 드라이버 IC(11)가 절연막(4)의 후막부와 중복하지 않도록, 위치 맞춤하면 된다. 이에 따라 후막부와 박막부(5a) 사이의 경계선이, 드라이버 IC(11)의 외형보다 외측에 배치된다. 이와 같이 하여, 본 실시예의 액정표시장치가 완성된다.
- <86> 이상과 같이, 본 실시예에서는, 배선(2a) 및 실장 단자(6)의 제1도전막(2)을 피복하는 절연막 4a 위에, 제2도전막(3)을 형성한다. 이 때, 제2도전막(3)을 박막부(5a)가 되는 영역을 포함하도록 형성한다. 즉, 개구부(5)가 되는 영역을 제외한 드라이버 IC(11)가 대향하는 영역 위 전체에 걸쳐, 제2도전막(3)을 형성한다. 이에 따라 절연막 4a, 4b, 4c를 관통하는 개구부(5)를 형성하는 동시에, 제2도전막(3)을 에칭 스톱퍼로서 절연막 4b, 4c가 제거된 박막부(5a)를 형성할 수 있다. 또한, 상층 도전막(7)을 마스크로 하여 제2도전막(3)을 제거함으로써, 인접하는 실장 단자(6) 사이를 전기적으로 격리할 수 있다. 이러한 방법에 의해, 개구부(5)와, 개구부(5)의 Y방향으로 외측의 영역과의 단차는, 실시예 4와 같은 정도로 작은 값이 된다. 즉, 도 16에 나타내는 종래의 단차와 비교하면, X방향, Y방향 모두 단차가 매우 작아진다. 따라서, X방향 및 Y방향으로 실장 위치 어긋남이 일어나 절연막 4a위나 배선(2a) 위에 범프(12)가 타올랐다고 해도, 배선(2a)과 단락하지 않고, 실장 단자(6)와의 콘택을 확실하게 취할 수 있다. 따라서, 본 실시예의 실장 단자(6)가 형성된 표시장치에서는, 신뢰성을 향상시킬 수 있다. 이러한 구성의 실장 단자(6)는, 드라이버 IC의 실장에 있어서, 위치 맞춤 정밀도의 허용오차범위를 확대하는 것이 가능하게 된다.
- <87> 또한, 실시예 4, 5에서는, 실시예 1에서 인접하는 배선에 대응하는 실장 단자 사이의 전 영역에 걸쳐 설치된 후막부가, 모두 박막부가 되도록 형성했지만, 이것에 한정되는 것은 아니다. 예를 들면 실장 단자의 Y방향 치수나, 인접하는 배선에 대응하는 실장 단자 사이의 거리가 충분히 길 경우 등은, 부분적으로 후막부가 형성되어 있어도 된다. 또한 실시예 4, 5에 따른 발명을, 실시예 1에 조합하여 사용할 경우에 대하여 설명을 했지만, 적절히, 실시예 2, 3과 조합하여 사용하는 것이 가능하다.
- <88> 이상의 설명에서는, COG실장의 경우에 대해 예시적으로 설명을 했지만, 범프 구조를 갖는 배선 기관, 필름 기관, 테이프 등의 외부 부재와의 실장에 있어서도, 본 발명을 적용할 수 있다. 또한 본 발명의 실장 단자구조

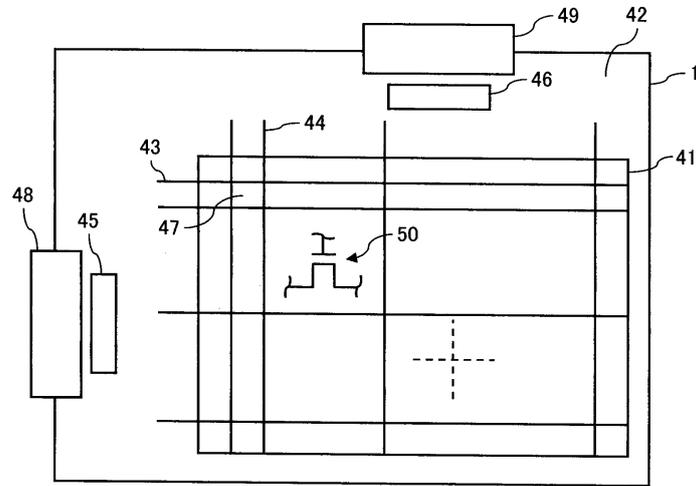
<118>

47 : 화소

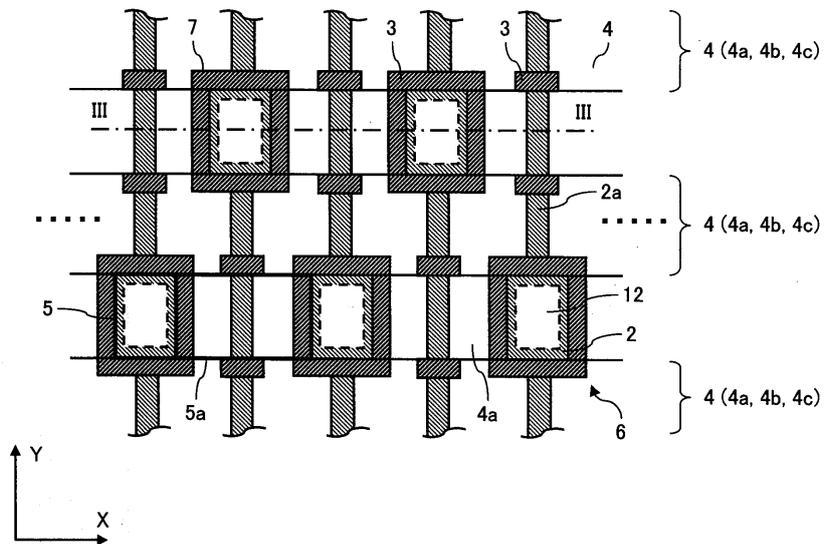
50 : TFT

도면

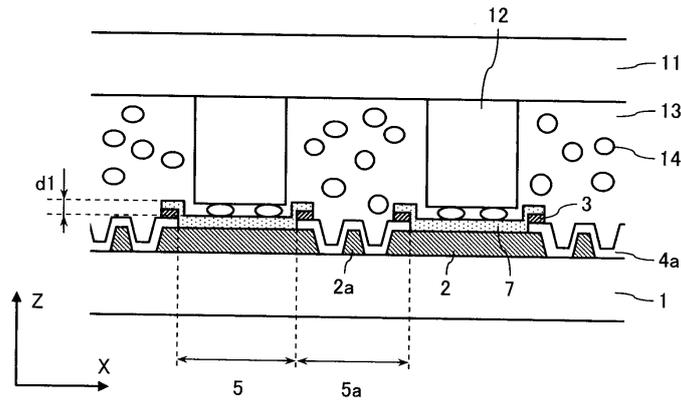
도면1



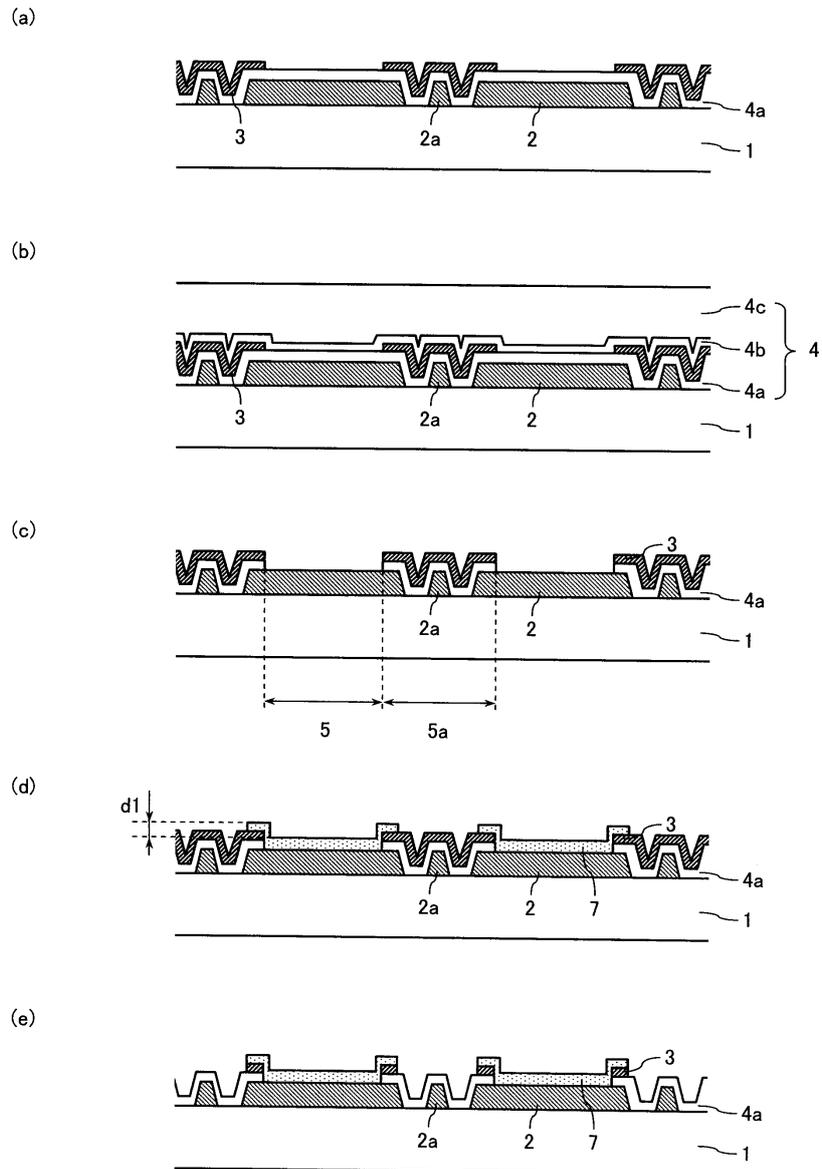
도면2



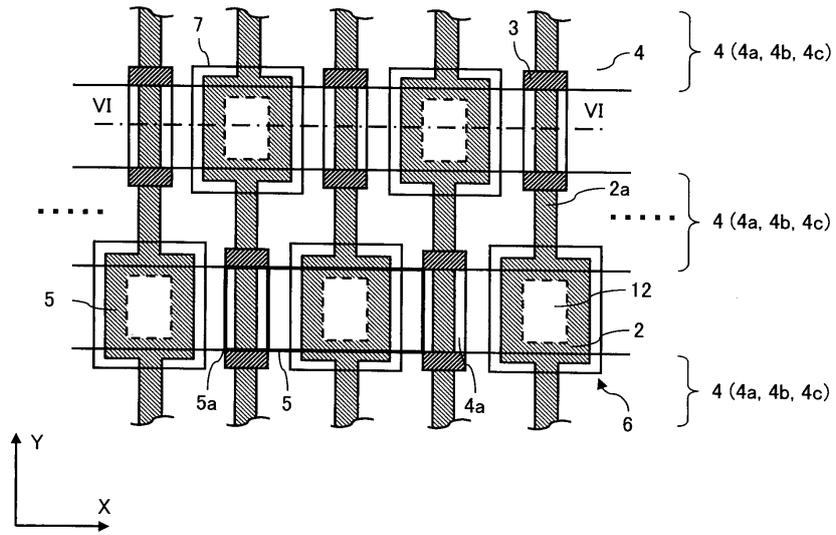
도면3



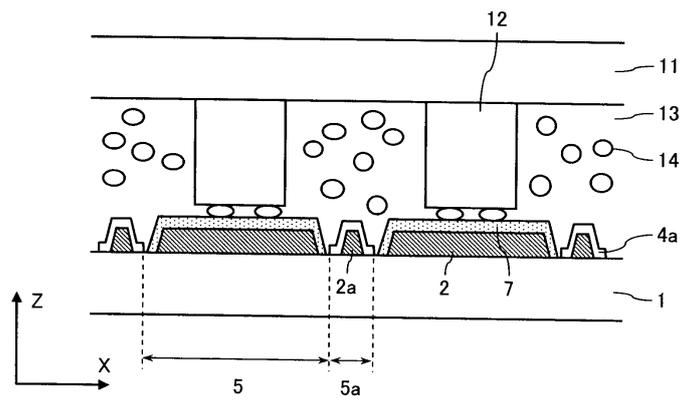
도면4



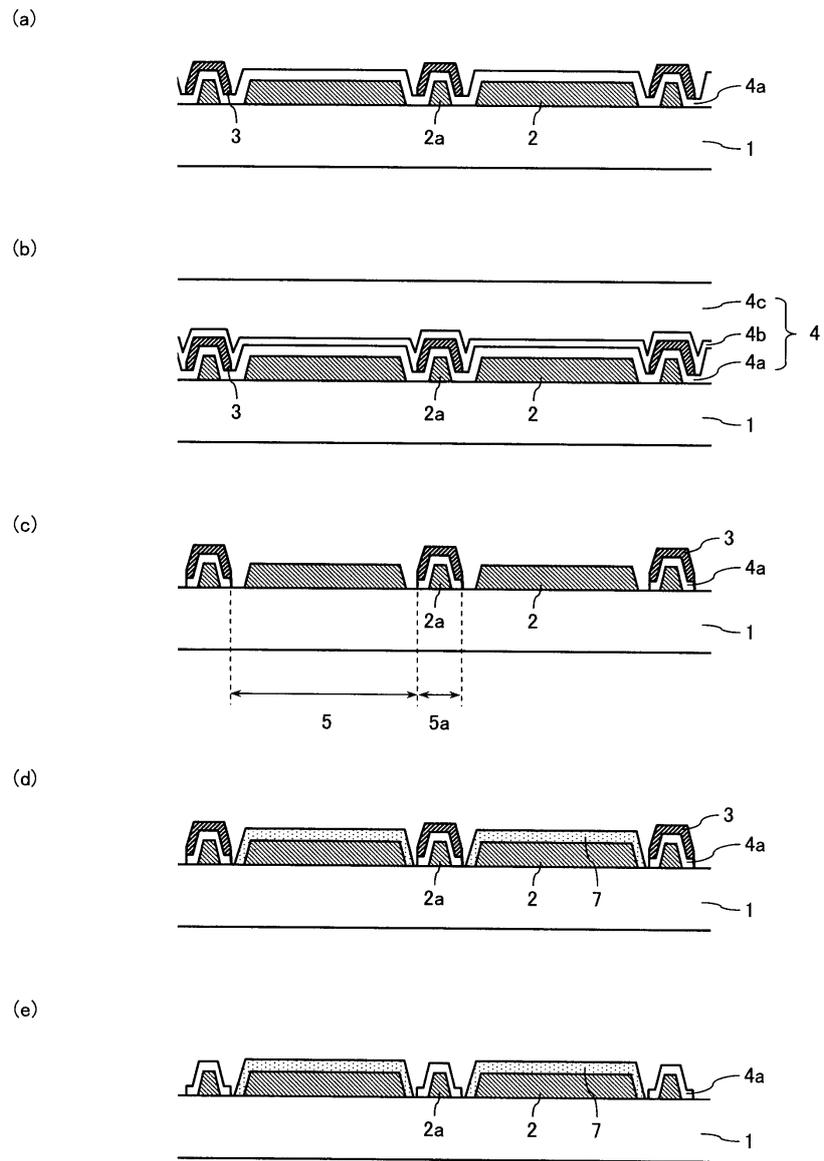
도면5



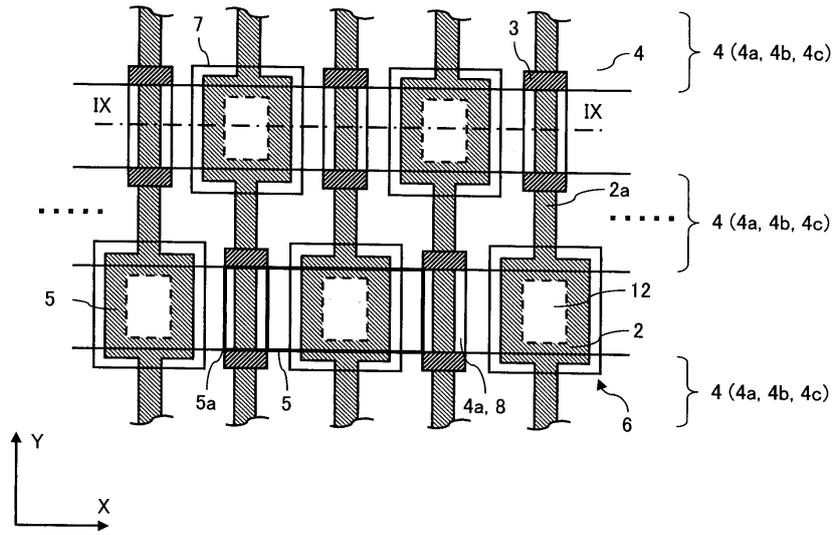
도면6



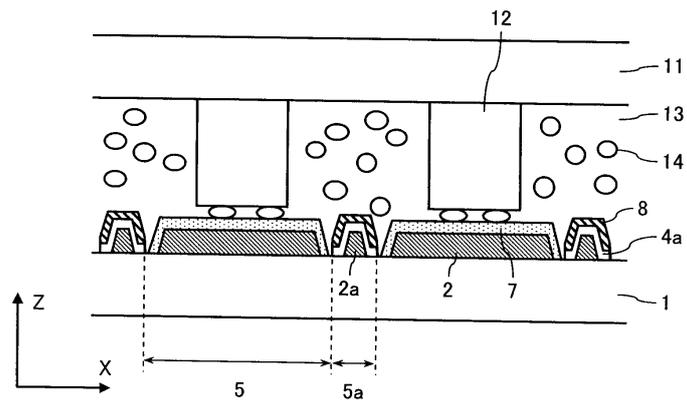
도면7



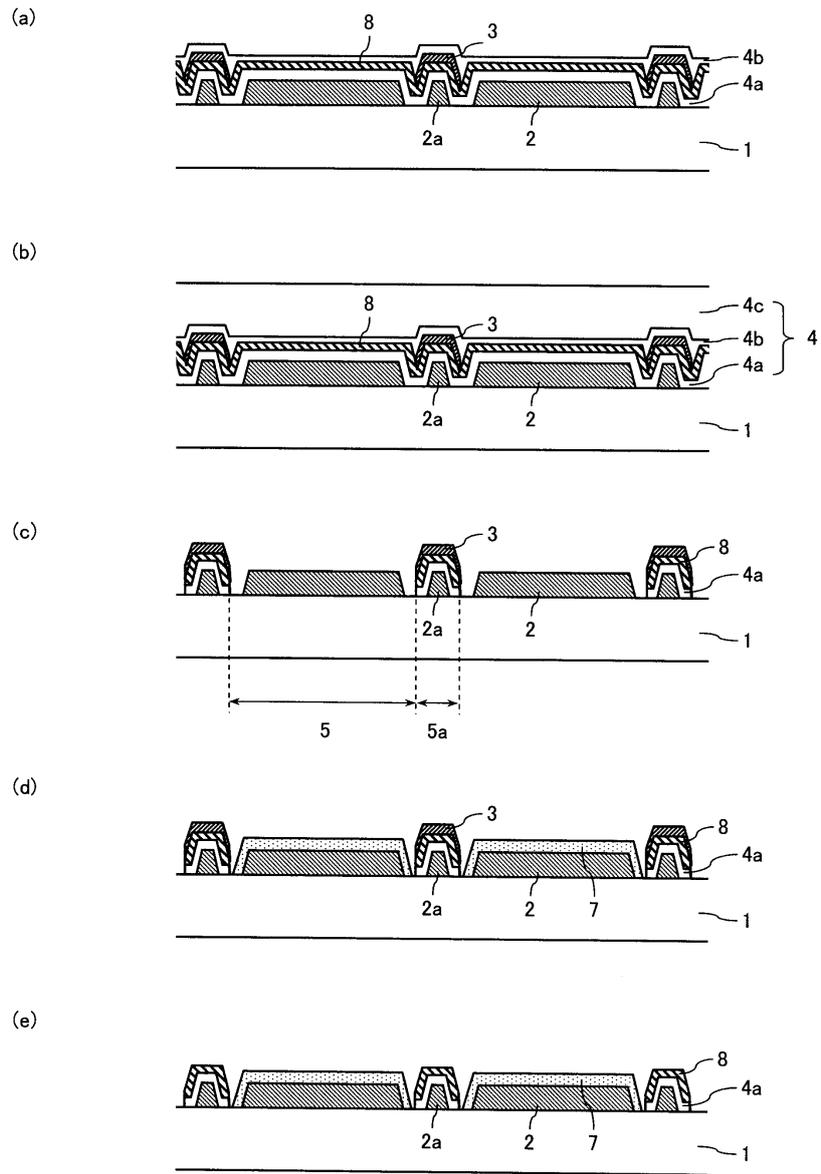
도면8



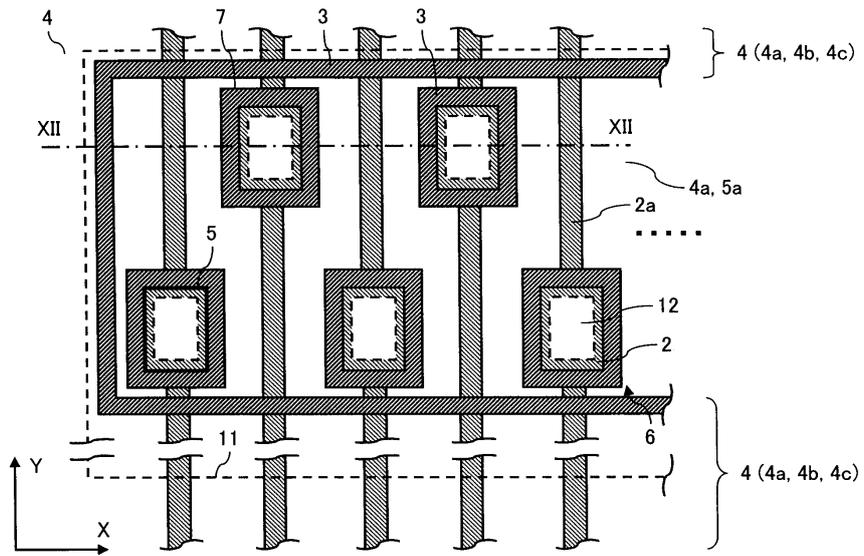
도면9



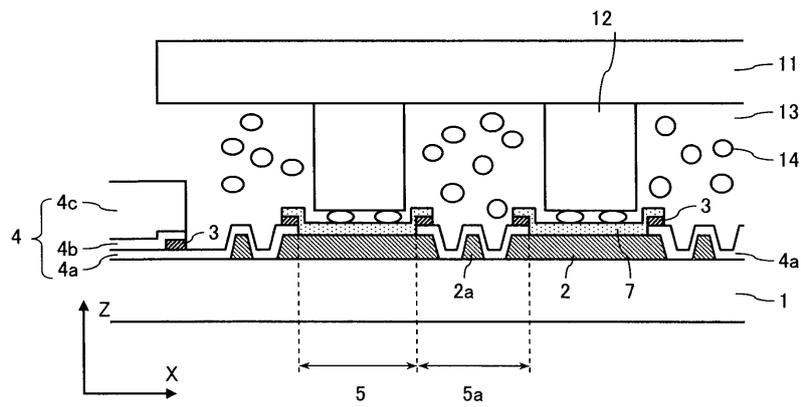
도면10



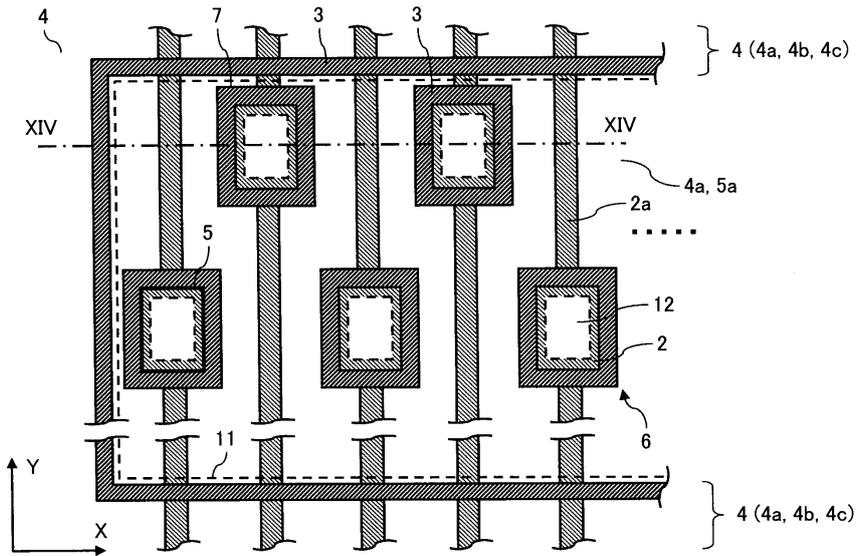
도면11



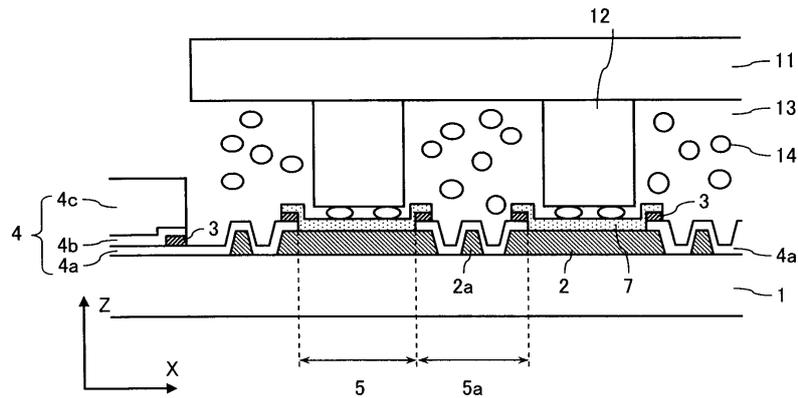
도면12



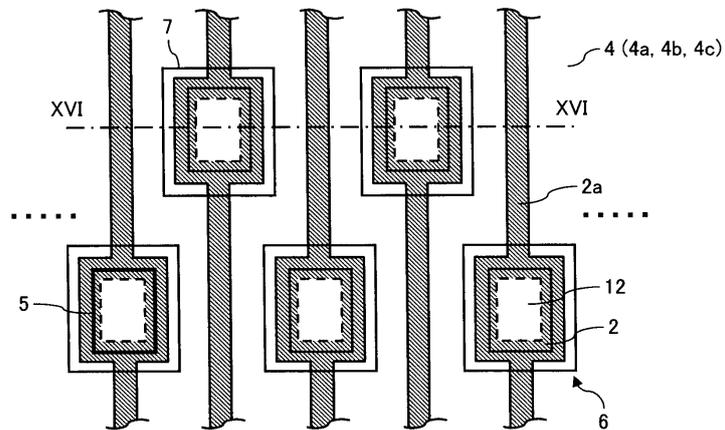
도면13



도면14



도면15



도면16

