

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-206356
(P2009-206356A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A	5 F O 4 9

審査請求 未請求 請求項の数 5 O L (全 22 頁)

(21) 出願番号 特願2008-48412 (P2008-48412)
(22) 出願日 平成20年2月28日 (2008.2.28)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

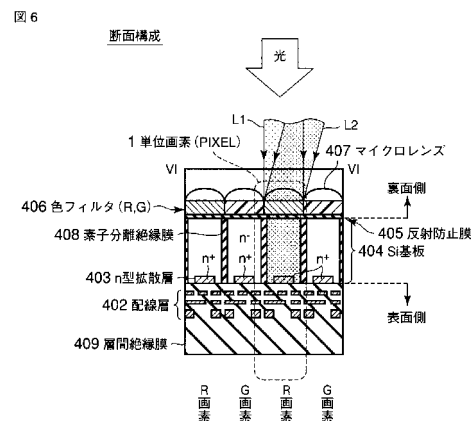
(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【要約】

【課題】 隣接画素間でのクロストークを防止して、混色の発生を防止でき、再生画面上での色再現性の向上に対して有利な固体撮像装置およびその製造方法を提供する。

【解決手段】 固体撮像装置は、半導体基板404に、光電変換部及び信号走査回路部を含み単位画素行列を配置して成る撮像領域と、前記信号走査回路部を駆動するための素子駆動回路を配置して成る駆動回路領域とを具備し、前記光電変換部は、前記信号走査回路部が形成される前記半導体基板表面と反対側の半導体基板の裏面側に設けられ、前記単位画素1は、隣接する前記単位画素との境界部分を囲むように設けられ素子分離領域を区画する絶縁膜408を備える。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

半導体基板に、光電変換部及び信号走査回路部を含み単位画素行列を配置して成る撮像領域と、前記信号走査回路部を駆動するための素子駆動回路を配置して成る駆動回路領域とを具備し、

前記光電変換部は、前記信号走査回路部が形成される前記半導体基板表面と反対側の半導体基板の裏面側に設けられ、

前記単位画素は、隣接する前記単位画素との境界部分を囲むように設けられ素子分離領域を区画する絶縁膜を備えること

を特徴とする固体撮像装置。

10

【請求項 2】

信号走査回路部は、前記半導体基板中に設けられ信号電荷蓄積領域を成す第 1 導電型の拡散層を有するフォトダイオードを備え、

前記単位画素は、前記絶縁膜の側壁上に沿って前記半導体基板中に設けられる第 2 導電型の拡散層を更に備えること

を特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記絶縁膜は、前記信号走査回路部が形成される半導体基板の表面上から前記半導体基板中にオフセットされて設けられること

を特徴とする請求項 1 に記載の固体撮像装置。

20

【請求項 4】

前記絶縁膜の平面形状は、前記単位画素を囲むように格子状に配置されること

を特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

信号走査回路が形成される側の半導体基板の表面上に第 1 支持基板を接着する工程と、前記信号走査回路が形成される側とは反対側の前記半導体基板の裏面上を薄膜化する工程と、

前記裏面側の半導体基板中に単位画素を囲むように素子分離領域を区画する溝を形成する工程と、

前記溝中に絶縁材を埋め込み、絶縁膜を形成する工程と、

前記半導体基板の裏面側に第 2 支持基板を接着する工程と、

前記第 1 支持基板を剥離する工程と、

前記表面側の半導体基板表面上に信号走査回路部を形成する工程と、

前記第 2 支持基板を剥離する工程と、

前記裏面側の半導体基板表面上に受光面を形成する工程とを具備すること

を特徴とする固体撮像装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、固体撮像装置およびその製造方法に関し、例えば、MOS型固体撮像装置等に適用されるものである。

40

【背景技術】

【0002】

CMOSセンサを始めとする固体撮像装置は、例えば、現在では、デジタルスチルカメラやビデオムービー、また監視カメラ等の多様な用途で使われている。中でも単一の画素アレイで複数の色情報を取得する単版式撮像素子とその主流となっている。

【0003】

ところが、近年の多画素化や光学サイズ縮小の要請により、画素サイズが縮小される傾向にある。例えば、近年デジタルカメラ等で多く使われているCMOSセンサの画素サイズは1.75umから2.8um程度である。そのような微細画素では以下のような問題点がある。

50

【0004】

第一に、単位画素の面積が縮小されると、単位画素で受光できるフォトン (photon) の数が単位画素面積に比例して減少してしまう結果、光ショットノイズに対する S (Signal) / N (Noise) 比が低下することである。 S / N 比が維持できないと、再生画面における画質が劣化してしまい再生画像の品質が落ちてしまうという問題がおこる。

【0005】

第二に、単位画素の面積が縮小されると、隣接画素間でのクロストークが増大するために、本来各画素はそれぞれ固有の波長領域のみに感度があるべきところを、本来感度を持つべきではない波長領域で感度を持つようになるため、混色が発生し、再生画面上での色再現性が著しく劣化するという問題が起こる。

10

【0006】

従って、画素を縮小しても S / N 比を維持するために、できるだけ感度が落ちないようにして S / N 比の低下を防ぎ、また画素を縮小しても色再現性が劣化しないようにするためにできるだけ混色が発生しないようにする必要がある。

【0007】

以上のような問題に対する構成として、例えば、裏面照射型の固体撮像装置がある (例えば、特許文献1参照)。裏面照射型の固体撮像装置では、入射光は信号走査回路及びその配線層が形成されるシリコン (Si) 表面 (表面) とは反対側のシリコン (Si) 表面 (裏面) から入射光が照射される。このように、信号走査回路及びその配線層が形成されるシリコン (Si) 表面側とは反対側のシリコン (Si) 表面から入射させる裏面照射型の構成では、画素に入射する光が配線層に障害されることなくシリコン (Si) 基板内に形成された受光領域に到達することができる。そのため、微細な画素においても高い量子効率を実現することができる。その結果、上記第一の問題点に対して、即ち、画素の縮小が進行した場合であっても、再生画像の品質劣化の抑制に対してメリットがある。

20

【0008】

ところが、従来の裏面照射型の固体撮像装置では、上記第二の問題点に関して有効な解を与えることができない。すなわち、裏面照射型の固体撮像装置では、入射光が信号走査回路及びその配線層に障害されることなく受光領域となるシリコン (Si) 基板内に入射される一方で、配線層に障害されることが無い故に入射光が隣接画素に漏れこんでしまい混色となってしまうという問題である。

30

【0009】

特に、画素が微細化されるとマイクロレンズ、色フィルタの開口ピッチが小さくなるため、特に波長の長い R 画素に入射した入射光が色フィルタを通過した時点で回折が生じる。その場合、シリコン (Si) 基板内の受光領域に対して、斜めに入射した光は隣接画素方向に進行し、画素間の境界を越えて隣接画素に入射すると隣接画素の中で光電子を発生させるためそれがクロストークとなり混色が発生してしまう。そして、隣接する G 画素、B 画素の受光領域に漏れこんでしまいそれが混色を発生させることになる。そのため、再生画面上で色再現性が劣化してしまい画質が低下するという問題が生ずるのである。

【0010】

上記のように、従来の固体撮像装置およびその製造方法は、隣接画素間でのクロストークが増大するために、混色が発生し、再生画面上での色再現性が劣化するという問題があった。

40

【特許文献1】特開2006-128392号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

この発明は、隣接画素間でのクロストークを防止して、混色の発生を防止でき、再生画面上での色再現性の向上に対して有利な固体撮像装置およびその製造方法を提供する。

【課題を解決するための手段】

【0012】

50

この発明の一態様によれば、半導体基板に、光電変換部及び信号走査回路部を含み単位画素行列を配置して成る撮像領域と、前記信号走査回路部を駆動するための素子駆動回路を配置して成る駆動回路領域とを具備し、前記光電変換部は、前記信号走査回路部が形成される前記半導体基板表面と反対側の半導体基板の裏面側に設けられ、前記単位画素は、隣接する前記単位画素との境界部分を囲むように設けられ素子分離領域を区画する絶縁膜を備える固体撮像装置を提供できる。

【0013】

この発明の一態様によれば、信号走査回路が形成される側の半導体基板の表面上に第1支持基板を接着する工程と、前記信号走査回路が形成される側とは反対側の前記半導体基板の裏面上を薄膜化する工程と、前記裏面側の半導体基板中に単位画素を囲むように素子分離領域を区画する溝を形成する工程と、前記溝中に絶縁材を埋め込み、絶縁膜を形成する工程と、前記半導体基板の裏面側に第2支持基板を接着する工程と、前記第1支持基板を剥離する工程と、前記表面側の半導体基板表面上に信号走査回路部を形成する工程と、前記第2支持基板を剥離する工程と、前記裏面側の半導体基板表面上に受光面を形成する工程とを具備する固体撮像装置の製造方法を提供できる。

10

【発明の効果】

【0014】

この発明によれば、隣接画素間でのクロストークを防止して、混色の発生を防止でき、再生画面上での色再現性の向上に対して有利な固体撮像装置およびその製造方法が得られる。

20

【発明を実施するための最良の形態】

【0015】

以下、この発明の実施形態について図面を参照して説明する。尚、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0016】

[第1の実施形態]

<1.構成例>

まず、図1乃至図7を用いて、第1の実施形態に係る固体撮像装置の構成例について説明する。本例では、受光面が信号走査回路部の形成される半導体基板表面と反対側の半導体基板の裏面側に設けられる裏面照射型の固体撮像装置を一例に挙げて、以下説明する。

30

【0017】

1-1.全体構成例

図1を用いて、本例に係る固体撮像装置の全体構成例について説明する。図1は、本例に係る固体撮像装置の全体構成例を示すシステムブロック図である。図1では、画素アレイのカラム位置にAD変換回路が配置された場合の一構成について示した。

【0018】

図示するように、本例に係る固体撮像装置10は、撮像領域12と駆動回路領域14により構成されている。

撮像領域12は、半導体基板に、光電変換部及び信号走査回路部を含み単位画素行列を配置して成るものである。

40

光電変換部は、光電変換し蓄積するフォトダイオードを含む単位画素1を備え、撮像部として機能する。信号走査回路部は、後述する増幅トランジスタ3等を備え、光電変換部からの信号を読み出し増幅しAD変換回路15に送信する。本例の場合、受光面(光電変換部)は、信号走査回路部が形成される半導体基板表面と反対側の半導体基板の裏面側に設けられる。

【0019】

駆動回路領域14は、上記信号走査回路部を駆動するための垂直シフトレジスタ13およびAD変換回路等の素子駆動回路を配置して成るものである。

【0020】

尚、ここでは、CMOSセンサの全体構成の一部として説明したが、これに限られるもので

50

はない。即ち、例えば、カラム並列にADC回路が配置されずチップレベルにADC回路が配置される構成、或いはセンサーチップ上にADCが配置されない構成等であっても良い。

【0021】

垂直シフトレジスタ (Vertical Shift register) 13は、信号LS1 ~ SLkを画素アレイ12に出力し、単位画素1を行毎に選択する選択部として機能する。選択された行の単位画素1からはそれぞれ、入射された光の量に応じたアナログ信号Vsigが垂直信号線VSLを介して出力される。

【0022】

AD変換回路 (ADC) 15は、垂直信号線VSLを介して入力されたアナログ信号Vsigを、デジタル信号に変換する。

10

【0023】

1-2. 画素アレイ (撮像領域) の構成例

次に、図2を用いて、図1中の画素アレイ (撮像領域) 12の構成例について説明する。図2は、本例に係る画素アレイの構成例を示す等価回路図である。本例では、単一の画素アレイ12で複数の色情報を取得する単版式撮像素子を一例に挙げて説明する。

【0024】

図示するように、画素アレイ12は、垂直シフトレジスタ13からの読み出し信号線と垂直信号線VSLとの交差位置にマトリクス状に配置された複数の単位画素1を備えるものである。

【0025】

単位画素 (PIXEL) 1は、フォトダイオード2、増幅トランジスタ3、読み出しトランジスタ4、リセットトランジスタ9、アドレストラジスタ41を備えている。

20

【0026】

上記において、フォトダイオード2は光電変換部を構成する。増幅トランジスタ3、読み出しトランジスタ4、リセットトランジスタ9、およびアドレストラジスタ41は、信号走査回路部を構成する。

【0027】

フォトダイオード2のカソードは接地されている。

増幅トランジスタ3は、浮遊拡散層 (フローティングディフュージョン) 42からの信号を増幅して出力するように構成されている。増幅トランジスタ3のゲートは浮遊拡散層42に接続され、ソースは垂直信号線VSLに接続され、ドレインはアドレストラジスタ41のソースに接続されている。垂直信号線VSLにより送信される単位画素1の出力信号は、CD5雑音除去回路8により雑音除去された後、出力端子81から出力される。

30

【0028】

読み出しトランジスタ4は、フォトダイオード2での信号電荷の蓄積を制御するように構成されている。読み出しトランジスタ4のゲートは読み出し信号線TRFに接続され、ソースはフォトダイオード2のアノードに接続され、ドレインは浮遊拡散層42に接続されている。

【0029】

リセットトランジスタ9は、増幅トランジスタ3のゲート電位をリセットするように構成されている。リセットトランジスタ9のゲートはリセット信号線RSTに接続され、ソースは浮遊拡散層42に接続され、ドレインはドレイン電源に接続される電源端子5に接続されている。

40

【0030】

アドレストラジスタ (トランスファゲート) 41のゲートは、アドレス信号線ADRに接続されている。

【0031】

また、負荷トランジスタ6のゲートは選択信号線SFに接続され、ドレインは増幅トランジスタ3のソースに接続され、ソースは制御信号線DCに接続されている。

50

【 0 0 3 2 】

読み出し駆動動作

この画素アレイ構造による読み出し駆動動作は、次のようになっている。まず、読み出し行の行選択トランジスタ 4 1 が、垂直シフトレジスタ 1 3 から送られる行選択パルスによりオン (O N) 状態になる。

【 0 0 3 3 】

続いて、同様に垂直シフトレジスタ 1 3 から送られたリセットパルスによりリセットトランジスタ 9 が、オン (O N) 状態になり、浮遊拡散層 4 2 の電位に近い電圧にリセットされる。その後、リセットトランジスタ 9 は、オフ (O F F) 状態になる。

【 0 0 3 4 】

続いて、トランスファゲート 4 が、オン (O N) 状態になり、フォトダイオード 2 に蓄積された信号電荷が浮遊拡散層 4 1 に読み出され、浮遊拡散層 4 2 の電位が読み出された信号電荷数に応じて変調される。

【 0 0 3 5 】

続いて、変調された信号が、ソースフォロウを構成する M O S トランジスタにより垂直信号線 V S L に読み出され、読み出し動作を完了する。

【 0 0 3 6 】

1 - 3 . 色フィルタの平面構成例

次に、図 3 を用いて、本例に係る固体撮像装置が有する色フィルタ 4 0 6 の平面構成例について説明する。図 3 は、単版式固体撮像素子構造において色信号を取得するために、どのように色フィルタが配置されているかを示したレイアウト図である。

【 0 0 3 7 】

図中において、R と示した画素は主に赤の波長領域の光を透過させる色フィルタが配置された画素、G と示した画素は主に緑の波長領域の光を透過させる色フィルタが配置された画素、B と示した画素は主に青の波長領域の光を透過させる色フィルタが配置された画素である。

【 0 0 3 8 】

本例では、ベイヤー (Bayer) 配置として最もよく使用される色フィルタ配置を示した。図示するように、隣接する色フィルタ (R , G , B) は、ロウ方向およびカラム方向において、互いに異なる色信号を取得するように配置されている。

【 0 0 3 9 】

1 - 4 . 平面構成例

次に、図 4 および図 5 を用いて、本例に係る固体撮像装置が有する画素アレイ 1 2 の平面構成例について説明する。ここでは、上記増幅トランジスタ 3 等により構成される信号走査回路部 1 5 の回路が形成される半導体基板の表面 (表面側) とは反対側の基板表面 (裏面側) に受光面が形成される裏面照射型の固体撮像装置を一例に挙げて説明する。

【 0 0 4 0 】

平面構成例 (1)

図 4 に示すように、シリコン (S i) 基板 4 0 4 の裏面上に、ロウ方向およびカラム方向においてマトリクス状に単位画素 (P X C E L) 1 が配置されている。

【 0 0 4 1 】

さらに、シリコン (S i) 基板 4 0 4 の裏面上に、隣接する単位画素 1 との境界部分を囲むように素子分離領域を区画する素子分離絶縁膜 (絶縁膜) 4 0 8 が設けられている。そのため、素子分離絶縁膜 4 0 8 は、単位画素 1 を、ロウ方向およびカラム方向において囲むように格子状に配置されている。

【 0 0 4 2 】

ここで、素子分離絶縁膜 4 0 8 は、シリコン (S i) の屈折率より低い屈折率を持つ絶縁膜から形成されている。例えば、素子分離絶縁膜 4 0 8 は、入射される波長 400nm-700nm 程度の光に対する屈折率が、3 . 9 程度以下である絶縁材料により形成されることが望ましい。より具体的には、例えば、素子分離絶縁膜 4 0 8 は、シリコン酸化膜 (S i O 2

10

20

30

40

50

膜)、シリコン窒化膜(Si₃N₄膜)、チタンオキサイド(TiO)膜等の絶縁材料により形成される。

【0043】

また、図示するように、本例に係る単位画素1のロウ方向およびカラム方向における画素ピッチPは、いずれも共通となるように配置されている。

【0044】

平面構成例(2)

図5に示す平面構成では、素子分離絶縁膜408が、シリコン基板404の裏面上に隣接する単位画素1との境界部分を囲むように非連続的に平面形状が穴状に配置されている点で、図4に示した上記平面構造(1)と相違する。同様に、素子分離絶縁膜408は、単位画素1を、ロウ方向およびカラム方向において囲むように格子状に配置されている。

10

【0045】

尚、本実施例では、非連続的に穴状に配置されている平面構成例を示したが、素子分離絶縁膜408は連続的に形成される箇所があっても良い。

【0046】

1-5. 断面構成例

次に、図6および図7を用いて、本例に係る固体撮像装置が有する画素アレイ12の断面構成例について説明する。ここでは、図4、図5中のVI-VI線に沿った断面を一例に挙げて説明する。

【0047】

図6に示すように、シリコン基板404の表面上において、単位画素1は、層間絶縁膜409中に設けられ上記増幅トランジスタ3等により構成される信号走査回路部15の回路を成す配線層402を備えている。

20

【0048】

一方、シリコン基板404の裏面上において、単位画素1は、信号電子を蓄積するn型拡散層403、反射防止膜405、色フィルタ406、マイクロレンズ407、および素子分離絶縁膜408を備えている。素子分離絶縁膜408は、上記のように、Si基板404中の画素間の境界部分に設けられている。上記のように、素子分離絶縁膜408は、シリコン基板404の屈折率より低い屈折率を持つ絶縁膜から形成されている。n+型拡散層403は、後述するように、信号電荷蓄積領域を成すフォトダイオードを構成する拡散層である。

30

【0049】

続いて、図7を用いて、表面側の半導体基板404近傍の単位画素1の断面構成例についてより詳しく説明する。

【0050】

図示する断面において、単位画素1は、シリコン基板404の表面上に設けられたリセットトランジスタ4、およびシリコン基板404中に設けられたフォトダイオード2を備えている。本実施例ではシリコン基板がn型拡散層である場合について例示したが、p型拡散層であっても良い。

【0051】

読み出しトランジスタ4は、基板404上の層間絶縁膜409中に設けられたゲート絶縁膜22、ゲート絶縁膜22上の層間絶縁膜409中に設けられたゲート電極24、およびゲート電極24を挟むようにシリコン基板404中に隔離して設けられたソース26(n+拡散層403)、ドレイン25(n+拡散層403)により構成される。

40

【0052】

フォトダイオード2は、ソース26であるn+拡散層と、このソース26と接するようにシリコン基板404中に設けられソース26とPN接合を形成するPウェル層28により構成される。

【0053】

ドレイン25は、ドレイン25上の層間絶縁膜409中に設けられたコンタクト配線層

50

30を介して配線層402に電氣的に接続される。そして、この配線層402から出力された電気信号に従い、単位画素1の画素がそれぞれ表示される。その他の単位画素の構成も同様であるため、詳細な説明を省略する。

【0054】

< 2 . 光学的作用・効果 >

次に、上記図6を用いて、本例に係る固体撮像装置の光学的作用・効果について、説明する。上記1-4 . 1-5 . において説明したように、本例に係る固体撮像装置は、シリコン(Si)基板404の裏面上に、隣接する単位画素1との境界部分を囲むように素子分離領域を区画する素子分離絶縁膜(絶縁膜)408が設けられている。このような構成とすることで、次のような光学的作用・効果が得られる。

10

【0055】

即ち、後述する比較例に係る構成においては、本例のような素子分離絶縁膜(絶縁膜)408が設けられていない。そのため、シリコン(Si)の受光領域に対して斜めに入射した光は、隣接する単位画素方向に進行し、画素間の境界を越えて隣接する単位画素に入射する。その結果、隣接する単位画素の中で光電子を発生させ、それによりクロストークおよび混色が発生し、再生画面上での色再現性が劣化する。

【0056】

一方、図6に示すように、本例に係る構造によれば、斜め方向に入射した光L2は素子分離絶縁膜408で反射されるため、隣接する単位画素に入射することを防止することができる。従って、クロストークおよび混色を発生させることは無い。

20

【0057】

特に、画素が微細化されるとマイクロレンズ、色フィルタの開口ピッチが小さくなるため、波長の長いR画素に入射した入射光が色フィルタを通過した時点で回折が生じる。その場合、シリコン(Si)基板404内の受光領域に対して、斜めに入射した光は隣接画素方向に進行し、画素間の境界を越えて隣接画素に入射すると隣接画素の中で光電子を発生させるためそれがクロストークとなり混色が発生してしまう。そして、隣接するG画素、B画素の受光領域に漏れこんでしまいそれが混色を発生させることになる。そのため、再生画面上で色再現性が劣化してしまい画質が低下する。従って、本例では、R、G、B画素のうち、特に波長の長いR画素に入射した入射光であっても、クロストークを防止して、混色の発生を防止でき、再生画像上での色再現性を向上できる点で有効であるといえる。

30

【0058】

ここで、素子分離領域において、入射された光がどの程度反射されるかは、シリコン(Si)の屈折率と素子分離領域に形成された素子分離絶縁膜408の屈折率との関係で決定される。以下において、 θ_{in} をSi中を進行する光の進行方向と素子分離絶縁膜408の表面との成す角度、 n_{si} をSiの屈折率、 n_{in} を絶縁膜408の屈折率した時に、 θ_{in} は、以下の式(1)で表される。即ち

$$\theta_{in} = \text{ARCTAN} (n_{in} / n_{si}) \quad \dots \quad \text{式(1)}$$

上記式(1)に示すように、素子分離絶縁膜408の屈折率 n_{in} が、Siの屈折率 n_{si} よりも低ければそれだけ光が反射されることになり、その分クロストークが低減することが分かる。ここで、素子分離絶縁膜408の平面形状は、上記1-4 . において、図4に示したように画素境界に沿って隙間無く連続的に格子状に形成すると、光は素子分離絶縁膜408で漏れなく反射される。

40

【0059】

さらに、素子分離絶縁膜408の平面形状は、これに限らず、図5に示したように、一定距離以内で隙間を持って単位画素を囲むように穴状に形成しても良い。これは、入射光の波長に対して素子分離絶縁膜408の間隔が一定距離以下であると、素子分離絶縁膜408の間に隙間があったとしても入射光は隣接画素に進行していかないからである。その間隔dは、入射光の波長を λ として、概略以下の式(2)で示される。

【0060】

50

$$d = 1/2 * \dots \text{式(2)}$$

図6に示した構造において、入射光の波長領域は可視光である。その中でもG画素、R画素へ入射する光は、シリコン(Si)基板404中の深くまで進行するため、クロストークの原因となりうる。従って、式(2)によれば、G画素のピーク波長540nmに対して、画素間境界にある素子分離絶縁膜408の隙間が270nm程度以下であれば、隙間dがあったとしても隙間を通して隣接する単位画素1に進行していく光のエネルギーは十分に小さく、従ってクロストークを生じさせることは無いことが分かる。

【0061】

<3. 製造方法>

次に、図8乃至図16を用いて、第1の実施形態に係る固体撮像装置の製造方法について説明する。この説明では、図6に示した構成を一例に挙げて、説明する。

10

(ステップ1)

まず、図8には、加工前のシリコン(Si)基板404を示している。

【0062】

(ステップ2)

続いて、図9に示すように、シリコン(Si)基板404に対して信号走査回路等が形成される側(表面側)の基板404の表面上に、例えば、シリコン(Si)等からなる第1支持基板31を接着する。

【0063】

(ステップ3)

続いて、図10に示すように、信号走査回路等が形成される半導体基板の反対側(裏面側)であって、受光領域となる側のシリコン基板404の表面上を、例えば、RIE(Reactive Ion Etching)法等のエッチングにより薄膜化する。本例の場合、この工程の際、シリコン基板404の厚さを、例えば、3~7um程度となるまで薄くする。

20

【0064】

(ステップ4(Si etg))

続いて、図11に示すように、受光領域が形成されるシリコン基板404の表面上(裏面側)の単位画素の素子分離境界となるシリコン基板404に、例えば、フォトリソグラフィ等により選択的にエッチングを第1支持基板31の表面上まで行い、溝33を形成する。

30

【0065】

この工程の際、例えば、RIE等の異方性エッチングやフォトリソグラフィの際のマスクパターンを変更することにより、図5で示したような穴状の開口を形成することも可能である。

【0066】

(ステップ5(絶縁膜埋め込み、反射防止膜形成))

続いて、図12に示すように、上記ステップ4で形成した溝33(あるいは穴状の開口)中に、例えば、CVD(Cheical Vapor Deposition)法又はスピコート等により、シリコン(Si)の屈折率より低い屈折率を持つシリコン酸化膜(SiO₂膜)やチタンオキサイド(TiO)膜等の絶縁材料を埋め込み、素子分離絶縁膜408を形成する。例えば、素子分離絶縁膜408は、入射される波長400nm-700nm程度の光に対する屈折率が、3.9程度以下である絶縁材料により形成されることが望ましい。

40

【0067】

続いて、素子分離絶縁膜408上に、例えば、CVD法等を用いて絶縁材料を堆積し、基板底面全域に反射防止膜405を形成する。

【0068】

(ステップ6)

続いて、図13に示すように、受光側となるシリコン基板404の裏面側の反射防止膜405上に、例えば、シリコン(Si)等からなる第2支持基板32を接着する。

【0069】

50

(ステップ7)

続いて、図14に示すように、上記ステップ2の工程でシリコン基板404の表面側に接着させた信号操作回路側の第1支持基板を、取り外す。

【0070】

(ステップ8)

続いて、図15に示すように、第2支持基板32およびシリコン基板404を反転させ、シリコン基板404の表面上に、例えば、通常のLSI製造プロセスを用いて、p型、n型拡散層403等を形成し、フォトダイオード2や読み出しトランジスタ4(図示せず)等の能動素子を形成する。

【0071】

続いて、シリコン基板404の表面側の上記形成した構成上に、例えば、CVD法等を用いてシリコン酸化膜等を堆積し、層間絶縁膜409を形成する。その後、層間絶縁膜409中に、上記MOD-FET等を接続する配線層402を形成し、信号操作回路を形成する。

【0072】

(ステップ9)

続いて、上記ステップ8にて形成した信号操作回路側(表面側)に、第3支持基板(図示せず)をさらに接着する。

【0073】

続いて、図16に示すように、反対側(表面側)の第2支持基板32を取り外す。

【0074】

最後に、第3支持基板(図示せず)およびシリコン基板404を反転させ、シリコン基板404の裏面上に、順次、色フィルタ406、マイクロレンズ407を形成する。

以上の製造工程により、図6に示す固体撮像装置を製造する。

【0075】

<4.効果>

この実施形態に係る固体撮像装置およびその製造方法によれば、少なくとも下記(1)乃至(2)の効果が得られる。

【0076】

(1)隣接画素間でのクロストークを防止して、混色の発生を防止できるため、再生画面上での色再現性の向上に対して有利である。

【0077】

図6等に示すように、この実施形態に係る固体撮像装置の構成では、受光面は、隣接する単位画素(PIXEL)1との境界部分を囲むように設けられ素子分離領域を区画する素子分離絶縁膜408を備えている。ここで、素子分離絶縁膜408は、シリコン(Si)の屈折率より低い屈折率を持つ絶縁膜から形成されている。例えば、素子分離絶縁膜408は、入射される波長400nm-700nm程度の光に対する屈折率が、3.9程度以下である絶縁材料により形成されることが望ましい。より具体的には、例えば、素子分離絶縁膜408は、シリコン酸化膜(SiO₂膜)、チタンオキサイド(TiO)膜等の絶縁材料により形成される。また、図4に示すように、例えば、素子分離絶縁膜408の平面形状は、単位画素1を、ロウ方向およびカラム方向において囲むように格子状に配置されるものである。

【0078】

上記構成によれば、図6に示すように、斜め方向に入射した光L2は素子分離絶縁膜408で反射されるため、隣接する単位画素に入射することを防止することができる。従って、クロストークおよび混色を発生させることは無く、再生画面上での色再現性の向上に対して有利である。

【0079】

(2)画素の縮小が進行した場合であっても、再生画像の品質劣化を抑制できる点で有利である。

【0080】

10

20

30

40

50

単位画素の面積が縮小されると、単位画素で受光できるフォトン (photon) の数が単位画素面積に比例して減少してしまう結果、光ショットノイズに対する S/N 比が低下する。S/N 比が維持できないと、再生画面における画質が劣化してしまい再生画像の品質が落ちてしまう (上記第一の問題点)。

【0081】

本例に係る固体撮像装置は、裏面照射型である。そのため、入射光は信号走査回路及びその配線層が形成されるシリコン (Si) 表面 (表面) とは反対側のシリコン (Si) 表面 (裏面) から入射光を照射することができる。そのため、画素に入射する光が配線層に阻害されることなくシリコン (Si) 基板内に形成された受光領域に到達することができる。その結果、上記第一の問題点に対して、即ち、画素の縮小が進行した場合であっても、再生画像の品質劣化の抑制できる点で有利である。

10

【0082】

また、上記 (1) (2) の点から、本例は、裏面型固体撮像装置に適用した場合に、より有効である。

【0083】

[第2の実施形態 (拡散層を更に備える一例)]

次に、第2の実施形態に係る固体撮像装置およびその製造方法について、図17乃至図22を用いて説明する。この実施形態は、素子分離絶縁膜48の側壁上に沿って半導体基板404中に設けられるp型の拡散層55を更に備える一例に関するものである。この説明において、上記第1の実施形態と重複する部分の詳細な説明を省略する。

20

【0084】

< 平面構成例 >

まず、図17および図18を用いて、この実施形態に係る画素アレイ12の平面構成例について説明する。

【0085】

図17に示す平面構成例 (1) では、素子分離絶縁膜48の側壁上に沿って半導体基板404中に単位画素1を囲むように四角状の平面形状に設けられるp型の拡散層55を更に備える点で、上記第1の実施形態と相違している。

【0086】

図18 (a)、(b) に示す平面構成例 (2) では、素子分離絶縁膜48の側壁の側壁上に沿って半導体基板404中に単位画素1を囲むように丸状の平面形状に設けられるp型の拡散層55を更に備える点で、上記第1の実施形態と相違している。図18の実施例では素子分離の平面形状が丸になっている場合について図示しているが、この平面形状が四角であってもかまわない。

30

【0087】

また、図18 (b) に示すように、ロウ方向およびカラム方向に隣接するp型拡散層55の膜厚 (素子分離絶縁膜408の間隔) は、例えば、270nm程度以下であることが望ましい。P型拡散層55はそれぞれ分離されず連続して形成されることが望ましい。これは、そのように隣接する単位画素1の間で隙間無くp型拡散層55が形成されることにより、p型拡散層55は、前記のような暗電流防止の効果があるだけでなく、受光領域となるn型拡散層403と、これに隣接する単位画素1中のn型拡散層403との間の拡散防止の効果をも有することができるからである。

40

【0088】

< 断面構造例および光学的作用・効果 >

次に、図19を用いて、本例に係る断面構造例およびその光学的作用・効果について説明する。ここでは、図17、図18中のXIX-XIX線に沿った断面構造を一例に挙げる。

【0089】

図19 (a) に示すように、本例に係る構成では、素子分離絶縁膜48の側壁上に沿っ

50

て半導体基板 404 中に p 型の拡散層 55 が設けられている点で、上記第 1 の実施形態と相違している。

本例のような構成にすることにより、以下のような光学的作用・効果が得られる。

まず、図 19 (b) に示すように、斜め方向に入射した光 L2 は素子分離絶縁膜 408 で反射されるため、隣接する単位画素に入射することを防止することができる。上記第 1 の実施形態と同様に、クロストークおよび混色を発生させることは無く、再生画面上での色再現性の向上に対して有利である。

【0090】

加えて、図 19 (c) に示すように、シリコン (Si) 基板 404 と素子分離絶縁膜 408 との界面の空乏化を防止できるため、境界面に存在する結晶欠陥等が原因で発生する暗電流を低減できる点で有利である。

10

【0091】

また、この際、図示するように、p 型拡散層 55 は、隣接する単位画素 1 の間で、互いに連続的に形成されていることが望ましい。これは、そのように隣接する単位画素 1 の間で隙間無く p 型拡散層 55 が形成されることにより、p 型拡散層 55 は、前記のような暗電流防止の効果があるだけでなく、受光領域となる n 型拡散層 403 と、これに隣接する単位画素 1 中の n 型拡散層 403 との間の拡散防止の効果をも有することができるからである。

【0092】

< 製造方法 >

20

次に、図 20 乃至図 22 を用いて、第 2 の実施形態に係る固体撮像装置の製造方法について説明する。この説明では、上記第 1 の実施形態と重複する部分の詳細な説明を省略する。

図 20 に示すように、受光領域が形成されるシリコン基板 404 の裏面側の単位画素の素子分離境界となるシリコン基板 404 に、例えば、フォトリソグラフィ等により選択的にエッチングを第 1 支持基板 31 の表面上まで行い、溝 33 を形成する。

【0093】

この工程の際、例えば、RIE 等の異方性エッチングやフォトリソグラフィの際のマスクパターンを変更することにより、図 18 で示したような穴状の開口を形成することも可能である。

30

【0094】

続いて、図 21 に示すように、例えば、固層拡散等の方法を用いて、シリコン基板 404 の溝 33 (あるいは穴) 中の側壁の Si 表面中に、ホウ素 (B) やインジウム (In) 等の p 型のドーパントを導入し、p 型拡散層 55 を形成する。

【0095】

続いて、図 22 に示すように、上記ステップで形成した構成の溝 33 (あるいは穴状の開口) 中に、例えば、CVD 法又はスピコート等により、シリコン (Si) の屈折率より低い屈折率を持つシリコン酸化膜 (SiO₂ 膜) やシリコン窒化膜 (Si₃N₄ 膜)、チタンオキサイド (TiO) 膜等の絶縁材料を埋め込み、素子分離絶縁膜 408 を形成する。続いて、素子分離絶縁膜 408 上に、例えば、CVD 法を用いて絶縁材料を堆積し

40

、基板底面全域に反射防止膜 405 を形成する。

【0096】

< 効果 >

上記のように、この実施形態に係る固体撮像装置およびその製造方法によれば、少なくとも上記 (1) 乃至 (2) と同様の効果が得られる。さらに、本例によれば、少なくとも下記 (3) の効果が得られる。

【0097】

(3) 暗電流を低減できる点で有利である。

50

【 0 0 9 8 】

本例に係る固体撮像装置は、素子分離絶縁膜 4 0 8 の側壁上に沿って半導体基板 4 0 4 中に設けられる p 型の拡散層 5 5 を更に備えている。

【 0 0 9 9 】

そのため、図 1 9 (c) に示すように、シリコン (S i) 基板 4 0 4 と素子分離絶縁膜 4 0 8 との界面の空乏化を防止できるため、境界面に存在する結晶欠陥等が原因で発生する暗電流を低減できる点で有利である。

【 0 1 0 0 】

さらに、この際、図示するように、p 型拡散層 5 5 は、隣接する単位画素 1 の間で、互いに連続的に形成されていることが望ましい。この構成により、隣接する単位画素 1 の間で隙間無く p 型拡散層 5 5 が形成され、p 型拡散層 5 5 は、前記のような暗電流防止の効果があるだけでなく、受光領域となる n 型拡散層 4 0 3 と、これに隣接する単位画素 1 中の n 型拡散層 4 0 3 との間の拡散防止の効果をも有することができるからである。

【 0 1 0 1 】

[第 3 の実施形態 (絶縁膜、p 型拡散層がオフセットされて設けられる一例)]

次に、図 2 3 乃至図 3 1 を用いて、第 3 の実施形態に係る固体撮像装置およびその製造方法について説明する。この実施形態は、素子分離絶縁膜 4 0 8、p 型拡散層 5 5 が、信号走査回路部が形成される半導体基板の表面上 (表面側) から所定の距離 (d 1 または d 2) を持ってオフセットされて設けられる一例に関するものである。この説明において、上記第 1 の実施形態と重複する部分の詳細な説明を省略する。

【 0 1 0 2 】

< 断面構成例 (1) >

図 2 3 に示す断面構成は、素子分離絶縁膜 4 0 8 が、信号走査回路部が形成される半導体基板 4 0 4 の表面上 (表面側) から所定の距離 (d 1) を持って半導体基板 4 0 4 中にオフセットされて設けられる点で、上記第 1 の実施形態と相違している。

【 0 1 0 3 】

換言すると、図示する構成は、隣接する単位画素 1 の間の素子分離絶縁膜 4 0 8 が、信号走査回路の形成される表面側のシリコン (S i) 基板 4 0 4 上には形成されていない点で、上記第 1 の実施形態と相違している。

【 0 1 0 4 】

さらに、図示すように、素子分離絶縁膜 4 0 8 は、単位画素 1 の素子分離境界領域に設けられるところ、信号走査回路の形成される表面側のシリコン (S i) 基板 4 0 4 の表面上にまで及んで素子分離絶縁膜 4 0 8 を設けると、シリコン基板 4 0 4 の表面側に設けられた MOS-FET 等の能動素子が占めることのできる面積が著しく小さくなってしまふ。従って、微細画素において、多数の MOS-FET 等の能動素子を形成させることができなくなってしまう。

【 0 1 0 5 】

ここで、図 2 4 に拡大して示すように、破線で囲って示す能動素子 (MOS-FET) は、層間絶縁膜中 4 0 9 中に設けられるゲート電極 gate、ゲート絶縁膜、ゲート電極 gate を挟むようにシリコン基板 4 0 4 中に隔離して設けられるソースまたはドレイン S / D (n 型拡散層) により構成される。また、能動素子 (MOS-FET) の間には素子分離絶縁膜 S T I が設けられる。さらに、素子分離絶縁膜 4 0 8 の下方における半導体基板 4 0 4 中に、ドレイン S / D (n 型拡散層) および素子分離絶縁膜 S T I を囲むように、P ウェル (P Well) 4 4 2 が設けられる。

【 0 1 0 6 】

しかし、図示すように、本例では、素子分離絶縁膜 4 0 8 が、信号走査回路部が形成される半導体基板 4 0 4 の表面上 (表面側) から所定の距離 (d 1) を持って半導体基板 4 0 4 中にオフセットされて設けられている。

【 0 1 0 7 】

そのため、単位画素 1 に形成する MOS-FET 等の能動素子のレイアウトには何の制約も無

10

20

30

40

50

く、従って微細画素を制約無く形成することができる。本例の場合、オフセットさせる距離 d_1 は、例えば、 150nm 程度から $1\mu\text{m}$ 程度であることが望ましい。

【0108】

< 製造方法 (1) >

次に、図25および図26を用いて、上記断面構成例(1)を製造するための製造方法について説明する。

【0109】

まず、図25に示すように、受光領域が形成されるシリコン基板404の裏面側の単位画素の素子分離境界となるシリコン基板404に、例えば、フォトリソグラフィ等によりエッチングを選択的に行い、第1支持基板31の表面上(シリコン基板404の表面側)から所定の距離(d_1)を持ってシリコン基板404中にオフセットするように、溝33を形成する点で、上記第1の実施形態と相違する。

10

【0110】

この工程の際には、例えば、エッチングを行う際の印加電圧を上記第1の実施形態よりも低く選択したり、所定の反応物を選択すること等によって、所定の距離 d_1 を持ってオフセットする溝33を形成する。

【0111】

続いて、図26に示すように、所定の距離 d_1 を持ってオフセットした溝33(あるいは穴状の開口)中に、例えば、CVD法又はスピンコート等により、シリコン(Si)の屈折率より低い屈折率を持つシリコン酸化膜(SiO₂膜)やチタンオキサイド(TiO₂)膜等の絶縁材料を埋め込み、素子分離絶縁膜408を形成する。続いて、素子分離絶縁膜408上に、例えば、CVD法等を用いて絶縁材料を堆積し、基板底面全域に反射防止膜405を形成する。

20

以後、上記第1の実施形態と同様の製造工程を用いて、図23に示す固体撮像装置を製造する。

【0112】

< 断面構成例 (2) >

次に、図27に示す断面構成は、素子分離絶縁膜408に加えてp型拡散層55が、信号走査回路部が形成される半導体基板404の表面上(表面側)から所定の距離(d_2)を持って半導体基板404中にオフセットされて設けられる点で、上記第1の実施形態と相違している。換言すると、図示する構成は、隣接する単位画素1の間の素子分離絶縁膜408およびp型拡散層55が、信号走査回路の形成される表面側のシリコン(Si)基板404上には形成されていない点で、上記第1の実施形態と相違している。

30

【0113】

ここで、図28中に拡大して示すように、能動素子(MOS-FET)が、素子分離絶縁膜408のオフセットさせた領域に設けられている。また、能動素子(MOS-FET)の間には素子分離絶縁膜STIが設けられる。

【0114】

さらに、本例では、図28中に示すように、p型拡散層55とpウェル(PWell)442とが、境界445において接続するように設けられている。

40

【0115】

そのため、光電変換する際において、ホールを半導体基板404側へ逃すことができる点で有利である。

【0116】

オフセットさせる距離 d_2 は、例えば、 150nm 程度から $1\mu\text{m}$ 程度であることが望ましい。

【0117】

< 製造方法 (2) >

次に、図29乃至図31を用いて、上記断面構成例(2)を製造するための製造方法について説明する。

50

【0118】

まず、図29に示すように、上記と同様に、受光領域が形成されるシリコン基板404の裏面側の単位画素の素子分離境界となるシリコン基板404に、例えば、フォトリソグラフィ等によりエッチングを選択的に行い、第1支持基板31の表面上（シリコン基板404の表面側）から所定の距離（ d_2 ）を持ってシリコン基板404中にオフセットするように溝33を形成する。

【0119】

続いて、図30に示すように、例えば、固層拡散等の方法を用いて、所定の距離 d_2 を持ってオフセットされた溝33（あるいは穴）中の側壁のSi表面中に、ホウ素（B）やインジウム（In）等のp型のドーパントを導入し、p型拡散層55を形成する。

10

【0120】

続いて、図31に示すように、上記ステップで形成した構成の溝33（あるいは穴状の開口）中に、例えば、CVD法又はスピコート等により、シリコン（Si）の屈折率より低い屈折率を持つシリコン酸化膜（ SiO_2 膜）やチタンオキサイド（TiO）膜等の絶縁材料を埋め込み、素子分離絶縁膜408を形成する。続いて、素子分離絶縁膜408上に、例えば、CVD法等を用いて絶縁材料を堆積し、基板底面全域に反射防止膜405を形成する。

以後、上記第1の実施形態と同様の製造工程を用いて、図27に示す固体撮像装置を製造する。

【0121】

20

<効果>

上記のように、この実施形態に係る固体撮像装置およびその製造方法によれば、少なくとも上記（1）乃至（3）と同様の効果が得られる。さらに、本例によれば、少なくとも下記（4）の効果が得られる。

【0122】

（4）単位画素1に形成するMOS-FET等の能動素子のレイアウトに何の制約も無いため、微細画素を制約無く形成することができる。

【0123】

ここで、素子分離絶縁膜408、p型拡散層55は、単位画素1の素子分離境界領域に設けられる必要があるところ、信号走査回路の形成される表面側のシリコン（Si）基板404の表面上にまで及んで素子分離絶縁膜408、p型拡散層55を設けると、シリコン基板404の表面側に設けられたMOS-FET等の能動素子が占めることのできる面積が著しく小さくなってしまふ。従って、微細画素において、多数のMOS-FETを形成させることができなくなってしまう。

30

【0124】

しかし、図23、図27に示すように、本例に係る構成では、素子分離絶縁膜408、p型拡散層55が、信号走査回路部が形成される半導体基板404の表面上（表面側）から所定の距離（ d_1 、 d_2 ）を持って半導体基板404中にオフセットされて設けられている。換言すると、本例に係る構成は、隣接する単位画素1の間の素子分離絶縁膜408、p型拡散層55が、信号走査回路の形成される表面側のシリコン（Si）基板404上には形成されていない。

40

【0125】

その結果、単位画素1に形成するMOS-FET等の能動素子のレイアウトには何の制約も無いため、微細画素を制約無く形成することができる点で有利である。

【0126】

尚、オフセットさせる距離 d_1 、 d_2 は、例えば、150nm程度から1 μ m程度であることが望ましい。

【0127】

[比較例（素子分離絶縁膜を備えていない一例）]

次に、図32を用いて、上記第1乃至第3の実施形態に係る固体撮像装置と比較するた

50

めに、比較例に係る固体撮像装置について説明する。この比較例は、素子分離領域において素子分離絶縁膜を備えていない一例に関するものである。

【0128】

図示するように、この比較例に係る構成では、素子分離領域において、上記実施形態に示す素子分離絶縁膜を備えていない。

【0129】

そのため、この比較例に係る固体撮像装置では、基板の裏面側より入射された入射光 L11, L12 は、単位画素 100 中において ML / CF の通過後に回折し、隣接する単位画素に漏れこみ、クロストークとなる。その結果、混色を発生させ、再生画面上で色再現性が劣化してしまい画質が低下する点で不利である。

10

【0130】

このように、比較例に係る構成では、素子分離領域において上記実施形態に示す素子分離絶縁膜を備えていないため、シリコン (Si) 基板中を伝播する光 L11, L12 の進行を止めることができない。

【0131】

以上、第1乃至第3の実施形態および比較例を用いて本発明の説明を行ったが、この発明は上記各実施形態および比較例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態および比較例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態および比較例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

20

【図面の簡単な説明】

【0132】

【図1】この発明の第1の実施形態に係る固体撮像装置の全体構成例を示すブロック図。

【図2】第1の実施形態に係る固体撮像装置の画素アレイの等価回路図。

【図3】第1の実施形態に係る固体撮像装置の色フィルタを示す平面図。

【図4】第1の実施形態に係る固体撮像装置の画素アレイの平面構成例(1)を示す平面図。

30

【図5】第1の実施形態に係る固体撮像装置の画素アレイの平面構成例(2)を示す平面図。

【図6】図4, 図5中のVI-VI線に沿った断面図。

【図7】第1の実施形態に係る固体撮像装置の単位画素を示す断面図。

【図8】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図9】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図10】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図11】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図12】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図13】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

40

【図14】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図15】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図16】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図17】第2の実施形態に係る固体撮像装置の画素アレイの平面構成例(1)を示す平面図。

【図18】(a)は第2の実施形態に係る固体撮像装置の画素アレイの平面構成例(2)を示す平面図、(b)は図中の破線で囲んだ部分を示す平面図。

【図19】(a)は図17, 図18中のXIX-XIX線に沿った断面図、(b)は図中の破線57で囲んだ部分を示す断面図、(c)は図中の破線58で囲んだ部分を示す断面図。

50

- 【図20】第2の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図21】第2の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図22】第2の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図23】第3の実施形態に係る固体撮像装置の単位画素の断面構成例(1)を示す断面図。
- 【図24】図23中の単位画素を拡大して示す断面図。
- 【図25】第3の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図26】第3の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図27】第3の実施形態に係る固体撮像装置の単位画素の断面構成例(2)を示す断面図。
- 【図28】図27中の単位画素を拡大して示す断面図。
- 【図29】第3の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図30】第3の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図31】第3の実施形態に係る固体撮像装置の一製造工程を示す断面図。
- 【図32】比較例に係る固体撮像装置の断面構成例を示す断面図。

10

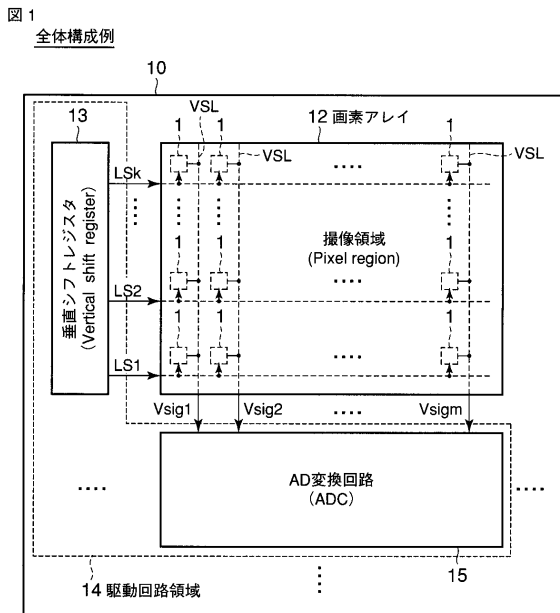
【符号の説明】

【0133】

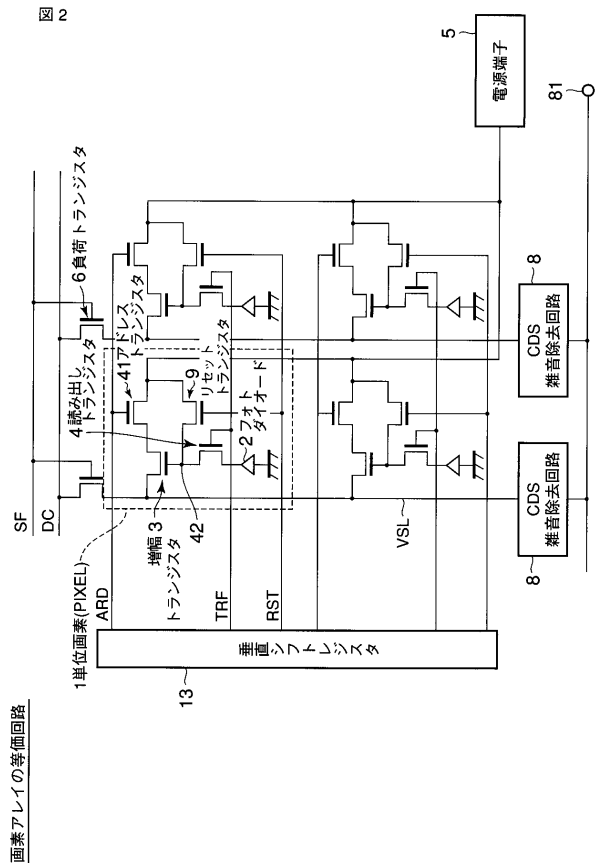
- 1...単位画素(Pixel)、402...配線層、403...n型拡散層、404...半導体(シリコン)基板、405...反射防止膜、406...色フィルタ、407...マイクロレンズ、408...素子分離絶縁膜、409...層間絶縁膜。

20

【図1】



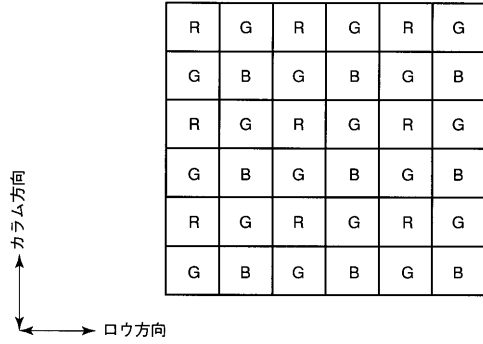
【図2】



画素アレイの等価回路

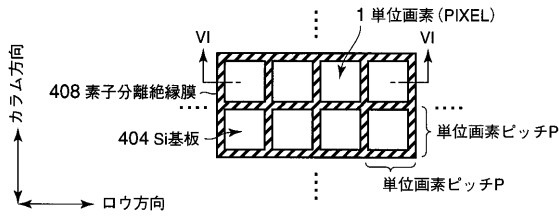
【 図 3 】

図 3
色フィルタ 406



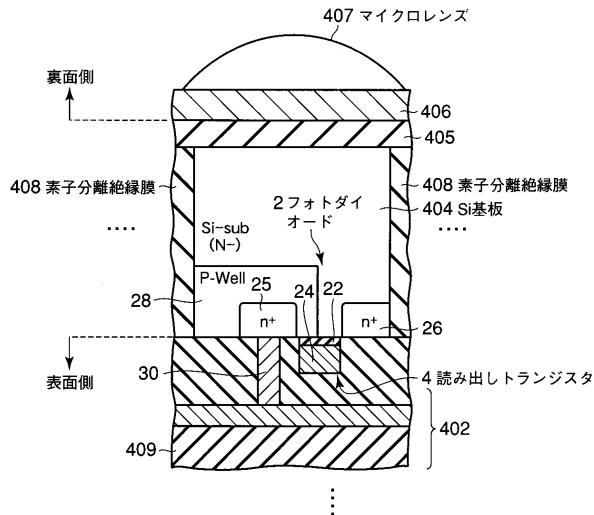
【 図 4 】

図 4
平面構成例 (1) (第1の実施形態)



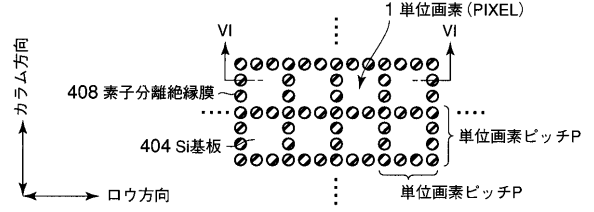
【 図 7 】

図 7
単位面素の構成例



【 図 5 】

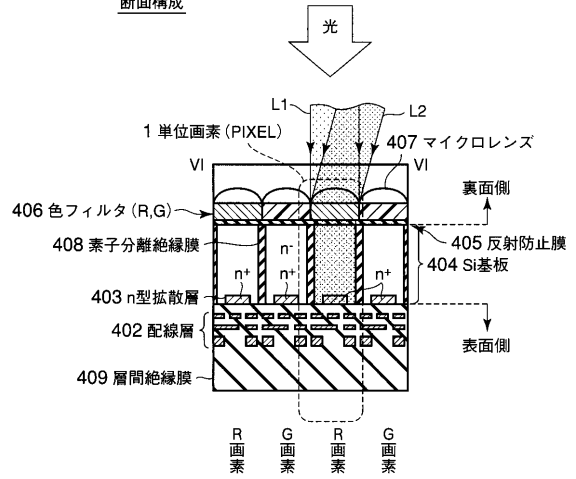
図 5
平面構成例 (2) (第1の実施形態)



【 図 6 】

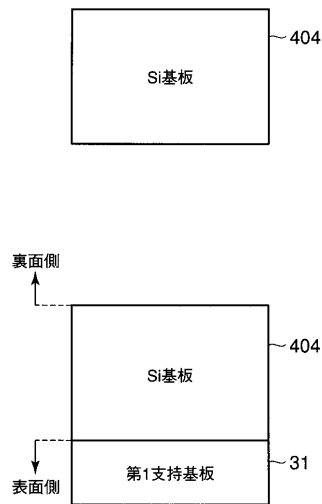
図 6

断面構成



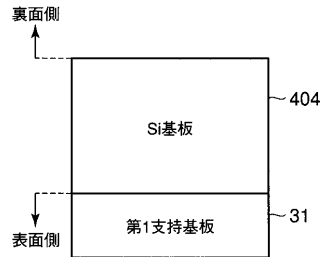
【 図 8 】

図 8
製造方法 (第1の実施形態)



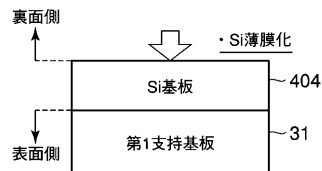
【 図 9 】

図 9

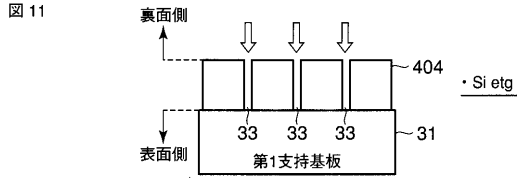


【 図 10 】

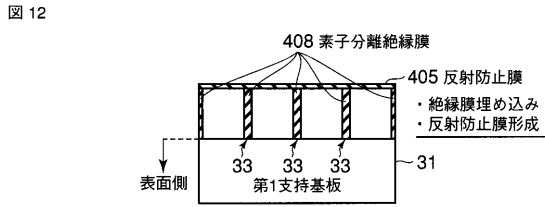
図 10



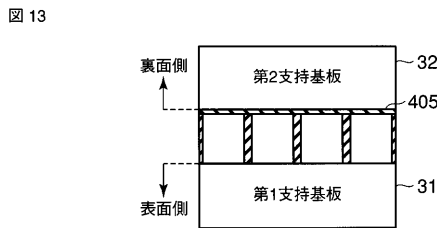
【 図 1 1 】



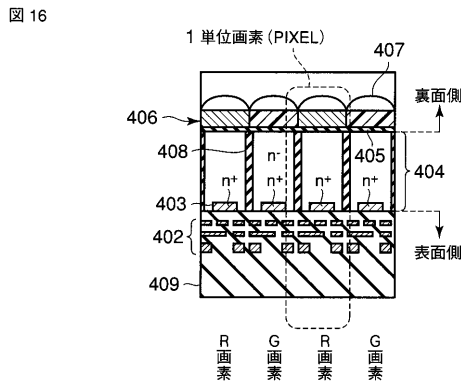
【 図 1 2 】



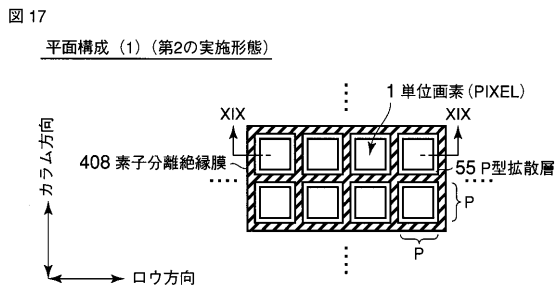
【 図 1 3 】



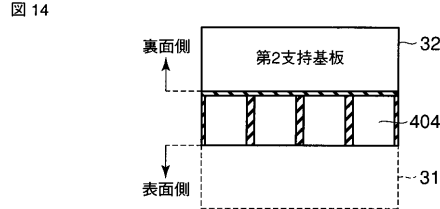
【 図 1 6 】



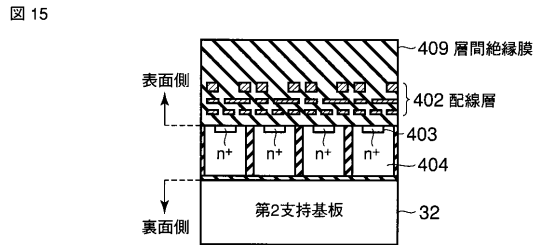
【 図 1 7 】



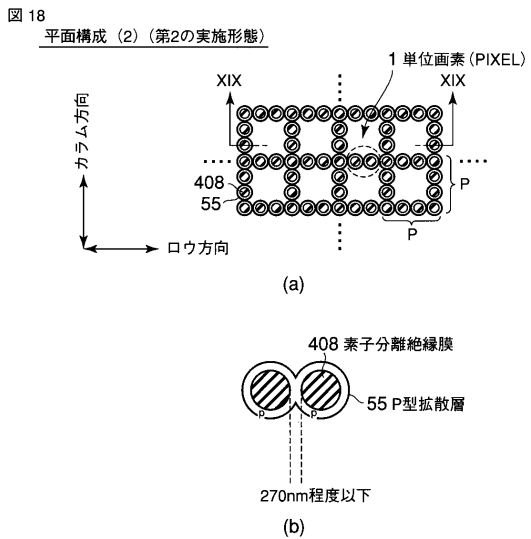
【 図 1 4 】



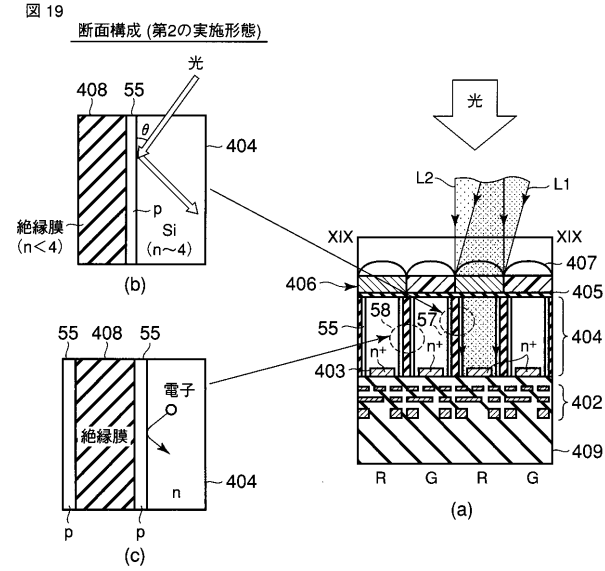
【 図 1 5 】



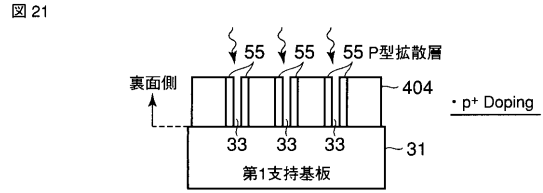
【 図 1 8 】



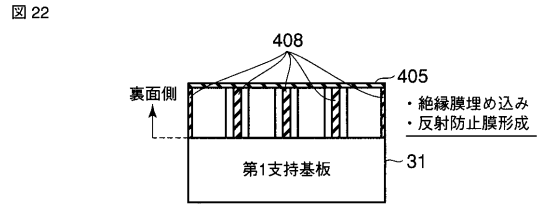
【 図 1 9 】



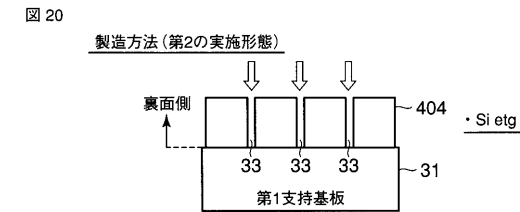
【 図 2 1 】



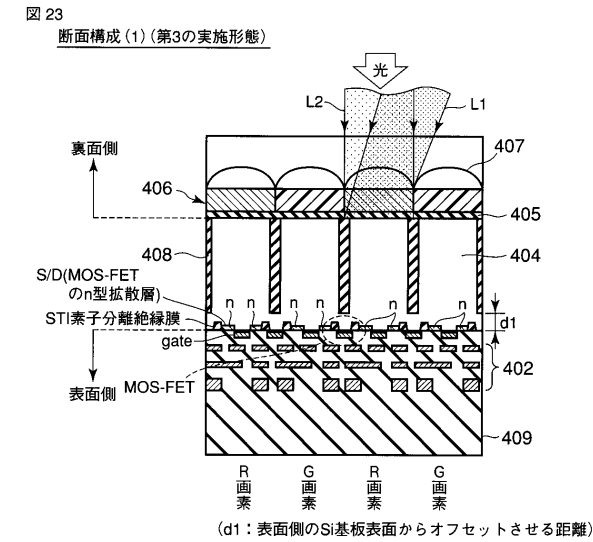
【 図 2 2 】



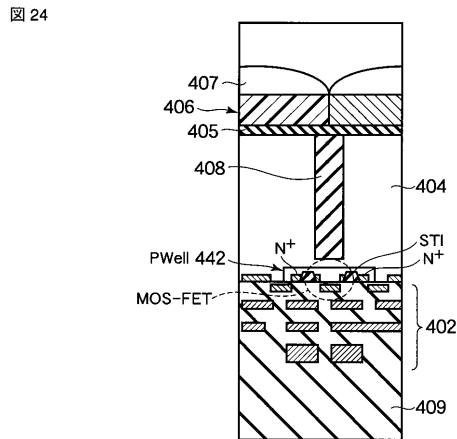
【 図 2 0 】



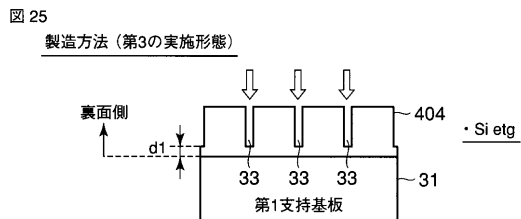
【 図 2 3 】



【 図 2 4 】

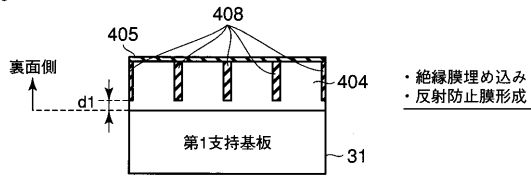


【 図 2 5 】



【 図 2 6 】

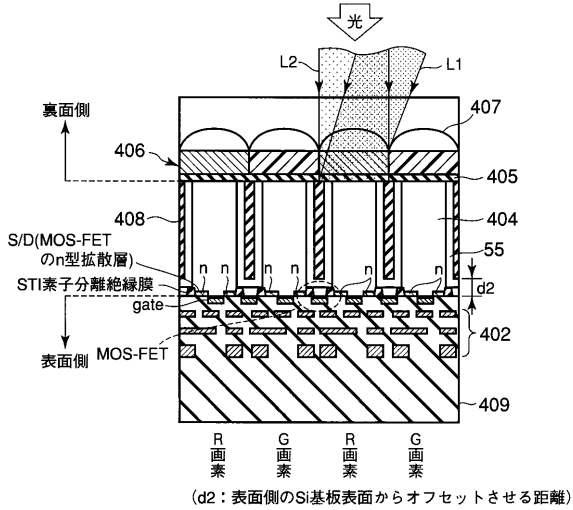
図 26



【 図 2 7 】

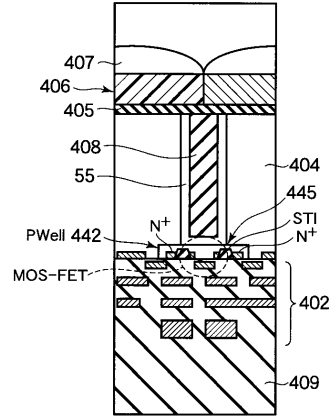
図 27

断面構成 (2) (第3の実施形態)



【 図 2 8 】

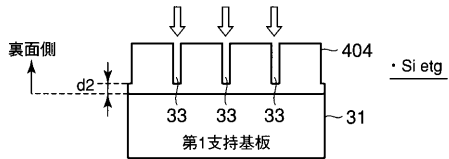
図 28



【 図 2 9 】

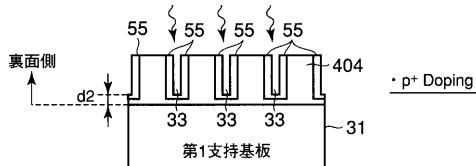
図 29

製造方法 (第3の実施形態)



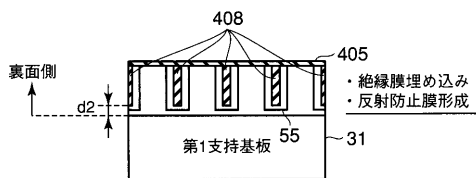
【 図 3 0 】

図 30



【 図 3 1 】

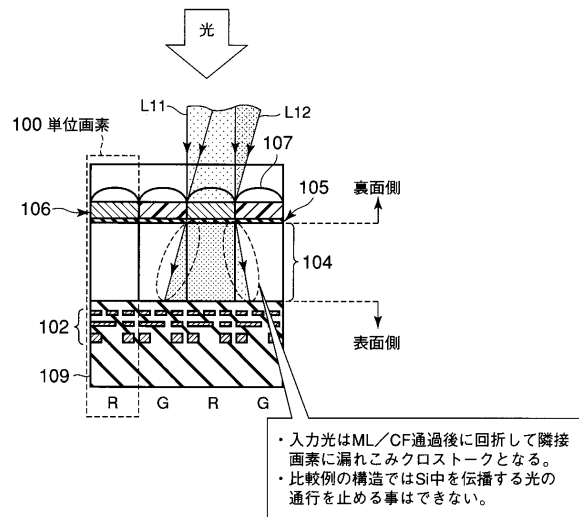
図 31



【 図 3 2 】

図 32

比較例



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元

(72)発明者 山下 浩史
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M118 AA10 AB01 BA14 CA03 DD04 DD12 EA01 EA16 FA06 FA27
FA28 FA33 GA02 GA09 GC08 GC14 GD04 GD15
5F049 MA02 NA20 NB05 QA20 SS03 SZ01 TA12 TA13 UA13