

本 告

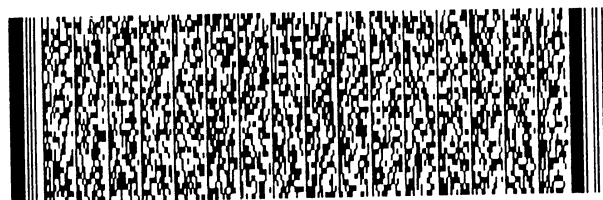
申請日期：92 4 23	IPC分類
申請案號：92109530	H01L23/58

(以上各欄由本局填註) **發明專利說明書** I225292

一、發明名稱	中文	多晶片堆疊封裝體
	英文	MULTI-CHIPS STACKED PACKAGE

二、發明人 (共1人)	姓名 (中文)	1. 王頌斐
	姓名 (英文)	1. Wang, Sung-Fei
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市楠梓區加昌路729巷90弄21號
	住居所 (英文)	1. No. 21, Alley 90, Lane 729, Jiachang Rd., Nantz Chiu, Kaohsiung, Taiwan 811, R. O. C.

三、申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 811高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R. O. C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chang, Jason



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

(一)、【發明所屬之技術領域】

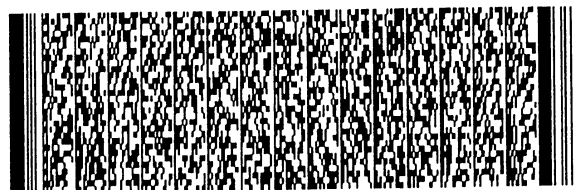
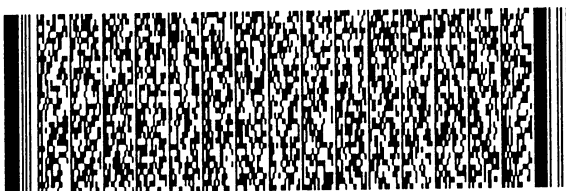
本發明係有關於一種多晶片堆疊封裝體，特別是有關於一種能夠防止上層晶片於打線製程中，因上層晶片之過度傾斜而破壞用以電性連接下層晶片與載板之多晶片堆疊封裝體。

(二)、【先前技術】

隨著微小化以及高運作速度需求的增加，多晶片封裝體在許多電子裝置越來越吸引人。多晶片封裝體可藉由將兩個或兩個以上之晶片組合在單一封裝體中，來提升系統之運作速度。此外，多晶片封裝體可減少晶片間連接線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片封裝體為並排式(side-by-side)多晶片封裝體，其係將兩個以上之晶片彼此並排地安裝於一共同載板之主要安裝面。晶片與共同載板上導電線路間之連接一般係藉由打線法(wire bonding)達成。然而該並排式多晶片封裝體之缺點為封裝效率太低，因為該共同載板之面積會隨著晶片數目的增加而增加。

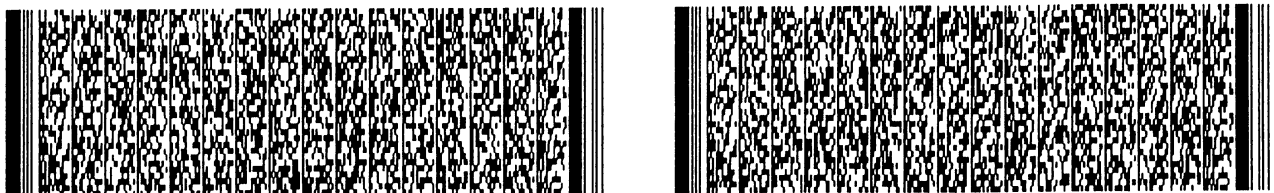
因此，美國專利第5323060號揭示一多晶片堆疊裝置(multichip stacked device)，其包含一載板110及第一晶片120，第一晶片120係設置於載板110上並且電性連接至載板110，以及一第二晶片130堆疊於該第一晶片120上並且電性連接至載板110(參見圖1)。該美國專利第5323060號之特徵在於利用一設於兩晶片間的黏著層140來提供導電線線



五、發明說明 (2)

弧(the loops of the bonding wires)所需之空隙(clearance)。並且該黏著層140之厚度必須大於導電線之弧高(loop height)，即第一晶片110主動表面與導電線150之線弧頂點間的距離，以避免第二晶片130接觸到導電線150之線弧。一般而言，黏著層140之材料係為環氧膠(epoxy)或膠帶(tape)。然而要形成厚度達8密爾之環氧黏著層，且控制其厚度之均勻以提供下層晶片(第一晶片)足夠之空間進行打線製程是非常困難的。尤其是上層晶片(第二晶片)大於下層晶片(第一晶片)之尺寸時，當上層晶片(第二晶片)進行打線製程以使上層晶片(第二晶片)與載板接合時，因黏著層厚度之不易控制，且當外加上層晶片(第一晶片)之打線應力過大時，此時易造成上層晶片(第二晶片)之過度傾斜(tilt)，而破壞下層晶片(第一晶片)與載板間電性連接之導電線。再者，使用厚度達8密爾之膠帶，雖可較穩定控制黏著層厚度以解決上述問題，然而其製造成本較高，亦較不符合經濟效益。

近來，半導體業界開發出另一堆疊晶片封裝體(參照圖2)，其特徵在於利用一虛晶片(dummy chip)160來幫助提供鐸線線弧所需之空隙。該虛晶片160係利用兩黏著層162、164夾設於兩晶片120、130間。該兩黏著層162、164一般係以熱固性環氧材料(thermosetting epoxy material)製成。由於利用虛晶片提供足夠之空隙以提供下層晶片足夠之空間進行打線作業，故環氧膠的黏著層厚度較薄亦較易控制。然而，當上層晶片與載板打線接合之打



五、發明說明 (3)

線應力過大時，同樣地亦容易造成上層晶片之過度傾斜 (tilt)，而破壞下層晶片與載板間電性連接之導電線。

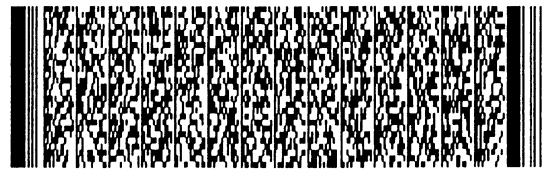
有鑑於此，為避免前述多晶片堆疊封裝體之缺點，以提升多晶片堆疊封裝體中之晶片效能，實為一重要的課題。

(三)、【發明內容】

有鑑於上述課題，本發明之目的係提供一種多晶片堆疊封裝體，可防止上層晶片過度傾斜而造成用以電性連接下層晶片與基板之導電線之破壞。

緣是，為了達成上述目的，本發明係提供一種多晶片堆疊封裝體，至少包含一基板、一第一晶片、一第二晶片、一黏著層、一支撐體 (supporting body) 與一封膠體。在上述之多晶片堆疊封裝體中，第一晶片係設置於載板上，而第二晶片係藉由黏著層設置於第一晶片上，且第一晶片與第二晶片係分別藉由複數條第一導電線及第二導電線與載板電性連接。其中，該支撐體係環繞第一晶片週邊而設置於載板上，以使支撐體被覆蓋於第二晶片下方，藉此以防止第一晶片與基板打線接合時，造成第二晶片之過度傾斜而破壞第一導電線。

本發明另提供一種多晶片堆疊封裝體，至少包含一基板、一第一晶片 (下層晶片)、一第二晶片 (上層晶片)、一黏著層、一支撐體 (supporting body) 與一封膠體。同樣地，第一晶片係設置於載板上，而第二晶片係藉由黏著層



五、發明說明 (4)

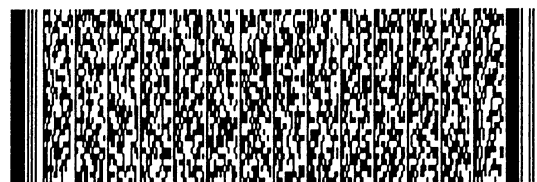
設置於第一晶片上，且第一晶片與第二晶片係分別藉由複數條第一導電線及第二導電線與載板電性連接。其中，該支撐體係設置於第一晶片上之週邊，以使支撐體被覆蓋於第二晶片下方，藉此以防止第一晶片於打線電性連接基板時，造成第二晶片過度傾斜而破壞第一導電線。

綜上所述，本發明之多晶片堆疊封裝體係於基板上形成一支撐體，以使該支撐體被覆蓋於上層晶片之下方且與上層晶片之背面間有一固定距離，如此上層晶片進行打線接合時，該支撐體可用以支撐傾斜後之上層晶片，故可防止上層晶片過度傾斜而破壞下層晶片與基板電性連接之導電線。

(四)、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之多晶片堆疊封裝體。

圖3係顯示本發明第一較佳實施例之多晶片堆疊封裝體。本發明之多晶片堆疊封裝體至少包含一載板210、一第一晶片220、一第二晶片230、一黏著層240、一支撐體250 (supporting body) 與一封膠體260。第一晶片220係以其背面222設置於載板210上，並且藉複數條第一導電線270與載板210電性連接。再者，第二晶片230係以其背面232藉一黏著層240與第一晶片220黏合，並藉複數條第二導電線280與載板210電性連接。此外，支撐體250係環繞第一晶片220及第一導電線270與載板210上之打線接合墊214之週邊而設置

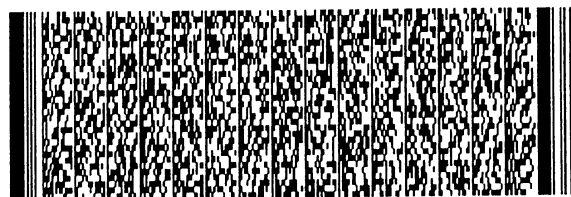
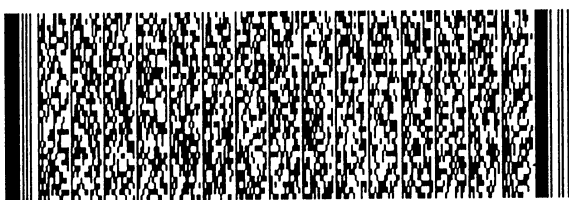


五、發明說明 (5)

於載板210上，同時支撐體250係被覆蓋於第二晶片230下方。其中，支撐體之頂端254與第二晶片之背面232可有一固定距離且支撐體250之高度需大於第一導電線270之線弧頂點272，以防止當黏著層240之厚度控制不易且第二晶片230與載板210打線接合時，因打線接合時之對第二晶片230施加之應力過大時，造成第二晶片230之過度傾斜而破壞第一導電線270。

此外，如圖4所示為本發明第二較佳實施例之多晶片堆疊封裝體。其中，與第一實施例之封裝體相近似，不同的是第一晶片220與第二晶片230間係設置一中介墊240' (spacer)，如虛晶片或其它固態形式之墊塊，以進一步改善上述黏著層厚度控制不易之問題且增加一第一晶片220之打線空間，以降低第二晶片230與載板210打線接合時，因打線接合對第二晶片230施加之應力過大，造成第二晶片230之過度傾斜而破壞第一導電線270之機率。承前所述，支撐體可為一膠體所構成之塊狀攔壩，或為一設置於載板虛錫墊(dummy pad)上之凸塊，如錫鉛凸塊或金凸塊，惟不限於上述之幾種態樣。其中，塊狀攔壩之膠體可利用點膠或塗佈之方式形成於載板上，而凸塊可利用植球之方式將錫鉛錫球設置於載板上，或利用打線機形成金塗塊之方式設置於載板上。此外，支撐體亦可以環狀形式或條狀形式設置於載板上(未顯示於圖中)。

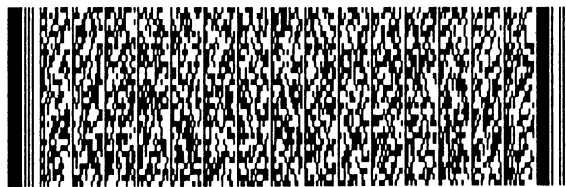
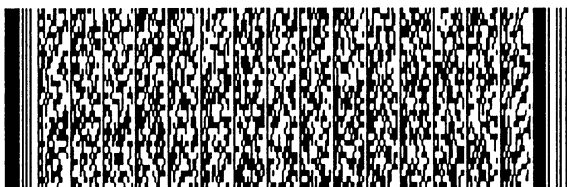
接著請參照圖5係顯示本發明第三較佳實施例之多晶片堆疊封裝體。本發明之多晶片堆疊封裝體至少包含一載板



五、發明說明 (6)

310、一第一晶片320、一第二晶片330、一黏著層340、一支撐體350(supporting body)與一封膠體360。第一晶片320係以其背面322設置於載板310上，並且藉複數條第一導電線370與載板310電性連接。再者，第二晶片330係以其背面332藉一黏著層340與第一晶片320黏合，並藉複數條第二導電線380與載板310電性連接。其中，支撐體350係設置於第一晶片320之週邊上且其外圍係設置有與第一導電線370接合之晶片接合墊324，且支撐體350係被覆蓋於第二晶片330下方。其中，支撐體之頂端354與第二晶片330之背面332可有一固定距離且支撐體350之高度係大於第一導電線370之線弧頂點372，因此可防止當黏著層340之厚度控制不易且第二晶片330與載板310打線接合時，因打線接合時之對第二晶片330施加之應力過大時，造成第二晶片330之過度傾斜而破壞第一導電線370。

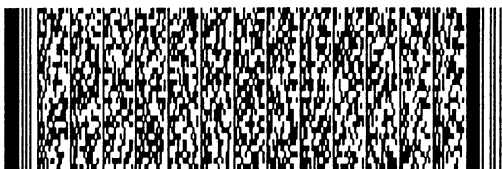
此外，如圖6所示為本發明第四較佳實施例之多晶片堆疊封裝體。其中，與第三實施例之封裝體相近似，不同的是第一晶片320與第二晶片330間係設置一中介墊(spacer)340'，如虛晶片或其它固態形式之墊塊虛晶片，以進一步改善上述黏著層厚度控制不易之問題且增加一第一晶片320之打線空間，以降低第二晶片330與載板310打線接合時，因打線接合對第二晶片330施加之應力過大，造成第二晶片330之過度傾斜而破壞第一導電線370之機率。同樣地，如第一及第二實施例所述，支撐體350可為一膠體所構成之塊狀攔壩，或為一設置於晶片之虛鉚墊(dummy pad，未標示



五、發明說明 (7)

於圖中)上之凸塊，如錫鉛凸塊或金凸塊，惟不限於上述之幾種態樣。其中，塊狀攔壩之膠體可利用點膠或塗佈之方式形成於第一晶片320上，而凸塊可利用植球之方式將錫鉛錐球設置於晶片之虛錐墊(dummy pad)上，或是於晶片之虛錐墊上利用電鍍或印刷之方式將錐料形成於晶片錐墊上，再經由迴錐之方式以使錐料凸塊與晶片錐墊間緊密接合。值得注意的是，晶片之虛錐墊上亦可形成一球底金屬層(未標示於圖中)，以提升凸塊與晶片之需錐墊間之接合度。此外，支撐體亦可以環狀形式或條狀形式設置於第一晶片上(未顯示於圖中)。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



圖式簡單說明

(五)、【圖式簡單說明】

圖1為一示意圖，顯示習知多晶片封裝體的剖面示意圖。

圖2為一示意圖，顯示另一習知多晶片堆疊封裝體的剖面示意圖。

圖3為一示意圖，顯示本發明第一較佳實施例之多晶片堆疊封裝體之剖面示意圖。

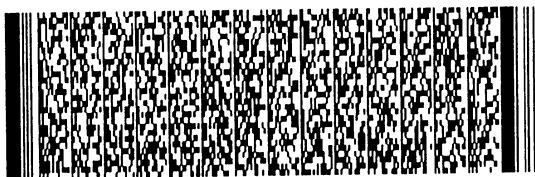
圖4為一示意圖，顯示本發明第二較佳實施例之多晶片堆疊封裝體之剖面示意圖。

圖5為一示意圖，顯示本發明第三較佳實施例之多晶片堆疊封裝體之剖面示意圖。

圖6為一示意圖，顯示本發明第四較佳實施例之多晶片堆疊封裝體之剖面示意圖。

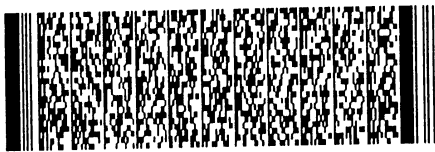
元件符號說明：

110、210、310	載板
120、220、320	第一晶片
222、322	第一晶片背面
130、230、330	第二晶片
232、332	第二晶片背面
140、240、340	黏著層
150	導電線
160	虛晶片
162、164	黏著層



圖式簡單說明

214	打線接合墊
240'、340'	中介墊
250、350	支撐體
254、354	支撐體頂端
260、360	封膠體
270、370	第一導電線
272、372	線弧頂點
280、380	第二導電線
324	晶片接合墊



四、中文發明摘要 (發明名稱：多晶片堆疊封裝體)

一種多晶片堆疊封裝體，至少包含一載板、一第一晶片、一第二晶片、一黏著層、一支撐體(supporting body)與一封膠體。其中，第一晶片係設置於載板上，而第二晶片係藉由黏著層設置於第一晶片上，且第一晶片與第二晶片係分別藉由複數條第一導電線及第二導電線與載板電性連接。另外，該支撐體係環繞第一晶片週邊而設置於載板上，以使支撐體覆蓋於第二晶片下方。其中，該支撐體之頂端與第二晶片之背面有一固定距離，且支撐體之高度係大於第一導電線之線弧頂點，如此可防止第二晶片與載板打線接合時，因第二晶片之過度傾斜而破壞第一導電線。

五、(一)、本案代表圖為：圖5

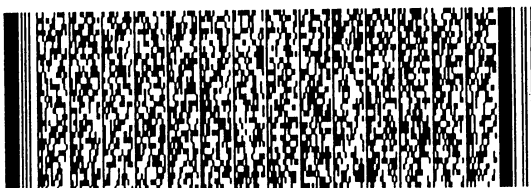
(二)、本案代表圖之元件代表符號簡單說明：

310 載板

320 第一晶片

六、英文發明摘要 (發明名稱：MULTI-CHIPS STACKED PACKAGE)

A multi-chips stacked package at least comprises a carrier, a first chip, a second chip, an adhesive layer, a supporting body and an encapsulation. The first chip is disposed on the carrier and the second chip is attached on the second chip via the adhesive layer. In addition, the first chip and the second chip are electrically connected to the carrier via the first conductive wires and the

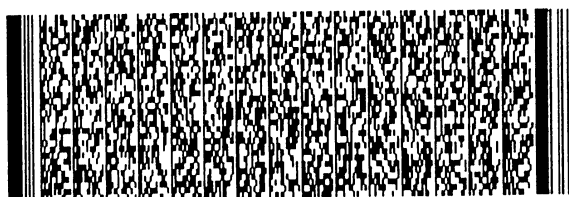


四、中文發明摘要 (發明名稱：多晶片堆疊封裝體)

- 322 第一晶片背面
- 330 第二晶片
- 332 第二晶片背面
- 340 黏著層
- 340' 中介墊
- 350 支撐體
- 354 支撐體頂端
- 360 封膠體
- 370 第一導電線
- 372 線弧頂點
- 380 第二導電線
- 324 晶片接合墊

六、英文發明摘要 (發明名稱：MULTI-CHIPS STACKED PACKAGE)

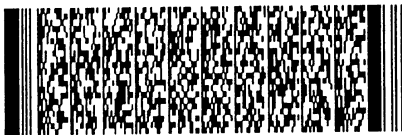
second conductive wires respectively. Furthermore, the supporting body is disposed on the carrier, surrounds the periphery of the first die and covered by the second chip. The top of the supporting body is kept from the back surface of the second chip with a distance and the height of the supporting body is greater than the top of the first conductive wires so as to prevent the first



四、中文發明摘要 (發明名稱：多晶片堆疊封裝體)

六、英文發明摘要 (發明名稱：MULTI-CHIPS STACKED PACKAGE)

wires from being damaged by the tilt of the second chip when the second chip is wire-bonded to the carrier.



六、申請專利範圍

1. 一種多晶片堆疊封裝體，包含：

一載板，具有一上表面；

一第一晶片，具有一第一主動表面及一第一背面，其中該第一晶片係以該第一背面設置在該載板之該上表面，且藉一第一導電線與該載板電性連接；

一黏著層，係形成於該第一晶片之該第一主動表面上；

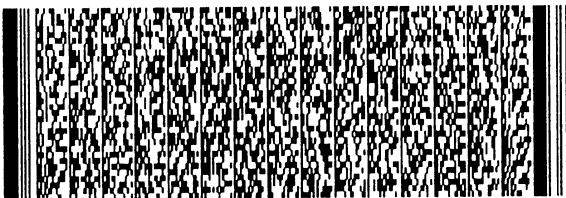
一第二晶片，具有一第二主動表面及一第二背面，其中該第二晶片係以該第二背面設置在該黏著層上，且藉一第二導電線與該載板電性連接；以及

一支撐體，係設置於該第一晶片之週邊且設置於該第二晶片之下方。

2. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係大於該第一導電線之弧高頂點。

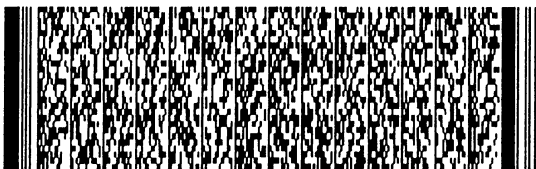
3. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係小於該第二晶片與該載板間之距離。

4. 如申請專利範圍第3項所述之多晶片堆疊封裝體，其中該支撐體更具有一頂端，該頂端係與該第二晶片之該第二背面間有一固定距離。



六、申請專利範圍

5. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該載板上表面更包含一打線接合墊用以與該第一導電線連接，且該支撐體係設置於該打線接合墊之外側。
6. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體係為一膠體。
7. 如申請專利範圍第6項所述之多晶片堆疊封裝體，其中該膠體係環繞設置於該第一晶片之週邊。
8. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體係為一凸塊。
9. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體係為一鉸球。
10. 如申請專利範圍第8項所述之多晶片堆疊封裝體，其中該支撐體係為一錫鉛凸塊。
11. 如申請專利範圍第8項所述之多晶片堆疊封裝體，其中該支撐體係為一金凸塊。
12. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該黏著層之頂面係高於該第一導電線之弧高頂點。



六、申請專利範圍

13. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體係以環狀形式設置於該載板上。

14. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該支撐體係以條狀形式設置於該載板上。

15. 一種多晶片堆疊封裝體，包含：

一載板，具有一上表面；

一第一晶片，具有一第一主動表面及一第一背面，其中該第一晶片係以該第一背面設置在該載板之該上表面，且藉一第一導電線與該載板電性連接；

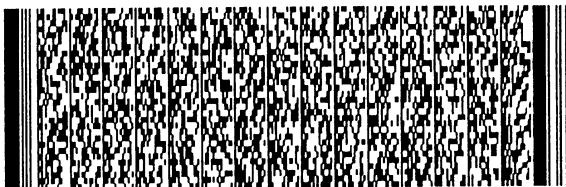
一中介墊，係設置於該第一晶片之該第一主動表面上；

一第二晶片，具有一第二主動表面及一第二背面，其中該第二晶片係以該第二背面設置在該中介墊上且藉一第二導電線與該載板電性連接；及

一支撐體，係設置於該第一晶片之週邊且設置於該第二晶片之下方。

16. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係大於該第一導電線之弧高頂點。

17. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中



六、申請專利範圍

該支撐體具有一高度，該高度係小於該第二晶片與該載板間之距離。

18. 如申請專利範圍第17項所述之多晶片堆疊封裝體，其中該支撐體更具有一頂端，該頂端係與該第二晶片之該第二背面間有一固定距離。

19. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該載板上表面更包含一打線接合墊用以與該第一導電線連接，且該支撐體係設置於該打線接合墊之外側。

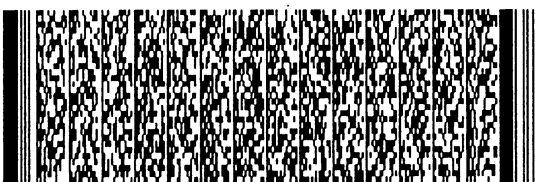
20. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該支撐體係為一膠體。

21. 如申請專利範圍第20項所述之多晶片堆疊封裝體，其中該膠體係環繞設置於該第一晶片之週邊。

22. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該支撐體係為一凸塊。

23. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該支撐體係為一鉚球。

24. 如申請專利範圍第22項所述之多晶片堆疊封裝體，其中



六、申請專利範圍

該支撐體係為一錫鉛凸塊。

25. 如申請專利範圍第22項所述之多晶片堆疊封裝體，其中該支撐體係為一金凸塊。

26. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該中介墊之頂面係高於該第一導電線之弧高頂點。

27. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該中介墊係為一虛晶片。

28. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該支撐體係以環狀形式設置於該載板上。

29. 如申請專利範圍第15項所述之多晶片堆疊封裝體，其中該支撐體係以條狀形式設置於該載板上。

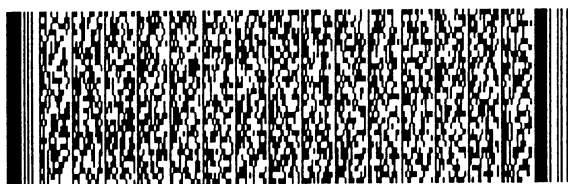
30. 一種多晶片堆疊封裝體，包含：

一載板，具有一上表面；

一第一晶片，具有一第一主動表面及一第一背面，其中該第一晶片係以該第一背面設置在該載板之該上表面，且藉一第一導電線與該載板相電性連接；

一黏著層，係形成於該第一晶片之該第一主動表面上；

一第二晶片，具有一第二主動表面及一第二背面，其中該



六、申請專利範圍

第二晶片係以該第二背面設置在該黏著層上，且藉一第一導電線與該載板電性連接；以及
一支撐體，係設置於該第一晶片之該第一主動表面上且配置於該第二晶片之下方。

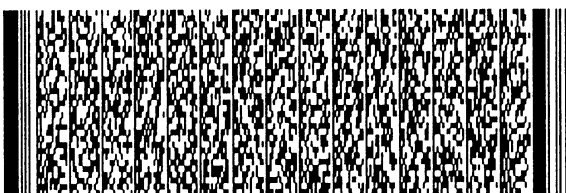
31. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係大於該第一導電線之弧高頂點。

32. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係小於該第二晶片與該載板間之距離。

33. 如申請專利範圍第32項所述之多晶片堆疊封裝體，其中該支撐體更具有一頂端，該頂端係與該第二晶片之該第二背面間有一固定距離。

34. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該第一晶片之該第一主動表面更包含一晶片接合墊用以電性連接該第一導電線與該載板，且該支撐體係設置於該晶片接合墊之內側。

35. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體係為一膠體。



六、申請專利範圍

36. 如申請專利範圍第35項所述之多晶片堆疊封裝體，其中該膠體係環繞設置於該黏著層之週邊。
37. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體係為一凸塊。
38. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體係為一鐳球。
39. 如申請專利範圍第37項所述之多晶片堆疊封裝體，其中該支撐體係為一錫鉛凸塊。
40. 如申請專利範圍第37項所述之多晶片堆疊封裝體，其中該支撐體係為一金凸塊。
41. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該黏著層之頂面係高於該第一導電線之弧高頂點。
42. 如申請專利範圍第37項所述之多晶片堆疊封裝體，其中該第一晶片更具有一虛鐳墊，該鐳墊上係形成一虛凸塊。
43. 如申請專利範圍第42項所述之多晶片堆疊封裝體，其中該第一晶片之該虛鐳墊上，更形成一球底金屬層，且該虛



六、申請專利範圍

55. 如申請專利範圍第53項所述之多晶片堆疊封裝體，其中該支撐體係為一錫鉛凸塊。

56. 如申請專利範圍第53項所述之多晶片堆疊封裝體，其中該支撐體係為一金凸塊。

57. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該中介墊之頂面係高於該第一導電線之弧高頂點。

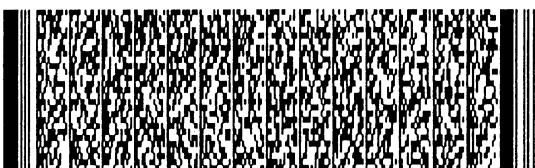
58. 如申請專利範圍第53項所述之多晶片堆疊封裝體，其中該第一晶片更具有一虛鉚墊，該鉚墊上係形成一虛凸塊。

59. 如申請專利範圍第58項所述之多晶片堆疊封裝體，其中該第一晶片之該虛鉚墊上，更形成一球底金屬層，且該虛凸塊係形成於該球底金屬層上。

60. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該中介墊係為一虛晶片。

61. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該支撐體係以環狀形式設置於該第一晶片上。

62. 如申請專利範圍第40項所述之多晶片堆疊封裝體，其中



六、申請專利範圍

該支撐體系以條狀形式設置於該第一晶片上。



圖式

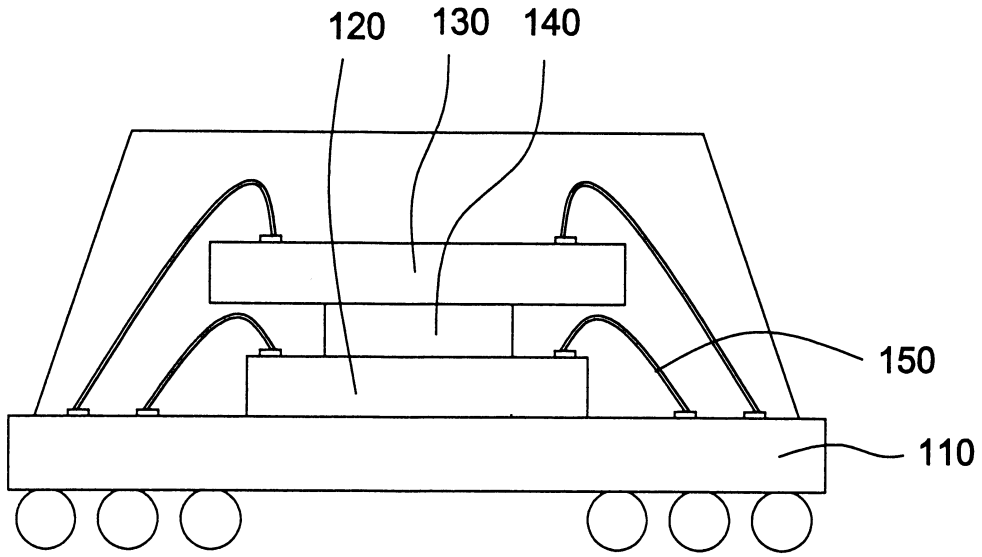


圖1

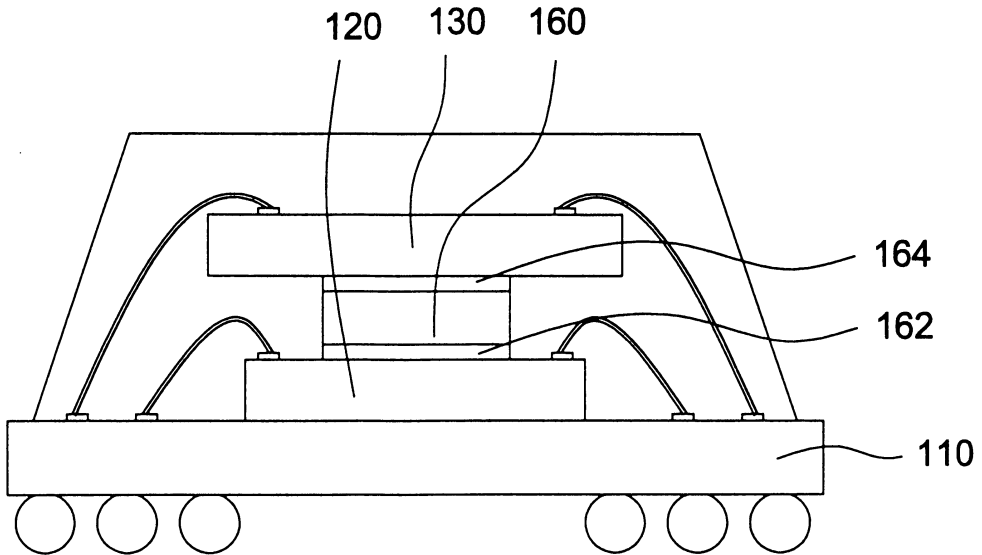


圖2

訂

圖式

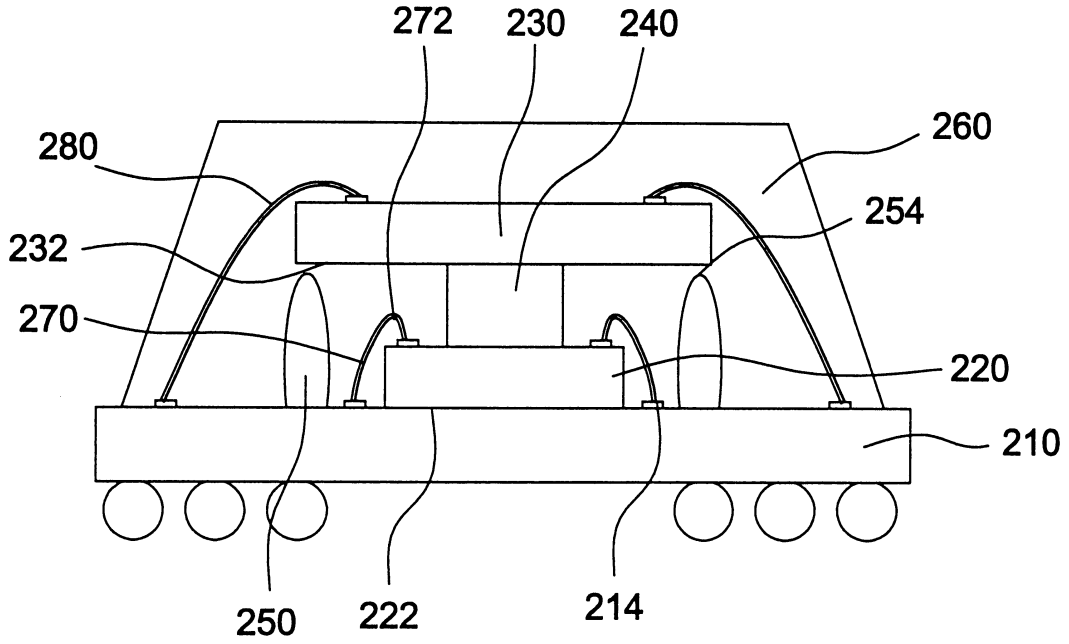


圖3

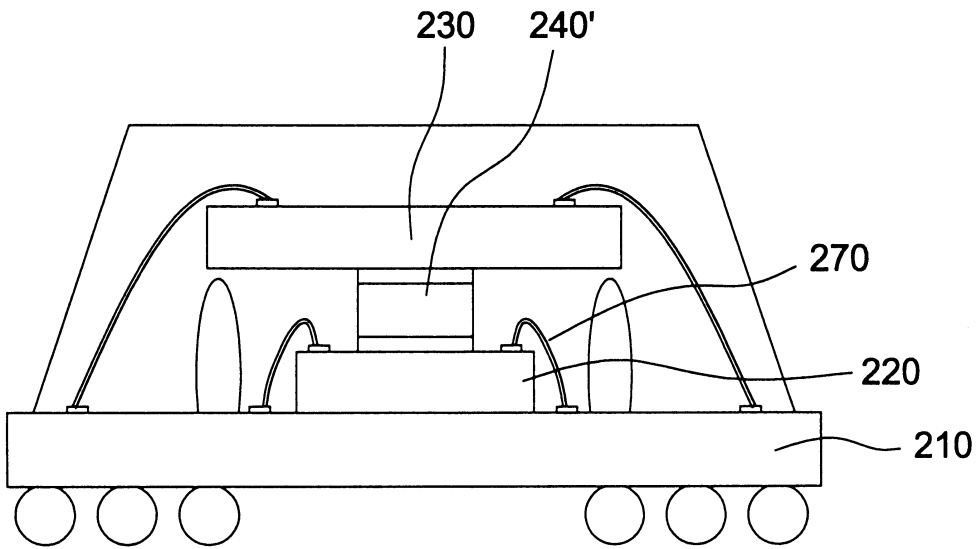


圖4

訂

圖式

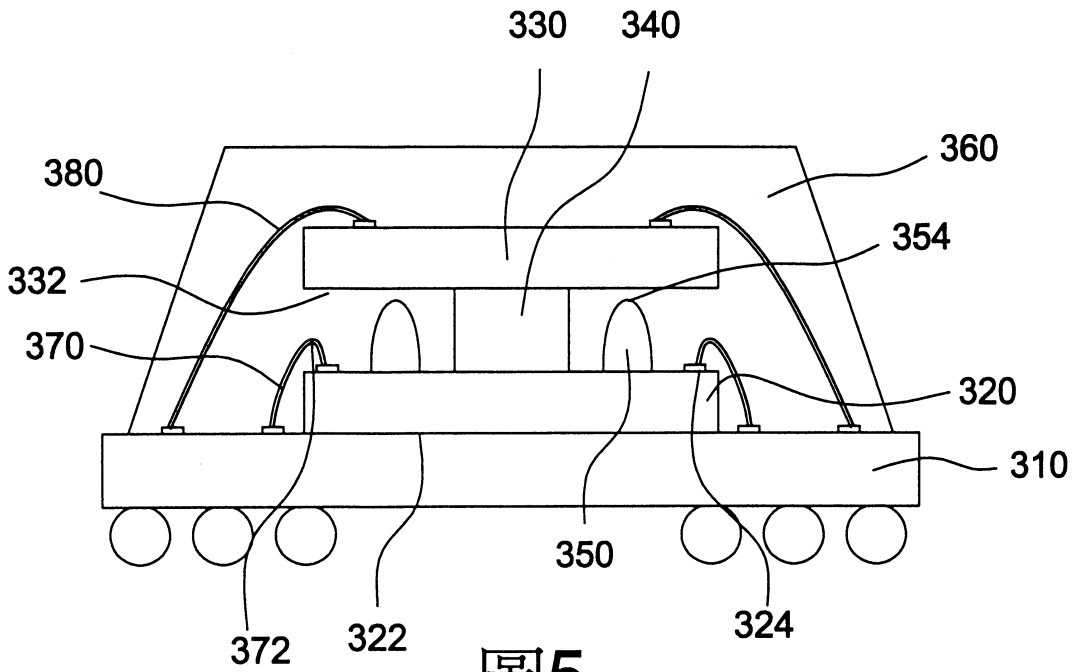


圖5

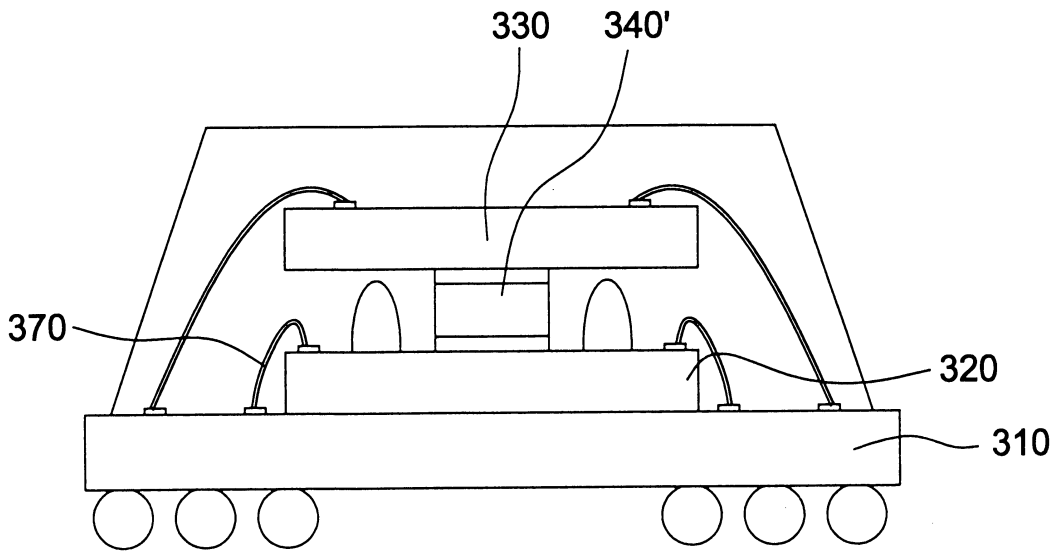


圖6

訂

六、申請專利範圍

凸塊係形成於該球底金屬層上。

44. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體係以環狀形式設置於該第一晶片上。

45. 如申請專利範圍第30項所述之多晶片堆疊封裝體，其中該支撐體係以條狀形式設置於該第一晶片上。

46. 一種多晶片堆疊封裝體，包含：

一載板，具有一上表面；

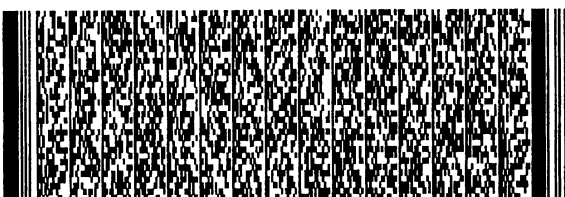
一第一晶片，具有一第一主動表面及一第一背面，其中該第一晶片係以該第一背面設置在該載板之該上表面，且藉一第一導電線與該載板電性連接；

一中介墊，係形成於該第一晶片之該主動表面上；

一第二晶片，具有一第二主動表面及一第二背面，其中該第二晶片係以該第二背面設置在該中介墊上，且藉一第二導電線與該載板電性連接；以及

一支撐體，係設置於該第一晶片之該第一主動表面上且配置於該第二晶片之下方。

47. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係大於該第一導電線之弧高頂點。



六、申請專利範圍

48. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該支撐體具有一高度，該高度係小於該第二晶片與該載板間之距離。

49. 如申請專利範圍第48項所述之多晶片堆疊封裝體，其中該支撐體更具有一頂端，該頂端係與該第二晶片之該第二背面間有一固定距離。

50. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該第一晶片之該第一主動表面更包含一晶片接合墊用以電性連接該第一導電線與該載板，且該支撐體係設置於該晶片接合墊之內側。

51. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該支撐體係為一膠體。

52. 如申請專利範圍第51項所述之多晶片堆疊封裝體，其中該膠體係環繞設置於該黏著層之週邊。

53. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該支撐體係為一凸塊。

54. 如申請專利範圍第46項所述之多晶片堆疊封裝體，其中該支撐體係為一鉚球。

