



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월07일
(11) 등록번호 10-0877293
(24) 등록일자 2008년12월26일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2007-0088257
(22) 출원일자 2007년08월31일
심사청구일자 2007년08월31일
(56) 선행기술조사문헌
JP2001250935 A
JP2000156488 A
KR1020050117674 A

(73) 특허권자
주식회사 동부하이텍
서울특별시 강남구 대치동 891-10
(72) 발명자
김태규
경남 마산시 진동면 요장리 525
(74) 대리인
허용록

전체 청구항 수 : 총 13 항

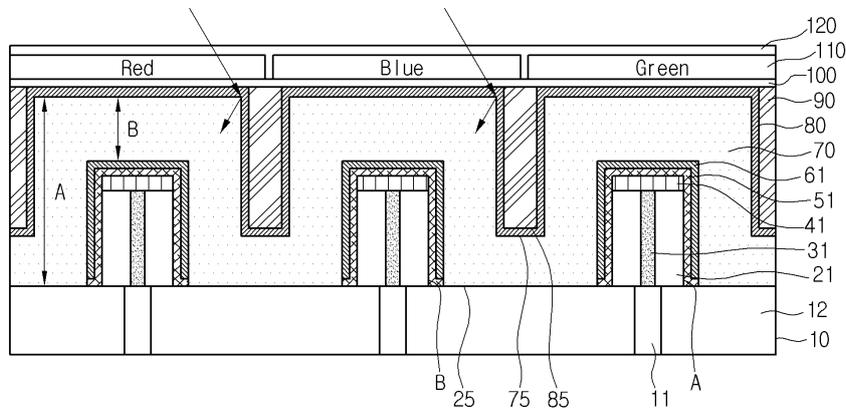
심사관 : 조근상

(54) 이미지 센서 및 그 제조방법

(57) 요약

실시에에 따른 이미지 센서는, 하부배선을 포함하는 반도체 기판; 상기 반도체 기판 보다 돌출되도록 배치된 복수의 상부배선부; 상기 상부배선부가 상호 이격되도록 상기 상부배선부 사이에 배치된 제1 트랜치; 상기 상부배선부의 외주면에 배치된 하부전극; 상기 하부전극의 외주면에 배치된 제1 도전형 전도층; 상기 제1 도전형 전도층 및 제1 트랜치를 포함하는 반도체 기판 상에 배치되고 상기 제1 트랜치에 상부에 제2 트랜치를 가지는 진성층; 상기 진성층 상에 배치되어 상기 제2 트랜치 상부에 제3 트랜치를 가지는 제2 도전형 전도층; 상기 제3 트랜치의 내부에 배치된 광차단부; 및 상기 광차단부 및 상기 제2 도전형 전도층 상에 배치된 상부전극을 포함한다.

대표도 - 도10



특허청구의 범위

청구항 1

하부배선을 포함하는 반도체 기관;

상기 반도체 기관 보다 돌출되도록 배치된 복수의 상부배선부;

상기 상부배선부가 상호 이격되도록 상기 상부배선부 사이에 배치된 제1 트랜치;

상기 상부배선부의 외주면에 배치된 하부전극;

상기 하부전극의 외주면에 배치된 제1 도전형 전도층;

상기 제1 도전형 전도층 및 제1 트랜치를 포함하는 반도체 기관 상에 배치되고 상기 제1 트랜치에 상부에 제2 트랜치를 가지는 진성층;

상기 진성층 상에 배치되어 상기 제2 트랜치 상부에 제3 트랜치를 가지는 제2 도전형 전도층;

상기 제3 트랜치의 내부에 배치된 광차단부; 및

상기 광차단부 및 상기 제2 도전형 전도층 상에 배치된 상부전극을 포함하는 이미지 센서.

청구항 2

제1항에 있어서,

상기 상부 배선부는 상부배선과, 상기 상부배선의 양측면에 배치된 절연층 패턴을 포함하는 이미지 센서.

청구항 3

제1항에 있어서,

상기 상부배선부 상에는 금속패드가 배치된 이미지 센서.

청구항 4

제1항에 있어서,

상기 광차단부는 금속으로 형성된 이미지 센서.

청구항 5

제1항에 있어서,

상기 제2 도전형 전도층 및 광차단부는 동일한 높이를 가지는 이미지 센서.

청구항 6

제1항에 있어서,

상기 상부전극 상에 컬러필터가 배치된 이미지 센서.

청구항 7

반도체 기관 상에 픽셀별로 분리된 하부배선을 형성하는 단계;

상기 반도체 기관 보다 돌출되도록 복수의 상부배선부를 형성하는 단계;

상기 상부배선부가 상호 이격되도록 상기 상부배선부 사이에 제1 트랜치를 형성하는 단계;

상기 상부배선부의 외주면에 하부전극을 형성하는 단계;

상기 하부전극의 외주면에 제1 도전형 전도층을 형성하는 단계;

상기 제1 도전형 전도층 및 제1 트랜치 상에 형성되고, 상기 제1 트랜치에 대응되는 영역에 제2 트랜치를 가지는 진성층을 형성하는 단계;

상기 진성층 및 제2 트랜치 상에 형성되고 상기 제2 트랜치에 대응하는 영역에 제3 트랜치를 가지는 제2 도전형 전도층을 형성하는 단계;

상기 제3 트랜치의 내부에 광차단부를 형성하는 단계;

상기 광차단부 및 상기 제2 도전형 전도층 상에 상부전극을 형성하는 단계를 포함하는 이미지 센서의 제조방법.

청구항 8

제7항에 있어서,

상기 상부 배선부를 형성하는 단계는,

상기 반도체 기판 상에 상기 하부배선과 연결되는 상부배선을 형성하는 단계;

상기 상부배선을 포함하는 상기 반도체 기판 상에 절연층을 형성하는 단계; 및

상기 절연층을 식각하여 상기 상부배선의 양측면에 절연층 패턴을 형성하는 단계를 포함하고,

상기 절연층 패턴이 형성될 때 상기 제1 트랜치가 형성되는 것을 특징으로 하는 이미지 센서의 제조방법.

청구항 9

제8항에 있어서,

상기 절연층 패턴을 형성하는 단계는,

상기 절연층을 형성한 다음, 상기 상부배선에 대응하는 상기 절연층 상에 금속패드를 형성하고, 상기 금속패드를 마스크로 하여 상기 절연층을 식각하는 것을 특징으로 하는 이미지 센서의 제조방법.

청구항 10

제7항에 있어서,

상기 진성층은 PECVD방법에 의하여 상기 제1 도전형 전도층 및 제1 트랜치를 포함하는 반도체 기판 상으로 증착되어 상기 제1 트랜치 상부에 제2 트랜치가 형성되는 이미지 센서의 제조방법.

청구항 11

제7항에 있어서,

상기 제2 도전형 전도층은 PECVD방법에 의하여 상기 진성층 및 제2 트랜치를 포함하는 반도체 기판 상으로 증착되어 제2 트랜치 상부에 제3 트랜치가 형성되는 이미지 센서의 제조방법.

청구항 12

제7항에 있어서,

상기 광차단부를 형성하는 단계는,

상기 제3 트랜치를 가지는 제2 도전형 전도층 상으로 금속층을 형성하는 단계; 및

상기 금속층을 식각하여 상기 제3 트랜치 내부에 광차단부를 형성하는 단계를 포함하는 이미지 센서의 제조방법.

청구항 13

제7항에 있어서,

상기 상부전극 상에 컬러필터를 형성하는 단계를 포함하는 이미지 센서의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 실시예에서는 이미지 센서 및 그 제조방법이 개시된다.

배경기술

<2> 이미지 센서는 광학적 영상(Optical Image)을 전기 신호로 변환시키는 반도체 소자로서, 크게 전하결합소자(charge coupled device:CCD) 이미지 센서와 씨모스(Complementary Metal Oxide Silicon:CMOS) 이미지 센서(CIS)를 포함한다.

<3> 씨모스 이미지 센서는 단위 화소 내에 포토다이오드와 모스트랜지스터를 형성시킴으로써 스위칭 방식으로 각 단위 화소의 전기적 신호를 순차적으로 검출하여 영상을 구현한다. 또한, 씨모스 이미지 센서는 빛 신호를 받아서 전기신호로 바꾸어 주는 포토다이오드(Photo diode) 영역과 이 전기 신호를 처리하는 트랜지스터 영역이 수평으로 배치되는 구조이다.

<4> 수평형 씨모스 이미지 센서에 의하면 포토다이오드와 트랜지스터가 기판 상에 상호 수평으로 인접하여 형성된다. 이에 따라, 포토다이오드 형성을 위한 추가적인 영역이 요구되며, 이에 의해 필 팩터(fill factor) 영역을 감소시키고 레절루션(Resolution)의 가능성을 제한한다.

발명의 내용

해결 하고자하는 과제

<5> 실시예는 트랜지스터 회로와 포토다이오드의 수직형 집적을 제공할 수 있는 이미지 센서 및 그 제조방법을 제공한다.

<6> 또한, 실시예는 레절루션(Resolution)과 센서티버티(sensitivity)가 함께 개선될 수 있는 이미지 센서 및 그 제조방법을 제공한다.

<7> 또한, 실시예는 수직형의 포토다이오드를 채용하면서 크로스 토크 및 노이즈 현상을 방지할 수 있는 이미지 센서 및 그 제조방법을 제공한다.

과제 해결수단

<8> 실시예에 따른 이미지 센서는, 하부배선을 포함하는 반도체 기판; 상기 반도체 기판 보다 돌출되도록 배치된 복수의 상부배선부; 상기 상부배선부가 상호 이격되도록 상기 상부배선부 사이에 배치된 제1 트랜치; 상기 상부배선부의 외주면에 배치된 하부전극; 상기 하부전극의 외주면에 배치된 제1 도전형 전도층; 상기 제1 도전형 전도층 및 제1 트랜치를 포함하는 반도체 기판 상에 배치되고 상기 제1 트랜치에 상부에 제2 트랜치를 가지는 진성층; 상기 진성층 상에 배치되어 상기 제2 트랜치 상부에 제3 트랜치를 가지는 제2 도전형 전도층; 상기 제3 트랜치의 내부에 배치된 광차단부; 및 상기 광차단부 및 상기 제2 도전형 전도층 상에 배치된 상부전극을 포함한다.

<9> 또한, 실시예에 따른 이미지 센서의 제조방법은 반도체 기판에 하부배선을 형성하는 단계; 상기 반도체 기판 보다 돌출되도록 복수의 상부배선부를 형성하는 단계; 상기 상부배선부가 상호 이격되도록 상기 상부배선부 사이에 제1 트랜치를 형성하는 단계; 상기 상부배선부의 외주면에 하부전극을 형성하는 단계; 상기 하부전극의 외주면에 제1 도전형 전도층을 형성하는 단계; 상기 제1 도전형 전도층 및 제1 트랜치를 포함하는 반도체 기판 상에 상기 제1 트랜치 상에 제2 트랜치를 가지는 진성층을 형성하는 단계; 상기 진성층의 제2 트랜치 상에 제3 트랜치를 가지는 제2 도전형 전도층을 형성하는 단계; 상기 제3 트랜치의 내부에 광차단부를 형성하는 단계; 상기 광차단부 및 상기 제2 도전형 전도층 상에 상부전극을 형성하는 단계를 포함한다.

효과

<10> 실시예에 따른 이미지 센서 및 그 제조방법에 의하면 트랜지스터 회로와 포토다이오드의 수직형 집적을 제공할 수 있다.

<11> 또한, 상기 포토다이오드의 제1 도전형 전도층이 단위픽셀 별로 분리되고 포토다오드 사이에 광차단부가 배치되어 크로스 토크 및 노이즈 현상을 방지할 수 있다.

- <12> 또한, 상기 광차단부가 포토다이오드에 대하여 경사각을 가지고 입사되는 빛을 인접 포토다이오드로 입사하는 것을 차단하므로 이미지 센서의 신뢰성을 향상시킬 수 있다.
- <13> 또한, 상기 하부전극의 면적이 확장되어 포토다이오드에서 생성된 전자가 해당 하부전극으로 집중되어 전자 수용력을 향상시킬 수 있다.
- <14> 또한, 상기 하부전극과 포토다이오드가 쇼트키 다이오드를 형성하여 전력손실을 최소화하고 고속동작을 할 수 있다.
- <15> 또한, 상기 포토다이오드의 깊은 영역과 얇은 영역이 동시에 형성하여 레드, 블루 및 그린 파장에 대한 광전 변화 효율을 향상시킬 수 있다.
- <16> 또한, 씨모스 회로와 포토다이오드의 수직형 집적에 의해 필 팩터(fill factor)를 100%에 근접시킬 수 있다.
- <17> 또한, 수직형 집적에 의해 종래기술보다 같은 픽셀 사이즈에서 높은 센서티비티(sensitivity)를 제공할 수 있다.
- <18> 또한, 각 단위 픽셀은 센서티비티(sensitivity)의 감소없이 보다 복잡한 회로를 구현할 수 있다.
- <19> 또한, 포토다이오드의 단위픽셀을 구현함에 있어 단위 픽셀 내의 포토다이오드의 표면적을 증가시켜 광감지율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <20> 실시예에 따른 이미지 센서 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <21> 실시예의 설명에 있어서, 각 층의 "상/위(on/over)"에 형성되는 것으로 기재되는 경우에 있어, 상/위(on/over)는 직접(directly)와 또는 다른 층을 개재하여(indirectly) 형성되는 것을 모두 포함한다.
- <22> 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- <23> 도 10은 실시예에 따른 이미지 센서를 도시한 단면도이다.
- <24> 도 10을 참조하여, 하부배선(11)을 포함하는 반도체 기판(10) 상에는 상부배선부(A)가 배치된다.
- <25> 도시되지는 않았지만, 상기 반도체 기판(10)의 액티브 영역에는 단위픽셀을 형성하기 위하여 포토다이오드에 연결되어 수광된 광전하를 전기신호를 변환하는 트랜스퍼 트랜지스터, 리셋 트랜지스터, 드라이브 트랜지스터 및 셀렉트 트랜지스터 등으로 이루어진 회로부가 형성되어 있을 수 있다.
- <26> 상기 반도체 기판(10) 상부에는 상기 회로부와 연결되도록 층간 절연막(12) 및 하부배선(11)이 배치되어 있다. 상기 층간 절연막(12) 및 하부배선(11)은 복수개로 형성될 수 있다.
- <27> 상기 상부배선부(A)는 상기 하부배선(11)과 연결되는 상부배선(31)과, 상기 상부배선(31)의 양측에 배치된 절연층 패턴(21)을 포함한다.
- <28> 상기 상부배선부(A)는 상기 반도체 기판(10) 보다 높은 높이로 형성되고 이웃하는 상부배선부(A)와 제1 트랜치(25)에 의하여 상호 분리되어 단위픽셀 별로 배치될 수 있다.
- <29> 상기 상부배선부(A) 상에는 금속패드(41)가 배치된다.
- <30> 상기 상부배선부(A)의 외주면에는 하부전극(51)이 배치된다. 상기 하부전극(51)은 상기 상부배선부(A) 상에만 형성되어 상기 제1 트랜치(25)의 바닥면을 노출시킨다. 상기 하부전극(51)은 상기 상부배선부(A)의 외주면 전체에 형성되어 넓은 면적을 가지므로 포토다이오드에서 생성된 전자 수용력을 향상시킬 수 있다.
- <31> 상기 상부배선부(A) 및 하부전극(51)의 외주면에는 포토다이오드의 제1 도전형 전도층 패턴(61)이 배치된다. 상기 제1 도전형 전도층 패턴(61)은 N타입 도전형 전도층일 수 있다. 상기 제1 도전형 전도층 패턴(61)은 상기 하부전극(51) 상에 형성되어 상기 제1 트랜치(25)의 바닥면을 노출시킨다.
- <32> 상기 제1 도전형 전도층 패턴(61) 및 상기 제1 트랜치(25)를 포함하는 반도체 기판(10) 상부로 포토다이오드의 진성층(70)이 배치된다. 상기 진성층(70)은 비정질 실리콘일 수 있다. 상기 진성층(70)은 상기 반도체 기판(10) 상부로 균일하게 형성된다. 따라서, 상기 제1 도전형 전도층(60) 상부에 형성되는 진성층(70)은 얇은 영역(B)

가지게 되고 상기 제1 트랜치(25)에 형성되는 진성층(70)은 상대적으로 깊은 영역(A)을 가지게 된다. 또한, 상기 제1 트랜치(25)에 형성되는 진성층(70)에는 상기 제1 트랜치(25)의 폭과 너비에 비례하는 제2 트랜치(75)가 형성된다.

- <33> 상기 제2 트랜치(75) 및 진성층(70) 상으로 포토다이오드의 제2 도전형 전도층(80)이 배치된다. 상기 제2 도전형 전도층(80)은 P타입 도전형 전도층 일 수 있다. 상기 제2 도전형 전도층(80)은 상기 반도체 기판(10) 상부로 균일하게 형성된다. 따라서, 상기 제1 도전형 전도층(60) 상부의 진성층(70) 상에 형성되는 제2 도전형 전도층(80)은 높은 높이를 가지게 되고 상기 제2 트랜치(75)에 형성되는 제2 도전형 전도층(80)은 상대적으로 낮은 높이를 가지게 된다. 또한, 상기 제2 트랜치(75)에 형성되는 제2 도전형 전도층(80)은 상기 제2 트랜치(75)의 폭과 너비에 비례하는 제3 트랜치(85)가 형성된다.
- <34> 상기 제3 트랜치(85)의 내부에는 광차단부(90)가 배치된다. 예를 들어, 상기 광차단부(90)는 금속으로 형성될 수 있다. 또한, 상기 광차단부(90)는 상기 제2 도전형 전도층(80)과 동일한 높이로 형성될 수 있다.
- <35> 상기 제2 도전형 전도층(80) 및 광차단부(90) 상에 상부전극(100)이 배치된다. 예를 들어, 상기 상부전극(100)은 ITO(indium tin oxide), CTO(cardium tin oxide), ZnO₂ 와 같은 투명전극으로 형성될 수 있다.
- <36> 상기 상부전극(100) 상에 컬러필터(110) 및 평탄화층(120)이 배치된다. 상기 컬러필터(110)는 단위픽셀마다 하나의 컬러필터(110)가 형성되어 입사하는 빛으로부터 색을 분리해 낸다. 이러한 컬러필터(110)는 각각 다른 색상을 나타내는 것으로 레드(Red), 그린(Green) 및 블루(Blue)의 3가지 색으로 이루어질 수 있다.
- <37> 상기와 같이 형성된 이미지 센서는, 상기 포토다이오드가 단위픽셀 별로 분리되어 크로스 토크 및 노이즈를 발생을 방지할 수 있다.
- <38> 즉, 상기 포토다이오드의 제1 도전형 전도층이 단위픽셀 별로 형성된 상부배선부 상에만 형성되어 포토다이오드를 단위픽셀 별로 분리하므로 광전하가 해당 단위픽셀로 이동하여 크로스 노크 및 노이즈 발생을 방지할 수 있다.
- <39> 또한, 상기 포토다이오드가 광차단막에 의하여 단위픽셀 별로 분리되어 컬러필터를 통해 입사되는 빛이 인접 포토다이오드로 입사하는 것을 방지하여 이미지 센서의 신뢰성을 향상시킬 수 있다.
- <40> 또한, 상기 포토다이오드는 깊은 영역(A)과 낮은 영역(B)이 동시에 형성되어 있으므로 깊은 영역에서 광전효과를 일으키는 레드 신호를 효과적으로 얻을 수 있다.
- <41> 도 1 내지 도 10을 참조하여 실시예에 따른 이미지 센서의 제조방법을 설명한다.
- <42> 도 1을 참조하여, 반도체 기판(10) 상에는 상부배선(31) 및 절연층(20)이 형성되어 있다.
- <43> 상기 반도체 기판(10)은 회로부(미도시) 및 하부배선(11)을 포함한다.
- <44> 도시되지는 않았지만, 상기 반도체 기판(10)에는 액티브 영역 및 필드 영역을 정의하는 소자분리막이 형성되어 있을 수 있다. 또한 단위픽셀을 형성하기 위해 후술되는 포토다이오드에 연결되어 수광된 광전하를 전기신호를 변환하는 트랜스퍼 트랜지스터, 리셋 트랜지스터, 드라이브 트랜지스터 및 셀렉트 트랜지스터 등으로 이루어진 회로부가 형성되어 있을 수 있다.
- <45> 상기와 같이 트랜지스터 구조물로 이루어진 회로부가 형성된 반도체 기판(10) 상부에는 전원라인 또는 신호라인과 회로영역을 접속시키기 위하여 하부배선(11) 및 층간 절연막(12)이 형성되어 있다.
- <46> 상기 반도체 기판(10) 상에 형성된 상부배선(31)은 단위픽셀 별로 형성되어 후술되는 포토다이오드와 상기 하부배선(11)을 연결하여 광전하를 회로부로 전송하는 역할을 한다.
- <47> 상기 상부배선(31)은 금속, 합금 또는 실리사이드를 포함한 다양한 전도성 물질로 형성될 수 있다. 예를 들어 상기 상부배선(31)은 알루미늄, 구리, 코발트 또는 텅스텐 등으로 형성할 수 있다.
- <48> 상기 상부배선(31)을 포함하는 반도체 기판(10) 상에 형성된 절연층(20)은 상기 상부배선(31)과 동일한 높이로 형성되어 상기 상부배선(31)의 상부 표면을 노출시킬 수 있다. 예를 들어, 상기 절연층(20)은 산화막 또는 질화막으로 형성될 수 있다.
- <49> 상기 상부배선(31)의 상부에는 금속패드(41)가 형성될 수 있다. 상기 금속패드(41)는 금속, 합금 또는 실리사이드를 포함한 다양한 전도성 물질로 형성되어 상기 상부배선(31)의 폭보다 넓은 폭으로 형성될 수 있다. 예를 들

어, 상기 금속패드(41)는 Cr, Ti, TiW 및 Ta과 같은 금속으로 형성될 수 있다. 상기 금속패드(41)는 후술되는 포토다이오드의 하부전극 역할을 할 수도 있다. 물론, 상기 금속패드(41)는 형성되지 않을 수도 있다.

- <50> 도 2를 참조하여, 상기 반도체 기판(10) 상에 절연층 패턴(21) 및 제1 트랜치(25)가 형성된다.
- <51> 상기 절연층 패턴(21)은 상기 금속패드(41)를 식각마스크로 사용하여 상기 절연층(20)을 식각함으로써 형성될 수 있다. 따라서, 상기 절연층 패턴(21)은 상기 상부배선(31)의 양측면에 형성되어 상기 상부배선(31)의 측면을 제외한 나머지 영역의 상기 반도체 기판(10)의 표면을 노출시킨다. 이하, 하나의 단위픽셀에 연결된 상기 상부배선(31) 및 절연층 패턴(21)을 상부배선부(A)라 칭하고, 상기 상부배선부(A)와 이웃하는 상부배선부(B) 사이의 노출 영역을 제1 트랜치(25)라고 칭한다.
- <52> 상기 상부배선부(A)는 상기 상부배선(31)의 높이만큼 상기 반도체 기판(10) 보다 돌출되도록 형성된다. 상기 상부배선부(A)는 이웃하는 상부배선부(A)와 상기 제1 트랜치(25)에 의하여 상호 이격되어 단위픽셀 별로 분리될 수 있다.
- <53> 도 3을 참조하여, 상기 반도체 기판(10) 상에 하부전극층(50)이 형성된다. 상기 하부전극층(50)은 상기 상부배선부(A)를 포함하는 반도체 기판(10)을 따라 형성되어 단차를 가지게 된다. 예를 들어, 상기 하부전극층(50)은 Cr, Ti, TiW 및 Ta과 같은 금속으로 형성될 수 있다.
- <54> 상기 하부전극층(50)을 포함하는 반도체 기판(10) 상에 포토다이오드가 형성된다.
- <55> 실시예에서는 포토다이오드는 NIP 다이오드(NIP diode)를 사용한다. 상기 NIP 다이오드는 금속, n형 비정질 실리콘층(n-type amorphous silicon), 진성 비정질 실리콘층(intrinsic amorphous silicon), p형 비정질 실리콘층(p-type amorphous silicon)이 접합된 구조로 형성되는 것이다. 이러한 포토다이오드의 구조는 P-I-N 또는 N-I-P, I-P 등의 구조로 형성될 수 있다.
- <56> 실시예에서는 N-I-P 구조의 포토다이오드가 사용되는 것을 예로 하며, n형 비정질 실리콘층은 제1 도전형 전도층(60), 진성 비정질 실리콘층은 진성층(70), 상기 p형 비정질 실리콘층은 제2 도전형 전도층(80)이라 칭하도록 한다.
- <57> 상기 NIP 다이오드를 이용한 포토다이오드를 형성하는 방법에 대하여 설명하면 다음과 같다.
- <58> 도 4를 참조하여, 상기 하부전극층(50)을 포함하는 반도체 기판(10) 상에 제1 도전형 전도층(60)이 형성된다. 상기 제1 도전형 전도층(60)은 실시예에서 채용하는 N-I-P 다이오드의 N층의 역할을 할 수 있다. 즉, 상기 제1 도전형 전도층(60)은 N 타입 도전형 전도층일 수 있으나 이에 한정되는 것은 아니다.
- <59> 예를 들어, 상기 제1 도전형 전도층(60)은 N 도핑된 비정질 실리콘(n-doped amorphous silicon)을 이용하여 형성될 수 있다. 예를 들어, 상기 제1 도전형 전도층(60)은 실란가스(SiH₄)에 PH₃ 또는 P₂H₆ 등의 가스를 혼합하여 PECVD에 의해 비정질 실리콘으로 형성될 수 있다.
- <60> 상기 제1 도전형 전도층(60)은 상기 하부전극층(50)의 단차를 따라 형성되어 상기 상부배선부(A)와 반도체 기판(10)의 단차만큼 단차를 가지게 된다.
- <61> 도 5를 참조하여, 상기 상부배선부(A)의 외주면에 하부전극(51) 및 제1 도전형 전도층 패턴(61)이 형성된다.
- <62> 상기 하부전극(51) 및 제1 도전형 전도층 패턴(61)은 동시에 형성될 수 있다. 상기 하부전극(51) 및 제1 도전형 전도층 패턴(61)은 상기 제1 도전형 전도층(60) 상부에 상기 상부배선부(A)에 대응하는 영역은 가리고 나머지 영역은 노출시키는 포토레지스트 패턴(200)을 형성한다. 그리고 상기 포토레지스트 패턴(200)을 식각마스크로 상기 하부전극층(50) 및 제1 도전형 전도층(60)을 식각한다. 그러면 상기 제1 트랜치(25)의 바닥면인 반도체 기판(10)은 노출되고, 상기 상부배선부(A)의 외주면을 감싸는 하부전극(51) 및 제1 도전형 전도층 패턴(61)을 형성할 수 있다.
- <63> 상기 상부배선부(A) 상에 형성된 하부전극(51) 및 제1 도전형 전도층 패턴(61)은 단위픽셀 별로 상호 분리되어 있으므로 이미지 센서의 크로스 토크 및 노이즈를 방지할 수 있다.
- <64> 이후, 상기 포토레지스트 패턴(200)은 제거된다.
- <65> 도 6을 참조하여, 상기 제1 도전형 전도층 패턴(61)을 포함하는 반도체 기판(10) 상에 진성층(70)이 형성된다. 상기 진성층(70)은 실시예에서 채용하는 N-I-P 다이오드의 I층의 역할을 할 수 있다.

- <66> 상기 진성층(70)은 비정질 실리콘을 이용하여 형성될 수 있다. 예를 들어, 상기 진성층(70)은 실란가스(SiH₄) 등을 이용하여 PECVD에 의해 비정질 실리콘으로 형성될 수 있다.
- <67> 여기서, 상기 진성층(70)은 상기 제1 및 제2 도전형 전도층(80)의 두께보다 약 10~1,000배 정도의 두꺼운 두께로 형성될 수 있다. 이는 상기 진성층(70)의 두께가 두꺼울수록 핀 다이오드의 공핍영역이 늘어나 많은 양의 광전하를 보관 및 생성하기에 유리하기 때문이다.
- <68> 상기 진성층(70)은 상기 제1 트랜치(25) 및 제1 도전형 전도층(60)을 포함하는 반도체 기판(10) 상에 형성되어 상기 상부배선부(A)의 단차를 따라 반도체 기판(10) 상에 형성될 수 있다.
- <69> 상기 진성층(70)은 PECVD 방법에 의하여 균일하게 상기 반도체 기판(10) 상에 증착될 수 있다. 그러면, 상기 상부배선부(A) 상에 형성되는 진성층(70)은 얇은 영역(B)를 가지게 되고 상기 제1 트랜치(25) 내부에 형성되는 진성층(70)은 깊은 영역(B)를 가지게 된다. 즉, 상기 진성층(70)은 상기 상부배선부(A)와 제1 트랜치(25)의 차이만큼 서로 다른 높이를 가지게 된다. 특히, 상기 상부배선부(A) 보다 낮은 높이를 가지는 상기 제1 트랜치에 (25) 증착되는 진성층(70)은 상기 제1 트랜치(25)의 높이 및 폭에 비례하여 증착되므로 상기 진성층(70)에는 제2 트랜치(75)가 형성된다.
- <70> 따라서, 상기 진성층(70)에 대한 별도의 식각공정이 진행되지 않으므로 식각데미지를 방지하여 다크 특성을 향상시킬 수 있다. 또한, 상기 상부배선부(A) 및 제1 트랜치(25)의 구조에 의하여 상기 진성층(70)의 형성시 제2 트랜치(75)가 형성되므로 상기 진성층(70)을 단위 단위 픽셀 별로 분리될 수 있다.
- <71> 도 7을 참조하여, 상기 진성층(70) 상에 제2 도전형 전도층(80)이 형성된다. 상기 제2 도전형 전도층(80)은 상기 진성층(70)의 형성과 연속공정으로 형성될 수 있다.
- <72> 상기 제2 도전형 전도층(80)은 실시예에서 채용하는 N-I-P 다이오드의 P층의 역할을 할 수 있다. 즉, 상기 제2 도전형 전도층(80)은 P 타입 도전형 전도층일 수 있으나 이에 한정되는 것은 아니다. 예를 들어, 상기 제2 도전형 전도층(80)은 실란가스(SiH₄)에 BH₃ 또는 B₂H₆ 등의 가스를 혼합하여 PECVD에 의해 P 도핑된 비정질 실리콘으로 형성될 수 있다.
- <73> 상기 제2 도전형 전도층(80)은 상기 제2 트랜치(75)를 포함하는 진성층(70) 상에 형성되어 상기 진성층(70)의 단차를 따라 형성될 수 있다. 즉, 상기 제2 도전형 전도층(80)은 PECVD 방법에 의하여 균일하게 진성층(70) 상에 증착될 수 있다. 따라서, 제2 도전형 전도층(80)은 상기 진성층(70)과 상기 제2 트랜치(75)의 차이만큼 서로 다른 높이를 가지게 된다. 특히, 상기 제2 트랜치(75)의 높이 및 폭에 비례하여 상기 제2 트랜치(75) 상에 증착되는 제2 도전형 전도층(80)에는 제3 트랜치(85)가 형성된다.
- <74> 상기과 같이 회로부를 포함하는 반도체 기판(10) 상에 상기 제1 도전형 전도층 패턴(61), 진성층(70) 및 제2 도전형 전도층(80)으로 이루어지는 포토다이오드가 형성되므로, 상기 포토다이오드의 면적이 확장되어 필팩터를 100%에 근접시킬 수 있다.
- <75> 또한, 상기 포토다이오드의 하부전극(51) 및 제1 도전형 전도층 패턴(61)이 단위픽셀 별로 분리되어 있으므로 크로스 토크 및 노이즈가 발생하는 것을 방지할 수 있다.
- <76> 또한, 상기 포토다이오드의 하부전극(51)은 상기 상부배선부(A)를 감싼 구조로 형성되어 넓은 면적을 가지게 되므로 상기 포토다이오드에서 생성된 광전하의 수용력을 향상시킬 수 있다.
- <77> 또한, 상기 포토다이오드와 하부전극(51)의 접촉에 의하여 쇼트키 다이오드(Schottky diode)를 형성하게 되므로 전력손실을 최소화하면서 고속동작을 할 수 있는 효과가 있다.
- <78> 도 8을 참조하여, 상기 제2 도전형 전도층(80)의 제3 트랜치(85)의 내부에 광차단부(90)가 형성된다.
- <79> 상기 광차단부(90)는 상기 제3 트랜치(85)를 포함하는 제2 도전형 전도층(80) 상으로 금속층을 형성한 후 평탄화 공정에 의하여 형성될 수 있다. 예를 들어, 상기 광차단부(90)는 금속층에 대한 CMP 공정을 진행하여 상기 제2 도전형 전도층(80)과 동일한 높이로 형성될 수 있다.
- <80> 상기 광차단부(90)는 금속, 합금 또는 실리콘사이드를 포함한 다양한 전도성 물질로 형성될 수 있다. 예를 들어, 상기 광차단부(90)는 알루미늄, 텅스텐 및 티타늄등의 금속으로 형성될 수 있다.
- <81> 상기 광차단부(90)는 상기 제3 트랜치(85)의 내부에 형성되어 상기 포토다이오드를 단위픽셀 별로 분리하여 소자분리 역할을 할수 있다. 즉, 상기 광차단부(90)는 컬러필터를 통해 입사되는 광이 이웃하는 포토다이오드로

입사되는 것을 방지할 수 있다.

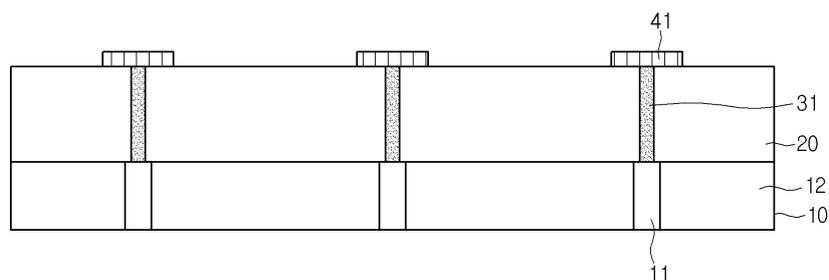
- <82> 도 9를 참조하여, 상기 포토다이오드 및 광차단부(90)를 포함하는 반도체 기판(10) 상에 상부전극(100)이 형성된다.
- <83> 상기 상부전극(100)은 빛의 투과성이 좋고 전도성이 높은 투명전극으로 형성될 수 있다. 예를 들어, 상기 상부전극(100)은 ITO(indium tin oxide), CTO(cardium tin oxide), ZnO₂ 중 어느 하나로 형성될 수 있다.
- <84> 도 10을 참조하여, 상기 상부전극(100) 상에 컬러필터(110)가 형성된다.
- <85> 상기 컬러필터(110)는 염색된 포토레지스트를 사용하며 각각의 단위픽셀마다 하나의 컬러필터(100)가 형성되어 입사하는 빛으로부터 색을 분리해 낸다. 이러한 컬러필터(110)는 각각 다른 색상을 나타내는 것으로 레드(Red), 그린(Green) 및 블루(Blue)의 3가지 색으로 이루어질 수 있다.
- <86> 또한, 상기 컬러필터(110)의 단차를 보완하기 위하여 상기 컬러필터(110) 상에 평탄화층(120)이 형성될 수도 있다.
- <87> 도시되지는 않았지만 상기 컬러필터(110) 상에 마이크로 렌즈가 추가적으로 형성될 수 있다.
- <88> 상기와 같이 포토다이오드 및 광차단부(90) 상부에 컬러필터(110)가 형성되어 상기 컬러필터(110)를 통과하는 빛은 해당 포토다이오드로 입사되어 전자를 발생시킨 후, 단위화소 별로 형성된 상기 하부전극(51)으로 모아져 상부배선(31)을 통해 하부배선(11)로 전달할 수 있게 된다.
- <89> 예를 들어, 상기 레드 컬러필터(R)(110)에 대하여 수직으로 입사되는 빛은 하부의 해당 포토다이오드 영역으로 입사되어 해당 상부배선(31)을 통해 회로부(미도시)로 전달될 수 있다.
- <90> 이때, 상기 레드 컬러필터(R)(110)에 대하여 경사를 가지고 입사되는 빛은 이웃하는 포토 다이오드 영역 즉, 블루 컬러필터(B)(110)에 해당되는 포토 다이오드로 입사되어 크로스 토크가 발생될 수 있다. 이를 방지하기 위하여, 실시예에서는 상기 포토다이오드 사이에 광차단부가 형성되어 있다. 즉, 상기 레드 컬러필터(R)(110)에 대하여 경사각을 가지고 입사되는 빛은 포토다이오드의 사이에 배치된 광차단부(90)에 의하여 인접 픽셀의 포토다이오드로 입사되는 것이 방지된다.
- <91> 또한, 빛이 상기 컬러필터(110)를 통과하여 포토다이오드로 입사할 때 레드 파장의 경우 블루 및 그린파장에 비하여 상대적으로 깊은 영역에서 광전효과를 일으키게 된다. 이에 실시예에서는 상기 포토다이오드의 진성층(70)을 얇은 두께로 형성하여도 상부배선부(A)의 구조에 의하여 상기 포토다이오드의 깊은 영역(A)와 얇은 영역(B)이 형성되므로 레드, 블루 및 그린 파장에 대한 신호를 효과적으로 얻을 수 있게 된다.
- <92> 이상에서 설명한 실시예는 전술한 실시예 및 도면에 의해 한정되는 것이 아니고, 본 실시예의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

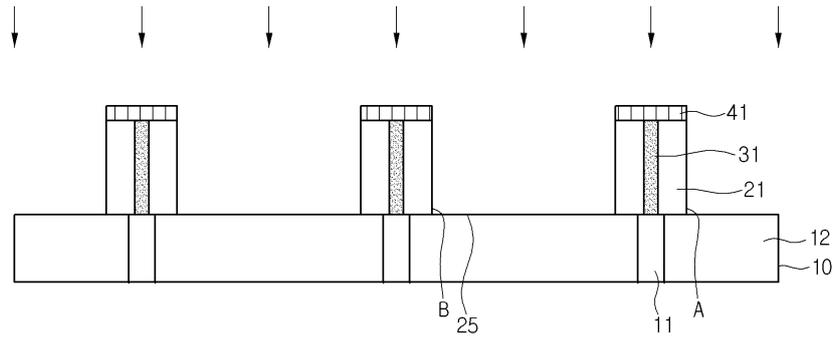
- <93> 도 1 내지 도 10은 실시예에 따른 이미지 센서의 제조 공정을 나타내는 단면도이다.

도면

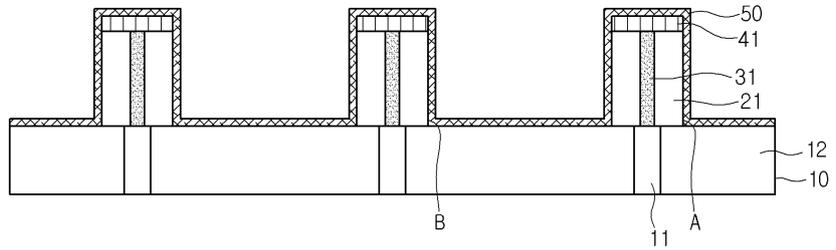
도면1



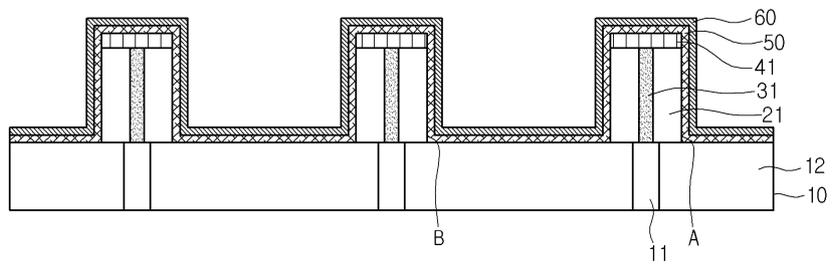
도면2



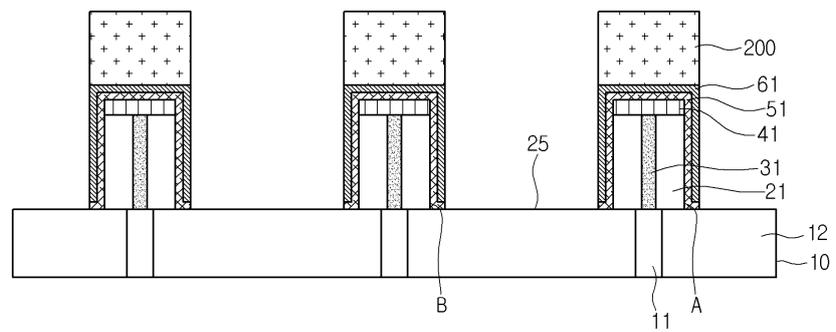
도면3



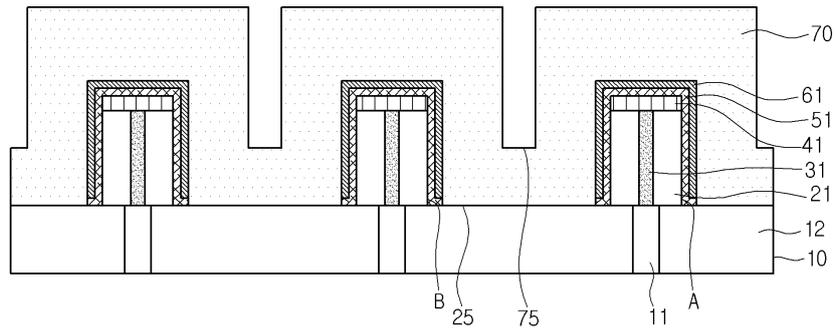
도면4



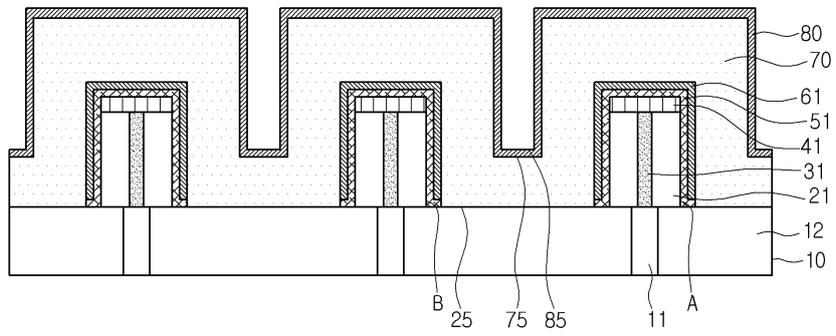
도면5



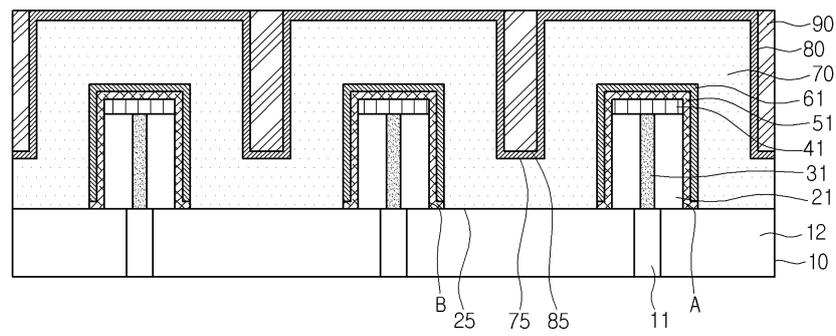
도면6



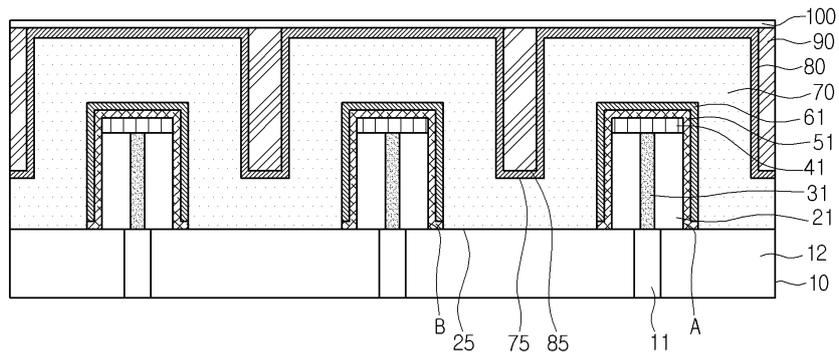
도면7



도면8



도면9



도면10

