



(12)发明专利

(10)授权公告号 CN 107590080 B

(45)授权公告日 2020.10.09

(21)申请号 201610533349.0

G11C 16/16(2006.01)

(22)申请日 2016.07.07

(56)对比文件

(65)同一申请的已公布的文献号

CN 104636267 A,2015.05.20

申请公布号 CN 107590080 A

CN 102402396 A,2010.09.15

US 2014/0156964 A1,2014.06.05

(43)申请公布日 2018.01.16

审查员 朱雷

(73)专利权人 合肥兆芯电子有限公司

地址 230088 安徽省合肥市高新区创新产业园二期F3楼12-13层

(72)发明人 章文嘉

(74)专利代理机构 北京同立钧成知识产权代理

有限公司 11205

代理人 马雯雯 臧建明

(51)Int.Cl.

G06F 12/02(2006.01)

G06F 12/06(2006.01)

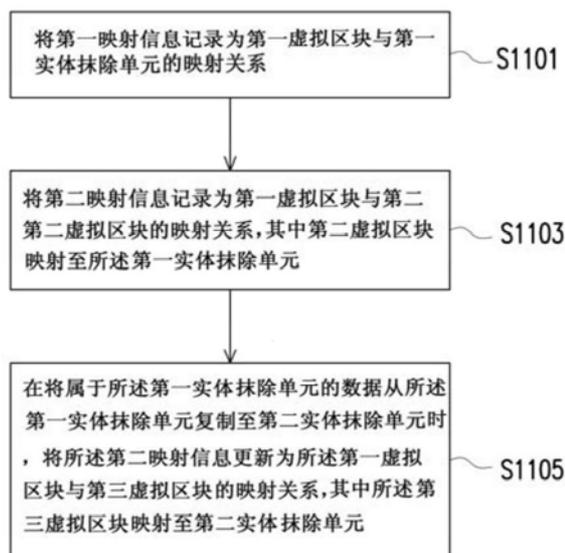
权利要求书3页 说明书15页 附图8页

(54)发明名称

映射表更新方法、存储器控制电路单元及存储器存储装置

(57)摘要

本发明提供一种映射表更新方法、存储器控制电路单元及存储器存储装置。本方法包括：将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系；将第二映射信息记录为所述第一虚拟区块与第二虚拟区块的映射关系，其中第二虚拟区块映射至所述第一实体抹除单元；以及在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时，将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系，其中所述第三虚拟区块映射至所述第二实体抹除单元。本发明能够有效地缩短以实体抹除单元为单位进行数据复制与搬移的操作时间，进而提升存储器存储装置进行数据传输与存取时的速度与效能。



CN 107590080 B

1. 一种映射表更新方法,用于存储器存储装置,其特征在于,所述存储器存储装置具有可复写式非易失性存储器模块,所述可复写式非易失性存储器模块具有多个实体抹除单元,每一所述多个实体抹除单元具有多个实体程序化单元,所述映射表更新方法包括:

将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系;

将第二映射信息记录为所述第一虚拟区块与第二虚拟区块的映射关系,其中所述第二虚拟区块与所述第一虚拟区块是映射至相同的所述第一实体抹除单元;

在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系并且不更新所述第一映射信息,其中所述第三虚拟区块映射至所述第二实体抹除单元。

2. 根据权利要求1所述的映射表更新方法,其特征在于,还包括:

建立逻辑-实体重新映射表,其中所述第二映射信息记录在所述逻辑-实体重新映射表中。

3. 根据权利要求1所述的映射表更新方法,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之前的步骤包括:

配置多个逻辑单元,其中每一所述多个逻辑单元对应至少一个实体程序化单元;

将对应所述第一实体抹除单元的数据的多个第一逻辑单元配置于所述第一虚拟区块中。

4. 根据权利要求3所述的映射表更新方法,其特征在于,逻辑-实体映射表被储存在所述可复写式非易失性存储器模块中,且将所述第一映射信息记录为所述第一虚拟区块与所述第一实体抹除单元的映射关系的步骤包括:

将所述第一映射信息记录为所述多个第一逻辑单元与所述第一实体抹除单元中实体程序化单元被写入的顺序之间的映射关系;

将所述第一映射信息记录在所述逻辑-实体映射表中。

5. 根据权利要求4所述的映射表更新方法,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之后的步骤包括:

发送读取指令序列,其中所述读取指令序列指示从所述多个第一逻辑单元中的至少一逻辑单元读取数据;

接收根据所述第一映射信息与所述第二映射信息从所述第二实体抹除单元的至少一实体化程序单元所读取的所述数据。

6. 根据权利要求1所述的映射表更新方法,其特征在于,将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元的步骤包括:

将所述第一实体抹除单元的实体程序化单元中的数据顺序写入至所述第二实体抹除单元的对应的实体程序化单元中。

7. 根据权利要求6所述的映射表更新方法,其特征在于,所述第二实体抹除单元中实体程序化单元被写入的顺序相同于所述第一实体抹除单元中实体程序化单元被写入的顺序。

8. 一种存储器控制电路单元,用于控制一可复写式非易失性存储器模块,其特征在于,所述可复写式非易失性存储器模块包括多个实体抹除单元,且每一所述多个实体抹除单元包括多个实体程序化单元,其中所述存储器控制电路单元包括:

主机接口,用以耦接至主机系统;

存储器接口,用以耦接至所述可复写式非易失性存储器模块;

存储器管理电路,耦接至所述主机接口与所述存储器接口,并且用以将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系,

其中所述存储器管理电路更用以将第二映射信息记录为所述第一虚拟区块与第二虚拟区块的映射关系,其中所述第二虚拟区块与所述第一虚拟区块是映射至相同的所述第一实体抹除单元,

其中所述存储器管理电路更用以在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系并且不更新所述第一映射信息,其中所述第三虚拟区块映射至所述第二实体抹除单元。

9. 根据权利要求8所述的存储器控制电路单元,其特征在于,所述存储器管理电路更用以建立逻辑-实体重新映射表,其中所述第二映射信息记录在所述逻辑-实体重新映射表中。

10. 根据权利要求8所述的存储器控制电路单元,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之前,

所述存储器管理电路更用以配置多个逻辑单元,其中每一所述多个逻辑单元对应至少一个实体程序化单元;

所述存储器管理电路更用以将对应所述第一实体抹除单元的数据的多个第一逻辑单元配置于所述第一虚拟区块中。

11. 根据权利要求10所述的存储器控制电路单元,其特征在于,逻辑-实体映射表被储存在所述可复写式非易失性存储器模块中,且在将所述第一映射信息记录为所述第一虚拟区块与所述第一实体抹除单元的映射关系的操作中,

所述存储器管理电路更用以将所述第一映射信息记录为所述多个第一逻辑单元与所述第一实体抹除单元中实体程序化单元被写入的顺序之间的映射关系,以及将所述第一映射信息记录在所述逻辑-实体映射表中。

12. 根据权利要求11所述的存储器控制电路单元,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之后,

所述存储器管理电路更用以发送一读取指令序列,其中所述读取指令序列指示从所述多个第一逻辑单元中的至少一逻辑单元读取数据;

所述存储器管理电路更用以接收根据所述第一映射信息与所述第二映射信息从所述第二实体抹除单元的至少一实体化程序单元所读取的所述数据。

13. 根据权利要求8所述的存储器控制电路单元,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元的操作中,所述存储器管理电路更用以将所述第一实体抹除单元的实体程序化单元中的数据顺序写入至所述第二实体抹除单元的对应的实体程序化单元中。

14. 根据权利要求13所述的存储器控制电路单元,其特征在于,所述第二实体抹除单元中实体程序化单元被写入的顺序相同于所述第一实体抹除单元中实体程序化单元被写入的顺序。

15. 一种存储器存储装置,其特征在于,包括:

连接接口单元,用以耦接至主机系统;

可复写式非易失性存储器模块,包括多个记忆胞;

存储器控制电路单元,耦接至所述连接接口单元与所述可复写式非易失性存储器模块,并且用以将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系,

其中所述存储器控制电路单元更用以将第二映射信息记录为所述第一虚拟区块与第二虚拟区块的映射关系,其中所述第二虚拟区块与所述第一虚拟区块是映射至相同的所述第一实体抹除单元,

其中所述存储器控制电路单元更用以在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系并且不更新所述第一映射信息,其中所述第三虚拟区块映射至所述第二实体抹除单元。

16. 根据权利要求15所述的存储器存储装置,其特征在于,所述存储器控制电路单元更用以建立一逻辑-实体重新映射表,其中所述第二映射信息记录在所述逻辑-实体重新映射表中。

17. 根据权利要求15所述的存储器存储装置,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之前,

所述存储器控制电路单元更用以配置多个逻辑单元,其中每一所述多个逻辑单元对应至少一个实体程序化单元;

所述存储器控制电路单元更用以将对应所述第一实体抹除单元的数据的多个第一逻辑单元配置于所述第一虚拟区块中。

18. 根据权利要求17所述的存储器存储装置,其特征在于,逻辑-实体映射表被储存在所述可复写式非易失性存储器模块中,且在将所述第一映射信息记录为所述第一虚拟区块与所述第一实体抹除单元的映射关系的操作中,

所述存储器控制电路单元更用以将所述第一映射信息记录为所述多个第一逻辑单元与所述第一实体抹除单元中实体程序化单元被写入的顺序之间的映射关系,以及将所述第一映射信息记录在所述逻辑-实体映射表中。

19. 根据权利要求18所述的存储器存储装置,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之后,

所述存储器控制电路单元更用以发送读取指令序列,其中所述读取指令序列指示从所述多个第一逻辑单元中的至少一逻辑单元读取数据;

所述存储器控制电路单元更用以接收根据所述第一映射信息与所述第二映射信息从所述第二实体抹除单元的至少一实体化程序单元所读取的所述数据。

20. 根据权利要求15所述的存储器存储装置,其特征在于,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元的操作中,所述存储器控制电路单元更用以将所述第一实体抹除单元的实体程序化单元中的数据顺序写入至所述第二实体抹除单元的对应的实体程序化单元中。

21. 根据权利要求20所述的存储器存储装置,其特征在于,所述第二实体抹除单元中实体程序化单元被写入的顺序相同于所述第一实体抹除单元中实体程序化单元被写入的顺序。

## 映射表更新方法、存储器控制电路单元及存储器存储装置

### 技术领域

[0001] 本发明涉及一种映射表更新方法、存储器控制电路单元及存储器存储装置,尤其涉及一种用于可复写式非易失性存储器的映射表更新方法,及使用此方法的存储器控制电路单元与存储器存储装置。

### 背景技术

[0002] 数字相机、移动电话与MP3播放器在这几年来的成长十分迅速,使得消费者对储存媒体的需求也急速增加。由于可复写式非易失性存储器模块(例如,快闪存储器)具有数据非易失性、省电、体积小,以及无机械结构等特性,所以非常适合内建于上述所举例的各种可携式多媒体装置中。

[0003] 一般而言,使用可复写式非易失性存储器模块作为储存媒体的存储器存储装置会建立逻辑-实体映射表来记录逻辑地址与实体抹除单元或逻辑地址与实体程序化单元之间的映射信息,使主机系统可顺利存取可复写式非易失性存储器模块的数据。然而,当存储器存储装置进行将数据从一个原始实体抹除单元搬移至另一个新的实体抹除单元的操作时,存储器存储装置需一一地将逻辑-实体映射表中原始实体抹除单元中的实体程序化单元所对应的逻辑单元更新为对应至新的实体抹除单元的实体程序化单元,即,存储器存储装置需要更改逻辑-实体映射表中的上千笔登录值,因而导致上述复制数据的时间会相对的增加而使得当主机执行其他写入或读取指令时必须等待较长的回应时间。

### 发明内容

[0004] 本发明提供一种映射表更新方法、存储器控制电路单元与存储器存储装置,其能够有效地缩短以实体抹除单元为单位进行数据复制与搬移的操作时间,进而提升存储器存储装置进行数据传输与存取时的速度与效能。

[0005] 本发明的一范例实施例提供一种映射表更新方法,其用于可复写式非易失性存储器模块,所述可复写式非易失性存储器模块具有多个实体抹除单元,每一实体抹除单元具有多个实体程序化单元,所述映射表更新方法包括:将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系;将第二映射信息记录为所述第一虚拟区块与第二虚拟区块的映射关系,其中所述第二虚拟区块映射至所述第一实体抹除单元;以及在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系,其中所述第三虚拟区块映射至所述第二实体抹除单元。

[0006] 在本发明的一范例实施例中,所述映射表更新方法还包括:建立逻辑-实体重新映射表,其中所述第二映射信息记录在所述逻辑-实体重新映射表中。

[0007] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之前的步骤包括:配置多个逻辑单元,其中每一所述逻辑单元对应至少一个实体程序化单元;以及将对应所述第一实体抹除单元的数据

的多个第一逻辑单元配置于所述第一虚拟区块中。

[0008] 在本发明的一范例实施例中,逻辑-实体映射表被储存在所述可复写式非易失性存储器模块中,将所述第一映射信息记录为所述第一虚拟区块与所述第一实体抹除单元的映射关系的步骤包括:将所述第一映射信息记录为所述第一逻辑单元与所述第一实体抹除单元中实体程序化单元被写入的顺序之间的映射关系;以及将所述第一映射信息记录在逻辑-实体映射表中。

[0009] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之后的步骤包括:发送读取指令序列,其中所述读取指令序列指示从所述些第一逻辑单元中的至少一逻辑单元读取数据;以及接收根据所述第一映射信息与所述第二映射信息从所述第二实体抹除单元的至少一实体化程序单元所读取的所述数据。

[0010] 在本发明的一范例实施例中,将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元的步骤包括:将所述第一实体抹除单元的实体程序化单元中的数据依序地写入至所述第二实体抹除单元的对应的实体程序化单元中。

[0011] 在本发明的一范例实施例中,所述第二实体抹除单元中实体程序化单元被写入的顺序相同于所述第一实体抹除单元中实体程序化单元被写入的顺序。

[0012] 本发明的另一范例实施例提供一种存储器控制电路单元,其用以控制可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个实体抹除单元,且每一所述实体抹除单元包括多个实体程序化单元,所述存储器控制电路单元包括主机接口、存储器接口及存储器管理电路。所述主机接口用以耦接至主机系统。所述存储器接口用以耦接至所述可复写式非易失性存储器模块。所述存储器管理电路耦接至所述主机接口及所述存储器,其中所述存储器管理电路用以将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系;以及将第二映射信息记录为所述第一虚拟区块与第二虚拟区块的映射关系,其中所述第二虚拟区块映射至所述第一实体抹除单元。其中所述存储器管理电路更用以在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系,其中所述第三虚拟区块映射至所述第二实体抹除单元。

[0013] 在本发明的一范例实施例中,所述存储器管理电路更用以建立逻辑-实体重新映射表,其中所述第二映射信息记录在所述逻辑-实体重新映射表中。

[0014] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之前,所述存储器管理电路更用以配置多个逻辑单元,其中每一所述逻辑单元对应至少一个实体程序化单元;以及所述存储器管理电路更用以将对应所述第一实体抹除单元的数据的多个第一逻辑单元配置于所述第一虚拟区块中。

[0015] 在本发明的一范例实施例中,逻辑-实体映射表被储存在所述可复写式非易失性存储器模块中,且在将所述第一映射信息记录为所述第一虚拟区块与所述第一实体抹除单元的映射关系的操作中,所述存储器管理电路更用以将所述第一映射信息记录为所述第一逻辑单元与所述第一实体抹除单元中实体程序化单元被写入的顺序之间的映射关系,以及将所述第一映射信息记录在逻辑-实体映射表中。

[0016] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之后,所述存储器管理电路更用以发送读取指令序列,其中所述读取指令序列指示从所述第一逻辑单元中的至少一逻辑单元读取数据;以及接收根据所述第一映射信息与所述第二映射信息从所述第二实体抹除单元的至少一实体化程序单元所读取的所述数据。

[0017] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元的操作中,所述存储器管理电路更用以将所述第一实体抹除单元的实体程序化单元中的数据依序地写入至所述第二实体抹除单元的对应的实体程序化单元中。

[0018] 在本发明的一范例实施例中,所述第二实体抹除单元中实体程序化单元被写入的顺序相同于所述第一实体抹除单元中实体程序化单元被写入的顺序。

[0019] 本发明的另一范例实施例提供一种存储器控制电路单元,其用以控制可复写式非易失性存储器模块,其中所述可复写式非易失性存储器模块包括多个记忆胞,所述存储器控制电路单元包括主机接口、存储器接口、错误检查与校正电路及存储器管理电路。所述主机接口用以耦接至主机系统。所述存储器接口用以耦接至所述可复写式非易失性存储器模块。所述存储器管理电路耦接至所述主机接口、所述存储器接口及所述错误检查与校正电路,其中所述存储器控制电路单元用以将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系;以及将第二映射信息记录为第一虚拟区块与第二虚拟区块的映射关系,其中所述第二虚拟区块映射至所述第一实体抹除单元。其中所述存储器控制电路单元更用以在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系,其中所述第三虚拟区块映射至所述第二实体抹除单元。

[0020] 在本发明的一范例实施例中,所述存储器控制电路单元更用以建立逻辑-实体重新映射表,其中所述第二映射信息记录在所述逻辑-实体重新映射表中。

[0021] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之前,所述存储器控制电路单元更用以配置多个逻辑单元,其中每一所述逻辑单元对应至少一个实体程序化单元;以及所述存储器控制电路单元更用以将对应所述第一实体抹除单元的数据的多个第一逻辑单元配置于所述第一虚拟区块中。

[0022] 在本发明的一范例实施例中,逻辑-实体映射表被储存在所述可复写式非易失性存储器模块中,且在将所述第一映射信息记录为所述第一虚拟区块与所述第一实体抹除单元的映射关系的操作中,所述存储器控制电路单元更用以将所述第一映射信息记录为所述第一逻辑单元与所述第一实体抹除单元中实体程序化单元被写入的顺序之间的映射关系,以及将所述第一映射信息记录在逻辑-实体映射表中。

[0023] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元之后,所述存储器控制电路单元更用以发送读取指令序列,其中所述读取指令序列指示从所述第一逻辑单元中的至少一逻辑单元读取数据;以及接收根据所述第一映射信息与所述第二映射信息从所述第二实体抹除单元的至少一实体化程序单元所读取的所述数据。

[0024] 在本发明的一范例实施例中,在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至所述第二实体抹除单元的操作中,所述存储器控制电路单元更用以将所述第一实体抹除单元的实体程序化单元中的数据依序地写入至所述第二实体抹除单元的对应的实体程序化单元中。

[0025] 在本发明的一范例实施例中,所述第二实体抹除单元中实体程序化单元被写入的顺序相同于所述第一实体抹除单元中实体程序化单元被写入的顺序。

[0026] 基于上述,本发明范例实施例是藉由对储存有数据的每一个实体抹除单元配置两个虚拟区块以分别记录一个实体抹除单元的实体程序化单元及其对应的逻辑单元的映射关系,以及此两个虚拟区块之间的映射关系。如此一来,可在存储器存储装置以实体抹除单元为单位进行数据复制或搬移的操作时,仅更改虚拟区块之间的映射关系,由此避免等待主机执行其他写入或读取指令的回应时间逾时,进而提升存储器存储装置整体运作的速度与效能。

[0027] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

#### 附图说明

[0028] 图1是根据本发明的一范例实施例所显示的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图;

[0029] 图2是根据本发明的另一范例实施例所显示的主机系统、存储器存储装置及I/O装置的示意图;

[0030] 图3是根据本发明的另一范例实施例所显示的主机系统与存储器存储装置的示意图;

[0031] 图4是根据本发明的一范例实施例所显示的存储器存储装置的概要方框图;

[0032] 图5是根据本发明的一范例实施例所显示的存储器控制电路单元的概要方框图;

[0033] 图6是根据本发明的一范例实施例所显示的管理可复写式非易失性存储器模块的示意图;

[0034] 图7是根据本发明的一范例实施例所显示的虚拟区块与实体抹除单元的映射关系的示意图;

[0035] 图8A是根据本发明的一范例实施例所显示的逻辑-实体映射表的示意图;

[0036] 图8B是根据本发明的一范例实施例所显示的逻辑-实体重新映射表的示意图;

[0037] 图9是根据本发明的一范例实施例所显示的将数据从一个实体抹除单元复制至另一个实体抹除单元的示意图;

[0038] 图10A是根据本发明的一范例实施例所显示的将数据从一个实体抹除单元复制至另一个实体抹除单元后更新映射表的示意图;

[0039] 图10B是根据本发明的一范例实施例所显示的将数据从一个实体抹除单元复制至另一个实体抹除单元后的逻辑-实体映射表与逻辑-实体重新映射表的示意图;

[0040] 图11是根据本发明的一范例实施例所显示的映射表更新方法的流程图。

[0041] 附图标记:

[0042] 10、30:存储器存储装置;

- [0043] 11、31:主机系统;
- [0044] 110:系统总线;
- [0045] 111:处理器;
- [0046] 112:随机存取存储器;
- [0047] 113:只读存储器;
- [0048] 114:数据传输接口;
- [0049] 12:输入/输出(I/O)装置;
- [0050] 20:主机板;
- [0051] 201:随身盘;
- [0052] 202:存储卡;
- [0053] 203:固态硬盘;
- [0054] 204:无线存储器存储装置;
- [0055] 205:全球定位系统模块;
- [0056] 206:网路接口卡;
- [0057] 207:无线传输装置;
- [0058] 208:键盘;
- [0059] 209:屏幕;
- [0060] 210:喇叭;
- [0061] 32:SD卡;
- [0062] 33:CF卡;
- [0063] 34:嵌入式存储装置;
- [0064] 341:嵌入式多媒体卡;
- [0065] 342:嵌入式多晶片封装存储装置;
- [0066] 402:连接接口单元;
- [0067] 404:存储器控制电路单元;
- [0068] 406:可复写式非易失性存储器模块;
- [0069] 410(0)~410(B):实体抹除单元;
- [0070] 502:存储器管理电路;
- [0071] 504:主机接口;
- [0072] 506:存储器接口;
- [0073] 508:错误检查与校正电路;
- [0074] 510:缓冲存储器;
- [0075] 512:电源管理电路;
- [0076] 601:储存区;
- [0077] 602:闲置区;
- [0078] 610(0)~610(B):实体单元;
- [0079] 612(0)~612(C):逻辑单元;
- [0080] 700(1)~700(5)、701(1)~701(5)、70A(1)~70A(5)、900(1)~900(5)、901(1)~901(5)、90B(1)~90B(5):实体程序化单元;

- [0081] 801 (1) :第一虚拟区块;
- [0082] 802 (1) :第二虚拟区块;
- [0083] 802 (2) :第三虚拟区块;
- [0084] 720:第一映射信息;
- [0085] 730:第二映射信息;
- [0086] 810:逻辑-实体映射表;
- [0087] 820:逻辑-实体重新映射表;
- [0088] S1101:步骤(将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系);
- [0089] S1103:步骤(将第二映射信息记录为第一虚拟区块与第二虚拟区块的映射关系,其中第二虚拟区块映射至所述第一实体抹除单元);
- [0090] S1105:步骤(在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系,其中所述第三虚拟区块映射至所述第二实体抹除单元)。

### 具体实施方式

[0091] 一般而言,存储器存储装置(也称,存储器储存系统)包括可复写式非易失性存储器模块与控制器(也称,控制电路)。通常存储器存储装置是与主机系统一起使用,以使主机系统可将数据写入至存储器存储装置或从存储器存储装置中读取数据。

[0092] 图1是根据本发明的一范例实施例所显示的主机系统、存储器存储装置及输入/输出(I/O)装置的示意图。图2是根据本发明的另一范例实施例所显示的主机系统、存储器存储装置及I/O装置的示意图。

[0093] 请参照图1与图2,主机系统11一般包括处理器111、随机存取存储器(random access memory,RAM)112、只读存储器(read only memory,ROM)113及数据传输接口114。处理器111、随机存取存储器112、只读存储器113及数据传输接口114皆耦接至系统总线(system bus)110。

[0094] 在本范例实施例中,主机系统11是通过数据传输接口114与存储器存储装置10耦接。例如,主机系统11可经由数据传输接口114将数据写入至存储器存储装置10或从存储器存储装置10中读取数据。此外,主机系统11是通过系统总线110与I/O装置12耦接。例如,主机系统11可经由系统总线110将输出信号传送至I/O装置12或从I/O装置12接收输入信号。

[0095] 在本范例实施例中,处理器111、随机存取存储器112、只读存储器113及数据传输接口114是可设置在主机系统11的主机板20上。数据传输接口114的数目可以是一个或多个。通过数据传输接口114,主机板20可以经由有线或无线的方式耦接至存储器存储装置10。耦接或无线传输至存储器存储装置10,其中存储器存储装置10可例如是随身盘201、存储卡202、固态硬盘(Solid State Drive,SSD)203或无线存储器存储装置204。其中,无线存储器存储装置204可例如是近距离无线通信(Near Field Communication,NFC)存储器存储装置、无线传真(WiFi)存储器存储装置、蓝牙(Bluetooth)存储器存储装置或低功耗蓝牙存储器存储装置(例如,iBeacon)等以各式无线通信技术为基础的各种类型存储器存储装置。此外,主机板20也可以通过系统总线110耦接至全球定位系统(Global Positioning

System,GPS) 模块205、网路接口卡206、无线传输装置207、键盘208、屏幕209、喇叭210等各种类型的I/O装置。例如,在一范例实施例中,主机板20可通过无线传输装置207存取无线存储器存储装置204。

[0096] 在一范例实施例中,所提及的主机系统为可实质地与存储器存储装置配合以储存数据的任意系统。虽然在上述范例实施例中,主机系统是以电脑系统来作说明,然而,图3是根据本发明的另一范例实施例所显示的主机系统与存储器存储装置的示意图。请参照图3,在另一范例实施例中,主机系统31也可以是数字相机、摄影机、通信装置、音频播放器、视频播放器或平板电脑等系统,而存储器存储装置30可为其所使用的SD卡32、CF卡33或嵌入式存储装置34等各式非易失性存储器存储装置。嵌入式存储装置34包括嵌入式多媒体卡(embedded MMC,eMMC) 341和/或嵌入式多晶片封装存储装置(embedded Multi Chip Package,eMCP) 342等各类型将存储器模块直接耦接于主机系统的基板上的嵌入式存储装置。

[0097] 图4是根据本发明的一范例实施例所显示的存储器存储装置的概要方框图。

[0098] 请参照图4,存储器存储装置10包括连接接口单元402、存储器控制电路单元404与可复写式非易失性存储器模块406。

[0099] 在本范例实施例中,连接接口单元402是相容于序列先进附件(Serial Advanced Technology Attachment,SATA)标准。然而,必须了解的是,本发明不限于此,连接接口单元402也可以是符合并列先进附件(Parallel Advanced Technology Attachment,PATA)标准、电气和电子工程师协会(Institute of Electrical and Electronic Engineers,IEEE) 1394标准、高速周边零件连接接口(Peripheral Component Interconnect Express,PCI Express)标准、通用序列总线(Universal Serial Bus,USB)标准、安全数位(Secure Digital,SD)接口标准、超高速一代(Ultra High Speed-I,UHS-I)接口标准、超高速二代(Ultra High Speed-II,UHS-II)接口标准、记忆棒(Memory Stick,MS)接口标准、多晶片封装(Multi-Chip Package)接口标准、多媒体储存卡(Multi Media Card,MMC)接口标准、嵌入式多媒体储存卡(Embedded Multimedia Card,eMMC)接口标准、通用快闪存储器(Universal Flash Storage,UFS)接口标准、嵌入式多晶片封装(embedded Multi Chip Package,eMCP)接口标准、小型快闪(Compact Flash,CF)接口标准、整合式驱动电子接口(Integrated Device Electronics,IDE)标准或其他适合的标准。连接接口单元402可与存储器控制电路单元404封装在一个晶片中,或者连接接口单元402是布设于一包含存储器控制电路单元404的晶片外。

[0100] 存储器控制电路单元404用以执行以硬件型式或固件型式实作的多个逻辑门或控制指令,并且根据主机系统11的指令在可复写式非易失性存储器模块406中进行数据的写入、读取与抹除等运作。

[0101] 可复写式非易失性存储器模块406是耦接至存储器控制电路单元404并且用以储存主机系统11所写入的数据。可复写式非易失性存储器模块406可以是单阶记忆胞(Single Level Cell,SLC)NAND型快闪存储器模块(即,一个记忆胞中可储存1个位的快闪存储器模块)、多阶记忆胞(Multi Level Cell,MLC)NAND型快闪存储器模块(即,一个记忆胞中可储存2个位的快闪存储器模块)、三阶记忆胞(Triple Level Cell,TLC)NAND型快闪存储器模块(即,一个记忆胞中可储存3个位的快闪存储器模块)、其他快闪存储器模块或其他具有相

同特性的存储器模块。

[0102] 可复写式非易失性存储器模块406是耦接至存储器控制电路单元404,并且用以储存主机系统11所写入的数据。可复写式非易失性存储器模块406具有实体抹除单元410(0)~410(B)。例如,实体抹除单元410(0)~410(B)可属于同一个存储器晶粒(die)或者属于不同的存储器晶粒。每一实体抹除单元分别具有多个实体程序化单元,其中属于同一个实体抹除单元的实体程序化单元可被独立地写入且被同时地抹除。然而,必须了解的是,本发明不限于此,每一实体抹除单元是可由64个实体程序化单元、256个实体程序化单元或其他任意个实体程序化单元所组成。

[0103] 图5是根据本发明的一范例实施例所显示的存储器控制电路单元的概要方框图。

[0104] 请参照图5,存储器控制电路单元404包括存储器管理电路502、主机接口504及存储器接口506。

[0105] 存储器管理电路502用以控制存储器控制电路单元404的整体运作。具体来说,存储器管理电路502具有多个控制指令,并且在存储器存储装置10运作时,这些控制指令会被执行以进行数据的写入、读取与抹除等运作。以下说明存储器管理电路502的操作时,等同于说明存储器控制电路单元404的操作。

[0106] 在本范例实施例中,存储器管理电路502的控制指令是以固件型式来实作。例如,存储器管理电路502具有微处理器单元(未显示)与只读存储器(未显示),并且这些控制指令是被刻录至此只读存储器中。当存储器存储装置10运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与抹除等运作。

[0107] 在另一范例实施例中,存储器管理电路502的控制指令也可以程序码型式储存于可复写式非易失性存储器模块406的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路502具有微处理器单元(未显示)、只读存储器(未显示)及随机存取存储器(未显示)。特别是,此只读存储器具有开机码(boot code),并且当存储器控制电路单元404被致能时,微处理器单元会先执行此开机码来将储存于可复写式非易失性存储器模块406中的控制指令载入至存储器管理电路502的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与抹除等运作。

[0108] 此外,在另一范例实施例中,存储器管理电路502的控制指令也可以一硬件型式来实作。例如,存储器管理电路502包括微控制器、记忆胞管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路。记忆胞管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路是耦接至微控制器。记忆胞管理电路用以管理可复写式非易失性存储器模块406的记忆胞或其群组。存储器写入电路用以对可复写式非易失性存储器模块406下达写入指令序列以将数据写入至可复写式非易失性存储器模块406中。存储器读取电路用以对可复写式非易失性存储器模块406下达读取指令序列以从可复写式非易失性存储器模块406中读取数据。存储器抹除电路用以对可复写式非易失性存储器模块406下达抹除指令序列以将数据从可复写式非易失性存储器模块406中抹除。数据处理电路用以处理欲写入至可复写式非易失性存储器模块406的数据以及从可复写式非易失性存储器模块406中读取的数据。写入指令序列、读取指令序列及抹除指令序列可各别包括一个或多个程序码或指令码并且用以指示可复写式非易失性存储器模块406执行相对应的写入、读取及抹除等操作。在一范例实施例中,存储器管理电路502还可以下达其他类型的

指令序列给可复写式非易失性存储器模块406以指示执行相对应的操作。

[0109] 主机接口504是耦接至存储器管理电路502并且用以接收与识别主机系统11所传送的指令与数据。也就是说,主机系统11所传送的指令与数据会通过主机接口504来传送至存储器管理电路502。在本范例实施例中,主机接口504是相容于SATA标准。然而,必须了解的是本发明不限于此,主机接口504也可以是相容于PATA标准、IEEE 1394标准、PCI Express标准、USB标准、SD标准、UHS-I标准、UHS-II标准、MS标准、MMC标准、eMMC标准、UFS标准、CF标准、IDE标准或其他适合的数据传输标准。

[0110] 存储器接口506是耦接至存储器管理电路502并且用以存取可复写式非易失性存储器模块406。也就是说,欲写入至可复写式非易失性存储器模块406的数据会经由存储器接口506转换为可复写式非易失性存储器模块406所能接受的格式。具体来说,若存储器管理电路502要存取可复写式非易失性存储器模块406,存储器接口506会传送对应的指令序列。例如,这些指令序列可包括指示写入数据的写入指令序列、指示读取数据的读取指令序列、指示抹除数据的抹除指令序列、以及用以指示各种存储器操作(例如,改变读取电压准位或执行垃圾回收程序等等)的相对应的指令序列。这些指令序列例如是由存储器管理电路502产生并且通过存储器接口506传送至可复写式非易失性存储器模块406。这些指令序列可包括一个或多个信号,或是在总线上的数据。这些信号或数据可包括指令码或程序码。例如,在读取指令序列中,会包括读取的辨识码、存储器地址等信息。

[0111] 在一范例实施例中,存储器控制电路单元404还包括错误检查与校正电路508、缓冲存储器510与电源管理电路512。

[0112] 错误检查与校正电路508是耦接至存储器管理电路502并且用以执行错误检查与校正程序以确保数据的正确性。具体来说,当存储器管理电路502从主机系统11中接收到写入指令时,错误检查与校正电路508会为对应此写入指令的数据产生对应的错误更正码(error correcting code,ECC)和/或错误检查码(error detecting code,EDC),并且存储器管理电路502会将对应此写入指令的数据与对应的错误更正码和/或错误检查码写入至可复写式非易失性存储器模块406中。之后,当存储器管理电路502从可复写式非易失性存储器模块406中读取数据时会同时读取此数据对应的错误更正码和/或错误检查码,并且错误检查与校正电路508会依据此错误更正码和/或错误检查码对所读取的数据执行错误检查与校正程序。

[0113] 缓冲存储器510是耦接至存储器管理电路502并且用以暂存来自于主机系统11的数据与指令或来自于可复写式非易失性存储器模块406的数据。电源管理电路512是耦接至存储器管理电路502并且用以控制存储器存储装置10的电源。

[0114] 在本范例实施例中,可复写式非易失性存储器模块406的记忆胞会构成多个实体程序化单元,并且这些实体程序化单元会构成多个实体抹除单元。例如,同一条字符在线的记忆胞会组成一个或多个实体程序化单元。若每一个记忆胞可储存2个以上的位,则同一条字符在线的实体程序化单元至少可被分类为下实体程序化单元与上实体程序化单元。例如,一记忆胞的最低有效位(Least Significant Bit,LSB)是属于下实体程序化单元,并且一记忆胞的最高有效位(Most Significant Bit,MSB)是属于上实体程序化单元。一般来说,在MLC NAND型快闪存储器中,下实体程序化单元的写入速度会大于上实体程序化单元的写入速度,和/或下实体程序化单元的可靠度是高于上实体程序化单元的可靠度。

[0115] 在本范例实施例中,实体程序化单元为程序化的最小单元。即,实体程序化单元为写入数据的最小单元。例如,实体程序化单元为实体页面(page)或是实体扇(sector)。若实体程序化单元为实体页面,则这些实体程序化单元通常包括数据位区与冗余(redundancy)位区。数据位区包含多个实体扇,用以储存使用者数据,而冗余位区用以储存系统数据(例如,错误更正码)。

[0116] 在本范例实施例中,数据位区包含32个实体扇,且一个实体扇的大小为512位组(byte,B)。然而,在其他范例实施例中,数据位区中也可包含8个、16个或数目更多或更少的实体扇,并且每一个实体扇的大小也可以是更大或更小。另一方面,实体抹除单元为抹除的最小单元。即,每一实体抹除单元含有最小数目之一并被抹除的记忆胞。例如,实体抹除单元为实体区块(block)。

[0117] 图6是根据本发明的一范例实施例所显示的管理可复写式非易失性存储器模块的示意图。必须了解的是,在此描述可复写式非易失性存储器模块406的实体单元的运作时,以“选择”与“分组”等词来操作实体单元是逻辑上的概念。也就是说,可复写式非易失性存储器模块406的实体单元的实际位置并未更改,而是逻辑上对可复写式非易失性存储器模块406的实体单元进行操作。

[0118] 请参照图6,存储器管理电路502会将可复写式非易失性存储器模块406的记忆胞逻辑地分组为实体单元610(0)~610(B)。在本范例实施例中,实体单元610(0)~610(B)中的每一个实体单元是指一个或多个实体程序化单元。然而,在另一范例实施例中,实体单元610(0)~610(B)中的每一个实体单元则是指一个或多个实体抹除单元,例如,实体单元610(0)~610(B)中的每一个实体单元为实体抹除单元410(0)~410(B)。

[0119] 在本范例实施例中,存储器管理电路502会将实体单元610(0)~610(B)逻辑地分组为储存区601与闲置(spare)区602。储存区601中的实体单元610(0)~610(A)储存有数据,而闲置区602中的实体单元610(A+1)~610(B)尚未被用来储存数据。例如,属于储存区601的每一个实体单元可能储存有效数据和/或无效数据,而属于储存区601的某一个实体单元被抹除之后就会被关联至闲置区602。当属于储存区601的某一个实体单元被写满之后,某一个实体单元会被从闲置区602选择并且被关联至储存区601,以储存其他数据。

[0120] 在本范例实施例中,存储器管理电路502会配置逻辑单元612(0)~612(C)以映射储存区601中的实体单元610(0)~610(A)。在本范例实施例中,主机系统11是通过逻辑地址(logical address,LA)来存取储存于储存区601中的数据,因此,逻辑单元612(0)~612(C)中的每一者是指一个逻辑地址。然而,在另一范例实施例中,逻辑单元612(0)~612(C)中的每一者也可以是指一个逻辑程序化单元、一个逻辑抹除单元或者由多个连续或不连续的逻辑地址组成。

[0121] 在本范例实施例中,存储器存储装置10的可复写式非易失性存储器模块406是以实体程序化单元为基础(也称为页面为基础(page based))来进行管理。例如,在执行写入指令时,不管目前数据是要写入至那个逻辑单元,存储器管理电路502皆会以一个实体程序化单元接续一个实体程序化单元的方式来写入数据(也称为随机写入机制)。据此,在本范例实施例中,逻辑单元612(0)~612(C)中的每一个逻辑单元会被映射至至少一个实体程序化单元。具体来说,存储器管理电路502会从闲置区602中选择一个空的实体抹除单元作为目前使用的实体抹除单元来写入数据。并且,当此目前使用的实体抹除单元的实体程序化

单元皆已被写满时,存储器管理电路502会再从闲置区602中选择另一个空的实体抹除单元作为目前使用的实体抹除单元,以继续写入对应来自于主机系统11的写入指令的数据。然而,本发明并不限于此,例如,在另一范例实施例中,存储器存储装置10的可复写式非易失性存储器模块406是以实体抹除单元为基础(也称为区块为基础(block based)来进行管理。

[0122] 一般而言,存储器管理电路502会将逻辑单元与实体单元之间的映射关系(也称为逻辑-实体映射关系)记录于至少一逻辑-实体映射表。当主机系统11欲从存储器存储装置10读取数据或写入数据至存储器存储装置10时,存储器管理电路502可根据此逻辑-实体映射表来执行对于存储器存储装置10的数据存取。然而,在其可复写式非易失性存储器模块406是以实体程序化单元为基础来进行管理的存储器存储装置10中,由于储存有数据的实体程序化单元皆会映射至一个逻辑单元,即,逻辑-实体映射表会记录有逻辑单元与多个实体抹除单元的实体程序化单元的多笔映射关系,因此,所述逻辑-实体映射表会非常庞大。特别是,当存储器存储装置10发生异常断电且重新上电后,存储器管理电路502会将断电前最后一个被程序化的实体抹除单元的数据复制至从闲置区602所选择的另一个新的实体抹除单元,以确保数据的正确性并以此新的实体抹除单元接续的写入数据。此时,存储器管理电路502也会一一地将逻辑-实体映射表中断电前最后一个被程序化的实体抹除单元中的实体程序化单元所对应的逻辑单元更新为对应至新的实体抹除单元的实体程序化单元。换言之,当存储器管理电路502执行将某一实体抹除单元的数据从此实体抹除单元复制至另一实体抹除单元的操作时,存储器管理电路502需要更改逻辑-实体映射表中的上千笔登录值,因而导致上述复制数据的时间会相对的增加而使得当主机执行其他写入或读取指令时必须等待较长的回应时间。

[0123] 有鉴于此,在本范例实施例中,存储器管理电路502会配置分别包括逻辑单元612(0)~612(C)的第一层虚拟区块与第二层虚拟区块,并且第一层虚拟区块与第二层虚拟区块中更分别包括对应至储存区601中每一实体抹除单元(例如,实体抹除单元410(0)~410(A))的多个虚拟区块。具体而言,在存储器管理电路502将从主机系统11所接收的数据写入所选择的一个空的实体抹除单元(也称为第一实体抹除单元)的至少一实体程序化单元中,存储器管理电路502会先配置好对应此第一实体抹除单元的属于第一层的虚拟区块(也称为第一虚拟区块)与属于第二层的虚拟区块(也称为第二虚拟区块),接着,再进一步地将对应此第一实体抹除单元的至少一实体程序化单元的逻辑单元(也称为第一逻辑单元)配置于此第一虚拟区块与此第二虚拟区块内,即,第一虚拟区块与第二虚拟区块分别包括逻辑单元612(0)~612(C)中的多个第一逻辑单元。

[0124] 图7是根据本发明的一范例实施例所显示的虚拟区块与实体抹除单元的映射关系的示意图。

[0125] 为了方便说明,图7以一个实体抹除单元包括5个实体程序化单元为例进行说明,然而,本领域普通技术人员应可理解一个实体抹除单元不只具有5个实体程序化单元,且可具有其他任意个实体程序化单元,在此并不赘述。请参照图7,在存储器管理电路502接收指示将写入数据依序写入至逻辑单元612(0)~612(C)中的第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)的写入指令后,存储器管理电路502会将从闲置区602所选择的第一实体抹除单元410(1)关联至储存区

601,并以其实体程序化单元701(1)~701(5)来储存写入数据,例如,存储器管理电路502会以一个实体程序化单元接续一个实体程序化单元的方式将数据写入实体程序化单元701(1)~701(5)。

[0126] 接着,在本范例实施例中,存储器管理电路502会将第一逻辑单元612(0)、612(2)、612(9)、612(10)、612(5)配置于映射第一实体抹除单元410(1)的第一虚拟区块801(1)与第二虚拟区块802(1)中,即,第一虚拟区块801(1)与第二虚拟区块802(1)分别包括第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)。之后,存储器管理电路502会将第一虚拟区块801(1)映射至第二虚拟区块802(1),以及将配置于第一虚拟区块801(1)与第二虚拟区块802(1)的第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)映射至第一实体抹除单元410(1)的实体程序化单元701(1)~701(5)。

[0127] 此外,在本范例实施例中,存储器管理电路502会将上述第一虚拟区块801(1)与第一实体抹除单元410(1)的映射关系记录为第一映射信息720,以及将第一虚拟区块801(1)与第二虚拟区块802(1)的映射关系记录为第二映射信息730。例如,第一映射信息720即为第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)分别映射至第一实体抹除单元410(1)中的第一个实体程序化单元701(1)、第二个实体程序化单元701(2)、第三个实体程序化单元701(3)、第四个实体程序化单元701(4)、第五个实体程序化单元701(5),因此,存储器管理电路502依据写入指令所指示的写入顺序将第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)及第一实体抹除单元410(1)中实体程序化单元701(1)~701(5)被写入的顺序之间的对应关系记录为第一映射信息720。而第二映射信息730即为第一虚拟区块801(1)映射至第二虚拟区块802(1),因此,存储器管理电路502也会将第一虚拟区块801(1)与第二虚拟区块802(1)的对应关系记录为第二映射信息730。

[0128] 如上所述,存储器管理电路502也会为储存区601中其他储存有数据的每一实体抹除单元(即,实体抹除单元410(0)与实体抹除单元410(2)~410(A))配置其各自的第一层的虚拟区块与第二层的虚拟区块以记录储存区601中每一实体抹除单元的第一映射信息与第二映射信息。换言之,储存区601中的实体抹除单元410(0)~410(A)皆具有其对应的第一层的虚拟区块与第二层的虚拟区块,而每一实体抹除单元的第一层的虚拟区块所包括的逻辑单元及其本身之间的映射关系与每一实体抹除单元的第一层的虚拟区块及第二层的虚拟区块之间的映射关系皆会分别被记录为对应每一实体抹除单元的第一映射信息与第二映射信息。

[0129] 图8A是根据本发明的一范例实施例所显示的逻辑-实体映射表的示意图。图8B是根据本发明的一范例实施例所显示的逻辑-实体重新映射表的示意图。

[0130] 请参照图8A,在本范例实施例中的逻辑-实体映射表810是用以记录逻辑单元612(0)~612(C)与储存有数据的实体程序化单元之间的映射关系,例如,第一映射信息720(即,第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)与第一实体抹除单元410(1)的实体程序化单元701(1)~701(5)的映射关系)是以第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)依序地映射至第一实体抹除单元410(1)的第一个

至第五个实体程序化单元的形式被记录在逻辑-实体映射表810中。类似地,储存区601中其他储存有数据的实体抹除单元(即,实体抹除单元410(0)与实体抹除单元410(2)~410(A))及其逻辑单元的对应关系也会被记录于逻辑-实体映射表810。

[0131] 请参照图8B,在本范例实施例中,存储器管理电路502还会建立逻辑-实体重新映射表820,并将上述第二映射信息730(即,属于第一层的第一虚拟区块801(1)与属于第二层的第二虚拟区块802(1)的映射关系)记录于此逻辑-实体重新映射表820中。例如,存储器管理电路502会将上述为储存区601中储存有数据的实体抹除单元410(0)~410(A)所记录的所有第二映射信息皆记录于逻辑-实体重新映射表820中。

[0132] 在此,假设存储器存储装置10在存储器管理电路502将数据储存至对应第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)的实体抹除单元410(1)的实体程序化单元701(1)~701(5)时发生异常断电,并且在此后被重新上电,则存储器管理电路502会将断电前最后一个被程序化的实体抹除单元(即,第一实体抹除单元410(1))的数据复制至另一个实体抹除单元。

[0133] 图9是根据本发明的一范例实施例所显示的将数据从一个实体抹除单元复制至另一个实体抹除单元的示意图。图10A是根据本发明的一范例实施例所显示的将数据从一个实体抹除单元复制至另一个实体抹除单元后更新映射表的示意图。图10B是根据本发明的一范例实施例所显示的将数据从一个实体抹除单元复制至另一个实体抹除单元后的逻辑-实体映射表与逻辑-实体重新映射表的示意图。

[0134] 请参照图9,当存储器管理电路502将属于第一实体抹除单元410(1)的数据从第一实体抹除单元410(1)复制至另一个实体抹除单元时,存储器管理电路502会从闲置区602选择一个空的实体抹除单元410(A+1)(也称为第二实体抹除单元410(A+1))来储存第一实体抹除单元410(1)中的数据。具体而言,存储器管理电路502会将第一实体抹除单元410(1)的实体程序化单元701(1)~701(5)中的数据依序地写入至第二实体抹除单元410(A+1)的对应的实体程序化单元(即,实体程序化单元900(1)~900(5))中。

[0135] 之后,请参照图10A与图10B,存储器管理电路502会将第二实体抹除单元410(A+1)关联至储存区601,特别是,由于第二实体抹除单元410(A+1)也有其对应的第二层的虚拟区块802(2)(亦称为第三虚拟区块802(2)),亦即,第三虚拟区块802(2)是映射至第二实体抹除单元410(A+1),因此,存储器管理电路502会将原本映射至第二层的第二虚拟区块802(1)的第一层的第一虚拟区块801(1)改变为映射至属于第二层的第三虚拟区块802(2)。特别是,由于第二实体抹除单元410(A+1)中实体程序化单元900(1)~900(5)被写入的顺序并没有改变,因此,存储器管理电路502不须更改逻辑-实体映射表810中第一映射信息720的内容。由此可知,在存储器管理电路502将属于第一实体抹除单元410(1)的数据从第一实体抹除单元410(1)复制至第二实体抹除单元410(A+1)后,仅有第一层的第一虚拟区块801(1)与第二层的第二虚拟区块802(1)的映射关系改变,据此,存储器管理电路502仅需将第二映射信息730更新为第一虚拟区块801(1)与第三虚拟区块802(2)的映射关系。换言之,存储器管理电路502仅需将第二映射信息730中的“802(1)”改为“802(2)”。如图10B所示,存储器管理电路502例如是更改逻辑-实体重新映射表820中的第二映射信息730。据此,在本发明范例实施例中,当发生存储器管理电路502需要将数据以实体抹除单元为单位复制至另一个实体抹除单元的事件时,存储器管理电路502在完成数据搬移的操作后,仅需要更改逻辑-实

体重新映射表820中的一个登录值,而不需将逻辑-实体映射表810中储存有原始数据的实体抹除单元中实体程序化单元所对应的逻辑单元一一地更新为对应至新的实体抹除单元的实体程序化单元。

[0136] 在本发明范例实施例中,在图10A与图10B的状态下,倘若存储器管理电路502发送指示从第一逻辑单元612(0)、第一逻辑单元612(2)、第一逻辑单元612(9)、第一逻辑单元612(10)、第一逻辑单元612(5)中的至少一逻辑单元读取数据的读取指令序列时,存储器管理电路502即可根据记录于逻辑-实体映射表810的第一映射信息720与记录于逻辑-实体重新映射表820的第二映射信息730来读取对应所述读取指令序列的数据。例如,所述读取指令序列指示从第一逻辑单元612(10)读取数据,则存储器管理电路502会搜寻第一层虚拟区块中包含此第一逻辑单元612(10)的第一虚拟区块801(1),并根据逻辑-实体重新映射表820的第二映射信息730得知第一虚拟区块801(1)目前映射至对应至第二实体抹除单元410(A+1)的第三虚拟区块802(2),以及根据逻辑-实体映射表810的第一映射信息720得知第一逻辑单元612(10)映射至一个实体抹除单元中的第四个实体程序化单元,据此,存储器管理电路502会从第二实体抹除单元410(A+1)的第四个实体程序化单元(即,实体程序化单元900(4))读取数据。

[0137] 图11是根据本发明的一范例实施例所显示的映射表更新方法的流程图。

[0138] 请参照图11,在步骤S1101中,存储器管理电路502会将第一映射信息记录为第一虚拟区块与第一实体抹除单元的映射关系。

[0139] 在步骤S1103中,存储器管理电路502会将第二映射信息记录为第一虚拟区块与第二虚拟区块的映射关系,其中第二虚拟区块映射至所述第一实体抹除单元。

[0140] 在步骤S1105中,存储器管理电路502在将属于所述第一实体抹除单元的数据从所述第一实体抹除单元复制至第二实体抹除单元时,会将所述第二映射信息更新为所述第一虚拟区块与第三虚拟区块的映射关系,其中所述第三虚拟区块映射至所述第二实体抹除单元。

[0141] 值得注意的是,上述存储器管理电路502以实体抹除单元为单位将数据从一个实体抹除单元复制至另一个实体抹除单元的情况,不仅限于存储器存储装置10发生异常断电且被重新上电后的情况。例如,在另一范例实施例中,本发明的映射表更新方法也可应用于执行读取干扰(read-disturb)保护的机制中,具体而言,由于在对同一个实体抹除单元所储存的数据进行多次读取时,很有可能会发生所读取的数据是错误的状况,甚至此被多次读取实体抹除单元内所储存的数据会发生异常或遗失,因此,存储器管理电路502会通过读取干扰保护机制以在进行读取操作的时候将一个特定的实体抹除单元中的数据重新写入到其他的实体抹除单元来确保数据的正确性。此外,在又一范例实施例中,本发明的映射表更新方法还可应用于平均磨损(wear leveling)操作中,例如,平均磨损操作是在可复写式非易失性存储器每执行一段固定的时间后或某个特定的时间点,将储存区中的实体抹除单元与闲置区中的实体抹除单元交换,以让在储存区中抹除次数较少的实体抹除单元可被交换至闲置区以供程序化(或写入)使用。综上,本发明并不欲限制映射表更新方法的应用情境,任何以实体抹除单元为单位进行数据搬移或复制的操作,皆可通过上述映射表更新方法而避免因更改逻辑-实体映射表中的上千笔数据,而导致复制数据的时间相对的增加而使得主机执行其他写入或读取指令时必须等待较长的回应时间的问题。

[0142] 此外,图11中各步骤已详细说明如上,在此便不再赘述。值得注意的是,图11中各步骤可以实作为多个程序码或是电路,本发明不加以限制。并且,图11的方法可以搭配以上范例实施例使用,也可以单独使用,本发明不加以限制。

[0143] 综上所述,本发明范例实施例提出的映射表更新方法、存储器存储装置与存储器控制电路单元,可在存储器存储装置以实体抹除单元为单位将数据从一个原始实体抹除单元复制至另一个新的实体抹除单元时,仅更改逻辑-实体重新映射表中的一个登录值以记录此新的实体抹除单元,由此避免因更改逻辑-实体映射表中的上千笔登录值,而导致复制数据的时间相对的增加而使得主机执行其他写入或读取指令时必须等待较长的回应时间的问题,进而提升存储器存储装置整体运作的速度与效能。

[0144] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域普通技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,均在本发明范围内。

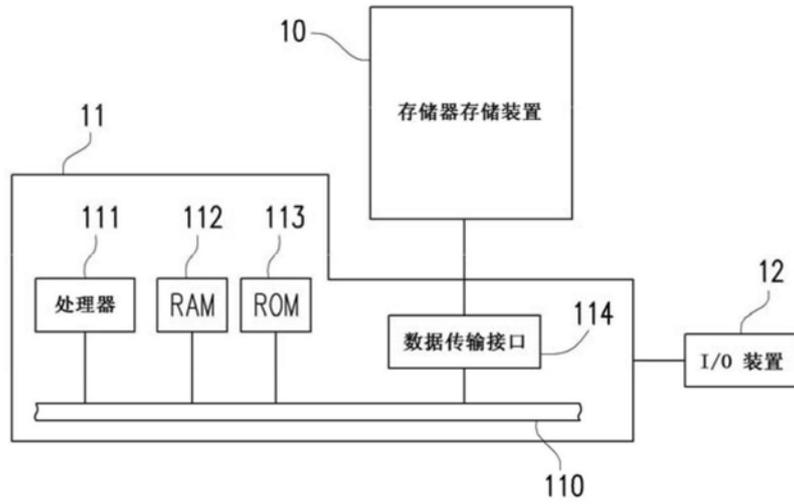


图1

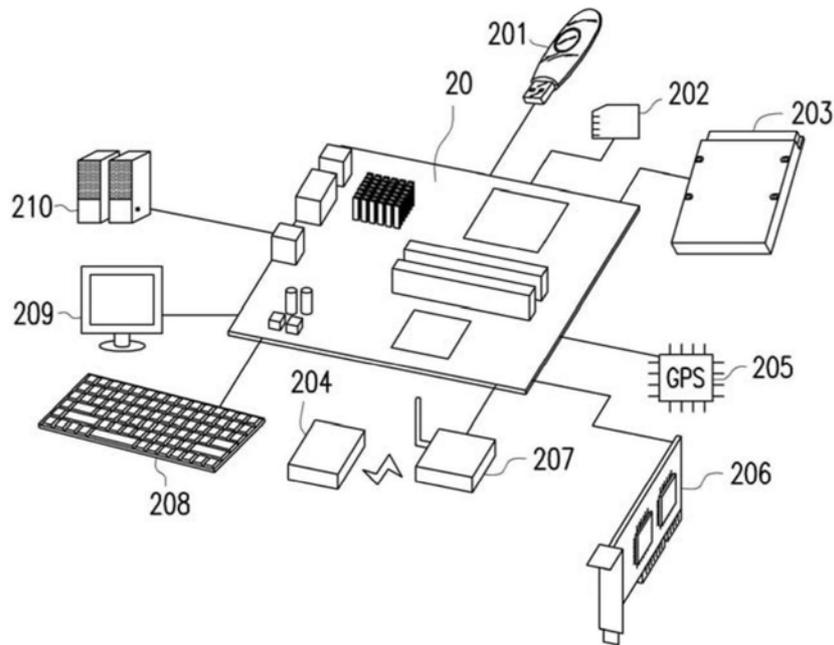


图2

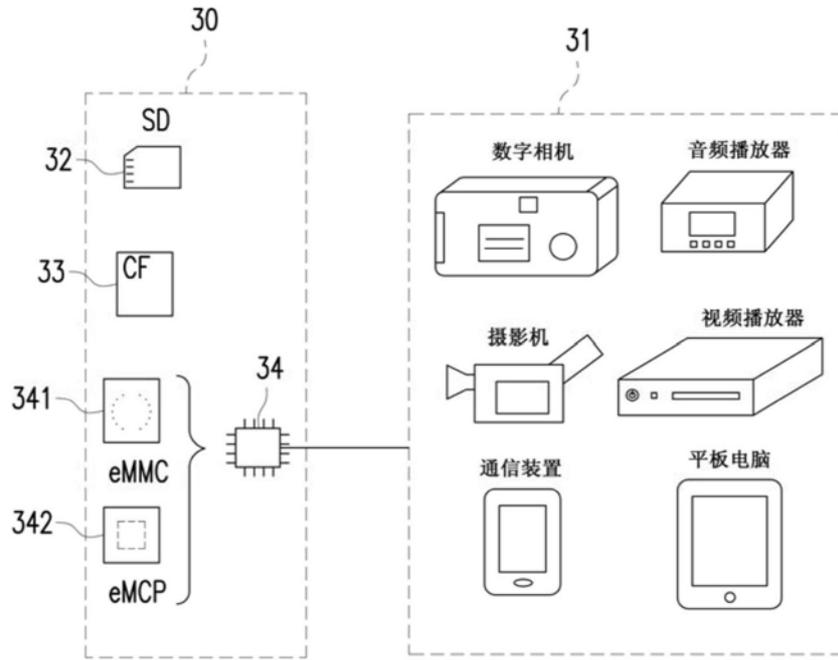


图3

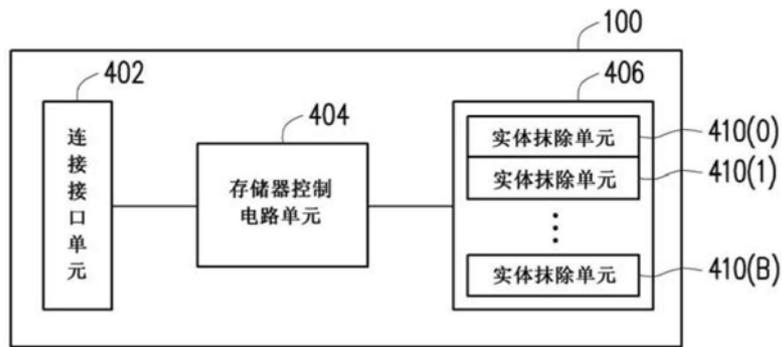


图4

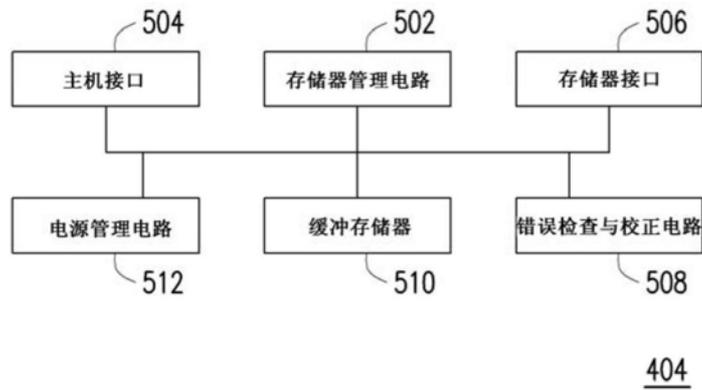


图5

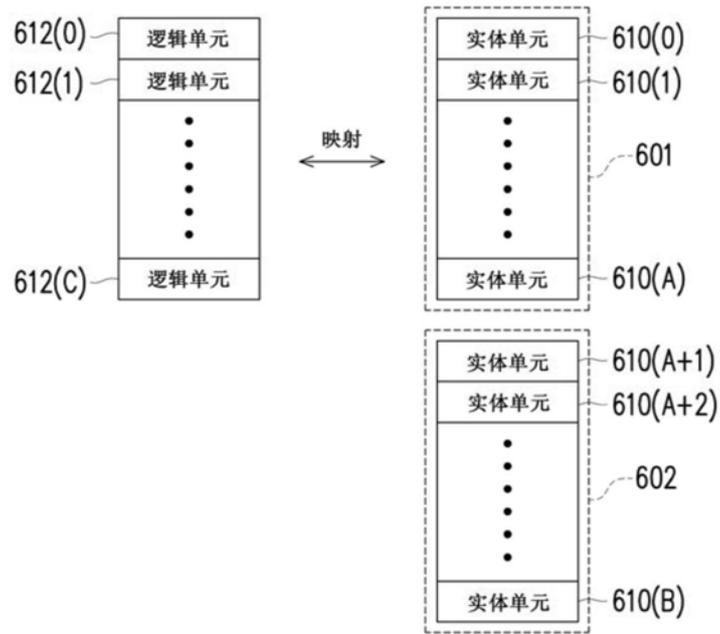


图6

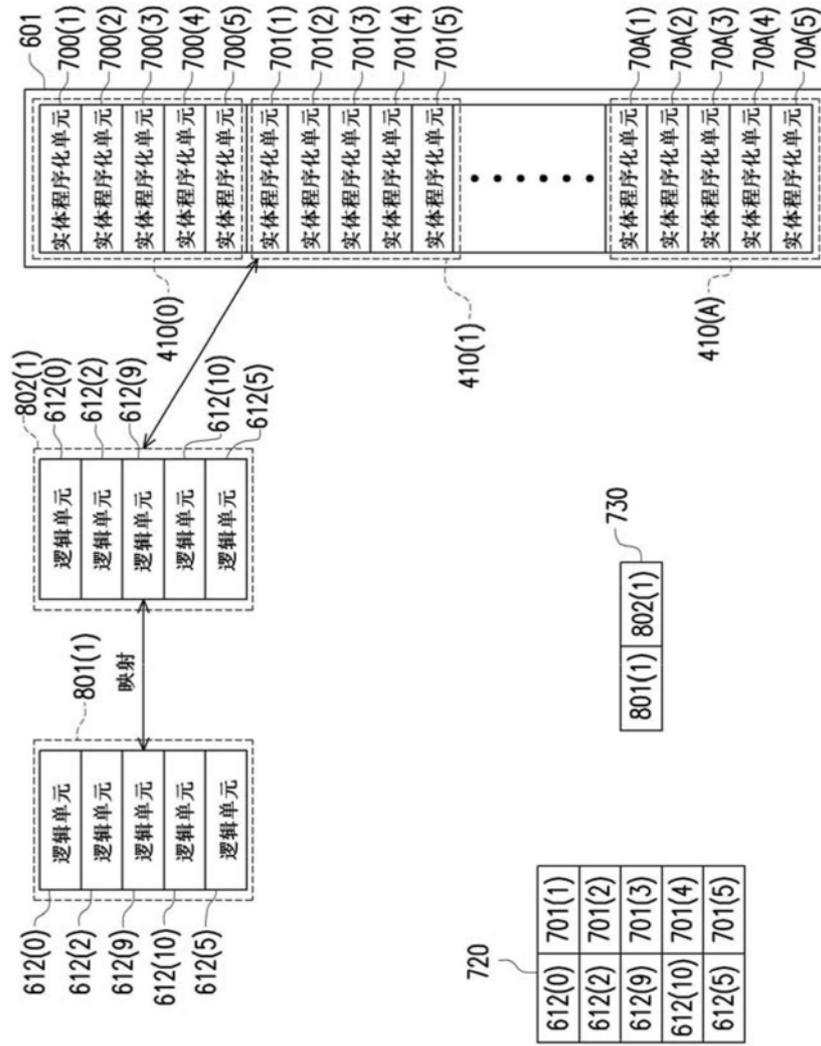


图7

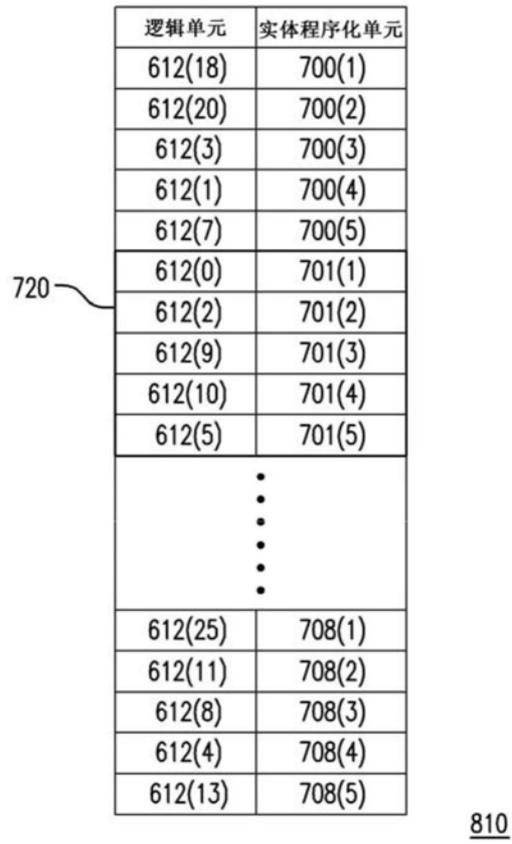


图8A

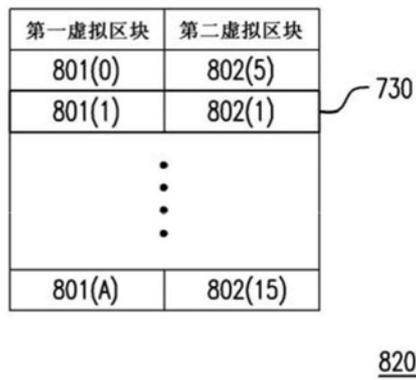


图8B

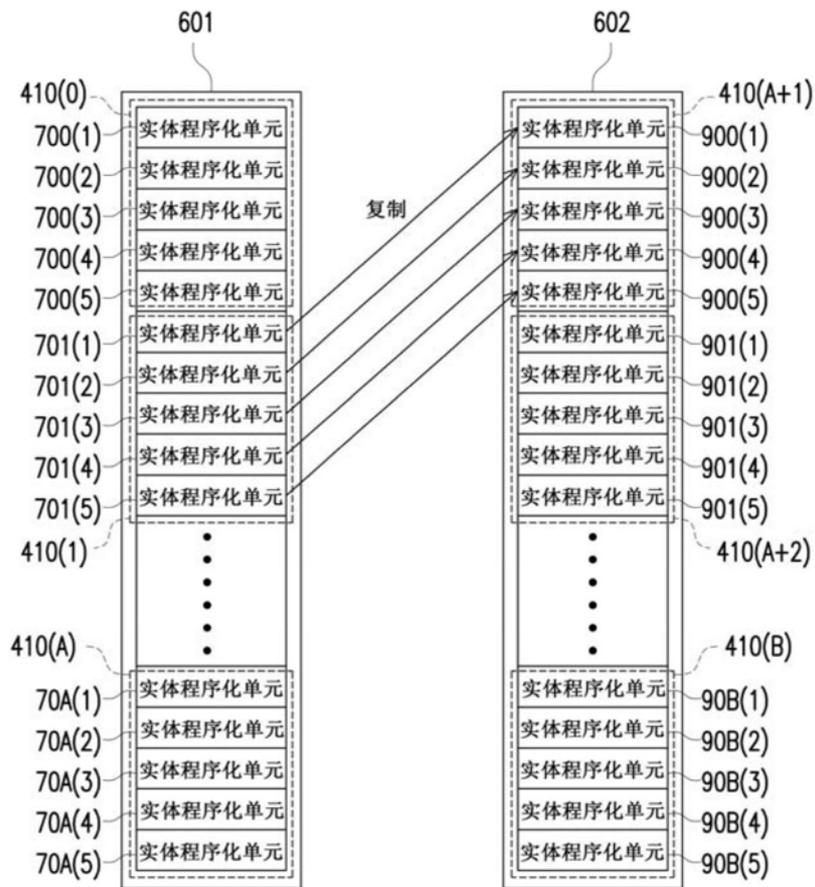


图9

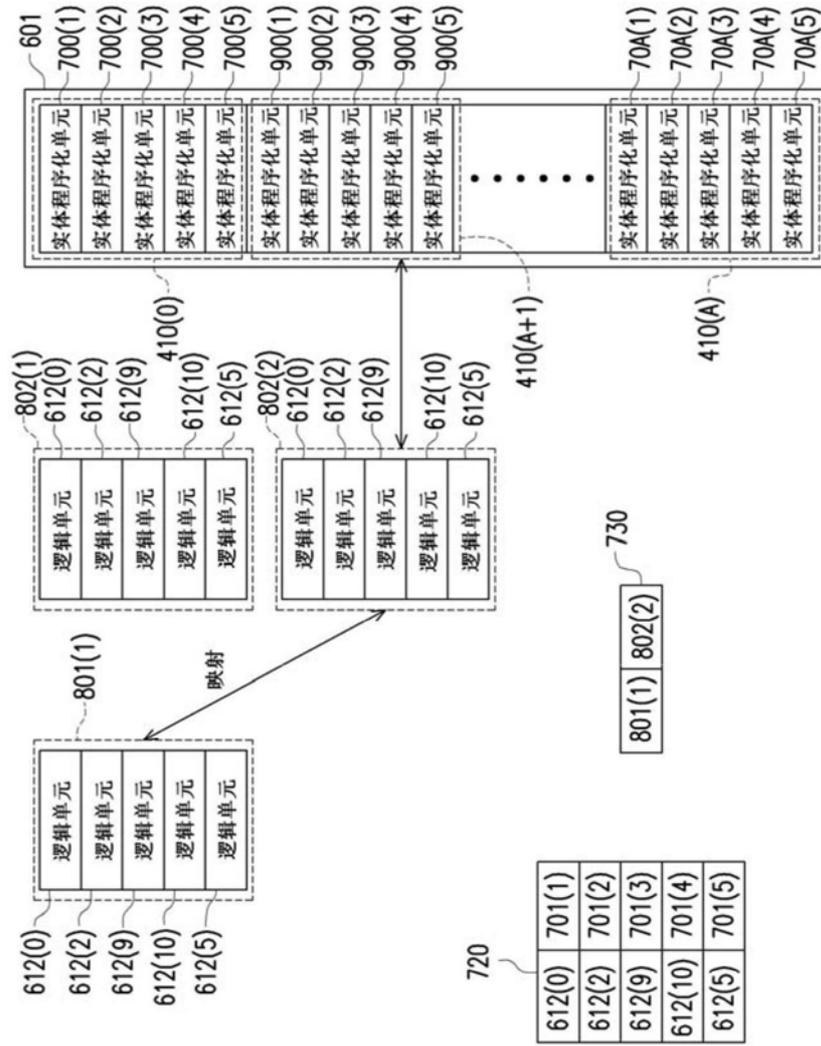


图10A

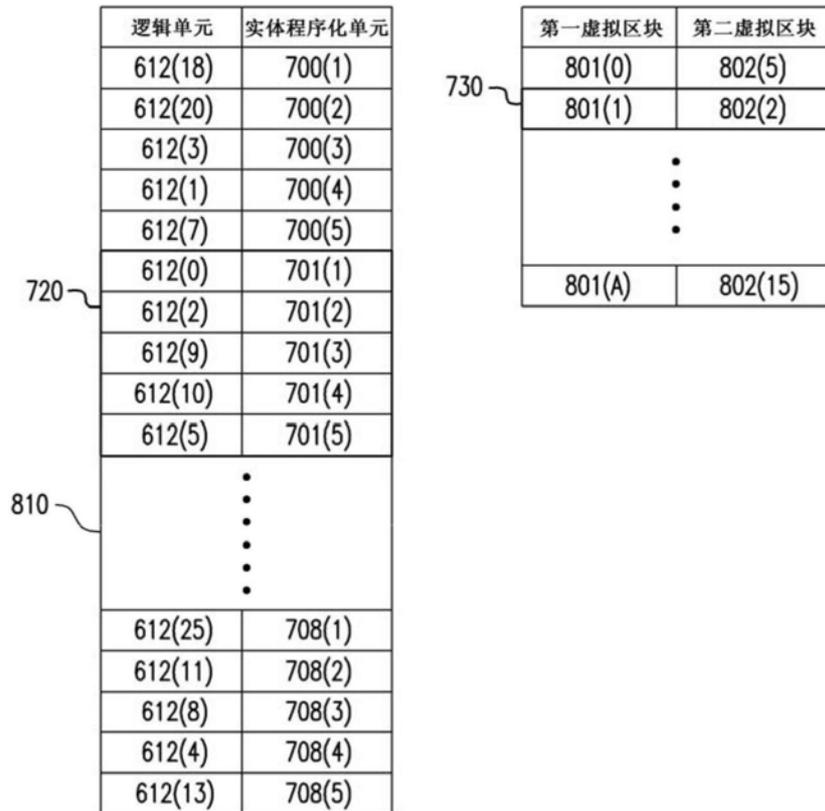


图10B

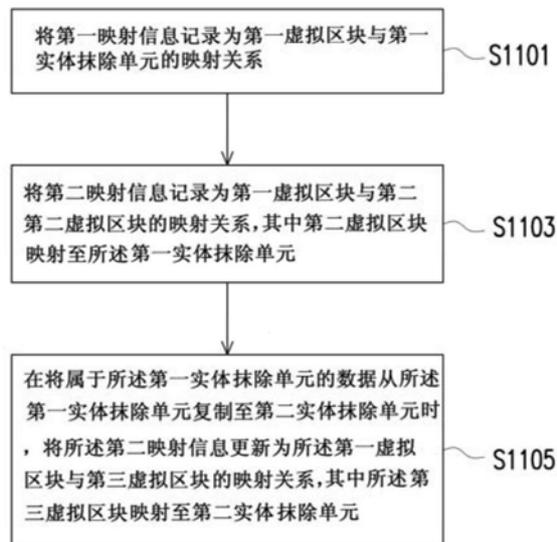


图11