



(12)发明专利

(10)授权公告号 CN 103633093 B

(45)授权公告日 2018.07.03

(21)申请号 201310379353.2

(22)申请日 2013.08.27

(65)同一申请的已公布的文献号
申请公布号 CN 103633093 A

(43)申请公布日 2014.03.12

(30)优先权数据
10-2012-0093855 2012.08.27 KR
13/796,449 2013.03.12 US

(73)专利权人 三星电子株式会社
地址 韩国京畿道

(72)发明人 金泽中 孔槁洵 朴嬉淑 朴英郁
姜晚锡 郑圣熙

(74)专利代理机构 北京市柳沈律师事务所
11105
代理人 屈玉华

(51)Int.Cl.

H01L 27/105(2006.01)

H01L 27/108(2006.01)

H01L 21/60(2006.01)

H01L 21/8232(2006.01)

H01L 21/8242(2006.01)

H01L 21/8239(2006.01)

(56)对比文件

CN 1667817 A,2005.09.14,

CN 102339829 A,2012.02.01,

CN 1667817 A,2005.09.14,

CN 1591673 A,2005.03.09,

CN 101996950 A,2011.03.30,

KR 20010057528 A,2001.07.04,

KR 20080082132 A,2008.09.11,

审查员 李春燕

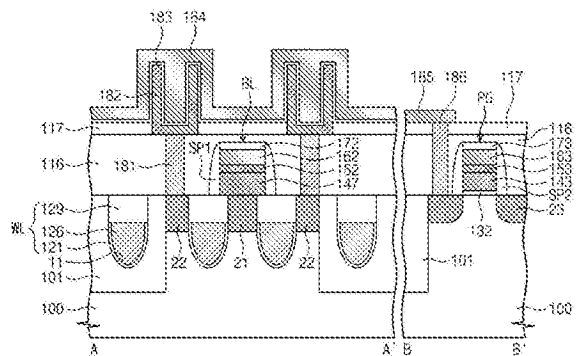
权利要求书7页 说明书18页 附图34页

(54)发明名称

包括金属-硅-氮化物图案的半导体器件及其形成方法

(57)摘要

一种半导体存储器件可以包括横过器件的场隔离区并且横过器件的有源区的第一导电线,其中,第一导电线能包括掺杂的第一导电图案、第二导电图案和在第一和第二导电图案之间的金属硅氮化物图案并且能配置为在金属硅氮化物图案与第一导电图案的下界面处提供接触,以及配置为在金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障。



1. 一种半导体存储器件,包括:

横过所述器件的场隔离区和横过所述器件的有源区的第一导电线,该第一导电线包括掺杂的第一导电图案、第二导电图案和在所述第一导电图案和所述第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在该金属硅氮化物图案与第一导电图案的下界面处提供接触以及配置为在该金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障,

其中所述金属硅氮化物图案的第一部分的硅浓度大于所述金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述下界面并且所述第二部分邻近所述上界面。

2. 如权利要求1所述的器件,其中所述第一导电线横过在所述器件的单元阵列区中的所述场隔离区以及所述有源区,该器件还包括:

横过在所述器件的外围区中的场隔离区以及有源区的第二导电线,该第二导电线在外围区中包括掺杂的第三导电图案、第四导电图案和在所述第三导电图案和所述第四导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在该金属硅氮化物图案与所述第三导电图案的下界面处提供接触以及在该金属硅氮化物图案与所述第四导电图案的上界面处提供扩散屏障。

3. 如权利要求2所述的器件,其中所述第一导电线包括位线,所述第二导电线包括外围栅结构。

4. 如权利要求1所述的器件,其中所述金属硅氮化物图案包括金属硅化物,该金属硅化物包括所述接触。

5. 如权利要求4所述的器件,其中所述接触包括欧姆接触。

6. 如权利要求1所述的器件,其中所述金属硅氮化物图案包括30埃至70埃的总厚度,所述第一导电图案包括200埃至400埃的总厚度。

7. 如权利要求6所述的器件,其中所述第一导电线包括小于800埃的总厚度。

8. 如权利要求7所述的器件,其中所述第一导电线的总厚度大于550埃。

9. 如权利要求8所述的器件,其中所述第一导电图案的总厚度为350埃。

10. 如权利要求9所述的器件,其中所述第二导电图案包括300埃的总厚度。

11. 如权利要求1所述的器件,其中所述金属硅氮化物图案包括为所述第一导电图案的总厚度的10%至25%的总厚度。

12. 如权利要求1所述的器件,其中所述金属硅氮化物图案的总厚度小于所述第二导电图案的总厚度,所述第二导电图案的总厚度小于所述第一导电图案的总厚度。

13. 如权利要求1所述的器件,其中金属硅氮化物图案包括对所述金属硅氮化物图案的总厚度测量的至少10atm%的硅浓度。

14. 如权利要求13所述的器件,其中所述硅浓度包括邻近所述上界面测量的10atm%至30atm%的第一浓度,并且包括邻近所述下界面测量的30atm%至50atm%的第二浓度。

15. 如权利要求14所述的器件,其中在整个所述金属硅氮化物图案中,所述硅浓度从所述第一浓度改变为所述第二浓度。

16. 如权利要求1所述的器件,其中所述金属硅氮化物图案包括与金属氮化物层交替的硅氮化物层。

17. 如权利要求1所述的器件,其中所述金属硅氮化物图案包括TiSiN图案。

18. 如权利要求17所述的器件,其中所述TiSiN图案包括与TiN层交替的SiN层。

19. 如权利要求1所述的器件,其中包括在所述金属硅氮化物图案中的晶粒尺寸包括所述第二导电图案中所包含的晶粒尺寸的10%或更少。

20. 如权利要求1所述的器件,其中在所述金属硅氮化物图案中的晶体结构包括微细晶体结构,该微细晶体结构包括在其间具有间隔的微细金属氮化物子颗粒以及在该间隔中的硅氮化物。

21. 如权利要求1所述的器件,其中所述半导体存储器件包括动态随机存取存储器,所述第一导电线包括包含在所述动态随机存取存储器的单元阵列区中的掩埋沟道阵列晶体管中的位线。

22. 如权利要求1所述的器件,其中所述半导体存储器件包括磁随机存取存储器。

23. 如权利要求1所述的器件,其中所述半导体存储器件包括垂直沟道动态随机存取存储器。

24. 一种半导体存储器件,包括:

横过在所述器件的外围区中的有源区并横过在所述器件的外围区中的器件隔离区的外围栅结构,该外围栅结构包括掺杂的第一导电图案、第二导电图案以及在所述第一导电图案与所述第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在该金属硅氮化物图案与所述第一导电图案的下界面处提供接触,以及在该金属硅氮化物图案与所述第二导电图案的上界面处提供扩散屏障,

其中所述金属硅氮化物图案的第一部分的硅浓度大于所述金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述下界面并且所述第二部分邻近所述上界面。

25. 如权利要求24所述的器件,其中所述外围栅结构被包括在平面晶体管中。

26. 如权利要求24所述的器件,还包括:

横过在所述器件的单元阵列区中的场隔离区并且横过在所述器件的单元阵列区中的有源区的位线,该位线包括掺杂的第三导电图案、第四导电图案和在所述第三导电图案与所述第四导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第三导电图案的下界面处提供接触,以及在所述金属硅氮化物图案与所述第四导电图案的上界面处提供扩散屏障。

27. 如权利要求24所述的器件,其中所述金属硅氮化物图案包括30埃至70埃的总厚度,所述第一导电图案包括200埃至400埃的总厚度。

28. 如权利要求27所述的器件,其中所述外围栅结构包括小于800埃的总厚度。

29. 如权利要求28所述的器件,其中所述外围栅结构的总厚度大于550埃。

30. 如权利要求29所述的器件,其中所述第一导电图案的总厚度为350埃。

31. 如权利要求30所述的器件,其中所述第二导电图案包括300埃的总厚度。

32. 如权利要求24所述的器件,其中所述金属硅氮化物图案包括为所述第一导电图案的总厚度的10%至25%的总厚度。

33. 如权利要求24所述的器件,其中所述金属硅氮化物图案的总厚度小于所述第二导电图案的总厚度,所述第二导电图案的总厚度小于所述第一导电图案的总厚度。

34. 一种动态随机存取存储器件,包括:

基板,包括在该基板中限定有源区的器件隔离区;

第一掺杂区,在所述基板的位于成对的第二掺杂区之间的所述有源区中,该成对的第二掺杂区在所述基板的所述有源区中;

埋入的单元栅结构,在所述基板的单元阵列区中并在所述成对的第二掺杂区之间,该埋入的单元栅结构通过所述第一掺杂区彼此分开;

在所述基板上的层间绝缘层;

在所述第一掺杂区上的所述层间绝缘层中的位线,该位线包括掺杂的第一导电图案、第二导电图案和在该第一导电图案与该第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第一导电图案的下界面处提供接触,并且配置为在所述金属硅氮化物图案与所述第二导电图案的上界面处提供扩散屏障;

在所述层间绝缘层上的下电极;

接触,通过所述层间绝缘层从所述下电极延伸到所述第二掺杂区;

在所述下电极上的上电极;以及

在所述上电极和下电极之间的绝缘层,

其中所述金属硅氮化物图案的第一部分的硅浓度大于所述金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述下界面并且所述第二部分邻近所述上界面。

35. 如权利要求34所述的器件,还包括:

横过在所述基板的外围区中的有源区并且横过在基板的外围区中的器件隔离区的平面外围栅结构,该外围栅结构包括掺杂的第三导电图案、第四导电图案和在所述第三导电图案与所述第四导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第三导电图案的下界面处提供接触,以及在所述金属硅氮化物图案与所述第四导电图案的上界面处提供扩散屏障。

36. 如权利要求34所述的器件,其中所述金属硅氮化物图案包括30埃至70埃的总厚度,所述第一导电图案包括200埃至400埃的总厚度。

37. 如权利要求36所述的器件,其中所述位线包括小于800埃的总厚度。

38. 如权利要求37所述的器件,其中所述位线的总厚度大于550埃。

39. 如权利要求38所述的器件,其中所述第一导电图案的总厚度为350埃。

40. 如权利要求39所述的器件,其中所述第二导电图案包括300埃的总厚度。

41. 如权利要求34所述的器件,其中所述金属硅氮化物图案包括为所述第一导电图案的总厚度的10%至25%的总厚度。

42. 如权利要求34所述的器件,其中所述金属硅氮化物图案的总厚度小于所述第二导电图案的总厚度,所述第二导电图案的总厚度小于所述第一导电图案的总厚度。

43. 一种磁随机存取存储器件,包括:

基板,包括在该基板中限定有源区的器件隔离区;

第一掺杂区,在所述基板的位于成对的第二掺杂区之间的所述有源区中,该成对的第二掺杂区在所述基板的所述有源区中;

埋入的单元栅结构,在所述基板的单元阵列区中并在所述成对的第二掺杂区之间,该埋入的单元栅结构通过所述第一掺杂区彼此分开;

在所述基板上的层间绝缘层;

在所述第一掺杂区上的所述层间绝缘层中的源线,该源线包括掺杂的第一导电图案、

第二导电图案和在该第一导电图案与该第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第一导电图案的下界面处提供接触,并且配置为在所述金属硅氮化物图案与所述第二导电图案的上界面处提供扩散屏障;

在所述层间绝缘层上的下电极;

接触,通过所述层间绝缘层从所述下电极延伸到所述第二掺杂区;

在所述下电极上的磁性层;

在所述磁性层上的隧道阻挡层;

在所述隧道阻挡层上的自由层;以及

在所述自由层上的上电极,

其中所述金属硅氮化物图案的第一部分的硅浓度大于所述金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述下界面并且所述第二部分邻近所述上界面。

44. 如权利要求43所述的器件,还包括:

横过在所述基板的外围区中的有源区并且横过在所述基板的外围区中的器件隔离区的平面外围栅结构,该外围栅结构包括掺杂的第三导电图案、第四导电图案和在所述第三导电图案与所述第四导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第三导电图案的下界面处提供接触,以及在所述金属硅氮化物图案与所述第四导电图案的上界面处提供扩散屏障。

45. 如权利要求43所述的器件,其中所述金属硅氮化物图案包括30埃至70埃的总厚度,所述第一导电图案包括200埃至400埃的总厚度。

46. 如权利要求45所述的器件,其中所述源线包括小于800埃的总厚度。

47. 如权利要求46所述的器件,其中所述源线的总厚度大于550埃。

48. 如权利要求47所述的器件,其中所述第一导电图案的总厚度为350埃。

49. 如权利要求48所述的器件,其中所述第二导电图案包括300埃的总厚度。

50. 如权利要求43所述的器件,其中所述金属硅氮化物图案包括为所述第一导电图案的总厚度的10%至25%的总厚度。

51. 如权利要求43所述的器件,其中所述金属硅氮化物图案的总厚度小于所述第二导电图案的总厚度,所述第二导电图案的总厚度小于所述第一导电图案的总厚度。

52. 一种垂直沟道动态随机存取存储器件,包括:

基板,包括在该基板中限定有源区的器件隔离区;

在所述基板的单元阵列区中的埋入相对字线;

在埋入的相对字线下面的第一掺杂区;

成对的第二掺杂区,在所述埋入的相对字线上方并且在所述埋入的相对字线之间、与所述第一掺杂区相对;

在所述基板上的层间绝缘层;

位线,在所述层间绝缘层中、在与所述第一掺杂区相对的所述成对的第二掺杂区上方,该位线包括掺杂的第一导电图案、第二导电图案和在该第一导电图案与该第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第一导电图案的下界面处提供接触,并且配置为在所述金属硅氮化物图案与所述第二导电图案的上界面处提供扩散屏障;

接触图案,从所述第一导电图案延伸到所述基板的第一掺杂区中;
下电极,在被所述位线分开的所述层间绝缘层上;
接触,通过所述层间绝缘层从所述下电极延伸到所述第二掺杂区;
在所述下电极上的上电极;以及
在所述上电极和下电极之间的绝缘层,

其中所述金属硅氮化物图案的第一部分的硅浓度大于所述金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述下界面并且所述第二部分邻近所述上界面。

53. 如权利要求52所述的器件,还包括:

横过在所述基板的外围区中的有源区并且横过在所述基板的外围区中的器件隔离区的平面外围栅结构,该外围栅结构包括掺杂的第三导电图案、第四导电图案和在所述第三导电图案与所述第四导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在所述金属硅氮化物图案与所述第三导电图案的下界面处提供接触,以及在所述金属硅氮化物图案与所述第四导电图案的上界面处提供扩散屏障。

54. 如权利要求52所述的器件,其中所述金属硅氮化物图案包括30埃至70埃的总厚度,所述第一导电图案包括200埃至400埃的总厚度。

55. 如权利要求54所述的器件,其中所述位线包括小于800埃的总厚度。

56. 如权利要求55所述的器件,其中所述位线的总厚度大于550埃。

57. 如权利要求56所述的器件,其中所述第一导电图案的总厚度为350埃。

58. 如权利要求57所述的器件,其中所述第二导电图案包括300埃的总厚度。

59. 如权利要求52所述的器件,其中所述金属硅氮化物图案包括为所述第一导电图案的总厚度的10%至25%的总厚度。

60. 如权利要求52所述的器件,其中所述金属硅氮化物图案的总厚度小于所述第二导电图案的总厚度,所述第二导电图案的总厚度小于所述第一导电图案的总厚度。

61. 一种半导体存储器件,包括:

横过所述器件的场隔离区并且横过所述器件的有源区的第一导电线,该第一导电线包括掺杂的第一导电图案、第二导电图案和在所述第一导电图案与所述第二导电图案之间的金属硅氮化物图案,

其中所述金属硅氮化物图案的第一部分的硅浓度大于所述金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述第一导电图案并且所述第二部分邻近所述第二导电图案。

62. 如权利要求61所述的器件,其中所述第一导电线包括在所述器件的外围区中的平面外围栅结构。

63. 如权利要求61所述的器件,其中所述第一导电线包括在所述器件的单元阵列区中的位线。

64. 如权利要求61所述的器件,其中所述金属硅氮化物图案包括30埃至70埃的总厚度,所述第一导电图案包括200埃至400埃的总厚度。

65. 如权利要求64所述的器件,其中所述第一导电线包括小于800埃的总厚度。

66. 如权利要求65所述的器件,其中所述第一导电线的总厚度大于550埃。

67. 如权利要求66所述的器件,其中所述第一导电图案的总厚度为350埃。

68. 如权利要求67所述的器件,其中所述第二导电图案包括300埃的总厚度。

69. 如权利要求61所述的器件,其中所述金属硅氮化物图案包括为所述第一导电图案的总厚度的10%至25%的总厚度。

70. 如权利要求61所述的器件,其中所述金属硅氮化物图案的总厚度小于所述第二导电图案的总厚度,所述第二导电图案的总厚度小于所述第一导电图案的总厚度。

71. 一种在存储器件中的导电线,包括:

掺杂多晶硅层;

在所述掺杂多晶硅层上的TiSiN层;和

在TiSiN层上的钨层,

其中所述TiSiN层的第一部分的硅浓度大于所述TiSiN层的第二部分的硅浓度,所述第一部分邻近所述掺杂多晶硅层并且所述第二部分邻近所述钨层。

72. 如权利要求71所述的导电线,还包括:

钨硅化物,在所述TiSiN层和所述钨层之间。

73. 如权利要求71所述的导电线,其中所述TiSiN层包括30埃至70埃的总厚度,所述掺杂多晶硅层包括200埃至400埃的总厚度。

74. 如权利要求73所述的导电线,其中所述导电线包括小于800埃的总厚度。

75. 如权利要求74所述的导电线,其中所述导电线的总厚度大于550埃。

76. 如权利要求75所述的导电线,其中所述掺杂多晶硅层的总厚度为350埃。

77. 如权利要求76所述的导电线,其中所述钨层包括300埃的总厚度。

78. 如权利要求71所述的导电线,其中所述TiSiN层包括为所述掺杂多晶硅层的总厚度的10%至25%的总厚度。

79. 如权利要求71所述的导电线,其中所述TiSiN层的总厚度小于所述钨层的总厚度,所述钨层的总厚度小于所述掺杂多晶硅层的总厚度。

80. 一种形成半导体存储器件的方法,包括:

在基板的单元阵列区中形成被掺杂的第一导电图案,作为导电线的一部分;

在基板的外围区中形成被掺杂的第二导电图案,作为外围栅结构的一部分;

同时在所述导电线中的所述第一导电图案上形成第一金属硅氮化物图案以及在所述外围栅结构中的所述第二导电图案上形成第二金属硅氮化物图案;和

在所述第一金属硅氮化物图案上形成第三导电图案;以及

在所述第二金属硅氮化物图案上形成第四导电图案,

其中所述第一金属硅氮化物图案配置为在所述第一金属硅氮化物图案与所述第一导电图案的下界面处提供接触,和配置为在所述第一金属硅氮化物图案与所述第三导电图案的上界面处提供扩散屏障,

其中所述第一金属硅氮化物图案的第一部分的硅浓度大于所述第一金属硅氮化物图案的第二部分的硅浓度,所述第一部分邻近所述下界面并且所述第二部分邻近所述上界面。

81. 如权利要求80所述的方法,其中所述第二金属硅氮化物图案配置为在所述第二金属硅氮化物图案与所述第二导电图案的下界面处提供接触,以及配置为在所述第二金属硅氮化物图案与所述第四导电图案的上界面处提供扩散屏障。

82. 如权利要求80所述的方法,其中所述第一和第二金属硅氮化物图案的每个包括30埃至70埃的总厚度,所述第一和第二导电图案的每个包括200埃至400埃的总厚度。

83. 如权利要求82所述的方法,其中所述导电线包括小于800埃的总厚度。

84. 如权利要求83所述的方法,其中所述导电线的总厚度大于550埃。

85. 如权利要求84所述的方法,其中所述第一和第二导电图案的总厚度的每个为350埃。

86. 如权利要求85所述的方法,其中所述第三和第四导电图案的每个包括300埃的总厚度。

87. 如权利要求80所述的方法,其中所述第一和第二金属硅氮化物图案的每个分别包括所述第一和第二导电图案的总厚度的10%至25%的总厚度。

88. 如权利要求80所述的方法,其中所述第一和第二金属硅氮化物图案的每个的总厚度小于所述第三和第四导电图案的每个的总厚度,所述第三和第四导电图案的每个的总厚度小于所述第一和第二导电图案的每个的总厚度。

89. 一种半导体存储器件,包括:

横过所述器件的场隔离区和横过所述器件的有源区的第一导电线,该第一导电线包括掺杂的第一导电图案、第二导电图案和在所述第一导电图案和所述第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在该金属硅氮化物图案与第一导电图案的下界面处提供接触以及配置为在该金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障,

其中在所述金属硅氮化物图案中的晶体结构包括微细晶体结构,该微细晶体结构包括在其间具有间隔的微细金属氮化物子颗粒以及在该间隔中的硅氮化物。

90. 一种半导体存储器件,包括:

横过所述器件的场隔离区和横过所述器件的有源区的第一导电线,该第一导电线包括掺杂的第一导电图案、第二导电图案和在所述第一导电图案和所述第二导电图案之间的单层金属硅氮化物图案,该单层金属硅氮化物图案配置为在该单层金属硅氮化物图案与第一导电图案的下界面处提供接触以及配置为在该单层金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障,

其中所述单层金属硅氮化物图案中的硅浓度从所述上界面到所述下界面逐渐增加。

包括金属-硅-氮化物图案的半导体器件及其形成方法

技术领域

[0001] 发明构思涉及半导体及其形成方法的领域。

背景技术

[0002] 半导体器件中的图案的宽度和间距已经减小,以提供高度集成。精细的图案会需要新的曝光技术和/或高成本的曝光技术,因为实现更高度的集成是困难的。

发明内容

[0003] 根据本发明构思的实施例可以提供包括金属硅氮化物图案的半导体器件及其形成方法。依据这些实施例,一种半导体存储器件可包括横过器件的场隔离区并且横过器件的有源区的第一导电线,其中,第一导电线可包括掺杂的第一导电图案、第二导电图案和在第一和第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案可以配置为在金属硅氮化物图案与第一导电图案的下界面处提供接触,以及配置为在金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障。

[0004] 在根据本发明构思的一些实施例中,第一导电线横过在所述器件的单元阵列区中的场隔离区和有源区,其中,该器件还可包括第二导电线,其横过在器件的外围区中的场隔离区和有源区,其中,第二导电线在外围区中可包括掺杂的第三导电图案、第四导电图案和在第三和第四导电图案之间的金属硅氮化物图案,该金属硅氮化物图案可配置为在金属硅氮化物图案与第三导电图案的下界面处提供接触,以及在金属硅氮化物图案与第四导电图案的上界面处提供扩散屏障。

[0005] 在根据本发明构思的一些实施例中,第一导电线可包括位线,第二导电线可包括外围栅结构。在根据本发明构思的一些实施例中,金属硅氮化物图案可包括金属硅化物,该金属硅化物包括接触。在根据本发明构思的一些实施例中,该接触可包括欧姆接触。

[0006] 在根据本发明构思的一些实施例中,金属硅氮化物图案可以包括大约30埃至大约70埃的总厚度,第一导电图案包括大约200埃至大约400埃的总厚度。在根据本发明构思的一些实施例中,第一导电线可以包括小于大约800埃的总厚度。在根据该本发明构思的一些实施例中,第一导电线的总厚度大于大约550埃。在根据该本发明构思的一些实施例中,第一导电图案的总厚度为大约350埃。在根据该本发明构思的一些实施例中,第二导电图案包括大约300埃的总厚度。

[0007] 在根据该本发明构思的一些实施例中,金属硅氮化物图案可以包括为第一导电图案的总厚度的大约10%至大约25%的总厚度。在根据该本发明构思的一些实施例中,金属硅氮化物图案的总厚度小于第二导电图案的总厚度,该第二导电图案的总厚度小于第一导电图案的总厚度。

[0008] 在根据该本发明构思的一些实施例中,金属硅氮化物图案可以包括对金属硅氮化物图案的总厚度测量的至少大约10atm%的硅浓度。在根据该本发明构思的一些实施例中,硅浓度可以包括邻近上界面测量的大约10atm%至大约30atm%的第一浓度,并且可以包括邻

近下界面测量的大约30atm%至大约50atm%的第二浓度。在根据该本发明构思的一些实施例中,在整个金属硅氮化物图案中,硅浓度从第一浓度改变为第二浓度。

[0009] 在根据该本发明构思的一些实施例中,金属硅氮化物图案可以包括与金属氮化物层交替的硅氮化物层。在根据该本发明构思的一些实施例中,金属硅氮化物图案可以包括TiSiN图案。在根据该本发明构思的一些实施例中,TiSiN图案可以包括与TiN层交替的SiN层。

[0010] 在根据该本发明构思的一些实施例中,包括在金属硅氮化物图案中的晶粒尺寸可以包括第二导电图案中所包含的晶粒尺寸的大约10%或更少。在根据该本发明构思的一些实施例中,在金属硅氮化物图案中的晶体结构可以包括微细晶体结构,该微细晶体结构包括在其间具有间隔的微细金属氮化物子颗粒以及在该间隔中的硅氮化物。

[0011] 在根据该本发明构思的一些实施例中,半导体存储器件可以包括动态随机存取存储器(DRAM),第一导电线包括包含在DRAM的单元阵列区中的掩埋沟道阵列晶体管(BCAT)中的位线。在根据该本发明构思的一些实施例中,半导体存储器件可以包括磁随机存取存储器(MRAM)。在根据该本发明构思的一些实施例中,半导体存储器件可以包括垂直沟道DRAM。

[0012] 在根据该本发明构思的一些实施例中,一种半导体存储器件可以包括横过在器件的外围区中的有源区并且横过在器件的外围区中的器件隔离区的外围栅结构,该外围栅结构可以包括掺杂的第一导电图案、第二导电图案以及在第一导电图案与第二导电图案之间的金属硅氮化物图案,该金属硅氮化物图案配置为在金属硅氮化物图案与第一导电图案的下界面处提供接触,以及在金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障。

[0013] 在根据该本发明构思的一些实施例中,动态随机存取存储(DRAM)器件可以包括在基板中限定有源区的器件隔离区。第一掺杂区可以在基板的位于成对的第二掺杂区之间的有源区中,该成对的第二掺杂区在基板的有源区中。埋入的单元栅结构可以在基板的单元阵列区中并在成对的第二掺杂区之间,其中埋入的单元栅结构通过第一掺杂区彼此分开。层间绝缘层可以在基板上。位线可以在第一掺杂区上的层间绝缘层中,其中该位线包括掺杂的第一导电图案、第二导电图案和在第一导电图案与第二导电图案之间的金属硅氮化物图案,其中该金属硅氮化物图案可以配置为在金属硅氮化物图案与第一导电图案的下界面处提供接触,并且配置为在金属硅氮化物图案与第二导电图案的上界面处提供扩散屏障。下电极可以在层间绝缘层上,接触可以通过层间绝缘层从下电极延伸到第二掺杂区。上电极可以在下电极上,绝缘层可以在上电极和下电极之间。

[0014] 在根据该本发明构思的一些实施例中,存储器件中的导电线可以包括掺杂多晶硅层。TiSiN层可以在掺杂多晶硅层上,钨层可以在TiSiN层上。在根据该本发明构思的一些实施例中,导电线可还包括在TiSiN层和钨层之间的钨硅化物。在根据本发明构思的一些实施例中,TiSiN层可以包括大约30埃至大约70埃的总厚度,掺杂多晶硅层可以包括大约200埃至大约400埃的总厚度。

[0015] 在根据该本发明构思的一些实施例中,一种形成半导体存储器件的方法可以包括在基板的单元阵列区中形成掺杂的第一导电图案,作为导电线的一部分。可以在基板的外围区中形成掺杂的第二导电图案,作为外围栅结构的一部分。可以同时在线中的第一导电图案上形成第一金属硅氮化物图案以及在外围栅结构中的第一导电图案上形成第二金属硅氮化物图案。第三导电图案可以形成在第一金属硅氮化物图案上。第四导电图案可

以形成在第二金属硅氮化物图案上。

附图说明

[0016] 图1为示出根据发明构思实施例的半导体器件的平面图。

[0017] 图2A至13A为沿着图1的线A-A' 和B-B' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0018] 图2B至13B为沿图1的线C-C' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0019] 图13C为截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0020] 图14A至17A为沿着图1的线A-A' 和B-B' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0021] 图14B至17B为沿图1的线C-C' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0022] 图18为示出根据发明构思实施例的半导体器件的平面图。

[0023] 图19A至24A为沿图18的线G-G' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0024] 图19B至24B为沿着图18的线H-H' 和I-I' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0025] 图25为示出根据发明构思实施例的半导体器件的平面图。

[0026] 图26A至36A为沿图25的线D-D' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0027] 图26B至36B为沿着图25的线E-E' 和F-F' 获得的截面图, 示出根据发明构思实施例的半导体器件的形成方法。

[0028] 图37为示出包括根据发明构思实施例的半导体器件的电子设备的示意框图。

[0029] 图38为示出包括根据发明构思实施例的半导体器件的存储系统的示意框图。

具体实施方式

[0030] 现在将参考附图更充分地描述本发明构思, 在附图中示出了发明构思的示范实施例。通过参考附图更详细地描述以下的示范实施例, 发明构思的优点和特征以及实现这些优点和特征的方法将变得明显。然而, 应当注意, 发明构思不限于以下的示范实施例, 而是可以以各种形式实现。因此, 提供示范实施例仅用于公开发明构思并让本领域技术人员了解发明构思的范畴。在附图中, 发明构思实施例不限于在此提供的具体示例, 并且为了清楚夸大了发明构思实施例。

[0031] 在此使用的术语仅用于描述具体的实施例而不旨在限制发明。如这里所用, 单数形式“一”和“该”也旨在包括复数形式, 除非上下文清楚地指示另外的意思。如这里所用, 术语“和/或”包括相关列举项目的一种或多种的任意和所有组合。应当理解的是, 当元件被称为“连接到”或“耦接到”另一元件时, 它可以直接连接或耦接到另一元件或者可以存在中间元件。

[0032] 相似地, 将理解的是, 当诸如层、区域或基板的元件被称为在另一元件“上”时, 它

可以直接在另一元件上或者可以存在中间元件。相反,术语“直接”意味着不存在中间元件。可以进一步理解当在此使用时术语“包括”和/或“包含”说明所述特征、整体、步骤、操作、元件和/或组分的存在,但是不排除存在或添加一个或更多其他特征、整体、步骤、操作、元件、组分和/或其组。

[0033] 另外,在详细的描述中将参考截面图描述实施例,该图示是本发明构思的理想示范图。因此,示范图的形状可根据制造技术和/或允许误差而改变。因此,本发明构思的实施例不限于示范图中所示的特定形状,而是可以包括根据制造工艺可以产生的其他形状。在附图中示范示出的区域具有一般的性能,并且用于说明元件的特定形状。因此,这不应当解释为限制发明构思的范围。

[0034] 可以理解虽然术语第一、第二和第三等可以用于此来描述各种元件,但这些元件应不受这些术语限制。这些术语只用于区分一个元件与另一元件。因此,在一些实施例中的第一元件可以在其他实施例中被称为第二元件,而不背离本发明的教导。在此解释和说明的本发明构思的方面的示范实施例包括它们的互补相对物。相同的参考数字或相同的参考标记通篇指代相同的元件。

[0035] 此外,在此参考截面图和/或平面图描述示范实施例,该图示是理想示范图。因此,可以预期由于例如制造技术和/或公差引起的图示的形狀的变化。因此,示范实施例不应解释为限于这里所示的区域形状,而是包括由于例如由制造引起的形状的偏离。例如,被示为矩形的蚀刻区将通常具有修圆或弯曲的特征。因此,图中示出的区域本质上是示意性的且它们的形状不旨在示出器件的区域的真实形状且不旨在限制示例实施例的范围。

[0036] 在这里为了描述的方便,可以使用空间相对术语,诸如“下面”、“下方”、“下”、“上方”、“上”等,来描述一个元件或特征和其他(诸)元件或(诸)特征如图中所示的关系。可以理解空间相对术语旨在包含除了在图中所绘的方向之外装置在使用或操作中的不同方向。例如,如果在图中的装置被翻转,被描述为在其他元件或特征的“下方”或“下面”的元件则应取向在所述其他元件或特征的“上方”。因此,示范性术语“下方”可以包含下方和上方两个方向。装置也可以有其它取向(旋转90度或其它取向)且相应地解释这里所使用的空间相对描述语。

[0037] 除非另有界定,否则这里使用的所有技术和科学术语具有本发明所属领域的普通技术人员共同理解的相同的意思。应当注意的是,在此提供的任意和所有示例或示范术语的使用仅旨在更好地阐明发明而不限制发明的范围,除非另外明确说明。如在此使用的,术语“总厚度”是指从例如层或区域的一个表面到同一层或区域的相反表面测量的层或区域的厚度。此外,用于测量总厚度的表面可以形成与其他区域或层的界面,该其他区域或层与具有该总厚度的层或区域直接接触。

[0038] 图1为示出根据发明构思实施例的半导体器件的平面图。图2A至13A为沿着图1的线A-A'和B-B'获得的截面图,示出根据发明构思实施例的半导体器件的形成方法。图2B至13B为沿图1的线C-C'获得的截面图,示出根据发明构思实施例的半导体器件的形成方法。

[0039] 参考图1、2A和2B,场隔离层101可形成在基板100中以限定在单元阵列区CAR中的第一有源区AR1和在外围电路区PCR中的第二有源区AR2。基板100可以是由例如硅、锗或硅锗形成的半导体基板。第一有源区AR1可以是在平面图中彼此间隔开的条状(即,矩形)。在图1中,x轴方向可相应于第一方向,y轴方向可相应于第二方向。每个第一有源区AR1可在第

三方向(即,z轴方向)上延伸,该z轴方向在平面图上不垂直(或倾斜)于第一和第二方向两者。在下文,第一方向被称为x轴方向,第二方向被称为y轴方向,第三方向被称为z轴方向。x轴方向和y轴方向可彼此交叉。

[0040] 掺杂区20可形成在每个第一有源区AR1的上部中。与基板100的导电类型不同的导电类型的掺杂剂离子可注入到基板100的上部中以形成掺杂区20。掺杂区20可以在形成场隔离层101之后或之前形成。在一些实施例中,掺杂区20可以在本步骤之后形成。

[0041] 参考图1、3A和3B,沟槽11可以形成在单元阵列区CAR的基板100的上部中。沟槽11可在y轴方向上延伸并且在x轴方向上彼此间隔开形成。由于沟槽11的形成,在每个第一有源区AR1中的掺杂区20可以被分成第一掺杂区21和第二掺杂区22。例如,第一掺杂区21和一对第二掺杂区22可以设置在每个第一有源区AR1中。在每个第一有源区中,第一掺杂区21可以设置在一对第二掺杂区22之间,第一掺杂区21和该对第二掺杂区22可以通过沟槽11而彼此间隔开。

[0042] 掩模图案111可以形成在基板100上,然后使用掩模图案111作为蚀刻掩模可以执行干和/或湿蚀刻工艺以形成沟槽11。例如,掩模图案111可包括光致抗蚀剂、硅氮化物和硅氧化物中的至少一个。每个沟槽11的深度可以小于场隔离层101的深度。

[0043] 参考图1、4A和4B,第一绝缘层120、导电层125和填充层128可以顺序地形成在具有沟槽11的基板100上。在第一绝缘层120和导电层125形成在沟槽11中之后,填充层128可以形成为填充沟槽11。通过在导电层125上形成绝缘层和在绝缘层上执行平坦化工艺可以提供填充层128。

[0044] 在一些实施例中,第一绝缘层120可包括硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个。导电层125可包括掺杂半导体材料、导电金属氮化物、金属和金属半导体化合物中至少一个。填充层128可包括硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个。第一绝缘层120、导电层125和填充层128中的每个可以通过化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺和原子层沉积(ALD)工艺形成。

[0045] 参考图1、5A和5B,可以连续地蚀刻导电层125和第一绝缘层120。由于刻蚀工艺,第一绝缘层120可以被分成彼此分开的栅绝缘层121,导电层125可以被分成彼此分开的栅电极126。栅绝缘层121和栅电极126可以被限制在沟槽11之内。可以执行对于导电层125和第一绝缘层120的蚀刻,直到在沟槽11内的填充层128被去除,使得栅绝缘层121的顶端和栅电极126的顶表面可以低于基板100的顶表面(即,凹入沟槽11的开口之内)。

[0046] 栅极盖图案129可以分别形成在栅电极126上。在根据发明的一些实施例中,沟槽11在栅电极126上的剩余区域可以用绝缘层填充,然后绝缘层可以被平坦化直到基板100的顶表面被暴露,使得栅极盖图案129可以形成在沟槽11中。栅极盖图案129可包括硅氮化物层、硅氧化物层和硅氮氧化物层中至少一个。形成栅极盖图案,使得单元栅结构可以形成在沟槽11中。每个单元栅结构可包括顺序地层叠在每个沟槽11中的栅绝缘层121、栅电极126和栅极盖图案129。单元栅结构可提供用于半导体器件的字线WL。

[0047] 参考图1、6A和6B,掩模图案112可以形成为覆盖单元阵列区CAR。掩模图案112可以不覆盖外围电路区PCR。第二绝缘层131可以形成在外围电路区PCR上和CAR中的掩模图案112上。第二绝缘层131可包括硅氧化物、硅氮氧化物和具有高于硅氧化物的介电常数的高k介电层中的至少一个。在一些实施例中,掩模图案112可包括光致抗蚀剂、硅氮化物层和硅

氧化物层中至少一个。

[0048] 参考图1、7A和7B,单元阵列区CAR的第二绝缘层131和掩模图案112可以被去除,然后第一半导体层141可以形成在单元阵列区CAR和外围电路区PCR上。在一些实施例中,第一半导体层141可以是未掺杂的硅层。通孔12可以分别形成为穿透第一半导体层141以暴露第一掺杂区21。每个通孔12可在平面图中具有圆形或椭圆形。掩模图案113可以形成在第一半导体层141上,然后可以在第一半导体层141上利用掩模图案113执行干和/或湿蚀刻工艺以形成通孔12。图7A和7B示出通孔12的底表面,其与第一半导体层141的底表面共面。然而,发明构思不限于此。由于用于形成通孔12的蚀刻工艺的过蚀刻,通孔12的底表面可低于第一半导体层141的底表面。

[0049] 参考图1、8A和8B,第二半导体图案146可以形成为填充通孔12。在一些实施例中,第二半导体图案146可以由掺杂有掺杂剂的硅形成。在去除掩模图案113之后,第二半导体层可以形成为填充通孔12。第二半导体层可以被平坦化以形成第二半导体图案146。第二半导体图案146可以原位掺杂有与第一掺杂区21相同的掺杂剂。

[0050] 参考图1、9A和9B,掩模图案114可以形成为覆盖单元阵列区CAR并且暴露PCR,然后在外围电路区PCR的第一半导体层141上可以执行掺杂剂离子注入工艺以形成第一半导体层142。如果外围电路区PCR的晶体管为PMOS晶体管,则第一半导体层142可以注入有p型掺杂剂。如果外围电路区PCR的晶体管为NMOS晶体管,则第一半导体层142可以注入有n型掺杂剂。然而,发明构思不限于此。

[0051] 参考图1、10A和10B,可以去除掩模图案114。接着,欧姆阻挡层151、金属层161和盖层171可以顺序地形成在单元阵列区CAR和外围电路区PCR上。欧姆阻挡层151可包括金属硅氮化物。在一些实施例中,金属硅氮化物可包括钛硅氮化物(TiSiN)、钽硅氮化物(TaSiN)和钨硅氮化物(WSiN)中至少一个。在一些实施例中,可以通过利用包括TiCl₄、二氯硅烷(DCS)和NH₃的源气体的CVD或ALD工艺形成欧姆阻挡层151。例如,形成欧姆阻挡层151的工艺可以在大约560°C至大约680°C范围内的温度下执行。在一些实施例中,源气体可包括SiH₄,代替DCS。在欧姆阻挡层151中的硅浓度可以是大约10atm%或更多。在欧姆阻挡层151中的硅浓度可从欧姆阻挡层151的上部朝向欧姆阻挡层151的下部逐渐增加。例如,欧姆阻挡层151的上部的硅浓度可以在大约10atm%至大约30atm%的范围内,欧姆阻挡层151的下部的硅浓度可以在大约30atm%至大约50atm%的范围内。欧姆阻挡层151的具有相对高的硅浓度的下部可提供欧姆阻挡层151与第二半导体图案146之间的欧姆接触以及在外围电路区PCR上欧姆阻挡层151与注入有掺杂剂的第一半导体层142之间的界面的欧姆接触。欧姆阻挡层151的上部在其与金属层161之间的界面处具有相对低的硅浓度,并且可防止掺杂剂从半导体层146和142扩散到金属层161中。

[0052] 在一些实施例中,欧姆阻挡层151通过ALD工艺形成,可以交替地且重复地形成TiN层和SiN层。利用TiCl₄和NH₃的脉冲可以形成TiN层,利用DCS和NH₃的脉冲可以形成SiN层。在此情况下,可以控制在ALD工艺的一个循环中的TiN的周期数和SiN的周期数,使得欧姆阻挡层151的硅浓度可被控制。在一些实施例中,如果通过CVD工艺形成欧姆阻挡层151,则可以通过控制CVD工艺中的DCS气体的流速和/或腔室内的压力来控制欧姆阻挡层151的硅浓度。

[0053] 欧姆阻挡层151的晶粒尺寸可相对小。在一些实施例中,欧姆阻挡层151的晶粒平均尺寸可等于或小于金属层161的晶粒的平均尺寸的十分之一。例如,欧姆阻挡层151的晶

粒的平均直径可等于或小于 30\AA 。在一些实施例中,欧姆阻挡层151的晶体结构可包括微细的TiN子颗粒和填充在微细的TiN子颗粒之间的SiN。欧姆阻挡层151的微细结构可增大掺杂剂的从半导体层146和142到金属层161的扩散程。欧姆阻挡层151可形成为具有半导体图案146的厚度的大约十分之一至大约四分之一范围内的厚度。在一些实施例中,欧姆阻挡层151的厚度可在大约 30\AA 至大约 70\AA 范围内,第二半导体图案146的厚度可在大约 200\AA 至大约 400\AA 范围内。

[0054] 金属层161可包括金属和/或导电的金属氮化物。在一些实施例中,金属层161可包括钨(W)、钛、钽和其任意氮化物中的至少一个。盖层171可包括硅氧化物、硅氮化物和硅氮氧化物中至少一个。金属层161和盖层171中每个可由溅射工艺或CVD工艺形成。

[0055] 参考图1、11A和11B,盖层171、金属层161、欧姆阻挡层151、第一半导体层141和142、以及第二半导体图案146可被图案化以形成在单元阵列区CAR上的导电线和在外围电路区PCR上的外围栅结构PG,横过场隔离区101和横过有源区AR1和AR2。导电线可提供半导体器件的位线BL。每条位线BL可包括分别连接到第一掺杂区21的多个第一导电图案147、欧姆阻挡图案152、第二导电图案162和盖图案172。欧姆阻挡图案152、第二导电图案162和盖图案172可顺序地层叠在多个第一导电图案147上。

[0056] 在单元阵列区CAR上的第一半导体层141可分成彼此间隔开的第一半导体图案140。第一导电图案147可设置在第一半导体图案140之间。换句话说,每条位线BL中的第一导电图案147和第一半导体图案140可在每条位线BL的纵向方向上交替地且重复地布置。

[0057] 外围栅结构PG可包括顺序地层叠在基板100上的栅绝缘层132、第一导电图案143、欧姆阻挡图案153、第二导电图案163和盖图案173。第一间隔物SP1和第二间隔物SP1可分别形成在每条位线BL的侧壁和外围栅结构PG的侧壁。第三掺杂区23可形成在外围栅结构PG的两侧处的第二有源区AR2中。具有与第一导电图案143的掺杂剂相同导电类型的掺杂剂离子可被注入到第二有源区AR2中以形成第三掺杂区23。当形成第三掺杂区23时,单元阵列区CAR可被掩模图案保护,或者对于第三掺杂区23的掺杂剂离子注入工艺也可在第二掺杂区22上执行。

[0058] 参考图1、12A和12B,第一层间绝缘层116可形成为覆盖位线BL和外围栅结构PG,然后第一接触181可形成为穿透第一层间绝缘层116。第一接触181可分别连接到第二掺杂区22。第二层间绝缘层117可形成为覆盖第一接触181,然后下电极182可形成为穿透第二层间绝缘层117。下电极182可连接到第一接触181。在一些实施例中,每个下电极182可具有底端封闭的空心圆筒形状。牺牲层可形成在第二层间绝缘层117上,然后引导孔可形成在牺牲层和第二绝缘层117中。引导孔可分别暴露出第一接触181。导电层可共形地形成在具有引导孔的牺牲层上,填充层可形成在导电层上以填充引导孔。填充层和导电层可被平坦化直到牺牲层被暴露。因此,下电极182和填充图案可形成在每个引导孔中。接着,牺牲层和填充图案可被去除。

[0059] 在一些实施例中,第一接触181和下电极182可由金属、导电金属化合物和掺杂半导体中至少一个形成。层间绝缘层116和117可由硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个形成。第一接触181、下电极182和层间绝缘层116及117的形成可通过溅射工艺或CVD工艺来提供。

[0060] 参考图1、13A和13C,绝缘层183和上电极184可顺序地形成在下电极182上。下电极182、绝缘层183和上电极184可构成半导体器件的电容器。上电极184可由与下电极182相同的材料形成。第二接触186可形成为连接到外围电路区PCR的第三掺杂区23。第二接触186可将第二层间绝缘层117上的外围导电线185电连接到第三掺杂区23。外围导电线185可电连接到位线BL。然而,发明构思不限于此。

[0061] 参考图1、13A和13B描述根据发明构思一些实施例的半导体器件。

[0062] 可以提供包括单元阵列区CAR和外围电路区PCR的基板100。例如,基板100可以由硅、锗或硅锗形成的半导体基板。单元阵列区CAR可以是在其上设置存储单元的区域。外围电路区PCR可以是在其上设置字线驱动器、读出放大器、行译码器和列译码器的区域。基板100可包括场隔离层101,其限定在单元阵列区CAR中的第一有源区AR1和在外围电路区PCR中的第二有源区AR2。在平面图中,第一有源区AR1可以是条状并且彼此间隔开。第一有源区AR1可在不垂直于第一方向(即,x轴方向)和第二方向(即,y轴方向)的(一个或多个)第三方向上延伸。

[0063] 第一掺杂区21和第二掺杂区22可设置在第一有源区AR1的上部中。掺杂区21和22可掺杂有不同于基板100的掺杂剂的导电类型的掺杂剂。在每个第一有源区AR1中,第一掺杂区21可以提供在一对第二掺杂区22之间,第一掺杂区21可以通过沟槽11与第二掺杂区22彼此间隔开。

[0064] 单元栅结构可埋入单元阵列区CAR的基板100中。单元栅结构可以是字线WL。字线WL可分别设置在沟槽11中。字线WL可在y轴方向上延伸。每条字线WL可包括在每个沟槽11中顺序层叠的栅绝缘层121、栅电极126和栅极盖图案129。

[0065] 导电线可提供在单元阵列区CAR上。导电线可连接到第一掺杂区21并且在x轴方向上延伸。导电线可提供位线BL。外围栅结构PG可提供在外围电路区PCR上。每条位线BL和外围栅结构PG可包括第一导电图案、第二导电图案和设置在第一导电图案与第二导电图案之间的欧姆阻挡图案。在一些实施例中,每条位线BL可包括第一导电图案147、欧姆阻挡图案152、第二导电图案162和盖图案172。每条位线BL中的第一导电图案147可与在x轴方向上布置的第一掺杂区21接触。在每条位线BL中,欧姆阻挡图案152、第二导电图案162和盖图案172可顺序地层叠在第一导电图案147上。

[0066] 外围栅结构PG可包括顺序地层叠在基板100上的栅绝缘层132、第一导电图案143、欧姆阻挡图案153、第二导电图案163和盖图案173。第一间隔物SP1可设置在每条位线BL的侧壁上,第二间隔物SP2可设置在外围电路区PCR的侧壁上。

[0067] 在单元阵列区CAR上的第一导电图案147和在外围电路区PCR上的第一导电图案143可包括相同的材料并且可由相同层形成。在一些实施例中,第一导电图案147和143可包括多晶硅。在单元阵列区CAR上的第一导电图案147的掺杂剂的导电类型可以与外围电路区PCR上的第一导电图案143的掺杂剂的导电类型不同或相同。

[0068] 在单元阵列区CAR上的第二导电图案162和在外围电路区PCR上的第二导电图案163可包括相同的材料并且可由相同层形成。在一些实施例中,第二导电图案162和163可包括钨(W)、钛(Ti)和钽(Ta)中至少一个。栅极盖图案172和173可包括硅氧化物、硅氮化物和硅氮氧化物中至少一个。

[0069] 每条位线BL可包括设置在第一导电图案147之间的分隔图案。例如,分隔图案可以

是第一半导体图案140。第一半导体图案140可包括未掺杂的多晶硅。在单元阵列区CAR上的欧姆阻挡图案152的底表面可在x轴方向上延伸并且与在x轴方向上交替布置的第一导电图案147和第一半导体图案140接触。

[0070] 在单元阵列区CAR上的欧姆阻挡图案152和在外围电路区PCR上的欧姆阻挡图案153可包括相同材料。在一些实施例中,欧姆阻挡图案152和153可包括金属硅氮化物。在一些实施例中,金属硅氮化物可包括钛硅氮化物(TiSiN)、钽硅氮化物(TaSiN)和钨硅氮化物(WSiN)中至少一个。欧姆阻挡图案152和153中的硅浓度可以是大约10atm%或更多。欧姆阻挡图案152(或153)的硅浓度可以从欧姆阻挡图案152(或153)与第二导电图案162(或163)之间的界面到欧姆阻挡图案152(或153)与第一导电图案147(或143)之间的界面逐渐增大。例如,邻近于第二导电图案162(或163)的一部分欧姆阻挡图案152(或153)的硅浓度可以在大约10atm%至大约30atm%范围内。邻近于第一导电图案147(或143)的一部分欧姆阻挡图案152(或153)的硅浓度可以在大约30atm%至大约50atm%范围内。欧姆阻挡图案152(或153)的具有相对高的硅浓度的下部可提供欧姆阻挡图案152(或153)与第一导电图案147(或143)之间的欧姆接触。欧姆阻挡图案152(或153)的具有相对低的硅浓度的上部可防止第一导电图案147的掺杂剂扩散到第二导电图案161(或163)。

[0071] 欧姆阻挡图案152和153的晶粒尺寸可以是相对小的。例如,欧姆阻挡图案152和153的晶粒平均尺寸可以等于或小于第二导电图案162和163的晶粒平均尺寸的十分之一。例如,欧姆阻挡图案152和153的晶粒的平均直径可等于或小于30Å。在一些实施例中,欧姆阻挡图案152和153的晶体结构可包括微细的TiN子颗粒和填充在微细的TiN子颗粒之间的SiN。欧姆阻挡图案152和153的微细结构可增大掺杂剂从第一导电图案147和143到第二导电图案162和163的扩散程。因此,即使欧姆阻挡图案152和153会是薄的,欧姆阻挡图案152和153也可足够用作掺杂剂屏障。结果,可以减小半导体器件的层叠厚度。在一些实施例中,欧姆阻挡图案152和153的厚度可以在第一导电图案147的厚度的大约十分之一至大约四分之一的范围内。在一些实施例中,第二导电图案162和163可以比欧姆阻挡图案152和153更厚,第一导电图案147和143可以比第二导电图案162和163更厚。位线BL的与第一掺杂区21垂直交叠的第一部分可包括顺序层叠的第一导电图案147、欧姆阻挡图案152和第二导电图案162。位线BL的与场隔离层101垂直交叠的第二部分可包括顺序层叠的分隔图案140、欧姆阻挡图案152和第二导电图案162。

[0072] 数据存储部可以提供为分别电连接到第二掺杂区22。如果根据一些实施例的半导体器件为动态随机存取存储(DRAM)器件,则数据存储部可以是分别电连接到第二掺杂区22的电容器。电容器可包括下电极182、上电极184和设置在上电极184和下电极182之间的绝缘层183。下电极182可以通过穿透第一层间绝缘层116的第一接触181电连接到第二掺杂区22。

[0073] 第二接触186可穿透第二层间绝缘层117和第一层间绝缘层116以连接到外围电路区PCR的第三掺杂区23。第二接触186可以连接到外围导电线185。外围导电线185可电连接到位线BL。然而,发明构思不限于此。

[0074] 根据发明构思一些实施例,在单元阵列区上的导电线可以与在外围电路区上的外围栅结构同时形成。导电线和外围栅结构的每个可包括设置在第一导电图案和第二导电图案之间的欧姆阻挡图案。通过控制欧姆阻挡图案的硅浓度可以同时实现第一导电图案和第

二导电图案之间的欧姆接触和防止掺杂剂扩散。即使欧姆阻挡图案是薄的,也可以通过欧姆阻挡图案的微细结构充分地实现上述效果。结果,半导体器件的层叠高度可减小,使得寄生电容可减小,以提高半导体器件的操作速度。

[0075] 图13C为截面图,示出根据发明构思其他实施例的半导体器件的形成方法。在本实施例中,多个间隔物可形成在位线BL和外围栅结构PG的每个侧壁上。第三间隔物SP3和第一间隔物SP1可顺序地提供在位线BL的侧壁上。第四间隔物SP4和第二间隔物SP2可顺序地提供在外围栅结构PG的侧壁上。第三间隔物SP3和第四间隔物SP4可通过相同的工艺形成。在一些实施例中,热氧化工艺可在第一导电图案147和143的侧壁上执行,使得可形成第三间隔物SP3和第四间隔物SP4,该第一导电图案147和143通过参考图11A和11B描述的图案化工艺形成。在形成第三间隔物SP3和第四间隔物SP4之后,第一间隔物SP1和第二间隔物SP2可分别形成在第三间隔物SP3和第四间隔物SP4上。在一些实施例中,第三间隔物SP3和第四间隔物SP4可包括硅氧化物,第一间隔物SP1和第二间隔物SP2可包括硅氮化物或硅氮氧化物。

[0076] 参考图14A至17A及14B至17B描述根据实施例形成半导体器件的方法。

[0077] 图14A至17A为沿着图1的线A-A'和B-B'获得的截面图,示出了根据发明构思实施例的半导体器件的形成方法。图14B至17B为沿图1的线C-C'获得的截面图,示出根据发明构思实施例的半导体器件的形成方法。

[0078] 参考图1、14A和14B,在单元阵列区CAR上的第二绝缘层131和掩模图案112可从参考图6A及6B描述的结构上去除。接着,第二半导体图案146可形成在单元阵列区CAR和外围电路区PCR上。在一些实施例中,第二半导体图案146可包括掺杂多晶硅。

[0079] 第二半导体图案146可覆盖第一掺杂区21并且暴露第二掺杂区22。在一些实施例中,在单元阵列区CAR上的第二半导体图案146可在平面图中具有圆形或椭圆形。单元阵列区CAR的第二半导体图案146可彼此间隔开并且设置在第一掺杂区21上。半导体层可形成在基板100上,然后可在半导体层上执行使用掩模图案191的刻蚀工艺以形成第二半导体图案146。

[0080] 参考图1、15A和15B,分隔绝缘层118可形成为填充第二半导体图案146之间的区域。例如,分隔绝缘层118可包括硅氧化物、硅氮化物和硅氮氧化物中的至少一个。形成分隔绝缘层118可包括形成覆盖第二半导体图案146的绝缘层并且平坦化该绝缘层直到第二半导体图案146被暴露。

[0081] 掩模图案192可形成为覆盖单元阵列区CAR,然后可在外围电路区PCR的被掩模图案192暴露的第二半导体图案146上执行离子注入工艺。注入有掺杂剂离子的第二半导体图案144的导电类型可以不同于单元阵列区CAR上的第二半导体图案146的导电类型。例如,如果外围电路区PCR的晶体管是PMOS晶体管并且第二半导体图案146是n型,则形成第二半导体图案144可包括在外围电路区PCR上用p型掺杂剂反掺杂半导体图案146。备选地,如果外围电路区PCR的晶体管是NMOS晶体管并且第二半导体图案146是n型,则可以省略本离子注入工艺。

[0082] 参考图1、16A和16B,可以去除掩模图案192,然后欧姆阻挡层151、金属层161和盖层171可以顺序地形成在单元阵列区CAR和外围电路区PCR上。欧姆阻挡层151可包括金属硅氮化物。在一些实施例中,金属硅氮化物可包括钛硅氮化物(TiSiN)、钽硅氮化物(TaSiN)和钨硅氮化物(WSiN)中至少一个。在一些实施例中,可以通过利用包括TiCl₄、二氯硅烷(DCS)

和 NH_3 的源气体的CVD或ALD工艺形成欧姆阻挡层151。在一些实施例中,欧姆阻挡层151可以在大约 560°C 至大约 680°C 范围内的温度下形成。金属层161可包括钨(W)、钛(Ti)和钽(Ta)中至少一个。盖层171可包括硅氧化物、硅氮化物和硅氮氧化物中至少一个。金属层161和盖层171的每个可利用溅射工艺或CVD工艺形成。

[0083] 参考图1、17A和17B,盖层171、金属层161、欧姆阻挡层151和第二半导体图案146和144可以被图案化,以形成在单元阵列区CAR上的导电线和在外围电路区PCR上的外围栅结构PG。导电线可以是半导体器件的位线BL。每条位线BL可包括多个第一导电图案147、欧姆阻挡图案152、第二导电图案162和盖图案172。

[0084] 第一导电图案147可以连接到沿一个方向布置的第一掺杂区21。在每条位线BL中,欧姆阻挡图案152、第二导电图案162和盖图案172可顺序地形成在多个第一导电图案147上。分隔绝缘层118可以通过图案化工艺被成分隔绝缘图案119。在每个欧姆阻挡图案152下面的分隔绝缘图案119可以设置在每条位线BL的第一导电图案147之间。

[0085] 外围栅结构PG可包括顺序地层叠在基板100上的栅绝缘层132、第一导电图案145、欧姆阻挡图案153、第二导电图案163和盖图案173。第一间隔物SP1和第二间隔物SP1可分别形成在位线BL的侧壁上和外围栅结构PG的侧壁上。第三掺杂区23可分别形成在外围栅结构PG的两侧处的第二有源区AR2中。

[0086] 第一层间绝缘层116可形成为覆盖位线BL和外围栅结构PG,然后第一接触181可形成为穿透第一层间绝缘层116。第一接触181可分别连接到第二掺杂区22。第二层间绝缘层117可形成为覆盖第一接触181,然后下电极182可形成为穿透第二层间绝缘层117。下电极182可分别连接到第一接触181。在一些实施例中,每个下电极182可具有底端封闭的空心圆筒形状。

[0087] 绝缘层183和上电极184可以顺序地形成在下电极182上。下电极182、绝缘层183和上电极184可提供半导体器件的电容器。上电极184可以由相同的材料形成。第二接触186可形成为连接到外围电路区PCR的第三掺杂区23。第二接触186可将第二层间绝缘层117上的外围导电线185连接到第三掺杂区23。外围导电线185可电连接到位线BL。然而,发明构思不限于此。

[0088] 再参考图1、17A和17B描述根据实施例的半导体器件。每条位线BL可包括分别设置在第一导电图案147之间的分隔图案。在一些实施例中,分隔图案可以是分隔绝缘图案119。在一些实施例中,分隔绝缘图案119可包括硅氧化物、硅氮化物和硅氮氧化物中的至少一个。单元阵列区CAR的欧姆阻挡图案152的底表面可在x轴方向上延伸并且与在x轴方向上交替布置的第一导电图案147和分隔绝缘图案119接触。

[0089] 图18为示出根据发明构思实施例的半导体器件的平面图。图19A至24A为沿图18的线G-G'获得的截面图,示出根据发明构思实施例的半导体器件的形成方法。图19B至24B为沿着图18的线H-H'和I-I'获得的截面图,示出根据发明构思实施例的半导体器件的形成方法。

[0090] 参考图18、19A和19B,场隔离层301可形成在基板300中以限定在单元阵列区CAR中的第一有源区AR1和在外围电路区PCR中的第二有源区AR2。基板300可以是由例如硅、锗或硅锗形成的半导体基板。掺杂区40可形成在每个第一有源区AR1的上部中。导电类型与基板300不同的掺杂剂离子可注入到基板300的上部中以形成掺杂区40。

[0091] 包括开口的掩模图案311可以形成在单元阵列区CAR上。掩模图案311的每个开口可在y轴方向上延伸并且暴露出在y轴方向上布置的掺杂区40。掩模图案311可以覆盖外围电路区PCR。

[0092] 参考图18、20A和20B,利用掩模图案311作为蚀刻掩模可以在基板300中形成沟槽13。沟槽13可沿着y轴方向延伸并且在x轴方向上彼此间隔开。沟槽13的上部宽度可以小于沟槽13的下部宽度。沟槽13可以通过多个刻蚀工艺形成。在一些实施例中,基板300的上部可以通过各向异性蚀刻工艺被蚀刻以形成第一蚀刻区。保护间隔物319可以形成在第一蚀刻区的侧壁上。

[0093] 被保护间隔物319暴露的基板300可以通过各向同性刻蚀工艺被蚀刻成为第二蚀刻区。第二蚀刻区可从第一蚀刻区延伸,第二蚀刻区的宽度可以大于第一蚀刻区的宽度。当形成第二蚀刻区时,部分的场隔离层301也可被蚀刻。每个掺杂区40可以通过形成沟槽13而被分成彼此间隔开的第二掺杂区42。

[0094] 参考图18、21A和21B,第一绝缘层320、导电层325和填充层328可以顺序地形成在沟槽13中。填充层328可填充其中形成有第一绝缘层320和导电层325的沟槽13,然后填充层328可以凹进以具有比基板300的顶表面低的顶表面。在一些实施例中,第一绝缘层320可包括硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个。导电层325可包括掺杂半导体材料、导电金属氮化物、金属和金属半导体化合物中至少一个。填充层328可包括硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个。第一绝缘层320、导电层325和填充层328中每个可以通过CVD工艺、PVD工艺和ALD工艺中至少一个形成。

[0095] 参考图18、22A和22B,比填充层328的顶表面高的一部分导电层325可以被去除。此时,可以留下比填充层328的顶表面低的一部分导电层325。部分的导电层325可以通过各向同性刻蚀工艺被去除。

[0096] 在填充层328被去除之后,剩余的导电层325可以利用掩模图案311作为蚀刻掩模被各向异性蚀刻,以形成通过沟槽14彼此分开的单元栅结构。在一些实施例中,单元栅结构可以是字线WL。邻近于每个沟槽14的两侧的字线WL可以关于每个沟槽14彼此镜面对称。

[0097] 参考图18、23A和23B,沟槽间隔物318可以形成在沟槽14的侧壁上以暴露出基板300,然后第一掺杂区41可以形成在通过沟槽14暴露的基板300中。第一掺杂区41可以通过字线WL和场隔离层301彼此间隔开,在平面图中二维地布置。接触图案387可以形成为分别填充包括第一掺杂区41的所得结构的沟槽14。接触图案387连接到第一掺杂区41。接触图案387可以沿着字线WL在y轴方向上延伸。通过形成填充沟槽14的导电层以及在导电层上执行平坦化工艺直到掩模图案311被暴露,可以提供接触图案387的形成。沟槽间隔物318可以由硅氧化物、硅氮化物和硅氮氧化物中至少一个形成。接触图案387可以由金属、导电金属氮化物和掺杂半导体材料中至少一个形成。

[0098] 参考图18、24A和24B,位线BL可以形成在单元阵列区CAR上,外围栅结构PG可以形成在外围电路区PCR上。位线BL和外围栅结构PG可以通过参考图6A至11A和6B至11B描述的工艺形成。电容器可以形成为通过第一接触381分别电连接到第二掺杂区42。电容器可包括下电极382、上电极384和设置在上电极384和下电极382之间的绝缘层383。外围导电线385可以形成为通过第二接触386电连接到外围电路区PCR的第三掺杂区43。电容器、接触381和386以及外围导电线385可以通过参考图12A、12B、13A和13B描述的工艺形成。

[0099] 参考图18、24A和24B描述根据实施例的半导体器件。可以提供包括单元阵列区CAR和外围电路区PCR的基板300。基板300可以是由例如硅、锗或硅锗形成的半导体基板。

[0100] 单元栅结构可以提供为被埋入单元阵列区CAR的基板300中。单元栅结构可以是包括栅绝缘层321和栅电极326的字线WL。在一些实施例中，每条字线WL可具有半圆形状的横截面。字线WL可以设置在沟槽13中并且在y轴方向上延伸。在每个沟槽13中的一对字线WL可以关于设置在其间的接触图案387彼此镜面对称。接触图案387可以沿着字线WL在y轴方向上延伸并且连接到形成在沟槽13下面的第一掺杂区41。

[0101] 第二掺杂区42可以形成在第一有源区AR1的上部。第二掺杂区42可以与第一掺杂区41垂直地间隔开。掺杂区41和42可以掺杂有与基板300的导电类型不同的导电类型的掺杂剂。

[0102] 导电线可设置在单元阵列区CAR上。导电线可电连接到第一掺杂区41并且在x轴方向上延伸。导电线可以是位线BL。外围栅结构PG可提供在外围电路区PCR上。每条位线BL和外围栅结构PG可包括第一导电图案、第二导电图案和设置在第一导电图案与第二导电图案之间的欧姆阻挡图案。在一些实施例中，每条位线BL可包括第一导电图案347，和顺序地层叠在第一导电图案347上的欧姆阻挡图案352、第二导电图案362及盖图案372。外围栅结构PG可包括顺序地层叠在基板300上的栅绝缘层332、第一导电图案343、欧姆阻挡图案353、第二导电图案363和盖图案373。第一间隔物SP1和第二间隔物SP2可分别设置在每条位线BL的侧壁上和外围栅结构PG的侧壁上。

[0103] 每条位线BL可还包括设置在第一导电图案347之间的分隔图案。在一些实施例中，分隔图案可以是第一半导体图案340。第一半导体图案340可包括未掺杂的多晶硅。在单元阵列区CAR上的欧姆阻挡图案352的底表面可在x轴方向上延伸并且与在x轴方向上交替布置的第一导电图案347和第一半导体图案340接触。

[0104] 数据存储部可以提供为分别电连接到第二掺杂区42。如果根据一些实施例的半导体器件为DRAM器件，则数据存储部可以是分别电连接到第二掺杂区42的电容器。电容器可包括下电极382、上电极384和设置在上电极384和下电极382之间的绝缘层383。下电极382可以通过穿透第一层间绝缘层316的第一接触381分别电连接到第二掺杂区42。

[0105] 第二接触386可穿透第二层间绝缘层317和第一层间绝缘层316以连接到外围电路区PCR的第三掺杂区43。第二接触386可以连接到外围导电线385。外围导电线385可电连接到位线BL。然而，发明构思不限于此。

[0106] 图25为示出根据发明构思实施例的半导体器件的平面图。图26A至26A为沿图25的线D-D'获得的截面图，示出根据发明构思实施例的半导体器件的形成方法。图26B至26B为沿着图25的线E-E'和F-F'获得的截面图，示出根据发明构思实施例的半导体器件的形成方法。

[0107] 参考图25、26A和26B，场隔离区201可形成在基板200中以限定在单元阵列区CAR中的第一有源区AR1和在外围电路区PCR中的第二有源区AR2。在平面图中，单元阵列区CAR的第一有源区AR1和场隔离区201可以是在x轴方向上延伸的线形。掺杂区30可形成在每个第一有源区AR1的上部中。掺杂区30可以掺杂有与基板200的导电类型不同的导电类型的掺杂剂。

[0108] 参考图25、27A和27B，在y轴方向上延伸的沟槽15可以形成在单元阵列区CAR中。沟

槽15可以通过利用掩模图案211蚀刻基板200而形成。第一绝缘层220、导电层225和填充层228可以顺序地形成在沟槽15中。在第一绝缘层220和导电层225形成在沟槽15中之后,填充层228可以形成为填充沟槽15。在一些实施例中,第一绝缘层220可包括硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个。导电层225可包括掺杂半导体材料、导电金属氮化物和金属半导体化合物中至少一个。填充层228可包括硅氧化物层、硅氮化物层和硅氮氧化物层中至少一个。第一绝缘层220、导电层225和填充层228中每个可以通过CVD工艺、PVD工艺和ALD工艺中至少一个形成。

[0109] 参考图25、28A和28B,导电层225和第一绝缘层220可以被连续地蚀刻。由于刻蚀工艺,第一绝缘层220可以被分成彼此分开的栅绝缘层221,导电层225可以被分成彼此分开的栅电极226。栅绝缘层221和栅电极226可以被限制在沟槽15之内。可以执行对于导电层225和第一绝缘层220的刻蚀工艺直到填充层228被去除,使得栅绝缘层221的顶端和栅电极226的顶表面凹入沟槽以内,从而低于基板200的顶表面。栅极盖图案229可以分别形成在栅电极226上。因此,栅结构可以分别形成在沟槽15中。

[0110] 在沟槽15中的栅结构可包括字线WL和分隔栅结构CL。字线WL可具有与分隔栅结构CL实质相同的结构。在平面图中,一对字线WL可以形成在彼此相邻的分隔栅结构CL之间。掺杂区30可被字线WL和分隔栅结构CL划分,使得第一掺杂区31可以形成在字线WL之间并且第二掺杂区32可以形成在每条字线WL与每个分隔栅结构CL之间。第一掺杂区31可在y轴方向上布置并且在字线WL之间彼此间隔开。第二掺杂区32可在y轴方向上布置并且在字线WL与分隔栅结构CL之间彼此间隔开。

[0111] 参考图25、29A和29B,掩模图案212可以形成为覆盖单元阵列区CAR。掩模图案212可以不覆盖外围电路区PCR。第二绝缘层231可以形成在外围电路区PCR上和CAR中的掩模图案212上。第二绝缘层231可包括硅氧化物、硅氮氧化物和具有高于硅氧化物的介电常数的高k介电层中的至少一个。在一些实施例中,掩模图案212可包括光致抗蚀剂、硅氮化物层和硅氧化物层中至少一个。

[0112] 参考图25、30A和30B,单元阵列区CAR的第二绝缘层231和掩模图案212可以被去除,然后第一半导体层241可以形成在单元阵列区CAR和外围电路区PCR上。例如,第一半导体层241可以是未掺杂的硅层。通孔12可形成为穿透第一半导体层241。通孔12可分别暴露出第一掺杂区31。每个通孔12可在平面图中具有圆形或椭圆形。掩模图案213可形成在第一半导体层241上,然后可在半导体层241上执行干和/或湿蚀刻工艺以形成通孔12。

[0113] 参考图25、31A和31B,第二半导体图案246可形成为分别填充通孔12。例如,第二半导体图案246可由掺杂有掺杂剂的硅形成。在去除掩模图案213之后,第二半导体层可以形成为填充通孔12。第二半导体层可以被平坦化以形成第二半导体图案246。第二半导体图案246可以原位掺杂有与第一掺杂区31相同的掺杂剂。

[0114] 参考图25、32A和32B,掩模图案214可以形成为覆盖单元阵列区CAR,然后在外围电路区PCR上的第一半导体层241上可以执行掺杂剂离子注入工艺。如果外围电路区PCR的晶体管是PMOS晶体管,则注入有掺杂剂的第一半导体层242在外围电路区PCR上可以是p型。如果外围电路区PCR的晶体管是NMOS晶体管,则注入有掺杂剂的第一半导体层242在外围电路区PCR上可以是n型。然而,发明构思不限于此。

[0115] 参考图25、33A和33B,可去除掩模图案214。接着,欧姆阻挡层251、金属层261和盖

层271可以顺序地形成在单元阵列区CAR和外围电路区PCR上。欧姆阻挡层251可包括金属硅氮化物。在一些实施例中,金属硅氮化物可包括钛硅氮化物(TiSiN)、钽硅氮化物(TaSiN)和钨硅氮化物(WSiN)中至少一个。

[0116] 金属层261可包括钨(W)、钛(Ti)和钽(Ta)中至少一个。盖层271可包括硅氧化物、硅氮化物和硅氮氧化物中至少一个。金属层261和盖层271的每个可由溅射工艺或CVD工艺形成。

[0117] 参考图25、34A和34B,盖层271、金属层261、欧姆阻挡层251、第一半导体层241和242、以及第二半导体图案246可以被图案化,以形成在单元阵列区CAR上的导电线和在外围电路区PCR上的外围栅结构PG。导电线可以是半导体器件的源线(source line)SL。每条源线SL可包括分别连接到第一掺杂区31的多个第一导电图案247、欧姆阻挡图案252、第二导电图案262和盖图案272。在每条源线SL中,欧姆阻挡图案252、第二导电图案262和盖图案272可顺序地层叠在多个第一导电图案247上。

[0118] 在单元阵列区CAR上的第一半导体层241可通过图案化工艺被分成彼此间隔开的第一半导体图案240。第一导电图案247可设置在第一半导体图案240之间。换句话说,在每条源线SL中的第一导电图案247和第一半导体图案240可在源线SL的纵向方向上交替布置。外围栅结构PG可包括顺序地层叠在基板200上的栅绝缘层232、第一导电图案243、欧姆阻挡图案253、第二导电图案263和盖图案273。第一间隔物SP1和第二间隔物SP2可分别形成每条源线BL的侧壁和外围栅结构PG的侧壁。第三掺杂区33可分别形成在外围栅结构PG的两侧处的第二有源区AR2中。具有与第一导电图案143的掺杂剂相同导电类型的掺杂剂离子可被注入到第二有源区AR2中以形成第三掺杂区33。

[0119] 参考图25、35A和35B,第一层间绝缘层216可形成为覆盖源线SL和外围栅结构PG,然后第一接触281可形成为穿透第一层间绝缘层216。第一接触281可分别连接到第二掺杂区32。第一接触281可与第二接触286同时形成,该第二接触286连接到外围电路区PCR的第三掺杂区33。接触281和286可包括金属、导电金属氮化物和掺杂硅中至少一个。接触281和286可利用溅射工艺或CVD工艺形成。

[0120] 参考图25、36A和36B,数据存储部VR可分别形成在第一接触281上。每个数据存储部VR可包括磁隧道结(MTJ)。在一些实施例中,每个数据存储部VR可包括顺序层叠在第一接触281上的第一电极51、参考磁性层52、隧道阻挡层53、自由层54和第二电极55。数据存储部VR可形成在第二层间绝缘层217中。

[0121] 第一电极51和第二电极55可包括具有低反应性的导电材料。第一电极51和第二电极55可包括导电金属氮化物。在一些实施例中,第一电极51和第二电极55可包括钛氮化物、钽氮化物、钨氮化物和钛铝氮化物中至少一个。

[0122] 如果数据存储部VR包括横向MTJ,则参考磁性层52可包括钉扎层和被钉扎层。钉扎层可包括反铁磁材料。在一些实施例中,钉扎层可包括PtMn、IrMn、MnO、MnS、MnTe、MnF₂、FeCl₂、FeO、CoCl₂、CoO、NiCl₂、NiO和Cr中至少一个。被钉扎层可具有被钉扎层固定的磁化方向。被钉扎层可包括铁磁材料。在一些实施例中,被钉扎层可包括CoFeB、Fe、Co、Ni、Gd、Dy、CoFe、NiFe、MnAs、MnBi、MnSb、CrO₂、MnOFe₂O₃、FeOFe₂O₃、NiOFe₂O₃、CuOFe₂O₃、MgOFe₂O₃、EuO和Y₃Fe₅O₁₂中至少一个。

[0123] 隧道阻挡层53可具有小于自旋扩散距离的厚度。隧道阻挡层53可包括非磁性材

料。在一些实施例中，隧道阻挡层53可包括氧化镁(MgO)、氧化钛(TiO)、氧化铝(AlO)、镁锌氧化物(MgZnO)、镁硼氧化物(MgBO)、氮化钛(TiN)和氮化钒(VN)中至少一个。

[0124] 自由层54可包括具有可变磁化方向的材料。自由层54的磁化方向可通过从磁存储单元的外部 and/或内部提供的电/磁因素(factor)而变化。自由层54可包括铁磁材料，该铁磁材料包括钴(Co)、铁(Fe)和镍(Ni)中至少一个。在一些实施例中，自由层54可包括FeB、Fe、Co、Ni、Gd、Dy、CoFe、NiFe、MnAs、MnBi、MnSb、CrO₂、MnOFe₂O₃、FeOFe₂O₃、NiOFe₂O₃、CuOFe₂O₃、MgOFe₂O₃、EuO和Y₃Fe₅O₁₂中至少一个。

[0125] 位线BL可形成在数据存储部VR上。位线BL可在x轴方向上延伸并且连接到数据存储部VR。位线BL可包括金属、导电金属氮化物和掺杂半导体材料中至少一个。位线BL可利用溅射工艺或CVD工艺形成。

[0126] 参考图25、36A和36B描述根据实施例的半导体器件。基板200可包括单元阵列区CAR和外围电路区PCR。基板200可以是由例如硅、锗或硅锗形成的半导体基板。基板200可包括场隔离区201，其限定在单元阵列区CAR中的第一有源区AR1和在外围电路区PCR中的第二有源区AR2。第一有源区AR1可具有在x轴方向上延伸的线形状并且在y方向上彼此间隔开。

[0127] 埋入基板200中的栅结构可设置在单元阵列区CAR中。栅结构可包括字线WL和分隔栅结构CL。在平面图中，一对字线WL可以设置在彼此相邻的一对分隔栅结构CL之间。字线WL可具有与分隔栅结构CL实质相同的结构。

[0128] 分隔栅结构CL可在存储单元之间提供电绝缘。在半导体器件的操作(例如，读操作和写操作)中，接地电压或负电压可施加到分隔栅结构CL。在一些实施例中，施加到分隔栅结构CL的电压可实质上等于施加到未被选择的字线的电压。在其他实施例中，施加到分隔栅结构CL的电压可小于施加到未被选择的字线的电压。分隔栅结构CL可通过连接导电图案GL而彼此连接，从而处于等电位状态。

[0129] 第一掺杂区31可提供在字线WL之间，第二掺杂区32可提供在字线WL和分隔栅结构CL之间。第一掺杂区31可在y轴方向上布置并且在字线WL之间彼此间隔开。第二掺杂区32可在y轴方向上布置并且在字线WL与分隔栅结构CL之间彼此间隔开。掺杂区31和32可以掺杂有与基板200的导电类型不同的导电类型的掺杂剂。

[0130] 导电线可提供在单元阵列区CAR上。导电线可连接到第一掺杂区31并且在x轴方向上延伸。导电线可以是连接到第一掺杂区31的源线SL。在一些实施例中，当半导体器件被操作时，源线SL可施加有1V或接地电压。外围栅结构PG可提供在外围电路区PCR上。每条源线SL和外围栅结构PG可包括第一导电图案、第二导电图案和设置在第一导电图案与第二导电图案之间的欧姆阻挡图案。在一些实施例中，每条源线SL可包括分别连接到第一掺杂区31的第一导电图案247、欧姆阻挡图案252、第二导电图案262和盖图案272。在每条源线SL中，欧姆阻挡图案252、第二导电图案262和盖图案272可顺序地层叠在多个第一导电图案247上。外围栅结构PG可包括顺序地层叠在基板200上的栅绝缘层232、第一导电图案243、欧姆阻挡图案253、第二导电图案263和盖图案273。第一间隔物SP1和第二间隔物SP2可分别形成在每条源线SL的侧壁和外围栅结构PG的侧壁。

[0131] 每条源线SL可还包括设置在第一导电图案247之间的分隔图案。例如，分隔图案可以是第一半导体图案240。第一半导体图案240可包括未掺杂的多晶硅。在单元阵列区CAR上的欧姆阻挡图案252的底表面可在x轴方向上延伸并且与在x轴方向上交替布置的第一导电

图案247和第一半导体图案240接触。

[0132] 数据存储部可以提供为分别电连接到第二掺杂区32。如果根据一些实施例的半导体器件是磁随机存取存储(MRAM)器件,则连接到第二掺杂区32的每个数据存储部VR可包括磁隧道结(MTJ)。在一些实施例中,每个数据存储部VR可包括顺序层叠在每个第一接触281上的第一电极51、参考磁性层52、隧道阻挡层53、自由层54和第二电极55。数据存储部VR可设置在第一层间绝缘层216上。位线BL可提供在数据存储部VR上。位线BL可在x轴方向上延伸并且连接到数据存储部VR。

[0133] 根据发明构思的半导体器件不限于DRAM器件或MRAM器件。根据发明构思的半导体器件可包括相变随机存取存储(PRAM)器件、铁电随机存取存储(FRAM)器件和/或电阻随机存取存储(RRAM)器件。在一些实施例中,如果根据发明构思的半导体器件是PRAM器件,则每个数据存储部VR可包括设置在电极51和55之间的相变材料层,代替参考磁性层52、隧道阻挡层53和自由层54。在一些实施例中,如果根据发明构思的半导体器件是FRAM器件,则每个数据存储部VR可包括设置在电极51和55之间的铁电层,代替参考磁性层52、隧道阻挡层53和自由层54。

[0134] 上文所述的半导体器件可利用不同的封装技术来密封。例如,根据前述的实施例的半导体存储器件可以利用以下中任意一个封装方式被封装:层叠封装(PoP)技术、球栅阵列(BGA)技术、芯片级封装(CSP)技术、带引线的塑料芯片载体(PLCC)技术、塑料双列直插式封装(PDIP)技术、窝伏尔组件中管芯封装(die in waffle pack)技术、晶圆形式中管芯(die in wafer form)技术、板上芯片(COB)技术、陶瓷双列直插式封装(CERDIP)技术、塑料公制四方扁平封装(PMQFP)技术、塑料四方扁平封装(PQFP)技术、小外型封装(SOIC)技术、收缩型小外形封装(SSOP)技术、薄小外型封装(TSOP)技术、薄型四方扁平封装(TQFP)技术、系统级封装(SIP)技术、多芯片封装(MCP)技术、晶圆级制造封装(wafer-level fabricated package (WFP))技术和晶圆级处理堆叠封装(wafer-level processed stack package (WSP))技术。其中安装有根据上述实施例之一的半导体存储器件的封装可以还包括控制半导体存储器件的至少一个半导体器件(例如,控制器和/或逻辑器件)。

[0135] 图37为示出包括根据发明构思实施例的半导体器件的电子设备的示意框图。

[0136] 参考图37,根据发明构思实施例的电子设备1300可以是个人数字助理(PDA)、膝上型计算机、便携式计算机、上网平板、无线电话、移动电话、数字音乐播放器、电缆或无线电子设备、以及包括其任意组合的电子设备。电子设备1300可包括控制器1310、输入/输出(I/O)单元1320(诸如键区、键盘和/或显示器)、存储器件1330以及无线接口单元1340,它们通过数据总线1350彼此通信。

[0137] 控制器1310可包括微处理器、数字信号处理器、微型控制器或其他逻辑器件中的至少一个。其他逻辑器件可具有与微处理器、数字信号处理器和微型控制器中任何一个相似的功能。存储器件1330可以储存用户的数据和/或命令。存储器件1330可包括根据在此描述的实施例的至少一个半导体器件。电子设备1300可利用射频(RF)信号传输数据到无线网络和/或通过无线接口单元1340从网络接收数据。例如,无线接口单元1340可包括天线或无线收发器。电子设备1300可在诸如CDMA、GSM、NADC、E-TDMA、WCDMA和/或CDMA2000的通信接口协议中使用。

[0138] 图38为示出包括根据发明构思实施例的半导体器件的存储系统示例的示意框图。

[0139] 参考图38,根据发明构思实施例的半导体器件可用于实现存储系统1400。存储系统1400可以包括用于存储数据的存储器件1410和存储控制器1420。存储控制器1420可响应于主机1430的读/写请求而读出存储在存储器件1410中的数据或将数据写入存储器件1410中。存储控制器1420可以构成地址映射表,用于将从主机1430(例如,移动装置或计算机系统)提供的地址映射到存储器件1410的物理地址。存储器件1410可包括根据在此描述的实施例的至少一个半导体器件。

[0140] 虽然已经参考其示例实施例描述了发明构思,然而对于本领域技术人员而言显然的是在不脱离发明构思的精神和范围的情况下,可以作出不同变化和改进。因此,应当理解,上述实施例不是限制,而是说明性的。因此,发明构思的范围通过权利要求书及它们的等价物的最宽可允许解释来确定,而不应受到上述描述的限制或约束。

[0141] 本申请要求于2012年8月27日向韩国专利局提交的韩国专利申请No.10-2012-0093855以及于2013年3月12日向美国专利局提交的美国专利申请12/796449的优先权,其全部内容通过引用结合在此。

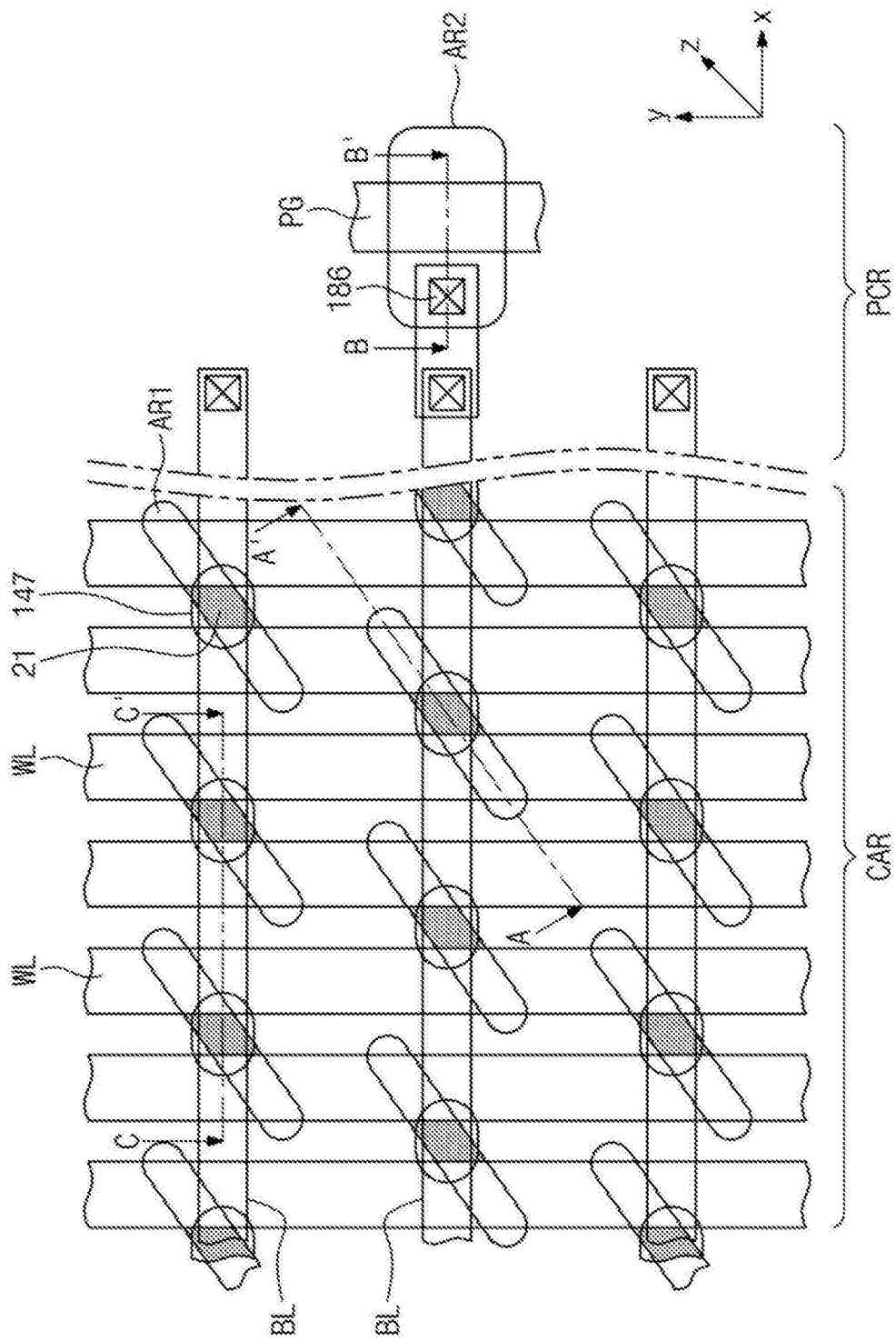


图1

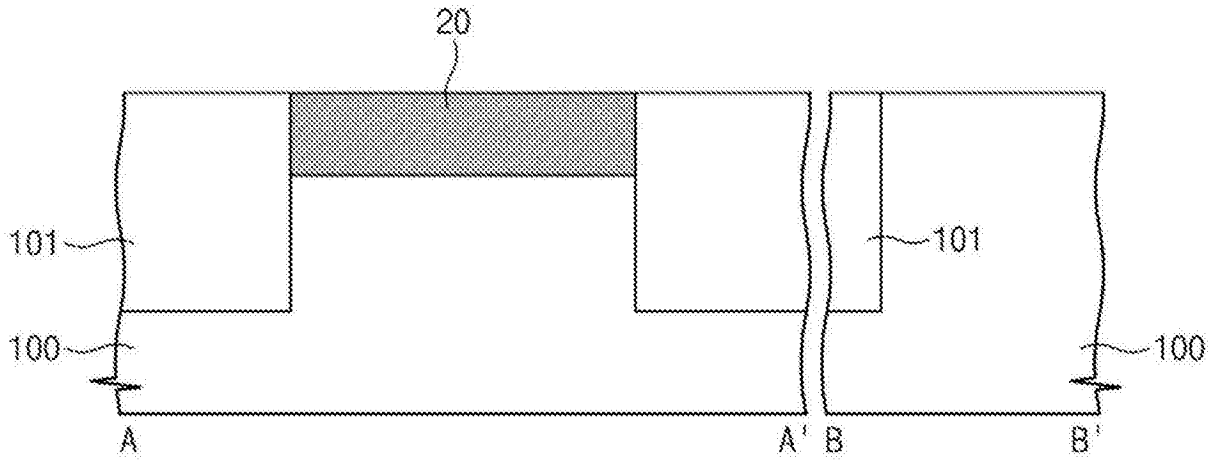


图2A

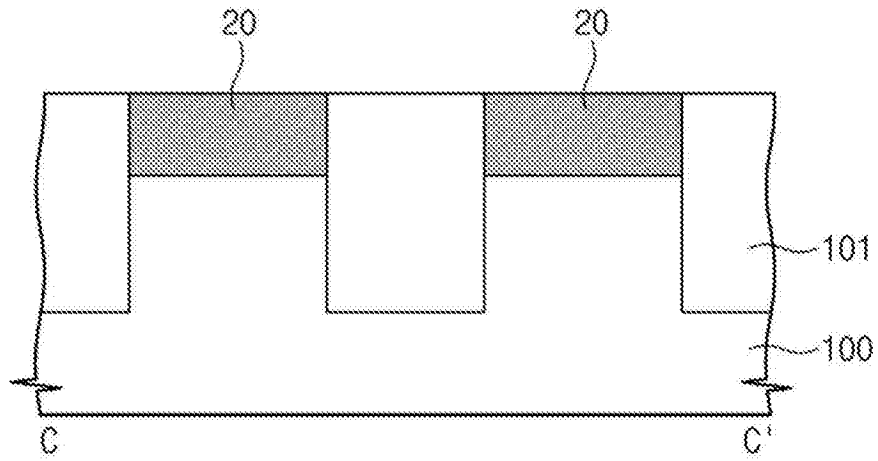


图2B

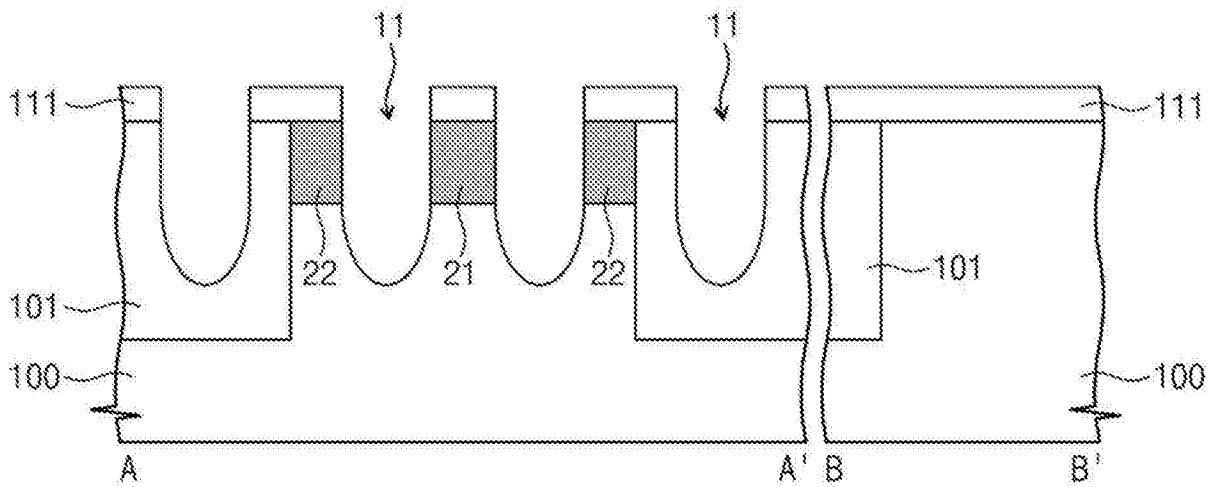


图3A

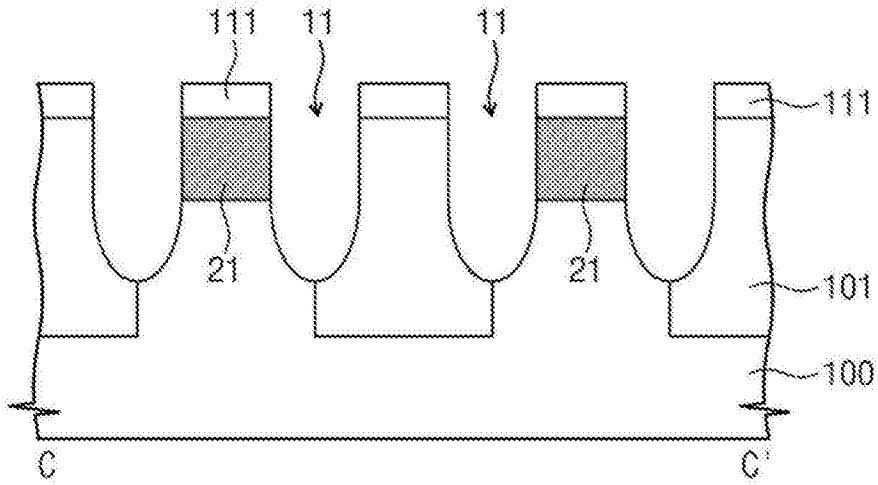


图3B

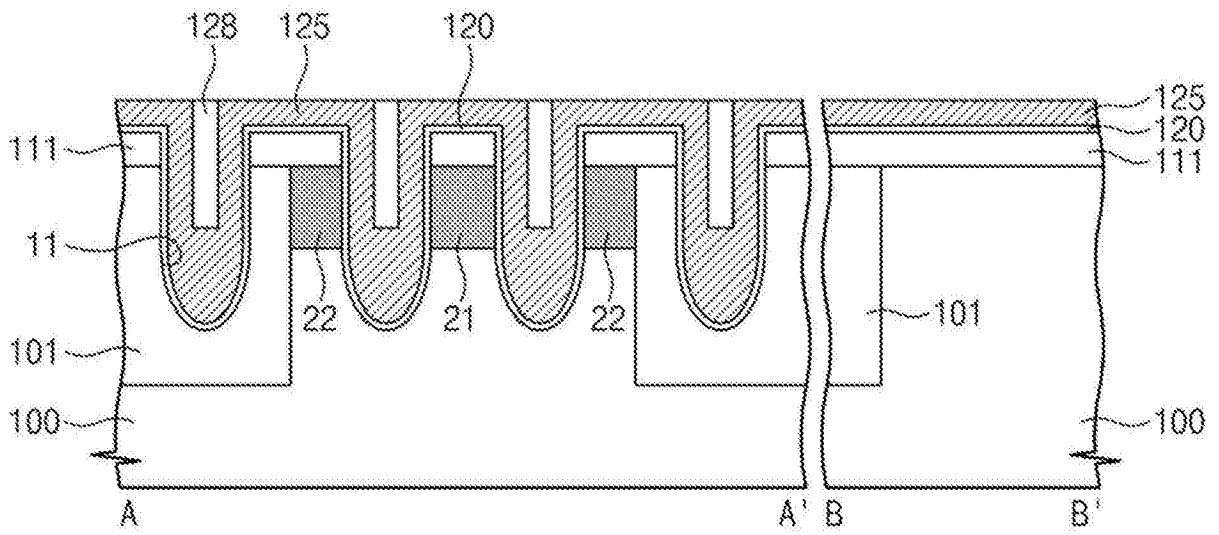


图4A

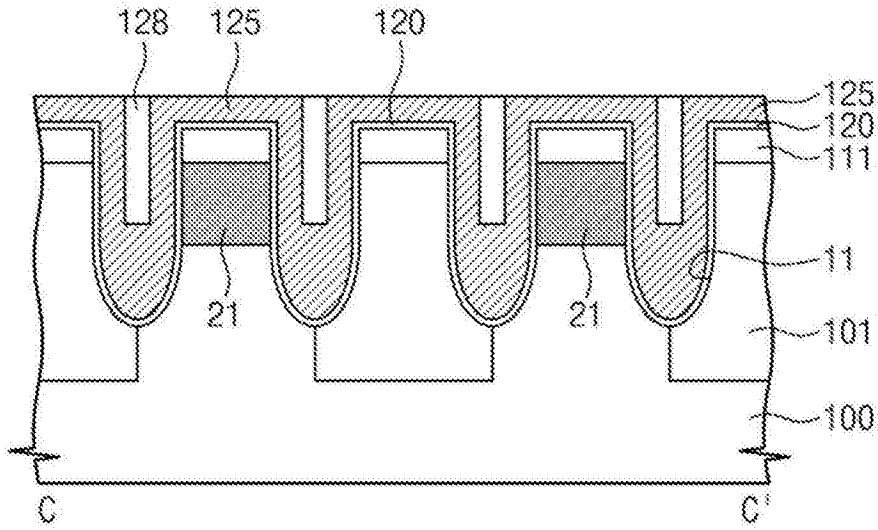


图4B

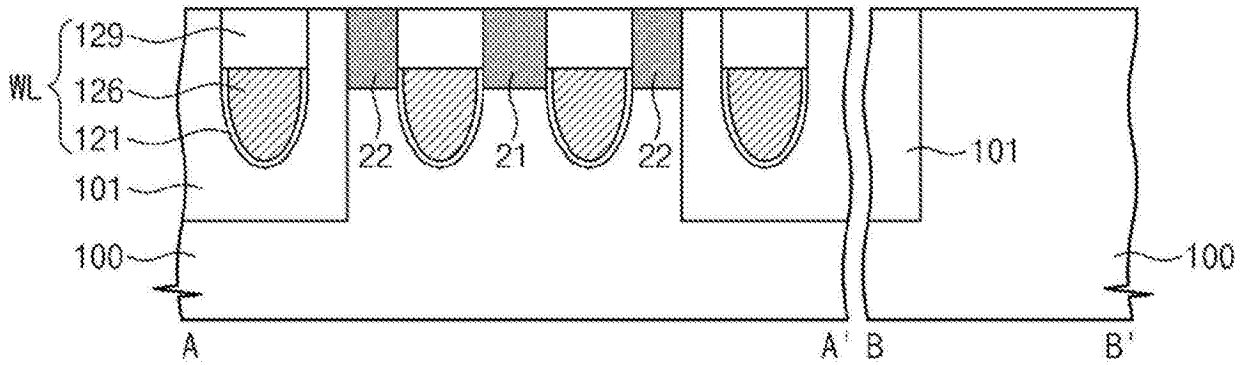


图5A

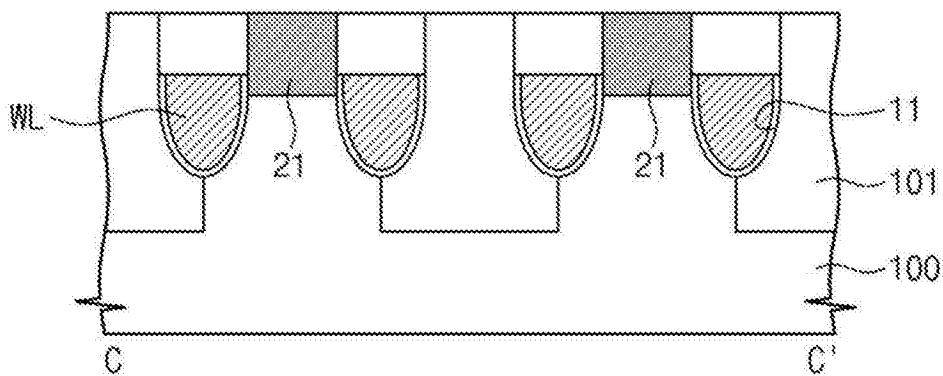


图5B

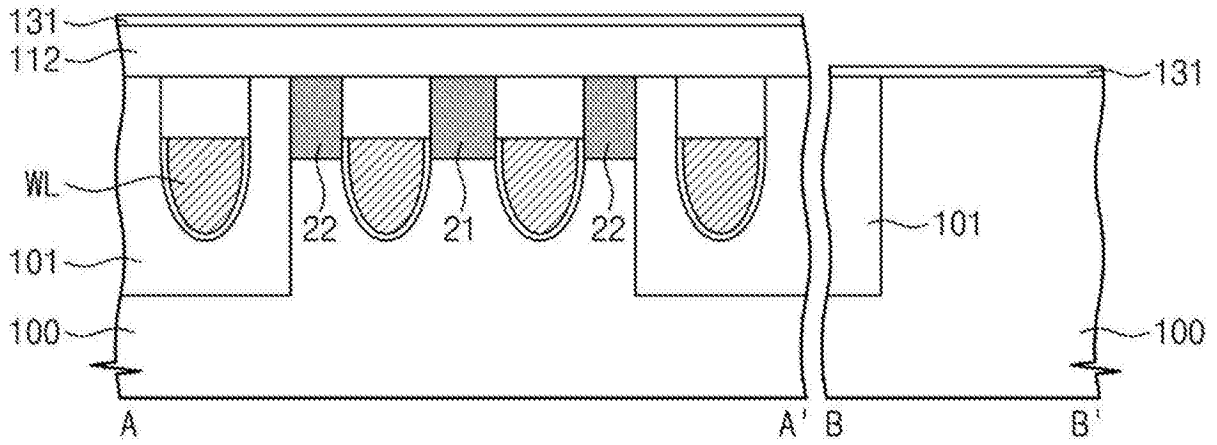


图6A

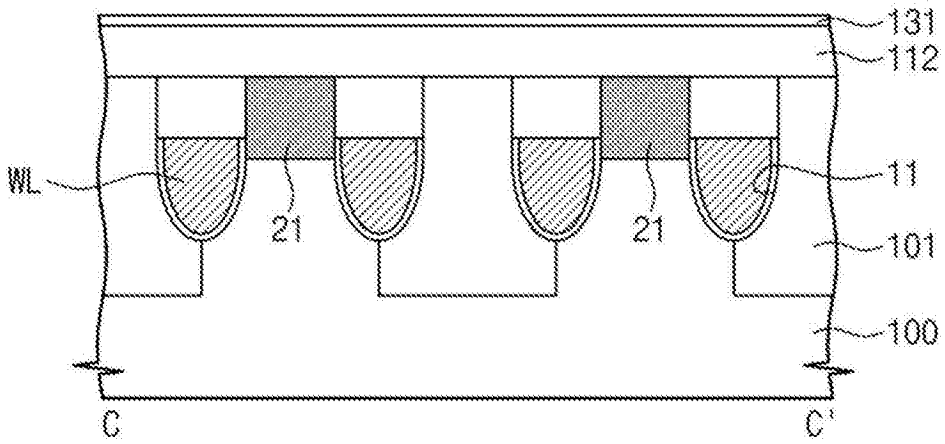


图6B

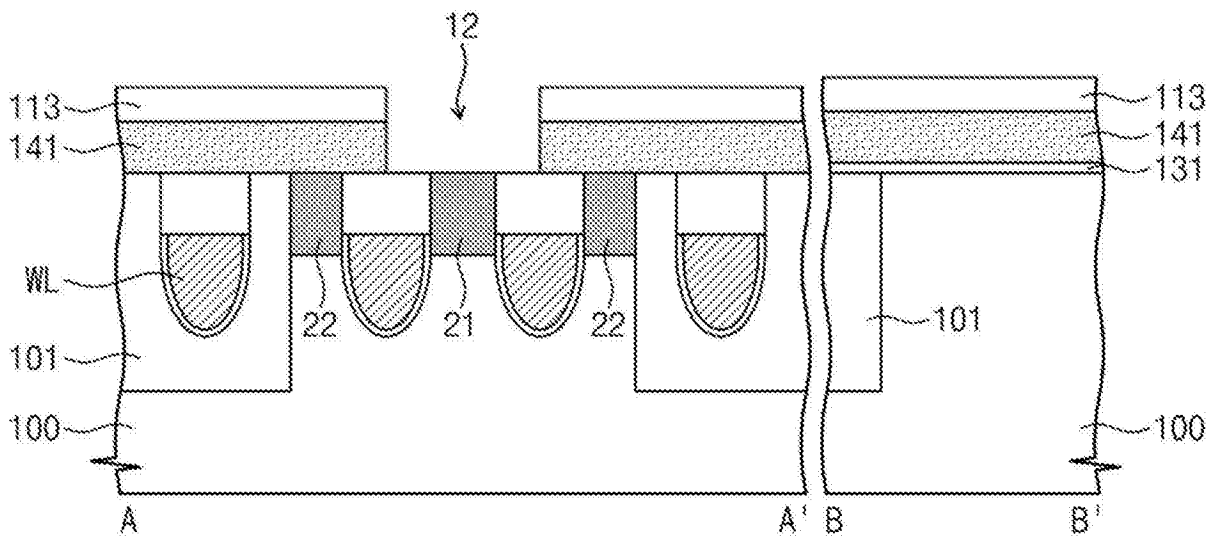


图7A

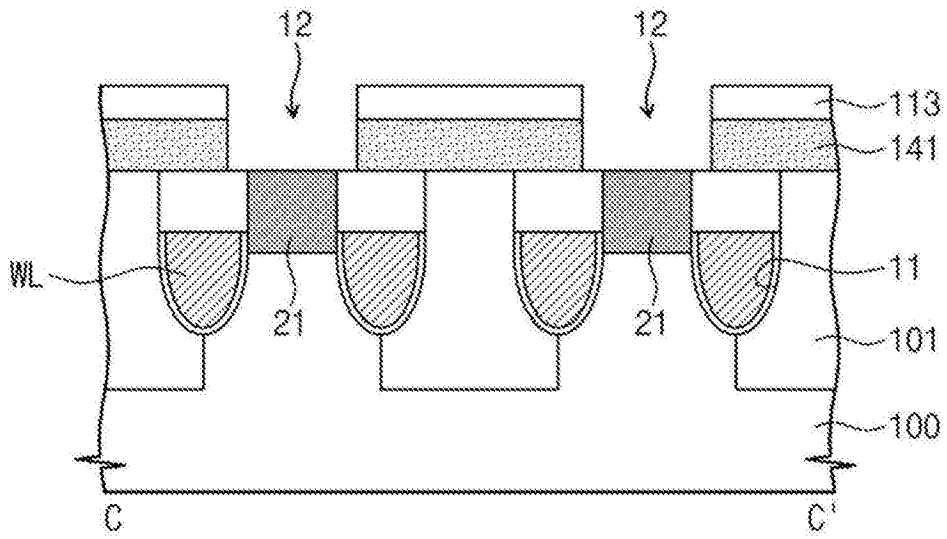


图7B

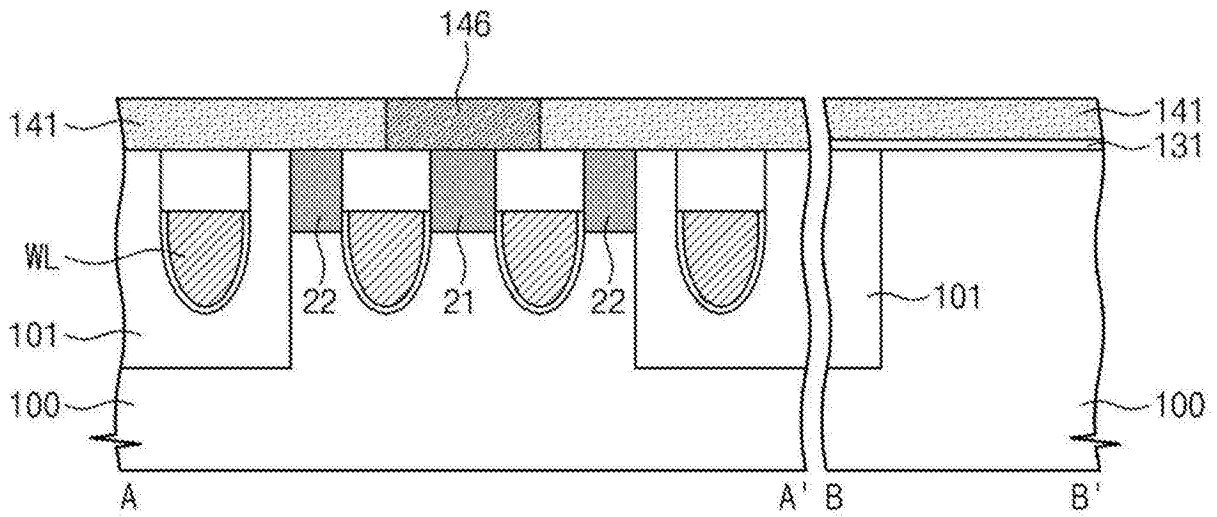


图8A

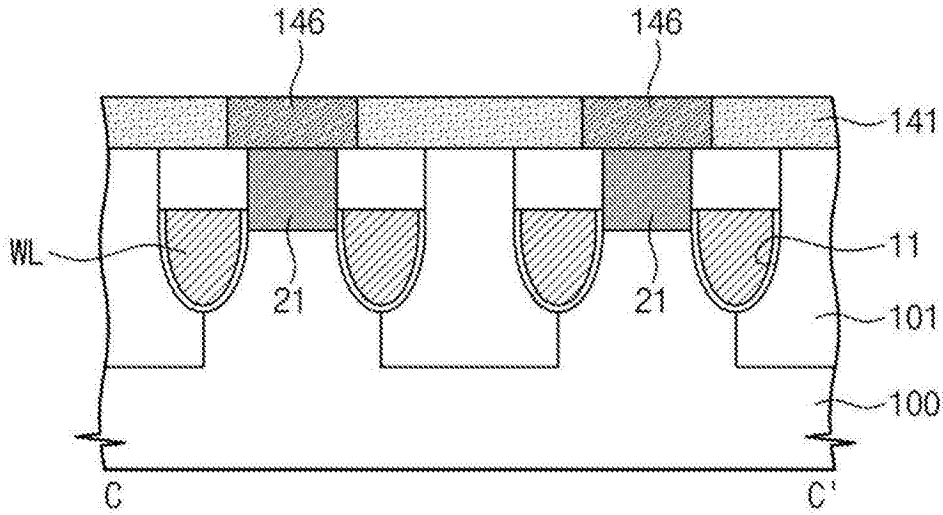


图8B

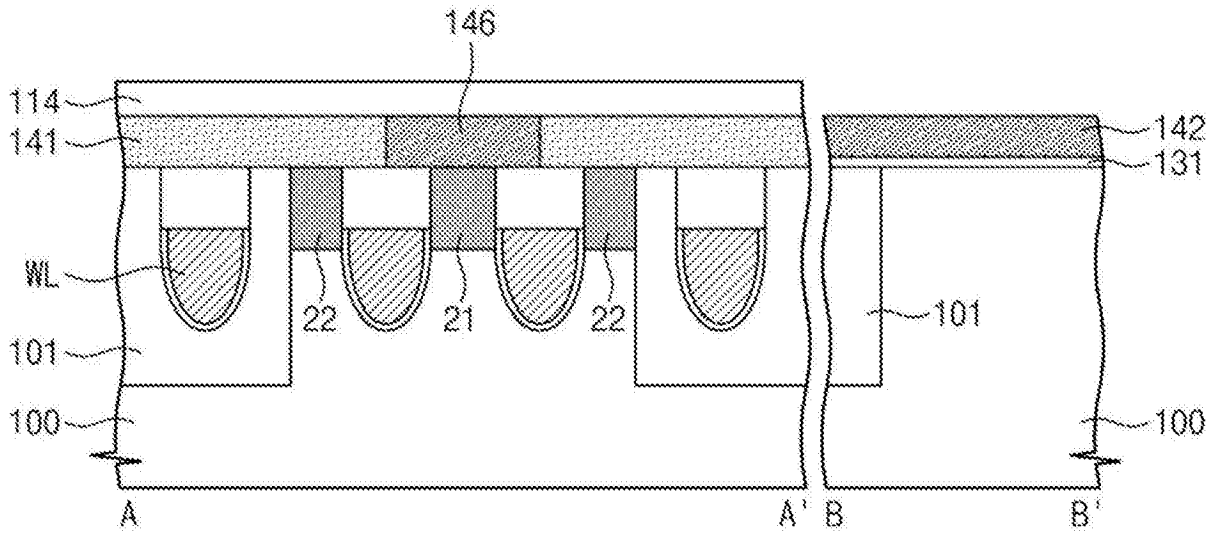


图9A

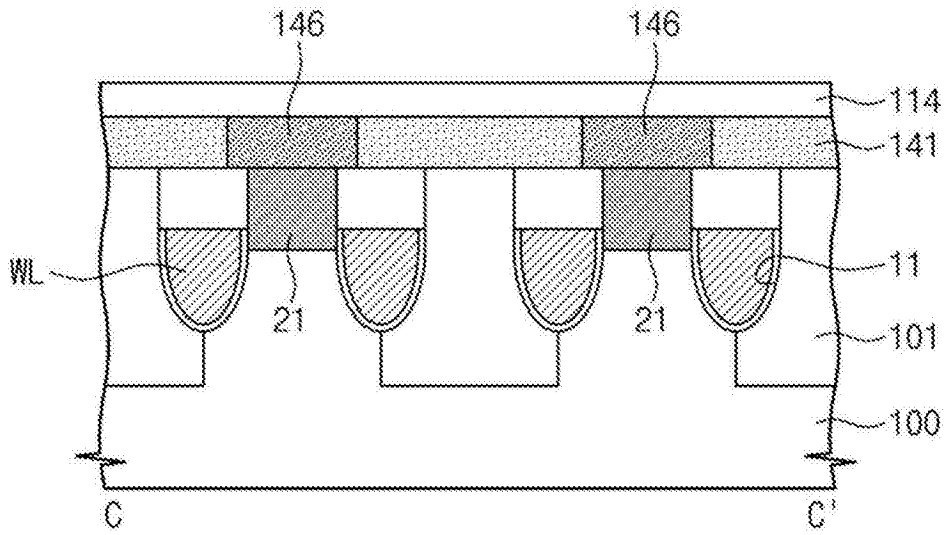


图9B

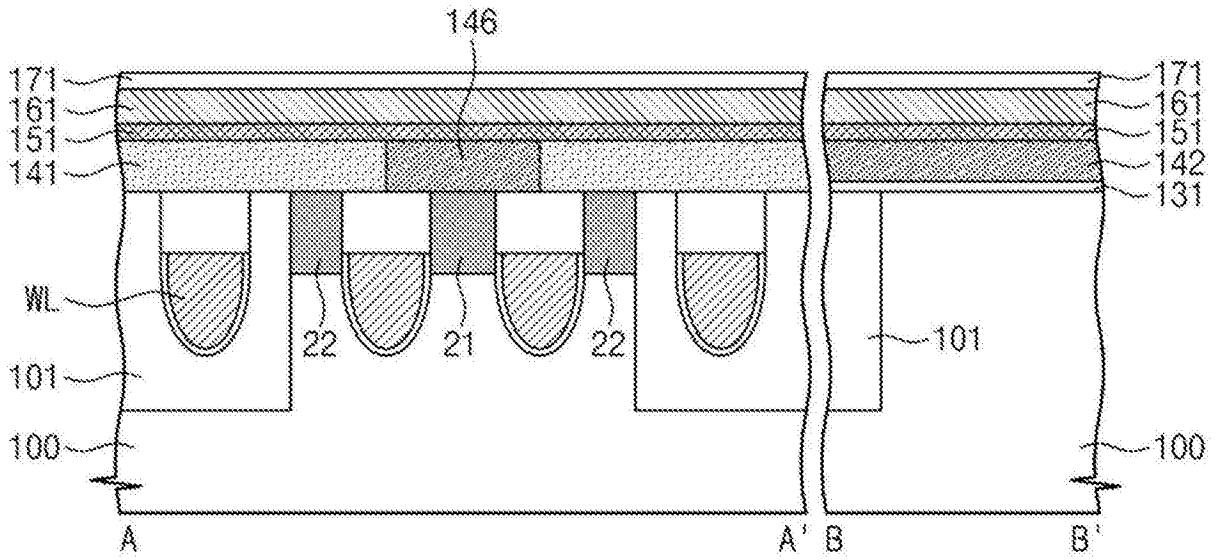


图10A

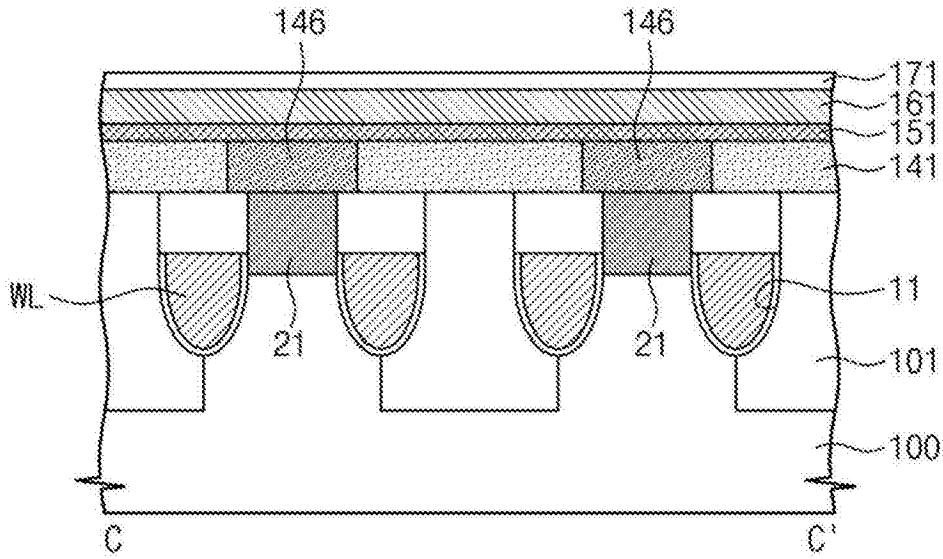


图10B

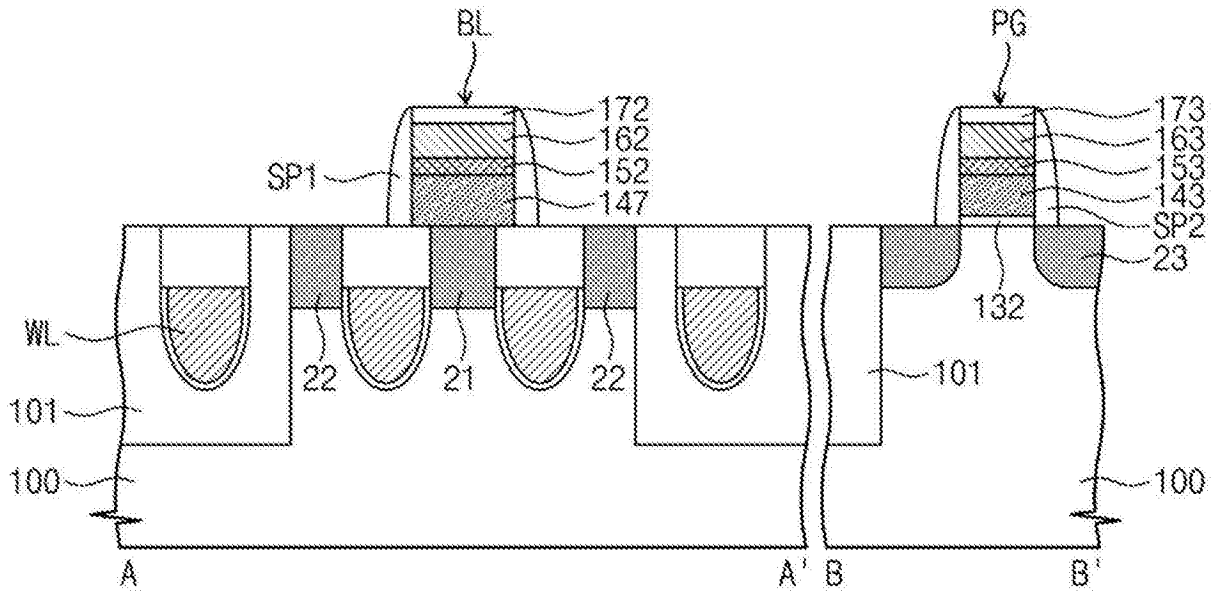


图11A

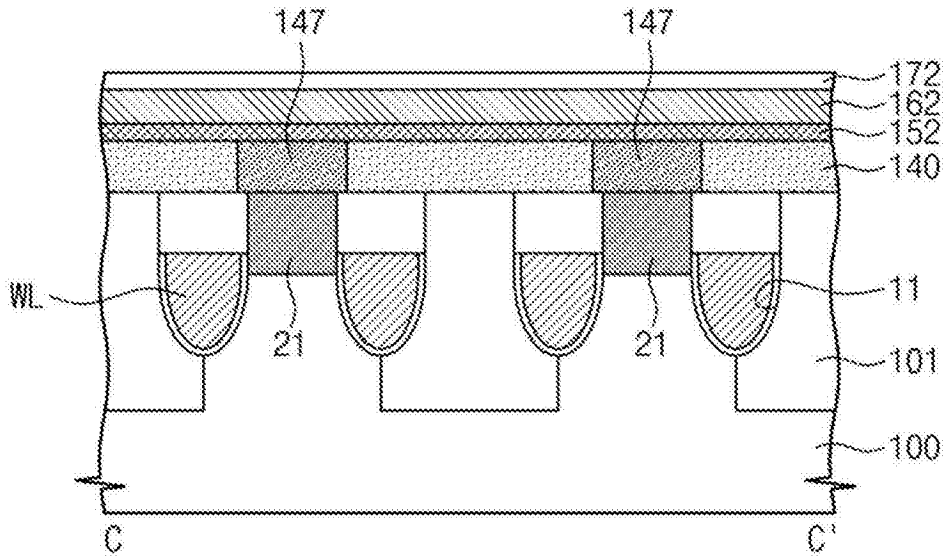


图11B

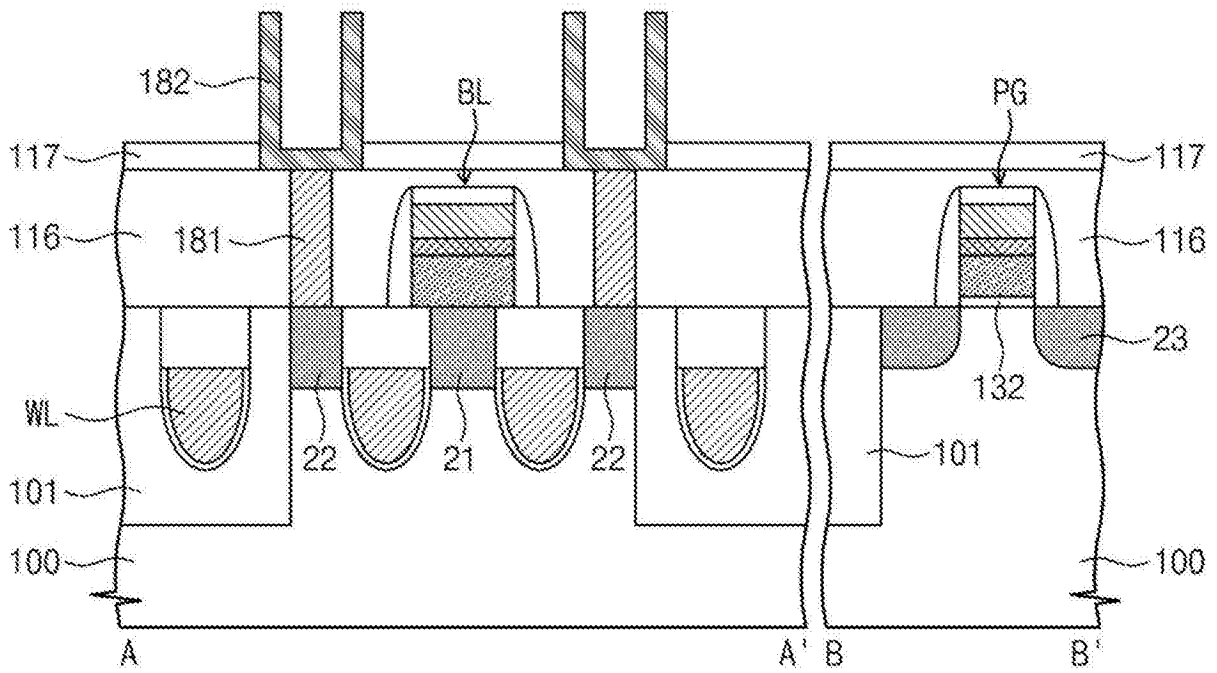


图12A

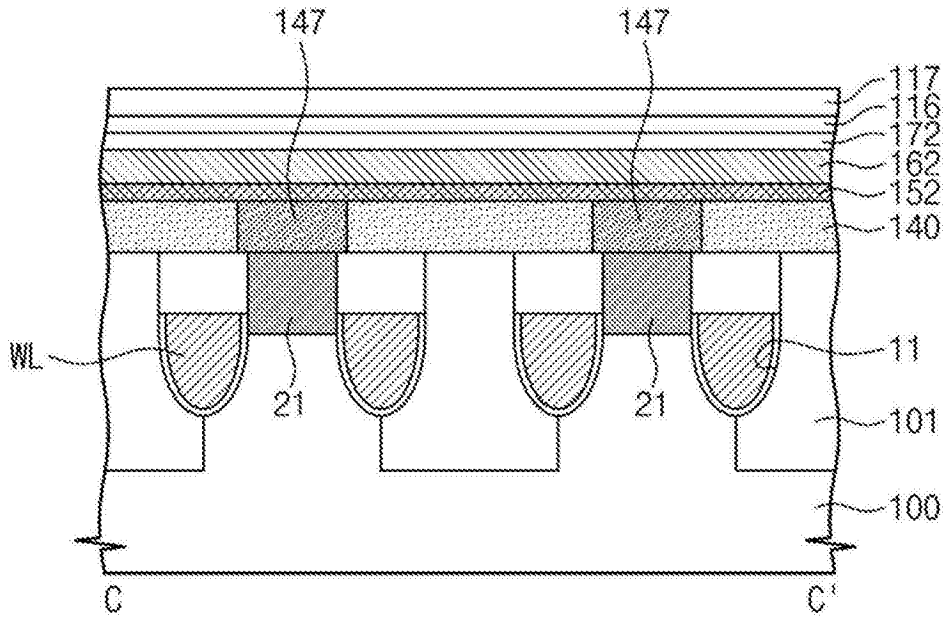


图12B

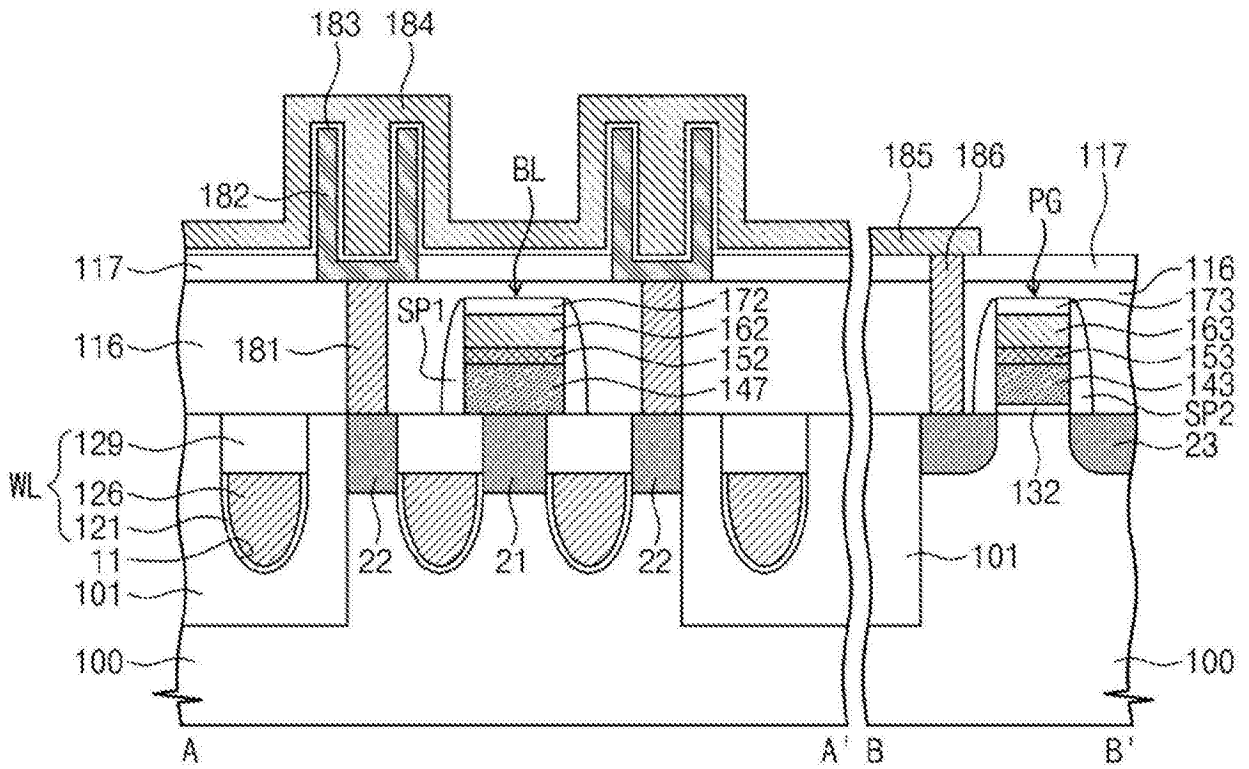


图13A

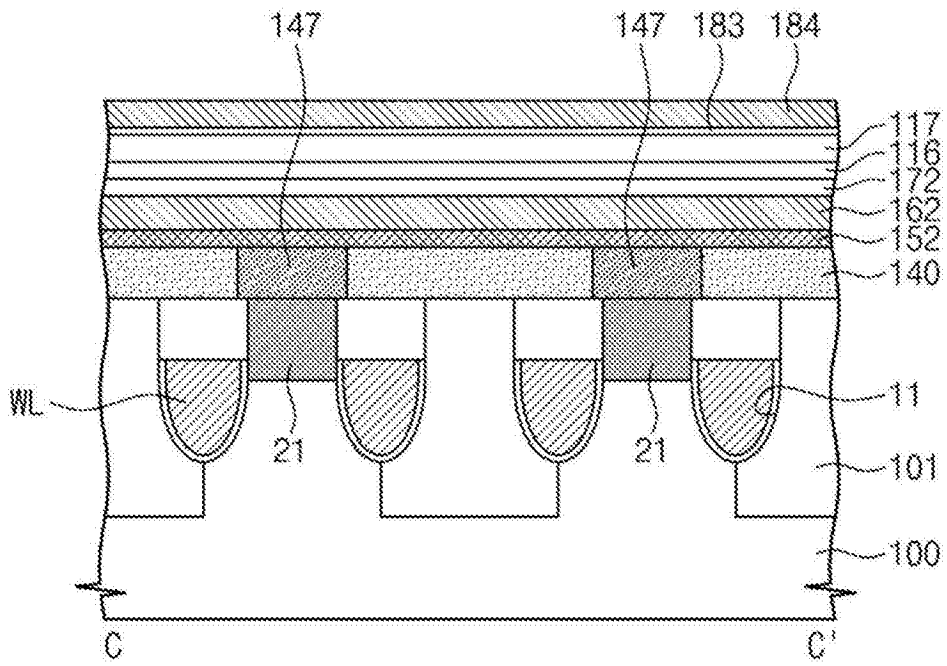


图13B

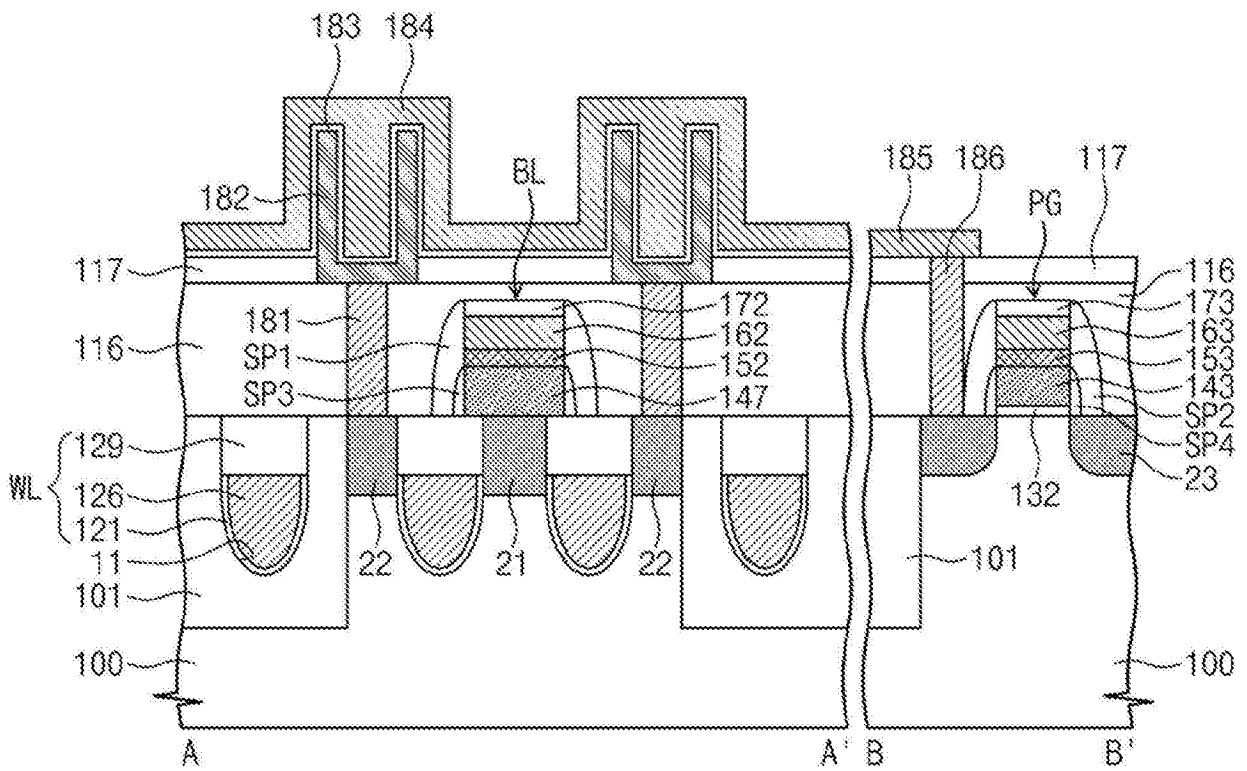


图13C

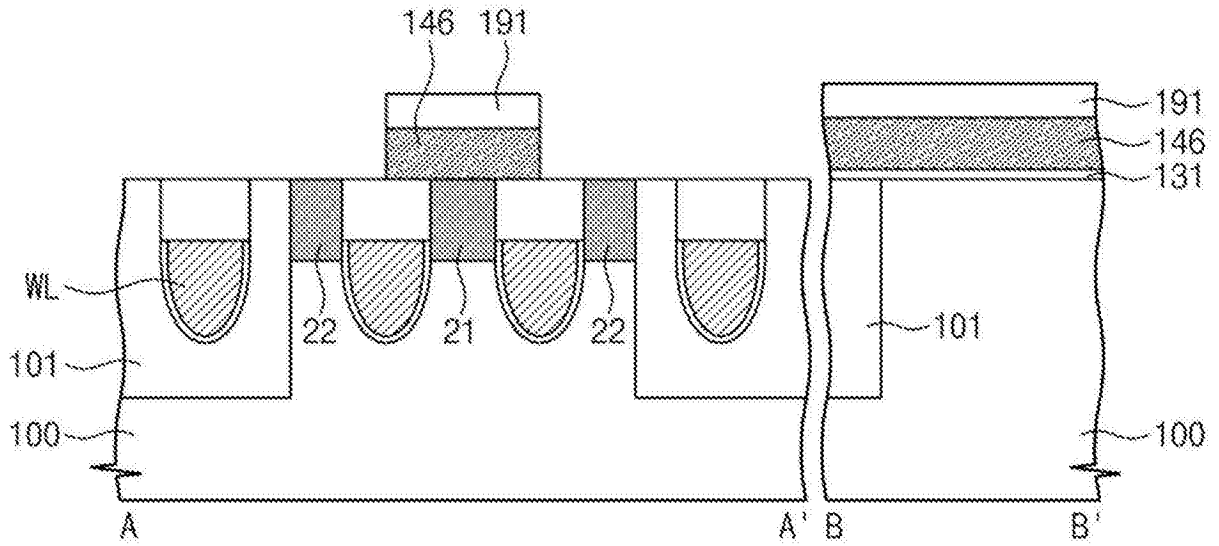


图14A

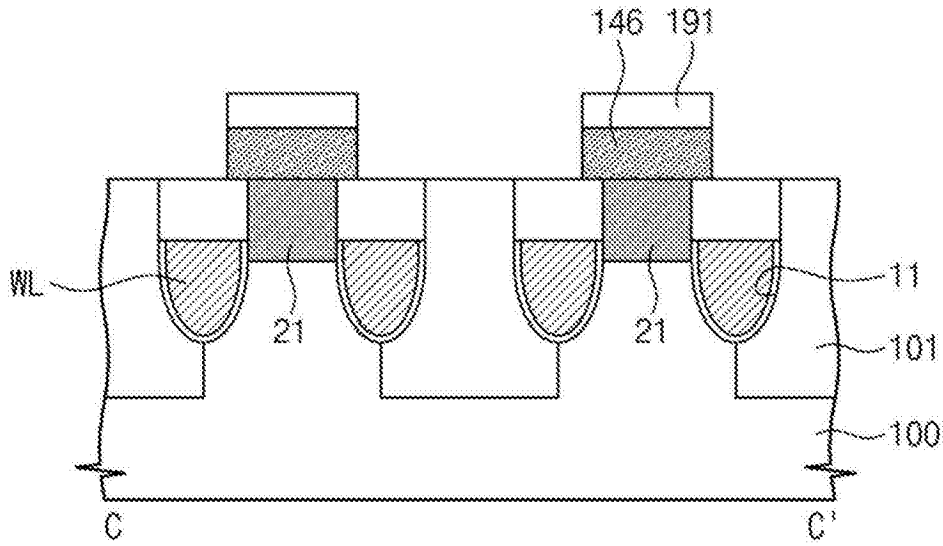


图14B

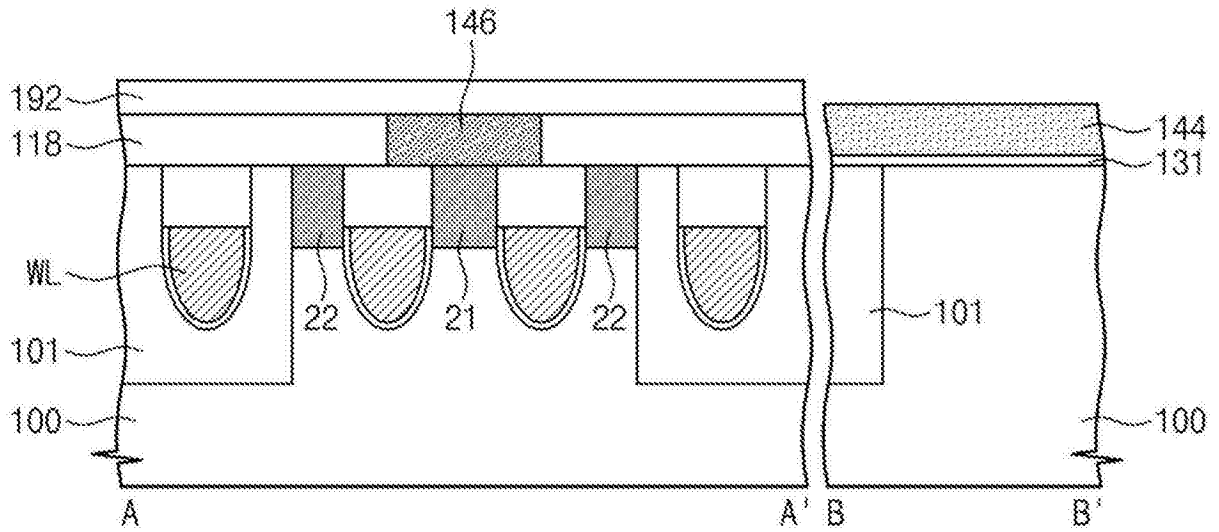


图15A

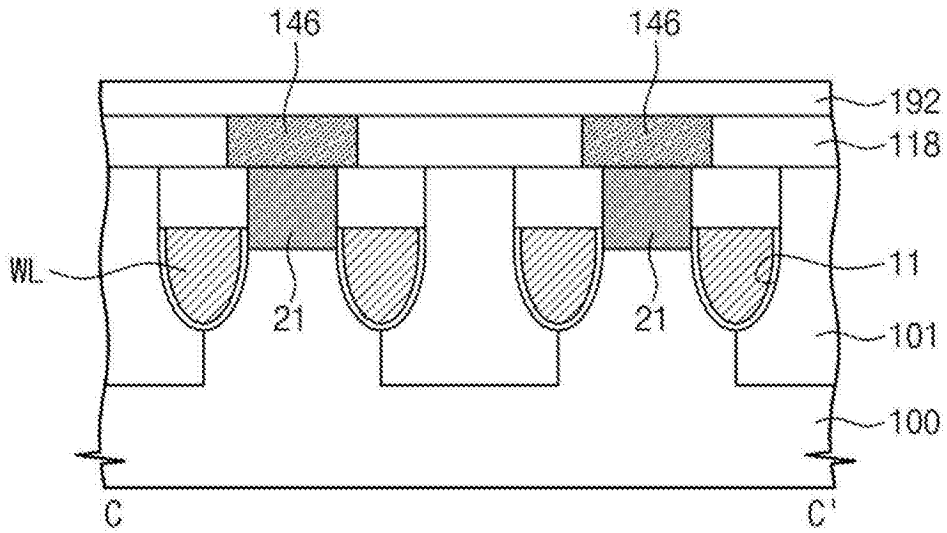


图15B

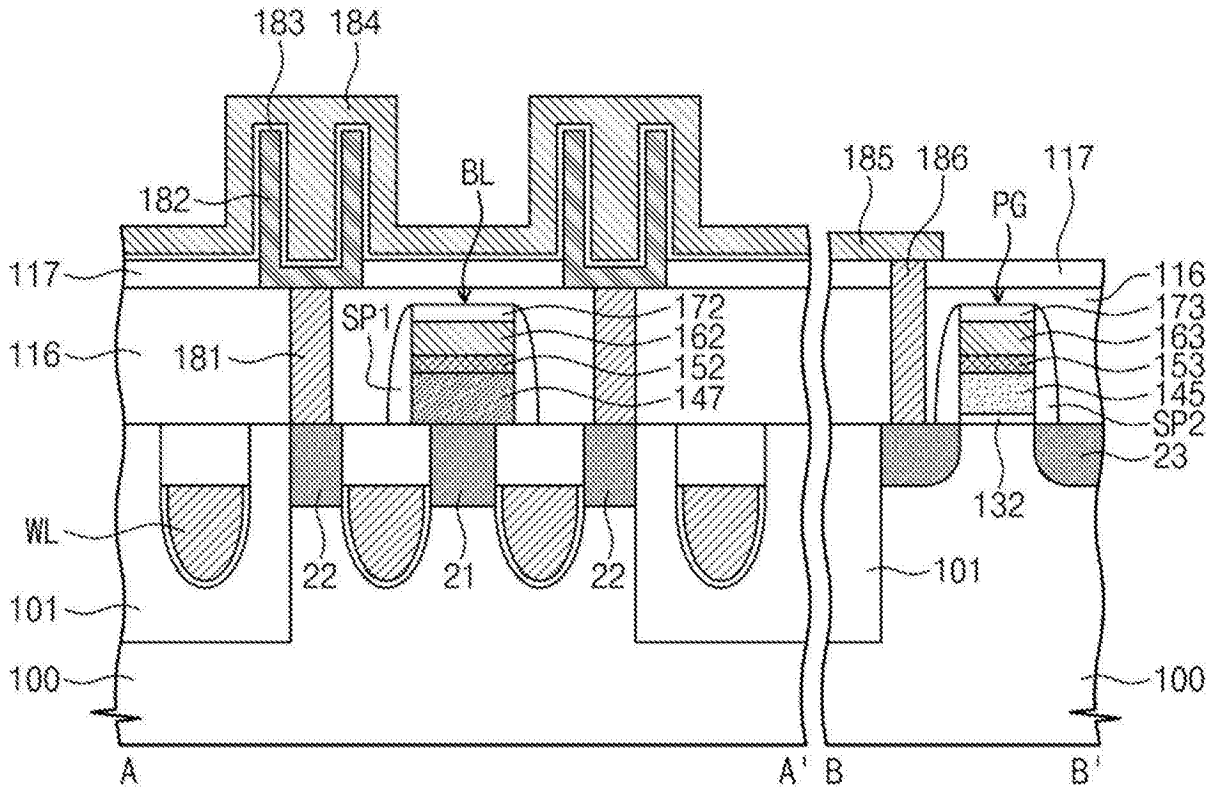


图17A

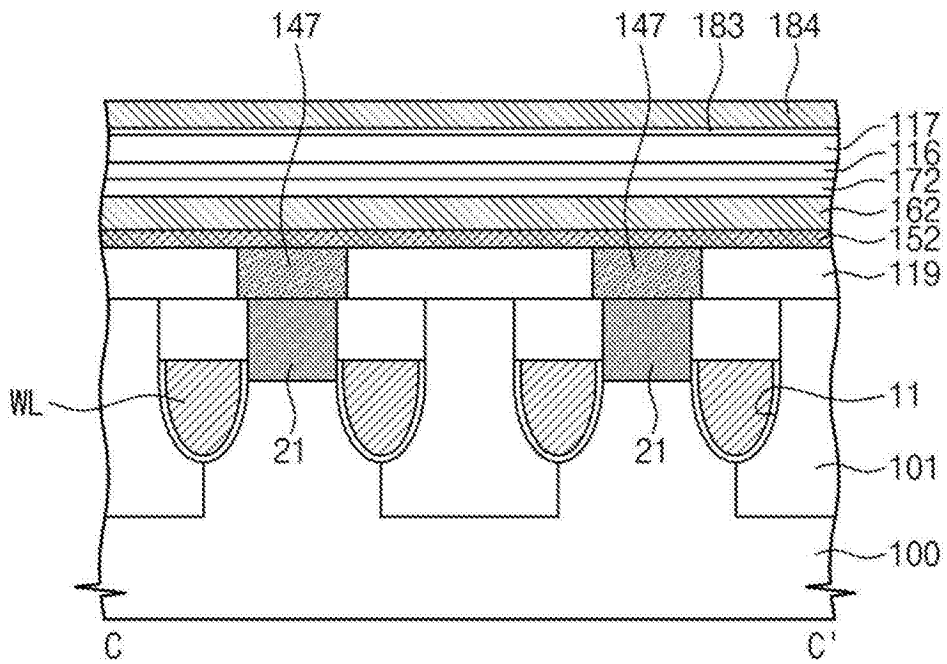


图17B

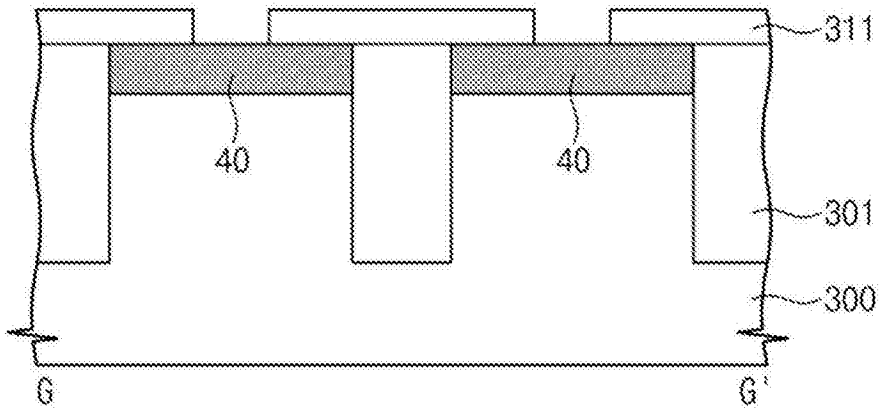


图19A

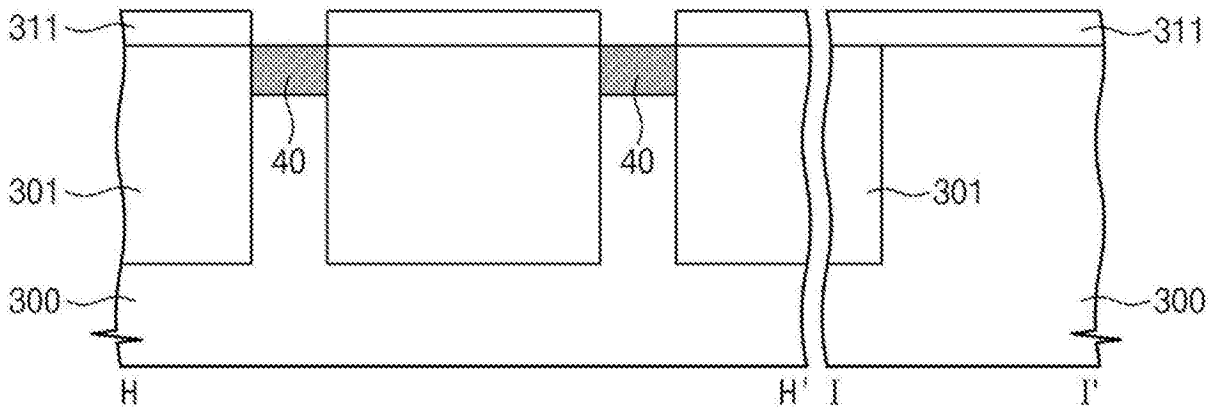


图19B

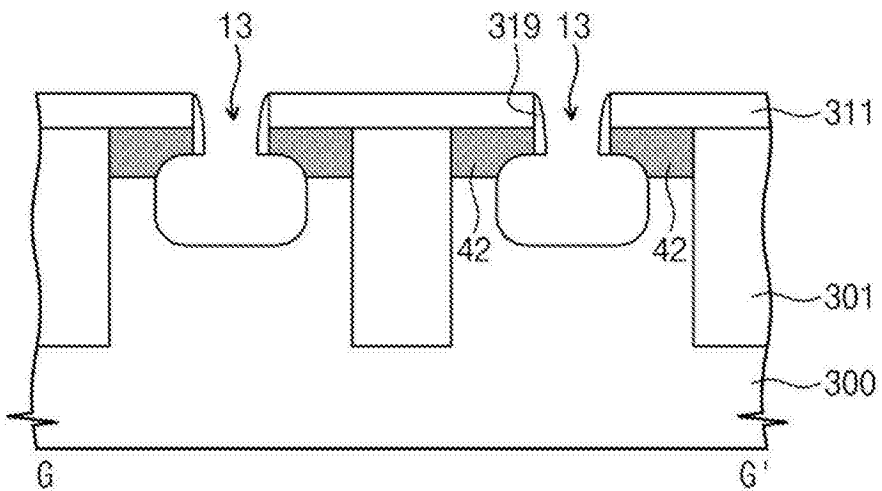


图20A

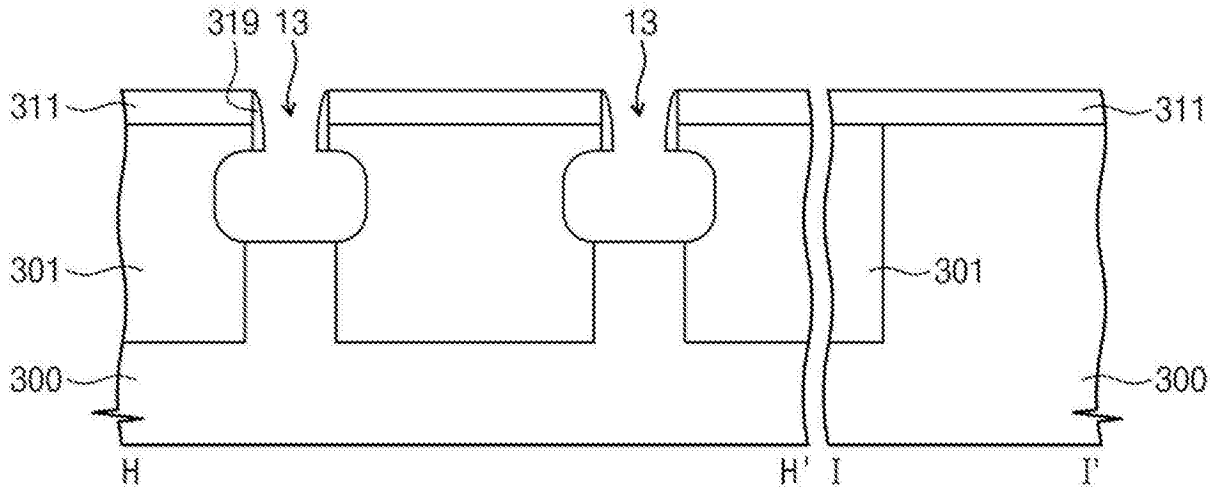


图20B

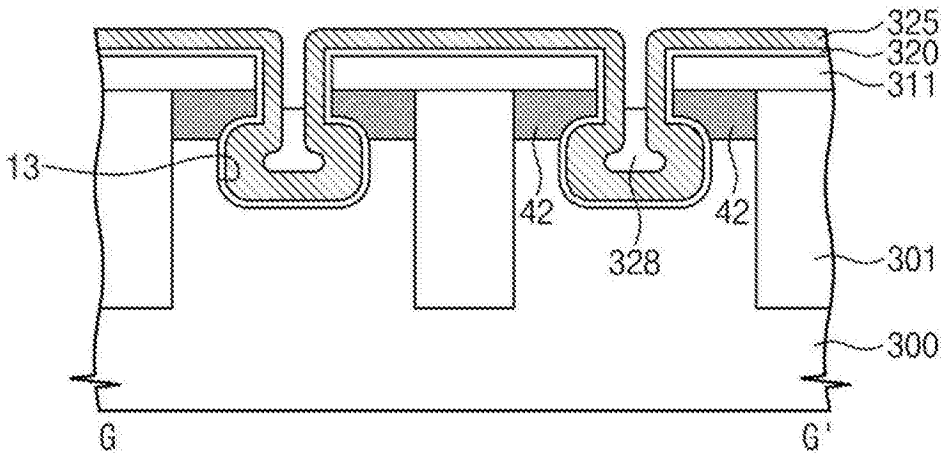


图21A

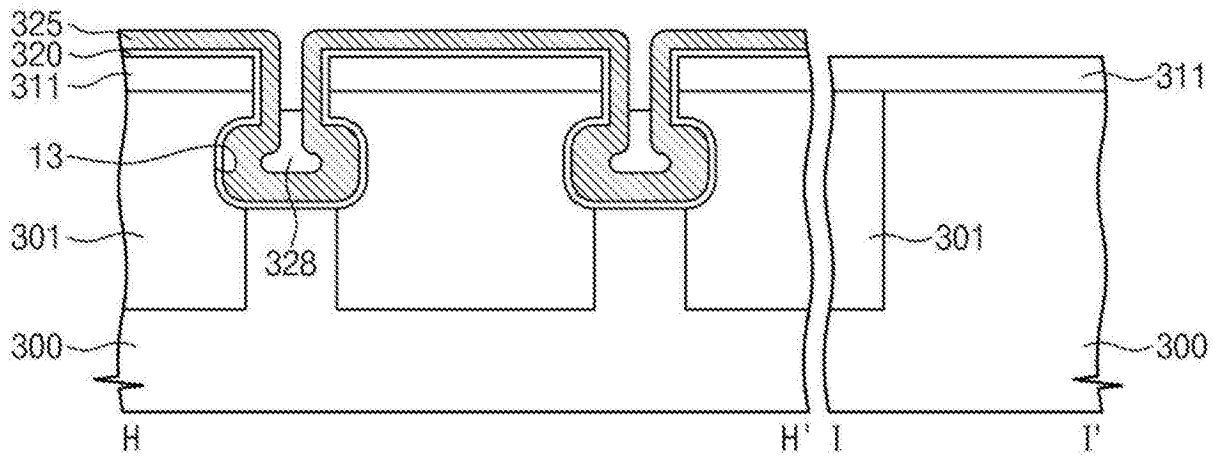


图21B

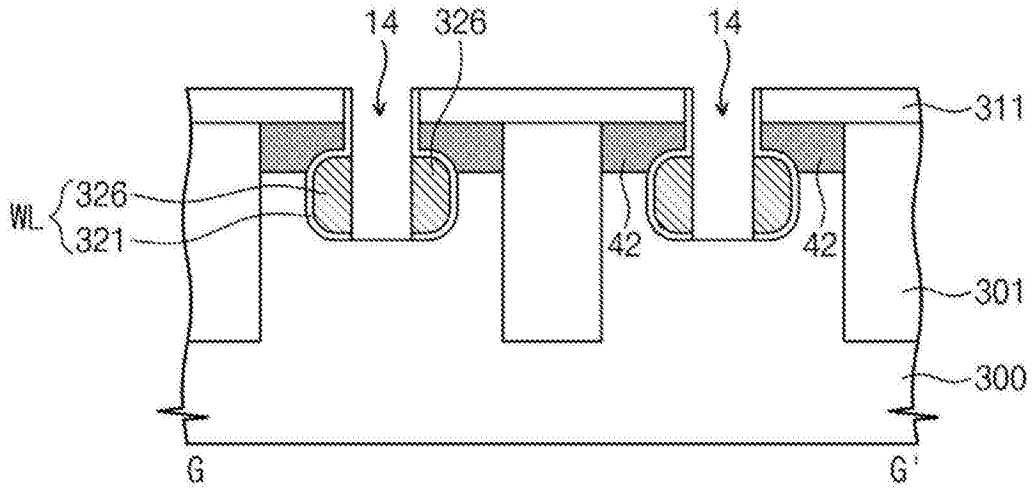


图22A

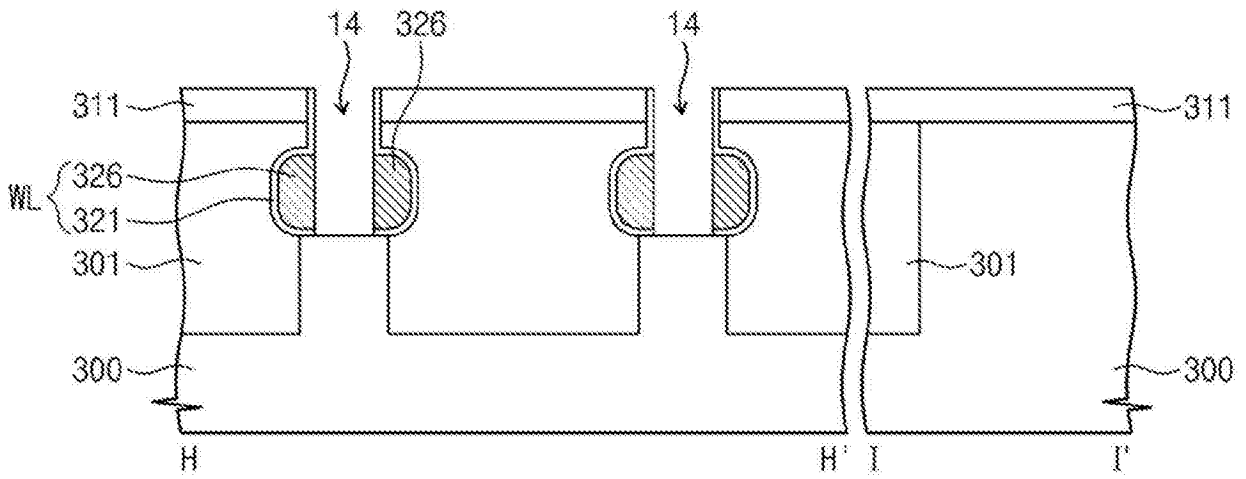


图22B

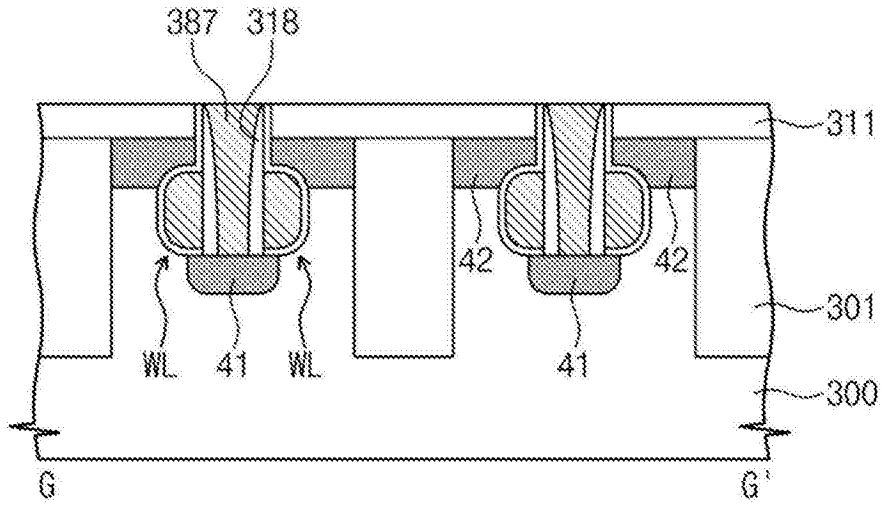


图23A

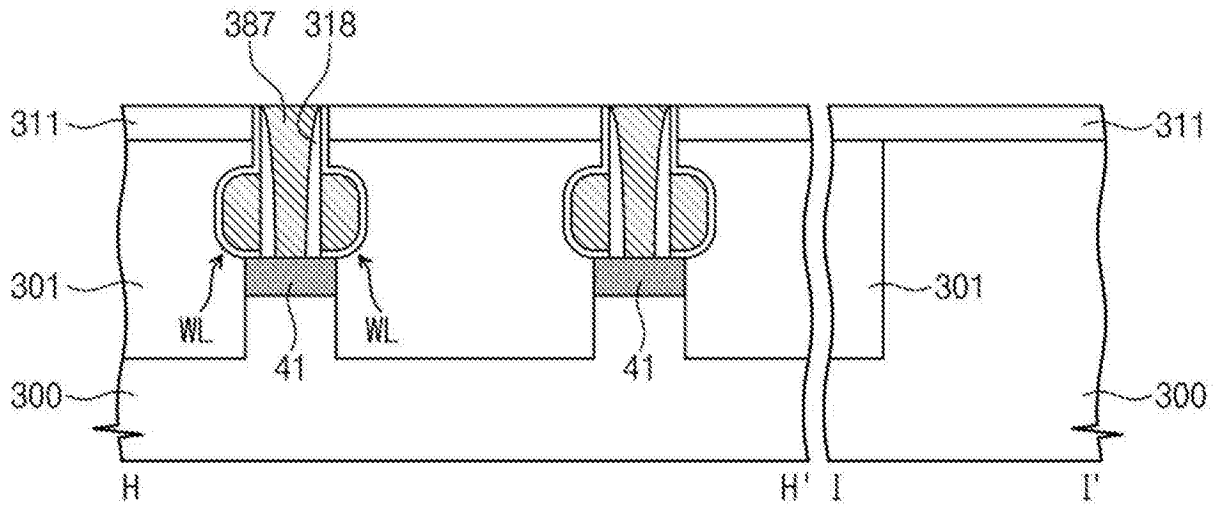


图23B

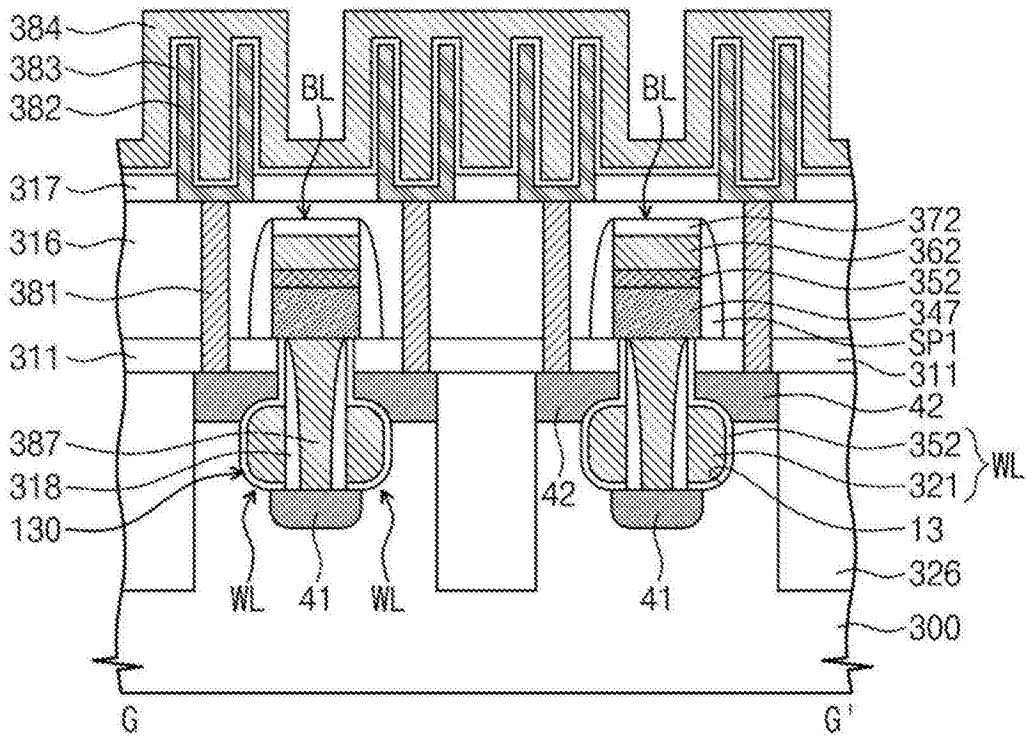


图24A

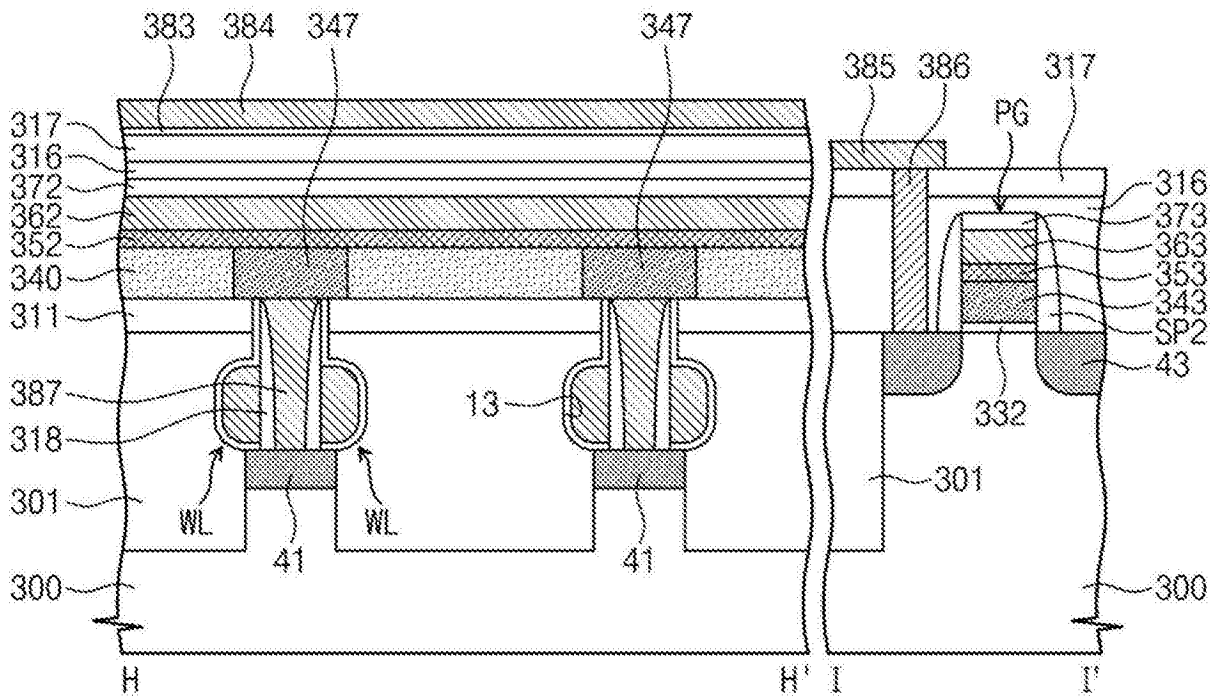


图24B

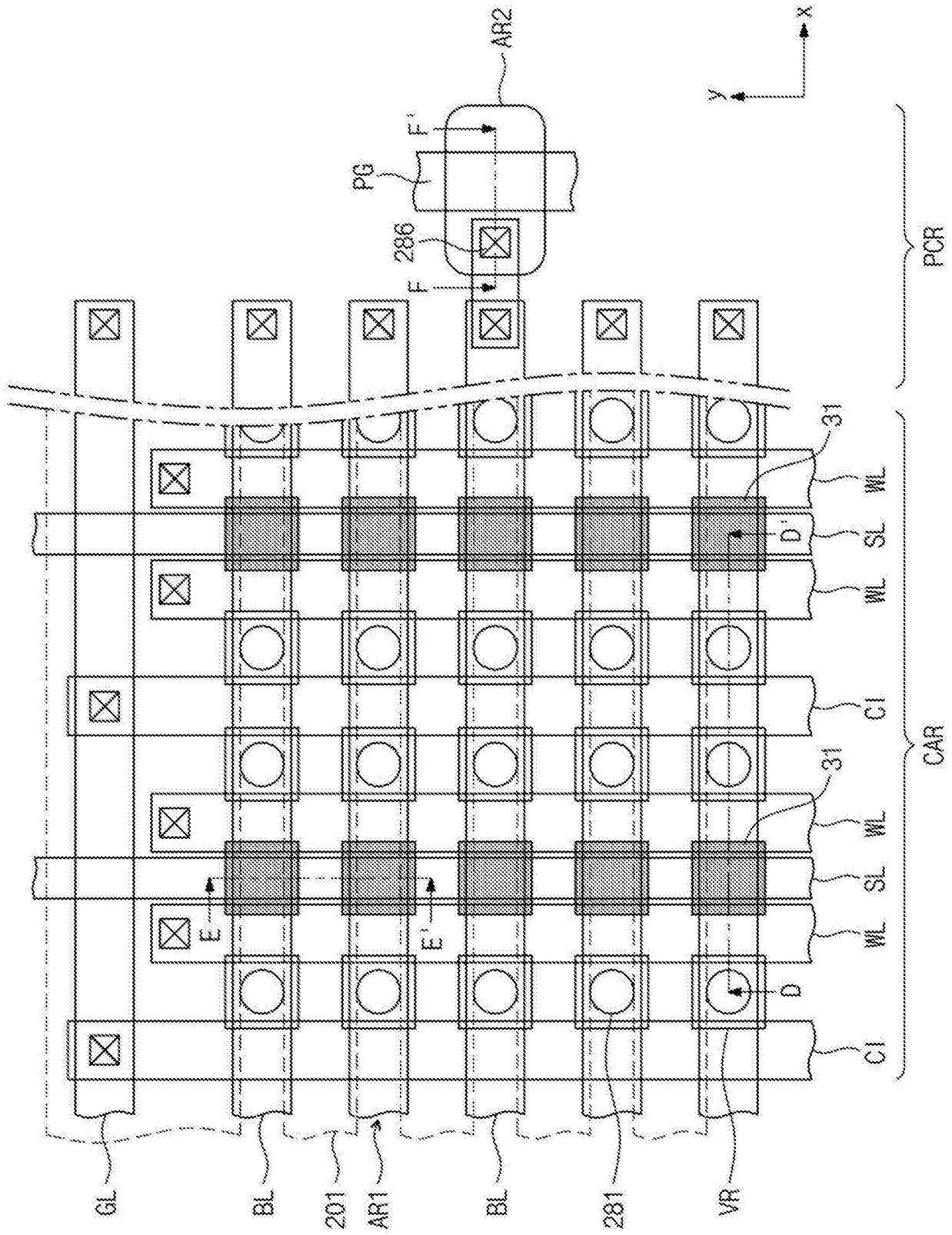


图25

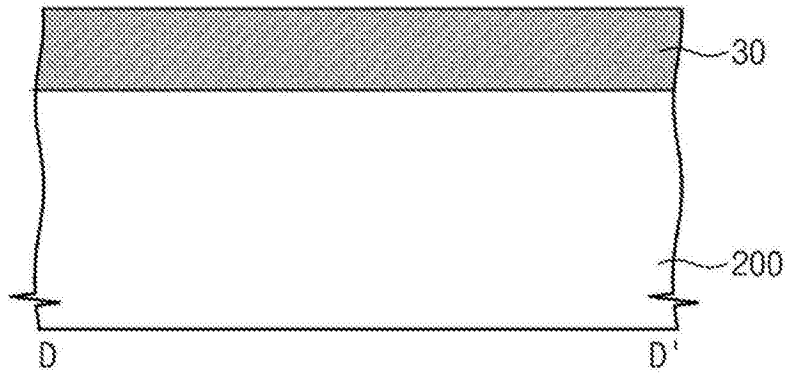


图26A

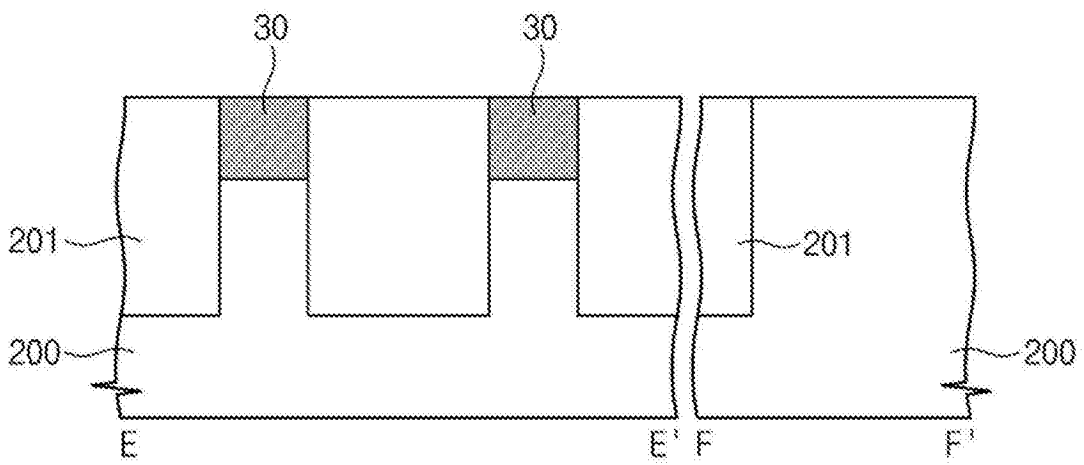


图26B

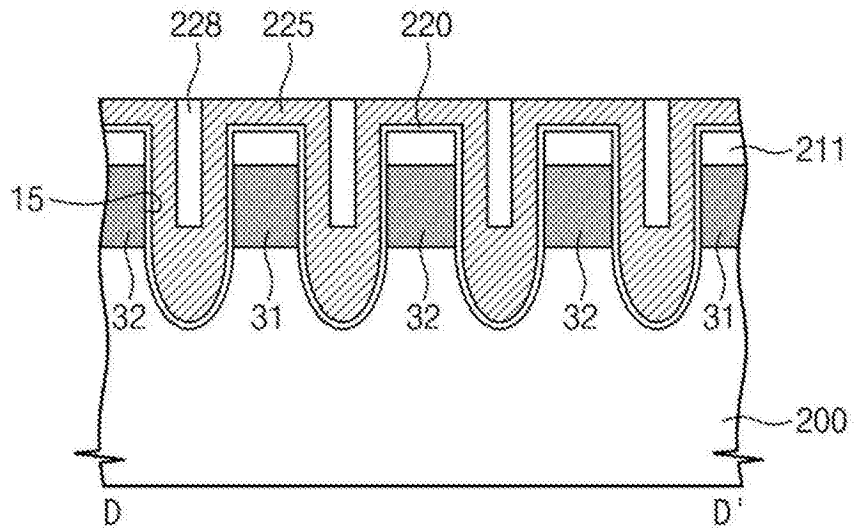


图27A

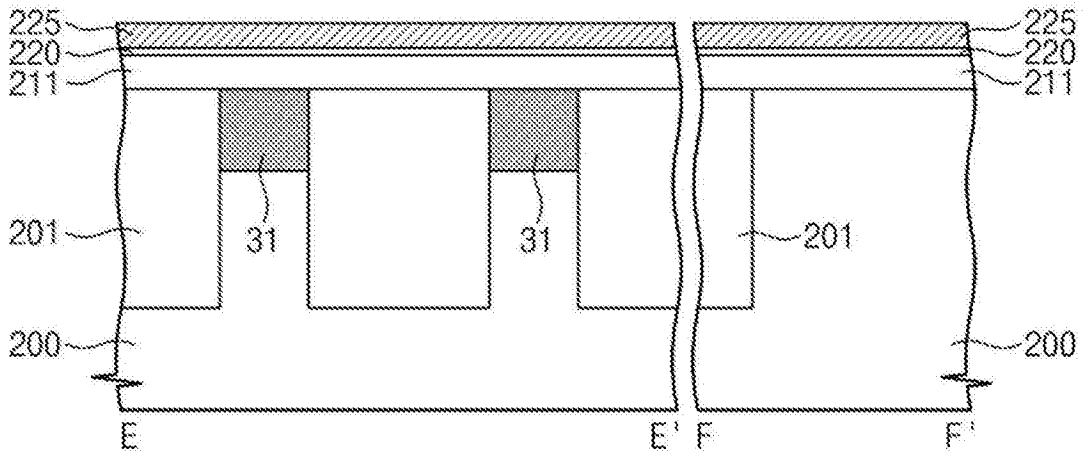


图27B

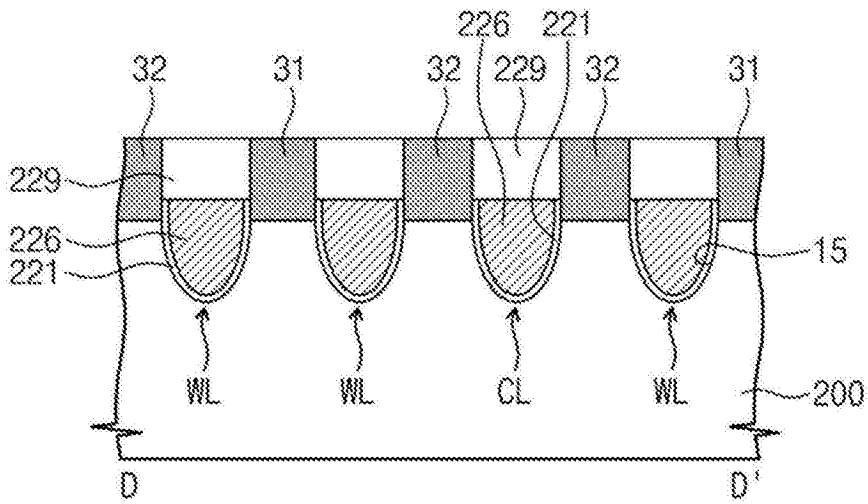


图28A

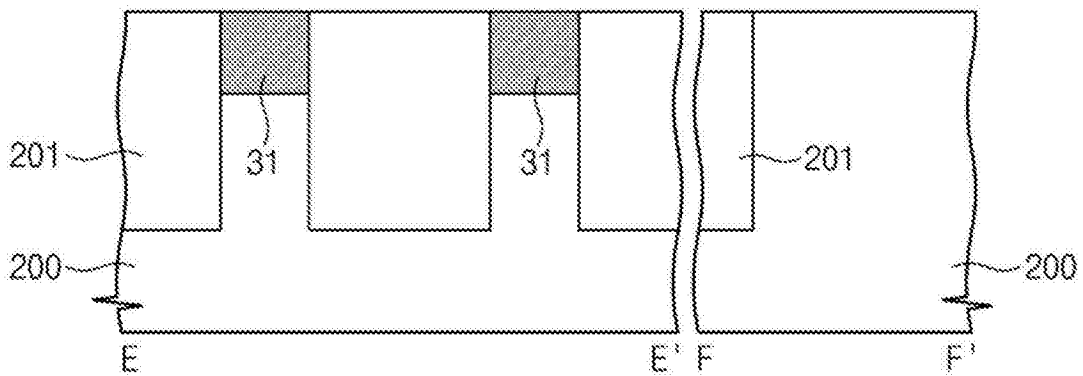


图28B

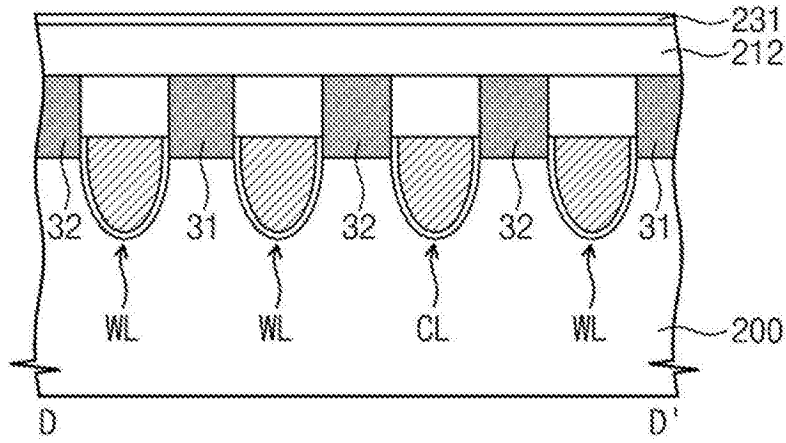


图29A

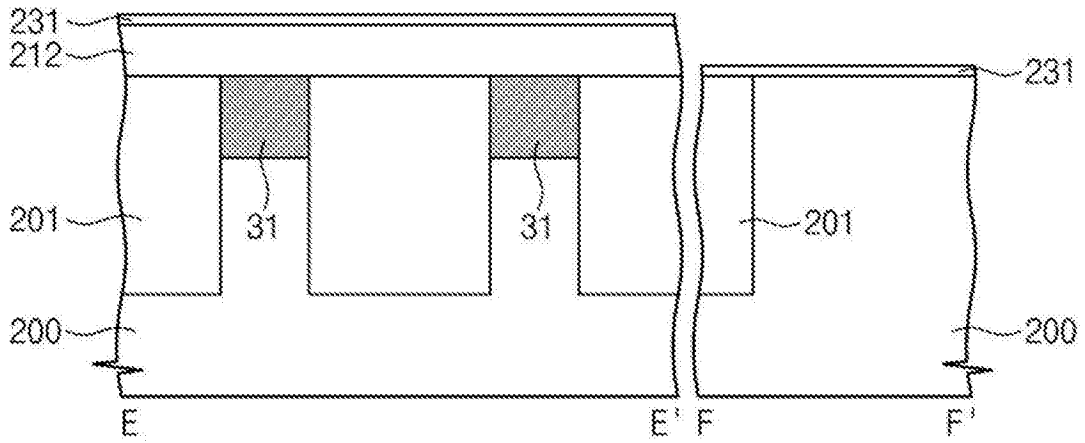


图29B

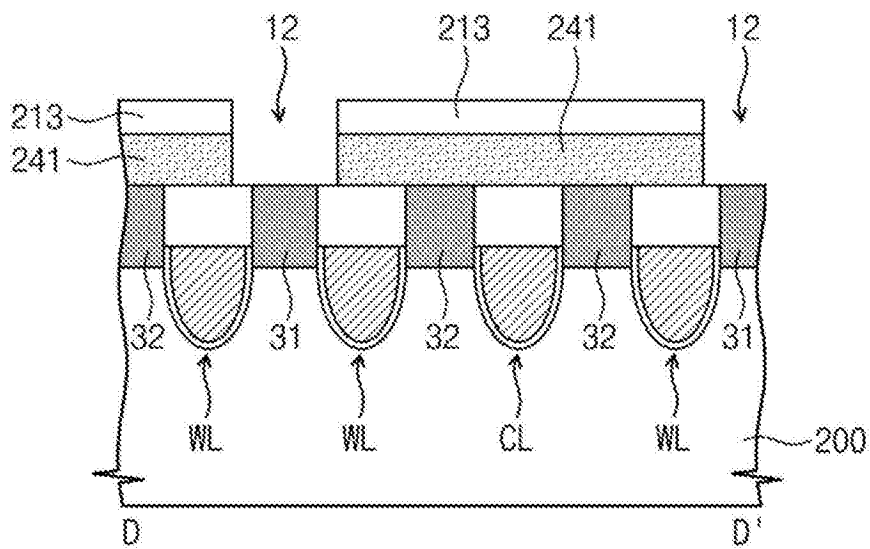


图30A

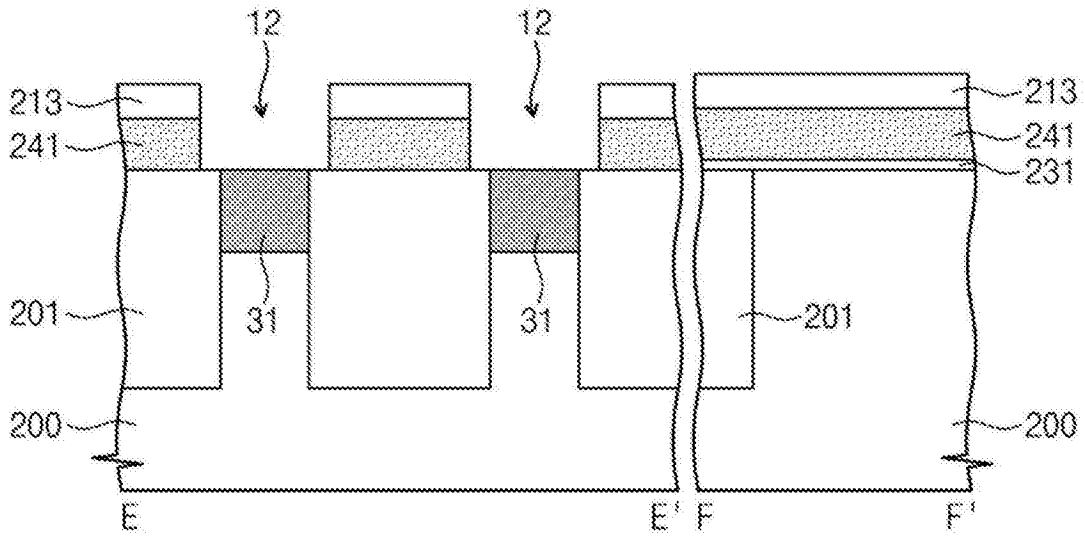


图30B

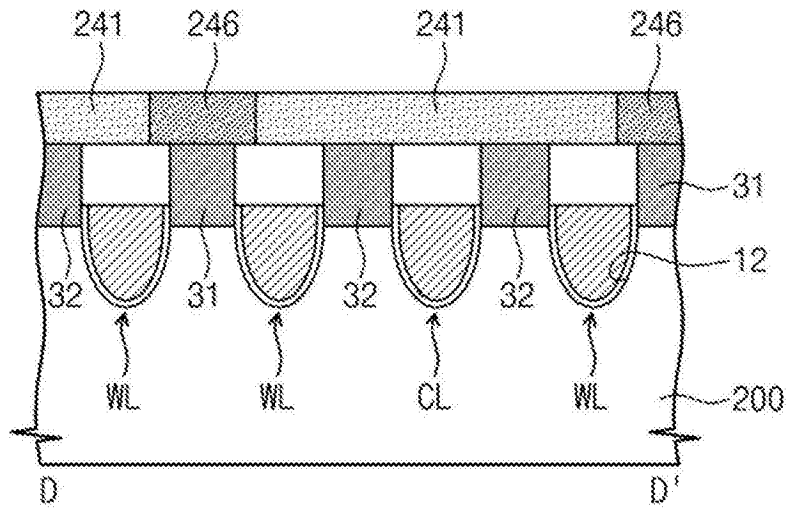


图31A

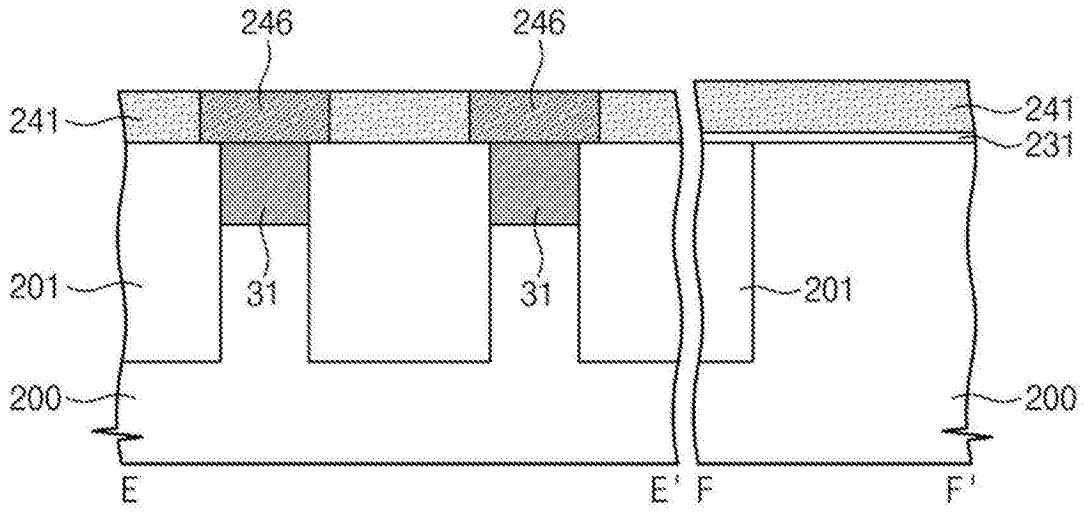


图31B

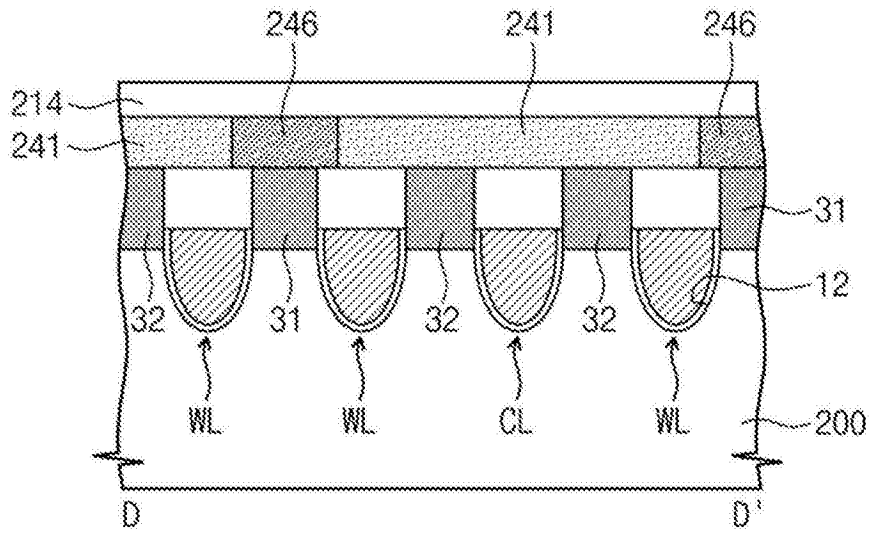


图32A

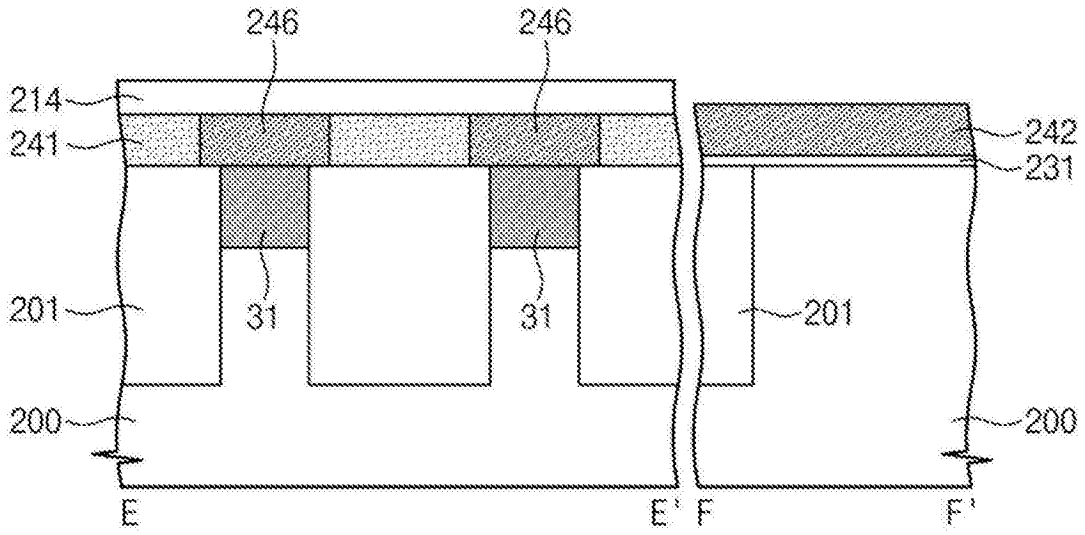


图32B

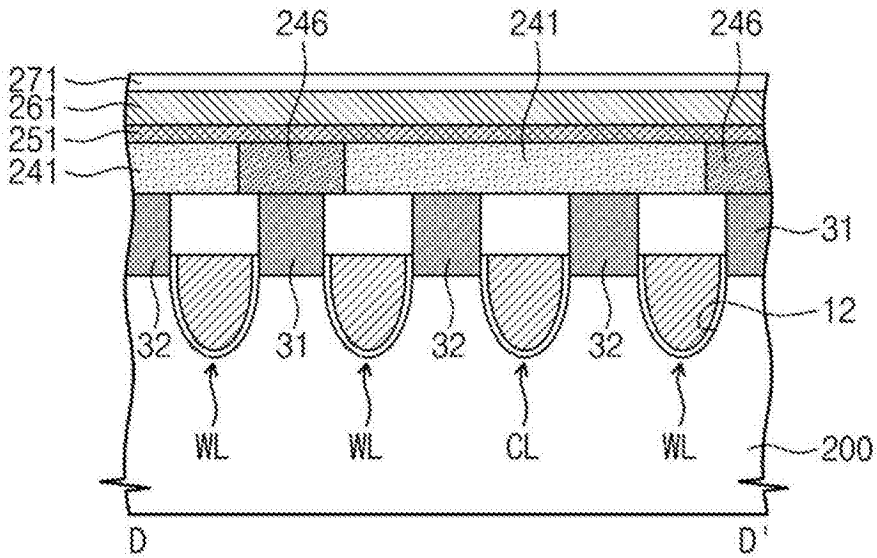


图33A

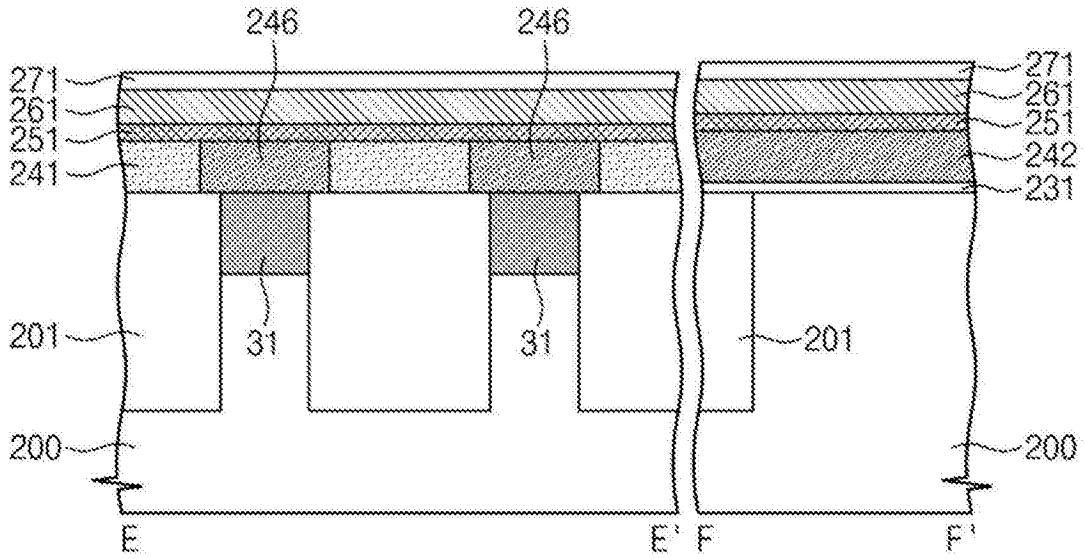


图33B

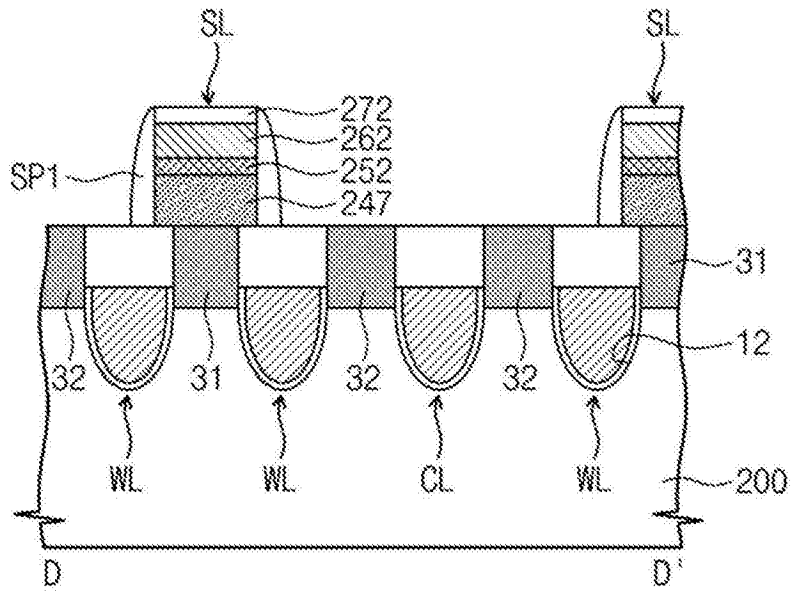


图34A

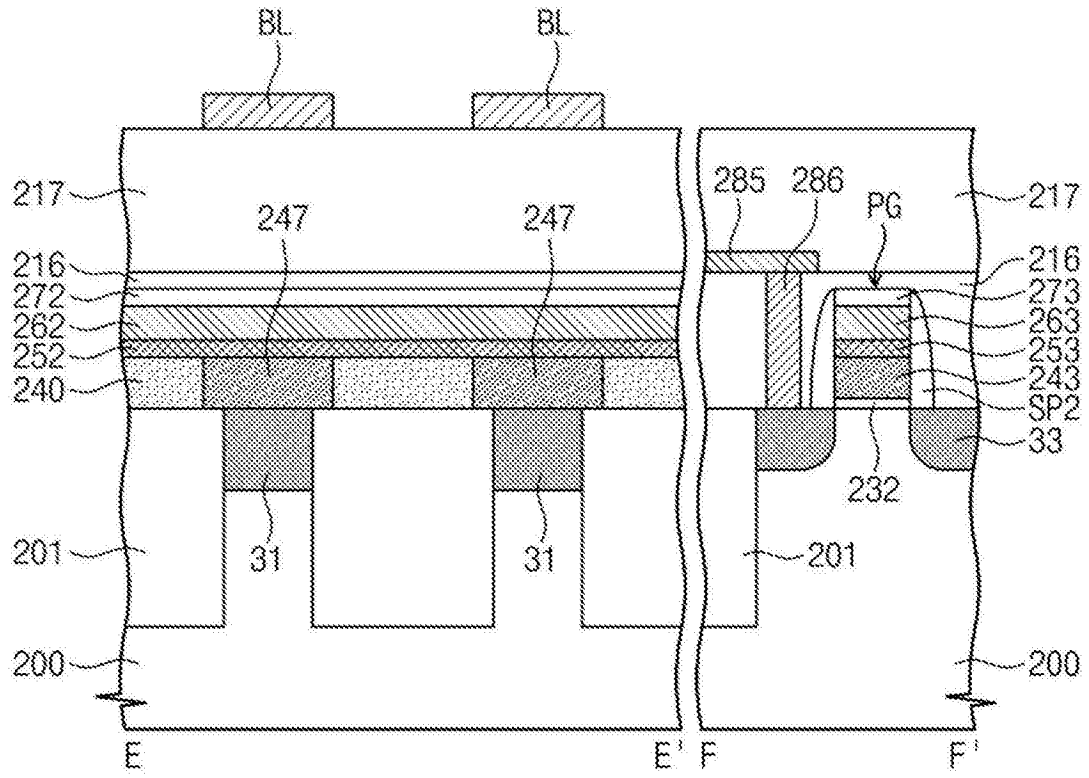


图36B

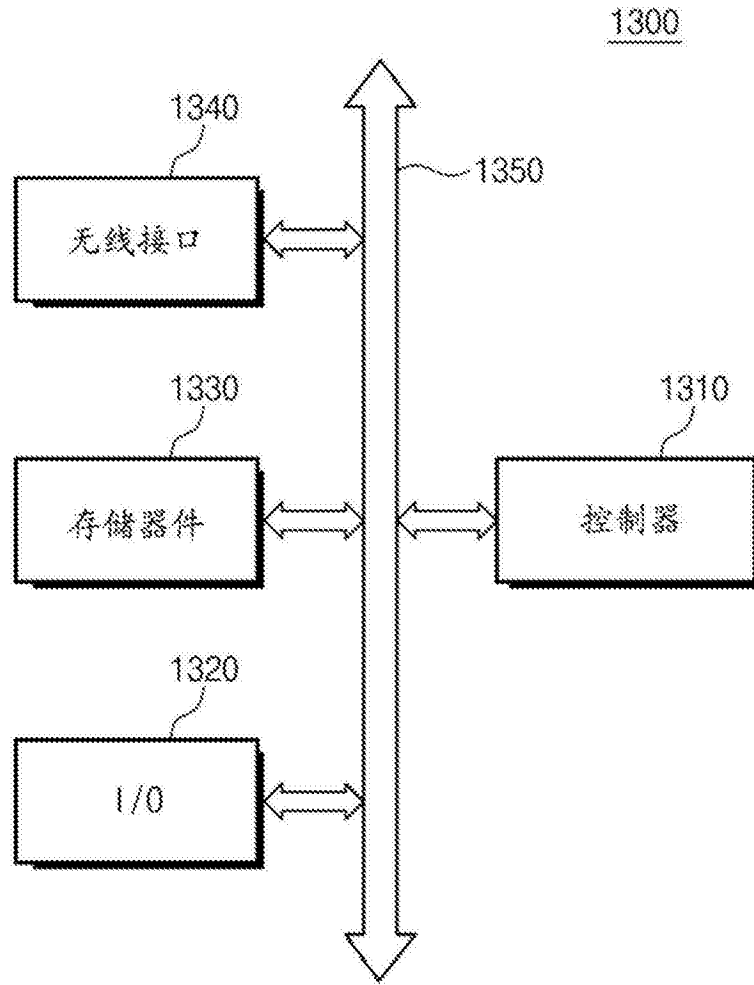


图37

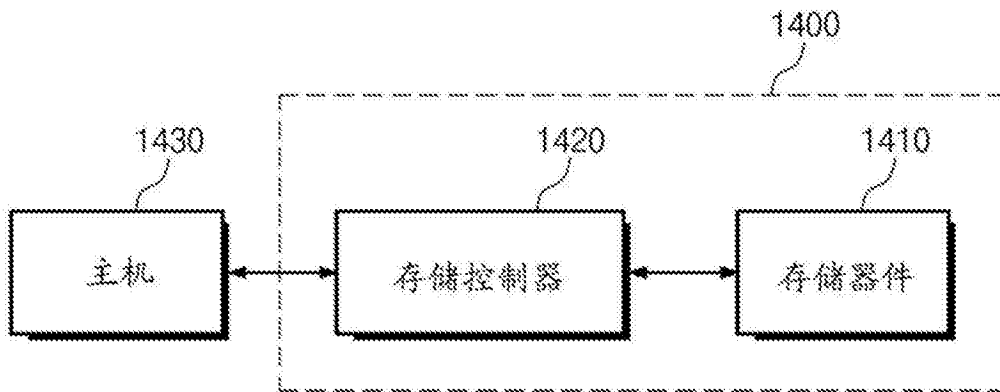


图38