

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5254919号  
(P5254919)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int.Cl. F I  
**GO 1 R 31/28 (2006.01)** GO 1 R 31/28 H

請求項の数 6 (全 9 頁)

(21) 出願番号	特願2009-222000 (P2009-222000)	(73) 特許権者	591069226
(22) 出願日	平成21年9月28日 (2009.9.28)		テラダイン・インコーポレーテッド
(62) 分割の表示	特願2002-530865 (P2002-530865) の分割		TERADYNE INCORPORATED
原出願日	平成13年9月27日 (2001.9.27)		アメリカ合衆国マサチューセッツ州018
(65) 公開番号	特開2010-32531 (P2010-32531A)		64, ノース・リーディング, リバーパーク・ドライブ 600
(43) 公開日	平成22年2月12日 (2010.2.12)	(74) 代理人	100075270
審査請求日	平成21年10月6日 (2009.10.6)		弁理士 小林 泰
(31) 優先権主張番号	09/676,041	(74) 代理人	100080137
(32) 優先日	平成12年9月28日 (2000.9.28)		弁理士 千葉 昭男
(33) 優先権主張国	米国 (US)	(74) 代理人	100096013
			弁理士 富田 博行

最終頁に続く

(54) 【発明の名称】 高性能テスターインタフェースモジュール

(57) 【特許請求の範囲】

【請求項1】

複数のテスター電子機器チャンネルをデバイスインタフェースボード(82)に取外し可能に連結するための、少なくとも1つのハーネスアッセンブリ(50)とコンプライアンスのある相互接続部(80)とを備えているモジュラーテスターインタフェースアッセンブリにおいて、

前記少なくとも1つのハーネスアッセンブリ(50)は、複数の同軸ケーブル(52)とコネクタハウジング(60)を備えており、

前記複数の同軸ケーブル(52)は、それぞれ、

中心導体(54)と、

前記中心導体(54)の周りに同軸で形成され誘電体の層(58)によって前記中心導体(54)から分離されているシールド(56、57)とを有しているボデー(54、56、57、58)と、

前記ケーブル(52)の前記コンプライアンスのある相互接続部(80)側の先端部に配置されているそれぞれの成形導体パッド(72-74)と、を備えており、

前記コネクタハウジング(60)には、前記ケーブル(52)の先端部がインタフェース係合面を形成するように、前記ケーブルの先端部を収容して互いに近接した関係で固定するための内側空洞が設けられており、

前記コンプライアンスのある相互接続部(80)は、前記ハーネスアッセンブリ(50)と前記デバイスインタフェースボード(82)の間に配置されており、前記コンプライア

10

20

ンスのある相互接続部(80)は、複数の導体(84a、84b、84c)を含んでおり、前記ケーブルの先端部を圧縮係合で係合されるように形成されている、テスターインタフェースアセンブリ。

【請求項2】

前記デバイスインタフェースボード(82)は、ロードボードを含んでいる、請求項1に記載のテスターインタフェースアセンブリ。

【請求項3】

前記デバイスインタフェースボード(82)は、プローブカードを含んでいる、請求項1に記載のテスターインタフェースアセンブリ。

【請求項4】

前記少なくとも1つのハーネスアセンブリ(50)は、複数のハーネスアセンブリ(50)を含んでいる、請求項1に記載のテスターインタフェースアセンブリ。

【請求項5】

複数の半導体テスターピン電子機器回路を、デバイスインタフェースボード(82)上に配置されているコンプライアンスのある相互接続部(80)の列にインタフェースするためのハーネスアセンブリ(50)において、

複数の同軸ケーブル(52)であって、前記同軸ケーブル(52)は、それぞれ、中心導体(54)と、

前記中心導体(54)の周りに同軸に形成され誘電体の層(58)によって前記中心導体(54)から分離されているシールド(56、57)とを有しているボデー(54、56、57、58)と、

前記ケーブル(52)の前記コンプライアンスのある相互接続部(80)側の先端部に配置されているそれぞれの成形導体パッド(72-74)と、を備えている、複数の同軸ケーブル(52)と、

前記ケーブルの先端部がインタフェース係合面を形成するように、前記各ケーブルの先端部を収容して互いに近接した関係で固定するための内側空洞が設けられているハウジング(60)と、を備えているハーネスアセンブリ。

【請求項6】

前記複数の同軸ケーブル(52)の先端部は、それぞれ、薄い環状の静電放電ポリマーの層(70)で形成されており、前記中心導体(54)と前記シールド(56、57)との間に充填している、請求項5に記載のハーネスアセンブリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概括的には半導体デバイスを試験するための自動テスト装置に、厳密には、半導体テスターをハンドリング装置と電気的に連結するためのテスターインタフェースモジュールに関する。

【背景技術】

【0002】

一般的に半導体テスターと呼ばれている自動テスト装置は、半導体デバイスの製造に重要な役割を担っている。この装置を使って、ウェーハの段階と実装されたデバイスの段階の両方で、各デバイスの機能テストを行うことができる。デバイスのオペラビリティと性能を大量生産規模で確認することによって、デバイスの製造元は高品質の製品を高値で売ることができる。

【0003】

ある従来型の自動テストシステムは、コンピューター駆動のテスト制御器と、高負荷多重ケーブルで制御器と電気的に接続されているテストヘッドを備えている。マニプレーターは、テストヘッドを機械的に運ぶ。テストヘッドは、一般的に、1つ又は複数の試験対象デバイス(DUT)の各I/Oピン又は接点へのテスト信号又はパターンを生成するのに必要なピン電子機器を搭載する複数のチャンネルカードを有している。

10

20

30

40

50

## 【 0 0 0 4 】

テストヘッドの主要な目的の1つは、チャンネルカードのピン電子機器をできるだけDUTに近く配置して信号が伝播しなければならない距離を最小化することである。テストヘッドをDUTにインタフェースする信号経路の長さや構造は、一般的にテスターインタフェースと呼ばれ、信号遅延と信号損失に直接影響を及ぼす。従って、ピン電子機器をDUTに相互連結するテスターインタフェースの方式は、半導体テスターの達成可能精度に関し重要な役割を果たす。

## 【 0 0 0 5 】

図1に従来型高性能テスターインタフェースの一例を示すが、このテスターインタフェースは、複数の同軸ケーブル14の終端を収容するコネクタモジュール12を有している。各ケーブルの信号導体(図示せず)は、一般的にはポゴピン16として知られているコンプライアンスのあるばね付勢された接点と連結しており、一方、各ケーブルシールドは信号ポゴバレルと連結している。信号ポゴバレルは、接地接続としてサイドステップ方式でモジュール12と接続している。接地ポゴピンアッセンブリ18は、信号ポゴバレルに接続しており、接地経路をデバイスインタフェースボード(DIB、図示せず)まで繋いでいる。通常は、複数の接地経路が各信号経路を囲み、高周波障害を最小にする。

10

## 【 0 0 0 6 】

上記の従来型ポゴベースのテスターインタフェースは、その意図した用途では上手く作動するが、欠点の1つは、約1ギガヘルツにある実際の帯域幅障害である。そのような高周波では、信号経路特性は送信線とエミュレートし、一般的には整合50オーム環境を必要とする。50オームから外れると、信号劣化が起こりタイミングが不正確になったりすることも多い。テスターが不正確だと、閾値レベル付近で作動するデバイスを不適切に不合格判定することにもなる。

20

## 【 0 0 0 7 】

上記のような従来型のインタフェース信号経路構造には、一般的に、特性インピーダンスに影響を与える膨大な数の接続部と不連続部とがある。この構造は、高周波でしばしば反射を起こし、約1ギガヘルツの周波数で信号を実質的に劣化させる。従って、従来型のポゴピンインタフェース方式は、1ギガヘルツ及びそれ以上の範囲で半導体デバイスを高速及び高精度で試験するにはお薦めできない。

## 【 0 0 0 8 】

従来型のポゴピンは、更に、多チャンネルカウントテスターでは密度の問題を起こす。例えば、1024個のピン半導体デバイスの各ピンを試験するには、テスターは少なくとも1024個のチャンネルを有していなければならない(1つのピンに1つのチャンネル)と一般的には理解されている。そのような多数の信号チャンネルには接地及び電力接続も必要なので、テスターとDUTとの間をインタフェースするための接続部が6000を上回ることも多い。代表的中心間距離約0.150インチとすれば、6000個の従来型ポゴピンの達成可能な密度又は「ピッチ」では、望ましくない大きなDIBが必要になる。これは、利用できるクリーンルーム空間を最大化するために非常に能率の良い「フットプリント」を必要としている多くの半導体デバイス製造業者には受け入れられない。更に、これにより、信号をDUTとやり取りするのにDIB上に長いトレースも必要となる。

30

40

## 【 0 0 0 9 】

従来型ポゴピンを使用しないテスターインタフェースに関する1つの提案が、サイトに発行された米国特許第5,944,548号に開示されている。この特許は、中間に配置されているオーバーサイズの開口が形成された取り付け部材を使用した浮動同軸コネクタ方式を開示している。開口には、ばね部材が入っており、雄型コネクタと噛み合うように雌型コネクタを付勢している。開口は、噛み合った同軸コネクタが僅かに回転できるように形成されており、標準的な接続をする際の障害を最小化すると主張している。

## 【 0 0 1 0 】

この構造は、それが意図した用途では役に立つように見えるが、プローブカードの端部で各テスターチャンネルに比較的大きな同軸コネクタを実装すると、チャンネル密度及び全体

50

的なテスターフットプリントのサイズに関する上記問題を解決できない。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】米国特許第5,944,548号

【発明の概要】

【発明が解決しようとする課題】

【0012】

必要とされながら未だに入手できていないのは、テスターチャンネルの密度を最大にしなが  
ら、従来型のポゴピンを使用せず高い帯域幅信号性能を提供するテスターインタフェ  
ースである。これらの能力は、結果として、半導体デバイスの試験に掛かるコストを最小化  
すると考えられる。本発明のテスターインタフェースモジュールはこれらの要求を満たす  
。

10

【課題を解決するための手段】

【0013】

本発明のテスターインタフェースモジュールは、チャンネル密度を最大化し、テスターイ  
ンタフェースの信頼性を大幅に向上させながら、高帯域幅でも半導体デバイスを高精度で  
試験できるようにする。これに伴い、試験コストが下がり、テスター性能が向上すること  
になる。

【0014】

上記利点を実現するために、本発明のある形態は、複数のテスター電子チャンネルをデバ  
イスインタフェースボードと連結するためのテスターインタフェースアセンブリを備え  
ている。テスターインタフェースアセンブリは、複数の同軸ケーブルを有する少なくと  
も1つのハーネスアセンブリを含んでおり、各ケーブルは中心導体とシールドを備えた  
ボデーを有している。シールドは、中心導体の周囲に同軸に形成されており、誘導体の層  
によって中心導体から分離されている。各ケーブルは、更に、実質的にボデーと同様に形  
成されている遠位先端を含んでおり、中心導体及びシールドの遠位先端上に配置されてい  
る各成形導体パッドを備えている。ハーネスは、各遠位先端がインタフェース係合面を形  
成するように、各ケーブルの遠位端を収容して互いに近接した関係で固定するための内側  
空洞が設けられたハウジングを使用している。コンプライアンスのある相互接続部が、  
ハーネスアセンブリとデバイスインタフェースボードの間に設けられており、ケーブルの  
遠位端を係合面に沿って係合するために形成されている複数の導体を備えている。

20

【0015】

別の形態では、本発明は、高周波信号を送信するための同軸ケーブルを備えている。同  
軸ケーブルは、中心導体と、前記中心導体の周りに同軸に形成され誘導体層によって前記  
中心導体から分離されているシールドとを有するボデーを含んでいる。遠位先端は、ボデ  
ーと実質的に同様に形成されており、誘導体は環状の静電放電ポリマーの層を含んでい  
る。

30

【0016】

更に別の形態では、本発明は、複数のテスターチャンネルをデバイスインタフェースボ  
ード(DIB)とインタフェースする方法を含んでいる。本方法は、複数の同軸ケーブルを  
テスターピン電子機器からDIBへ経路指定する段階と、同軸ケーブルとDIBの間にコ  
ンプライアンスのある相互接続部を設ける段階とを含んでいる。

40

【0017】

本発明のこの他の特徴及び利点は、添付図面と合わせて以下の詳細な説明を読めば、明  
白になるであろう。

【図面の簡単な説明】

【0018】

【図1】図1は、従来型インタフェースモジュールの部分斜視図である。

【図2】図2は、本発明のテスターインタフェースモジュール経由でハンドリング装置と

50

連結されている半導体テストヘッドのブロック図である。

【図3】図3は、複数の相互接続されたテスターモジュールの部分斜視図である。

【図4】図4は、図2に図4と図示されている領域の断面図である。

【図5】図5は、本発明のテスターインタフェースモジュールを製作する段階について述べている流れ図である。

【発明を実施するための形態】

【0019】

本発明は、以下の更に詳細な説明及び添付図面を参照すれば、更によく理解されるであろう。

図2に本発明のテスターインタフェースモジュールを、全体として番号50で示すが、このテスターインタフェースモジュール50は、半導体テスターテストヘッド内のチャンネルカードからの複数のチャンネルを、(プロバー又はハンドラのような)ハンドリング装置の一部として含まれているデバイスインタフェースボード(DIB)へ電氣的に連結する。以下に更に詳細に説明するように、本モジュールは独特な構造を有しているため、従来のポゴピンを使用することなく、優れた精度、チャンネル密度、及びテスター信号に関する信号帯域幅が達成される。

【0020】

図2、図3及び図4に示すように、本発明の第1の実施形態によるテスターインタフェースモジュール50は、複数のハーネス状の同軸ケーブル52を含んでいる。各ケーブルは、中央導体54(図4)を有する型式のケーブルであり、中央導体は二重シールド56及び57(図4)で同心状に覆われており、円筒状の誘電材料の層58によってシールドから絶縁されている。最良の結果を得るために、二重シールドは、銀メッキされた銅テープに銀メッキされた導線ブレードを同心状に巻き付けて形成されている。ケーブルは、薄い絶縁体59で外装されている。導体密度を最大化するためには、マルチフレックス86として販売されている型式のケーブルが適しており、SuhnerMultiflex社から入手可能である。

【0021】

各ケーブル52の近位端は、高密度の同軸コネクタ(図示せず)内で終結しており、コネクタは、テストヘッド内に配置されているバックプレーンアセンブリ(図示せず)に連結している。バックプレーンアセンブリは、テストヘッドチャンネルカードとインタフェースしている。

【0022】

束ねられたケーブル52の遠位端は、金属ハウジング60(図2及び図3)内でハイピッチな関係で終結し、高密度のハーネス構造体を形成している。ハウジングは、間隔を空けて設けられた穴の列で形成された細長い長方形のブロック(図2)を備えており、ケーブルの遠位端を収容するためのレセプタクルを形成している。以下に更に詳細に説明するが、ケーブルの遠位端は、ケーブルの先端が係合面を形成するように、ハウジング内に挿入されている。

【0023】

図4に詳細に示すように、各ケーブルの遠位端は、コンプライアンスのある部材80内に形成されている対応位置合わせされた接点と係合するようになっている成形チップ部分62(括弧で示されている)を備えている。シールドの外周にはフェルール63が取り付けられている。フェルールと中心導体54の間の相対直径の変化を補正するため、筒状の接点65が中心導体の端部回りにはんだ付けされ、その直径を大きくしている。中心導体と接地シールドの間隔が狭く、比較的大きな電圧信号が送信されるため、各同軸ケーブルのチップ部分62は、静電放電(ESD)ポリマーの環状ウェーハ形状の層70を備えている。ポリマーは、中心導体54とシールド56の間の高電圧瞬時バーストを電氣的に分散させる。中心導体とシールドの間に環状に堆積されるポリマーは、Littelfuse社から入手可能なDes Plaines 1Lである。コンプライアンスのある部材80に対する電気接点を信頼性のあるものとするために、中心導体とシールドの遠位先端は、銅72、ニッケ

10

20

30

40

50

ル73、及び金74の第1及び第2層でメッキされている。

【0024】

図4を更によく見ると、コンプライアンスのある部材80は、プローブカード82の上方に配置され、実質的に垂直に立って導体84を僅かに離間する点に在る圧縮性材料で形成されている介在物を備えている。このような構造体の1つは、フジポリ社から入手可能である。別の構造体を信越社から入手可能であり、これは0.004×0.004mmグリッド内(導体間の相対間隔)に直径0.001mmの複数の導体を含んでいる。どちらの構成も、個々のケーブル接点72、73、74と十分に接触し、下に配置されているプローブカードの接点86に信号を送るのに適している。締め付け装置(図示せず)は、コンプライアンスのある部材を、ケーブルのチップ部分62とプローブカード表面82との間で圧縮して保持する。

10

【0025】

図5に示すように、テスターインタフェースモジュール50は、ハーネスアッセンブリとして1つの方法に従って製作することができ、当業者周知のように、最初にステップ100でケーブルが切断され、ステップ102で近位端が各同軸コネクタ内で終結する。しかし、ケーブルの遠位端は、以下の処理段階に従って統合ユニットとして処理される。先ずステップ104で、ケーブルの遠位端は、各ハウジングの穴の中に挿入され、ステップ106で、正確に間隔を空けた関係で固定される。ステップ108で、適した封入剤がケーブルの束に塗布され、ケーブルをハウジング内に接着する。ステップ110で材料が硬化した後、ステップ112で、ハウジングの遠位先端をフライス加工して係合面を形成する。次にステップ114で、係合面をエッチング液又は他の適した物質に曝して、同軸のケーブル誘電体の薄い層を溶解し、それぞれに環状の空洞を形成する。次にステップ116で、ESDポリマー材料を、形成された空洞内に中心導体54とシールド56を覆わないように堆積、封入して硬化させる。ESDポリマー材を掛けた後、ステップ118、120、122で、露出している中心導体とシールドを先ず銅層でメッキし、次にニッケル層でメッキし、最後に金の層でメッキする。

20

【0026】

各信号経路に関する寸法パラメータを最適化して電気抵抗をできるだけ50オームに近づけ、伝播している信号の劣化を最小化する。これを達成するのに必要な正確な寸法取りは、所望の用途によって変わる。しかしながら、そのような設計パラメータは、当業者には周知である。

30

【0027】

特に図2に示すように、作動前に、複数のモジュールがコンプライアンスのある部材80上に配置され、コネクタ要素経路で取り付けられ、1つの統合インタフェースユニットが形成される。一旦配置されると、締め付け装置(図示せず)がモジュールを適所に固定し、モジュールとプローブカード表面との間でコンプライアンスのある部材を圧縮する。位置決めは、従来の整列技術を使って、統合インタフェースユニットをロードボード、プロパー又はハンドラと直接的又は間接的に整列させることにより達成される。

【0028】

作動時には、半導体テスターチャンネルカードは、高周波信号を生成して1つ又は複数のDUTに適用し、同じDUIからの高周波信号を捕捉し受信する。各チャンネルへの信号は、バックプレーンアッセンブリを通り、各インタフェースモジュール信号ケーブルと前記信号ケーブルに隣接するグランドケーブルに沿ってギガヘルツの周波数で送信される。各テスターチャンネル信号は、同軸ケーブルの中心導体に沿って送られ、その下に位置決めされて細かに間隔を空けて配置されているコンプライアンスのある部材の導体の列、続いて対応する下に配置されているプローブカード接点との接続部を通して伝播する。コンプライアンスは、ケーブル中心導体とシールドの間の相対的な間隔の変化が最小となるように機能するので、信号性能と精度は最適なレベルに維持される。

40

【0029】

本発明の発明人は、更に、本発明のテスターインタフェースモジュールを使えば、ケー

50

ブルが高密度なためより垂直な方向の信号経路が実現でき、インタフェース内の水平方向のストリップ線路の必要性が減ることを発見した。ストリップ線路のトレースによってテスター信号に損失が生じることを考えると、このことは重要である。

【 0 0 3 0 】

当業者には、本発明によって多くの利益と利点をもたらされることを理解頂けるであろう。特に重要なのは、中心導体とシールドの間に相対的な同軸間隔を実質的に維持し、頑強で信頼性の高い構造を形成するコンプライアンスのある部材を提供することによって、従来のポゴピンを削除することができるという点である。これらの特徴は、テスターの帯域幅と精度を画期的に改良する。更に、本テスターインタフェースモジュールのモジュール性は、プローブカード又はDIBレベルにおける高密度のチャネル統合方式を実現し、コストを低下させ、フットプリントアプリケーションを削減する。

10

【 0 0 3 1 】

以上、本発明を具体的に示しその好適な実施形態に関して説明してきたが、当業者には理解頂けるように、本発明の精神及び範囲から逸脱することなく、形態及び詳細において様々な変更を加えることができる。例えば、本明細書の説明の多くはプロバーの利用に焦点を絞っているが、ハンドラの利用も本発明の範囲内にあることを意図している旨理解されたい。

【 図 1 】

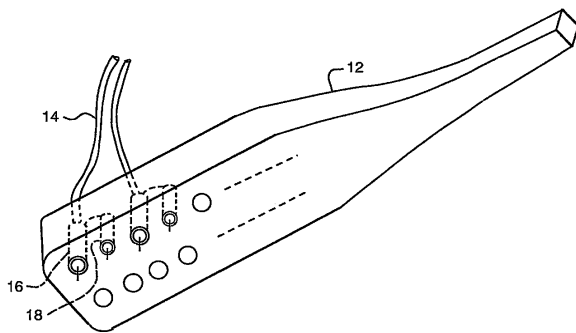
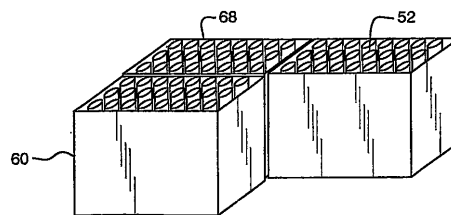


FIG. 1 (PRIOR ART)

【 図 3 】



【 図 2 】

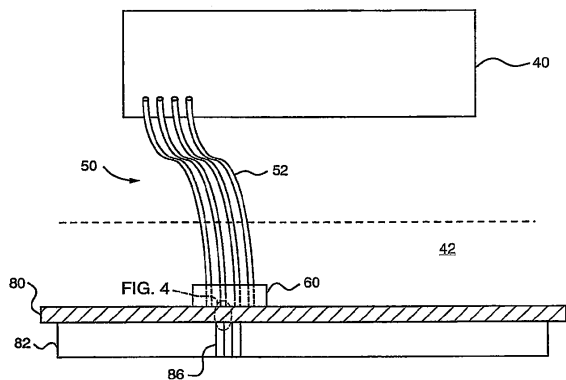
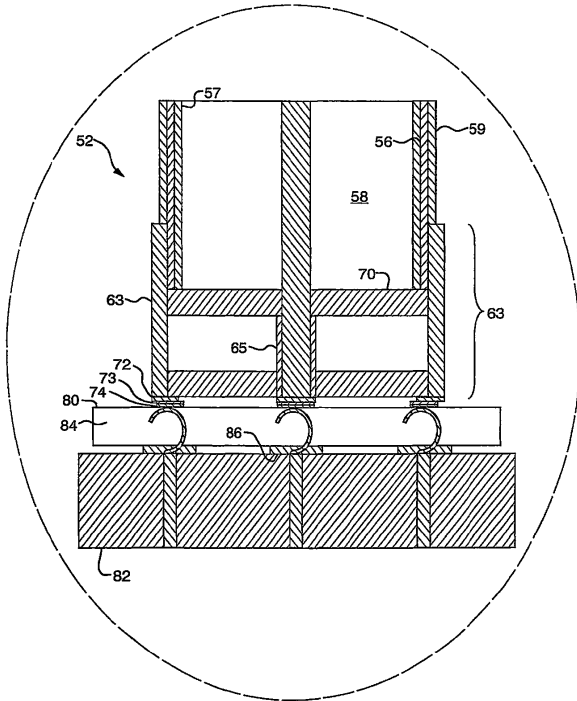
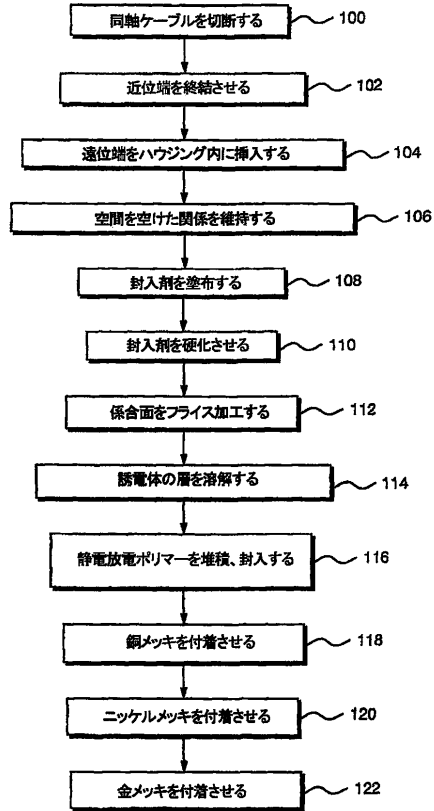


FIG. 4

【図4】



【図5】





## フロントページの続き

- (72)発明者 パーリッシュ, フランク  
アメリカ合衆国カリフォルニア州 9 3 0 6 5 , シミ・ヴァリー, シカモア・グロウヴ 2 4 5
- (72)発明者 ベーズィズ, アラシュ  
アメリカ合衆国カリフォルニア州 9 5 7 6 2 , エル・ドラド・ヒルズ, モントリッジ・ウェイ 6  
4 0
- (72)発明者 カステラノ, デレク  
アメリカ合衆国カリフォルニア州 9 3 0 6 3 , シミ・ヴァリー, トラヴィス・アヴェニュー 3 1  
0 7
- (72)発明者 ルコルスト, アーサー・イー  
アメリカ合衆国カリフォルニア州 9 3 0 2 1 , ムーアパーク, クリスチャン・パーレット・ドライ  
ブ 1 3 4 3 4
- (72)発明者 トンプソン, ドナルド・エリック  
アメリカ合衆国カリフォルニア州 9 1 3 7 7 , オウク・パーク, サルティノ・ウェイ 4 7 8 2
- (72)発明者 ベッカー, ジョナサン・エム  
アメリカ合衆国カリフォルニア州 9 1 3 6 2 , サウザンド・オウクス, イースト・ヒルクレスト・  
ドライブ 1 3 4 6 , ナンバー 4 2

審査官 関根 洋之

- (56)参考文献 特開平 1 0 - 1 0 6 6 7 7 ( J P , A )  
特開 2 0 0 0 - 0 8 8 9 2 0 ( J P , A )  
米国特許第 0 4 7 3 9 9 3 5 ( U S , A )

- (58)調査した分野(Int.Cl. , DB名)  
G 0 1 R 3 1 / 2 6 - 3 1 / 3 1 9 3  
G 0 1 R 1 / 0 6 - 1 / 0 7 3