

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H04N 7/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월15일 10-0580176 2006년05월09일
--------------------------------------	-------------------------------------	--

(21) 출원번호	10-2003-0064571	(65) 공개번호	10-2005-0028389
(22) 출원일자	2003년09월17일	(43) 공개일자	2005년03월23일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	최용훈 경기도용인시기홍읍상갈리주공아파트504동1204호 김병진 경기도수원시팔달구망포동동수원엘지빌리지3차307동1305호
(74) 대리인	리엔목특허법인 이혜영

심사관 : 최훈

(54) 디지털 방송 수신 시스템에서 디스플레이 동기 신호 생성장치

요약

본 발명은 디지털 방송 수신 시스템에서 수신되는 디지털 방송신호의 전송속도의 변화에 관계없이 안정된 화면 출력을 가능하게 하는 디스플레이 동기신호 생성 장치이다.

본 발명에 따른 장치는, 속도차 검출부, 수직 주기 변동분 검출부, 수직 동기신호 생성부, 픽셀 클럭 생성부 및 수평 동기신호 생성부를 포함한다. 속도차 검출부는 수신되는 방송신호의 전송속도와 방송신호의 디코딩 속도간의 차를 검출한다. 수직 주기 변동분 검출부는 속도 차 검출부에서 검출된 속도 차를 토대로 출력될 화면의 수직 주기의 변동분을 검출한다. 수직 동기신호 생성부는 수직 주기 변동분 검출부에서 검출된 변동분에 따라 주기가 변동된 수직 동기신호를 출력될 화면의 수직 동기신호로서 생성한다. 픽셀 클럭 생성부는 소정의 기본 클럭을 토대로 픽셀 클럭을 생성한다. 수평 동기신호 생성부는 픽셀 클럭 생성부에서 생성된 픽셀 클럭을 토대로 출력될 화면의 수평 동기신호를 생성한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 디스플레이 동기신호 생성 장치의 기능 블록도이다.

도 2는 도 1에 도시된 속도 차 검출부의 상세도이다.

도 3은 도 1에 도시된 수직 주기 변동분 검출부의 상세도이다.

도 4는 도 1 도시된 픽셀 클럭 생성부의 상세도이다.

도 5는 본 발명에 따른 디스플레이 동기신호 생성 장치를 디지털 방송 수신 시스템에 적용한 예이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털 방송 수신 시스템에서 디스플레이 동기 신호 생성 장치에 관한 것으로, 특히 디지털 방송 수신 시스템에서 수신되는 방송신호의 전송속도의 변화와 관계없이 안정된 화면(display screen) 출력을 가능하게 하는 디스플레이 동기 신호 생성 장치에 관한 것이다.

디지털 방송의 주된 목적은 기존 아날로그 방송 대비 고품질의 화면 및 음성을 사용자에게 제공하고, 사용자와의 쌍방향 통신을 가능하게 하여 편리성을 높이는데 있다. 이러한 디지털 방송은 MPEG(Motion Picture Experts Group, 이하 MPEG이라고 약함) 트랜스포트 스트림(Transport Stream, 이하 TS라고 약함) 데이터 형태를 갖고 지상파 또는 위성 또는 케이블과 같은 수단을 통해 디지털 방송 수신 시스템으로 전달된다.

상기 MPEG TS 데이터는 복수 프로그램의 비디오 및 오디오 정보와 방송에 필요한 부가 정보가 다중화 되어 있다. 따라서 디지털 방송 수신 시스템은 상기 MPEG TS 데이터가 수신되면, MPEG 디코딩하여 채널 및 프로그램을 선택하고, 선택된 프로그램의 음성 및 영상신호를 분리하여 출력한다. 이 때, MPEG TS 데이터의 전송속도와 MPEG 디코딩 시 이용되는 시스템 클럭은 연동된다.

그러므로 MPEG TS 데이터의 전송속도가 변할 경우에 상기 MPEG 디코딩시 이용되는 시스템 클럭도 변한다. 즉, MPEG TS 데이터의 전송속도가 느려지면 MPEG 디코딩 시 이용되는 시스템클럭의 주파수도 낮아지고, MPEG TS 데이터의 전송속도가 빨라지면 MPEG 디코딩 시 이용되는 시스템 클럭의 주파수도 높아진다. 상기 MPEG TS 데이터의 전송속도는 예를 들어 방송국, 프로그램, 카메라의 특성에 따라 변할 수 있다.

디지털 방송 수신 시스템에서 화면 출력은 그래픽 프로세서가 담당한다. 그래픽 프로세서의 기준 클럭은 픽셀 클럭(pixel clock)이다. 이 픽셀 클럭은 MPEG 디코딩 시 이용되는 시스템 클럭에 연동된다. 따라서, MPEG TS 데이터의 전송속도가 변하면 MPEG 디코딩 시 사용되는 시스템 클럭과 픽셀 클럭의 주파수는 변한다. 픽셀 클럭의 주파수가 변하면, 그래픽 프로세서에서 비디오 데이터를 출력하기 위해 이용되는 수평 동기신호의 주파수와 수직 동기신호의 주파수가 변한다.

그래픽 프로세서는 픽셀 클럭에 의해 발생하는 수평 동기신호와 수직 동기신호를 이용하여 메모리에 저장되어 있는 비디오 데이터를 읽어 디스플레이 장치로 출력한다. 따라서 픽셀 클럭에 의해 수평 동기신호의 주파수와 수직 동기신호의 주파수가 변할 경우에, 그래픽 프로세서로부터 디스플레이 장치로 출력되는 비디오 데이터의 수평 동기신호의 주파수와 수직 동기신호의 주파수가 변하는 것을 의미한다.

그러나 일반적으로 평판 디스플레이 장치는 수평 동기신호의 주파수가 고정된 환경에서 동작하도록 설계되어 있다. 따라서 상술한 바와 같이 수평 동기신호의 주파수가 변경된 비디오 데이터가 제공되면, 화면에 수평 떨림이나 백 라이트(back light) 꺼짐 또는 갈라 흔들림 등과 같은 이상 현상이 발생되어 안정된 화면이 출력되지 않는다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 디지털 방송 수신 시스템에서 수신되는 디지털 방송신호의 전송속도의 변화에 관계없이 안정된 화면 출력을 가능하게 하는 디스플레이 동기신호 생성 장치를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 디지털 방송 수신 시스템에서 고정된 주파수를 갖는 픽셀 클럭을 생성하고, 수신되는 디지털 방송신호의 전송속도의 변화에 연동되는 수직 동기신호를 생성하여 안정된 화면 출력을 가능하게 하는 디스플레이 동기신호 생성 장치를 제공하는데 있다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 디지털 방송 수신 시스템에서 출력될 화면의 수평 동기신호를 고정된 주파수로 생성하고, 수신되는 디지털 방송신호의 전송속도의 변화에 연동되는 수직 동기신호를 생성하여 안정된 화면 출력을 가능하게 하는 디스플레이 동기신호 생성 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제들을 달성하기 위하여 본 발명은, 소정의 기본 클럭을 토대로 픽셀 클럭을 생성하는 픽셀 클럭 생성부; 픽셀 클럭 생성부에서 생성된 픽셀 클럭에 연동되어 출력될 화면의 수평 동기신호를 생성하는 수평 동기신호 생성부를 포함하는 디스플레이 동기신호 생성장치를 제공한다.

상기 픽셀 클럭은 출력될 화면을 디스플레이 할 디스플레이 장치의 동작 조건에 맞는 주파수를 가질 수 있다. 상기 픽셀 클럭 생성부는 복수의 스케일링 처리를 수행하도록 구성될 수 있다.

상기 기술적 과제들을 달성하기 위하여 본 발명은, 수신되는 방송신호의 전송속도와 방송신호의 디코딩 속도간의 차를 검출하는 속도 차 검출부; 속도 차 검출부에서 검출된 속도 차를 토대로 출력될 화면의 수직 주기의 변동분을 검출하는 수직 주기 변동분 검출부; 수직 주기 변동분 검출부에서 검출된 변동분에 따라 주기가 변동된 수직 동기신호를 출력될 화면의 수직 동기신호로서 생성하는 수직 동기신호 생성부; 소정의 기본 클럭을 토대로 픽셀 클럭을 생성하는 픽셀 클럭 생성부; 픽셀 클럭 생성부에서 생성된 픽셀 클럭을 토대로 출력될 화면의 수평 동기신호를 생성하는 수평 동기신호 생성부를 포함하는 디스플레이 동기신호 생성장치를 제공한다.

상기 수신되는 방송신호가 트랜스포트 스트림 형태이면, 상기 속도차 검출부는 트랜스포트 스트림의 프로그램 클럭 기준(Program Clock Reference) 데이터를 이용하여 속도차를 검출할 수 있다.

상기 수신되는 방송신호가 트랜스포트 스트림 형태이면, 상기 속도차 검출부는, 상기 수신되는 방송신호에 대한 채널 및 프로그램이 선택된 후, 처음 수신되는 패킷의 프로그램 클럭 기준 데이터를 저장하고 상기 방송신호의 디코딩 주기로 저장된 데이터를 업데이트 하는 시스템 타임 클럭 레지스터; 프로그램 클럭 기준 캡처 제어신호에 따라 수신되는 트랜스포트 스트림의 프로그램 클럭 기준 데이터를 캡처하여 출력하는 프로그램 클럭 기준 레지스터; 상기 시스템 타임 클럭 레지스터에 저장된 데이터와 상기 프로그램 클럭 기준 레지스터에 저장되어 있는 데이터간의 차를 검출하고, 검출된 차를 속도 차로 출력하는 감산기를 포함할 수 있다.

상기 시스템 타임 클럭 레지스터는 상기 디코딩 주기로 상기 저장된 데이터가 하나씩 증가되도록 업데이트할 수 있다.

상기 수직 주기 변동분 검출부는 상기 픽셀 클럭 생성부에서 생성되는 픽셀 클럭을 이용하여 수직 주기의 변동분을 픽셀단위로 환산하여 출력할 수 있다.

상기 수직 주기 변동분 검출부는 상기 속도 차를 시간으로 환산하는 제 1 환산부; 수직 동기 신호의 주기를 기준으로 상기 시간으로 환산된 속도 차를 1 프레임당 속도 차로 환산하는 제 2 환산부; 상기 픽셀 클럭 생성부에서 생성되는 픽셀 클럭을 이용하여 상기 제 2 환산부에서 출력되는 1 프레임당 속도 차를 픽셀 클럭단위로 환산된 수직 주기의 변동분으로 출력하는 제 3 환산부를 포함할 수 있다.

상기 제 1 환산부는 상기 방송신호의 디코딩 주기를 이용하여 상기 속도차를 시간으로 환산하고, 상기 프로그램 클럭 기준 데이터에 대한 캡처 기간을 이용하여 상기 시간으로 환산된 속도 차를 초당 시간으로 환산할 수 있다.

상기 수직 동기신호 생성부는, 프레임당 총 픽셀 수를 상기 수직 주기 변동분 검출부에서 검출된 변동분만큼 변동시켜 출력하는 연산기; 초기에는 설정된 수직 모드에 따라 프레임당 총 픽셀 수를 생성하고, 상기 연산기에서 변동된 프레임당 총 픽셀 수가 출력되면, 프레임당 총 픽셀 수를 상기 연산기에서 출력되는 프레임당 총 픽셀 수로 업데이트 하여 생성하는 총 픽셀 수 생성기; 상기 연산기에서 출력되는 변동된 프레임당 총 픽셀 수를 토대로 출력될 화면의 수직 동기신호를 생성하는 수직 동기신호 생성기를 포함할 수 있다.

상기 픽셀 클럭 생성부는, 상기 소정의 기본 클럭을 제 1 스케일링 계수를 이용하여 스케일링하는 프리 스케일러; 상기 프리 스케일러에서 스케일링된 기본 클럭과 제 2 스케일링 계수에 의해 스케일링된 출력 주파수 사이의 위상 동기를 유지시키는 위상 동기 루프; 상기 위상 동기 루프에서 출력되는 신호를 제 3 스케일링 계수를 이용하여 스케일링하는 포스트 스케일러; 상기 포스트 스케일러에서 출력되는 신호를 토대로 상기 픽셀 클럭을 생성하는 픽셀 클럭 생성기를 포함할 수 있다.

상기 소정의 기본 클럭, 상기 제 1 스케일링 계수, 상기 제 2 스케일링 계수 및 상기 제 3 스케일링 계수는 상기 출력될 화면이 디스플레이 될 디스플레이 장치의 동작 조건에 따라 프로그램 가능하게 설정될 수 있다.

상기 기술적 과제들을 달성하기 위하여 본 발명은, 수신되는 방송신호를 디코딩 하는 기능 블록 및 화면 출력부를 포함하는 디지털 방송 수신 시스템에서 상기 디코딩 하는 기능 블록에 포함되어, 상기 수신되는 방송신호의 전송속도와 상기 방송신호의 디코딩 속도간의 차를 검출하는 속도 차 검출부; 상기 속도 차 검출부에서 검출된 속도 차를 토대로 출력될 화면의 수직 주기의 변동분을 검출하는 수직 주기 변동분 검출부; 상기 수직 주기 변동분 검출부에서 검출된 변동분에 따라 주기가 변동된 수직 동기신호를 생성하여 상기 화면 출력부로 제공하는 수직 동기신호 생성부; 소정의 기본 클럭을 토대로 픽셀 클럭을 생성하는 픽셀 클럭 생성부; 상기 픽셀 클럭 생성부에서 생성된 픽셀 클럭을 토대로 수평 동기신호를 생성하고, 생성된 수평 동기신호를 상기 화면 출력부로 제공하는 수평 동기신호 생성부를 포함하는 디스플레이 동기신호 생성장치를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예를 상세하게 설명하기로 한다.

도 1은 디지털 방송 수신 시스템에서 본 발명에 따른 디스플레이 동기신호 생성 장치의 기능 블록 도이다. 도 1을 참조하면, 본 발명에 따른 디스플레이 동기신호 생성장치는 속도 차 검출부(100), 수직 주기 변동분 검출부(110), 수직 동기신호 생성부(120), 픽셀 클럭 생성부(130), 수평 동기신호 생성부(140)로 구성된다.

속도차 검출부(100)는 트랜스포트 스트림(Transport Stream, 이하 TS라고 약함)의 프로그램 클럭 기준(Program Clock Reference, 이하 PCR이라 약함) 데이터 및 PCR 캡처(capture) 제어신호를 이용하여 수신되는 방송신호의 전송속도와 상기 수신되는 방송신호의 디코딩 속도간의 차를 검출한다.

이를 위하여 속도차 검출부(100)는 도 2에 도시된 바와 같이 PCR 레지스터(201), STC 레지스터(202) 및 감산기(203)로 구성된다.

PCR 레지스터(201)는 PCR 캡처 제어 신호에 따라 수신되는 TS의 PCR 데이터를 캡처하여 저장한다. 상기 PCR 데이터는 선택된 프로그램의 몇 번째 패킷이 전송되고 있는지에 대한 정보를 포함한다. 상기 정보는 주기적으로 상기 PCR 데이터에 포함된다. 예를 들어 약 0.5초마다 한번씩 상기 정보가 PCR 데이터에 포함되면, PCR 캡처 제어신호는 상기 0.5초 주기로 입력된다.

시스템 타임 클럭(System Time Clock, 이하 STC라고 약함) 레지스터(202)는 수신되는 방송신호에 대한 채널 및 프로그램이 선택된 후, 처음 수신되는 패킷의 PCR 데이터(PCR1)를 저장하고, 방송신호의 디코딩 주기로 저장된 데이터를 업데이트 한다. 즉, STC 레지스터(202)는 상기 방송신호의 디코딩 시 사용되는 시스템 클럭(VCXO)을 이용하여 저장된 데이터를 하나씩 증가시켜 업데이트 한다. 도 1에서 VCXO(Voltage Control Xtal Oscillator)는 디코딩 시 제공되는 시스템 클럭을 의미한다. 상기 VCXO는 예를 27MHz일 수 있다.

감산기(203)는 PCR 레지스터(201)에 저장되어 있는 데이터와 STC 레지스터(202)에 저장되어 있는 데이터간의 차를 검출하고, 검출된 차를 수신되는 방송신호의 전송속도와 상기 방송신호의 디코딩 속도간의 차로써 출력한다.

수직 주기 변동분 검출부(110)는 상기 속도차 검출부(100)에서 검출된 속도 차를 토대로 출력될 화면의 수직 주기의 변동분을 검출한다. 이를 위하여 수직 주기 변동분 검출부(110)는 속도차, 방송신호의 디코딩 시 이용되는 시스템 클럭(VCXO), PCR 캡처 제어신호, 및 수직 동기 신호를 이용한다.

수직 주기 변동분 검출부(110)는 도 3에 도시된 바와 같이 VCXO 주기 검출기(301), 복수개의 승산기(302, 308, 310), PCR 캡처 주기 검출기(304), 수직 동기신호 주기 검출기(307) 및 제산기(305)로 구성된다.

VCXO 주기 검출기(301)는 타이머로 구성되어 VCXO의 주기를 시간 값으로 검출한다. 상기 VCXO의 주기는 방송신호의 디코딩 주기이다. 승산기(302)는 입력되는 속도 차와 VCXO 주기 검출기(301)에서 검출된 VCXO의 주기에 대응되는 시간 값을 승산하여 출력한다. 이에 따라 라인(303)을 통해 시간으로 환산된 속도차가 전송된다.

PCR 캡처 주기 검출기(304)는 타이머로 구성되어 PCR 캡처 주기를 시간 값으로 검출한다. 제산기(305)는 라인(303)을 통해 입력되는 시간으로 환산된 속도차를 PCR 캡처 주기로 나눈 값을 출력한다. 이에 따라 라인(306)을 통해 초당 시간으로 환산된 속도차가 전송된다.

따라서, VCXO 주기 검출기(301), 승산기(302), PCR 캡처 주기 검출기(304), 및 제산기(305)는 입력되는 속도차를 시간으로 환산하는 역할을 한다.

수직 동기신호 주기 검출기(307)는 타이머로 구성되어 입력되는 수직 동기신호의 주기를 시간 값으로 검출한다. 승산기(308)는 라인(306)을 통해 입력되는 시간으로 환산된 속도 차와 상기 시간 값으로 표현된 수직 동기신호의 주기를 승산한다. 이에 따라 라인(309)을 통해 시간으로 환산된 1 프레임당 속도차가 전송된다. 따라서 수직 동기신호 주기 검출기(307)와 승산기(308)는 시간으로 환산된 속도 차를 1 프레임당 속도 차로 환산하는 역할을 한다.

승산기(310)는 라인(309)을 통해 입력되는 1 프레임당 속도차와 픽셀 클럭 생성부(130)로부터 제공되는 픽셀 클럭을 승산한다. 이에 따라 라인(311)을 통해 픽셀단위로 환산된 수직 주기의 변동분이 전송된다. 따라서 승산기(310)는 1 프레임당 속도차를 픽셀단위의 수직 주기의 변동분으로 환산하는 역할을 한다.

수직 동기신호 생성부(120)는 수직 주기 변동분 검출부(110)에서 검출된 수직 주기의 변동분에 따라 주기가 변동된 수직 동기 신호를 출력될 화면의 수직 동기신호로서 생성한다. 이를 위하여 수직 동기신호 생성부(120)는 연산기(121), 총 픽셀 수 생성기(122), 및 수직 동기신호 생성기(123)로 구성된다.

연산기(121)는 총 픽셀 수 생성기(122)로부터 제공되는 프레임당 총 픽셀 수를 수직 주기 변동분 검출부(110)로부터 출력되는 수직 주기의 변동분만큼 변동시켜 출력한다. 도 1에서 연산기(121)는 감산기이다. 그러나, 연산기(121)는 가산기일 수 있다. 이는 수직 주기의 변동분에 따라 연산기(121)에서 출력되는 픽셀 수는 총 픽셀 수 생성기(122)로부터 제공되는 프레임당 총 픽셀 수보다 감소할 수도 있으나 증가할 수도 있기 때문이다.

총 픽셀 수 생성기(122)는 프레임당 총 픽셀 수를 생성한다. 초기에는 사전에 설정된 수직 모드에 따라 결정된 프레임당 총 픽셀 수를 생성한다. 연산기(121)로부터 변동된 프레임당 총 픽셀 수가 출력되면, 저장되어 있는 프레임당 총 픽셀 수를 연산기(121)로부터 출력된 프레임당 총 픽셀 수로 업데이트하고, 업데이트된 프레임당 총 픽셀 수를 생성한다. 상기 수직 모드는 사용자에게 의해 프로그램 가능하도록 설정될 수 있다. 상기 수직 모드는 V-total을 이용하여 설정될 수 있다. V-total은 프레임 당 총 라인수로서, V addressable, V Bottom Border, V FP(Odd field), V sync, V BP(Odd field), V top Border에 할당된 라인 수를 모두 포함한 라인 수이다.

수직 동기신호 생성기(123)는 연산기(121)로부터 출력되는 프레임당 총 픽셀수를 토대로 출력될 화면의 수직 동기신호(V_sync)를 생성한다.

픽셀 클럭 생성부(130)는 사전에 설정된 기본(basic) 클럭을 토대로 픽셀 클럭을 생성한다. 생성되는 픽셀 클럭 신호는 출력될 화면을 디스플레이 할 디스플레이 장치(미 도시됨)의 동작 조건에 맞는 주파수를 갖는다.

픽셀 클럭 생성부(130)는 원하는 주파수를 갖는 픽셀 클럭을 생성하기 위하여 복수의 스케일링을 수행한다. 즉, 도 4에 도시된 바와 같이 프리 스케일러(401), 위상 동기 루프(410), 포스트 스케일러(420)로 구성되어 기본 클럭에 대해 복수의 스케일링을 수행한다.

프리 스케일러(401)는 사전에 설정된 제 1 스케일링 계수(P)를 이용하여 입력되는 기본 클럭을 스케일링한다. 프리 스케일러(401)는 분주기로 구성될 수 있다.

위상 동기 루프(410)는 프리 스케일러(401)로부터 출력되는 스케일링된 기본 클럭과 제 2 스케일링 계수(M)에 의해 스케일링된 출력 주파수 사이의 위상 동기를 유지시킨다.

위상 동기 루프(410)는 위상 검출기(411), 루프 필터(412), 전압 제어 발진기(Voltage Control Oscillator, 이하 VCO라고 약함)(413), 스케일러(414)로 구성된다. 위상 검출기(411)는 프리 스케일러(401)로부터 출력되는 스케일링된 기본 클럭과 스케일러(414)에서 제 2 스케일링 계수에 의해 스케일링된 출력 주파수간의 위상차를 검출한다. 루프 필터(412)는 입력되는 위상차의 주파수 성분을 제한한 제어전압을 출력한다. VCO(413)는 루프 필터(412)에서 출력되는 제어 전압에 대응되는 주파수를 발진한다. VCO(413)에서 출력되는 신호는 프리 스케일러(401)에서 출력되는 신호에 동기가 맞게 된다. VCO(413)에서 발진된 주파수는 스케일러(414)로 제공된다. 스케일러(414)는 입력된 발진 주파수를 상기 제 2 스케일링 계수(M)에 의해 스케일링하여 출력한다.

포스트 스케일러(420)는 사전에 설정된 제 3 스케일링 계수(S)에 의해 위상 동기 루프(410)의 VCO(413)에서 출력되는 주파수를 스케일링하고, 스케일링 결과를 픽셀 클럭으로서 출력한다.

상기 기본 클럭, 제 1 스케일링 계수, 제 2 스케일링 계수 및 제 3 스케일링 계수는 프로그램 가능하게 설정될 수 있다. 또한 디스플레이 장치(미 도시됨)의 동작 조건에 맞는 주파수를 갖는 픽셀 클럭을 정확하게 생성하기 위하여, 디스플레이 장치(미 도시됨)의 동작 조건을 고려하여 기본 클럭, 제 1 내지 제 3 스케일링 계수는 설정될 수 있다.

포스트 스케일러(420)에서 출력되는 픽셀 클럭은 수직 주기 변동분 검출부(110)와 수평 동기신호 생성부(140)로 각각 제공된다.

사전 설정된 수평 모드를 고려하여 수평 동기신호 생성부(140)는 입력되는 픽셀 클럭에 연동되는 수평 동기신호를 출력될 화면의 수평 동기신호(H_sync)로서 생성한다. 상기 수평 모드는 H-total을 이용하여 설정될 수 있다. H-total은 프레임 당 총 픽셀 수로서, H addressable, H right border, H front porch, H sync, H back porch, H left border에 할당된 픽셀 수를 모두 포함한다.

도 5는 본 발명에 따른 디스플레이 동기신호 생성 장치를 디지털 방송 수신 시스템에 적용한 예이다. 본 발명에 따라 디스플레이 동기신호 생성 장치(501)에서 수직 동기신호(V_sync)와 수평 동기신호(H_sync)가 각각 생성되면, 화면 출력부(502)는 시스템 제어부(503)로부터 제공되는 수평, 수직 타이밍 신호들(V_back porch, V_sync width, V_front porch, H_back porch, H_sync width, H_front porch)과 상기 수평 동기신호(H_sync) 및 수직 동기신호(V_sync)에 의해 메모리(504)에 저장되어 있는 영상 데이터를 읽어 디스플레이 장치(505)로 출력한다.

상기 디스플레이 동기신호 생성장치(501)는 디지털 방송 수신 시스템에 구비되어 있는 MPEG 디코딩 IC에 내장되도록 구비할 수 있다.

발명의 효과

상술한 바와 같이 본 발명은 수신되는 디지털 방송 신호의 전송속도의 변화로 MPEG 디코딩을 위한 시스템 클럭의 주파수가 변할 때, 픽셀 클럭의 주파수를 고정시켜 화면 출력을 위해 이용되는 수평 동기신호를 고정된 주파수로 생성함으로써, 화면의 수평 떨림 현상을 개선하고, 백 라이트(back light) 꺼짐이나 칼라 틀어짐과 같은 디스플레이 장치의 이상 동작 발생을 줄여 디지털 방송 신호의 전송속도가 변하여도 안정된 화면을 출력할 수 있다.

또한, 화면 출력을 위해 이용되는 수직 동기신호는 디지털 방송 신호의 전송속도 변화에 연동되는 주파수로 생성함으로써, 화면 스킵(skip) 및 반복(repeat) 현상이 발생하는 것을 방지하여 디지털 방송 신호의 전송속도가 변하여도 안정된 화면을 출력할 수 있다.

그리고, 본 발명에 따른 디스플레이 동기신호 생성 장치를 디지털 방송 수신 시스템에 구비되어 있는 MPEG 디코딩 IC에 내장할 경우에, 디지털 방송 수신시 최적의 품질을 제공할 수 있다.

본 발명은 상술한 실시 예에 한정되지 않으며, 본 발명의 사상 내에서 당업자에 의한 변형이 가능함은 물론이다. 따라서, 본 발명에서 권리를 청구하는 범위는 상세한 설명의 범위 내로 정해지는 것이 아니라 후술하는 청구범위로 정해질 것이다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

수신되는 방송신호의 전송속도와 상기 방송신호의 디코딩 속도간의 차를 검출하는 속도 차 검출부;

상기 속도 차 검출부에서 검출된 속도 차를 토대로 출력될 화면의 수직 주기의 변동분을 검출하는 수직 주기 변동분 검출부;

상기 수직 주기 변동분 검출부에서 검출된 변동분에 따라 주기가 변동된 수직 동기신호를 상기 출력될 화면의 수직 동기신호로서 생성하는 수직 동기신호 생성부;

상기 수신되는 방송신호의 전송속도에 관계없이 사전에 설정된 기본 클럭을 토대로 픽셀 클럭을 생성하는 픽셀 클럭 생성부;

상기 픽셀 클럭 생성부에서 생성된 픽셀 클럭을 토대로 상기 출력될 화면의 수평 동기신호를 생성하는 수평 동기신호 생성부를 포함하는 디스플레이 동기신호 생성장치.

청구항 7.

제 6 항에 있어서, 상기 픽셀 클럭은 상기 출력될 화면이 디스플레이 될 디스플레이 장치의 동작 조건에 맞는 주파수를 갖는 것을 특징으로 하는 디스플레이 동기신호 생성장치.

청구항 8.

제 6 항 또는 제 7 항에 있어서, 상기 수신되는 방송신호가 트랜스포트 스트림 형태이면, 상기 속도차 검출부는 상기 트랜스포트 스트림의 프로그램 클럭 기준(Program Clock Reference) 데이터를 이용하여 상기 속도차를 검출하는 것을 특징으로 하는 디스플레이 동기신호 생성장치.

청구항 9.

제 6 항 또는 제 7 항에 있어서, 상기 수신되는 방송신호가 트랜스포트 스트림 형태이면, 상기 속도차 검출부는,

상기 수신되는 방송신호에 대한 채널 및 프로그램이 선택된 후, 처음 수신되는 패킷의 프로그램 클럭 기준 데이터를 저장하고 상기 방송신호의 디코딩 주기로 저장된 데이터를 업데이트 하는 시스템 타임 클럭 레지스터;

프로그램 클럭 기준 캡처 제어신호에 따라 수신되는 트랜스포트 스트림의 프로그램 클럭 기준 데이터를 캡처하여 출력하는 프로그램 클럭 기준 레지스터;

상기 시스템 타임 클럭 레지스터에 저장된 데이터와 상기 프로그램 클럭 기준 레지스터에 저장되어 있는 데이터간의 차를 검출하고, 검출된 차를 상기 속도 차로써 출력하는 감산기를 포함하는 디스플레이 동기신호 생성장치.

청구항 10.

제 9 항에 있어서, 상기 시스템 타임 클럭 레지스터는 상기 디코딩 주기로 상기 저장된 데이터가 하나씩 증가되도록 업데이트 하는 것을 특징으로 하는 디스플레이 동기신호 생성장치.

청구항 11.

제 6 항 또는 제 7 항에 있어서, 상기 수직 주기 변동분 검출부는 상기 픽셀 클럭 생성부에서 생성되는 픽셀 클럭을 이용하여 상기 수직 주기의 변동분을 픽셀단위로 환산하여 출력하는 것을 특징으로 하는 디스플레이 동기신호 생성장치.

청구항 12.

제 6 항 또는 제 7 항에 있어서, 상기 수직 주기 변동분 검출부는

상기 속도 차를 시간으로 환산하는 제 1 환산부;

수직 동기 신호의 주기를 기준으로 상기 시간으로 환산된 속도 차를 1 프레임당 속도 차로 환산하는 제 2 환산부;

상기 픽셀 클럭 생성부에서 생성되는 픽셀 클럭을 이용하여 상기 제 2 환산부에서 출력되는 1 프레임당 속도 차를 픽셀 클럭단위로 환산된 수직 주기의 변동분으로 출력하는 제 3 환산부를 포함하는 디스플레이 동기신호 생성장치.

청구항 13.

제 11 항에 있어서, 상기 제 1 환산부는 상기 방송신호의 디코딩 주기를 이용하여 상기 속도차를 시간으로 환산하고, 상기 프로그램 클럭 기준 데이터에 대한 캡처 기간을 이용하여 상기 시간으로 환산된 속도 차를 초당 시간으로 환산하도록 구성된 것을 특징으로 하는 디스플레이 동기신호 생성장치.

청구항 14.

제 6 항 또는 제 7 항에 있어서, 상기 수직 동기신호 생성부는,

프레임당 총 픽셀 수를 상기 수직 주기 변동분 검출부에서 검출된 변동분만큼 변동시켜 출력하는 연산기;

초기에는 설정된 수직 모드에 따라 프레임당 총 픽셀 수를 생성하고, 상기 연산기에서 변동된 프레임당 총 픽셀 수가 출력되면, 프레임당 총 픽셀 수를 상기 연산기에서 출력되는 프레임당 총 픽셀 수로 업데이트 하여 생성하는 총 픽셀 수 생성기;

상기 연산기에서 출력되는 변동된 프레임당 총 픽셀 수를 토대로 출력될 화면의 수직 동기신호를 생성하는 수직 동기신호 생성기를 포함하는 디스플레이 동기신호 생성장치.

청구항 15.

제 6 항 또는 제 7 항에 있어서, 상기 픽셀 클록 생성부는,

상기 사전에 설정된 기본 클록을 제 1 스케일링 계수를 이용하여 스케일링하는 프리 스케일러;

상기 프리 스케일러에서 스케일링된 기본 클록과 제 2 스케일링 계수에 의해 스케일링된 출력 주파수 사이의 위상 동기를 유지시키는 위상 동기 루프;

상기 위상 동기 루프에서 출력되는 신호를 제 3 스케일링 계수를 이용하여 스케일링하는 포스트 스케일러;

상기 포스트 스케일러에서 출력되는 신호를 토대로 상기 픽셀 클록을 생성하는 픽셀 클록 생성기를 포함하는 디스플레이 동기신호 생성장치.

청구항 16.

제 15 항에 있어서, 상기 기본 클록, 상기 제 1 스케일링 계수, 상기 제 2 스케일링 계수 및 상기 제 3 스케일링 계수는 상기 출력될 화면이 디스플레이 될 디스플레이 장치의 동작 조건에 따라 프로그램 가능하게 설정된 것을 특징으로 하는 디스플레이 동기신호 생성장치.

청구항 17.

수신되는 방송신호를 디코딩 하는 기능 블록 및 화면 출력부를 포함하는 디지털 방송 수신 시스템에서 상기 디코딩 하는 기능 블록에 포함된 디스플레이 동기신호 생성장치에 있어서,

상기 수신되는 방송신호의 전송속도와 상기 방송신호의 디코딩 속도간의 차를 검출하는 속도 차 검출부;

상기 속도 차 검출부에서 검출된 속도 차를 토대로 출력될 화면의 수직 주기의 변동분을 검출하는 수직 주기 변동분 검출부;

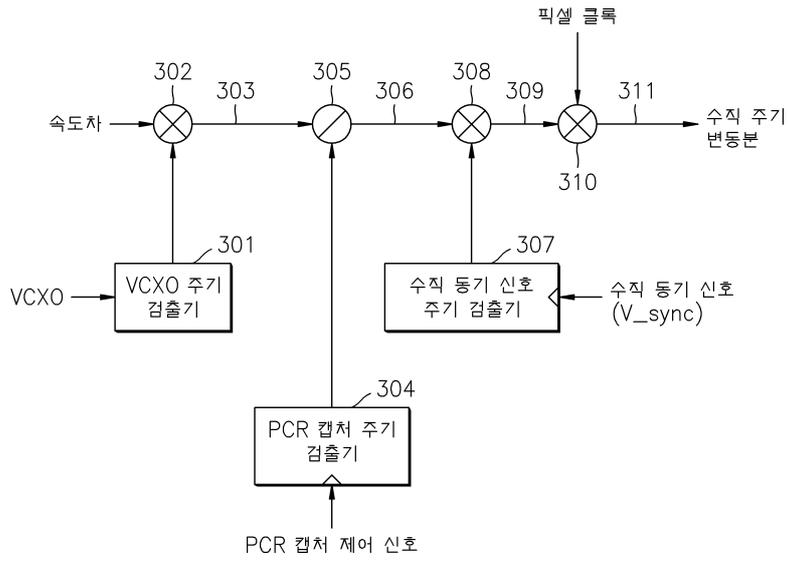
상기 수직 주기 변동분 검출부에서 검출된 변동분에 따라 주기가 변동된 수직 동기신호를 생성하여 상기 화면 출력부로 제공하는 수직 동기신호 생성부;

상기 수신되는 방송 신호의 전송속도에 관계없이 사전에 설정된 기본 클록을 토대로 픽셀 클록을 생성하는 픽셀 클록 생성부;

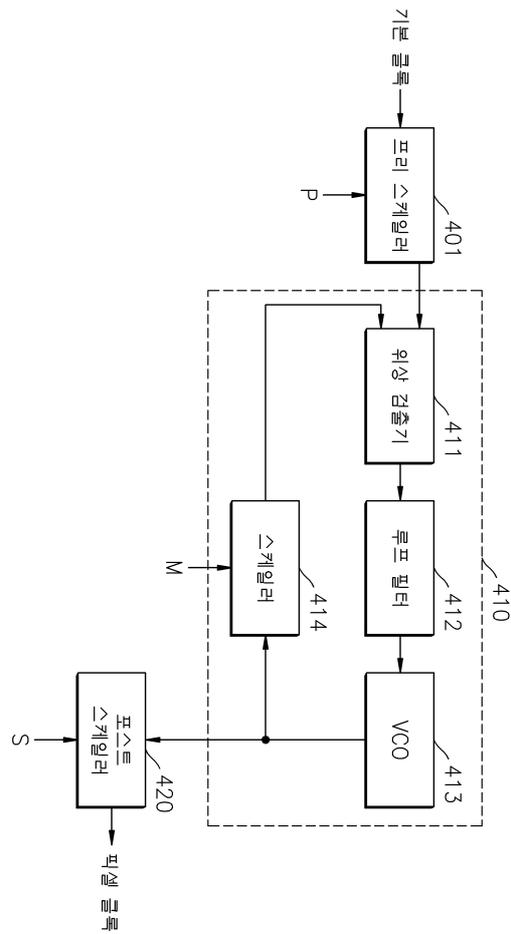
상기 픽셀 클록 생성부에서 생성된 픽셀 클록을 토대로 수평 동기신호를 생성하고, 생성된 수평 동기신호를 상기 화면 출력부로 제공하는 수평 동기신호 생성부를 포함하는 디스플레이 동기신호 생성장치.

도면

도면3



도면4



도면5

