



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H04L 7/04 (2006.01)
H04L 7/06 (2006.01)

(11) 공개번호 10-2007-0015170
(43) 공개일자 2007년02월01일

(21) 출원번호 10-2006-7020993

(22) 출원일자 2006년10월09일

심사청구일자 없음

번역문 제출일자 2006년10월09일

(86) 국제출원번호 PCT/US2005/011909

(87) 국제공개번호 WO 2005/099399

국제출원일자 2005년04월08일

국제공개일자 2005년10월27일

(30) 우선권주장

60/561,085
60/601,026

2004년04월09일
2004년08월12일

미국(US)
미국(US)

(71) 출원인

마이크로나스 세미컨덕터, 인코포레이티드
미국, 일리노이 60067, 팰러타인, 1208 더블유, 노스웨스트하이웨이

(72) 발명자

주, 질리안
미국 일리노이 60195 샤움버그 크리스틴 드라이브 21 아파트먼트201
시타, 리차드, 더블유.
미국 일리노이 60302 오크 파크 노스 콜럼비안 739
로프레스토, 스콧, 엠.
미국 일리노이 60622 시카고 노스 오클리 블러바드 1329아파트먼트 1
월밍, 데이비드, 에이.
미국 일리노이 60067 팔라틴 웨스트 어텀 로드 1455
첸, 시동
미국 일리노이 60195 샤움버그 크리스틴 드라이브 21 아파트먼트201

(74) 대리인

특허법인화우

전체 청구항 수 : 총 29 항

(54) 샘플링 디바이스의 샘플링 주파수 및 샘플링 위상을 제어하는 장치 및 방법

(57) 요약

샘플링 디바이스에 커플링된 이퀄라이저에 의해 생성된 값으로부터 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 방법은, 이퀄라이저에 의해 디벨롭된 값의 복소수 표현을 생성하는 단계 및 이퀄라이저의 출력으로부터 결정의 표현을 생성하는 단계를 포함한다. 복소수 표현 및 결정 표현은 샘플링 오차 추정을 얻도록 상관된다. 샘플링 오차 추정은 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정하는데 사용된다.

대표도

도 29

특허청구의 범위

청구항 1.

샘플링 디바이스(sampling device)에 커플링된 이퀄라이저(equalizer)에 의해 생성된 값으로부터 상기 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 방법에 있어서:

상기 이퀄라이저에 의해 디벨롭된(developed) 값의 복소수 표현(complex representation)을 생성하는 단계;

상기 이퀄라이저의 출력으로부터 결정의 표현을 생성하는 단계;

샘플링 오차 추정을 얻도록 상기 결정 표현을 상기 복소수 표현과 상관(correlate)시키는 단계; 및

상기 샘플링 오차 추정을 이용하여 상기 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정하는 단계를 포함하는 것을 특징으로 하는 제어 방법.

청구항 2.

제 1 항에 있어서,

상기 이퀄라이저는 ATSC 호환 신호(compliant signal)들을 수신하도록 되는 것을 특징으로 하는 제어 방법.

청구항 3.

제 1 항에 있어서,

상기 이퀄라이저는 ADTB-T 호환 신호들을 수신하도록 되는 것을 특징으로 하는 제어 방법.

청구항 4.

제 1 항에 있어서,

상기 복소수 표현은 동위상(in-phase) 신호 및 사분주기 신호(quadrature signal)를 포함하는 것을 특징으로 하는 제어 방법.

청구항 5.

제 1 항에 있어서,

결정의 표현을 생성하는 단계는 결정 디바이스에 의해 수행(undertake)되는 것을 특징으로 하는 제어 방법.

청구항 6.

제 5 항에 있어서,

결정 표현을 또 다른 복소수 표현으로 변환(transform)하는 또 다른 단계를 포함하는 것을 특징으로 하는 제어 방법.

청구항 7.

제 6 항에 있어서,

또 다른 복소수 표현의 쾰주게이트(conjugate)를 형성하는 또 다른 단계를 포함하는 것을 특징으로 하는 제어 방법.

청구항 8.

제 5 항에 있어서,

상기 결정 표현은 오차 추정을 포함하는 것을 특징으로 하는 제어 방법.

청구항 9.

제 5 항에 있어서,

상기 결정 디바이스는 결정 슬라이서(decision slicer)를 포함하는 것을 특징으로 하는 제어 방법.

청구항 10.

제 5 항에 있어서,

상기 결정 디바이스는 격자 디코더(trellis decoder)를 포함하는 것을 특징으로 하는 제어 방법.

청구항 11.

제 10 항에 있어서,

상기 격자 디코더는 비터비 알고리즘(Viterbi algorithm)을 이용하는 것을 특징으로 하는 제어 방법.

청구항 12.

제 1 항에 있어서,

상기 상관시키는 단계는 결정 표현과 상기 이퀄라이저에 의해 디벨롭된 값의 복소수 표현을 임시로(temporally) 정렬하는 단계를 포함하는 것을 특징으로 하는 제어 방법.

청구항 13.

제 1 항에 있어서,

상기 표현을 생성하는 단계는 펄스 형상 필터(pulse shaping filter)에 의해 수행되는 것을 특징으로 하는 제어 방법.

청구항 14.

제 13 항에 있어서,

상기 펄스 형상 필터는 상승 코사인 필터(raised cosine filter)인 것을 특징으로 하는 제어 방법.

청구항 15.

제 13 항에 있어서,

상기 펄스 형상 필터는 일련의 지연기(delay) 및 가산기(adder)만을 포함하는 것을 특징으로 하는 제어 방법.

청구항 16.

제 1 항에 있어서,

상기 표현을 생성하는 단계는 타이밍 오프셋 포스트 필터(timing offset post filter)에 의해 수행되는 것을 특징으로 하는 제어 방법.

청구항 17.

제 1 항에 있어서,

상기 상관시키는 단계는 멀티플라이어(multiplier)에 의해 수행되는 것을 특징으로 하는 제어 방법.

청구항 18.

제 1 항에 있어서,

상기 샘플링 디바이스는 전압 제어 크리스탈 오실레이터(voltage controlled crystal oscillator: VCXO)를 갖는 아날로그 대 디지털 변환기(analog to digital converter)를 포함하고, 상기 조정하는 단계는 샘플링 순간들을 결정하도록 상기 VCXO를 제어하는 단계를 포함하는 것을 특징으로 하는 제어 방법.

청구항 19.

제 1 항에 있어서,

상기 샘플링 디바이스는 샘플링 비율 변환기를 수반하는 아날로그 대 디지털 변환기를 포함하고, 상기 조정하는 단계는 샘플링 순간들을 결정하도록 상기 샘플링 비율 변환기를 제어하는 단계를 포함하는 것을 특징으로 하는 제어 방법.

청구항 20.

상기 샘플링 디바이스에 커플링된 이퀄라이저에 의해 생성된 값으로부터 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 결정 지향 제어 디바이스(decision directed control device)에 있어서:

상기 이퀄라이저에 의해 디벨롭된 값의 복소수 표현을 생성하는 수단;

상기 이퀄라이저의 출력으로부터 결정의 표현을 생성하는 수단;

샘플링 오차 추정을 얻도록 상기 결정 표현을 상기 복소수 표현과 상관시키는 수단; 및

상기 샘플링 오차 추정을 이용하여, 상기 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정하는 수단을 포함하는 것을 특징으로 하는 결정 지향 제어 디바이스.

청구항 21.

제 20 항에 있어서,

상기 복소수 표현은 동위상 신호(in-phase signal) 및 사분주기 신호(quadrature signal)를 포함하는 것을 특징으로 하는 결정 지향 제어 디바이스.

청구항 22.

제 20 항에 있어서,

상기 결정의 표현을 생성하는 수단은 결정 디바이스를 포함하는 것을 특징으로 하는 결정 지향 제어 디바이스.

청구항 23.

제 22 항에 있어서,

상기 결정 표현을 또 다른 복소수 표현으로 변환(transform)하는 수단을 더 포함하는 것을 특징으로 하는 결정 지향 제어 디바이스.

청구항 24.

제 23 항에 있어서,

또 다른 복소수 표현의 쾨주게이트(conjugate)를 형성하는 수단을 더 포함하는 것을 특징으로 하는 결정 지향 제어 디바이스.

청구항 25.

상기 샘플링 디바이스에 커플링된 이퀄라이저에 의해 생성된 값으로부터 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 컴퓨터 판독가능한 매체(computer-readable medium)에 있어서:

상기 이퀄라이저에 의해 디벨롭된 값의 복소수 표현을 생성하는 제 1 루틴(routine);

상기 이퀄라이저의 출력으로부터 결정의 표현을 생성하는 제 2 루틴;

샘플링 오차 추정을 얻도록 상기 결정 표현을 상기 복소수 표현과 상관시키는 제 3 루틴; 및

상기 샘플링 오차 추정을 이용하여, 상기 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정하는 제 4 루틴을 구현하는 프로그래밍을 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

청구항 26.

제 25 항에 있어서,

상기 복소수 표현은 동위상 신호 및 사분주기 신호를 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

청구항 27.

제 25 항에 있어서,

상기 제 2 루틴은 결정 디바이스에 의해 수행되는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

청구항 28.

제 27 항에 있어서,

상기 결정 표현을 또 다른 복소수 표현으로 변환하는 또 다른 루틴을 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

청구항 29.

제 28 항에 있어서,

상기 또 다른 복소수 표현의 콘주게이트를 형성하는 또 다른 루틴을 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 매체.

명세서

기술분야

관련 출원들에 대한 인용

본 출원은 2004년 4월 9일에 "Advanced Digital Receiver"라는 제목으로 출원된 미국 가 출원 제 60/561,085 호의 우선권을 청구하며, 또한 2004년 8월 12일에 "Advanced Digital Receiver"라는 제목으로 출원된 미국 가 출원 제 60/601,026 호의 우선권을 청구한다. 본 출원은 또한, 2003년 4월 4일에 "Carrier Recovery for DTV Receivers"라는 제목으로 출원된 미국출원 제 10/408,053 호, 2001년 6월 6일에 "Adaptive Equalizer Having a Variable Step Size Influenced by Output from a Trellis Decoder"라는 제목으로 출원된 미국출원 제 09/875,720 호(현재 미국특허 제 6,829,297 호), 2003년 4월 4일에 "System and Method for Symbol Clock Recovery"라는 제목으로 출원된 미국출원 제 10/407,634 호, 2001년 6월 19일에 "Combined Trellis Decoder and Decision Feedback Equalizer"라는 제목으로 출원된 미국특허 제 09/884,256 호 및 2003년 4월 4일에 "Transposed Structure for a Decision Feedback Equalizer Combined with a Trellis Decoder"라는 제목으로 출원된 미국출원 제 10/407,610 호를 인용 참조한다.

본 발명은 일반적으로 디지털 통신 기술들에 관한 것으로, 보다 구체적으로는, 채널로부터 수신된 신호의 샘플들로부터 이퀄라이징된(equalized) 값들을 디벨로핑하는 장치 및 방법에 관한 것이다.

배경기술

이산 데이터 전송(discrete data transmission)은 통신 채널을 통한 송신기로부터 수신기로의 메시지들의 전송이다. 송신기에 배치되는 메시지 센터(message sender) 또는 센터 디바이스는 메시지를 선택하고 통신 채널을 통해 이 메시지를 나타내는 대응 신호 또는 파형을 전송함으로써 메시지 수신기와 통신한다. 수신기는 채널 출력을 관측함으로써 전송되는 메시지를 결정한다. 이산 데이터 메시지의 연속적인 전송은 디지털 통신으로서 알려져 있다. 흔히, 채널 노이즈가 전송을 간섭하고 전송된 메시지를 열화시켜, 수신기에서 원래 메시지의 콘텐츠와 관련한 얼마간의 불확실성을 야기한다. 수신기는 센터가 전송한 어떤 메시지 또는 어떤 메시지들의 시퀀스를 전송하였는지를 판정하기 위하여 검출(detection)로서 알려진 절차를 이용한다. 최적의 검출은 메시지가 전송된 잘못된 수신기 판정의 가능성을 최소화시키는 것이다.

메시지들은 채널을 통해 전송되는 전기 신호들로 전환되는 디지털 시퀀스의 비트들로 이루어져 있다. 통상적으로, 이들 비트들은 변조에 앞서 인코딩된다. 인코딩은 메시지를, 고유의(innate) 형태, 통상적으로 비트들로부터 메시지를 나타내는 값들로 전환시키는 프로세스이다. 변조는 채널을 통한 전송을 위해 상기 값들을 아날로그 신호들로 전환시키는 절차이다. 채널은 전송된 신호들을 결정론적으로(deterministically) 그리고 임의의 노이즈로 왜곡시킨다. 적절한 수신을 간섭하는 이러한 조건들로는, AWGN(additive white Gaussian noise) 및 코히런트 노이즈(coherent noise), 주파수 종속 채널 왜곡(frequency dependent channel distortion), 시간 종속 채널 왜곡(time dependent channel distortion), 및 페이딩 멀티패스(fading multipath)를 포함한다. 이러한 효과들로 인하여, 전송된 메시지가 수신기에 도달하였을 때 붕괴될 수 있는 얼마간의 가능성이 존재한다.

수신시, 수신기는 인커밍(incoming) 파형을 복조한다(demodulate). 일반적으로, 복조는 가능한 한 정확하게 원래 전송된 신호들을 복원하기 위한 것이며 복원된 신호들을 값들의 추정치들로 전환시킨다. 이 프로세스에는, 무선 주파수(RF) 및 니어-베이스밴드(near-baseband) 중간 주파수(IF) 신호들을 베이스밴드 표시로의 다운 믹싱(downmixing), 채널 이퀄라이제이션 및 디코딩으로 다운믹싱하는 단계를 포함하여, 이 프로세스에 대한 몇가지 단계들이 존재한다. 이산 시간 샘플들이 정확한 심볼 레이트(rate)에 있고 신호가 아래로 베이스밴드까지 정확하게 움직이도록 심볼 및 캐리어 리커버리가 수행된다. 수신기는 값 추정치들을 개연성 있게(probabilistically) 결정하기 위하여 검출기를 채용한다. 수신기에 의하여 채용된 바와 같이 수신된 신호를 복조 및 검출하는 방법들은 가능한 전송 값들 및 채널-유발(channel-induced) 오차들에 대한 포텐셜 둘 모두를 고려하는 것이 중요하다. 그 다음, 상기 값 추정치들은 값 추정치들을 다시 메시지의 고유의 형태로 전환시킴으로써 디코딩된다.

디지털 통신 시스템들은 복조기의 출력을 심볼 간격 당 한번씩 주기적으로 샘플링함으로써 전송된 정보를 수신한다. 이는, 비-이상적인 전송 채널 조건들 하에서 심볼-타이밍 및 캐리어 리커버리와 관련된 것으로서, 시스템 동기화와 연관된 문제들을 극복하기 위한 수신기의 디자인을 필요로 한다. 일반적으로, 수신기가 수신된 신호를 샘플링하는 최적의 시간들은 송신기로부터 수신기로의 전파 지연 및 멀티패스와 같은 채널 조건들의 영향으로 인하여 알려져 있지 않다. 또한, 전송된 신호의 전파 지연은 캐리어 위상 오프셋을 초래한다. 위상-코히런트 검출기를 채용하기 위해 수신기를 필요로 하는 상기 전송 시스템에 대하여, 수신기는 전파 지연의 추정치를 디벨로핑하고 전송된 심볼 타이밍의 추정치 및 직접적으로 수신된 신호로부터의 위상 신호를 유도한다. 이에 대한 예외는 파일럿(pilot) 또는 제어 신호들이 전송된 신호에 임베딩된(embedded) 경우이다. 이러한 경우에, 수신기는 임베딩된 파일럿 또는 제어 신호들을 사용하여 수신기를 송신기에 동기화시킨다. 어느 한 경우에, 수신기는 3가지 기본 함수들 : 캐리어 리커버리, 타이밍 리커버리 및 채널 이퀄라이징을 수행함으로써 시스템 동기화 장애들을 극복한다.

상술된 바와 같이, 캐리어 리커버리 프로세스는 다수의 단계들을 포함하여, 수신된 무선 주파수(RF) 신호가 복조된다. 부분적으로, 니어-베이스밴드 신호가 복조되어, 정보-지지(information-bearing) 베이스밴드 신호를 복원하고 여하한 잔류 캐리어 위상 오프셋을 제거한다. 이 최종 단계를 흔히 위상-록킹(phase-locking)이라 칭한다.

타이밍 리커버리 프로세스는, 송신기 시간 베이스를 복원하고 수신기 및 송신기 클럭들을 동기화시키는데 사용된다. 일단 달성되면, 이 동기화는 수신기가 수신된 신호를 적시에 최적의 위치에서 샘플링하고 슬라이싱 오차들을 저감시키도록 한다.

채널 이퀄라이제이션 프로세스는, 수신된 신호가 채널을 지날 때 수신된 신호의 진폭 및 위상을 변화시키는 전송 채널 내의 결함들(imperfections)을 보상하기 위한 것이다. 일반적으로, 이들 결함들은 주파수 종속적이고, 시간 종속적이며 동적이다. 이로 인해, 채널로부터의 진폭 및 위상의 왜곡을 제거하기 위해서는 어댑티브 이퀄라이저 필터 시스템을 채용하는 것이 유리하다.

기존의 것으로 다수의 위상-록킹 루프(phase-locked loop:PLL) 기술들이 존재한다. 당업자들이 이해할 수 있는 예시적인 접근법들의 제한된 리스트로는, 코스타스 루프(Costas loops), 스퀘어링 루프(squaring loops)가 있으며, 보다 일반적으로는 결정 지향(decision directed) 및 비-결정 지향 루프(non-decision directed loops)가 있다.

통상적으로, 위상-록킹 기구들은 3가지 공통 요소들과 관련되어 있다. 그들은, 위상 오차 검출/생성, 위상 오차 프로세싱 및 로컬 위상 복원(local phase reconstruction)이다. 위상 검출기에 의해 구현되는 위상 오차 검출 작업은 수신기에서 검출되는 전송된 신호 위상과 수신기에 의해 디벨로핑되는 인커밍 신호의 위상 추정치 간의 위상 차이 측정치를 도출한다. 위상 오차 측정치는 수신된 신호의 위상과 실제 전송된 신호 간의 차이이다.

통상적으로, 인티그레이터(integrator) 또는 로우-패스 루프 필터(low-pass loop filter)에 의하여 구현되는 위상 오차 처리 작업은 시간 주기에 걸쳐 또는 시간 윈도우 내에서 위상 오차의 크기를 평균함으로써 본질적인 위상 차이의 경향들을 추론한다. 적절하게 설계된 위상 오차 처리 작업은 임의의 노이즈 및 위상 오차 신호의 여타 바람직하지 않은 성분들을 회피한다. 안정성을 확보하기 위하여, 루프 필터는 위상 검출기에 있는 계인을 흡수한다(absorb). 위상-록킹 루프(phase-locked loops) 내에서 활용되는 아날로그, 디지털 및 하이브리드 아날로그-디지털 위상 오차 검출 방법이 존재한다. 이 방법들은 모듈로- 2π 위상 검출기(modulo- 2π phase detectors), 바이너리 위상 검출기(binary phase detectors), 위상-스플리팅 필터(phase-splitting filters), 및 최대-부근 캐리어 위상 에스티메이터(maximum-likelihood carrier phase estimators)를 포함하나, 이들로 제한되는 것은 아니다.

로컬 위상 복원 작업은 로컬 오실레이터(local oscillator)의 위상 및 생성을 제어하기 위한 것이다. 로컬 오실레이터는 니어-베이스밴드 신호와 동일한 주파수 및 위상을 갖는 국부적으로 생성된 오실레이터 주파수를 갖는 니어-베이스밴드 신호를 복조하는데 사용된다. 록킹되는 경우, 생성된 로컬 오실레이터 신호는 베이스밴드로 복조되는 신호와 동일한 주파수 및 위상 특징들을 갖는다. 로컬 오실레이터는 아날로그 또는 디지털 수단 중 하나를 사용하여 구현될 수 있다. 다양한 타입의 전압 제어 액정 오실레이터 및 수치 제어 오실레이터, VCXO's 및 NCO's가 로컬 캐리어를 재생성하는데 사용될 수 있다.

아날로그 회로의 경우에, 로컬 위상 복원 작업은 전압-제어 오실레이터를 사용하여 구현된다. VCXO는 위상 오차를 0이 되도록 함으로써 인커밍 신호의 로컬 위상을 재생성하기 위해 처리된 위상 오차 정보를 사용한다.

메커니즘이 인커밍 위상을 예측한 다음 새로운 위상 오차의 형태로 그 예측치의 정확성을 측정할 수 있도록, 위상-록킹 기구는 실제에 있어 약간의 유한한 지연을 갖는다. 위상-록 기구가 위상의 편차를 보다 신속하게 추적할수록, 메커니즘이 기구나 임의의 노이즈 및 여타 결합들에 보다 잘 감응한다. 이는, 수신된 신호가 강력한 멀티패스 환경내에 존재하는 경우 더욱 그러하다. 따라서, 동기화 시스템을 설계하는 경우 이러한 2가지 대향적 효과들 간에 적절한 트레이드-오프가 이루어진다.

타이밍 복원 또는 동기화는 수신기가 로컬 타임 베이스를 송신기 심볼 레이트에 동기화시키는 프로세스이다. 이는, 전송된 심볼의 값을 정확하게 결정할 수 있는 가능성을 최대화시키기 위하여 심볼 주기 동안 시간 인스턴트들을 정밀하게 샘플링하도록 한다. 상술된 바와 같이, PPL 서브시스템은 심볼 레이트를 회복시키기에 충분하다. 그 대신, 타이밍 리커버리를 제공하기 위하여 별도의 심볼-타이밍 회복 기능이 PLL과 조합하여 추가된다. 적절한 심볼-타이밍 리커버리는 ISI (intersymbol interference)의 일 소스이며, 수신기의 성능을 현저하게 디그레이드한다(degrade).

당업자라면, 복조기 출력의 적절한 샘플링은 직접적으로 적절한 타이밍 리커버리에 따른다. 로컬 클럭 리커버리를 수행하기 위하여 시스템들에 의해 활용되는 다수의 방법들이 존재한다. 제 1 시스템에서는, 다양한 타입의 클럭 신호들이 비트 스트림에 인코딩된다. 제 2 시스템에서는, 사전정의된 동기화 심볼들이 전송되지 않고, 단지 데이터만 전송되고 록킹된 로컬 클럭은 수신된 데이터 스트림으로부터 유도된다. 대역폭 효율성에 대한 요구로 인해 후자의 시스템이 보다 광범위하게 나타난다는 것에 유의해야 한다.

또한, 타이밍 리커버리 방법들(timing recovery methods)은 수신기의 결정 디바이스 출력(decision device output)의 그들의 사용과 관련하여 구별가능하다. 비-결정 보조 방법론(non-decision aided methodology)은 결정 디바이스의 출력에 따라 좌우되지 않는다. 이러한 방법론의 예시로는 스퀘어-로우 타이밍 리커버리 방법(square-law timing recovery method)이 있다. 또한, 인벨로프-타이밍(envelope-timing) 리커버리는 QAM(Quadrature Amplitude Modulation) 수신기에서 활용되는 등가의 스퀘어-로우 타이밍 리커버리 방법이다.

결정 지향(decision directed)(결정-보조로도 알려짐) 타이밍 리커버리는 결정 디바이스 출력을 사용한다. 결정 지향 타이밍 리커버리 방법의 일 예시는 LE(linear equalizer) 또는 DFE(decision feedback equalizer) 중 어느 하나의 출력과 결정 디바이스의 출력간의 샘플링 시간 위상에 걸친 평균-제곱 외차를 최소화시킨다.

결정 디바이스는 복조기로부터 얻어지는 각각의 샘플에 심볼 값을 할당하는 역할을 한다. 하드(hard) 결정 디바이스 및 소프트(soft) 결정 디바이스 둘 모두가 존재한다. 하드 결정 디바이스의 일 예시는 결정 슬라이서 또는 Viterbi 디코더가 있다. 결정 지향 타이밍 복원 방법들의 경우에, 결정 디바이스 출력과 입력 샘플링 함수간에 과도한 지연이 존재하지 않도록 주의해야 한다. 과도한 지연은 수신기의 전체적인 성능을 저하시키거나, 최악의 경우 위상 록킹 루프가 불안정해지도록 한다. 당업자라면 이해할 수 있듯이, 심볼-타이밍 추정치들의 품질은 전체적인 신호-대-노이즈 비(SNR)에 따라 좌우되며 채널 특성 및 신호 펄스 평상의 함수이다.

수신기 디자인의 전체적인 데이터 전송 레이트 또는 비트 오차 레이트(bit error rate:BER) 중 하나에 의하여 측정되는 바와 같이, 저급한 수신기 성능을 초래할 수도 있는 채널 왜곡 및 간섭의 다양한 소스들이 존재한다. 그 인자들로는, 노이즈, AWGN, 심볼간 간섭(ISI) 및 멀티패스 컨디션들이 있다.

또한, 수신기들은 상당한 멀티패스 특징들을 갖는 채널들을 보상한다. 채널 주파수 응답 및 시간 변화 멀티패스 효과들에 따라, 멀티패스 현상을 분류하고 기술하는 다양한 수단이 존재한다. 당업자들에게 익숙한 4가지 공통적인 범주에는, 저속 변화 주파수 비-선택(slow changing frequency non-selective fading), 고속 변화 주파수 비-선택 페이딩(fast changing frequency non-selective fading), 저속 변화 주파수 선택 페이딩(slow changing frequency selective fading) 및 고속 변화 주파수 선택 페이딩(fast changing frequency selective fading)이 있다.

통상적으로 멀티패스는, 각각 수신기에 대한 유일한 복합(composite) 전파 시간을 갖는 상이한 전송 경로들을 통해 수신기에 도달하는 전송 신호의 결과이다. 멀티패스 유도 ISI는 채널의 비-선형 위상 응답 및 일정하지 않은(non-constant) 진폭과 경쟁(contending) 수신기를 생성시킨다. 제 2 효과는 페이딩이라 언급된다. 페이딩은 수신기에서 보강 및 상쇄 간섭을 생성시키는 각각의 전파 경로와 연관된 전파 지연에 의한 것이다. 페이딩은 SNR의 열화를 야기한다.

실제 관련사항들(implications)에 의해 요약된 바와 같이, 이러한 단순한 설명은 실제 당업자들에게 익숙한 4개의 범주로 더욱 세분화된다. 실제에 있어, 서서히 변하는, 주파수 비-선택 페이딩을 나타내는 채널은, 모든 전파 경로들이 하나의 심볼 주기(symbol period)내에서 수용되고 상기 채널은 모든 신호 주파수 성분들에 균등하게 영향을 미친다는 것을 의미한다. 이는 가장 쉽게 보상되는 페이딩 채널 현상이다. 고속 변화 주파수 비-선택 페이딩은, 채널이 심볼 주기 동안 변하는 경우 일어난다. 고속 페이딩은 효과적으로 보상하기에 매우 어렵다.

채널이 주파수 도메인 내의 수용된 심볼들을 왜곡시키고 모든 주파수 성분들이 균등하게 영향 받지 않는 경우 저속 주파수-선택 멀티패스를 갖는 것으로 특성화될 수도 있다. 결과적으로, 베이스밴드 펄스 형상이 왜곡되고 심볼간 간섭(ISI)이 일어난다. 끝으로, 고속 변화 주파수-선택 페이딩은 채널의 최악의 경우로 여겨지는 타입이며, 수용된 심볼이 많은 심볼 주기에 걸쳐 스프레딩되고 채널 특징들 또한 심볼 주기 동안 변하는 경우에 일어난다.

또한, 페이딩은 도 1에 나타난 바와 같이 큰-스케일 및 작은-스케일의 페이딩 카테고리들로 개략적으로 나누어진다. 모바일 어플리케이션에서 발생하는 것과 같은 수신기의 큰 움직임들은 큰-스케일의 페이딩을 야기하는 한편, 작은-스케일의 페이딩은 수신기의 움직임으로 인한 것이다. 그 진폭이 대수 확률밀도함수(log-normal probability density function)를 갖기 때문에, 큰-스케일의 페이딩은 대수 페이딩이라 칭해지기도 한다. 통상적으로, 작은-스케일의 페이딩은 확률 분포 함수(pdf)가 그것을 최상으로 설명하는지에 따라, Rayleigh- 또는 Ricean-페이딩이라 기술된다. 또한, 몇몇 멀티패스 채널 조건들을 특성화하기 위해 Nakagami-m 분포도 사용되어 왔다.

많은 현대의 디지털 통신 시스템들은 신호 전송 채널에서의 조건 및 외란(disturbance)을 변화시키는 효과들을 보상하기 위해 적합한 이퀄라이제이션(equalization)을 채용한다. 이퀄라이제이션은 전송 채널의 일그러짐(distortion)에 의하여 야기되는 베이스밴드 ISI를 제거하는데 사용되고 베이스밴드 또는 패스밴드 신호들과 관련하여 수행될 수도 있다. 흔히, 이퀄라이제이션은 베이스밴드 신호를 생성하기 위해 캐리어 리커버리(carrier recovery) 및 다운 믹싱(down mixing)에 앞서 니어-베이스밴드 신호와 관련하여 수행된다. 특히, 이는, 당업자들에게 잘 알려진 바와 같이 1이상의 부분적 오픈 아이(open eye)를 필요로 하는 결정 지향 캐리어 리커버리 프로세스(decision directed carrier recovery process)이다.

도 2에는, 8-VSB의 잔류측파대 아이 다이어그램(8-VSB, vestigial sideband, eye diagram)의 도가 나타나 있다. 상기 아이 다이어그램은 샘플링 인스턴트에서 수신되는 RF 신호 진폭의 오버레이이다. 많은 신호 트레이스들의 컨버전스는 수

신기에서 클록 펄스들의 발생과 일치하는 7개의 "아이들(eyes)"을 형성한다. 각각의 샘플링 시간에서, 복조된 RF 진폭은 8개의 가능한 레벨들 중 하나를 취한다. 전송 동안 8-VSB 신호가 붕괴되면(corrupt), 더 이상 RF 신호가 곧 바로 정확한 진폭을 갖지 못하므로 이들 "아이들"은 폐쇄(close up)되거나 사라진다.

본질적으로, 적응 이퀄라이저 필터 시스템(adaptive equalizer filter system)은 채널 일그러짐들을 보상하는 수정가능한 주파수 및 위상 응답을 갖는 적응 디지털 필터이다. 당업자라면 알 수 있듯이, 이러한 기능을 수행하기 위해 이용가능한 수 개의 구성, 방법 및 알고리즘들이 있다. 일 실시예에서, FFE(feed-forward equalizer)는 DFE(decision feedback equalizer)로 제공되는 부분적으로 이퀄라이징된 신호를 디벨로핑한다. 이러한 타입의 통상적인 시스템들에서, FFE는 프리커서 ISI로부터 생성된 고스트들을 최소화시키거나 제거하는 역할을 하는 한편, DFE는 포스트커서 ISI로부터 생성된 고스트들을 최소화시키거나 제거하는 역할을 한다. 또 다른 시스템에서, FFE는 프리커서 및 몇몇 포스트커서 ISI로 인해 고스트들을 저감 또는 제거하는 한편, DFE는 포스트커서 ISI로부터 생성된 고스트들을 저감 또는 제거한다.

멀티패스 유도 ISI의 수신기 성능과 관련한 충격은 채널 추정(estimation) 및 이퀄라이제이션의 적용에 의해 저감된다. 채널 추정의 유효성은 ISI의 제거와 직접적인 관계를 갖는다. 이론에 있어 이상적인 채널 추정은 ISI의 완전한 제거를 가능하게 한다. 하지만, 특히 나쁜 채널 특징들이 존재하는 경우에는 이상적인 채널 추정을 얻는 것이 불확실하다.

멀티패스 간섭의 존재시 성능을 개선시키기 위한 또 다른 접근법은 다이버시티(diversity) 원리에 기초한다. 멀티패스 페이딩을 완화시키기 위하여 상이한 전파 경로들이 조합되어 사용된다. 이는, 통상적으로 전파 경로들이 서로 관련되어 있지 않기 때문에 가능하며, 그들 모두가 동시에 페이딩되는 것은 쉽지 않다는 것을 의미한다. 다이버시티 개념은 채널 버스트 오차로서 채널 페이딩 메커니즘을 모델링한다. 따라서, 전송된 정보의 일시적(temporally) 또는 프리퀀시-기반의(frequency-based) 잉여(redundant) 카피들을 제공하는 것은 성공적인 데이터 전송의 가능성을 향상시킨다.

다이버시티 기술들에는 일시적 다이버시티 및 프리퀀시 다이버시티가 포함된다. 프리퀀시 다이버시티는, 연속적인 캐리어들의 간격이 정보 채널의 코히어런트 밴드폭과 동일하거나 또는 그를 초과하는 경우 다수의 캐리어에 걸쳐 동일한 정보가 전송되어야 하는 요건을 갖는다. 일시적 다이버시티는, 연속하는 시간 슬롯들 사이의 간격이 채널의 코히어런트 시간과 동일하거나 또는 그를 초과하는 경우 L개의 상이한 시간 슬롯들 내로 전송되는 동일한 정보를 갖는(information-bearing) 신호의 다수(L)의 독립적인 페이딩 버전들을 사용한다. 따라서, 전송 경로에 기초하는 가변적인 시간에 전송되는 정보의 L개의 카피들이 수신기로 제공된다.

이 개념의 일 실현례는 Rake Receiver이다. 상기 Rake Receiver는 시스템 성능을 향상시키기 위하여 멀티패스 현상을 활용한다. 멀티패스 베이스밴드 코릴레이터(correlator)들은 다수의 멀티패스 구성요소들을 개별적으로 처리하는데 사용된다. 그 다음, 전체적인 신호 강도를 증가시키기 위해 상기 코릴레이터 출력들이 부가된다.

상기 특성화들은 채용될 수 있는 예시적 기술들의 부분적이고, 비 제한적인 리스트로서만 의도된 것이며, 어느 방식으로든 개시된 발명에 어떠한 제약도 가하려는 의도는 없다.

현재의 관련 기술분야에서 이용가능한 수많은 기술들이 존재함에도 불구하고, 수신기들은 강한 멀티패스 환경에서 현저한 성능의 열화를 나타내고 있다. 이는 특히 육상(terrestrial) 디지털 방송시스템의 경우에 그러하다. 특히, 이퀄라이저를 사용하는 아트 수신기(art receiver)의 현재 상태는 통상적으로 간섭성 멀티패스 신호들을 제거하기 위하여 차감법(subtractive method)을 사용한다. 이는, 멀티패스 페이딩 환경을 변화시키는데 있어 분명한 단점이다. 특히, 이들 수신기 시스템들은 주어진 전송 경로 또는 채널을 통해 오는 단일의 가장 강하게 수신된 신호를 식별하고 그에 대해 록킹하려고 한다. 이는, 이퀄라이저의 개시(start up)시 FFE의 중심점에서 유니타 크기의 탭을 구성함으로써 달성된다. 수신시, 다른 전송 경로들에 대응되는 신호들은 들어오는 전체 신호로부터 차감되어 제거된다. 이는, (다이버시티가 시스템에 사용되는 경우) 수신 프로세스로부터 모든 다이버시티를 효과적으로 제거한다. 또한, 주 멀티패스 신호의 강도가 페이딩되거나 새로운 보다 강한 신호가 나타나면 수신기는 록을 잃을 수 있다. 이는 수신기에서 상당한 캐리어 위상 오프셋을 도입한다. 따라서, 멀티패스 조건들을 변화시키는 것은 수신기가 캐리어 록을 재획득하도록(reacquire) 하여, 수신기에서 사용자에 대한 정보 흐름에서 주목가능할 만한 디스러プション(disruption)이 일어나도록 할 수 있다.

발명의 상세한 설명

본 발명의 일 실시형태에 따르면, 샘플링 디바이스에 커플링된 이퀄라이저(equalizer)에 의해 발생된 값으로부터 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 방법은, 이퀄라이저에 의해 디벨로핑된(developed) 값의 복소수 표현

(complex representation)을 생성하는 단계 및 이퀄라이저의 출력으로부터 결정의 표현을 생성하는 단계를 포함한다. 복소수 표현 및 결정 표현(decision representation)은 샘플링 오차 추정을 얻도록 상관(correlate)된다. 샘플링 오차 추정은 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정하는데 사용된다.

본 발명의 또 다른 실시형태에 따르면, 샘플링 디바이스에 커플링된 이퀄라이저에 의해 생성된 값으로부터 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 결정 지향 제어 디바이스(decision directed control device)는, 이퀄라이저에 의해 디벨롭된 값의 복소수 표현을 생성하는 수단들 및 이퀄라이저의 출력으로부터 결정의 표현을 생성하는 수단들을 포함한다. 또한, 결정 지향 제어 디바이스는 샘플링 오차 추정을 얻도록 결정 표현을 복소수 표현과 상관시키는 수단들, 및 샘플링 오차 추정을 이용하여 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정하는 수단들을 포함한다.

본 발명의 또 다른 실시형태에 따르면, 샘플링 디바이스에 커플링된 이퀄라이저에 의해 생성된 값으로부터 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 제어하는 컴퓨터 판독가능한 매체는 다수 루틴(multiple routine)들을 구현하는 프로그래밍을 포함한다. 제 1 루틴은 이퀄라이저에 의해 디벨롭된 값의 복소수 표현을 생성하고, 제 2 루틴은 이퀄라이저의 출력으로부터 결정의 표현을 생성한다. 제 3 루틴은 샘플링 오차 추정을 얻도록 결정 표현을 복소수 표현과 상관시키며, 제 4 루틴은 샘플링 오차 추정을 이용하여 샘플링 디바이스의 샘플링 위상 및 샘플링 주파수를 조정한다.

다음의 상세한 설명을 고려하여, 본 발명의 다른 실시형태들과 장점들이 나타날 것이다.

실시예

본 발명의 원리들을 소개 및 이해시키기 위한 목적으로, 도면에 예시된 실시예들이 참조되고, 상기 실시예들을 설명하는데 특정한 표현이 사용될 것이다. 그럼에도 불구하고, 본 발명의 범위에 대해 어떠한 제한도 의도되지 않았다는 것을 이해해야 한다. 당업계에서 통상적으로 일어나는 것으로서, 기술된 실시예들에 대한 변경 및 추가적인 수정 그리고 본 명세서에서 설명된 본 발명의 원리들의 여하한 추가적인 응용들이 고려될 수 있다.

도 3에 예시된 본 시스템의 일 실시형태는, 열악한 멀티패스 환경에서 복조된 신호들을 수신하는 경우 현저히 개선된 안정성 및 성능을 갖는 디지털 수신기 시스템이다. 이러한 새로운 디지털 수신기에 채용되는 기술들, 디바이스들 및 시스템들은 QAM, 오프셋-QAM 및 VSB를 포함하되 이들으로써만 제한되지 않는 다양한 복조 포맷들에 대해 최적화될 수 있다. 예시적으로, 해당되는 하나의 비-제한적 예시의 전송 표준은 미국의 HDTV 방송을 위해 채택된 ATSC 표준이 있다. ATSC 전송 표준은 VSB 수신기의 캐리어 록 달성에 사용하기 위하여 억제된 캐리어 주파수에서 파일럿 신호를 갖는 억제된 캐리어 8-VSB 신호를 활용한다. 도 4에 도시된 바와 같이, ATSC 데이터 전송 포맷은 프레임 당 2개의 필드를 포함한다. 각각의 필드는 832 멀티레벨 심볼들로 이루어진 313개의 세그먼트들을 갖는다. 각각의 세그먼트는 4개의 심볼 세그먼트 싱크 캐릭터를 가지며 828개 심볼들의 페이로드(payload)가 이어진다. 각각의 필드의 제 1 세그먼트는 필드 싱크 세그먼트를 포함하는 한편, 나머지 세그먼트들은 데이터 패킷들을 이송하는데 사용된다. 필드 싱크는 사전설정된 511의 심볼 의사난수(pseudorandom number;PN) 시퀀스 및 3개의 사전설정된 63-심볼 룭 (PN) 시퀀스들을 특징으로 한다. 중간 63-심볼 룭 (PN) 시퀀스는 각각의 연속하는 필드에서 반전된다. (VSB 콘스텔레이션(constellation) 크기로 형성되는) VSB 모드 제어 신호는 92개의 예비(reserved) 심볼들과 이전 필드로부터 복사된 12개의 심볼들이 이어지는 최종 63 PN 시퀀스의 다음에 온다. 당업자라면, 본 발명이 과도한 실험 없이 여타 전송 표준들에도 적용가능하다는 것을 이해할 것이다.

본 발명의 일 실시예는 도 3에 도시된 시스템(20)이다. 시스템(20)은 ATSC 방송 신호를 수신하고 처리하며, 아날로그 프론트 엔드 수신기(analog front end receiver)(30), 동조기(40), 디지털 복조기(42), NRF(Nyquist Root Filter)(44), 이퀄라이저(46), FEC(forward error correction)(48), NCC(non-coherent control)(50), DDC(decision directed control)(52) 및 제어 시스템(54)을 포함한다. 또한, 시스템(20)의 추가 실시예들은, 시스템(20)의 다양한 지점에서 세그먼트 싱크, 필드/프레임 싱크 및 신호-대-노이즈 비(SNR)의 존재를 검출한다. 예시적으로, 시스템(20)의 몇몇 실시예들은 수신된 데이터의 SNR을 결정한다. 다른 실시예들은 수신된 동조 신호들에 기초하여 수신된 신호의 SNR을 결정한다. 다른 특정 실시예들은 데이터 오차율에 기초하여 이퀄라이저의 성능을 정량화한다(quantify). 이와 유사하게, 시스템(20)의 다른 요소들은 그것의 성능을 정량화하기 위해 데이터 오차율을 이용한다. 또한, 또 다른 실시예들은 미국특허 제 6,828,297 호에 기술된 바와 같이 이퀄라이저의 격자 디코더(trellis decoder)에 의하여 디벨로핑된 성능 매트릭스(metrics)를 이용한다.

시스템(20)의 몇몇 실시예는 또한, 이퀄라이저(46)의 출력들 중 하나에서 프레임 또는 필드 싱크 신호를 검출한다. 시스템(20)의 다른 실시예들은 동조기(40) 또는 디지털 복조기(42)가 수신된 신호에 록킹되는지의 여부를 결정한다.

제어 시스템(54)은 시스템(20)의 다양한 요소들에 연결되고(도시 안됨) 일반적으로 시스템(20)의 함수를 지시한다. 예시적으로, 몇몇 실시예에서, 제어 시스템(54)은 시스템 시동, 작업 모드 선택 및 이퀄라이저 계수의 적응성(adaptation)을 검

사한다(oversee). 후술되는 바와 같이, 제어 시스템(54)은 채널 지연 추정치(84), 이퀄라이저 출력(88) 및 적응 심볼 결정치(adaptation symbol decision)(94)를 수신한다. 또한, 제어 시스템(54)은 신호 세그먼트 싱크(96), 필드/프레임 싱크(98), SNR(100), VCXO 록(102) 및 NCO 록(104)을 수신한다. 세그먼트 싱크(96)는 유효한(valid) 세그먼트 싱크가 이퀄라이저(46)의 원하는 출력부 또는 시스템(20)의 다른 요소들에서 검출되었는지를 나타내는 신호이다. 필드/프레임 싱크(98)는 유효한 필드/프레임 싱크가 이퀄라이저(46)의 원하는 출력부 또는 시스템(20)의 다른 요소들에서 검출되었는지를 나타내는 신호이다. 이와 유사하게, SNR(100)은 이퀄라이저(46)의 원하는 출력부에서 수신된 신호의 추정된 SNR이다. VCXO 록(102)은 동조기(40)가 인커밍 신호의 시간 베이스에 록킹되었는지를 나타내는 신호이다. 끝으로, NCO 록(104)은 디지털 복조기(42)가 인커밍 캐리어에 록킹되었는지를 나타내는 신호이다.

아날로그 프론트 엔드 수신기(30)의 입력부는 방송 신호를 수신하는 안테나 또는 여타 신호 소스에 연결된다. 아날로그 프론트 엔드 수신기(30)는 원하는 RF 방송 신호로 튜닝되고, AGC(automatic gain control) 및 신호 증폭을 제공하며, 수신된 신호를 복조 프로세스에서 사용될 IF(intermediate frequency)로 전환한다. 아날로그 프론트 엔드 수신기(30)는 노이즈 존재시 수신된 신호를 최적화시키기 위하여 RF 튜닝 회로, IF 회로 및 AGC 회로를 포함할 수도 있다. 아날로그 프론트 엔드 수신기(30)는 또한 수신된 신호를 니어-베이스밴드 신호로 하향-전환시킨다(down-convert). 예시적으로, ATSC에서 채택된 니어-베이스밴드 캐리어 억제 8-VSB 신호(near-baseband carrier suppressed 8-VSB signal)의 수신된 IF 패스밴드는 대략 5.38 MHz로 센터링될 수 있다.

본 발명에 따르면, 동조기(40)는 인커밍 신호의 시간 베이스에 인커밍 신호 및 동조 시스템(20)을 샘플링하는 역할을 하는 전체 타이밍 리커버리 기능부의 일부이다. 동조기(40)는 아날로그 프론트 엔드 수신기(30)로부터 아날로그 니어-베이스밴드 신호(60)를 수신하고 디지털화된 니어-베이스밴드 신호(62)를 생성한다. 동조기(40)는 또한 결정 지향 제어부(52)로부터의 결정 지향 동조 피드백 신호(66)를, 그리고 논-코히런트 제어부(54)로부터의 논-코히런트 동조 피드백 신호(64)를 수신한다.

본 발명의 몇몇 실시예에서, 동조기(40)는 피드백-제어된 VCXO에 의해 생성되는 샘플 클럭에 기초하여 디지털 니어-베이스밴드 신호(60)를 생성하기 위하여 인커밍 아날로그 니어-베이스밴드 신호(60)를 샘플링하는 A/D 컨버터(도시 안됨)를 포함한다. 제어 시스템(54)은 결정 지향 동조 피드백 신호(66) 또는 논-코히런트 동조 피드백 신호(64)를 선택하여 A/D 샘플 클럭의 위상 및 주파수를 제어하기 위하여 동조기(40)를 제어한다. 다른 실시예에서, 동조기(40)는 또한 상환 지향 제어 피드백 신호(도시 안됨)를 수신한다. 선택된 피드백 신호는 VCXO 출력 주파수 및 위상을 지배하는 제어 신호를 생성하기 위해 필터링된다.

예시적으로, 특정 실시예들에서는 논-코히런트 동조 피드백 신호(64)를 사용해 VCXO 작업을 지배하도록 제어 시스템(54)은 초기에 동조기(40)를 구성한다. 아날로그 니어-베이스밴드 신호(60)는 동조기(40)에 의해 피드백-제어되는 VCXO 샘플 클럭에 기초하여 샘플링된다. 시스템(20)이 적어도 부분적으로 수렴(converge)된 후에, 결정 지향 동조 피드백 신호(66)를 사용해 VCXO 작업을 지배하도록 제어 시스템(54)은 동조기(40)를 선택적으로 구성한다. 예시적으로, ATSC 시스템에 대해 최적화된 동조기(40)의 몇몇 실시예들은 ATSC 시스템에서 수신되는 신호의 심볼 비율(rate)의 두 배인 대략 21.52 MHz의 비율로 A/D 샘플링을 구동하는 VCXO를 포함한다. VCXO가 수신된 신호의 시간 베이스에 록킹된 후에, 제어 시스템(54)은 VCXO Lock(102)으로부터 포지티브한 표시(positive indication)를 수신한다. VCXO가 인커밍 신호에 록킹되는지의 여부를 결정하기 위해 당업계에서 이용가능한 여러 기술들이 존재한다는 것을 이해할 것이다.

다른 실시예들에서, 동조기(40)는 고정된 샘플링 비율 A/D의 출력을 재-샘플링한다. 예시적으로, A/D는 고정된 비율로 인커밍 신호(60)를 샘플링한다. 샘플 비율 컨버터는 디지털화된 니어-베이스밴드 신호를 재-샘플링하여 인커밍 심볼 비율에 동조된 원하는 출력 샘플 비율을 디벨로핑한다. 상술된 것과 유사하게, 제어 시스템(54)은 시스템(20)의 작업 상태에 기초하여 논-코히런트 동조 피드백 신호(64) 또는 결정 지향 동조 피드백 신호(66)를 사용하여 재-샘플링 프로세스를 선택적으로 제어한다.

디지털 복조기(42)는 시스템(20)의 전체 캐리어 트래킹 및 리커버리 기능부의 일부이며, 베이스밴드에 대해 동조기(40)의 니어-베이스밴드 출력을 복조한다. 도 3에 나타난 바와 같이, 디지털 복조기(42)는 동조기(40)로부터의 디지털화된 니어-베이스밴드 신호(62), 결정 지향 제어부(52)로부터의 결정 지향 캐리어 트래킹 피드백 신호(74), 및 논-코히런트 제어부(50)로부터의 논-코히런트 캐리어 트래킹 피드백 신호(72)를 수신한다. 도시되지는 않았지만, 디지털 복조기(42)의 다른 실시예들 또한 상환 지향 제어 피드백 신호를 수신한다. 일 실시예에 따르면, 디지털 복조기(42)는 인-페이스(in-phase) 성분 신호(68) 및 사분주기(quadrature) 성분 신호(70)를 갖는 2배 오버-샘플링된 복잡한 베이스밴드 출력으로 니어-베이스밴드 신호(62)를 디지털식으로 하향 복조한다(digitally down demodulate). 후술되는 필터링 단계들 이전에, 인-페이스 성분 신호(68) 및 사분주기 성분 신호(70)는 음 및 양 주파수 성분 모두를 갖는다. 디지털 복조기(42)의 출력은 Nyquist Root Filter(44)에 의하여 아웃-오브-밴드 신호들을 제거하도록 로우패스-필터링된다(lowpass-filtered).

후술되는 바와 같이, 제어 시스템(54)은 디지털 복조기(42)의 작업을 지배하는 피드백 신호를 선택적으로 제어한다. 초기 시스템의 시동시, 디지털 복조기(42) 작업은 NCC(50)로부터의 논-코히런트 캐리어 트래킹 피드백 신호에 의하여 지배된다. NCC(50)는 수신되는 캐리어 주파수를 트래킹하고 디지털 복조기의 NCO 부에 의하여 생성되는 다운 믹스 주파수를 지배한다. 시스템(20)이 적어도 부분적으로 수립된 후에, 제어 시스템(54)은 개선된 캐리어 트래킹을 제공하기 위해 결정 지향 제어 피드백 루프 신호를 활용하도록 디지털 복조기(42)를 구성하고 하향 전환 프로세스를 지배한다. 디지털 복조 작업의 몇몇 원하는 포인트에서, NCO Lock(104)은 제어 시스템(54)에 NCO가 수신되는 신호의 캐리어에 록킹되도록 지시한다.

본 발명의 몇몇 실시예들에서, 단지 인-페이즈 성분 신호(68)만이 이퀄라이저(46)에 의해 시스템의 복잡성을 저감시키는 데 사용된다. 대안적으로, 본 발명의 다른 실시예들은 시스템(20)의 이퀄라이저(46)에 포함되는 마찰식으로 이격되는 FFE와 연계되는 오버-샘플링된 베이스밴드 신호를 활용한다.

복조기(42)는 NRF(44) 및 NCC(50) 둘 모두에 대한 입력들로서 인-페이즈 성분 신호(68) 및 사분주기 성분 신호(70)를 제공한다. NRF(44)는 이퀄라이저(46)에 대한 입력들로서 필터링된 인-페이즈 베이스밴드 신호(I_F)(76) 및 필터링된 사분주기 베이스밴드 신호(Q_F)를 생성하기 위해 복조된 신호로부터 고 주파수 성분들을 필터링해낸다. 몇몇 실시예에서, NRF(44)는 5.38 MHz의 이중-사이드(double-sided) 밴드폭 및 11%의 롤오프(rolloff)를 갖는 로우-패스 필터이다.

함께 계류중인 본 발명인의 출원들, 즉 본 명세서에서 인용 참조되는 "Carrier Recovery for DTV Receivers"라는 제목으로 출원된 미국특허 출원 제 10/408,053 호 및 "System and Method for Symbol Clock Recovery"라는 제목으로 출원된 미국특허 출원 제 10/407,634 호에서 설명된 바와 같이, NCC(50)는 논-코히런트 캐리어 트래킹 피드백 신호 및 논-코히런트 심볼 타이밍 동조 신호를 디벨로핑하기 위하여 상부 및 하부 Nyquist 경사들에 관한 파일럿 신호(pilot signal) 및 잉여 정보를 활용한다. 상술된 바와 같이, NCC(50)는 디지털 복조기(42)에 대한 입력으로서 논-코히런트 캐리어 트래킹 피드백 신호(72) 및 동조기(40)에 대한 입력으로서 논-코히런트 동조 피드백 신호(64)를 제공한다.

도 3에 예시된 바와 같이, 이퀄라이저(46)는 NRF(44)로부터 베이스밴드 성분 신호 I_F (76) 및 Q_F (78)를 수신한다. 몇몇 실시예들에서, 이퀄라이저(46)는 I_F (76) 및 Q_F (78)를 활용한다. 다른 실시예들에서는, 이퀄라이저(46)만이 복조된 신호의 실 성분이라고도 언급되는 I_F (76)를 활용한다.

이퀄라이저(46)의 몇몇 실시예들은 피드 포워드 기술들을 사용하여 계수들을 수립 및 업데이트하는 한편, 다른 실시예들은 LMS 피팅과 같은 피드백 기술들을 사용한다. 특정 실시예들은 이 프로세스의 일부로서 채널 지연을 추정한다. 이퀄라이저(46)는 제어 시스템(54)에 CDE(84)를 제공한다. 그 다음, 제어 시스템(54)은 수신되는 고스트 신호들의 다양성을 유리하게 조합함으로써 안정적으로 수신되는 신호를 생성하는 가상의 채널 응답을 디벨로핑하기 위해 LMS 알고리즘을 통해 이퀄라이저 계수 적응 프로세스(equalizer coefficient adaptation process)를 안내한다.

다른 실시예들에서, 이퀄라이저(46)는 이퀄라이저 구조체 내에 통합되는 격자 디코더를 포함한다. 몇몇 실시예에서, 격자 디코더의 출력은 이퀄라이저 DFE의 데이터 샘플들을 업데이트하거나 온고잉(ongoing) 베이스스와 관련한 이퀄라이저 계수 적응 프로세스를 안내하는데 사용된다. 다른 실시예들에서, 중간 격자 디코더 스테이지 출력들은 이퀄라이저를 안내하는데 사용된다. 또 다른 실시예들은, "Transported Structure for Decision Feedback Equalizer Combined with Trellis Decoder"라는 제목으로 출원된 미국특허 출원 제 10/407,610 호에 나타낸 바와 같이, 조합된 DFE-격자 디코더 구조체를 포함한다. 또 다른 실시예에서는, 미국특허 출원 제 09/884,256 호에 나타낸 바와 같이, 격자 인코더의 중간 스테이지들로부터의 출력들이 매퍼(mapper)를 통해 DFE의 특정 스테이지의 입력들과 커플링된다.

본 명세서에 기술된 바와 같이, 이퀄라이저(46)는 정보-지지 신호가 전송되는 전송 채널의 채널 지연을 추정하는 기술들을 포함한다. 이퀄라이저(46)는 제어 시스템(54)에, 다른 이퀄라이저 적은 기술들과 연계하여 이퀄라이저(46)의 탭 계수들을 끌어내는데 사용되는 CDE(84)를 제공한다. 제어 시스템(54)은 채널에 대해 이퀄라이저를 정렬시키기 위해 CDE(84)를 사용한다. CDE(84)는 CIR(channel impulse response)의 추정으로부터 디벨로핑된다. 몇몇 실시예들은 싱크 신호 착륙들(arrivals)을 상관시킴으로써 CIR을 추정한다. 특정 실시예들은 필드/프레임 싱크 신호를 사용한다. 다른 실시예들은 세그먼트 싱크 신호를 사용한다. 또 다른 실시예들은 이퀄라이저(46)의 계수들을 트레이닝(train)하기 위하여 세그먼트 싱크 및 프레임 싱크 둘 모두를 활용한다. 또한, 다른 실시예들은 수신된 신호 내의 다른 신호들을 상관시킴으로써 CIR을 추정한다.

이퀄라이저(46)의 몇몇 실시예들은 중심 탭 또는 기준 탭을 갖지 않는다. 이는, 멀티패스 고스트가 수신된 주 신호를 현저하게 감소시키는 경우에도 이퀄라이저가 안정적으로 유지될 수 있도록 한다. 다른 실시예들은 가상의 중심 출력을 갖는 오버래핑된 이퀄라이저를 포함한다. 오버래핑된 이퀄라이저에서, 이퀄라이저(46)의 FFE 및 DFE 부분에 포함되는 몇몇 샘플들은 임시적으로 관련된다. 오버래핑된 이퀄라이저 구조체는 이퀄라이저 내에 전략적으로 배치될 가상의 중심이 노이즈의 영향을 최소화시키고 전체 성능을 개선시킬 수 있도록 한다. 또한, 이퀄라이저(46)의 몇몇 실시예들은 디지털 복조기(42)에 의해 제거되지 않는 잔류 위상 노이즈를 제거하기 위하여 결정 지향 위상 트랙커를 포함한다. 이러한 실시예들 중 몇몇은 또한 결정 지향 캐리어 트랙킹 피드백 신호의 작업을 결정 지향 위상 트랙커의 작업에 연계시키는 기술들을 포함한다.

도 3에 예시된 바와 같이, 시스템(20)의 몇몇 실시예들에서, 이퀄라이저(46)는 결정 지향 제어부(52)에 동조 심볼 결정(86) 및 그에 대응하여 이퀄라이징된 데이터 신호(88)를 제공한다. 본 명세서에서 설명되는 바와 같이, 이퀄라이징된 데이터 신호(88)는 이퀄라이저의 결정 디바이스(도시 안됨)에 제공되는 데이터 신호이다. 동조 심볼 결정(86)은 이퀄라이저 내의 결정 디바이스에 의해 생성되는 값이다. 몇몇 실시예들에서, 동조 심볼 결정(86)은 결정 슬라이서의 출력이다. 다른 실시예들에서, 동조 심볼 결정(86)은 격자 디코더의 선택된 스테이지로부터의 출력이다. 본 발명의 특정 실시예들에서, 이퀄라이저(46)는 결정 지향 제어부(52)에 동조 심볼 결정(86)에 대응되는 중간 이퀄라이징된 신호(90)를 제공한다. 후술되는 바와 같이, 몇몇 실시예들에서는 중간 이퀄라이징된 신호(90)가 FFE의 출력으로부터 나온다. 다른 실시예들에서는, 중간 이퀄라이징된 신호(90)가 위상-보정된(phase-corrected) FFE 출력이다.

몇몇 실시예들에서, 적응 심볼 결정(94)은 생성된 동조 신호와 같은 공지된 트레이닝 신호이다. 다른 실시예들에서, 적응 심볼 결정(94)은 이퀄라이저(46)의 결정 슬라이서의 출력이다. 특정 실시예들에서, 적응 심볼 결정(94)은 이퀄라이저(46) 격자 디코더 또는 격자 디코더의 중간 스테이지나 다른 스테이지의 출력이다. 또 다른 실시예들에서, 적응 심볼 결정(94)은 시스템(20) 또는 이퀄라이저(46)의 작동 상태에 따른다.

결정 지향 제어부(52)는 결정 지향 캐리어 트랙킹 피드백 신호(74) 및 결정 지향 동조 피드백 신호(66)를 생성시킨다. 결정 지향 캐리어 트랙킹 피드백 신호(74)는 특별하게 수신된 심볼에 대한 결정 가중 캐리어 트랙킹 오차 추정이다. 이와 유사하게, 결정 지향 동조 피드백 신호(66)는 수신된 심볼에 대한 결정 가중 타이밍 오차 추정이다.

FEC(48)의 입력은 이퀄라이저(46)의 FEC 심볼 결정(80)을 수신한다. FEC는 수신된 데이터에 포함되는 오차들을 보정하기 위해 다수의 후 신호 처리 단계들을 수행한다. 예시적으로, FEC(48)는 프레임 동조, 데이터 디-인터리빙(de-interleaving) 및 Reed-Solomon 포워드 오차 보정을 수행한다.

도 5의 이퀄라이저(200)와 같이 예시된 이퀄라이저(46) 일 실시예는 입력으로서, 필터링된 인-페이즈 베이스밴드 신호(IF)(76) 및 필터링된 사분주기 베이스밴드 신호(QF)(78)를 수신하며, 출력으로서, FEC 심볼 결정(80), 동조 심볼 결정(86), 이퀄라이징된 데이터 신호(88), 중간 이퀄라이징된 신호(90) 및 적응 심볼 결정(94)을 제공한다. 본 명세서에서 설명된 바와 같이, 이퀄라이저(200)의 몇몇 실시예들은 Q_F 를 처리하지 않는다.

이퀄라이저(200)는 FFE(feedforward equalizer)(210), 가산기(adder)(212), 결정 디바이스(214), DFE(216) 및 제어 시스템을 더 포함한다. 도 5에 예시된 바와 같이, 이퀄라이저(500)의 몇몇 실시예들에서는, FFE(210)가 필터링된 인-페이즈 베이스밴드 신호(76)를 입력으로 수신한다. 설명의 편의를 위해 도 5에 도시되지는 않았으나, FFE(210)의 몇몇 실시예들은 또한 Q_F 를 수신한다. FFE(210)의 출력은 가산기(212)의 제 2 입력을 제공한다. 가산기(212)의 출력은 결정 디바이스(214)에 대한 입력으로서의 역할을 하는 이퀄라이징된 신호(88)이다. 도시되지는 않았으나, 제어 시스템(54)은 이퀄라이저(200)의 다양한 요소들에 연결되고, 이퀄라이저(200)의 작동을 지배하며, FFE(210) 및 DFE(216)의 계수들이 적합해지도록 한다. FFE는 FFF's(feedforward filters) 및 FIR(finite impulse response) 필터들을 포함하는 당업계에서 알려진 필터들의 범주 중 하나이며, 당업자라면 본 명세서에서 사용되는 FFE에 대한 적절한 대체물로서 FFF 또는 FIR을 사용할 수 있다는 것을 명백히 이해할 것이다.

도 5에 예시된 바와 같이, 결정 디바이스(214)는 FEC 심볼 결정(80), 동조 심볼 결정(86), 이퀄라이저 피드백 심볼 출력(92) 및 적응 심볼 결정(94)을 포함하는 다양한 출력들을 제공한다. 이퀄라이저 피드백 심볼 출력(92)은 DFE(216)에 제공되는 결정 디바이스 출력이다. FEC 심볼 결정(80)은 FEC(48)에 제공되는 이퀄라이저(200)의 최종 출력인 한편, 동조 심볼 결정(86)은 결정 지향 제어부(52)에 제공된다(도 3 참조). 몇몇 실시예들에서, 동조 심볼 결정(86)은 결정 슬라이서 회로의 출력이다. 다른 실시예들에서, 동조 심볼 결정(86)은 격자 또는 Viterbi 디코더의 출력 또는 선택된 스테이지로부터

얻어진다. 또 다른 실시예들에서, 동조 심볼 결정(86)은 이퀄라이저(200)의 작동 상태에 따라 격자 디코더의 출력이나 상태 또는 결정 슬라이서 회로로부터 선택적으로 얻어진다. 본 명세서에서 기술되는 실시예에서, 동조 심볼 결정(86)은 캐리어 트래킹 및 동조 피드백 루프들 각각에 상이한 출력들을 제공할 수도 있다.

몇몇 실시예들에서, 이퀄라이저 피드백 심볼 출력(92)은 결정 슬라이서 회로의 출력으로부터 얻어진다. 다른 실시예들에서, 이퀄라이저 피드백 심볼 출력(92)은 격자 또는 Viterbi 디코더의 출력 또는 선택된 스테이지로부터 얻어진다. 또 다른 실시예에서, 이퀄라이저 피드백 심볼 출력(92)은 DFE(216)의 값들을 업데이트 하여 그들이 보정될 수 있도록 한다. 대안적으로, 제어 시스템(54)은 시스템 작동 상태에 따라 이퀄라이저 피드백 심볼 출력(92)에 대한 데이터 소스를 선택적으로 취한다.

제어 시스템(54)은 적응 심볼 결정(94)을 사용하여 이퀄라이저(200)의 계수들이 적합해 지도록 한다. 동조 심볼 결정(86)과 유사하게, 몇몇 실시예들에서는, 적응 심볼 결정(94)은 결정 슬라이서 회로의 출력이다. 다른 실시예들에서, 적응 심볼 결정(94)은 격자 디코더의 출력 또는 선택된 스테이지로부터 얻어진다. 또 다른 실시예에서, 적응 심볼 결정(94)은 트레이닝 심볼이다. 또 다른 실시예에서, 적응 심볼 결정(94)은 이퀄라이저(200)의 작동 상태에 따라 결정 디바이스 결정 슬라이스 회로나, 중간 격자 디코더 스테이지 또는 격자 디코더 출력으로부터 선택적으로 얻어진다.

특정 실시예들에서, FEC 심볼 결정(80), 동조 심볼 결정(86), 이퀄라이저 피드백 심볼 출력(92) 및 적응 심볼 결정(94)은 결정 디바이스(214)의 결정 슬라이서 출력으로부터의 동일한 신호이다. 몇몇 다른 실시예에서, FEC 심볼 결정(80), 동조 심볼 결정(86), 이퀄라이저 피드백 심볼 출력(92) 및 적응 심볼 결정(94)은 기능적으로 상이하며, 상술된 바와 같이 결정 디바이스(216)의 상이한 스테이지들로부터 얻어진다.

비-제한적인 예시로서, 본 발명의 몇몇 실시예들에서는, 결정 디바이스(214)가 격자 디코더이며, 각각의 출력들의 소스를 선택적으로 제어한다. 예시적으로, 동조 심볼 결정(86)은 격자 디코더의 원하는 부분으로부터 선택적으로 얻어질 수 있다. 제 1 예시에서, 제어 시스템(54)은 동조 심볼 결정(86)을 선택적으로 제어하여, 결정 디바이스(216)의 결정 슬라이서 출력이 되도록 한다. 제 2 예시에서, 제어 시스템(54)은 동조 심볼 결정(86)을 선택적으로 제어하여, 결정 디바이스(216)의 격자 디코더로부터 부분적으로 또는 완전하게 오차-보정된 심볼이 되도록 한다.

도 5에 나타낸 바와 같이, DFE(216)는 입력 이퀄라이저 피드백 심볼 출력(92)로서 수신한다. 몇몇 실시예에서는, 가령 결정 디바이스(214)가 격자 디코더를 포함하는 경우, 피드백 심볼 출력(92)이 선택적으로 제어된다. 예시적으로, 본 발명의 특정 실시예에서는, 이퀄라이저 피드백 심볼 출력(92)이 격자 디코더의 결정 슬라이서 부분의 출력일 수도 있다. 이퀄라이저 계수들이 전송 채널 왜곡의 부분을 제거하기 위해 최적화되면, 제어 시스템(54)은 격자 디코더의 보정된 심볼들로부터 DFE(216)의 값들을 선택적으로 업데이트할 수도 있다. 몇몇 다른 실시예들에서는, 본 발명인의 함께 계류중인, "Transposed Structure for a Decision Feedback Equalizer Combined with a Trellis Decoder"라는 제목으로 출원된 미국특허 출원 제 10/407,610 호에 기술된 바와 같이, 결정 디바이스(214)가 격자 디코더의 트래이스 메모리들 중 하나로부터의 DFE(216)에 오차-보정된 심볼 출력을 제공한다. 또 다른 실시예에서는, 본 발명인의 함께 계류중인, "Combined Trellis Decoder and Decision Feedback Equalizer"라는 제목으로 출원된 미국특허 출원 제 09/884,256 호에 기술된 바와 같이, 격자 디코더의 스테이지들의 출력들이 DFE의 스테이지들의 적어도 일 부분에 대한 입력들을 디벨로핑하는데 사용된다.

도 5에 도시된 시스템에서는, 설명의 편의를 위해 연결 모두가 도시되지는 않았으나, 제어 시스템(54)은 FFE(210), 결정 디바이스(214), DFE(216) 및 CDEU(230)에 연결된다. 또한, 제어 시스템(54)은 CDE(84), 이퀄라이징된 데이터 신호(88), 적응 심볼 결정(94), 세그먼트 싱크 검출기(도시 안됨)으로부터의 세그먼트 싱크 신호(96), 필드/프레임 싱크 검출기(218)로부터의 필드/프레임 싱크 신호(98) 및 SNR 신호(100)를 수신한다.

무엇보다도, 제어 시스템(54)은 다양한 스테이지와 이퀄라이저(200)의 부분들, 클록 생성과, 시스템(20)의 초기화 및 작동을 초기화 및 제어한다. 후술되는 바와 같이, 제어 시스템(54)은 또한 프리-고스트 및 포스트-고스트 신호들의 영향을 제거하기 위하여 이퀄라이저(200)의 필터 계수들을 디벨로핑 또는 최적화한다.

이퀄라이저(200)는 전송 채널의 채널 지연을 추정하기 위해 순차적으로 사용되는 전송 채널의 CIR을 추정하기 위한 기술들을 포함하는 CDEU(230)를 더 포함한다. 몇몇 실시예들에서, CDEU(230)는 입력들로서 필터링되는 인-페이스 베이스 밴드 신호 I_F (76)를 수신하고, 제어 시스템(54)에 대한 출력들로서 CIR의 추정으로부터 디벨로핑되는 CDE(84)를 제공한다

다. 몇몇 다른 실시예들에서, CDEU(230)는 필터링된 사분주기 베이스밴드 신호(78)를 활용하지 않는다. 또 다른 실시예들에서, FFE(210)는 I_F 및 Q_F 둘 모두를 수신한다. 당업자라면 이해할 수 있듯이, I_F 와 관련해 작동하는 이퀄라이저(200)의 표현은 설명의 편의를 위한 것으로 제한적인 의미는 없다.

후술되는 바와 같이, CDEU(230)는 제어 시스템(54)에 대한 FFE(210)의 입력에서 복합(composite) 지연을 나타내는 CDE(84)를 제공한다. 이하 설명되겠지만, 복합 지연은 채널에 존재하는 고스트 신호들과 연관된 지연을 반영한다. CDE(84)에 기초하여, 제어 시스템(54)은 본 명세서에 기술된 기술들 중 여하한의 기술을 사용해 이퀄라이저(200)의 출력부에서 세그먼트 싱크 및 프레임 싱크 신호들의 원하는 임시 장소를 결정한다. 제어 시스템(54)은 이퀄라이징된 데이터 신호(88)와 적응 심볼 결정(94)간의 차이에 기초하여 FFE(210) 및 DFE(216)의 계수들을 적합하게 한다. 몇몇 실시예들은, 필드/프레임 싱크 신호(98)가 (필드/프레임 싱크 검출기(218)에 의하여) 검출되었는지 제어 시스템(54)에 지시하는 필드/프레임 싱크 신호(98) 및 선택적 세그먼트 싱크 신호(96)를 포함한다. 끝으로, SNR 신호는(100) 상대적인 신호-대-노이즈 비 및/또는 이퀄라이저(46)의 출력부에서 이퀄라이징된 신호의 데이터 오차율의 제어 시스템(54)에 지시를 내린다.

세그먼트 주기 내에서 FFE(210)의 입력부에서 수신되는 다양한 고스트 신호들의 세그먼트 싱크 시퀀스들의 상대적인 지연 및 상관 강도를 검출함으로써 채널의 채널 지연을 추정하는 CDEU(230A)와 같이, CDEU(230)의 일 실시예가 도 6에 도시되어 있다. 보다 상세히 후술되겠지만, CDEU(230A)는 공지된 세그먼트 싱크 시퀀스를 갖는 세그먼트 주기에서 주어진 심볼 시간에 대해 수신되는 신호를 상관시킨다. 상관 강도들은 전송 채널의 CIR의 추정치를 나타낸다. 그 다음, 각각의 심볼 시간에 대한 상관 강도들은 세그먼트 주기들의 시퀀스에 걸쳐 임시적으로 필터링된다. 도 7과 관련하여 설명되는 바와 같이, 그 다음 CDEU(230A)는 로컬 시간 베이스에 대한 데이터 세그먼트 주기 내에서 임시적으로 필터링되는 상관 강도들의 중심(centroid)을 계산함으로써 CDE(84)를 디벨로핑한다. CDEU(230)의 특정 실시예들은 특정 하드웨어 및 소프트웨어 파티션들을 갖는 것으로 설명되었으나, 이는 예시에 지나지 않으며 제한적인 것은 아니다. 다른 파티셔닝 및 구성은 당업계에서 통상적으로 이행되는 것과 같이 구현될 수 있다는 것을 이해해야 한다.

도 7에 예시된 비-제한적인 제 1 예시로서, 시스템(20)은 채널을 통해 전송되는 ATSC 신호를 수신한다. 수신된 신호는 제 1 고스트(G_1) 및 제 2 고스트(G_2)를 포함한다. G_1 및 G_2 의 착류들간의 상대적인 지연은 세그먼트 주기 내의 수신기에서 각각의 고스트의 세그먼트 싱크 시퀀스의 착류에서의 추정된 지연이다. 각 고스트의 강도 또는 크기는 세그먼트 주기에서 특정 심볼 시간 슬롯에 착류하는 세그먼트 싱크 시퀀스의 상관 강도로부터 추정된다. 예시적으로, G_1 및 G_2 는 각각 심볼 클럭 세그먼트 주기 내의 심볼 시간(128 및 512)에 위치된다. 나타낸 바와 같이, G_1 의 세그먼트 싱크 시퀀스의 상관은 G_2 와 연관된 세그먼트 싱크 시퀀스의 상관 크기의 60%이다. 가중 평균 또는 센트로이드 계산을 적용하여, 채널의 CDE가 심볼 시간(368)에 대응되는 것으로 추정된다.

도 8에 예시된 추가 예시에서는, 도 7의 채널이 데이터 심볼 시간(64, 256 및 768)에서 각각 고스트 신호들(G_3 , G_4 및 G_5)를 포함한다. 본 발명의 몇몇 실시예에서는, CDE를 계산하는 경우에도 또한 G_3 , G_4 및 G_5 가 고려된다. 다른 실시예에서는, 이러한 보다 작은-크기의 고스트 신호들의 고려사항을 필터링해 내는 임계 함수(threshold function)가 적용된다.

도 6을 다시 참조하면, CDEU(230A)는 육상의 ATSC 방송 시스템의 전송 채널에 있어 고스트 신호들의 존재시에 작동하도록 되어 있다. CDEU(230A)는 코릴레이터(310)에 대한 입력으로서 필터링된 인-페이즈 베이스밴드 신호(I_F)를 수신한다. 인티그레이터(312)는 코릴레이터(310)의 출력을 수신하고 그것의 출력을 상관 버퍼(314)에 제공한다.

이와 유사하게, 센트로이드 추정기(340)는 인터페이스(342)를 통해 상관 버퍼(314)의 출력을 수신한다. 예시된 실시예에서, 인터페이스(342)는 일정 방향이며(unidirectional), 센트로이드 추정기(340)는 단지 상관 버퍼(314)의 콘텐츠를 관독한다. 다른 실시예들에서, 인터페이스(342)는 이-방향(bi-directional)이며, 센트로이드 추정기(340)는 상관 버퍼(314)의 콘텐츠를 관독하고 기록할 수 있다.

몇몇 실시예들에서, 심볼 카운터(316)는 심볼 클럭(도시 안됨)으로부터의 입력을 수신하고 데이터 세그먼트 주기 동안 수신되는 심볼들의 개수에 대응되는 SC(symbol count output)를 디벨로핑하는 나머지(modulo) 카운터이다. 심볼 클럭은 모든 심볼 시간마다 클럭 에지를 제공한다. 예시적으로, ATSC 시스템 세그먼트 주기는 832 심볼 시간들로 이루어져 있다. 따라서, ATSC 시스템에 적합한 심볼 카운터의 일 실시예는 0 내지 831의 출력 값들을 갖는 나머지 832 카운터이다. 심볼 카운터 출력은 증가된(incremented) 각각의 심볼 시간이나; 세그먼트 싱크과 반드시 정렬될 필요는 없다. 또한, 심볼 카운터(316)의 몇몇 실시예들은 모두 832 심볼 시간들이 할당되는 세그먼트 인디케이터 출력을 포함한다. 세그먼트 인디케이터 출력은 심볼 카운터(316)에 의하여 카운트되는 제 1 심볼에 대해 시간조정된다(timed).

세그먼트 카운터(318)의 일 실시예는 심볼 카운터(316)의 세그먼트 인디케이터 출력(SI)을 수신한다. 세그먼트 카운터(318)는 심볼 카운터에 의하여 생성되는 세그먼트 인디케이션들의 개수를 카운트하고 프레임 시간 내에서 수신되는 세그먼트 인디케이션의 개수에 대응되는 세그먼트 카운트 SEGCNT를 제공한다. 또 다른 실시예들에서, 세그먼트 카운터(318)는 ATSC 전송에서 데이터 필드 당 313 세그먼트에 대응되는 나머지 313 카운터이다. 대안실시예에서, 세그먼트 카운터(318)는 심볼 클럭으로부터의 입력을 수신하고 모두 832 심볼 시간들을 증분시킨다(increment).

컨트롤러(320)는 이퀄라이저(200)의 다른 요소들과 소통하기 위한 제어 시스템(54)에 작동가능하게 연결되는 제 1 제어 인터페이스를 포함하며, 코릴레이터(310), 인터그레이터(312), 상관 버퍼(314), 심볼 카운터(316), 세그먼트 카운터(318), 메모리(330) 및 센트로이드 추정기(340)를 포함하는 CDEU(230A)의 다른 요소들과 소통하기 위한 제 2 인터페이스를 더 포함할 수도 있다. 제 2 제어 인터페이스는, 당업계에서 수용될 수 있는 것으로서, 메모리 및 버퍼를 0으로 리셋하고, 구성 레지스터들을 판독 및 기록하고, 리셋 신호를 제어하고, 메모리 및 레지스터 장소에 대한 액세스를 제어하는 것을 포함하되, 이들로 제한되지 않는 CDEU(230A)의 다양한 요소들, 다양한 디바이스의 버퍼 관리 및 다양한 제어와 기술들을 제어한다. 또한, 컨트롤러(320)는 각각 세그먼트 카운터(318) 및 심볼 카운터(316)로부터의 SEG CNT 및 신호들(SC)을 수신한다.

도 6에 예시된 바와 같이, CDEU(230A)의 몇몇 실시예들은 컨트롤러(320) 및 상관 버퍼(314)를 연결시킨다. 상관 버퍼(314)는, 본 명세서에서 어레이 M(i)(i는 어레이의 인덱스)라 언급된, 데이터 세그먼트 주기의 심볼 시간들의 개수에 대응되는 메모리 장소들을 갖는다. i의 최대값은 데이터 세그먼트에 포함되는 심볼 시간들의 개수에 대응된다. 나타내지는 않았으나, 인덱스 변수 i는 컨트롤러(320)에 의해 상관 버퍼(314)에 제공된다. 본 명세서에서 설명된 바와 같이, 몇몇 예시에서는 인덱스 변수 i가 심볼 카운터(316)에 의하여 제공되는 SC와 동일한 값을 갖는다. 하지만, 다른 예시에서 인덱스 변수 i는 CDE(84)를 계산하기 위해 제어기(320)에 의해 제공된다.

예시적으로, ATSC 표준에 대해 채택되는 본 발명의 일 실시예는 데이터 세그먼트 당 832 심볼에 대응되는 832 메모리 장소를 갖는 상관 버퍼(314)를 포함한다. 당업자라면 알 수 있듯이, 특정 실시예들에서 컨트롤러(320)는 상관 버퍼(314)의 작동을 독립적으로 지배한다. 다른 실시예들은 인터그레이터(312), 컨트롤러(320) 및 센트로이드 추정기(340)가 상관 버퍼(314)에 액세스할 수 있도록 한다. 다양한 기술들, 인터페이스들, 버퍼 관리 기술들, 메모리 조직들 및 타입들이 당업계에서 실현될 수 있는 다양한 실시예에서 사용되며, 본 명세서의 모든 설명들은 예시에 지나지 않으며 제한의 의도는 없다.

또한, 컨트롤러(320)는 메모리(330) 및 센트로이드 추정기(340)에 연결된다. CDEU(230A)의 다른 실시예들은 제어 시스템(54)이 메모리(330)를 액세스하도록 한다. 도 6에 도시된 바와 같이, 메모리(330)의 일 실시예는 CDE 레지스터(332), 센트로이드 추정(CENT) 레지스터(334), 코어링 임계 레지스터(coring threshold register;336) 및 세그먼트 카운트 레지스터(338)를 포함한다. 보다 상세히 후술되는 바와 같이, CDE 레지스터(332)는 FFE(210)의 입력에서 측정되는 채널 지연과 연관된 전류 추정 지연을 유지한다. CENT 레지스터(334)는 CDE 레지스터(332)에 저장된 값에 대응되는 센트로이드 추정기(340)에 의하여 생성된 센트로이드 추정치를 포함한다. 후술되는 바와 같이, 코어링 임계 레지스터(336)는 실패 세그먼트 싱크 검출(false segment sync detection)을 필터링해내거나 또는 최소화시키는데 사용되는 코어링 임계 변수를 포함한다. 마지막으로, 세그먼트 카운트 레지스터(338)의 콘텐츠는, 세그먼트 주기 내의 각 심볼 시간 동안 임시적으로 필터링되는 세그먼트 싱크 상관 값들의 세트를 생성시키기 위하여 CDEU(230A)는 코릴레이터(310)에 의하여 생성되는 상관값들을 적분하는 세그먼트들의 개수(N)이다. 몇몇 대안실시예에서, 코어링 임계치 및 N의 값들은 변화가 없다(static)

기능적으로, 코릴레이터(310)는 심볼 상관 값 SCV(i)을 생성시키기 위하여 공지된 세그먼트 싱크 시퀀스를 갖는 $I^F(76)$ 의 4개의 가장 최근에 수신된 값들을 수신 및 상관시킨다. 예시적으로, 몇몇 실시예에서, SCV(i)는 데이터 세그먼트의 i^{th} 심볼 시간에 대한 심볼 상관값이고 상관 버퍼(314)의 i^{th} 어레이 장소 M(i) 및 심볼 카운트(316)의 출력에 대응된다. 도 9에 나타난 바와 같이, 코릴레이터(310)의 일 실시예는 ATSC 시스템에 대해 디자인되며 서머(summer)(350) 및 지연 라인(360)을 포함한다. 지연 라인(360)은 제 1, 제 2, 제 3 및 제 4 지연 요소(도시 안됨)를 갖는데, 상기 제 1 지연 요소는 입력으로서 $I_F(76)$ 를 수신하고 제 1 지연 출력(362)을 제공한다. 상기 제 2 지연 요소는 제 1 지연 출력(362)을 수신하고 제 2 지연 출력(364)을 제공한다. 상기 제 3 지연 요소는 제 2 지연 출력(364)을 수신하고 제 4 지연 요소에 제 3 지연 출력(366)을 제공하며, 이는 나아가 제 4 지연 출력(368)을 제공한다. 제 1, 제 2, 제 3 및 제 4 지연 요소들의 출력들은, 각각 I_{F3} , I_{F2} , I_{F1} 및 I_{F0} 으로 명시된 I_F 의 4개의 가장 최근에 수신된 값들에 대응된다. 서머(350)는 입력 I_{F3} , I_{F2} , I_{F1} 및 I_{F0} 으로부터의 출력 SCV(i)를 생성시킨다. 심볼 시간 i에서 서머(350)의 출력은 $SCV(i) = I_{F3} - I_{F2} - I_{F1} + I_{F0}$ 이다. 당업자라면 이해할 수 있듯이, 세그먼트 싱크 시퀀스, 즉 4개의 심볼 시간들의 상대적으로 짧은 길이는 흔히 노이즈 상관 SCV(i)을 야

기할 것이다. 예시적으로, 데이터 통과 코릴레이터(data passing through correlator)(310)(도 6 참조)는 소정의 방식으로 자체 정렬되어 최대 상관 출력값을 야기한다. 다수의 세그먼트에 걸쳐 SCV(i)의 값들을 적분하는 것은 이들 노이지 상관값들을 평균낸다.

일 실시예에서, 인티그레이터(312)는 완전한 인티그레이터이다. 인티그레이터(312)의 또 다른 실시예에서, 도 10에 나타난 인티그레이터(312A)는 "리키" 인티그레이터이고 데이터 입력 버퍼(370), 메모리 입력 버퍼(374), 스칼라(374), 가산기(376) 및 출력 버퍼(378)를 포함한다. 인티그레이터(312A)는 심볼 카운터(316)의 SC에 대응되는 코릴레이터(310)(도 9 참조)로부터 데이터 입력 버퍼(370)에서 SCV(i)를 수신한다. INT(i)는 시간에 걸쳐 SCV(i)의 값을 적분함으로써 얻어지는 SCV(i)의 임시적으로 평균한 값이며 상관 버퍼(314)의 어레이 M(i) 내에 저장된다. 인티그레이터(312A)는, 간단히 INT_{OLD}(i)라 나타내며, 메모리 입력 버퍼(372)에서 심볼 카운터(316)의 심볼 카운트에 대응되는 사전 계산된 적분값을 수용한다. SCV(i) 및 INT_{OLD}(i)는 데이터 세그먼트 주기 내의 동일한 심볼 시간에 대응된다는 것을 이해해야 한다. 메모리 입력 버퍼(372)는 INT_{OLD}(i)를 스칼라(374)에 제공한다. 스칼라(374)는 INT_{OLD}(i)와 원하는 스칼라(S)를 곱하고 그 적(product)을 가산기(376)에 제공한다. 또한, 가산기(376)는 데이터 입력 버퍼(370)의 출력을 수용하고 합 INT_{NEW}(i) = SCV(i) + (SINT_{OLD}(i))를 출력 버퍼(378)에 제공한다. 출력 버퍼(378)는 INT_{NEW}(i)를 M(i)의 INT_{NEW}(i)를 저장하는 상관 버퍼(314)에 제공한다.

인티그레이터(312A)가 완전한 인티그레이터인 몇몇 실시예에서, 스칼라 값은 1(S=1)이다. 리키 인티그레이터를 갖는 실시예들에서, 스칼라 값은 1보다 작다. 예시적으로, 본 발명의 일 실시예는 S = 255/256을 사용한다. 다수의 세그먼트 주기에 걸쳐 SCV(i)의 값들을 적분하는 것은 코릴레이터(310) 내에 수신되는 데이터의 노이즈를 필터링해낸다.

도 11에 예시된 바와 같이, 센트로이드 추정기(340)의 1 이상의 실시예는 필터(380), 임계 레지스터(382), 차감기(386), PCDE 레지스터(388) 및 인티그레이터(390)를 포함한다. 콘트롤러(320)(도 6 참조)는 임계 레지스터(382) 및 PCDE 레지스터(388)에 대한 파라미터들을 판독 및 기록한다. 후술되는 바와 같이, 인티그레이터(390)는 센트로이드 오차 추정(344)치를 콘트롤러(320)에 제공한다. 몇몇 실시예에서, 콘트롤러(320)는 코어링 임계 레지스터(336)(도 6 참조)로부터 임계 레지스터(382)로의 가변 임계치(variable threshold)를 기록한다. 다른 실시예에서, 임계 레지스터(382)는 코어링 임계 레지스터(336)와 대등하다. PCDE 레지스터(388)는 평가하에 PCDE(proposed channel delay estimate)를 포함한다. 본 발명의 몇몇 실시예에서, PCDE 레지스터(388)는 CDE 레지스터(332)(도 6 참조)의 등가이다.

콘트롤러(320)(도 6)는 도 11의 센트로이드 추정기(340)에 인덱스 변수 i를 제공하고, 센트로이드 추정기(340)는 또한 필터(380)의 제 1 입력(342)에서 상관 버퍼(314)로부터 INT(i)를 수용한다. 또한, 필터(380)는 임계 레지스터(382)로부터 가변 임계치를 수용하는 제 2 입력부를 포함하며 멀티플라이어(multiplier)(384)의 제 1 입력에 출력치를 제공한다. PCDE 레지스터(388)는 가변 PCDE를 차감기(386)의 포지티브 입력부에 제공한다. 차감기(386)의 부정(negating) 입력부는 콘트롤러(320)로부터의 인덱스 변수 i를 수용한다. 차감기(386)의 출력은 INT(i)에 대응되는 (수학적 의미에서) "모멘트"를 계산하는데 사용되는 PCDE로부터의 거리이다. 차감기(386)의 출력은 멀티플라이어(384)에 대한 제 2 입력으로서 제공되며, 이는 인티그레이터(390)의 입력에 적을 제공한다.

후술되는 바와 같이, 콘트롤러(320)는 본 명세서에서 CCE(PCDE)라 지칭되는 메트릭(metric)의 절대 크기를 최소화시키는 PCDE 값을 탐색한다. 본 발명의 다른 실시예들은, CDE의 절대 크기와 관련 없이 CDE를 선택하기 위하여 CCE(PCDE)의 부호 변화를 탐색한다. 필터(380)는 상관 버퍼(314)에 저장되는 INT(i) 값들의 절대값과 관련한 필터 함수 F(INT(i), 임계치)를 수행한다. 예시적으로, 몇몇 실시예에서, 필터(380)는 INT(i)의 절대값을 취하고 그를 임계치와 비교한다. 필터(380)의 출력은 $|INT(i)| < \text{임계치}$ 의 값들에 대해 F(INT(i), 임계치) = 0이고; 필터(380)는 $|INT(i)| > \text{임계치}$ 에 대해 출력 F(INT(i), 임계치) = $|INT(i)|$ 를 갖는다.

다른 실시예들에서, 필터(380)는 INT(i)의 제곱 값과 임계치를 비교하여, $INT(i)^2 \geq \text{임계치}$ 인 경우, 필터(380)의 출력이 $INT(i)^2$ 와 같고, 그렇지 않으면 이러한 출력이 0과 같도록 한다. 또 다른 실시예에서, 필터(380)는 $|INT(i)|^2 > \text{임계치}$ 에 대해 출력 F(INT(i), 임계치)를 갖는다. 그렇지 않으면, 필터(380)는 $|INT(i)|^2 \leq \text{임계치}$ 에 대해 출력 F(INT(i), 임계치)를 갖는다.

차감기(386)는 제안된 CDE 장소와 INT(i)에 대응되는 ith 샘플 사이의 샘플들의 지연 또는 개수를 나타내는 샘플 거리 차(PCDE-i)를 디벨로평한다. 멀티플라이어(384)는 샘플 거리 차 신호와 필터(380)의 출력을 곱한다. 멀티플라이어 적은 덧셈을 수행하는 인티그레이터(390)에 입력을 제공한다.

$$CCE(PCDE) = \sum_{i=0}^{i=831} F(INT(i), threshold) \times Dist(PCDE, i)$$

여기서, CCE(PCDE)는 CIR 센트로이드 오차 추정치이고 CIR(즉, CDE)의 센트로이드의 위치로부터 PCDE의 거리를 반영한다. 함수 $Dist(x_0, x_1)$ 는 제 1 심볼 시간 x_0 로부터 제 2 심볼 시간 x_1 까지의 샘플들의 수를 계산한다. 예시적으로, ATSC의 몇몇 실시예들에서, $Dist(PCDE, i)$ 는 $[(PCDE + 416) \bmod 832] \leq i < PCDE$ 에 대한 음의 부호 및 $PCDE \leq i < [(PCDE + 416) \bmod 832]$ 에 대한 양의 부호를 갖도록 정의된다.

비-제한적인 예시로서, ATSC 표준 방송에 적합한 시스템의 1 이상의 실시예는 832 메모리 장소들을 갖는 상관 버퍼(314)(도 6 참조)를 포함한다. $PCDE = 26$ 의 현재 값을 가정하면,

$$Dist(PCDE, i) = \begin{cases} d(PCDE, i) & \forall i: 26 \leq i \leq 442 \\ -d(PCDE, i) & else \end{cases}$$

여기서, $d(PCDE, i)$ 는 음이-아닌(non-negative) 거리 메트릭 $d(x_0, x_1) = |x_0 - x_1|$ 및 $0 \leq i \leq 831$ 이다. 가중 평균 또는 센트로이드 추정치를 계산하기 위한 상이한 경계 조건들과 기술들은 무리한 실험 없이 당업자들에 의해 구현될 수 있다는 것을 이해해야 한다. 시스템의 몇몇 대안의 실시예들은 비-선형 거리 메트릭 함수이다. 몇몇 실시예에서, 거리 메트릭 함수 $d_K(x_0, x_1) = |x_0 - x_1|^K$ 이다. 예시적으로, 몇몇 실시예에서 $K = 2$ 이다. 다른 실시예에서, K 는 분수이다.

이하, CDEU(230A)의 일 실시예는, 도 6의 요소들을 계속해서 참조하고 채널 지연을 추정하기 위하여 ATSC 방송 시스템에 대해 적합한 시스템(400)의 작동을 예시한 도 12의 플로우 차트를 참조하여 논의될 것이다. 402에서, "초기화(initialization)" 콘트롤러(320)는 상관 버퍼(314), 심볼 카운터(316), 세그먼트 카운터(318) 및 인티그레이터(382)의 콘텐츠들을 포함하되, 그들로 제한되지 않는 CDEU(230A)를 초기화한다. 다양한 실시예에서, 이는 또한 다양한 제어 레지스터들의 적절한 초기화를 포함한다. 몇몇 실시예에서, 필터링되는 인-페이즈 베이스밴드 신호($I_F(76)$)의 첫번째 3개의 심볼 시간들을 수용하는 것은 코릴레이터(310)를 초기화한다. CDEU(230A)의 초기화 후에, 제어는 404로 진행된다.

404에서, 코릴레이터(310)는 베이스밴드 신호($I_F(76)$)로부터 새로운 심볼을 수용하고 심볼 카운터(316)에 의하여 생성되는 심볼 카운트에 대응되는 SCV(i)의 값을 계산한다. 예시적으로, 초기 개시 코릴레이터(310)는 SCV(0)를 생성시키는데, 여기서 SC = 0이다. 시스템(400)은 SCV(i) 계산 후에 406으로 변화한다.

406에서, "적분" 인티그레이터(312)는 코릴레이터(310)로부터 SCV(i)를 상관 버퍼(314)의 어레이 M(i)으로부터 $INT_{OLD}(i)$ 를 수용한다. 초기 개시시 각각의 $INT(i) = 0$ 이다. 그렇지 않으면, $INT(i)$ 는 이미 저장된 적분값이다. 인티그레이터(312)는 SCV(i)를 $INT_{OLD}(i)$ 의 스케일링된 값에 부가하여 출력 버퍼(378)에서 $INT_{NEW}(i)$ 를 생성한다. 그 다음, 시스템(400)은 410으로 진행된다.

410, 즉 "SC = 831"에서 콘트롤러(320)는 인덱스 변수 i와 같은 SC가 심볼 카운터 출력(816)의 최대 출력과 동일한지의 여부를 결정한다. SC의 범위가 0 내지 831인 조건 SC = 831(YES)에서, 시스템(400)은 141로 진행된다. 그렇지 않으면 부정적인 결정(NO)으로 시스템(400)은 412로 진행된다. 그 다음, CDEU(230A)는 세그먼트 카운터(316)를 증분시킨다. SC의 새로운 값의 수용시, 콘트롤러(320)는 인덱스 변수 i를 증분시키고, 시스템(400)을 다시 404로 진행시킨다.

414, 즉 "SEGCNT < N"에서, 콘트롤러(320)는 세그먼트 카운터(318) SEGCNT의 출력과 세그먼트 카운트 레지스터(338)에 저장된 값(N)을 비교한다. 긍정적인 결정 SEGCNT < N(YES)에서, 콘트롤러(320)는 CDEU(230A) 작업을 세그먼트 카운터(318)가 일 만큼 증분되는 416으로 분기시킨다. 또한, 심볼 카운터(315)의 출력은 0(즉, SC = 0)으로 설정된다. 하지만, 부정적인 결정 SEGCNT < N(NO)에서, SEGCNT = N이라 결정되었고, 제어는 420으로 진행된다.

420, 즉 "Find Initial CDE"에서, 콘트롤러(320)는 $INT(i)$ 의 최대값을 포함하는 어레이 M(i)의 장소에 대해 상관 버퍼(314)를 검색한다. $INT(i)$ 의 최대 크기에 대응되는 인덱스 변수 i는 채널 지연 추정치(CDE)의 초기값으로서 선택되고 CDE 레지스터(332) 및/또는 PCDE 레지스터(388)에 위치된다.

422, 즉 "CDEU"에서, 센트로이드 추정기(340)는 프로포징된 CDE 값에 대해 CCE(PCDE)를 계산한다. 424, 즉 "Found Initial CDE"에서, 컨트롤러(320)는 $CCE(PCDE) = 0$ 또는 $SGN(CCE) \neq SGN(CENT)$ 인지의 여부를 평가하는데, 여기서 SGN()은 괄호 내 수의 부호를 복원시키는(return) 시그넘() 함수(signum() function)이다. 어느 한 조건이 사실이라고 판명되면, 시스템(400)의 작업은 432로 분기된다. 그렇지 않으면, 시스템(400)의 작업은 426으로 분기된다.

426, 즉 " $CCE(PCDE) > 0$ "에서, 컨트롤러(320)는 $CCE(PCDE) > 0$ 인지의 여부를 결정한다. 긍정적인 결정(YES)에서, CDEU(230A)의 작업은 430으로 분기된다. 그렇지 않으면, 부정적인 결정(NO)에서, CDEU(230A)는 428로 분기된다. 428, 즉 "Increment PCDE"에서, 컨트롤러(320A)는 PCDE 및 CCD(PCDE)의 현재 값을 CDE 레지스터(332) 및 CENT 레지스터(334)에 각각 기록하고, PCDE 레지스터(388) 내에 저장된 PCDE의 값을 증분시킨다. 그 다음, 시스템(400)의 작업은 422로 진행하고, CDEU(230A)는 CDE의 검색을 계속한다.

430, 즉 "Decrement PCDE"에서, 컨트롤러(320A)는 PCDE 및 CCE(PCDE)의 현재 값들을 CDE 레지스터(332) 및 CENT 레지스터(334)에 각각 기록하며, PCDE 레지스터(388)에 저장된 PCDE의 값을 증분시킨다. 그 다음, 시스템(400)의 작업은 422로 복귀되고, CDEU(230A)는 CDE에 대한 검색을 계속한다.

432, 즉 " $CCE(PCDE) = 0$ "에서, 컨트롤러(320)는 $CCE(PCDE) = 0$ 인지의 여부를 평가한다. 긍정적인 결정(YES)에서, PCDE 값은 원하는 값이고 CDEU(230A)는 434로 진행하는데, 여기서 컨트롤러(320)는 PCDE의 값을 CDE 레지스터(332)에 기록하고 Exit로 진행한다. 그렇지 않으면, 부정적인 결정(NO)에서, 시스템(400)은 436으로 진행한다.

436, 즉 "Select Nearest"에서, 컨트롤러(320)는 $CENT < CCE(PCDE)$ 인지의 여부를 판정한다. 긍정적인 결정에서, CDE 레지스터(332)에 저장된 값은 CDE의 원하는 값이고 CDEU(230A)는 Exit로 진행한다. 그렇지 않으면, PCDE 값은 CDE(434 참조)의 원하는 값이고, 따라서 컨트롤러(320)는 PCDE 레지스터(388)의 값을 CDE 레지스터(332)에 기록한다. 그 다음, 시스템(400)은 Exit로 진행한다. PCDE 값들을 선택하는 다른 검색 알고리즘들은 이 시스템에 사용에서 사용하기 위해서는 당업자들에게 명확한 것이거나 명확해질 것들이며, 상술한 바에 제한의 의도는 없다.

도 13에 예시된 바와 같은 CDEU(230)의 또 다른 실시예는 육상 ATSC 방송에서 존재하는 것과 같은 고스트 신호들의 존재시의 작동에 적합한 CDEU(230B)이다. CDEU(230B)는 Nyquist Root Filter(44)로부터의 베이스밴드 성분 신호 $I_F(76)$ 과 $Q_F(78)$ 둘 모두를 사용하여 추정된 CDE를 디벨로핑한다. CDEU(230B)의 함수 및 작동은 수신된 신호와 세그먼트 싱크 시퀀스의 상관을 계산하기 위하여 I_F 와 Q_F 둘 모두를 이용한다는 점을 제외하고 CDEU(230A)의 함수 및 기능과 유사하다. 또한, CDEU(230B)는 각각의 심볼 시간에 대한 대응 I_F 및 Q_F 신호들의 상관 결과들을 부가한다.

따라서, CDEU(230A)와 유사하게, CDEU(230B)는 제 1 코릴레이터(310), 제 1 인티그레이터(312), 제 1 상관 버퍼(314), 심볼 카운터(316), 세그먼트 카운터(318), 컨트롤러(320A), 메모리(330) 및 센트로이드 추정기(340)를 포함한다. 또한, CDEU(230B)는 제 2 코릴레이터(310A), 제 2 인티그레이터(312A) 및 제 2 상관 버퍼(314A)를 포함한다. CDEU(230B)는 제 1 코릴레이터(310) 및 제 2 코릴레이터(310A) 각각에 대한 입력으로서 필터링된 베이스밴드 신호 $I_F(76)$ 및 $Q_F(78)$ 를 수신한다. 인티그레이터(312)와 유사하게, 인티그레이터(312A)는 코릴레이터(310A)의 출력, 및 상관 버퍼(314A)로부터의 $SCV_Q(i)$ 및 $INT_{Q_{OLD}}(i)$ 를 수용한다. 인티그레이터(312A)는 상관 버퍼(314)에 대한 출력으로서 $INT_{Q_{NEW}}(i)$ 를 제공한다. $SCV_Q(i)$ 는 Q_F 를 갖는 데이터 세그먼트에서의 i^{th} 심볼 시간에 대한 심볼 상관 값이고 심볼 카운터(316)의 출력 및 상관 버퍼(314A)의 i^{th} 어레이 장소 $M_Q(i)$ 에 대응된다.

코릴레이터(310), 인티그레이터(312) 및 상관 버퍼(314)는 CDEU(230A)와 관련하여 상술된 바와 같이 유사한 기능 및 작동을 갖는다. 이와 유사하게, 코릴레이터(310A), 인티그레이터(312A) 및 상관 버퍼(314A)는 CDEU(230A)의 코릴레이터(310), 인티그레이터(312) 및 상관 버퍼(314)와 기능적으로 같고 유사한 작동 및 기능들을 갖지만; 그들은 사분주기 베이스밴드 신호 $Q_F(78)$ 와 관련하여 작동하도록 되어 있다. 예시적으로, 상관 버퍼(314)는 $I_F(76)$ 에 대응되는 상관 값 $INT_I(i)$ 를 홀딩하고, 상관 버퍼(314A)는 $Q_F(78)$ 에 대응되는 상관 값 $INT_Q(i)$ 를 홀딩한다.

상관 버퍼(314 및 314A)의 출력들은 각각 크기 계산기(magnitude calculator)(392)의 입력들에 $INT_I(i)$ 및 $INT_Q(i)$ 를 제공한다. 크기 계산기(392)의 출력은 센트로이드 추정기(340) 및 컨트롤러(320A)에 $MAG(i)$, $INT_I(i)$ 및 $INT_Q(i)$ 의 합성

(composite) 크기를 제공한다. 그렇지 않으면, 콘트롤러(320A)는 기능적으로 그리고 작동적으로 상술된 콘트롤러(320)와 유사하다. 다른 실시예들은 $MAG(i) = INT_1(i)2 + INT_Q(i)^2$ 를 계산한다. 이해할 수 있듯이, 또 다른 실시예들에서는 합성 크기에 대한 다른 메트릭들이 사용된다.

그렇지 않으면, CDEU(230B)는 센트로이드를 계산하기 위해 크기 계산기(392)의 출력 $MAG(i)$ 를 사용한다는 점을 제외하고 CDEU(230A)와 동일한 방식으로 잘 작동하는 반면, CDEU(230A)는 단지 $INT(i)$ 의 크기만을 사용한다. 예시적으로, 충분한 수의 세그먼트 주기들을 거친 후, 콘트롤러(320A)는 $MAG(i)$ 의 최대 크기에 대응되는 인덱스 변수 i 의 값을 결정함으로써 PCDE의 초기 위치를 결정한다.

도 14에 예시된 CDEU(230)의 또 다른 실시예는, 또한 ATSC 방송 시스템에 적합한 CDEU(230C)이다. CDEU(230C)는 원하는 샘플 윈도우 내의 공지된 프레임 싱크 시퀀스 PN511과 다양한 수신된 고스트 신호들의 상관 강도를 검출함으로써 채널 지연의 위치를 추정한다. ATSC 프레임 싱크는 사이클릭 콘벌루션 특성(cyclic convolution property)을 갖는 의사 난수 시퀀스를 포함한다는 것을 이해해야 한다. 본 발명의 몇몇 실시예들은 필드/프레임 싱크 시퀀스의 상대적으로 긴 길이의 장점을 취하기 위해 매칭된 필터를 사용함으로써 특정 고스트의 상관 강도를 계산하기에 유리하다. 다른 실시예들은 수신된 신호를 예측된 PN511 시퀀스와 상관시킴으로써 상관 강도 추정치를 디벨로핑한다.

도 15에 예시된 바와 같이, 또 다른 비-제한적 예시의 전송 채널은 고스트 G_1, G_2, G_3 및 G_4 를 포함하며, 그 각각은 검출 임계 레벨 위의 상관 강도들을 갖는다. 채널은 또한 고스트 G_5, G_6 및 G_7 을 포함하며, 그 각각은 검출 임계치 아래이나 코어링 임계 레벨 위인 상관 강도를 갖는다. 마지막으로, 예시적 채널은 코어링 임계 레벨 아래의 고스트 G_8 및 G_9 를 갖는다. 각 고스트의 상대적인 멀티패스 지연은 수평방향 축선을 따른 그들의 상대적인 위치에서 반영된다.

CDEU(230C)의 몇몇 실시예들은 수신되는 고스트 신호들에 윈도우 기능을 적용한다. 윈도우 내의 고스트 신호들은 채널 지연 추정치를 계산하는데 사용된다. 몇몇 실시예에서, 윈도우의 스패는 검출 임계치 위의 프레임 싱크 상관 강도를 갖는 검출된 제 1 고스트 신호에 기초한다. 도 15에 예시된 바와 같이, CDEU(230C)는 먼저 검출 임계치 위의 상관 강도를 갖는 G_1 을 검출한다. 그 다음, CDEU(230C)는 G_1 에 대해 센터링된 윈도우 스패 W_1 을 선택한다. 윈도우를 벗어난 고스트들은 채널 지연의 장소를 추정할 경우 고려되지 않는다. G_4 는 W_1 내에 있지 않으며 채널 지연의 장소를 추정하는 경우 고려되지 않는다는 것을 이해해야 한다.

CDEU(230C)의 다른 실시예들은 최대 또는 국부적으로 최대의 상관 강도를 갖는 고스트에 대해 센터링된 윈도우를 선택한다. 도 15에 예시된 바와 같이, CDEU(230C)는 초기에 G_1 을 검출하고 G_1 에 대해 센터링된 현재의 윈도우로서 W_1 을 선택한다. 순차적으로, CDEU(230C)는 G_1 의 상관 강도보다 큰 상관 강도를 갖는 G_2 를 검출한다. 그 다음, CDEU(230C)는 G_2 에 대해 센터링된 새로운 윈도우 W_2 를 선택한다. 결과적으로, G_7 및 G_9 는 채널 지연 추정에서 고려되지 않지만; G_4 는 W_2 내에 속하기 때문에 고려된다.

도 14를 다시 참조하면, CDEU(230C)는 심볼 카운터(316), 세그먼트 카운터(318), 센트로이드 추정기(340A), 크기 계산기(392), 코릴레이터(510 및 512), 상관 버퍼(514), 임계 검출기(516), 콘트롤러(520) 및 메모리(530)를 포함한다. CDEU(230C)는 제 1 코릴레이터(510) 및 제 2 코릴레이터(512) 각각에 대한 입력으로서 필터링된 베이스밴드 신호 $I_F(76)$ 및 $Q_F(78)$ 를 수신한다.

코릴레이터(510 및 512)는 크기 계산기(392)에 $SCV_1(i)$ 및 $SCV_Q(i)$ 를 제공한다. 코릴레이터(510 및 512)는, 수신된 $I_F(76)$ 및 $Q_F(78)$ 신호들과 프레임 또는 필드 싱크 시퀀스간의 상관을 제공하도록 되어 있다는 점을 제외하고 도 13의 코릴레이터(310 및 312)와 유사하다. $SCV_1(i)$ 및 $SCV_Q(i)$ 는 수신된 $I_F(76)$ 및 $Q_F(78)$ 와 프레임 또는 필드 싱크 시퀀스의 상관 강도이다. 크기 계산기(392)는 임계 검출기(516) 및 상관 버퍼(514)에 대한 출력으로서 $MAG_{FS}(i)$ 를 제공한다. $MAG_{FS}(i)$ 는 도 13의 $MAG(i)$ 와 형태 및 기능에서 유사하지만, 적분된 값 대신 $SCV_1(i)$ 및 $SCV_Q(i)$ 에 직접적으로 작동한다. 상관 버퍼(514)는 센트로이드 추정기(340A)에 작동가능하게 연결된다. 콘트롤러(520)는 메모리(530)와 상호작용하고(interface), 심볼 카운터(316) 및 세그먼트 카운터(318) 각각으로부터 SC 및 SEGCNT의 값들을 수용한다. 도 13의 콘트롤러(320)와 유사하게, 콘트롤러(520)는 채널 지연 추정치(84)를 제공하고 제어 시스템(54)(도 3 참조)에 연결된 제 1 제

어 인터페이스를 갖는다. 또한, 컨트롤러(520)는 코릴레이터(510)의 제어 인터페이스에 대한 제 2 인터페이스(설명의 편의를 위해 도시하지 않음), 코릴레이터(512), 상관 버퍼(514), 임계 검출기(516), 메모리(530), 심볼 카운터(316), 세그먼트 카운터(318) 및 센트로이드 추정기(340A)를 갖는다.

컨트롤러(520)의 제 2 제어 인터페이스는 구성 레지스터들을 관독 및 기록하고, 리셋 신호들을 이슈잉(issuing)하고, 메모리 및 레지스터들에 대한 액세스를 제어하고, 다양한 디바이스들의 버퍼들을 관리하며 당업계에서 발생될 수 있는 여타 기능들을 포함하되, 이들로 제한되지 않는 CDEU(230C)의 다양한 요소들의 작동을 지배한다. 다양한 대안실시예에서, 컨트롤러(520)의 제 1 및 제 2 제어 인터페이스는, 당업계에서 가능한 바와 같이 별개의 데이터 버스들을 포함하거나 단일의 데이터 버스를 활용하거나, 또는 구성요소들 사이의 복수의 개별 데이터 채널들로 각각 이루어진다.

끝으로, 메모리(530)는 CDE 레지스터(332), CENT 레지스터(334), 코어링 임계 레지스터(336), 가변 검출 임계치 T_{DET} 를 포함하는 검출 임계 레지스터(532), 가변 WINCENT를 포함하는 윈도우 센터 레지스터(534), 가변 FRYM(frame sync symbol position)를 포함하는 FSYM 레지스터(536) 및 가변 FSEG(frame sync segment position)를 포함하는 FSEG 레지스터(538)를 포함한다. 몇몇 실시예들은 가변 WINEND를 포함하는 윈도우 엔드 레지스터(540) 및 가변 WINSTART를 포함하는 윈도우 스타트 레지스터(542)를 포함한다. 검출 임계치 T_{DET} 는 인커밍 데이터 스트림에서의 프레임 싱크 시퀀스의 검출에 대응될 것으로 여겨지는 크기 계산기(392)의 최소 출력값이다. WINCENT는 윈도우잉 기능의 중심인 상관 버퍼(514)에서의 메모리 위치에 대응된다. FSYM 및 FSEG는 윈도우잉 기능의 중심에 위치된 심볼 시간에 각각 대응되는 심볼 카운터(315) 및 세그먼트 카운터(318)의 값들이다. 끝으로, WINSTART 및 WINEND는 상관 버퍼(514)에서 원하는 윈도우의 첫번째 및 최종 메모리 장소에 대응된다.

몇몇 실시예에서, 상관 버퍼(514)는 0 내지 $2n-1$ 의 값을 갖는 인덱터 변수 i 에 의하여 어드레싱되는 $2n$ 메모리 장소들을 갖는 원형 버퍼로서 구성된다. 다른 실시예들에서, 상관 버퍼(514)는 $2n+1$ 상관 값들을 홀딩한다. 비-제한적인 예시로서, WINCENT에서 센트로이드를 갖는 전송 채널에 대해, $WEND = (WINCENT + n) \text{ modulo } (2n)$ 이고 $WSTART = (WINCENT + n + 1) \text{ modulo } (2n)$ 이다.

도 16의 플로우 차트에 따라 작동하는 시스템(600)으로서 예시된 CDEU(230C)의 또 다른 실시예 또한 ATSC 방송에 적합하도록 되어 있다. 602, 즉 "Initialization"에서, 당업자들은 알 수 있듯이 CDEU(230C)의 요소들은 초기화된다. 예시적으로, 도 14의 추가적인 기준에 의해, 컨트롤러(520)는 메모리(530)의 레지스터들, 심볼 카운터(316), 세그먼트 카운터(318), 크기 계산기(392), 코릴레이터(510) 및 상관 버퍼(514)를 초기화한다. 나아가, 인덱스 변수 i 는 0으로 초기화된다.

604, 즉 "Correlation"에서, 코릴레이터(510 및 512)는 가장 최근에 필터링된 인-페이즈 및 사분주기 베이스밴드 신호 I_F (76) 및 Q_F (78)를 각각 수신하며, 가장 최근에 수신된 비트들의 시퀀스와 관련한 상관을 수행한다. 도 14를 참조하여 상술된 실시예에서와 같이, 크기 계산기(392)는 코릴레이터(510 및 512) 각각으로부터 $SCV_I(i)$ 및 $SCV_Q(i)$ 를 수신하며, 상관의 크기 $MAG_{FS}(i)$ 를 계산한다. $MAG_{FS}(i)$ 는 상관 버퍼(514) 및 임계 검출기(516)에 대한 출력으로서 제공된다. 상관 버퍼(514)는 어레이 $M(i)$ 에 $MAG_{FS}(i)$ 를 저장한다. 그 다음, 시스템(600)은 606으로 진행한다.

606, 즉 "Detect Frame Sync"에서, $MAG_{FS}(i) \geq T_{DET}$ (YES)라면, 긍정적인 표시가 컨트롤러(520)로 보내진다. 그 다음, 시스템(600)은 610으로 분기된다. 그렇지 않으면, 임계 디텍터(516)는 부정적인 표시(NO)(검출된 프레임 싱크 없음)를 컨트롤러(520)로 보낸다. 그 다음, 시스템(600)은 612로 분기된다. 몇몇 실시예에서, 컨트롤러(520)는 제 1 프레임 싱크의 검출시에만 CDEU(230C) 작업을 610으로 분기시킨다. 도 15의 윈도우 W_1 과 유사하게, 이것은 T_{DET} 위의 프레임 싱크 상관을 갖는 제 1 고스트 신호에 대해 센터링되는 윈도우 함수를 생성시킨다.

다른 실시예들에서는, 606에서 프레임 싱크가 검출되거나 또는 $MAG(i) > CENT$ 인 경우 CDEU(230C) 작업을 610으로 분기시킨다. 예시적으로, CENT 레지스터는 $CENT = T_{DET}$ 로 초기화된다. 첫번째 긍정적인 표시(YES)는 $MAG_{FS}(i) \geq T_{DET}$ 인 경우 컨트롤러(520)로 보내진다. 각각의 긍정적인 표시시, 컨트롤러(520)는 $CENT = MAG_{FS}(i)$ 를 설정한다. 추가적인 긍정적 표시들은 $MAG_{FS}(i) \geq CENT$ 인 경우 생성된다. 이는, 도 16의 윈도우 W_2 와 유사하게, 최대 프레임 싱크 상관을 갖는 고스트 신호에 대해 센터링되는 윈도우 기능을 생성시킨다. 그렇지 않으면, 컨트롤러(520)는 CDEU(230C) 작업을 분기시키고 시스템(600)은 612로 진행한다.

610, 즉 "Store Center"에서, 콘트롤러(520)는 $FSYM = SC$ 및 $FSEG = SEGCNT$ 를 설정하는데, 여기서 $FSYM$ 및 $FSEG$ 는 데이터 패킷 필드/프레임 구조 내에서 검출된 프레임 싱크의 장소를 나타낸다. 콘트롤러(520)는 채널 지연의 초기 추정치로서 $CDE = i$ 를 설정한다. 몇몇 실시예들에서, 콘트롤러(520)는 또한 초기 채널 지연 추정에 대응되는 상관의 크기로서 $CENT = MAG(i)$ 을 설정한다. 콘트롤러(520)는 또한 장소 $WINEND$ 를 계산한다. 그 다음, 시스템(600)은 612로 진행된다.

612, 즉 "Continue"에서, 콘트롤러(520)는 $WINEND$ 가 도달되었는지의 여부에 따라 $CDEU(230C)$ 의 작업을 분기시킨다. 부정적인 표시(NO)시, $CDEU(230E)$ 는 미리 프레임 싱크를 검출하지 않았거나 또는 $CDEU(230E)$ 는 미리 프레임 싱크를 검출하였으나 $i \neq WINEND$ 인 것이다. 이 경우에, 시스템(600)은 작업을 614로 분기시킨다. 그렇지 않으면, 콘트롤러(520)는 $WINEND$ 가 도달되었는지를 결정하고 작업을 615 FIND CDE로 분기시킨다. 후술되는 바와 같이, 시스템(600)은 FIND CDE에서 채널의 CDE를 결정한다.

614에서, 심볼 카운터(316) 및 세그먼트 카운터(318)의 값들이 업데이트된다. 인덱스 변수 i 또한 증분된다. 시스템(600)은 604로 복귀한다.

$CDEU(230C)$ 의 몇몇 실시예들은 윈도우 함수 내의 상관값들의 센트로이드 또는 가중 평균을 계산함으로써 채널의 지연을 추정하는 센트로이드 추정기(340A)를 포함한다. 당업자라면 이해할 수 있듯이, 센트로이드 추정기(340A)는, 상관 버퍼(514)에 저장되는 $MAG_{FS}(i)$ 의 값과 관련하여 작동하도록 되어 있다는 점을 제외하고 센트로이드 추정기(340)와 작동적으로 그리고 구조적으로 유사하다. 센트로이드 추정기(340A)의 콘트롤러(520) 및 상관 버퍼(514)는 센트로이드 추정기(340)의 콘트롤러(320) 및 상관 버퍼(314)와 등가적으로 또는 더욱 같은 방식으로 상호작용하고 작동한다. 따라서, 센트로이드 추정기(340)와 유사하게, 센트로이드 추정기(340A)는 상관 버퍼(514)의 메모리 장소들의 원하는 WINDOW에 포함되는 값들에 걸쳐 다음의 합산을 수행한다:

$$CCE(PCDE) = \sum_{WINDOW} F(MAG(i), threshold) \times Dist(PCDE, i)$$

$CDEU(230)$ 의 상술된 실시예들의 콘트롤러(320 및 320A)와 유사하게, 콘트롤러(520)는 채널의 지연에 대응되는 상관 값의 장소를 결정하기 위하여 상관 버퍼(514) 및 센트로이드 추정기(340A)(도시 안됨)와 상호작용한다.

$CDEU(230C)$ 의 다른 실시예들은 윈도우 함수 내에서 상관 값들의 서브셋의 상관 값들의 센트로이드 또는 가중 평균을 계산함으로써 채널의 지연을 결정한다. 도 17에 예시된 바와 같이, 몇몇 실시예들에서는, 콘트롤러(520)가 샘플 $i = I_{MAX}$ 에 대응되는 최대 상관 값 G_{MAX} 를 갖는 고스트 신호 주위에서 센터링되는 영역들로 윈도우를 분할하여, 윈도우 내에서 $M(I_{MAX}) = G_{MAX}$ 가 되도록 한다. 다른 실시예들에서, 영역 R_0 는 I_{MAX} 에 대한 몇몇 폭을 갖는다. 영역 R_1 은 $WINSTART$ 로부터 영역 R_0 까지의 윈도우 부분이며, I_{MAX} 에 대한 프리-고스트 신호들을 포함한다. 영역 R_2 는 영역 R_0 로부터 $WINEND$ 까지의 윈도우 부분이며, I_{MAX} 에 대한 프리-고스트 신호들을 포함한다.

예시적으로, 초기에 콘트롤러(520)는 G_{MAX} 를 위치시키기 위하여 상관 버퍼(514)를 검색한다. 그 다음, 콘트롤러(520)는 I_{MAX} 에 가장 근접하게 ($M(I_{POST}) = G_{POST}$ 가 되도록 $i = I_{POST}$ 에 대응되는) 포스트-고스트 신호 G_{POST} 및 ($M(I_{PRE}) = G_{PRE}$ 가 되도록 $i = I_{PRE}$ 에 대응되는) 프리-고스트 신호 G_{PRE} 를 위치시키기 위하여 영역 R_1 을 검색한다. 몇몇 실시예에서, 콘트롤러(520)는 $MAG_{FS}(i) > T_{DET}$ 를 갖는 고스트 신호들만을 고려한다. 도 15에 나타낸 바와 같이, G_2 는 G_{PRE} 이고 G_3 는 G_{POST} 이다.

$CDEU(230A)$ 의 콘트롤러(320)와 유사하게, 콘트롤러(520)는 방정식: $CCE(PCDE) = G_{MAX} \cdot Dist(PCDE, I_{MAX}) + G_{PRE} \cdot Dist(PCDE, I_{PRE}) + G_{POST} \cdot Dist(PCDE, I_{POST})$ 를 평가함으로써 PCDE의 장소를 결정하는데, 여기서 $Dist(PCDE, i)$ 는 $WINSTART$ 와 CDE 사이에 놓인 i 의 값들에 대해서는 음으로, CDE와 $WINEND$ 사이에 놓인 i 의 값에 대해서는 양으로 정의된다. 또 다른 실시예들에서, 콘트롤러(520)는 먼저 $MAG_{FS} > T_{DET}$ 를 갖는 고스트 신호들을 고려한다; 하지만, 임계치 위의 고스트 신호들 또한 고려된다. 비-제한적 예시에 의하면, ATSC 표준 방송에 적합한 시스템(20)의 일 실시예는 1024 샘플들의 윈도우 폭을 갖는 1024 샘플들을 포함하는 상관 버퍼(514)를 갖는다. 하나의 가능한 채널 조건 하에서, $FSYM=128$, $WINSTART=640$ 이고 $WINEND=639$ 이다. 주어진 $PCDE=26$ 이다:

$$\text{Dist}(\text{PCDE}, i) = \begin{cases} d(\text{PCDE}, i) & \forall i: 26 \leq i \leq 640 \\ -d(\text{PCDE}, i) & \text{else} \end{cases}$$

여기서, $d(\text{PCDE}, i)$ 는 음이 아닌 거리 메트릭 $d(x_0, x_1) = |x_0 - x_1|$ 및 $0 \leq i \leq 1023$ 이다.

가중 평균 또는 센트로이드 추정치를 계산하기 위한 상이한 경계 조건들 및 기술들은 무리한 실험 없이 이 시스템에 적용될 수 있다. 몇몇 실시예들에서, 컨트롤러(520)는 $CCE(\text{PCDE})$ 의 절대 크기를 최소화시키는 CDE의 값을 선택한다. 다른 실시예들에서, 컨트롤러(520)는 $CCE(\text{PCDE})$ 의 부호가 변하는 CDE의 값을 선택한다.

도 18에 예시된 CDEU(230)의 또 다른 실시예는, 역시 ATSC 방송 시스템에 적합하게 되어 있고, 원하는 샘플 윈도우 내에서 프레임 싱크 시퀀스 PN511와의 다양한 수신된 고스트 신호들의 상관 강도를 검출함으로써 채널의 지연을 추정하는 CDEU(230D)이다. CDEU(230D)는 그것이 필터링된 인-페이즈 베이스밴드 신호 $I_F(76)$ 와 관련해서만 작동한다는 점을 제외하고 CDEU(230C)와 형태 및 기능에서 유사한 반면, CDEU(230C)는 $I_F(76)$ 과 $Q_F(78)$ 둘 모두를 사용한다. 따라서, 코릴레이터(510)는 상관 버퍼(514) 및 임계 검출기(516)에 $SCV(i)$ 를 제공한다. CDEU(230D)는 $SCV_Q(i)$ 를 포함하지 않기 때문에, $MAG_{FS}(i)$ 를 계산할 필요가 없다. 당업자라면 이해할 수 있듯이, CDEU(230D)는 I_F 를 갖는 프레임 싱크의 크기에 기초하여 채널의 지연을 추정하도록 되어 있는 반면 CDEU(230C)는 I_F 와 Q_F 둘 모두를 사용한다. 따라서, 상관 버퍼(514)는 $M(i) = SCV_I(i)$ 를 저장한다. CDEU(230D)는 $MAG_{FS}(i)$ 대신 $SCV_I(i)$ 를 사용한다는 점을 제외하고 CDEU(230C)와 유사하게 기능한다. 따라서:

$$CCE(\text{PCDE}) = \sum_{\text{WINDOW}} F(SCV_I(i), \text{threshold}) \times \text{Dist}(\text{PCDE}, i)$$

전과 유사하게, 필터(380)는 $SCV_I(i)$ 의 제곱 또는 절대값 중 하나를 임계치의 값과 비교하고 $|SCV_I(i)| > \text{임계치}$ 에 대해 출력 $F(SCV_I(i), \text{임계치}) = |SCV_I(i)|$ 를 제공한다. 그렇지 않으면, 필터(380)는 $|SCV_I(i)| \leq \text{임계치}$ 에 대해 출력 $F(SCV_I(i), \text{임계치}) = 0$ 을 갖는다.

대안적으로, 필터(380)의 다른 실시예들은 $SCV_I^2(i) > \text{임계치}$ 에 기초하여 $SCV_I(i)$ 를 필터링하고 $|SCV_I(i)|^2 > \text{임계치}$ 에 대해 출력 $F(SCV_I(i), \text{임계치}) = |SCV_I(i)|^2$ 를 제공한다. 그렇지 않으면, 필터(380)는 $|SCV_I(i)|^2 \leq \text{임계치}$ 에 대해 출력 $F(SCV_I(i), \text{임계치}) = 0$ 을 갖는다.

채널의 지연이 추정된 후에, FSEG 및 FSYM의 값들은 채널의 지연에 대응되는 상관 값의 장소를 반영하도록 조정된다. FSYM 및 FSEG는 윈도우 기능의 중심에 위치되는 심볼 시간에 각각 대응되는 심볼 카운터(315)(SC) 및 세그먼트 카운터(318)(SEGCNT)의 값들이다. 몇몇 실시예들에서, 컨트롤러(520)는 CCE의 절대 크기를 최소화시키는 PCDE 값에 대한 검색에 의해 채널의 지연을 추정한다. 다른 실시예들에서, 컨트롤러(520)는 CCE(PCDE)의 부호 변화를 야기하는 PCDE 값에 대한 검색에 의해 채널 지연을 추정한다. 컨트롤러(520)는 CCE(PCDE)의 부호가 변할 때까지 PCDE를 증분시킨다. 그 다음, 컨트롤러(520)는 CCE(PCDE)의 절대 크기와 관련 없이 CDE 값으로서 현재의 PCDE 값을 선택한다.

도 5로 돌아가, 정상적인 작동시, 이퀄라이저 시스템(200)은 수신되는 신호와 관련하여 필터링 작업을 수행함으로써 채널 심볼간 간섭 왜곡을 보상한다. FFE(210)는 입력으로서 필터링된 인-페이즈 베이스밴드 신호 $I_F(76)$ 를 수신한다. 가산기(212)는 이퀄라이징된 데이터 신호(88)를 생성시키기 위하여 DFE(216) 및 FFE(210)의 출력들을 합산한다. 결정 디바이스(214)는 이퀄라이징된 데이터 신호(88)를 샘플링하고 수신된 심볼을 추정한다.

초기에, 제어 시스템(54)은 연관된 채널 왜곡의 부분을 제거하기 위하여 FFE의 계수들을 최적화시키고 DFE(216)은 기능 억제된다(disabled). 소정 시간 주기 후에, FFE(210)의 계수들은 채널 관련 왜곡 및 노이즈의 부분을 제거하기에 충분하도록 되어 있어, DFE가 효과적으로 작동할 수 있게 한다. 초기 개시에 이어, DFE(216)이 작동가능해지고(enable) FFE(210) 및 DFE(216)의 계수들은 LMS 어댑테이션과 같은 채널 왜곡의 나머지 부분을 제거하기 위하여 당업계에서 가용한 다양한 기술들을 사용하여 최적화된다. 결정 디바이스(214)는 결정 슬라이서의 출력부에서 수신되는 신호의 심볼-레벨 표현을 얻기 위해 이퀄라이징된 데이터 신호(88)를 샘플링한다.

결정 디바이스(214)는 입력으로서 DFE(216)에 이퀄라이저 피드백 심볼 출력(92)을 제공한다. 몇몇 실시예에서, 예를 들어, 결정 디바이스(214)는 결정 슬라이서이며, 이퀄라이저 피드백 심볼 출력(92)은 결정 슬라이서의 출력이다. 결정 디바이스(214)가 격자 디코더를 포함하는 이퀄라이저(200)의 다른 실시예들에서, 이퀄라이저 피드백 심볼 출력(92)이 선택적으로 제어될 수 있다. 초기 시스템 개시시 이퀄라이저 피드백 심볼 출력(92)은 결정 디바이스(214)로부터의 보정되지 않은 심볼 출력이다. 격자 디코더를 갖는 결정 디바이스를 포함하는 몇몇 실시예에서, 이퀄라이저 제어 시스템(54)은 격자 디코더 트레이스 메모리의 격자 디코더 또는 스테이지의 출력을 제공하기 위하여 제어 이퀄라이저 피드백 심볼 출력(92)을 선택적으로 제어할 수 있다. 또 다른 실시예들에서는, 본 발명인의 함께 계류중인 "Combined Trellis Decoder and Decision Feedback Equalizer"라는 제목으로 출원된 미국특허출원 제 09/884,256 호 및 "Transposed Structure for a Decision Feedback Equalizer Combined with a Trellis Decoder"란 제목으로 출원된 제 10/407,256 호에 나타난 바와 같이, 결정 디바이스(214)는 DFE에 의하여 사용되는 리커버팅된 심볼 값들을 연속적으로 업데이트하여 그들이 격자 디코더에 의해 보정된다. 추가적으로, 몇몇 실시예들에서는, 다양한 모듈레이션 기술들과 양립될 수 있도록 실제의 필터(real filter) 또는 복잡한 필터(complex filter)와 같이 이퀄라이저(200)가 최적화된다.

특정 실시예들은 사전정의되거나 고정된 중심 탭이 존재하도록 소정의 방식으로 이퀄라이저 계수들을 디벨로핑한다. 그 대신, FFE 출력부는 특정 필터 탭 또는 탭들의 조합에 대응되지 않는 가상의 중심을 가지며, FFE 탭들 모두는 동적으로 결정된다. 가상의 중심 위치는 전송 채널 지연의 추정치에 기초한다.

도 19a에 예시된 바와 같이, 도 5의 특정 아이템들을 참조하여, (채널 임펄스 응답(711)에 의하여 표현된) 가능한 채널 조건의 하나의 비-제한적인 예시는 같은 강도의 두 고스트 신호(710) 및 가상 채널의 가상 중심(712)을 갖는다. 이퀄라이저(200)는 제어시스템(54)에 시스템(20)의 로컬 타이밍에 대해 FFE(210)의 입력에 존재하는 채널의 지연의 추정치인 채널 지연 추정치를 제공한다. 제어 시스템(54)은 FFE에서 측정된 채널 지연을 이퀄라이저 출력의 원하는 지연에 부가함으로써 생성된 트레이닝 심볼 시퀀스(예를 들어 세그먼트 또는 프레임 싱크 시퀀스)에 대한 오프셋 위치를 계산하기 위하여 채널 지연 추정치를 사용한다. 본 명세서에 기술된 바와 같이, 제어 시스템(54)은 수신된 신호를 생성된 트레이닝 신호와 비교한다. 몇몇 실시예에서, 트레이닝 신호는 세그먼트 싱크 시퀀스이다. 다른 실시예들에서, 생성된 트레이닝 신호는 필드/프레임 싱크 시퀀스 또는 수신된 신호에서 예측되는 다른 동조 신호들의 조합이다. 또 다른 실시예에서, 제어 시스템(54)은 초기에 세그먼트 싱크 시퀀스를 생성시킨다. 이퀄라이저가 적어도 부분적으로 수렴된 후에, 제어 시스템(54)은 프레임/필드 시퀀스를 생성시킨다. 제어 시스템(54)은 생성된 동조 신호들을 참조하여 원하는 임시 장소와 수신된 신호들의 동조 신호들을 정렬시키도록 이퀄라이저 계수들을 최적화시킨다. 예시적으로, 몇몇 실시예들에서, 시스템(20)은 이퀄라이저(200)의 출력을 특정 FFE 탭과 정렬시키고, 이에 의해 특정 채널 조건에 대해 이퀄라이저가 최적화된다.

도 20a에 예시된 바와 같이, 도 5를 계속 참조하여 설명된 비-제한적 예시로서, 이퀄라이저(200)의 일 실시예는 1024 FFE 탭들을 갖는 FFE(210) 및 512 DFE 탭들을 갖는 DFE(216)를 포함한다. DFE의 개별 탭들은 탭 인덱스를 참조한다. 제어 시스템(54)은 이퀄라이저(200)의 출력이 FFE(210)의 768th 탭과 임시적으로 정렬되도록 이퀄라이저를 정렬시킨다. 가상의 중심(712)을 적시에 이후 포인트로 이동시키는 것은 프리-고스트 신호들에 대한 이퀄라이저의 성능을 향상시킨다. 도 20b에 나타난 또 다른 비-제한적 예시로서, 동일한 시스템의 일 실시예는 FFE가 채널의 프리-코스트 및 포스트-고스트 성분들과 관련하여 동등하게 잘 작동하도록 FFE(210)의 512th 탭과 이퀄라이저(200)를 정렬시키는 제어 시스템(54)을 포함한다.

도 5를 계속 참조하는 동시에 도 19b를 다시 참조하면, FFE(210)는 수신되는 신호 내의 다양한 동기 신호들의 장소에 기초하여 FFE 탭 Z_{OUT} 에 대응되는 원하는 가상의 중심 위치(712)에 대해 센터링된 출력을 디벨로핑하도록 초기에 최적화된다. 시스템(20)의 몇몇 실시예들은 ATSC 시스템과 관련하여 작동하고 세그먼트 싱크 신호의 예측된 도착 시간(SEGMENT_SYNC_OUT)에 기초하여 이퀄라이저를 트레이닝하도록 되어 있다. 제어 시스템(54)은 $SC = \text{SEGMENT_SYNC_OUT}$ 일 경우 트레이닝 시퀀스로서 세그먼트 싱크 신호를 생성시킨다. 수신된 신호는 이퀄라이저(200)의 계수들을 최적화시키는데 사용되는 오차 신호를 디벨로핑하기 위하여 생성된 트레이닝 시퀀스와 비교된다. 또 다른 실시예들은 ATSC 프레임 또는 필드 싱크의 예측된 도착 시간(FRAME_SYNC_OUT)에 기초하여 이퀄라이저(200)의 계수들을 트레이닝한다. 따라서, 전과 유사하게, 제어 시스템(54)은 $\text{SEGCNT} = \text{FRAME_SYNC_OUT}$ 인 경우 트레이닝 시퀀스로서 프레임 싱크 신호를 생성시킨다. 수신된 신호는 이퀄라이저(200)의 계수들을 최적화시키는데 사용되는 오차 신호를 디벨로핑하기 위하여 생성된 프레임 싱크 트레이닝 시퀀스와 비교된다. 시스템(20)의 또 다른 실시예들은 프레임 싱크와 세그먼트 싱크 둘 모두를 사용하여 이퀄라이저의 계수들을 최적화시킨다.

예시적으로, 원하는 이퀄라이저 출력 장소, Z_{OUT} 가 주어지면, 제어 시스템(54)은 심볼 카운터 시간 $SEGMENT_SYNC_OUT = (Z_{OUT} + CDE) \bmod 832$ 에서 ATSC 세그먼트 싱크로부터 유도된 트레이닝 신호의 상대적으로 예측된 타이밍을 포지셔닝한다. 이와 유사하게, 제어 시스템(54)은 ATSC 프레임/필드 싱크로부터 유도된 트레이닝 신호의 상대적인 타이밍을 포지셔닝하기 위하여 심볼 카운터(316) 및 세그먼트 카운터(318)의 값을 계산한다. 제어 시스템(54)은, 심볼 카운터(316) 출력 SC가 $SEGMENT_SYNC_OUT = (Z_{OUT} + CDE) \bmod 832$ 와 같고 세그먼트 카운터(318) 출력 $SEGCNT$ 가 $FRAME_SYNC_OUT = FSEG$ 와 같은 경우 프레임/필드 싱크 기반 트레이닝 신호가 발생되도록 한다. 예시에 의해, ATSC 표준 방송에 적합한 시스템(20)의 일 실시예는 1024-샘플-롱 상관 버퍼(514)를 가지며 이퀄라이저(200)의 계수들을 최적화시키기 위하여 필드/프레임 싱크 및 세그먼트 싱크를 사용한다. FFE(210)에서의 원하는 출력 지연이 $CDE = 800$ 및 $FSEG = 312$ 를 갖는 $Z_{OUT} = 768$ 이라고 가정하면, 제어 시스템(54)은 $SEGMENT_SYNC_OUT = 736$ 및 $FRAME_SYNC_OUT = 312$ 를 계산한다.

추가적으로, 시스템(20)의 몇몇 실시예에서, 제어 시스템(54)은 변하는 채널 조건에 반응하여 이동하는 (FFE(210)의 지연을 나타내는) 가상 중심을 생성시키기 위하여 시간에 걸쳐 이퀄라이저(200)의 필터 계수들을 최적화시킨다. 이퀄라이저는 가상 채널 또는 몇몇 신호 전송 경로들을 포함하는 신호들 또는 고스트 신호들을 구성하고 하나의 고스트 신호와 반드시 정렬되지는 않는다. 따라서, 이퀄라이저(200)의 안정성은 단일의 메인 고스트 신호에 종속되지 않는다. 이는, 어떠한 하나의 멀티패스 기여 신호(multipath contributory)의 추가나 삭제는 이퀄라이저를 불안정해지도록 하거나 또는 그렇지 않으면 신호의 재-초기화나 재-획득을 필요로 하게 하지 않는다는 점에서 추가적인 강점을 제공한다.

도 19b에 예시된 바와 같이, 이퀄라이저(200)의 몇몇 실시예들에서, FFE(210) 및 DFE(216)는 FFE(210) 및 DFE(216)에서의 샘플들의 부분이 임시적으로 관련된 오버래핑된 영역에서 작동된다. 이퀄라이저(200)의 몇몇 대안실시예들은 부분적으로 이격된 FFE를 포함한다. 어떠한 경우이든, FFE(210) 및 DFE(216)의 샘플들은 임시적으로 관련되거나 반드시 동일한 샘플 간격에 대해 임시로 정렬되는 것은 아니다. 도 19c에 나타난 바와 같이 이퀄라이저(200)의 다른 실시예에서, 이퀄라이저(200)의 몇몇 실시예들은 DFE(216)의 모든 샘플들이 FFE(210)의 샘플들과 임시로 관련되는 오버래핑된 영역을 포함한다.

도 19b에 나타난 바와 같이, 몇몇 실시예들은 이퀄라이저 작동을 제어하여, 이퀄라이저(200)의 계수들이 사전설정된 값으로 초기 설정되고, FFE(210)의 계수들은 채널 왜곡의 몇몇 부분을 제거하도록 되어 있다. 일단 이퀄라이저가 원하는 상태의 성능에 도달되면, DFE(216)의 계수들은 자유롭게 최적화된다. 도 19c에 예시된 바와 같이, DFE(216)의 계수들은 커지기 시작하며, 이는 통상적으로 FFE(210)의 계수들 중 1 이상의 크기의 감소를 가져온다. 도 19d에 나타난 바와 같이 몇몇 실시예들에서는, 오버래핑된 영역에서의 FFE(210)의 계수들은 0의 크기를 향하려는 경향이 있으므로, DFE(216)의 계수들이 커진다. 하지만, 다른 실시예들에서, FFE(210)의 계수들은 오버래핑된 영역에서 몇몇의 나머지 크기를 갖는다. 당업자라면 이해할 수 있듯이, 이러한 작동은 이퀄라이저(200)의 디자인의 결과로서 자동적으로 발생되며 제어 시스템(54)이 이퀄라이저(200)의 노이즈 및 고스트 성능의 밸런스를 맞추도록 한다.

제어 시스템(54)은 당업자라면 알 수 있듯이 다양한 오차 평가 기술들을 사용하여, 이퀄라이저 계수들을 최적화시킴으로써 채널 왜곡을 더 제거한다. 예시적으로, 특정 실시예들은 이퀄라이저 계수들을 최적화시키기 위해 LMS 알고리즘과 조합하여 RCA(Reduced Constellation Algorithm) 오차 계산을 사용한다. RCA - LMS 알고리즘은 채널 이퀄라이제이션 오차를 검출하고 시간에 걸쳐 향상된 이퀄라이저 응답을 이끌어낸다. 다른 실시예들은 이퀄라이저 계수들을 최적화시키기 위하여 LMS 알고리즘과 조합하여 데이터 검출 기술을 사용한다. 또 다른 실시예들은 이퀄라이저(200)의 계수들을 최적화시키기 위하여 다른 블라인드 이퀄라이제이션 기술들을 사용한다. 예시적으로, 몇몇 실시예들은 이퀄라이저 계수들을 블라인드하게 최적화시키기 위하여 CMA(constant modulus algorithm)를 사용한다.

보다 상세히 후술하겠지만, 제어 시스템(54)은 FFE 계수들을 초기에 최적화한다(즉, 결정한다). 이퀄라이저(200)의 FFE(210)가 작동하고 있으면, 시스템은 DFE(216)를 작동가능하게 하고 나아가 이퀄라이저 계수들을 최적화시켜, 채널 조건들의 변화들에 대해 응답하고 모든 잔류 채널 왜곡을 제거한다. DFE 계수들 모두는 초기에 0으로 설정되고, DFE(216)의 계수들의 적어도 일 부분은 0이 아닌 값들로 전개되다(evolve).

다른 실시예들에서, FFE(210)는 부분적으로 이격된 샘플들을 사용하고, 시스템은 적절한 임시 정렬된 데이터를 결정 디바이스(216)에 제공하기 위해 FFE 출력을 서브-샘플링(sub-sampling) 또는 샘플 비율 전환(sample rate converting)하는 기술을 포함한다. 예시적으로, 몇몇 실시예들에서는 FFE 출력에서 샘플 비율 전환 프로세스가 발생된다. 특정 실시예들에서, FFE는 부분적으로 이격되고 모든 결정 디바이스 출력에 대해 "n" 출력 샘플들을 생성시킨다. FFE 출력은 적절한 샘플

데이터 정렬을 유지시키기 위하여 $n:1$ 로 임의 결정된다(decimated). 대안적으로, 다른 실시예들에서는 이퀄라이저가 결정 디바이스의 입력에서 데이터를 다운-샘플링한다. 이는, 시스템(20)의 다른 요소들이 부분적으로 이격된 샘플들과 연관된 증가된 대역폭의 장점을 취하도록 한다.

다른 특정 실시예에서, FFE 출력 비율은 단순한 정수배의 관계만큼 결정 디바이스 심볼 비율과 관련되지 않는다. 비-제한적 예시로서, FFE 출력은 결정 디바이스 심볼 비율보다 $3/4$ 의 샘플들의 개수를 제공할 수도 있다. 특정 실시예들에서, 결정 디바이스 샘플 시간에 가장 근접한 샘플을 선택하는 것은 FFE 출력을 임의 결정한다. 다른 실시예에서, 샘플 비율 컨버터는 FFE 출력을 다운-샘플링하는데 사용된다. 비-제한적 예시로서, 샘플 비율 전환 프로세스는 FFE 출력, 가산기 입력 또는 가산기 출력에서 일어날 수도 있다. 따라서, 도 5에 도시되지는 않았으나, 이퀄라이저(200)의 몇몇 실시예들은 부분적으로 이격된 FFE를 포함하는데, FFE(210) 및 DFE(216)의 샘플들은 임시적으로 관련되나 반드시 동일한 샘플 간격에 대해 임시적으로 정렬되어야 하는 것은 아니라는 것을 이해해야 한다.

FFE(210) 및 DFE(216)에서 임시적으로 관련된 샘플들을 갖는 이퀄라이저의 또 다른 실시예들은 FFE(210)로부터 DFE(216)로 계수 값들을 전달하여 초기 DFE 개시 및 컨버전스를 향상시킨다. 일 예시로서, 몇몇 시스템들은 먼저 FFE(210)을 작동가능하게 하고 FFE 계수들을 최적화시켜 채널 왜곡을 저감시킨다. FFE 계수들이 상대적으로 안정적이거나 비트 오차 비율이 원하는 임계 레벨까지 저감된 후에, 시스템은 DFE(216)를 작동가능하게 하고 그 후 FFE(210) 및 DFE(216)의 계수들이 어울어지도록(jointly) 최적화된다. 그 다음, 시스템은 FFE(210) 및 DFE(216)이 채널 지연에 기초하여 사용되어야 하는 임시로 관련된 샘플이 어떤 것인지를 결정한다. FFE(210) 및 DFE(216)에 의하여 사용될 샘플들은 채널의 지연이 움직일 때 조정된다.

본 발명의 몇몇 실시예들은 채널 간섭 및 고스트들을 제거하기 위하여 이퀄라이저 탭 계수들을 이끌어내는데 사용되는 기술들을 적절하게 변화시킨다. 예시적으로, 특정 실시예들은 FFE(210) 및 DFE(216)의 이퀄라이저 탭 계수들을 최적화시켜 이퀄라이저 출력과 결정 디바이스 출력간의 LMS(least mean square)를 최소화시킨다. 이 기술은 변화 채널 또는 시스템 조건들에 반응하여 시간에 걸친 이퀄라이저 탭 계수들을 이끌어낸다. 예시적으로, 몇몇 최적화 알고리즘들은 초기에 LMS 최적화 알고리즘을 구동하기 위해 RCA 기술을 사용한 다음, 결정 지향 이퀄라이저 계수 최적화 프로세스를 적용하기에 앞서 채널 조건들에 따라 결정 지향 기술 또는 상이한 최적화 전략들의 조합으로 전환한다.

이퀄라이저(200)의 몇몇 실시예들은 특정 DFE 계수들의 크기를 제한함으로써 이퀄라이저의 안정성을 향상시킨다. 도 19c를 계속해서 참조하면, 제어 시스템(54)(도 5)은 계수가 연관된 탭의 탭 인덱스의 함수로서 DFE 계수들의 크기들을 제한한다. 몇몇 실시예들에서, DFE 계수들의 값들의 범위는 영역들로 나뉘어진다. 보다 작은 탭 인덱스들을 갖는 탭들(즉, Z_{OUT} 에 가장 근접)은 크기 제한들의 제 1 프리-셋 범위를 갖는다. DFE 탭들의 제 2 그룹은 허용가능한 크기들의 제 2 프리-셋 범위를 갖는다. 끝으로, 가장 큰 탭 인덱스들을 갖는 DFE 탭들(즉 Z_{OUT} 으로부터 가장 먼)은 크기 제한들의 제 3 프리-셋 범위를 갖는다. 제 1의 비-제한적인 예시로서, 계수들이 1의 최대 크기를 갖는다고 가정하면, Z_{OUT} 에 대해 가장 근접한 탭들은 .85의 최대 계수 크기를 갖는다. Z_{OUT} 으로부터 보다 멀리 위치한 DFE 탭들의 제 2 그룹은 .95의 최대 계수 크기를 갖는다. 끝으로, Z_{OUT} 으로부터 가장 먼 DFE 탭들은 1의 최대 계수 크기를 갖는다.

몇몇 실시예들에서, Z_{OUT} 에 대해 가장 근접한 탭들의 최대 계수 크기는 .75 내지 .85 사이의 범위를 가질 수 있다. 다른 실시예들에서, Z_{OUT} 에 대해 가장 먼 탭들과 가장 가까운 탭들 사이에 배치되는 제 2 그룹 탭들의 최대 계수 크기는 .925 내지 .95 사이의 범위를 갖는다. 또 다른 실시예들은, Z_{OUT} 으로부터 가장 먼 DFE 탭들은 .95 내지 1 범위의 최대 계수 크기를 갖는다.

DFE 탭들은 보다 적거나 많은 그룹들로 쪼개질 수 있으며 상대적인 최대 계수 크기들은 DFE 탭들의 개수 및 그들 탭의 인덱스들(Z_{OUT} 에 대한 장소)에 따른다는 것을 이해해야 한다. 예시적으로, 몇몇 실시예에서, DFE 탭들의 단지 일 부분만이 제한된다. 상기 실시예들에 있어, 보다 작은 탭 인덱스들을 갖는 DFE 계수들의 크기를 제한하는 것은 격자 디코더에 의해 만들어지는 결정 오차들의 영향을 저감시킨다.

이퀄라이저(200)의 다른 실시예들은 FFE 및 DFE 계수들에 드레인 함수(drain function)를 적용한다. 몇몇 실시예에서, 드레인 함수는 일정한 드레인이고 규칙적 베이스에 관하여 제어된 양만큼 계수의 크기를 감소시킨다. 다른 실시예들에서, 드레인 기능은 비-선형이고 큰 계수 값들보다 더 빠르게 보다 작은 계수 값들을 제거하려는 경향이 있다. 또 다른 실시예에서, 드레인 기능은 비례적이며 규칙적 규칙적 베이스에 관한 부분적으로 계수 크기들을 감소시킨다.

이퀄라이저(200)의 몇몇 실시예들은 드레인 기능을 적용하는데, 예를 들어 보다 높은 탭 인덱스를 갖는 DFE 탭들의 계수의 크기가 보다 작은 탭 인덱스들을 갖는 탭의 계수들의 크기보다 빠른 비율로(또는 대안적으로 보다 큰 양만큼) 저감되도록, 탭 인덱스에 따라 제어되는 양이 변화된다. 제어되는 양의 변화는 탭 인덱스의 함수이거나 탭들이 탭 인덱스들의 범위들에 의해 그룹화되고 별도의 제어되는 양이 각각의 그룹에 적용될 수도 있다. 이퀄라이저의 몇몇 다른 실시예들에서는, 이퀄라이저가 개시되고 있는 경우에는 보다 작게 제어된 양만큼 저감되고, 그 후 이퀄라이저가 정상 상태 모드로 작동되고 있는 경우에는 보다 크게 제어된 양만큼 저감되도록, 이퀄라이저의 작동 상태에 따라 제어되는 양이 변화될 수 있다. 이와 유사하게, 제어되는 양은 이퀄라이저의 성능에 따라 변화될 수도 있다. 이 경우에, 예를 들어 SNR이 상대적으로 작은 경우에 계수들의 크기들을 저감시키기 위해 보다 작게 제어된 양이 사용되고, 보다 크게 제어된 양은 SNR이 높아지는 경우 사용될 수 있다. 또 다른 실시예들에서, FFE의 가상 중심으로부터 보다 먼 탭들은 가상 중심에 대해 보다 가까운 FFE 탭 보다 빠른 비율로 드레이닝된다.

비-제한적인 예시로서, 그리고 도 5, 6 및 21을 참조하면, 시스템(20)의 몇몇 실시예들은 시스템(740)에 의해 채용되는 기술로서, 그 작동이 기준 또는 중심 탭 없이 오버래핑된 이퀄라이저 구조체 또는 이퀄라이저를 디벨로핑하기 위해 도 21에 도시된 것과 같은 기술을 포함한다. 742, 즉 "Initialization"에서, 제어 시스템(54)은 당업자라면 이해할 수 있듯이 시스템(20)의 다양한 부분들을 초기화한다. 그 다음, 제어 시스템(54)은 시스템을 740에서 744으로 전이시킨다.

744, 즉 "CDE Estimate"에서, 시스템(20)은 전송 채널과 연관된 지연을 추정하고 SEGMENT_SYNC_OUT 및 FRAME_SYNC_OUT의 값들을 결정한다. 시스템(20)은 그 자체의 시스템 클럭, 심볼 카운터(316) 및 시퀀스 카운터(318)에 대한 트레이닝 시퀀스의 지연 오프셋을 고정시킨다(fix). 비-제한적인 예시로서, 몇몇 실시예들에서 시스템(20)은 CDE를 결정하기 위한 세그먼트 싱크 기술을 사용한다. 다른 실시예들에서, 시스템(20)은 CDE를 결정하기 위한 프레임 싱크 기술을 사용한다. 또 다른 실시예에서, 시스템(20)은 CDE를 결정하기 위해 세그먼트 싱크 및 프레임 싱크 기술들의 조합을 사용한다. 그 다음, 제어 시스템(54)은 시스템을 740에서 746으로 전이시킨다.

746, 즉 "FFE Enable"에서, 제어 시스템(54)은 시스템(20)의 이퀄라이저의 FFE 부분을 작동가능하게 한다. 시스템(20) 이퀄라이저의 DFE 부분은 기능 억제된다. 제어 시스템(54)은 전송 내에 매입되는 동조 신호의 원하거나 예측되는 도달에 기초하여 생성되는 최적 오차 신호를 사용하여 동적으로 FFE 계수들을 디벨로핑한다. 예시적으로, 이퀄라이저(200A)를 포함하는 시스템(20)의 몇몇 실시예들에서, 제어 시스템(54)은 CDE의 CDEU(230) 추정치에 기초하여 원하거나 예측되는 임시 장소에서 동조 신호들을 생성시킨다(또는 생성되도록 야기한다). 예시적으로, 제어 시스템(54)은 SC = SEGMENT_SYNC_OUT인 경우 이퀄라이저(20)를 최적화시키기 위한 세그먼트 싱크 트레이닝 신호를 생성시킨다.

그 다음, 제어 시스템(54)은 제어 시스템(54)에 의하여 생성되는 생성된 동조 신호들로부터 이퀄라이징된 데이터 신호(88)를 차감함으로써 최적 오차 신호를 생성시킨다. 제어 시스템(54)은 이퀄라이저의 계수들을 최적화시키기 위해 윈도잉 기술에 기초하여 최적 오차의 부분을 선택한다. 선택된 윈도우는 시스템(20)의 작동 상태에 따른다. 예를 들어, 몇몇 실시예들에서 제어 시스템(54)은 초기 시스템 개시시 FFE 계수들을 최적화시키기 위해 세그먼트 싱크 신호를 사용한다. 다른 실시예들에서, 제어 시스템(54)은 초기 시스템 개시시 FFE 계수들을 최적화시키기 위하여 필드/프레임 싱크 신호를 사용한다. 또 다른 실시예에서, 제어 시스템(54)은 먼저 FFE 계수들을 최적화시키기 위해 세그먼트 싱크 신호를 사용하고, 그 후 세그먼트 싱크 신호와 조합하여 필드/프레임 싱크 신호를 사용하기 위해 전이된다.

후술되는 바와 같이, 신뢰성 있는 동조가 얻어지면, 제어 시스템(54)은 CDE의 CDEU 추정치에 의해 결정되는 바와 같이 동조 신호들의 원하거나 예측되는 임시 장소들에 기초하여 FFE 계수들을 최적화시킨다. 제어 시스템(54)은 CDE의 CDEU에 기초하여 원하거나 예측되는 임시 장소에서 동조 신호들을 생성시킨다. 그 다음, 제어 시스템(54)은 생성되는 동조 신호로부터 수신되는 신호를 차감함으로써 최적 오차 신호를 생성시킨다. 그 다음, 제어 시스템(54)은 최적 오차 신호에 기초하여 FFE의 계수들을 최적화시키기 위해 최적 오차 신호를 사용한다.

예시적으로, 몇몇 실시예들에서 제어 시스템(54)은 수신기 생성 세그먼트 싱크 신호로부터 수신되는 신호를 차감함으로써 최적 차이 신호를 생성시킨다. 몇몇 실시예들은 수신기 생성 프레임 싱크 신호로부터 수신되는 신호를 차감함으로써 최적 차이 신호를 생성시킨다. 또 다른 실시예들은 세그먼트 싱크 신호의 예측되는 도달에 기초하여 FFE 계수들을 최적화시킨다. 신뢰성 있는 프레임 싱크 신호의 존재를 검출하는 등의 성능의 특정 레벨에 도달된 후에, 제어 시스템(54)은 세그먼트 싱크 신호 및 필드/프레임 싱크 신호 둘 모두를 이용하여 생성되는 차이 신호를 생성시킨다.

몇몇 실시예에서, 제어 시스템(54)은 몇몇 시간 주기 후에 신뢰성 있는 동조 신호들이 검출되지 않는다면 시스템 740 작업을 742로 전이시킨다. 이와 유사하게, 몇몇 실시예들에서 제어 시스템(54)은 필드/프레임 싱크 신호의 손실을 검출한다면

시스템을 740에서 742로 전이시킨다. 그렇지 않으면, 제어 시스템(54)은 (수신되는 동조 신호들의 SNR에 기초하여) 이퀄라이저 출력 SNR 성능이 사전설정된 DFE_ENB 임계치보다 큰 경우 시스템을 740에서 748로 전이시킨다. DFE_ENB 임계치 > RETURN_FFE 임계치를 선택함으로써 이력 현상(Hysteresis)이 제공될 수도 있다.

748, 즉 "DFE Enabled"에서, 제어 시스템(54)은 IIR(infinite impulse response) 필터로서 작용하는 이퀄라이저(200)의 DFE 부분(216)을 작동 가능하게 한다. 제어 시스템(54)은 이퀄라이저의 FFE 및 DFE 계수들을 최적화시키기 위하여 세그먼트 싱크 신호 및 필드/프레임 싱크 신호에 기초하여 생성되는 최적 오차 신호를 사용한다. 최적 오차 신호 생성은 "FFE Enabled" 746에서 사용되는 것과 유사하다. DFE로의 데이터 입력은 DFE 지연 경로를 통해 가능한 정밀도에 따른 레벨로 양자화된다(quantized).

제어 시스템(54)은 필드/프레임 싱크 신호의 손실을 검출한다면 시스템을 740에서 742로 전이시킨다. 그렇지 않으면, 제어 시스템(54)은, 신호 대 노이즈 성능이 수신되는 동조 신호들의 SNR에 기초하는 경우 이퀄라이저 출력 SNR 성능이 사전설정된 RCA_ENB 임계치보다 클 때 시스템을 740에서 750으로 전이시킨다. 하지만, 몇몇 실시예에서 제어 시스템(54)은 이퀄라이저 출력 SNR 성능이 RETURN_FFE 임계치 아래로 떨어지는 경우 시스템을 740에서 746으로 전이시킨다. 이력 현상은 RCA_ENB 임계치 > RETURN_DFE 임계치 > DFE_ENB 임계치를 선택함으로써 구체화될 수 있다. 몇몇 실시예들은 시스템의 성능을 향상시키기 위하여 필터 및 연속(continuity) 카운터들을 평균하는 것과 같은 당업계에서 알려진 다른 기술들을 사용한다.

750, 즉 "RCA"에서 FFE 및 DFE 계수들은 RCA(reduced constellation algorithm)에 기초하는 최적 오차 신호를 사용하여 업데이트된다. RCA는 입력 데이터가 2-레벨화된다는(2-leveled) 것을 가정하며, 따라서 국부적으로 생성된 기준 신호가 인커밍 데이터의 바이너리 슬라이스이다. 예시적으로, 이퀄라이저(200A)를 포함하는 몇몇 실시예에서, 제어 시스템(54)은 결정 디바이스(214)의 최적 심볼 결정(94)로부터 이퀄라이징된 데이터 신호(88)를 차감함으로써 최적 오차 신호를 생성시킨다. 제어 시스템(54)은 이퀄라이징된 데이터 신호(88)의 바이너리 슬라이스를 제공하기 위하여 최적 심볼 결정(94)을 구성한다. 바이너리 슬라이스는 -7, -5, -3, -1, +1, +3, +5, +7 내지 -5.25 및 +5.25에서 정규화된 레벨을 갖는 8-VSB 신호를 매핑한다. 몇몇 실시예에서, 슬라이싱은 2 레벨 베이스스로 수행된다. 다른 실시예에서, 슬라이싱은 4 레벨 베이스스로 수행된다. CMA 같은 또 다른 실시예들은 신호 콘스텔레이션의 첨도(kurtosis)를 사용한다. 끝으로, 다른 실시예들은 당업계에서 알려진 여타 저감된 콘스텔레이션 기술들을 사용한다. 최적 오차 신호는 FFE 및 DFE 계수들 모두를 업데이트하는데 사용된다. 앞서와 같이, DFE로의 데이터는 양자화된 슬라이스 데이터(8- 또는 16-레벨 결정 슬라이서)이며 DFE는 IIR 필터로서 작용한다.

몇몇 실시예에서, 제어 시스템(54)은 수신된 데이터의 RCA 알고리즘만을 사용하여 FFE 및 DFE 계수들을 최적화한다. 다른 실시예에서, 제어 시스템(54)은 수신된 동조 신호들과 제어 시스템(54)에 의해 생성된 신호들을 비교한다. 또 다른 실시예에서, 제어 시스템(54)은 시스템의 성능 또는 작동 상태에 따라 RCA 및 동조 신호-기반 최적 기술의 효과들을 조작한다(weight).

제어 시스템(54)이 필드/프레임 싱크 신호의 손실을 검출한다면, 제어 시스템(54)은 시스템을 740에서 742로 전이시킨다. 그렇지 않으면, 제어 시스템(54)은 이퀄라이저 출력 SNR 성능이 DATA_DIRECTD 임계치보다 커지는 경우 시스템을 740에서 752로 전이시킨다. 몇몇 실시예들에서, SNR을 계산하는 기술은 수신되는 동조 신호와 데이터 신호들 모두를 검사하는 것을 포함한다. 시스템 SNR 성능이 향상하는 대신에 RETURN_DFE 임계치 아래로 떨어진다면, 제어 시스템(54)은 시스템을 740에서 748로 전이시킨다. 이력 현상은 DATA_DIRECTD 임계치 > RCA_ENB 임계치 > RETURN_RCA 임계치를 선택함으로써 구체화될 수도 있다.

752, 즉 "Trellis Decoder Enabled"에서, FFE 및 DFE 탭들은 격자 디코더 출력에 기초해 생성된 최적화된 오차 신호를 사용하여 업데이트된다. 앞서와 유사하게, 제어 시스템(54)은 격자 디코더로부터의 출력을 제공하기 위해 최적 심볼 결정(94)을 구성한다. 제어 시스템(54)은 이퀄라이저 계수들을 최적화하기 위하여 결정 지향 LMS 기술을 사용한다. 몇몇 실시예에서, 최적 오차 신호는 8-VSB 신호의 격자 디코딩의 출력을 살핌으로써 결정된다. 다른 실시예에서, 최적 오차 신호는 격자 디코더 스테이지들 중 하나의 출력을 검사함으로써 결정된다. 앞서와 유사하게, DFE로의 데이터 입력은 사전설정된 수의 레벨들로 양자화된 슬라이스 데이터이며, DFE는 IIR 필터로서 작용한다.

상술된 바와 같이, 제어 시스템(54)은 필드/프레임 싱크 신호의 손실을 검출한다면 시스템을 740에서 742로 전이시킨다. 그렇지 않으면, 제어 시스템(54)은 이퀄라이저 출력 SNR 성능이 DFE_UPDATE 임계치보다 커지는 경우 시스템을 740에서 754로 전이시킨다. 시스템의 SNR 성능을 향상시키는 대신에 RETURN_RCA 임계치 아래로 떨어진다면, 제어 시스템은 시스템을 740에서 752로 전이시킨다. 이력 현상은 DFE_UPDATE 임계치 > RETURN_RCA 임계치 > RCA_ENB 임계치를 선택함으로써 구체화될 수 있다.

754, 즉 "DFE Decision Update"에서, 시스템 컨트롤러(54)는 격자 디코더 출력에 기초하는 최적 오차 신호를 사용하여 FFE 및 DFE 계수들을 업데이트한다. 또한, 컨트롤러(54)는 DFE(216) 내로 격자-디코딩된 데이터를 제공하기 위하여 이퀄라이저의 결정 디바이스를 구성한다. 예시적으로, 이퀄라이저(200A)를 포함하는 시스템(20)의 몇몇 실시예들에서, 제어 시스템(54)은 DFE(216)에 격자 디코더 보정 데이터를 제공하기 위하여 이퀄라이저 피드백 신호(92)를 선택적으로 제어한다. 다른 실시예들에서, 제어 시스템(54)은 격자 디코더의 다양한 스테이지들로부터의 보정된 데이터를 갖는 DFE (216)를 업데이트하기 위하여 이퀄라이저 피드백 신호(92)를 선택적으로 제어한다. 따라서, DFE(216)는 초기에 결정 디바이스(214)의 결정 슬라이서 출력을 수신한다. 그 다음, 결정 디바이스(214)의 격자 디코더 부분은 가능해진 보정으로서 DFE 수신 결정들을 업데이트한다. 또 다른 실시예는, 함께 계류중인, "Transposed Structure for a Decision Feedback Equalizer Combined with a Trellis Decoder"라는 제목으로 출원된 미국특허출원 제 10/407,610 호 및 "Combined Trellis Decoder and Decision Feedback Equalizer"라는 제목으로 출원된 미국특허출원 제 09/884,256 호에 기술된 바와 같이 격자 디코더의 중간 스테이지들로부터 DFE의 스테이지들로 격자 디코더 업데이트 값들을 제공함으로써 운용된다.

상술된 바와 같이, 제어 시스템(54)은 필드/프레임 싱크 신호의 손실을 검출한다면 시스템을 740에서 742로 전이시킨다. 그렇지 않으면, 제어 시스템(54)은 이퀄라이저 출력 SNR 성능이 RETURN_TRELLIS_ENABLE 임계치 아래로 떨어진다 면 740에서 752로 전이시킨다.

시스템(20)의 몇몇 실시예들은 SNR 대신에 최적 오차 신호의 평균 크기를 사용한다. 시스템(20)의 다른 실시예들은 격자 디코더에 의해 검출된 비트 오차 비율을 사용한다. 시스템(20)의 또 다른 실시예들은 FEC 심볼 결정(80)의 비트 오차 비율을 사용한다. 또 다른 실시예는, 미국특허 제 6,829,297 호와 유사하게, 격자 디코더에 의해 디벨로핑되는 성능 메트릭들에 따라 최적 프로세스를 수정한다. 시스템(740)은 특정 단계들을 생략함으로써 격자 디코딩 없이 시스템들에 대해 최적화될 수도 있다는 것을 이해해야 한다. 마찬가지로, 전이 포인트는 작동 조건 및 어적용에 따라 최적의 성능을 위해 조정될 수 있다. 전이 임계 레벨들에 의해 제공되는 이력 현상 이외에, 시스템(20)의 몇몇 실시예들은 컨퍼던스 카운터, 평균 필터 또는 유사 전이 스무딩 기술(transition smoothing technique)을 포함하여 안정성을 향상시키고 시스템 성능에 있어서의 순간적인 시프트들을 상쇄시킨다.

몇몇 실시예에서 시스템(740)은 746과 754 사이의 중간 스테이지들을 제거함으로써 단순화될 수 있다는 것을 이해해야 한다. 예시적으로, 격자 디코더를 갖지 않거나 일 특징으로서 DFE 내의 샘플을 업데이트하기 위한 격자 디코더의 능력을 포함하지 않는 실시예들은 스테이지 752 또는 754를 필요로 하지 않는다.

도 22에서 이퀄라이저(200A)로서 예시된 이퀄라이저(46)의 또 다른 실시예는 FFE(210)의 출력과 가산기(212)의 제 1 입력 사이의 위상 트랙커(240)의 추가를 제외하고 이퀄라이저(200)와 형태 및 기능에 있어 유사하다. 도 22에 나타난 바와 같이, 위상 트랙커(240)는 FFE(210)로부터의 입력 및 피드백 신호들(246)을 수신하고 출력을 가산기(212)에 제공한다. 상세히 후술되겠지만, 위상 트랙커(240)는 다양한 피드백 신호들(246)을 수신한다. 피드백 신호들(246)은 시스템(20)에 의하여 또는 시스템 내에서 생성되는 1 이상의 해당 신호들을 포함할 수도 있다. 예시적으로, 시스템(20)의 몇몇 실시예들에서 피드백 신호(246)들은 이퀄라이징된 데이터 신호(88)를 포함한다. 또 다른 실시예에서, 피드백 신호(246)는 이퀄라이징된 데이터 신호(88) 및 동조 심볼 결정(86)을 포함한다. 또 다른 실시예에서, 피드백 신호(246)들은 중간 이퀄라이저 신호(90), 이퀄라이징된 데이터(88) 및 이퀄라이저 피드백 신호(92)를 포함한다. 후술되는 바와 같이, 위상 트랙커(240)는 FFE(210)의 출력을 보정하는데 사용되는 위상 보정 벡터를 디벨로핑하기 위하여 피드백 신호들을 사용한다.

이퀄라이저(200A)의 위상 트랙커(240)의 일 실시예는 FFE(210)로부터의 신호(242) 및 피드백 신호들(246A 및 246B)을 수신하는, 도 23에 예시된 바와 같은 위상 트랙커(800A)이다. 피드백 신호(246A)는 수신된 신호에 존재하는 추정 위상 오차의 사인(즉, $\sin\theta$)이다. 이와 유사하게, 피드백 신호(246B)는 수신된 신호에 존재하는 추정 위상 오차의 코사인(즉, $\cos\theta$)이다. 위상 트랙커(800A)의 출력은 이퀄라이저(200A)의 가산기(212)의 입력이다.

위상 트랙커(800A)는 지연 라인(810), 위상-시프트 필터(812), 로테이터(814), 인티그레이터(816), 차감기(818) 및 멀티플라이어(822, 824, 826)를 포함한다. 위상 트랙커(800A)는 결정 디바이스(214)의 출력과 대응되는 이퀄라이즈 데이터 신호(88)간의 차이를 취함으로써 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 생성한다. 도 23에 예시된 바와 같이, 1 이상의 실시예는 차감기(830) 및 지연 요소(832)를 포함한다. 지연 요소(832)의 입력부는 가산기(212)의 출력인 이퀄라이징된 데이터 신호(88)를 수신한다. 차감기(830)의 부정적 입력 및 긍정적 입력 각각은 지연 요소(832)로부터의 지연된 이퀄라이즈 데이터 신호(88) 및 결정 디바이스(214)의 출력을 수신한다. 차감기(830)의 출력은 위상 트랙커 결정 오차 신호(E_{PTD})(248)이다. 따라서, 위상 트랙커 결정 오차 신호(E_{PTD})(248)는 결정 디바이스(214)의 출력과 적절히 지연된 이퀄라

이즈 데이터 신호(88)간의 차이를 취함으로써 디벨로핑된다. 이와 같이, 위상 트랙커 결정 오차 신호(E_{PTD})(248)는 결정 출력과 상기 출력을 생성한 입력간의 오차이다. 지연 요소(832)는, 충분한 신호 전파 지연을 제공하여 차감기(830) 내로의 입력부들의 정확한 임시 정렬을 가능하게 하고 결정 디바이스(214)의 출력의 특성에 따라 변화된다.

예시적으로, 몇몇 실시예들은 결정 디바이스(214)의 결정 슬라이서 출력으로부터 적절히 지연된 이퀄라이즈 데이터 신호(88)를 차감함으로써 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 디벨로핑한다. 또 다른 실시예들은 결정 디바이스(214)의 격자 디코더 출력으로부터 적절히 지연된 이퀄라이즈 데이터 신호(88)를 차감함으로써 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 디벨로핑한다. 또 다른 실시예들은 결정 디바이스(214)의 격자 디코더의 중간 출력 스테이지로부터 적절히 지연된 이퀄라이즈 데이터 신호(88)를 차감함으로써 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 디벨로핑한다. 특정 실시예들은 결정 디바이스(214)의 최적 심볼 결정(94)로부터 적절히 이퀄라이징된 데이터 신호(88)를 차감함으로써 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 디벨로핑한다. 또 다른 특정 실시예들에서, 제어 시스템(52)은 시스템, 이퀄라이저 및/또는 채널 조건들의 상태에 따라 위상 트랙커 결정 오차 신호(248)를 생성시키는데 사용되는 결정 디바이스(214)의 출력을 선택한다.

위상 트랙커(800A)는 당업자라면 이해할 수 있듯이 위상 오차 피드백 신호를 디벨로핑한다. 지연 라인(810) 및 위상-시프트 필터(812)는 FFE(210)의 출력인 입력 신호(242)를 수신한다. 지연 라인(810)은 로테이터(814) 및 멀티플라이어(826)의 인-페이스 신호 입력에 출력을 제공한다. 또한, 멀티플라이어(826)는 피드백 신호(246A), 즉 $\sin\theta$ 를 수신한다. 위상-시프트 필터(812)는 로테이터(814) 및 멀티플라이어(824)의 사분주기 신호 입력 모두에 출력을 제공한다. 또한, 멀티플라이어(824)는 피드백 신호(246B), 즉 $\cos\theta$ 를 수신한다.

몇몇 실시예들에서, 위상-시프트 필터(812)는 90 도 위상-시프트 필터 또는 사분주기 필터를 포함한다. 다른 실시예에서, 위상-시프트 필터(812)는 Hilbert 필터 또는 절두형(truncated) Hilbert 필터를 포함한다. 또 다른 실시예에서, 위상-시프트 필터(812)는 90 도 위상-시프팅된 채널 및 특정 수신기 획득 임계치에 대한 필터 출력의 평균 제곱 오차(MMSE)를 최소화시키기 위하여 최적화된 필터 탭 계수들을 갖는 몇몇 원하는 길이의 FIR 필터이다. 예시적으로, 위상-시프트 필터(812)의 몇몇 실시예들은 15.1 dB의 VSB 또는 오프셋-QAM 수신기 획득 SNR 임계치에 대한 MMSE-최적화 필터 탭 계수들 및 31 샘플들의 길이를 갖는 FIR 필터이다. 위상-시프트 필터(812)의 다른 실시예들은 15.1 dB의 수신기 획득 SNR 임계치에 대해 최적화된 필터 탭 값들을 포함한다. 본 발명의 1 이상의 실시예는 15 dB의 획득 SNR 임계치에 대해 최적화된 위상-시프트 필터 812 계수들을 포함한다.

차감기(818)의 부정적 입력 및 긍정적 입력들은 멀티플라이어(826) 및 멀티플라이어(824)의 출력들을 각각 수신한다. 차감기(818)는 차감기(830)로부터 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 수신하는 멀티플라이어(822)에 위상 오차 추정치를 제공한다. 인티그레이터(816)는 멀티플라이어(822)의 출력을 수신하고 로테이터(814)의 입력에 위상 보정 신호 θ 를 제공한다. 끝으로, 로테이터(814)는 이퀄라이저(200A)의 가산기(212)에 위상-보정된 출력을 제공한다.

몇몇 실시예에서, 위상 트랙커(800A)는 실수 또는 인-페이스 신호 I_{FFE} 로서 FFE(210)의 출력을 수신한다. FFE(210)의 출력은 대응되는 허수 또는 사분주기 신호 Q_{FFE} 를 생성시키기 위하여 위상-시프트 필터(812)를 통과한다.

FFE(210)의 출력은 또한 I_{FFE} 및 Q_{FFE} 가 임시로 정렬되고 동일한 FFE(210) 출력에 대응될 수 있도록 지연 라인(810)을 통과한다. I_{FFE} 및 Q_{FFE} 는 소정 크기 및 위상을 갖는 벡터 쌍이 고려될 수 있다. 하지만, I_F 및 G_F 를 수신하는 FFE(210)의 몇몇 실시예들은 지연 라인(810) 및 위상-시프트 필터(812)의 필요성 없이 실수 및 위상-사분주기 성분 둘 모두를 출력할 것이라는 점을 이해해야 한다. 위상 트랙커(800A)는 I_{FFE} 및 Q_{FFE} 를 회전시킴으로써 이퀄라이저(200A)의 출력에서 존재하는 위상 오차를 최소화시킨다. 로테이터(814)는, 인티그레이터(816)에 대한 입력은 $E_{PTD} \cdot (Q_{FFE} \cos\theta - I_{FFE} \sin\theta)$ 이고, E_{PTD} 는 피드백 신호(246A 및 246B)와 임시적으로 관련된 위상 트랙커 결정 오차 신호인 경우 인티그레이터(816)에 의해 제공되는 위상 보정 신호 θ 에 기초한 위상 보정 벡터 $e^{j\theta}$ 와 I_{FFE} 및 Q_{FFE} 를 곱한다. 따라서, 인티그레이터에 대한 입력은 FFE(210)의 특정 출력과 관련된 결정 지향 위상 오차 신호이다. 이와 같이, 인티그레이터(816)의 출력은 위상 보정 신호 θ 이며, 여기서 샘플 인덱스 i 에서, $\theta_i = \theta_{i-1} + \mu \cdot E_{PTD} \cdot (Q_{FFE} \cos\theta_{i-1} - I_{FFE} \sin\theta_{i-1})$ 이며, μ 는 몇몇 업데이트 단계 사이즈 파라미터이다. 몇몇 실시예에서, θ 에 대한 값들의 범위는 제한된다는 것을 이해해야 한다.

로테이터(814)는 위상 보정 신호 Θ 를 사용하여 벡터 쌍 I_{FFE} 및 Q_{FFE} 를 로테이팅한다. 몇몇 실시예에서, 로테이터(814)는 복소 멀티플라이어(complex multiplier), 사인 록-업 테이블 및 코사인 록-업 테이블을 포함한다. 로테이터(814)는 수신되는 위상 보정 신호 Θ 를 위상-보정 벡터 $e^{j\theta}$ 로 변환시키며, 이는 I_{FFE} 및 Q_{FFE} 를 로테이팅하는데 사용된다. 로테이터(814)는 위상 보정된 인-페이즈 또는 실수 신호 I_{PT} 를 생성시킨다. 몇몇 실시예에서, 로테이터(814)는 또한 사분주기 또는 허수 신호 Q_{PT} (도시 안됨)를 생성시킨다. 당업자라면 이해할 수 있듯이, 이러한 설명들은 예시에 지나지 않으며, 다양한 신호들간의 정확한 임시 관계들을 유지하기 위하여 몇몇 실시예들에서는 도 23에 나타내지 않은 다른 지연 요소들이 포함될 것이다.

위상 오차 피드백 신호는 이퀄라이저(200A)의 스테이지에 존재하는 위상 오차를 추정함으로써 생성된다(도 22 참조). 위상 트래커(800A)의 몇몇 실시예들은 이퀄라이저의 작동 모드에 따라 이퀄라이저 출력 신호들 중 하나에 존재하는 위상 오차를 추정한다. 예시적으로, 몇몇 실시예들에서는 FFE(210)의 출력으로부터 위상 오차 추정치가 유도된다. 다른 실시예들에서는 이퀄라이저(200A)의 가산기(212)의 출력으로부터 위상 오차 추정치가 유도된다. 또 다른 실시예에서는 위상 트래커(800A)의 출력으로부터 위상 오차 추정치가 유도된다. 또 다른 실시예에서는 이퀄라이저의 성능에 따른 제어 시스템(54)에 의해 위상 오차 추정치를 유도하는데 사용되는 신호가 선택된다.

도 24에는 800B로서 위상 트래커(240)의 또 다른 실시예가 도시되어 있다. 위상 트래커(800B)는, 신호 I_{FFE} 및 Q_{FFE} 가 먼저 위상 트래커 결정 오차 신호(248)와 곱해진다는 것을 제외하고 위상 트래커(800A)와 작동적으로 유사하다. 이와 같이, 위상 트래커(800B)는 상이한 위치에서 멀티플라이어(822)를 포함하고 추가 멀티플라이어(828)를 더 포함한다.

멀티플라이어(826)는 입력으로서 IFFE 및 위상 트래커 오차 신호(E_{PTD})(248)를 수신한다. 멀티플라이어(822)는 입력으로서 피드백 신호(246A)($\sin\theta$) 및 멀티플라이어(826)의 출력을 수신한다. 멀티플라이어(828)는 입력으로서 Q_{FFE} 및 위상 트래커 오차 신호(E_{PTD})(248)를 수신한다. 멀티플라이어(824)는 입력으로서 피드백 신호(246B)($\cos\theta$) 및 멀티플라이어(828)의 출력을 수신한다. 차감기(818)의 부정적인 입력 및 긍정적인 입력은 각각 멀티플라이어 822 및 824의 출력들을 수신하며, 그 차이는 출력으로서 인티그레이터(816)에 제공된다. 위상 트래커(800A)에서와 같이, 인티그레이터(816)는 차감기(818)의 출력을 수신하고 로테이터(814)의 입력에 위상 보정 신호 Θ 를 제공한다. 끝으로, 로테이터(814)는 이퀄라이저(200A)의 가산기(212)에 위상-보정된 출력을 제공한다.

샘플 인덱스 i 에 대한 위상 트래커(800B)의 위상 보정 신호 θ 는 $\theta_i = \theta_{i-1} + \mu \cdot E_{PTD} \cdot (Q_{FFE} \cos\theta_{i-1} - I_{FFE} \sin\theta_{i-1})$ 이며, 여기서 피드백 신호(246A), 즉 $\sin\theta$ 및 피드백 신호(246B), 즉 $\cos\theta$ 는 위상 트래커 결정 오차 신호(E_{PTD})(248)와 관련된다. 앞서와 같이, 로테이터(814)는 인커밍 데이터 벡터 I_{FFE} 및 Q_{FFE} 를 위상 보정 벡터 $e^{j\theta}$ 와 곱하고, 이에 의해 FFE(210)의 출력의 위상을 보정한다. 당업자라면 알 수 있듯이, 이러한 설명들은 예시에 지나지 않으며, 다양한 신호들간의 정확한 임시 관계를 유지하기 위하여 다양한 실시예들에서는 도 24에 나타내지 않은 여타 지연 요소들이 사용된다.

이퀄라이저(200A)에서 위상 트래커(240)의 또 다른 실시예는 VSB에 적합한 위상 트래커(800C) 및 오프셋 QAM 모듈레이션 시스템이다. 도 25에 예시된 바와 같이, 위상 트래커(800C)는 FFE(210)로부터 입력 신호(242) 및 위상 트래커 결정 오차 신호(E_{PTD})(248)를 수신한다. 위상 트래커(800C)의 출력부는 이퀄라이저(200A)의 가산기(212)의 입력부에 연결된다. 도 25에 나타낸 바와 같이, 위상 트래커(800C)는 위상 트래커 결정 오차 신호(E_{PTD})(248)를 생성시키기 위하여 위상 트래커(800A)에서 사용되는 것과 유사한 기술들을 채용한다.

위상 트래커(800A)와 유사하게, 위상 트래커(800C) 또한 지연 라인(810), 위상-시프트 필터(812), 로테이터(814), 인티그레이터(816) 및 멀티플라이어(822)를 포함한다. 지연 라인(810) 및 위상-시프트 필터(812)의 입력부들은 FFE(210)로부터의 입력 신호(242)를 수신하고, 각각 출력으로서 IFFE 및 Q_{FFE} 를 갖는다. 지연 라인(810)의 출력은, 로테이터(814)의 인-페이즈 신호 입력에 입력 신호(242)의 지연된 버전인 I_{FFE} 를 제공한다. 위상-시프트 필터(812)의 출력은 멀티플라이어(828) 및 로테이터(814)의 사분주기 신호 입력에 Q_{FFE} 를 제공한다. 결과적으로, Q_{FFE} 는 위상 오차 신호로서 사용된다. 또한, 멀티플라이어(822)는 위상 트래커 결정 오차 신호(E_{PTD})(248)를 수신하고 입력으로서 적을 인티그레이터(816)에 제공한다. 인티그레이터(816)는 위상 보정 신호 θ 를 로테이터(814)의 입력부에 제공한다.

상술된 위상 트랙커와 유사하게, 지연 라인(810) 및 위상-시프트 필터(812)를 통해 FFE(210)의 출력부를 지나가는 것은 신호 I_{FFE} 및 Q_{FFE} 를 생성시킨다. 멀티플라이어(822)는 결정 지향 위상 오차 추정치를 생성시키기 위하여 QFFE를 위상 트랙커 결정 오차 신호(248)와 곱하는데, 이는 인티그레이터(816)에 의해 적분되어 샘플 인덱스 i 에서 위상 보정 신호, $\theta_i = \theta_{i-j} + \mu \cdot (Q_{FFE}) \cdot (E_{PTD})$ 를 형성한다. 로테이터(814)는 θ 를 수신하고 위상 보정 벡터 $e^{j\theta}$ 를 디벨로핑한다. 로테이터(814)는 벡터 쌍 I_{FFE} 및 Q_{FFE} 를 위상 보정 벡터 $e^{j\theta}$ 와 곱하여 위상 보정 실수 또는 인-페이즈 출력을 생성시킨다. 당업자라면 이해할 수 있듯이, 이들 예시들은 예시에 지나지 않는다. 몇몇 다른 실시예들에서는 위상 트랙커 결정 오차 신호 디벨로핑에서의 레이턴시(latency)에 따라 다양한 신호들간의 보정 임시 관계들을 유지하기 위하여 (도 25에 도시되지 않은) 다른 지연 요소들이 사용된다. 예시적으로, 위상 오차 추정치 및 위상 트랙커 결정 오차 신호(248)는 FFE(210)의 출력에 대응된다. 하지만, 멀티플라이어(822)의 출력은 평균 위상 보정 신호를 얻기 위하여 적분되기 때문에, 몇몇 실시예에서는 $I_{FFE}(n)$ 및 $Q_{FFE}(n)$ 에 적용되는 위상 보정 신호 $e^{j\theta}$ 가 $I_{FFE}(n)$ 및 $Q_{FFE}(n)$ 으로부터의 기여율(contribution)을 포함하지 않을 수도 있으며; $I_{FFE}(n)$ 및 $Q_{FFE}(n)$ 는 n^{th} I_{FFE} 및 Q_{FFE} 샘플들이라는 것을 이해해야 한다.

이퀄라이저(200A)에서 위상 트랙커(240)의 또 다른 실시예는, 또한 VSB 및 오프셋 QAM 모듈레이션 시스템에 적합한 위상 트랙커(800D)이다. 도 26에 예시된 바와 같이, 위상 트랙커(800D)는 FFE(210)로부터의 입력 신호(242) 및 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 수신하고 이퀄라이저(200A)의 가산기(212)에 출력을 제공한다. 도 26에 나타난 바와 같이, 위상 트랙커(800D)는 위상 트랙커(800A)와 관련하여 상술된 바와 유사한 기술들을 사용하여, 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 생성시킨다. 위상 트랙커(800D)의 일부로서 도시된 위상 트랙커 결정 오차 신호(E_{PTD})(248)는 위상 트랙커(800A)에서 사용된 것과 형태 및 기능에서 유사하다.

위상 트랙커(800C)와 유사하게, 위상 트랙커(800D)는 지연 라인(810), 위상-시프트 필터(812), 로테이터(814) 및 멀티플라이어(822)를 포함한다. 상술된 위상 트랙커와 같이, 지연 라인(810) 및 위상-시프트 필터(812)의 입력들은 FFE(210)로부터의 입력 신호(242)를 수신하고 그들 각각의 출력에서 I_{FFE} 및 Q_{FFE} 를 생성시킨다. 로테이터(814)는 그것의 인-페이즈 및 사분주기 입력에서 각각 I_{FFE} 및 Q_{FFE} 를 수신한다. 로테이터(814)는 위상-보정된 인-페이즈 또는 실수 신호 I_{PT} 및 사분주기 또는 허수 신호 Q_{PT} 를 생성한다. 이퀄라이저(200A)의 가산기(212)는 입력으로서 실수 신호 I_{PT} 를 수신한다. 멀티플라이어(822)는 로테이터(814)의 사분주기 Q_{PT} 및 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 수신한다. 멀티플라이어(822)는 Q_{PT} 및 E_{PTD} 의 적을 인티그레이터(816)에 제공한다. 로테이터(814)의 보정 벡터 입력에 대한 출력으로서 위상 보정 신호 θ 를 생성시키기 위하여 멀티플라이어(822)의 출력을 적분한다.

위상 트랙커(800D)는 로테이터(814)의 출력에서 위상 오차 추정치로서 F_{PTD} 및 Q_{PT} 의 적을 사용한다. 멀티플라이어(822)는 결정 지향 위상 오차 추정치를 생성시키기 위하여 Q_{PT} 와 위상 트랙커 결정 오차 신호(248)를 곱하며, 이는 위상 보정 신호 $\theta_i = \theta_{i-j} + \mu \cdot (Q_{PT}) \cdot (E_{PTD})$ 를 형성시키기 위하여 인티그레이터(816)에 의해 적분된다. 로테이터(814)는 θ 를 수신하고 위상 보정 벡터 $e^{j\theta}$ 를 디벨로핑한다. 몇몇 실시예에서, 최대 위상 보정은 원하는 범위까지 제한된다. 비-제한적인 예시로서, 몇몇 실시예들에서는 최대 위상 보정 신호는 로테이터(814)에 의해 제공되는 위상 보정을 ± 45 도까지로 제한한다. 그 다음, 로테이터(814)는 벡터 쌍 I_{FFE} 및 Q_{FFE} 를 위상 보정 벡터 $e^{j\theta}$ 와 곱하여 위상-보정된 실수 또는 인-페이즈 출력 I_{PT} 를 생성시킨다. 당업자라면 알 수 있듯이, 이러한 설명들은 예시에 지나지 않는다. 멀티플라이어(822)의 출력이 FFE(210)로부터의 출력(입력 신호(242))에 대응되는 결정 지향 위상 오차 추정치가 되도록, 위상 오차 추정치 Q_{PT} 와 위상 트랙커 결정 오차 신호 E_{PTD} 간의 임시 관계를 유지시키기 위하여 몇몇 실시예들에서는 도 26에 도시되지 않은 다른 지연 요소들이 사용된다.

이퀄라이저(200A)의 위상 트랙커(240)의 또 다른 실시예들은 VSB 및 오프셋 QAM 모듈레이션 시스템들에 적합한 위상 트랙커(800E)이다. 도 27에 예시된 바와 같이, 위상 트랙커(800E)는 FFE(210)로부터 입력 신호(242)를 수신하고 이퀄라이저(200A)의 가산기(212)에 위상-보정된 실수 또는 인-페이즈 출력 I_{PT} 를 제공한다. 상술된 실시예들과 유사하게, 도

27에 도시된 바와 같이 위상 트랙커(800E)는 위상 트랙커(800A)와 관련하여 상술된 것과 유사한 기술들과 디바이스들을 사용하여 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 생성시킨다. 위상 트랙커(800E)의 일부로서 도시된 위상 트랙커 결정 오차 신호(E_{PTD})(248)는 위상 트랙커(800A)에서 사용되는 것과 형태 및 기능에서 유사하다.

위상 트랙커(800D)와 같이, 위상 트랙커(800E) 또한 지연 라인(810), 위상-시프트 필터(812), 로테이터(814) 및 멀티플라이어(822)를 포함한다. 지연 라인(810) 및 위상-시프트 필터(812)의 입력들은 FFE(210)로부터 입력 신호(242)를 수신한다. 그 다음, 지연 라인(810) 및 위상-시프트 필터(812)는 로테이터의 인-페이즈 및 사분주기 입력들에 I_{FFE} 및 Q_{FFE} 를 각각 제공한다. 로테이터(814)는 인티그레이터(816)로부터의 위상 보정 신호 θ 를 수신하고 위상-보정된 인-페이즈 또는 실수 신호 I_{PT} 를 이퀄라이저(200A)의 가산기(212)에 제공한다.

또한, 위상 트랙커(800E)는 위상-시프트 필터(812)에 대해 유사한 기능 및 특성들을 갖는 위상-시프트 필터(840)를 더 포함한다. 도 27에 나타낸 바와 같은 특정 실시예들에서, 위상-시프트 필터(840)는 이퀄라이징된 데이터 신호(88)를 수신한다. 나타내지 않은 특정한 다른 실시예들에서, 위상-시프트 필터(840)의 입력부는 결정 디바이스(214)의 출력을 수신한다. 예시적으로, 몇몇 실시예에서는 위상-시프트 필터(840)가 결정 디바이스(214) 내의 결정 슬라이서의 출력을 수신한다. 다른 실시예들에서, 위상-시프트 필터(840)는 결정 디바이스(214)의 격자 디코더의 출력을 수신한다. 또 다른 실시예들에서, 위상-시프트 필터(840)는 결정 디바이스(214)의 격자 디코더의 스테이지들 중 하나로부터의 출력을 수신한다. 대안적으로, 800E(도시 안됨)의 몇몇 실시예들에서, 위상 시프트 필터(840)는 이퀄라이징된 데이터 신호(88) 대신에 I_{PT} 를 수신한다.

멀티플라이어(822)의 입력부들은 위상-시프트 필터(840)의 출력들 및 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 수신한다. 도 27에 나타낸 바와 같이, 위상-시프트 필터(840)는 이퀄라이징된 데이터 신호(88)를 수신하고 멀티플라이어(822)에 출력으로서 허수 또는 사분주기 신호 Q_{EQ} 를 제공한다. Q_{EQ} 는 위상-시프트 필터(840)에 제공되는 이퀄라이저 출력에 대한 위상 오차 추정치이다. 멀티플라이어(822)는 Q_{EQ} 와 위상 트랙커 결정 오차 신호(E_{PTD})(248)를 곱함으로써 결정 지향 위상 오차 추정치를 생성시킨다. 인티그레이터(816)는 위상 보정 신호 $\theta_i = \theta_{i-j} + \mu \cdot (Q_{EQ}) \cdot (E_{PTD})$ 를 형성시키기 위하여 멀티플라이어(822)의 출력을 적분한다. 로테이터(814)는 위상 보정 신호 θ 를 수신하고 위상 보정 벡터 $e^{j\theta}$ 를 디벨로핑한다. 그 다음, 로테이터(814)는 벡터 쌍 I_{FFE} 및 Q_{FFE} 를 위상 보정 벡터 $e^{j\theta}$ 와 곱하여 위상-보정된 실수 또는 인-페이즈 출력 I_{FFE} 을 생성시킨다. 당업자라면 알 수 있듯이, 이러한 설명들은 예시에 지나지 않는다. 멀티플라이어(822)의 출력이 리커버링된 특정 심볼에 대응되는 결정 지향 위상 오차 추정치가 되도록 위상 오차 추정치 Q_{EQ} 와 E_{PTD} 간의 임시 관계를 유지하기 위하여, 도 27에 나타내지 않은 다른 지연 요소들이 사용된다.

이퀄라이저(200A)의 위상 트랙커(240)의 추가 실시예들은, 제 1 지연 라인(810), 위상-시프트 필터(812), 로테이터(814) 및 인티그레이터(816)를 포함하는, 도 28에 예시된 바와 같은 위상 트랙커(800F)이다. 위상 트랙커(800F)는 지연 라인(810) 및 위상-시프트 필터(812)에서 FFE(210)로부터 입력 신호(242)를 수신한다. 지연 라인(810) 및 위상-시프트 필터(812)는 로테이터(814)의 인-페이즈 및 사분주기 입력들에 I_{FFE} 및 Q_{FFE} 를 각각 제공한다.

위상 트랙커(800F)는 차감기(818), 멀티플라이어(822), 멀티플라이어(824), 지연 라인(836), 지연 라인(838), 위상-시프트 필터(840) 및 지연 라인(842)을 더 포함한다. 지연 라인 836 및 838은 각각 I_{FFE} 및 Q_{FFE} 를 수신한다. 지연 라인(836)은 멀티플라이어(822)의 일 입력부에 Q_{FFE} 의 지연된 버전을 제공한다. 도 28에 나타낸 바와 같이, 몇몇 실시예들에서 지연 라인(842) 및 위상-시프트 필터(840)는 결정 디바이스(214)로부터의 출력을 수신한다. 예시적으로, 몇몇 실시예들에서 결정 디바이스(214)의 결정 슬라이서는 지연 라인(842) 및 위상-시프트 필터(840)에 출력을 제공한다. 다른 실시예들에서, 결정 디바이스(214)의 격자 디코더는 지연 라인(842) 및 위상-시프트 필터(840)에 출력을 제공한다. 또 다른 실시예에서, 결정 디바이스(214)의 격자 디코더의 스테이지들 중 하나는 지연 라인(842) 및 위상-시프트 필터(840)에 출력을 제공한다. 또 다른 실시예들은 대안적으로 지연 라인(842) 및 위상-시프트 필터(840)에 대한 입력으로서 결정 디바이스(214) 입력부에서 이퀄라이징된 데이터 신호(88)를 제공한다. 또한, 위상 트랙커(800F)의 다른 특정 실시예들은 이퀄라이저(200a) 또는 시스템(20)의 작동 상태에 따라 위상-시프트 필터(840) 및 지연 라인(842)에 대한 입력을 선택한다.

위상-시프트 필터(840)는 사분주기 출력 Q_{DD} 를 생성시킨다. 지연 라인(842)은 출력 I_{DD} 로서 인-페이즈 입력의 지연된 버전을 제공한다. 지연 라인(842)은 위상-시프트 필터(840)에 의하여 도입되는 지연을 보상하고 Q_{DD} 및 I_{DD} 를 임시적으로 정렬시킨다는 것을 이해해야 한다.

또한, 지연 라인 836 및 838은 이퀄라이저(200A)에서의 신호 처리에 의해 도입되는 지연을 보상하고 I_{FFE} 및 Q_{FFE} 의 지연된 버전들과 I_{DD} 및 Q_{DD} 를 임시로 정렬시킨다는 것을 이해해야 한다. 따라서, 멀티플라이어(822)는 위상-시프트 필터(840) 및 지연 라인(836)으로부터 I_{FFE} 의 지연된 버전 및 Q_{DD} 를 각각 수신한다. 따라서, 멀티플라이어(822)는 위상-시프트 필터(840) 및 지연 라인(836)으로부터 I_{FFE} 의 지연된 버전 및 Q_{DD} 를 각각 수신한다. 이와 유사하게, 멀티플라이어(824)는 지연 라인 842 및 838로부터 Q_{FFE} 의 지연된 버전 및 I_{DD} 를 각각 수신한다. 지연 라인 836 및 838에 의하여 제공되는 지연은 입력부들을 멀티플라이어(822 및 824)와 정렬시켜, 그들이 동일한 수신 심볼에 대응되도록 한다.

차감기(818)의 부정적인 입력 및 긍정적인 입력은 각각 멀티플라이어(822) 및 멀티플라이어(824)의 출력들을 수신하고, 차감기(818)는 인티그레이터(816)에 결정 지향 위상 오차 출력을 제공한다. 이전의 위상 트랙커 실시예들과 유사하게, 인티그레이터(816)는 로테이터(814)에 위상 보정 신호 θ 를 제공하며, 여기서 $\theta_i = \theta_{i-j} + \mu \cdot [(Q_{FFE}) \cdot (I_{DD}) - (I_{FFE}) \cdot (Q_{DD})]$ 이다.

로테이터(814)는 θ 를 수신하고 위상 보정 벡터 $e^{j\theta}$ 를 디벨로핑한다. 로테이터(814)는 벡터 쌍 I_{FFE} 및 Q_{FFE} 를 위상 보정 벡터 $e^{j\theta}$ 와 곱하여 위상-보정된 실수 또는 인-페이즈 출력 I_{PT} 를 생성시킨다. 당업자라면 알 수 있듯이, 이러한 설명들은 예시에 지나지 않는다. 차감기(818)의 출력이 리커버링된 특정 심볼에 대응되는 결정 지향 위상 오차 추정치가 되도록 멀티플라이어(822 및 824)에서 I_{FFE} , Q_{FFE} , I_{DD} 및 Q_{DD} 간의 임시 관계를 유지하기 위하여, 몇몇 실시예들에서는 도 28에 나타내지 않은 다른 지연 요소들이 사용된다.

위상 트랙커(800) 및 특정 실시예들(800A-800F)은 단지 I_F 만을 수신하는 FFE(210)를 나타내고 있으나, 위상 트랙커(800)의 몇몇 실시예들은 I_F 및 Q_F 를 수신하고 FFE(210)로부터 로테이터(814)로의 직접적인 출력으로서 I_{FFE} 및 Q_{FFE} 를 제공하는 FFE(210)의 실시예들에 최적화된다는 것을 이해해야 한다. 이와 마찬가지로, 몇몇 실시예들에서, 최대 위상 보정 범위는 제한된다. 비-제한적인 예시로서, 몇몇 실시예들은 로테이터(814)에 의하여 제공되는 최대 위상 보정을 ± 45 도 까지로 제한한다. 또 다른 실시예들에서, θ 의 값은 위상 보정 신호의 범위를 제어하도록 제한된다. 또한, ATSC와 관련하여 설명하였으나, 위상 트랙커(800)의 실시예들에 포함된 기술들 및 디바이스들은 다른 모듈레이션 기술 및 데이터 콘스텔레이션에 최적화될 수 있다는 것을 이해해야 한다.

이와 유사하게, 위상 트랙커(800)의 몇몇 실시예들은 부분적으로 이격된 샘플들을 갖는 FFE(210)의 실시예들과 함께 운용하도록 되어 있다는 것을 이해해야 한다. 끝으로, 위상 트랙커(800)의 몇몇 실시예들은 FFE(210)로부터의 입력으로서 실수 및 사분주기 입력 신호들 모두를 수신하도록 되어 있으며; 따라서 FFE(210)는 지연 라인(810) 및 위상 시프터(812)를 요하지 않고 I_{FFE} 및 Q_{FFE} 를 직접적으로 제공한다는 것을 이해해야 한다.

도 3의 시스템(20)의 또 다른 실시예는 도 29에 나타난 시스템(900)이다. 일 실시형태에 따르면, 시스템(900)은 캐리어 트래킹 피드백 루프 및 타이밍 동조 피드백 루프를 디벨로핑하는 기술을 채용한다. 시스템(900)은 동기조기(910), 디지털 디모듈레이터(920), 이퀄라이저(930), DDC(decision directed control)(940), NCC(non-coherent control)(950) 및 제어 시스템(954)을 포함하며, 이들 각각은 시스템(20)(도 3)의 요소들 40, 42, 46, 52, 50 및 54와 형태 및 기능에서 유사하다. 시스템(20)과 유사하게, 시스템(900)은 상술된 신호 세그먼트 싱크(96), 필드/프레임 싱크(98), SNR(100), VCXO 록(102) 및 NCO 록(104)을 디벨로핑한다. 시스템(20)의 제어 시스템(54)과 같이, 제어 시스템(954)은 세그먼트 싱크(96), 필드/프레임 싱크(98), SNR(100), VCXO 록(102) 및 NCO 록(104)을 수신한다. 또한, 이퀄라이저(930)의 다양한 실시예들은 이퀄라이저 48, 200 및 200A의 상술된 실시예들을 포함한다는 것을 이해해야 한다. 마찬가지로, 이퀄라이저(930)의 몇몇 실시예들은 위상 트랙커 800, 800A, 800B, 800C, 800D, 800E 및 800F의 상술된 실시예들을 포함한다.

또한, 신호 64A, 66A, 72A 및 74A는 도 3의 신호들 64, 66, 72 및 74와 형태 및 기능에서 유사하다. 간명하게 나타내기 위해, 디지털 모듈레이터 출력의 Nyquist 필터링은 시스템(900)에 예시하지 않았으나; 이것은 편의상 그러한 것이며 제한의 의도는 없다는 것을 이해해야 한다. 당업자라면, Nyquist 필터링은 본 시스템의 다양한 실시예들의 다양한 형태들 중 어떠한 형태로도 나타날 수 있다는 것을 이해할 것이다.

도 29에 나타낸 바와 같이, 시스템(900)은 프론트 엔드 수신기(예를 들어 도 3의 수신기(30))로부터 니어-베이스밴드 신호(60A)를 수신하며 디지털 모듈레이터(920)에 디지털화된 니어-베이스밴드 신호(62A)를 제공한다. 디지털 모듈레이터(920)의 출력은 이퀄라이저(930)에 베이스밴드 신호(920A)를 입력으로서 제공한다. 이퀄라이저(930)는 결정 지향 제어부(940)에 출력 930A, 930B, 930C 및 930D를 제공한다. DDC(940)는 차감기(942), 캐리어 오프셋 포스트 필터(944), 타이밍 오프셋 포스트 필터(946), 멀티플라이어(948) 및 멀티플라이어(950)를 포함한다. DDC(940)는 동조기(910)에 결정 지향 동조 피드백 신호(66A)를 제공하며, 나아가 디지털 복조기(920)에 결정 지향 캐리어 트래킹 피드백 신호(74A)를 제공한다.

몇몇 실시예에서, 이퀄라이저(930)는 오버래핑된 이퀄라이저이다. 다른 실시예들에서, 이퀄라이저(930)는 사전정의된 또는 고정된 센터 탭을 갖지 않는다. 이퀄라이저(930)의 특정 실시예들은 또한 위상 트랙커를 포함한다. 따라서, 보다 상세히 후술되는 바와 같이, 몇몇 실시예에서 출력 930A 및 930B는 부분적으로 이퀄라이징된 신호들이다. 예시적으로, 몇몇 실시예에서 이퀄라이저 출력 930A 및 930B는 이퀄라이저(930)의 FFE 부분의 출력이다. 다른 실시예에서, 이퀄라이저 출력 930A 및 930B는 이퀄라이저 위상 트랙커 부의 출력들이다. 또 다른 실시예에서, 이퀄라이저 출력 930A 및 930B는 이퀄라이저 결정 디바이스에 대한 입력 신호들이다. 또 다른 실시예에서, 이퀄라이저 출력 930A 및 930B는 상이한 소스들에 의해 제공된다. 비-제한적인 예시로서, 몇몇 실시예들에서 이퀄라이저 출력(930A)은 또한 이퀄라이저의 결정 디바이스에 대한 입력 신호인 한편 이퀄라이저 출력(930B)은 이퀄라이저 위상 트랙커의 출력이다.

시스템의 또 다른 실시형태는 위상 트랙커 결정 오차 신호(E_{PTD})(248)와 유사한 결정 오차 신호의 디벨로프먼트(development)이다. 따라서, 몇몇 실시예에서 이퀄라이저 출력 930C 및 930D는, 각각 이퀄라이저(930)의 결정 디바이스에 대한 입력 신호 및 입력 신호(930C)에 대응되는 결정 디바이스 출력이다. 특정 실시예들에서, 이퀄라이저 출력(930D)은 격자 디코더의 출력이다. 또 다른 실시예들에서, 이퀄라이저 출력(930D)은 격자 디코더의 중간 스테이지의 출력이다.

1 이상의 지연 요소들(도시 안됨)을 사용하여, 시스템(900)은 당업계에서 이용가능한 기술들을 적용하여 차감기(942)로 제공되는 데이터를 임시로 정렬시킨다. 따라서, 차감기(942)는 이퀄라이저(930)의 결정 디바이스 출력과 그에 대응되는 결정 디바이스에 대한 입력간의 차이인 오차 피드백 신호(942A)를 생성시킨다. 이와 유사하게, 시스템(900)은 또한 멀티플라이어 948 및 950에 제공되는 입력들을 임시로 정렬시킨다. 따라서, 멀티플라이어(948)에 대한 입력들은 동일한 베이스밴드 신호(920A)에 대응된다. 마찬가지로, 멀티플라이어(950)에 대한 입력들은 동일한 베이스밴드 신호(920A)에 대응된다. 마지막으로, 도 29는 동일한 오차 피드백 신호(942A)를 수신하는 멀티플라이어 948 및 950을 나타내고 있으나, 이는 예시에 지나지 않으면 제한의 의도는 없다는 것을 이해해야 한다. 따라서, 몇몇 실시예들에서 캐리어 트래킹에 사용되는 오차 신호는 동조에 사용되는 오차 신호와는 상이하게 계산된다. 예시적으로, 몇몇 실시예들에서 캐리어 트래킹을 위한 오차 피드백 신호(942A)는 이퀄라이저(930)의 슬라이서 출력과 함께 형성되는 한편, 동조를 위한 오차 피드백 신호(942A)는 이퀄라이저(930)의 격자 디코더 출력과 함께 형성된다.

캐리어 오프셋 포스트 필터(944) 및 타이밍 오프셋 포스트 필터(946)는 각각 이퀄라이저 출력 930A 및 930B를 수신한다. 차감기(942)의 부정적인 입력 및 긍정적인 입력은 이퀄라이저 출력 930C 및 930D를 각각 수신하며 오차 피드백 신호(942A)를 생성시킨다. 멀티플라이어(948)는 캐리어 오프셋 포스트 필터(944) 및 오차 피드백 신호(942A)의 출력들을 수신한다. 멀티플라이어(948)는 결정 지향 캐리어 트래킹 피드백 신호(74A)를 루프 필터(926)에 제공한다. 이와 유사하게, 멀티플라이어(950)는 타이밍 오프셋 포스트 필터(946) 및 오차 피드백 신호(942A)의 출력들을 수신한다. 멀티플라이어(950)는 루프 필터(916)에 결정 지향 동조 피드백 신호(66A)를 제공한다.

캐리어 오프셋 포스트 필터(944)는 이퀄라이저 출력(930A)에 존재하는 캐리어 주파수 및 위상 오프셋을 검출한다. 몇몇 실시예들에서, 캐리어 오프셋 포스트 필터(944)는 위상 오차 검출기이며 위상 오차 추정치를 제공한다. 다른 실시예들에서, 캐리어 오프셋 포스트 필터(944)는 위상-시프트 필터(812)와 형태 및 기능에서 유사한 위상-시프트 필터 또는 사분주기 필터이다. 따라서, 캐리어 오프셋 포스트 필터(944)의 몇몇 실시예들은 Hilbert 필터 또는 절두형 Hilbert 필터를 포함한다. 또 다른 실시예에서, 캐리어 오프셋 포스트 필터(944)는 90 도 위상-시프트된 채널 및 사전-결정된 획득 임계치를 갖는 수신기에 대한 필터 출력의 제공평균 오차(MMSE)를 최소화하기 위해 최적화된 필터 탭 계수들을 갖는 원하는 길이의 FFE이다.

예시적으로, 위상-시프트 필터(812)에 대해 상술된 바와 같이 캐리어 오프셋 포스트 필터(944)의 몇몇 실시예들은 31 샘플들의 길이를 가지며 15.1 dB의 VSB 또는 오프셋-QAM 수신기 획득 SNR 임계치에 대해 최적화된 필터 탭 계수들 MMSE를 갖는 FIR 필터이다. 이에 따른 필터는 도 36b에 정량적으로 예시되어 있다. 캐리어 오프셋 포스트 필터(944)의 다른 실시예들은 15.1 dB보다 적은 수신기 획득 SNR 임계치에 대해 최적화된 필터 탭 값들을 포함한다. 캐리어 트래킹 피드백 루프의 1이상의 실시예는 15 dB의 획득 SNR 임계치에 대해 최적화된 계수들을 갖는 캐리어 오프셋 포스트 필터(944)를 포함한다. 다른 실시예들에서, 캐리어 오프셋 포스트 필터(944)는 위상 트래커의 실시예들 800A, 800C, 800D 및 800E의 실시예들에서 디벨로핑된 위상 오차 추정치와 유사한 출력으로 위상 오차 추정치를 디벨로핑한다.

멀티플라이어(948)는 캐리어 오프셋 포스트 필터(944)의 출력과 오차 피드백 신호(942A)를 곱함으로써 결정 지향 캐리어 트래킹 피드백 신호(74A)를 형성한다. 입력들을 멀티플라이어(948)에 대해 임시로 정렬시키기 위하여 다양한 실시예에서 1 이상의 지연 요소들이 사용된다는 것을 이해해야 한다.

타이밍 오프셋 포스트 필터(946)는 타이밍 또는 동조 오프셋을 검출하기 위하여 이퀄라이저 출력(930B)을 필터링한다. 몇몇 실시예에서, 타이밍 오프셋 포스트 필터(946)는 임의의 작은 부분 타이밍 오프셋을 검출하기 위하여 최적화된 상관 필터이다. 다른 실시예들에서, 타이밍 오프셋 포스트 필터(946)는 타이밍 리드(laed) 필터 및 타이밍 래그(lag) 필터의 출력을 조합하는데, 여기서 타이밍 리드 필터는 긍정적인 타이밍 오프셋들을 검출하고 타이밍 래그 필터는 부정적인 타이밍 오프셋들을 검출한다. 타이밍 오프셋 포스트 필터(946)의 다른 실시예들은 타이밍 리드 및 타이밍 래그 필터를 합하여 타이밍 오프셋 포스트 필터(946)의 출력부에서 대칭형 타이밍 오프셋 오차 신호를 생성시킨다. 타이밍 오프셋 포스트 필터(946)의 또 다른 실시예들은 주어진 수신기 획득 임계치에 대한 화이트 노이즈의 존재시 임펄스 응답을 생성시키기 위하여 FIR 필터에 대한 계수들을 MMSE-최적화시킨다. 예시적으로, 몇몇 실시예들에서 필터 계수들은 제 1 필터 및 제 2 필터의 계수들을 합산하는 것을 포함하는 기술에 의해 디벨로핑되는데, 여기서 상기 제 1 및 제 2 필터 계수들은 리드 타이밍 오프셋 및 래그 타이밍 오프셋을 각각 검출하기 위해 최적화된다. 다른 실시예들에서, 타이밍 오프셋 포스트 필터(946)의 계수들을 디벨로핑하는 것은 제 1 및 제 2 필터들의 계수들을 평균하는 것을 더 포함한다.

특정 실시예들에서, 타이밍 오프셋 포스트 필터(946)의 계수들을 디벨로핑하는 것은 2가지 필터들의 계수들을 가산하거나 평균하는 것을 포함한다. 각각의 필터는, 화이트 노이즈의 존재시 임의의 작은 부분적 타이밍 오프셋들을 검출하기 위한 임펄스 응답을 생성시키기 위해 MMSE-최적화되며, 여기서 SNR은 수신기 획득 임계치보다 작거나 그와 동일하다. 두 필터들의 계수들은 반대 방향으로 타이밍 오프셋들을 검출하도록 최적화된다. 예시적으로, 몇몇 실시예에서 제 1 필터는 $1/10^{\text{th}}$ 심볼 타이밍 오프셋(리드)을 검출하도록 최적화되고 제 2 필터는 $-1/10^{\text{th}}$ 심볼 타이밍 오프셋(래그)을 검출하도록 최적화되며, 상기 제 1 및 제 2 필터 계수들을 비대칭이다. 그 다음, 필터(946)의 계수들이 제 1 및 제 2 필터들의 계수들을 평균하거나 가산함으로써 얻어진다.

이에 따른 필터는 화이트 노이즈의 존재시 임의의 작은 부분 타이밍 오프셋들을 검출하는, 도 36A에 정량적으로 도시된 바와 같은 대칭형 필터이며, 여기서 SNR은 수신기 획득 임계치보다 작거나 그와 같다.

제 1 및 제 2 필터들의 계수들을 가산하거나 평균하는 것은, 대칭이며 리딩 및 래그 타이밍 오프셋들을 상관시키는 필터(946)의 계수들을 생성시킨다. 예시적으로, 필터(946)의 몇몇 실시예들은 15.1 dB를 갖는 채널에서의 화이트 노이즈의 존재시 임펄스 응답을 생성시키도록 MMSE-최적화된다. 필터(946)의 또 다른 실시예들은 $1/10^{\text{th}}$ 심볼 타이밍 오프셋에 대한 최대 상관을 생성시킨다.

타이밍 오프셋 포스트 필터(946)의 또 다른 실시예들은 15.1 dB의 VSB 또는 오프셋-QAM 수신기 획득 SNR 임계치에 대해 MMSE-최적화된 필터 탭 계수들을 갖는 31 샘플들의 길이를 갖는 FFE를 포함한다. 타이밍 오프셋 포스트 필터(946)의 다른 실시예들은 15.1 dB보다 작은 수신기 획득 SNR 임계치에 대해 최적화된 필터 탭 값들을 포함한다. 본 발명의 1이상의 실시예는 15 dB의 획득 SNR 임계치에 대해 최적화된 타이밍 오프셋 포스트 필터(946) 계수들을 포함한다.

도 29를 다시 참조하면, 멀티플라이어(950)는 타이밍 오프셋 포스트 필터(946)의 출력과 오차 피드백 신호(942A)를 곱하여, 수신된 특정 심볼에 대응되는 결정 지향 동조 피드백 신호(66A)를 생성시킨다. 몇몇 실시예에서는 멀티플라이어(950)에 대해 입력들을 임시로 정렬시키기 위하여 지연 요소들이 사용된다는 것을 이해해야 한다.

시스템(900)에 의해 수신되는 데이터는, 피드백-제어된 VCXO(914)에 의하여 지배되는 클록 비율로 수신되는 니어-베이스밴드 신호(60A)를 샘플링하는 A/D(912)로 제공된다. 디지털 믹서(922)는 피드백-제어된 NCO(924)에 의하여 생성되는 로컬 캐리어 주파수에 기초하여 A/D(912)로부터의 디지털화된 니어-베이스밴드 신호(62A)를 다운 모듈레이팅한다.

디지털 믹서(922)의 출력은 디지털화된 베이스밴드 신호(920A)를 생성시키기 위하여 필터링된다(간략히 하기 위해 나타내지 않음). 몇몇 실시예에서는, 도 3에 나타낸 바와 같이 Nyquist 필터는 디지털 믹서의 출력을 필터링한다. 당업자라면, 디지털 믹서(922)의 출력을 필터링하기 위해 다른 필터들이 사용될 수도 있다는 것을 이해할 것이다. 도 29를 다시 참조하면, 이퀄라이저(930)는 디지털화된 베이스밴드 신호(920A)를 수신하고 그로부터 잔류 채널 왜곡 및 멀티패스 간섭을 제거한다. 또한, 이퀄라이저(930)의 몇몇 실시예들은 잔류 캐리어 위상 오차를 제거하기 위하여 위상 트랙커를 포함한다.

후술되는 바와 같이, 동조기(910)의 작동은 시스템(900)의 작동 상태에 기초하여 논-코히런트 동조 피드백 신호(64A) 또는 결정 지향 동조 피드백 신호(66A)에 의하여 선택적으로 지배된다. 이와 유사하게, 디지털 모듈레이터(920)의 작동은 시스템(900)의 작동 상태에 기초하여 논-코히런트 캐리어 트랙킹 피드백 신호(72A) 또는 결정 지향 캐리어 트랙킹 피드백 신호(74A)에 의하여 선택적으로 지배된다.

NCC(950)는 논-코히런트 동조 피드백 신호(64A) 및 캐리어 트랙킹 피드백 신호(72A) 둘 모두를 디벨로핑하는 디지털 믹서(922)의 출력을 수신한다. NCC(950)는, 본 명세서에서 인용 참조되는 함께 계류중인 미국특허출원 제 10/408,053 호 및 미국특허출원 제 10/407,634 호에 기술된 방식으로 논-코히런트 캐리어 트랙킹 피드백 신호(72A) 및 논-코히런트 동조 피드백 신호(64A)를 디벨로핑하기 위하여 상부 및 하부 Nyquist 슬로프들에 관한 파일럿 신호 및 잉여 정보의 조합을 사용한다. NCC(950)에 의한 이들 신호들을 디벨로프먼트는 이퀄라이저(930)의 출력에 의하지 않는 것이 바람직하다.

상술된 바와 같이, 이퀄라이저(930)는 이퀄라이저 출력 930C 및 930D를 차감기(932)에 제공하며, 이는 오차 피드백 신호(942A)를 형성한다. 또한, 이퀄라이저(930)는 이퀄라이저 출력(930A)을 캐리어 오프셋 포스트 필터(944)에 제공한다. 캐리어 오프셋 포스트 필터(944)는 캐리어 주파수 또는 위상 오차들을 검출하기 위하여 이퀄라이저 출력(930A)을 필터링한다. 멀티플라이어(948)는 캐리어 트랙킹 필터(944)의 출력과 오차 피드백 신호(942A)를 곱함으로써 결정 지향 캐리어 트랙킹 피드백 신호(74A)를 형성한다. 이와 유사하게, 타이밍 오프셋 포스트 필터(946)는 이퀄라이저 출력(930B)을 필터링하여 타이밍 및 동조 오차들을 검출하고, 그 후 멀티플라이어(950)는 타이밍 오프셋 포스트 필터(946)의 출력과 오차 피드백 신호(942A)를 곱함으로써 결정 지향 피드백 동조 피드백 신호(66A)를 형성한다. 상술된 바와 같이, 도 29에 나타내지 않은 지면이 다양한 신호 경로 내에 자리하여 다양한 신호들을 임시로 정렬시킴으로써 오차 피드백 신호(942A)가 캐리어 오프셋 포스트 필터(944) 및 타이밍 오프셋 포스트 필터(946)의 출력들에 각각 대응되도록 한다는 것을 이해해야 한다.

디지털 복조기(920)를 제어하는 피드백 루프는 논-코히런트 캐리어 트랙킹 피드백 신호(72A) 및 결정 지향 캐리어 트랙킹 피드백 신호(74A)를 다시 루프 필터(926)로 피딩함으로써 형성된다. 후술되는 바와 같이, 시스템(900)의 작동 상태에 따라, 제어 시스템(954)은 논-코히런트 캐리어 트랙킹 피드백 신호(72A) 또는 결정 지향 캐리어 트랙킹 피드백 신호(74A) 중 어느 하나를 사용하기 위하여 루프 필터(926)를 선택적으로 제어한다. 루프 필터(926)는 선택된 피드백 신호를 필터링하고 NCO(924)에 제어 신호를 제공한다. NCO(924)는 디지털화된 니어-베이스밴드 신호(62A)를 다운 모듈레이팅하기 위하여 디지털 믹서(922)에 로컬 캐리어의 디지털 표현을 제공한다. 몇몇 실시예들에서, 루프 필터(926)는 선택된 피드백 신호를 로우-패스 필터링한다. 다른 실시예들에서, 루프 필터(926)는 선택된 피드백 신호를 적분한 다음, 적분된 출력을 로우-패스 필터링한다. 예시적으로, 특정 실시예들에서는, 선택된 피드백 신호는 로우-패스 필터링되어 NCO(924)로 제공되기 이전에 완전한 인티그레이터를 통과한다. 다른 특정 실시예들에서, 선택된 피드백 신호는 로우-패스 필터링되어 NCO(924)로 제공되기 이전에 "리키" 인티그레이터를 통과한다.

이와 유사하게, 동조기(910)를 제어하는 피드백 루프는 루프 필터(916)에 논-코히런트 동조 피드백 신호(64A) 및 결정 지향 동조 피드백 신호(66A)를 다시 피딩함으로써 형성된다. 후술되는 바와 같이, 시스템(900)의 작동 상태에 따라, 제어 시스템(970)은 논-코히런트 동조 피드백 신호(64A) 또는 결정 지향 동조 피드백 신호(66A)를 사용하기 위하여 루프 필터(916)를 선택적으로 제어한다. 루프 필터(916)는 선택된 피드백 신호를 필터링하고 VCXO(914)에 제어 신호를 제공한다. A/D(912)는 이퀄라이저(930)의 출력들에서의 동조-도입(synchronization-introduced) 오차를 최소화시키는 VCXO(914)로부터 피드백-제어되는 샘플링 클록을 수신한다.

도 29의 시스템(900)을 계속 참조하며 그 작동이 도 30에 예시된 시스템(900)의 또 다른 실시예는, 이퀄라이저 최적화 프로세스의 작동 및 동조 및 복조 제어 피드백 루프들을 제어하는 시스템(1000)을 포함한다. 1010, 즉 "initial acquire mode"에서, 제어 시스템(954)은 시스템(900)을 초기화한다. 이퀄라이저(930)는 아직 작동하고 있지 않다. CDEU 및 이퀄라이저의 위상 트랙커는 아직 기능하지 않거나 리셋 상태로 유지된다. NCC(950)는 작동가능하다. 제어 시스템(954)은 동조기(910) 및 디지털 복조기(920)를 획득 모드로 배치시키고 동조 피드백 신호(64A) 및 NCC(950)의 논-코히런트 캐리어 트랙킹 피드백 신호(72A)를 선택하기 위해 루프 필터(916) 및 루프 필터(926)를 선택적으로 제어한다. 몇몇 시간 주기 후에, 제어 시스템(954)은 동조기(910) 및 디지털 복조기(920)가 인커밍 신호에 록킹되는 VCXO 록(102) 및 NCO 록(104)으로부터 긍정적인 어써션(assertion)들을 수신한다. VCXO 록 및 NCO 록 둘 모두가 어써팅된 후에, 제어 시스템(954)은 상태 1010으로부터 1012로 시스템(900) 작동을 전이시킨다.

1012, 즉 "calculate channel delay estimate"에서, 제어 시스템(954)은 이퀄라이저(930)의 CDEU 부를 턴 온(turn on)한다. 이퀄라이저(930)의 다른 부분들은 작동-불가능하게(non-operational) 남아 있다. 제어 시스템(954)은 동조기(910) 및 디지털 복조기(920)를 획득 모드로 계속해서 유지시킨다. NCC(950)의 논-코히런트 피드백 신호들은 시스템(900)의 동조 및 복조 작업들을 계속해서 지배한다. 이퀄라이저(930)의 CDEU 부가 채널 지연 추정치를 계산하고 FFE의 출력에서 세그먼트 싱크 및 프레임 싱크에 대해 원하는 타이밍을 결정하면, 제어 시스템(954)은 시스템(900) 작동을 1012 상태에서 1014 상태로 전이시킨다.

1014, 즉 "equalizer training with segment sync"에서, 제어 시스템(954)은 이퀄라이저(930)의 FFE 부를 작동가능하게 하고 이퀄라이저(930)의 DFE 부를 IIR 모드로 배치시킨다. IIR 모드에서, DFE는 이퀄라이저(930)의 결정 디바이스로부터 슬라이싱된 데이터를 수신한다. 위상 트랙커를 갖는 실시예들에서, 위상 트랙커는 바이패스 모드로 배치된다. 제어 시스템(954)은 FFE 계수들을 최적화시키기 위해 트레이닝 신호로서 세그먼트 싱크를 사용한다. 제어 시스템(954)이 필드/프레임 싱크가 검출된 필드/프레임 싱크(98)로부터 1이상의 긍정적인 표시를 수신한 후에, 제어 시스템(954)은 시스템(900) 작동을 상태 1014에서 1016으로 전이시킨다. 하지만, 몇몇 실시예에서 이퀄라이저 계수들의 적절한 최적화를 향한 진행을 표시하도록 충분한 수의 필드/프레임 싱크 표시들이 수신되는 경우, 시스템(900)은 타임-아웃 피쳐(time-out feature)를 포함하여 제어 시스템(954)은 시스템(900)의 작동을 상태 1012로부터 1010으로 복귀시킨다.

몇몇 실시예에서, 세그먼트 싱크는 이퀄라이저(930)의 CDEU로부터 온다. 다른 실시예들에서, CDEU가 필드/프레임 싱크 시퀀스와 인커밍 신호와의 상관에 기초하여 채널 지연 추정치를 연산하는 경우, 프레임 싱크신호는 이퀄라이저(930)의 CDEU로부터 나온다. 그렇지 않으면, 이퀄라이저(930)의 일 부분은 (도 5의 중간 이퀄라이징된 신호(90) 또는 이퀄라이저 출력(88)과 유사한) 이퀄라이저의 중간 이퀄라이징된 신호 또는 이퀄라이저 출력에 기초하여 프레임 싱크를 생성시킨다.

1016, 즉 "equalizer training with segment sync" 및 필드/프레임 싱크에서, 제어 시스템(954)은 필드/프레임 싱크 및 세그먼트 싱크 둘 모두를 트레이닝 신호들로서 사용하여 이퀄라이저(930)의 FFE 부의 계수들을 디벨로핑한다. 이퀄라이저(930)의 DFE 부분은 IIR 모드로 계속해서 작동한다. 이와 유사하게, 이퀄라이저(930)의 위상 트랙커 부는 바이패스 모드로 계속해서 작동한다. 측정된 신호가 사전결정된 RCA_ENB Threshold보다 크게 추정된 SNR을 갖는 경우, 제어 시스템(954)은 필드/프레임 싱크(98) 및 SNR(100)을 모니터링하고 시스템(900) 작업을 상태 1016으로부터 1018로 전이시킨다. 하지만, 제어 시스템(954)은 필드/프레임 싱크 표시의 소실을 검출한다면 시스템(900) 작업을 상태 1016으로부터 1010으로 전이시킨다.

1018, 즉 "equalizer training in RCA mode"에서, 제어 시스템(954)은 시스템(900)의 이퀄라이저의 DFE 부를 작동가능하게 한다. 제어 시스템(954)은 수신되는 데이터와 관련한 RCA-관련 LMS 알고리즘을 사용하여 FFE 및 DFE 계수들을 최적화한다. 다른 실시예들에서, 제어 시스템(54)은 수신되는 동조 신호들과 제어 시스템(54)에 의해 생성되는 것들을 비교하는 기술을 더 포함한다. 또 다른 실시예들에서, 제어 시스템(54)은 시스템 성능 또는 작동 상태에 따라 RCA 및 동조 신호 기반 최적화 기술들의 효과를 가중시킨다. 제어 시스템(954)은 측정된 신호가 사전결정된 Decision Directed Threshold, 예를 들어 12 dB를 초과하는 추정된 SNR을 갖는 경우 시스템(900) 작동을 상태 1018에서 1020으로 전이시킨다. 그 대신, 추정된 SNR이 사전결정된 Return_Sync_Training Threshold, 예를 들어 6 dB 아래로 떨어진다면, 제어 시스템(954)은 시스템(900) 작동을 상태 1018에서 1016으로 전이시킨다. 이와 유사하게, 제어 시스템(954)은 필드/프레임 싱크 표시의 소실을 검출한다면 시스템(900) 작동을 1018에서 1010으로 전이시킨다.

1020, 즉 "Decision Directed Mode"에서, 제어 시스템(954)은 수신되는 데이터 및 동조 신호들과 관련한 결정 지향 LMS 기술을 사용하여 FFE 및 DFE 계수들을 최적화한다. 또한, 제어 시스템(954)은 결정 지향 동조 피드백 신호(66A) 및 결정 지향 캐리어 트랙킹 피드백 신호(74A)를 각각 선택하기 위하여 루프 필터(916) 및 루프 필터(926)를 선택적으로 제어한다. 제어 시스템(954)은 추정된 SNR이 사전결정된 RETURN_RCA_MODE Threshold 위에서 유지되는 한 시스템(900)의 작업을 1020에서 유지시키지만, 추정된 SNR이 RETURN_RCA_MODE Threshold 아래로 떨어진다면 시스템(900)의 작업을 상태 1020에서 1018로 전이시킨다. 제어 시스템(954)은 필드/프레임 싱크 표시의 소실을 검출하면 시스템(900)의 작업을 상태 1020으로부터 1010으로 전이시킨다.

도 31의 시스템(900A)와 같이 나타낸 시스템(900)의 또 다른 실시예는 결정 지향 위상 트랙킹과 캐리어 트랙킹 피드백 루프들을 상호관련짓는 구성요소들을 포함한다. 시스템(900A)은 위상 트랙커(800E)를 포함하는 도 27의 이퀄라이저(200A)와 형태 및 기능에서 유사하다. 시스템(900A)의 다른 실시예들은 위상 트랙커(800)의 다른 실시예들을 사용하는 것을 이해해야 한다. 하지만, 시스템(900A)은 또한 디지털화된 니어-베이스밴드 신호(62A)를 수신하고 FFE(210)에

디지털화된 베이스밴드 신호(920A)를 입력으로서 제공한다. 루프 필터(926)는 인티그레이터(816)로부터의 위상 보정 신호 θ (74B)를 수신하는 한편, 시스템(900)에서 루프 필터(926)는 결정 지향 캐리어 트래킹 피드백 신호(74A)를 수신한다(도 29 참조).

시스템(900A)은 결정 지향 캐리어 트래킹 피드백과 결정 지향 위상 오차 신호들을 커플링한다. 인티그레이터(816)에 대한 입력은 결정 지향 캐리어 트래킹 피드백 신호(74A)와 유사한 결정 지향 위상 오차 신호(843)이다. 몇몇 실시예에서, 결정 지향 위상 오차 신호(843) 및 결정 지향 캐리어 트래킹 피드백 신호(74A)는 등가이다. 인티그레이터(816)는 위상 보정 신호 θ (74B)를 제공하기 위하여 위상 검출기(841)의 출력부에서 결정 지향 위상 오차 신호(843)를 적분한다. 위상 검출기(841)는 당업계에서 알려진 어떠한 방식으로도 구현될 수 있다; 예를 들어, 도 23-28에 예시된 접근법들 중의 어느 것이 사용될 수 있다. 예를 들어, 위상 검출기(841)는 도 27의 위상 시프트 필터(840) 및 멀티플라이어(822)에 의하여 구현될 수 있다. 루프 필터(926)는 위상 보정 신호 θ 를 더욱 로우-패스 필터링하고 NCO(924)에 제어 신호를 제공한다. 이는, 위상 트래커 피드백과 캐리어 트래킹 루프들을 효과적으로 링크시킨다. 결과적으로, 로테이터(814)는 캐리어 트래킹 오차들로부터 초래된 보다 순간적인 위상 오차들을 보정하는 한편, 디지털 복조기(920)는 보다 긴 기간의 캐리어 트래킹 오차들을 트래킹해 낸다(track out). 또한, 위상 트래커 및 디지털 복조기 피드백 루프들의 상호작용은 위상 트래커 작업이 충분히 운용되지 않도록 한다. 또한, 당업자라면 이와 유사한 기술이 상술된 여타 위상 트래커 실시예들과 조합될 수 있다는 것을 이해할 것이다.

도 32의 시스템(900B)과 같이 나타낸 시스템(900)의 다른 특정 실시예에서, 결정 지향 캐리어 트래킹 및 위상 트래킹 피드백 루프들은 상호관련된다. 시스템(900B)은 도 31의 시스템(900A)과 형태 및 기능에서 유사하며 위상 트래커(800E) 및 디지털 복조기(920)를 갖는 도 27의 이퀄라이저(200A)를 포함한다. 디지털 복조기(920)는 디지털화된 니어-베이스밴드 신호(62A)를 수신하고 FFE(210)에 디지털화된 베이스밴드 신호(920A)를 입력으로서 제공한다. 하지만, 위상 디텍터(841)의 출력(인티그레이터(816)의 입력)으로부터의 결정 지향 위상 오차 신호(843)는 인티그레이터(816)의 출력으로부터의 위상 보정 신호 θ 대신 결정 지향 캐리어 트래킹 피드백 신호(74B')로서 사용된다. 루프 필터(926)는 NCO(924)에 제어 신호를 제공하기 위하여 위상 검출기(841)의 출력을 수신 및 로우-패스 필터링한다. 이는 위상 트래커 피드백과 캐리어 트래킹 루프들을 효과적으로 링크시킨다. 결과적으로, 로테이터(814)는 캐리어 트래킹 오차들로부터 생성된 보다 순간적인 위상 오차들을 보정하는 한편, 디지털 복조기(920)는 보다 긴 기간의 캐리어 트래킹 오차들을 트래킹해 낸다. 위상 트래커 및 디지털 복조기 피드백 루프들의 상호작용은 캐리어 트래킹 피드백 루프가 포텐셜 위상 트래커의 포화도(saturation)를 보상하도록 한다. 당업자라면 무리한 실험 없이도 이 기술을 상술된 여타 위상 트래커에 적용시킬 수 있을 것이다. 도 33의 시스템(900C)과 같이 예시된 시스템(900)의 또 다른 실시예들은 캐리어 트래킹 피드백 신호(74C) 및 동조 피드백 신호(66C)를 디벨로핑하기 위하여 이퀄라이저 결정 디바이스의 출력들을 사용한다. 시스템(900C)은 DDC(decision directed control)(940)이 결정 지향 제어(940C)로 대체되는 것을 제외하고 시스템(900)과 형태 및 기능에서 유사하다. 이퀄라이저(930)는 DDC(940C)에 이퀄라이징된 출력(930E) 및 격자 디코더 출력(930F)을 입력으로서 제공한다.

결정 지향 제어(940C)는 동조기(910)에 결정 지향 동조 피드백 신호(66A) 대신 결정 지향 동조 피드백 신호(66C)를 제공한다. 결정 지향 제어(940C)는 디지털 복조기(920)에 결정 지향 캐리어 트래킹 피드백 신호(74A) 대신 결정 지향 캐리어 트래킹 피드백 신호(74C)를 제공한다(도 29 참조).

결정 지향 제어(940C)는 펄스 셰이핑 필터(pulse shaping filter)(960 및 962), 콘쥬게이트(conjugate)(964), 지연 라인(966), 2-심볼 클록 지연(two-symbol clock delay)(968), 차감기(970), 단일-심볼 클록 지연(single-symbol clock delay)(972), 복소 멀티플라이어(complex multiplier)(974) 및 복소 멀티플라이어(976)를 포함한다. 필터(960)는 이퀄라이징된 출력(930E)을 수신하고 지연 라인(966)에 복소 신호 출력 $Y(n+n_0)$ 를 제공하는데, 여기서 n_0 는 이퀄라이저(930)의 격자 디코더 및 콘쥬게이트(964)에 의하여 도입되는 심볼 클록들의 지연이다. 지연 라인(966)은 지연의 n_0 심볼 클록들을 도입하고 2-심볼 클록 지연(968), 차감기(970)의 긍정적 입력 및 복소 멀티플라이어(976)에 $Y(n)$ 을 출력으로서 제공한다. 2-심볼 클록 지연(968)은 지연의 추가적인 2-심볼 클록을 도입하고 차감기(970)에 $Y(n-2)$ 를 제공한다. 이와 유사하게, 펄스 셰이핑 필터(962)는 격자 디코더 출력(930F)을 수신하고 콘쥬게이트(964)에 복소 신호 출력 $A(n)$ 을 제공한다. 몇몇 실시예들에서는, 펄스 셰이핑 필터(962) 및 콘쥬게이트(964)의 기능들이 조합된다는 것을 이해해야 한다. 콘쥬게이트(964)는 콘쥬게이트(964)는 단일-심볼 클록 지연(972)에 $A^*(n)$ 을 제공하며, 이는 복소 멀티플라이어(974)에 일 심볼 클록 지연 출력 $A^*(n-1)$ 을 입력으로서 제공한다. 또한, 콘쥬게이트(964)는 복소 멀티플라이어(976)에 $A^*(n)$ 을 제공한다.

펄스 셰이핑 필터(960)는 보정된 오차를 갖지 않는 이퀄라이저 결정 슬라이서 출력을 수신한다. 펄스 셰이핑 필터(960)는 복소-값의(complex-valued) 인-페이즈/사분주기 쌍 표현의 결정 슬라이서 출력 $Y(n+n_0) = I_S(n+n_0) + j Q_S(n+n_0)$ 를 제공한다. $I_S(n+n_0)$ 는 펄스 셰이핑 필터(960)에 대한 실수-값의 입력에 대해 90 도 위상-시프트되거나 또는 사분주기 필터링되어진다.

이와 유사하게, 펄스 셰이핑 필터(962)는 이퀄라이저(930)의 격자 디코더로부터 이퀄라이저 결정 슬라이서 출력의 보정된 보정을 수신한다. 펄스 셰이핑 필터(962)는 복소-값의 인-페이즈/사분주기 쌍 표현의 결정 슬라이서 출력 $A(n) = I_T(n) + j Q_T(n)$ 을 제공한다. $I_T(n)$ 는 펄스 셰이핑 필터(962)에 대한 실수-값 입력의 지연된 버전이다. $Q_T(n)$ 은 펄스 셰이핑 필터(962)에 대한 실수-값 입력에 대해 90 도 위상-시프트되거나 사분주기-필터링되어진다.

몇몇 실시예들에서, 펄스 셰이핑 필터(960 및 962)는 각각 Hilbert 변환 필터와 유사하고, 복소 쌍 $Q_S(n)$ 및 $Q_T(n)$ 의 사분주기 부분들을 생성시키기 위한 위상-시프트 또는 사분주기 필터 및 실수-값 출력 $I_S(n)$ 및 $I_T(n)$ 을 각각 제공하기 위한 지연 라인을 포함한다. 몇몇 실시예들에서, 위상-시프트 또는 사분주기 필터는 도 23-28과 관련하여 상술된 위상-시프트 필터(812)와 형태 및 기능에서 유사하다.

지연 라인(966)은 한편으로는 이퀄라이징된 출력부(930E)와 다른 한편으로는 격자 디코더 출력부(930F) 및 콘주게이트(964) 사이의 전파 지연 Z^{n_0} 를 보상한다. 따라서, 지연 라인(966) $Y(n) = I_S(n) + j Q_S(n)$ 및 콘주게이트 $A^*(n) = I_T(n) - j Q_T(n)$ 의 출력들은 동일한 결정 슬라이서 출력들과 임시적으로 관련된다. 차감기(970)의 출력은 차이 $Y(n) - Y(n-2)$ 이며 콘주게이트(964)의 하나의 심볼 클록 지연 출력 $A^*(n-1)$ 과 곱해진다. 이는, 앞선 그리고 다음에 디코딩된 심볼들과 관련하여 보정된 결정 슬라이서 출력의 프로젝션에 효과적이고 동조 관련 ISI를 나타낸다. 멀티플라이어(974)의 출력의 실수부 F_{66C} 는 루프 필터(916)에 제공되는 결정 지향 동조 피드백 신호(66C)이다:

$$F_{66C} = I_T(n-1) \cdot [I_S(n) - I_S(n-2)] + Q_T(n-1) \cdot [Q_S(n) - Q_S(n-2)]$$

몇몇 실시예에서, 루프 필터(916)는 NCO(924)의 작업을 지배하기 위한 제어 신호를 생성하기 위해 결정 지향 동조 피드백 신호(66C)를 적분한 다음 로우-패스 필터링한다. 다른 실시예들에서, 루프 필터(916)는 NCO(924)의 작업을 지배하기 위한 제어 신호를 생성시키기 위하여 결정 지향 동조 피드백 신호(66C)를 단지 로우-패스 필터링한다.

이와 유사하게, 멀티플라이어(976)는 복소 곱셈 작업을 수행한다. 멀티플라이어(976)의 출력의 허수부 F_{74C} 는 루프 필터(926)에 대한 출력 $F_{74C} = I_T(n) \cdot Q_S(n) - I_S(n) \cdot Q_T(n)$ 에 제공되는 결정 지향 캐리어 트래킹 피드백 신호(74C)이다.

몇몇 실시예들에서, 루프 필터(926)는 VCXO(914)의 작업을 지배하기 위한 제어 신호를 생성하기 위하여 결정 지향 캐리어 트래킹 피드백 신호(74C)를 적분한 다음 로우-패스 필터링한다. 다른 실시예들에서, 루프 필터(926)는 VCXO(914)의 작업을 지배하기 위한 제어 신호를 생성하기 위하여 결정 지향 캐리어 트래킹 신호(74C)를 단지 로우-패스 필터링한다.

도 34의 시스템(900D)과 같이 예시된 시스템(900)의 또 다른 실시예들은 결정 지향 동조 피드백 신호(66D)를 디벨로핑하기 위하여 이퀄라이저의 결정 디바이스의 출력들을 사용한다. 기능적으로, 시스템(900D)은 결정 지향 제어부(940)가 결정 지향 제어부(940D)로 대체되었다는 점을 제외하면 시스템(900)과 형태 및 기능에서 유사하다. 도 34에 나타난 바와 같이, 시스템(900D)은 또한 시스템(900C)과 유사한 결정 지향 동조 피드백 신호(74C)를 생성한다. 하지만, 시스템(900D)에서, 지연 라인(966)은 단일-심볼 클록 지연(972)에 출력을 제공하는 한편, 시스템(900C)에서 지연 라인(966)은 콘주게이트(964)의 출력을 수신한다. 이와 유사하게, 2-심볼 클록 지연(968) 및 차감기(970)의 긍정적 입력은 콘주게이트(964)의 출력을 수신하는 한편, 시스템(900C)에서 지연 라인(966)은 2-심볼 클록 지연(968) 및 차감기(970)의 긍정적 입력에 출력을 제공한다.

시스템(900C)과 유사하게, 펄스 셰이핑 필터(960)는 이퀄라이저(930)로부터 보정된 오차가 아닌 이퀄라이징된 출력(930E)을 수신한다. 펄스 셰이핑 필터(960)는 결정 슬라이서 출력의 복소 값의 인-페이즈/사분주기 쌍 표현 $Y(n+n_0) = I_S(n+n_0) + j Q_S(n+n_0)$ 를 제공한다. 상술된 바와 같이, $I_S(n+n_0)$ 는 펄스 셰이핑 필터(960)에 대한 실수 값 입력의 지연 버전인 한편, $Q_S(n+n_0)$ 는 펄스 셰이핑 필터(90)로의 실수 값 입력에 대한 90 도 위상-시프트된 또는 사분주기 필터링된 출력

이다. 지연 라인(966)은 콘주게이트(964) 및 이퀄라이저(930)의 격자 디코더에 의해 도입되는 지연을 보상하고 결정 디바이스 결정 슬라이서 출력의 지연된 복소 표현을 1-심볼-클록 지연(972) 및 멀티플라이어(976)의 입력들에 제공한다. 1-심볼-클록 지연(972)의 출력은 지연 라인(966)의 출력과 멀티플라이어(974)의 입력 사이에 지연의 추가적인 심볼 클록을 제공한다.

펄스 셰이핑 필터(962)는 펄스 셰이핑 필터(960)과 형태 및 기능에서 유사하고 이퀄라이저(930)의 격자 디코더 출력(930F)을 수신한다. 펄스 셰이핑 필터(962)는 콘주게이트(963)에 격자 디코더 출력의 복소 표현을 제공한다. 콘주게이트(964)는 멀티플라이어(976), 2-심볼 클록 지연(968) 및 차감기(970)의 긍정적 입력에 수신된 입력의 콘주게이트를 제공한다. 2-심볼 클록 지연(968)은 차감기(970)의 부정적 입력에 콘주게이트(964)의 2-심볼 클록 지연 출력을 제공한다. 멀티플라이어(974)는 수신된 입력들의 복소 곱셈을 수행하고 출력에서의 실수 성분 F_{66D} 를 결정 지향 동조 피드백 신호 66D로서 생성시킨다: $F_{66D} = I_S(n-1) \cdot [I_T(n) - I_T(n-2)] + Q_S(n-1) \cdot [Q_T(n) - Q_T(n-2)]$.

도시되지는 않았으나, 시스템(900C)과 유사하게 시스템(900D)은 결정 지향 동조 피드백 신호(F_{66D})를 루프 필터(916)에 제공하고, VCXO(914)의 작업을 지배하기 위한 제어 신호를 생성하기 위하여 결정 지향 동조 피드백 신호(66D)를 적분한 후 로우-패스 필터링한다. 시스템(900D)의 다른 실시예들에서, 루프 필터(916)는 VCXO(914)의 작업을 지배하기 위한 제어 신호를 생성하기 위하여 결정 지향 동조 피드백 신호(66D)를 단지 로우-패스 필터링한다.

도 33의 시스템(900C)을 계속해서 참조하는 도 35의 시스템(900E)와 같이 예시된 시스템(900)의 또 다른 실시예는 결정 지향 동조 피드백 신호(66E)를 디벨로핑하기 위하여 이퀄라이저(930)의 출력을 사용한다. 기능적으로, 시스템(900E)은 도 33에 나타난 루프 필터(916)에 제공되는 결정 지향 동조 피드백 신호(66E)의 형성을 제외하고 시스템 900C 및 900D와 형태 및 기능에서 유사하다. 도 35에 나타난 바와 같이, 시스템(900E)은 이퀄라이저(930), 지연 라인(966), 2-심볼 클록 지연(968), 차감기(970), 멀티플라이어(974), 멀티플라이어(976), 4-심볼 클록 지연(978), 2-심볼 클록 지연(980), 4-심볼 클록 지연(982), 차감기(984) 및 차감기(986)를 포함한다.

이퀄라이저(930)는 $Y(n+n_a)$ 라 불리기도 하는 이퀄라이징된 출력(930E)을 지연 라인(966)에 제공한다. 지연 라인(966)은 이퀄라이저(930)의 격자 디코더의 지연을 보상하기 위하여 지연의 n_a 심볼 클록들을 도입한다. 지연 라인(966)은 2-심볼 클록 지연(968), 차감기(970)의 긍정적 입력 및 4-심볼 클록 지연(978)에 $Y(n)$ 을 출력으로서 제공한다. 4-심볼 클록 지연(978)은 지연의 추가적인 4-심볼 클록들을 도입하고 차감기(970)의 부정적 입력에 $Y(n-4)$ 를 제공한다. 차감기(970)는 차이 신호 $Y(n) - Y(n-4)$ 를 멀티플라이어(974)에 제공한다.

(이후 $A(n)$ 이라 지칭되는) 격자 디코더 출력(930F)이 2-심볼 클록 지연(980), 4-심볼 클록 지연(982) 및 차감기(984)의 긍정적 입력에 제공된다. 4-심볼 클록 지연(982)은 격자 디코더 출력(930F)의 4 클록 지연 카피 $A(n-4)$ 를 차감기(984)의 부정적 입력에 제공한다.

멀티플라이어(976)는 차감기(986)의 긍정적 입력에 적 $Y(n-2)[A(n) - A(n-4)]$ 를 차감기(986)의 긍정적 입력에 제공한다. 이와 유사하게, 멀티플라이어(974)는 차감기(970)로부터 차이 $Y(n) - Y(n-4)$ 를, 2-심볼 클록 지연(980)으로부터 $A(n-2)$ 를 수신한다. 멀티플라이어(974)는 차감기(986)의 부정적 입력에 적 $A(n-2)[Y(n) - Y(n-4)]$ 를 제공한다. 차감기(986)의 출력은 결정 지향 동조 제어 신호

$$F_{66E} = Y(n-2)[A(n) - A(n-4)] - A(n-2)[Y(n) - Y(n-4)]$$

를 디벨로핑한다.

몇몇 실시예들에서, CDE 추정치는 각각의 이퀄라이저 최적화 프로세스의 개시시 한 번 계산되며, 예시적으로 수신기는 매번 상이한 신호 소스로 튜닝된다. 다른 실시예들에서, CDE 추정치는 채널 조건들이 변할 때 최적의 가상 중심 위치를 찾기 위하여 옹고잉(ongoing) 프로세스로서 재계산된다. 가상 중심은 샘플링 클록 주파수를 느리게 변화시키거나 시스템의 인테그리티(integrity)를 유지하면서 시간 주기에 걸쳐 트레이닝 신호들을 재위치설정함으로써 업데이트된 가상 중심의 위치에 따라 시프트된다.

도 37에 예시된 바와 같이, 시스템(20)의 또 다른 실시예는 상관 지향 제어(CDC)(1100)이다. 도 14의 CDEU(230C)와 유사하게, CDC(1100)는 심볼 카운터(316), 세그먼트 카운터(318), 코릴레이터(510 및 512), 크기 계산기(392A), 상관 버퍼(514A), 임계 검출기(516A), 제어기(520) 및 메모리(530)를 포함한다. CDC(1100)는 CWF(centroid weighting function)(1102), 스위치들(1104, 1106 및 1108), 필터(1110) 및 가산기(1120)를 더 포함한다.

도시되지는 않았으나, 컨트롤러(520)는 또한 CDC(1100)의 요소들에 대한 구성 및 제어 인터페이스들을 포함한다. 이는, 예를 들어 리셋 및 인에이블링(enabling) 신호와 다른 요소들로 또는 다른 요소들로부터, 또는 다른 요소들 사이에 표시들을 전송 또는 수신하기 위한 설비들을 포함한다. CDC(1100)의 몇몇 실시예들은 도 14에서 상술한 바와 같이 센트로이드 추정기(340A)와 형태 및 기능에서 유사한 센트로이드 추정기를 더 포함한다.

상관 지향 제어부(1100)는 코릴레이터(510 및 512) 각각에 대한 입력으로서 필터링된 베이스밴드 신호 $I_F(76)$ 및 $Q_F(78)$ 를 수신한다. 몇몇 실시예에서, CDC(1100)는 I_F 및 Q_F 의 2배 (2x) 오버-샘플링된 표현들을 수신하도록 되어있다. 다른 실시예들에서, CDC(1100)는 I_F 및 Q_F 의 심볼 비율 표현(symbol rate representation)을 수신하도록 되어 있다. CDC(1100)의 또 다른 실시예들은 입력 신호들의 다른 오버-샘플링된 표현들에 대해 최적화된다. 코릴레이터(510 및 512)는 크기 계산기(392A)에 제공되는 프레임 싱크 상관 신호들 $SCV_I(i)$ 및 $SCV_Q(i)$ 를 생성하기 위하여 I_F 및 Q_F 와 관련하여 작동한다. 크기 계산기(392)와 유사하게, 크기 계산기(392A)는 $MAG_{FS}(i)$ 를 계산한다. 몇몇 실시예들에서, $MAG_{FS}(i) = |SCV_I(i)| + |SCV_Q(i)|$ 이다. 다른 실시예들에서는, $MAG_{FS}(i) = SCV_I^2(i) + SCV_Q^2(i)$ 이다. 크기 계산기(392A)의 출력은 프레임 싱크 상관 크기 $FSCM(i)$ 이다. 몇몇 실시예들에서, $FSCM(i)$ 는 $MAG_{FS}(i)$ 이다. 다른 실시예들에서, 크기 계산기(392A)는 $FSCM(i)$ 을 생성하기 위하여 $MAG_{FS}(i)$ 를 로우 패스 필터링한다. 상관 버퍼(514A) 및 임계 디텍터(516A)는 크기 계산기(392A)로부터 $FSCM(i)$ 을 수신한다. 예시적으로, I_F 및 Q_F 의 2x 오버-샘플링된 표현을 수신하는 크기 계산기(392A)의 몇몇 실시예들은 쓰리-탭 FIR 필터를 포함한다. 이는, FIR 필터가 샘플링 위상과는 무관하게 단일의 필터/프레임 싱크 상관 임펄스의 파워 대다수를 캡처링할 수 있도록 한다. 탭의 개수 및 필터 복잡도는 오버-샘플링된 비율에 기초하고 노이즈 저감을 위해 필요하다.

상관 버퍼(514A)는 크기 계산기에 의하여 생성되는 샘플들을 수용하도록 스케일링된다. 예시적으로, 몇몇 실시예들에서 상관 버퍼(514A)는 $FSCM(i)$ 의 2049 값들을 수용하도록 스케일링된다. 또 다른 실시예들은 1025 $FSCM(i)$ 샘플들을 포함한다. 상관 버퍼(514A)의 몇몇 실시예들은 부분적으로 이격된 샘플들과 상호작용하도록 스케일링된다. 컨트롤러(520)는 메모리(530)와 상호작용하고 심볼 카운터(316) 및 세그먼트 카운터(318)로부터 각각 SC 및 SEGCNT의 값들을 수신한다. 상기 실시예들에서 상술된 바와 같이, 컨트롤러(520)는 또한 채널 지연 추정치(84)를 제공하고 제어 시스템(54)에 연결된다(도 3 참조).

도 14의 CDEU(230C)와 유사하게, 시스템(1100)은 수신된 신호들에 존재하는 프레임/필드 싱크들의 장소를 검출한다. 상세히 후술되는 바와 같이, 임계 검출기(516A)는 $FSCM(i)$ 값들을 수신하고 그들을, 시퀀스를 검출하기 위한 최대 $FSCM(i)$ 인 인커밍 데이터 스트림에서 프레임 싱크검출 임계치 T_{DET} 와 비교한다. 프레임 싱크 시퀀스가 검출되는 경우, 컨트롤러(520)는 $WINCENT = i$, $FSYM = SC$ 및 $FSEG = SEGCNT$ 의 값들을 할당한다. 그 다음, 컨트롤러(520)는 상관 버퍼(514A)에서 원하는 윈도우의 처음 및 최종 메모리 장소들에 대응되는 서치 윈도우 변수들 $WINSTART$ 및 $WINEND$ 를 계산한다.

끝으로, 도 17에 나타낸 바와 같이 영역 G_{MAX} , G_{PRE} 및 G_{POST} 찾기와 유사하게, 컨트롤러(520)는 $WINSTART$ 및 $WINEND$ 에 의하여 정의되는 윈도우 내의 영역들 R_0 , R_1 및 R_2 를 정의한다. 도 38a에 예시된 비-제한적 예시와 같이, P_0 , P_1 및 P_2 는 각각의 영역 R_0 , R_1 및 R_2 에서의 파워 또는 최대 싱크 상관 값을 갖는 고스트 신호들에 대응된다. 몇몇 실시예들에서, R_0 , R_1 및 R_2 는 $WINSTART$ 와 $WINEND$ 사이의 전체 윈도우에 걸쳐있다(span). 다른 실시예들에서는, 도 38a에 나타낸 바와 같이 R_0 , R_1 및 R_2 가 윈도우의 일 부분에만 걸쳐있다. 도 38에 나타낸 바와 같이, 윈도우 W_{FS} 는 $2M + 1$ 심볼 시간에 걸쳐 있고; P_0 에 대한 심볼 시간에 선행하는 그리고 후행하는 M 심볼 시간들이 존재한다. 이는 CDC(1100)가 P_0 로서 제 1 최대 값의 $FSCM(i)$ 을 선택하도록 한다. 또 다른 실시예들은 $FSCM(i) \geq P_0$ 를 로케이팅하도록 임계 검출기(516A)를 재구성한다. 결과적으로, CDC(1100)는 P_0 로서 전체 윈도우의 스패(span)내의 최종 최대 값의 $FSCM(i)$ 을 선택한다.

초기 P₀를 로케이팅한 후에, 컨트롤러(520)는 FSCM(i) ≥ P₀를 로케이팅하도록 임계 검출기(516A)를 재구성한다. 임계 검출기(516A)는 FSCM(i) ≥ P₀를 검출한다면, 컨트롤러(520)는 WINCENT=i, FSYM=SC, FSEG=SEGCNT, P₀=FSCM(i) 및 I_{MAX}=i를 설정함으로써 서치 윈도우를 리센터링(recenter)한다. 그 다음, 컨트롤러(520)는 WINSTART 및 WINEND의 값들을 재계산한다. 이 프로세스는 i=WINEND가 될 때까지 계속된다. 컨트롤러(520)는 WINCENT의 최종 값에 기초하여 영역 R₀, R₁ 및 R₂를 선택한다. 그 다음, 컨트롤러(520)는 영역 R₁ 및 R₂에서 각각 영역 최대치 P₁ 및 P₂를 찾도록 상관 버퍼(514A)를 서치한다.

센트로이드 가중 기능부(1102)는 상관 버퍼(514A)로부터 FSCM(i)을 수신하고 필터(1110)를 구동하기 위하여 가중 평균을 계산한다. 몇몇 실시예들에서, CWF(1102)는 P₀, P₁ 및 P₂와 연관된 FSCM(i)을 사용하며, CWF(1102)는 출력:

$$CWF_{OUT} = \sum_{i=I_0, I_1, I_2} F_{CW}(i) \cdot FSCM(i)$$

을 갖는다.

다른 실시예들에서, CWF(1102)는 영역 R₀, R₁ 및 R₂ 내의 모든 상관 값들의 가중 평균을 계산한다:

$$CWF_{OUT} = \sum_{i \in R_0, R_1, R_2} F_{CW}(i) \cdot FSCM(i)$$

도 38b에 나타낸 바와 같이, 윈도우 함수 FCW(i)는 불연속 선형 램프 함수들(piecewise linear ramp functions)의 세트이다. FCW(i)의 다른 실시예들은 영역 R₀, R₁ 및 R₂의 외측에서 0 값을 갖도록 정의되는 기 함수들(odd functions)이다. 몇몇 실시예들은 또한 영역 R₁ 및 R₂에서 0의 값을 갖는다. 도 38C에 예시된 바와 같이, CDC(1100)의 몇몇 실시예들은 윈도우된 사인 함수에 기초하는 F_{CW}(i)를 포함한다.

센트로이드 가중 함수(1102)는 스위치(1104)의 제 1 입력에 CWF_{OUT}을 제공한다. 스위치(1104)의 제 2 입력은 디지털 0을 수신한다. 스위치(1106)의 제 1 및 제 2 입력들은 스위치(108)(SLEW)의 디지털 0 및 출력을 각각 수신한다. 컨트롤러(520)는 제어 신호 SLEW ENABLE(1112)을 스위치 1104 및 1106에 제공한다. SLEW ENABLE(1112)을 어써팅하는 것은 스위치 1104 및 1106의 제 2 입력들을 선택한다. 이는 컨트롤러(520)가 스위치(1114)의 출력을 선택함으로써 VCXO의 출력을 제어하도록 한다. 그렇지 않으면, 스위치 1104 및 1106은 필터(1110) 및 가산기(1120)의 입력에 CWF_{OUT} 및 디지털 0을 각각 제공한다. 스위치(1108)는 오프셋 값 +F_{OFFSET}(1116) 및 -F_{OFFSET}(1118)을 수신한다. 몇몇 실시예들에서, F_{OFFSET}은 보다 큰 값이 요구된다는 결정이 내려지면 컨트롤러(520)의 인티그레이터에 의해 동적으로 증가될 수도 있다. 다른 실시예들에서, F_{OFFSET}을 최대 값 아래로 유지시키기 위하여 상기 인티그레이터와 관련한 제한이 존재한다. 컨트롤러(520)로부터 신호 SLEW CONTROL(1114)은 스위치(1106)의 제 2 입력에 제공되는 SLEW의 값을 선택한다. 컨트롤러(520)는 +F_{OFFSET}(1116) 또는 -F_{OFFSET}(1118) 중 하나를 선택함으로써 VCXO 출력 주파수를 슬루잉한다(slew). 스위치(1104)는 필터(1110)에 출력을 제공한다. 필터(1110) 및 스위치(1106)는 가산기(1120)에 입력들을 제공하며, 이는 VCXO_{CONTROL}(1140)을 생성시킨다.

몇몇 실시예들에서, 필터(1110)는 로우 패스 필터이다. 예시적으로, 필터(1110)의 몇몇 실시예들은 리드-래그(lead-lag) 필터로서 구성된다. 도 37에 나타낸 바와 같이, 필터(1110)는 스칼라(1122, 1124, 1126), 가산기(1128, 1130) 및 지연 요소(1132)를 포함한다. 스칼라 1122 및 1124 둘 모두는 입력으로서 스위치(1104)의 출력을 수신한다. 스칼라(1122)는 수신된 입력을 스칼라 값(C₁)과 곱하고 출력을 가산기(1130)에 제공한다. 지연 요소(1132)는 가산기(1130)의 출력을 수신하고 (F_{LOW})를 가산기(130)에 제공한다. F_{LOW}는 수신된 신호 시간 베이스에 대한 VCXO 주파수 오프셋의 저-주파수 성분을 나타낸다. 몇몇 실시예들에서, F_{LOW}는 업데이트된 각각의 필드/프레임 싱크 주기이다. 후술되는 다른 실시예들에서, F_{LOW}는 업데이트된 각각의 세그먼트 싱크 주기이다. 스칼라(1124)는 스위치(1104)의 출력과 스칼라 값(C₂)를 곱한다. 가산기(1128)는 스칼라(1124) 및 가산기(1130)의 출력들을 수신한다. 스칼라(1126)는 가산기(1128)의 출력과 스칼라 값(C₃)을 곱하고 출력을 가산기(1120)에 제공한다.

도 37에 예시된 바와 같이, 스위치(1104 및 1106)는 콘트롤러(520) 신호 SLEW ENABLE(1112)에 의하여 선택적으로 제어되는 더블-폴 더블-스로우 구성(double-pole double-throw configuration)을 형성한다. SLEW ENABLE 신호(1112)가 어써팅되지 않는 경우, 필터(1110)는 CWF_{OUT} 을 수신하며, 필터 트랜스퍼 함수 $H(z) = C_3[C_1(1 + Z^{-1}) + C_2]$ 이다. 따라서,

$$VCXO_{CONTROL} = C_3[(C_1 + C_2)CWF_{OUT} + F_{LOW}] \text{이며,}$$

여기서 F_{LOW} 는 지연 요소(1132)에 저장된 시스템의 저 주파수 VCXO 오프셋이다.

SLEW ENABLE 신호(1112)가 기능하게 되면, 가산기(1120)의 출력은

$$VCXO_{CONTROL} = C_3F_{LOW} + SLEW \text{이며,}$$

여기서 SLEW는 $+F_{OFFSET}$ 또는 $-F_{OFFSET}$ 중 어느 하나와 같다. 지연 요소(1132)의 출력 F_{LOW} 는 일정하게 유지되는 한편, SLEW ENABLE 신호(1112)는 어써팅된다. 이는, SLEW ENABLE(1112)가 디-어써팅될 때까지 저 주파수 오프셋 정보를 보존한다.

도 39에 예시된 바와 같이, 상관 지향 동조 제어 루프(1150)를 포함하는 시스템(20)의 일 실시예는 동조기(910A), 복조기(920) 및 상관 지향 제어부(CDC)(1100)를 갖는다. 동조기(910A)는 상기 실시예들에서 상술된 바와 같이 시스템(900)의 동조기(910)와 유사하다; 하지만, 동조기(910A)는 루프 필터(916) 대신 루프 필터(916A)를 포함한다.

도 39에 나타낸 바와 같이, 상관 지향 동조 제어 루프(1150)의 몇몇 실시예들은 I_F 및 Q_F 둘 모두를 수신하는 CDC(1100)를 포함하는 한편, 도 6의 CDEU(230A) 또는 도 41의 CDC(1250)와 유사한 다른 실시예들은 I_F 만을 수신한다. 도 39를 다시 참조하면, 루프 필터(916A)는 3개의 피드백 입력들을 갖는다. 루프 필터(916)와 유사하게, 루프 필터(916A)는 논-코히런트 동조 피드백 신호(64) 및 결정 지향 동조 피드백 신호(66)를 수신한다. 루프 필터(916A)는 CDC(1100)로부터 $VCXO_{CONTROL}$ 을 수신하기 위한 인터페이스를 더 포함한다. 또한, 루프 필터(916A)는 입력들이 제공되는 다양한 피드백 제어 신호들간의 스위칭을 위한 디바이스들 및 기술들을 포함한다. 루프 필터(916A)의 몇몇 실시예들은 또한 수신되는 피드백 제어 신호들을 가중시키기 위한 기술을 포함한다. 예시적으로, 루프 필터(916A)의 몇몇 실시예들은 시스템(20)의 작동 상태에 기초하여 $VCXO_{CONTROL}$ 과 결정 지향 동조 피드백 신호(66) 간의 전이를 위한 가중 평균을 채용한다.

도 39에 예시된 바와 같이, 동조기(910A)는 아날로그 니어 베이스밴드 신호(60)를 수신하고 복조기 및 Nyquist 필터 블록(920)에 디지털화된 니어 베이스밴드 신호(62)를 제공한다. 복조기 및 Nyquist 필터 블록(920)은 CDC(1100)에 $I_F(76)$ 를 제공한다. 몇몇 실시예들에서 복조기(920)는 또한 CDC(1100)에 $Q_F(78)$ 를 제공한다.

CDC(1100)는 루프 필터(916A)에 대한 입력으로서 $VCXO_{CONTROL}$ 을 생성시킨다. 루프 필터(916A)는 수신되는 제어 신호를 필터링하고 $VCXO(914)$ 에 제어 신호를 제공한다. A/D(912)는 $VCXO(914)$ 에 의하여 생성되는 클럭을 수신하고 수신되는 C 날로그 니어 베이스밴드 신호(60)를 샘플링한다. 시스템(20)의 몇몇 실시예들은 동조기(910A)에 제어 피드백 신호를 제공하기 위하여 CDC(1100)에 독점적으로 의존한다. 이와 유사하게, 시스템(20)의 다른 실시예들은 논-코히런트 동조 피드백 제어 신호(64), 결정 지향 피드백 신호(66) 및 상관 지향 제어 신호 $VCXO_{CONTROL}$ 의 몇몇 서브-조합을 포함할 수도 있다.

작동이 도 40의 시스템(1200)에 의하여 구현되는, ATSC 방송에 적합한 CDC(1100)의 또 다른 실시예에 대해서는 도 37 및 39의 요소들을 계속 참조하여 기술될 것이다. 도 40의 1202, 즉 "Initialization"에서, 당업자라면 이해할 수 있듯이 CDC(1100)의 요소들이 초기화될 것이다. 예시적으로, 콘트롤러(520)는 CDC(1100)의 요소들을 리셋하고; 메모리(530)의 레지스터들, 심볼 카운터(316), 세그먼트 카운터(318), 크기 계산기(392A), 코릴레이터(510), 코릴레이터(512), 상관 버퍼(514A), CWF(1102) 및 필터(1110)를 초기화하고; 도시되거나 도시되지 않은 다양한 제어 신호들을 구성한다. 예를 들어, P_0 의 값을 포함하는 레지스터는 TDET로 설정된다. 또한, SC, SEGCNT 및 인덱스 변수 i 가 초기화된다. 그 다음, 시스템(1200)은 1204로 진행한다.

1204, 즉 "Correlation"에서, 코릴레이터(510, 512)는 가장 최근에 필터링된 인-페이스 및 사분주기 베이스밴드 신호 I_F (76) 및 Q_F (78)를 각각 수신한다. 도 14의 CDEU(230C)와 유사하게 코릴레이터(510, 512)는 I_F (76) 및 Q_F (78)를 프레임 싱크 시퀀스와 상관시킨다. 상술된 실시예들에서와 같이, 크기 계산기(392A)는 코릴레이터(510, 512)로부터 $SCV_I(i)$ 및 $SCV_Q(i)$ 를 각각 수신하고, 상관의 크기 $MAG_{FS}(i)$ 를 계산한다. 크기 계산기(392A)는 상관 버퍼(514A) 및 임계 검출기(516A)에 제공되는 FSCM(i)을 생성시키기 위하여 $MAG_{FS}(i)$ 를 로우 패스 필터링한다. 상관 버퍼(514A)는 어레이 $M(i)$ 에 FSCM(i)을 저장한다. 상술된 바와 같이, 크기 계산기의 몇몇 실시예들은 로우 패스 필터 기능을 포함하지 않으며; FSCM(i) = $MAG_{FS}(i)$ 이다. 시스템(1200)은 1206으로 진행한다.

1206, 즉 "Detect Frame Sync"에서, $FSCM(i) < T_{DET}$ 이고 $FSCM(i) < P_0$ 라면(부정적 결과), 임계 검출기(516A)는 프레임 싱크 또는 최대 값 고스트 신호가 검출되지 않은 컨트롤러(520)에 부정적 표시를 전송한다. 그 다음 컨트롤러(520)는 시스템(1200)을 1212로 분기시킨다. 그렇지 않으면, $FSCM(i) \geq T_{DET}$ 이고 $FSCM(i) \geq P_0$ 라면(1206에서 긍정적 결과), 임계 검출기(516)는 밸리드 최대 값 고스트 신호가 검출되는 컨트롤러(520)에 긍정적 표시를 전송한다. 초기에 $P_0 = T_{DET}$ 라는 것을 감안하면, 제 1 표시는 검출된 제 1 필드/프레임 싱크이다. 후속하여 $P_0 = FSCM(I_0)$ 라 설정하는 것은, $P_0 \geq T_{DET}$ 가 될 때까지 시스템(1200)이 최대 프레임 싱크 상관을 검출하도록 한다. 그 다음, 시스템(1200) 작업은 1208로 분기된다.

1208, 즉 "Store Center"에서, 컨트롤러(520)는 $FSYM = SC$ 및 $FSEG = SEGCNT$ 를 설정하고, 이는 데이터 패킷 필드/프레임 구조 내에서 검출되는 최대 프레임 싱크 상관의 임시 장소를 저장한다. 또한, 컨트롤러(520)는 $WINCENT = i$ 를 설정하고 상관 버퍼(514A)에서 원하는 윈도우의 처음과 최종 메모리 장소들에 대응되는 서치 윈도우 변수 $WINSTART$ 와 $WINEND$ 를 계산한다. 끝으로, 컨트롤러(520)는 $I_0 = i$ 및 $P_0 = FSCM(I_0)$ 을 저장한다. 그 다음, 컨트롤러(520)는 시스템(1200) 작업을 1212로 분기시킨다.

1212, 즉 "Continue"에서 컨트롤러(520)는 1216 "Find Regional Maximums"로 계속 진행할지의 여부를 결정한다. 시스템(1200)이 필드/프레임 싱크를 사전 검출하지 않거나 $i \neq WINEND$ 라면, 시스템(1200)은 1214로 분기된다. 그렇지 않으면, 시스템(1200)이 필드/프레임 싱크를 검출하고 $i = WINEND$, (YES)라면, 컨트롤러(520)는 시스템(1200) 작업을 1216으로 분기시킨다.

1214, 즉 "Increment"에서 심볼 카운터(316) 및 세그먼트 카운터(318)의 값들이 업데이트된다. 또한, 인덱스 변수 i 가 증분된다. 시스템(1200) 작업은 1204로 계속 진행된다.

1216, 즉 "Find Regional Maximums"에서 컨트롤러(520)는 영역 R_0 , R_1 및 R_2 를 정의한다. 그 다음, 컨트롤러(520)는 P_1 및 P_2 를 각각 로케이팅하기 위하여 영역 R_1 및 R_2 를 서치한다. 상술된 바와 같이, 몇몇 실시예들에서 CDC(1100)는 또한 동일한 필드/프레임 싱크 상관 결과들에 기초하여 채널 지연을 추정한다. 시스템(1200)은 1218로 계속 진행한다.

1218, 즉 " $P_0 > 4P_1$ "에서 $P_0 > 4P_1$ 이라면, 시스템(1200)은 1222로 계속 진행한다. 그렇지 않으면, 시스템(1200)은 1220으로 계속 진행한다.

1220, 즉 "Select New P_0 "에서, 컨트롤러(520)는 새로운 P_0 로서 P_1 을 선택한다. 이는, 최대 프레임 싱크 시퀀스를 갖는 고스트에 대응되지 않는 P_0 를 생성시킨다. 새로운 P_0 의 선택에 이어, 컨트롤러(520)는 영역 R_0 , R_1 및 R_2 를 재정의한다. 그 다음, 컨트롤러(520)는 P_1 및 P_2 를 각각 리로케이팅하기 위하여 영역 R_1 및 R_2 를 서치한다. 끝으로, 시스템(1200)은 1222로 계속 진행한다.

1222, 즉 " $P_0 > P_2/9$ "에서, $P_0 > P_2/9$ 에서, 시스템(1200)은 1224로 계속 진행함으로써 VXCO 슬루 제어 루프를 엔터링한다. 그렇지 않으면, 시스템(1200)은 1230으로 계속 진행한다.

1224, 즉 "- F_{OFFSET} "에서, 컨트롤러(520)는 슬루 인에이블 신호(1212)를 어써팅한다. 이는, 가산기(1120)의 출력이 $VCXO_{CONTROL} = C3F_{LOW} - F_{OFFSET}$ 을 제공하도록 한다. 결과적으로, 수신되는 데이터 신호를 샘플링하는 VCXO 클럭은

주파수가 감소된 다. 이는, 고스트(P_2)를 R_0 영역을 향해 효과적으로 움직인다. 전송기 심볼 시간베이스로부터의 VCXO 룩업 주파수 오프셋 F_{LOW} 가 지연 요소(1132)에 보존되고 $C_3 \cdot F_{LOW}$ 에 의해 표현된다. 하지만, 이퀄라이저 계수들을 이끌어내는데 사용되는 트레이닝 신호들(Frame Sync 및 Segment Sync)은 사전 계산된 채널 지연에 기초하여 동일한 타이밍을 유지한다. 결과적으로, 이퀄라이저 구조의 재-초기화 또는 채널 지연 추정치의 재-계산을 요하지 않고 가상 중심이 채널에서 나타나는 고스트에 대해 임시로 이동된다. 그 다음, 시스템(1200)은 1226으로 진행한다.

그 후, 1226, 즉 "Update Correlation"에서 $SEGCNT = FSEG$ 인 경우, 시스템 컨트롤러는 WINSTART, WINEND, FSYM 및 FSEG에 의하여 정의되는 윈도우 W_{FS} 내의 FSCM(i)의 새로운 값들을 디벨로핑하도록 CDC(1100)를 구성한다. 상관 값 FSCM(i)은 프레임 또는 필드 싱크 비율과 관련하여 업데이트된다. 도 38a에 예시된 바와 같이, $2m + 1$ 샘플들을 갖는 윈도우 W_{FS} 는 $SC = FSYM$ 및 $SEGCNT = FSEG$ 에 앞서 m 심볼 타임들을 개시한다. 통상적으로 윈도우 W_{FS} 는 CDC(1100)에 의하여 임계치 T_{DET} 위에서 검출되는 제 1 FSCM(i) 값에 기초한다. 따라서, 후속하는 상관 업데이트들은 P_0 가 W_{FS} 내에서 센터링되지 않도록 할 수 있다. 다른 실시예들은, P_0 가 평균하여 W_{FS} 내에서 센터링되도록 하기 위하여 W_{FS} 가 시간에 걸쳐 이동하도록 한다. 또 다른 실시예들은 W_{FS} 를 재센터링하여 P_0 의 상대적인 위치가 시간에 걸쳐 이동하도록 한다. 업데이트된 FSCM(i)의 값들이 상관 버퍼(514A) 내에 자리한 후에, 컨트롤러(520)는 사전 정의된 영역 R_0, R_1 및 R_2 에 P_0, P_1 및 P_2 의 새로운 위치들을 로케이팅한다. 그 다음, 시스템(1200)은 1228로 진행한다.

1228, 즉 " $P_0 > P_2/2$ "에서 $P_0 \leq P_2/2$ 라면(부정적 결과), 시스템(1200)은 1224로 계속 진행한다. 이는, VCXO 타이밍을 점진적으로 조정하고 P_2 가 영역 R_0 를 향해 이동하도록 하기 위한 제어 루프를 형성한다. 일단 $P_0 > P_2/2$ 가 되면(긍정적 결과), 시스템(1200)은 루프를 디파팅하고 제어가 1230으로 진행한다.

1230, 즉 " $P_0 > 2P_1$ "에서 $P_0 > 2P_1$ 이라면 시스템(1200)은 1238로 진행한다. 그렇지 않고, $P_0 \leq 2P_1$ 이라면 시스템(1200)은 1232로 진행함으로써 VCXO 슬루 제어 모드를 엔터링한다.

1232, 즉 "+ F_{OFFSET} "에서 $VCXO_{CONTROL} = C_3 \cdot F_{LOW} + F_{OFFSET}$ 이다. VCXO 클럭 주파수는 신호 생성 상관 P_1 의 지연을 증가시키고 임시적으로 저감시킨다. 이는 P_1 이 R_0 영역을 향하여 이동하도록 한다. 앞서와 유사하게, 지연 요소(1132)는 F_{LOW} 의 값을 유지하고 $C_3 \cdot F_{LOW}$ 는 전송기 타임 베이스로부터 VCXO 저 주파수 오프셋을 보존한다. 하지만, 이퀄라이저 계수들을 이끌어내는데 사용되는 타이밍 펄스들(프레임 싱크/세그먼트 싱크)의 타이밍은 동일하게 유지된다. 결과적으로, 가상 중심은 이퀄라이저 구조의 재-초기화 또는 채널 지연의 재-계산을 요하지 않고 채널에서 나타나는 고스트에 대해 임시적으로 이동한다.

그 다음 1234, 즉 "Update Correlation"에서 컨트롤러(520)는 "Update Correlation"(1236)과 유사한 FSCM(i)의 새로운 값들을 디벨로핑하기 위하여 CDC(1100)를 구성한다. 컨트롤러(520)는 W_{FS} 에서 P_0, P_1 및 P_2 를 로케이팅하기 위하여 상관 버퍼(514A)를 서치한다.

1236, 즉 " $P_0 > 3P_1$ "에서 $P_0 \leq 3P_1$ 라면(부정적 결과), 시스템(1200)은 1232로 계속 진행한다. 이는, VCXO 타이밍을 점진적으로 조정하고 영역 R_0 를 향해 P_1 이 이동하도록 하기 위한 루프를 형성한다. 하지만, 일단 $P_0 > 3P_1$ 이라면(1236에서 긍정적 결과), 시스템(1200)은 루프로부터 디파팅하고 1222로 돌아간다.

1238, 즉 "CWFOUT"에서 컨트롤러(520)는 SLEW ENABLE을 디-어써팅하며 $VCXO_{CONTROL} = C_3[(C_1 + C_2)CWF_{OUT} + F_{LOW}]$ 이다.

1240, 즉 "Update Correlation"에서 시스템(1100)은 윈도우 W_{FS} 에 대응되는 FSCM(i)의 새로운 값들을 디벨로핑한다. 컨트롤러(520)는 R_0, R_1 및 R_2 에서 발견되는 바와 같이 P_0, P_1 및 P_2 를 업데이트하기 위하여 상관 버퍼(514A)를 서치한다. 지연 요소(1132)는 $F_{LOW} = CWF_{OUT}C_1 + F_{LOW}$ 를 업데이트한다. 그 다음, 시스템(1200)은 1222로 돌아간다. 몇몇 실시예에서, 결정 블록 1212, 1218, 1222, 1228, 1230 및 1236 중 1 이상은 결정 전이들을 콘디셔닝하는데 사용되는 콘피던스 카운터의 몇몇 타임들을 가질 수도 있다.

도 41의 CDC(1250)와 같이 예시된 ATSC 표준 방송에 적합한 시스템(20)의 또 다른 실시예는 CDEU(230A), 센트로이드 가중 기능부(1102), 스위치(1104, 1106, 1108), 필터(1110), 가산기(1120) 및 상관 버퍼(1134)를 포함한다.

도 6의 CDEU(230A)와 유사하게, 시스템(1250)은 코릴레이터(310)에 대한 입력으로서 필터링된 베이스밴드 신호들 I_F (76)을 수신한다. 도시되지는 않았으나, 시스템(1250)의 몇몇 실시예들은 CDEU(230B)와 유사하고, 상술된 바와 같이 I_F (76) 및 Q_F (78)와 세그먼트 싱크 시퀀스의 상관의 크기를 계산한다. CDC(1100)와 유사한 몇몇 실시예들에서, 시스템(1250)은 I_F 및 Q_F 의 2X 오버-샘플링된 표현을 수용한다. 다른 실시예들에서, 시스템(1250)은 I_F 및 Q_F 의 심볼 비율 표현을 수신하도록 되어 있다. 시스템(1250)의 또 다른 실시예는 I_F (76) 및 Q_F (78)의 또 다른 오버-샘플링된 표현을 포함한다.

도 41에 예시된 바와 같이, 코릴레이터(310)는 심볼 상관 값 $SCV(i)$ 를 생성하기 위하여 I_F (76)와 관련하여 작동한다. 인터그레이터(312)는 $SCV(i)$ 를 수신하고 상관 버퍼(314)의 메모리 장소 $M(i)$ 에 저장되는 $INT(i)$ 를 생성시킨다. 하지만, 후술되는 바와 같이 CDEU(230A)의 상술된 실시예들은 채널 지연 추정치를 디벨로핑하기 위하여 N 세그먼트 싱크 주기들에 걸쳐 심볼 싱크 상관을 계산하는 한편, 시스템(1250)은 계속해서 상관 버퍼(314)에 저장되는 상관 값들 $INT(i)$ 를 업데이트한다. 이는, 이후 $VCXO_{CONTROL}$ 신호(1252)라 지칭되기도 하는 상관 지향 제어 신호(1252)에 대한 지속적인 업데이트를 가능하게 한다. 상관 필터(1134)는 상관 버퍼(314)로부터 수신되는 $INT(i)$ 의 값들을 로우 패스 필터링한다. 도 13의 CDEU(230B)와 유사한 시스템(1250)의 몇몇 실시예들은 로우 패스 필터링 작업에 앞서 $MAG(i)$ 를 계산한다. 예시적으로, 몇몇 실시예들에서 $MAG(i) = |INT(i)|$ 이다. 시스템(1250)의 몇몇 실시예들에서, $MAG(i) = INT(i)^2$ 이다. I_F (76) 및 Q_F (78) 둘 모두가 처리되는 경우, $MAG(i) = |INT_I(i)| + |INT_Q(i)|$ 또는 $MAG(i) = [INT_I(i)^2 + INT_Q(i)^2]$ 이다. 도시되지 않은 1250의 또 다른 실시예들은 상관 필터(1134)를 포함하지 않고 필요한 임시 필터링을 제공하기 위하여 인터그레이터(314)에 의존한다.

센트로이드 가중 기능부(1102)는 상관 필터(1134)에 의하여 생성되는 적절한 수의 샘플들을 수신하도록 스케일링된다. 예시적으로, 몇몇 실시예들에서, 센트로이드 기능부(1102)는 1664 샘플들을 수신하도록 스케일링된다. 또 다른 실시예들은 832 샘플들을 포함한다. 컨트롤러(320)는 메모리(330)와 상호작용하고 심볼 카운터(316) 및 세그먼트 카운터(318)로부터 SC 및 $SEGCNT$ 의 값들을 각각 수신한다. 도 6의 컨트롤러(320)와 유사하게, 컨트롤러(320)는 제어 시스템(54)과 상호작용한다(도 3 참조). 컨트롤러(320)는, 도시되지는 않았으나 구성 및 제어에 필요한 시스템(1250)의 요소들에 대한 인터페이스들을 더 포함한다.

도 6의 CDEU(230A)와 유사하게, 시스템(1250)은 수신되는 신호들에 존재하는 세그먼트 싱크들의 장소를 검출하고 CIR 추정치를 결정한다. 채널 지연은 CIR 추정치로부터 추정되며 오버래핑된 이퀄라이저의 가상 중심을 위치설정하는데 사용된다. 도 37의 CDC(1100)의 컨트롤러(520)와 유사하게, 컨트롤러(320)는 $MAG(i)$ 의 최대 값에 대응되는 P_0 를 로케이팅하기 위하여 상관 버퍼(314)를 서치한다. 컨트롤러(320)는 P_0 에 대해 영역 R_0 를 센터링한다. 그 다음, 컨트롤러(320)는 영역 R_1 및 R_2 에서의 $MAG(i)$ 의 로컬 최대 값들 P_1 및 P_2 를 각각 찾기 위하여 상관 버퍼(314)를 서치한다. 도 38a에 나타낸 바와 같이, P_0 , P_1 및 P_2 는 각각의 영역 R_0 , R_1 및 R_2 에서의 최대 상관 값 및 파워를 갖는 고스트 신호들로서 정의된다. P_0 , P_1 및 P_2 는 I_0 , I_1 및 I_2 에서 각각 로케이팅된다. 몇몇 실시예들에서, R_0 , R_1 및 R_2 는 전체 세그먼트 싱크 주기에 걸쳐 있다. 다른 실시예들에서, R_0 , R_1 및 R_2 는 세그먼트 싱크 주기의 일 부분에만 걸쳐 있다.

상관 필터(1134)는 CWF(1102)에 제공되는 $MAG(i)$ 값들을 로우 패스 필터링한다. 몇몇 실시예들에서, CWF(1102)는 단지 P_0 , P_1 및 P_2 의 값들을 사용하고; CWF(1102)는 출력:

$$CWF_{OUT} = \sum_{i=I_0, I_1, I_2} F_{CW}(i) \cdot MAG(i)$$

를 갖는다.

다른 실시예들에서, CWF(1102)는 영역 R_0 , R_1 및 R_2 내의 모든 고스트들의 가중 평균을 계산한다:

$$CWF_{OUT} = \sum_{i \in R_0, R_1, R_2} F_{CW}(i) \cdot MAG(i)$$

도 37의 CDC(1100)와 유사하게, CDC(1250)의 몇몇 실시예들은 적절한 샘플링 비율에 적합한 도 38b의 불연속 선형 램프 함수와 유사한 윈도잉 함수 $F_{CW}(i)$ 를 갖는다. $F_{CW}(i)$ 의 다른 실시예들은 영역 R_0 , R_1 및 R_2 의 외측에서 0 값을 갖도록 정의되는 기 함수들이다. CDC(1250)의 몇몇 실시예들은 도 38c와 유사한 샘플링 비율에 적합한 윈도잉된 사인 함수에 기초하는 $F_{CW}(i)$ 를 포함한다.

그렇지 않으면, 시스템(1250)은 가산기(1120)의 출력에서 상관 지향 제어 신호 $VCXO_{CONTROL}$ 를 생성하기 위하여 CDC(1100)와 실질적으로 유사하게 작동한다. 센트로이드 가중 함수(1102)는 그것의 출력을 스위치(1104)의 제 1 입력으로서 제공한다. 스위치(1104)의 제 2 입력은 디지털 0이다. 스위치(1106)에 대한 제 1 입력은 디지털 0이다. 스위치(1106)의 제 2 입력은 스위치(1108)로부터의 신호 SLEW이다. 스위치(1108)는 오프셋 값 $+F_{OFFSET}(1116)$ 및 $-F_{OFFSET}(1118)$ 을 수용한다. CDC(1100)의 컨트롤러(520)와 유사하게, 컨트롤러(320)는 스위치(1108)에 SLEW CONTROL 신호(1114)를 제공하고, 후술되는 바와 같이 $+F_{OFFSET}(1116)$ 및 $-F_{OFFSET}(1118)$ 을 선택함으로써 상관 지향 제어 신호(125)의 출력을 슬루잉한다. 스위치(1104)는 필터(1110)에 출력을 제공한다. 필터(1110) 및 스위치(1106)는 가산기(1120)에 입력들을 제공한다. 가산기(1120)의 출력은 상관 지향 제어 신호 $VCXO_{CONTROL}(1252)$ 이다.

도 37의 CDC(1100)와 유사하게, 스위치(1104, 1106)는 더블-폴 더블-스로우 구성을 형성한다. 컨트롤러(320)가 SLEW ENABLE(1112)을 어쨌든하지 않는 경우, 가산기(1120)의 출력은 $VCXO_{CONTROL} = C_3[(C_1 + C_2)CWF_{OUT} + F_{LOW}]$ 인데, 여기서 F_{LOW} 는 지연 요소(1132)에 저장되는 시스템의 저 주파수 오프셋이다. 필터(1110)의 전송 함수는 $H(z) = C_3[C_1(1 + Z^{-1}) + C_2]$ 이다.

SLEW ENABLE 신호(1112)가 가능하게 되면, 가산기(1120)의 출력은 $VCXO_{CONTROL} = C_3 \cdot F_{LOW} + SLEW$ 이며, 여기서 SLEW는 $+F_{OFFSET}$ 또는 $-F_{OFFSET}$ 이다. 지연 요소(1132)의 출력 F_{LOW} 는 일정하게 유지되는 한편, SLEW ENABLE 신호(1112)는 어쨌든된다. 이는, 신호(1112)가 어쨌든될 때까지 저 주파수 오프셋 정보를 보존하여, 필터(1110)의 정상적인 작업이 재개될 수 있도록 한다. 몇몇 실시예들에서, 보다 큰 값이 요구된다고 결정되면 F_{OFFSET} 은 컨트롤러(520)의 인티그레이터에 의해 동적으로 증가될 수도 있다. 다른 실시예들에서는, F_{OFFSET} 을 최대 값 아래에서 유지시키기 위하여 상기 인티그레이터와 관련한 제한이 존재한다.

이하, 시스템(1250)의 또 다른 실시예는, 도 42에 그 작업이 예시되어 있으며 ATSC 방송 및 심볼 샘플링 비율에 적합한 시스템(1300)과 같이 도 41의 요소들을 계속 참조해 가며 설명될 것이다. 1302, 즉 "Initialization"에서 컨트롤러(320)는 시스템(1250)의 요소들을 초기화한다. 예시적으로, 컨트롤러(320)는 메모리(330)의 레지스터들, 심볼 카운터(316), 세그먼트 카운터(318), 크기 계산기(392), 코릴레이터(310), 상관 버퍼(314), CWF(1102), 필터(1110), 상관 필터(1134) 및 다양한 제어 신호들을 초기화한다. 또한, SC, SEGCNT 및 인덱스 변수 i 는 초기화된다. 시스템(1300)의 초기화 후에, 작업은 1304로 진행된다.

1304, 즉 "SCV"에서 도 12의 시스템(400)과 유사하게 코릴레이터(310)는 필터링된 인-페이즈 베이스밴드 신호 $I_F(76)$ 로부터 데이터의 새로운 심볼 시간을 수용하고 심볼 카운터(316)에 의하여 생성되는 심볼 카운트에 대응되는 SCV(i)의 값을 계산한다. 시스템(1304)은 1306으로 전이된다.

1306, 즉 "Integration"에서 CDEU(230A)와 유사하게 인티그레이터(312)는 코릴레이터(310)로부터 SCV(i)를 수용하고 상관 버퍼(314)의 어레이 $M(i)$ 에 저장될 INT(i)의 값을 계산한다. 그 후, 시스템(1300)은 1308로 진행된다.

1308, 즉 "SC = 831"에서, 도 12의 시스템(400)의 410과 유사하게, 컨트롤러(320)는 SC가 심볼 카운터(316)의 최대 출력과 같은지를 결정한다. 예시적으로, SC는 0 내지 831의 범위를 갖는 경우 SC = 831일 때 긍정적 결과가 일어나며, 시스템(1300)은 1312로 전이한다. 그렇지 않고, 1308에서 부정적 결과가 일어나면 시스템(1300)이 1310으로 전이되도록 하여 심볼 카운터(316)는 SC의 값을 증분시키고 컨트롤러(320)는 인덱스 변수 i 를 증분시키도록 한다. 그 후 제어는 1304로 돌아간다.

1312, 즉 "SEGCNT < N"에서 콘트롤러(320)는 세그먼트 카운터(318)의 출력 SEGCNT와 세그먼트 카운트 레지스터(338)에 저장된 값(N)을 비교한다. SEGCNT < N이라면, 콘트롤러(320)는 시스템(1300) 작업을 1314로 분기시키고, 심볼 카운터(316)는 SC = 0을 설정하며 세그먼트 카운터(318)는 SEGCNT를 증분시킨다. 하지만, SEGCNT = N이라면, 시스템(1300) 작업은 1316으로 전이한다.

도 40의 시스템(1200)의 1216과 유사한 1316, 즉 "Find Regional Maximums"에서, 콘트롤러(320)는 영역 R_0 , R_1 및 R_2 를 정의한다. 그 후, 콘트롤러(320)는 P_1 및 P_2 를 로케이팅하기 위하여 영역 R_1 및 R_2 를 각각 서치한다. 몇몇 실시예들에서, 콘트롤러(320)는 적절한 CDE 값을 결정하기 위하여 도 41의 센트로이드 추정기(340)와 같이 나타낸 센트로이드 추정기와 상호-작동한다.

1318, 즉 " $P_0 > 4P_1$ "에서 $P_0 > 4P_1$ 이라면, 시스템(1300)은 1322로 계속 진행한다. 그렇지 않으면, 시스템(1300)은 1320으로 계속해서 진행한다.

1320, 즉 도 40의 시스템(1200)의 1220과 유사한 "Select New P_0 "에서, 콘트롤러(320)는 새로운 P_0 로서 P_1 을 선택한다. 몇몇 경우에, 이는 상관 버퍼(314)의 MAG(i)의 최대 값에 대응되지 않는 P_0 를 초래한다. 이러한 선택에 이어서, 콘트롤러(320)는 새로운 P_0 의 장소에 기초하여 영역 R_0 , R_1 및 R_2 를 재정의한다. 그 후, 콘트롤러(320)는 P_1 및 P_2 를 로케이팅하기 위하여 영역 R_1 및 R_2 를 각각 서치한다. 끝으로, 시스템(1300)은 계속해서 1324로 진행한다. 1322, 즉 도 40의 시스템(1200)과 유사한 " $P_0 > P_2/9$ "에서, $P_0 \leq P_2/9$ 인 경우 부정적 결과가 일어나며, 시스템(1300)은 1322로 계속 진행함으로써 VCXO 슬루 제어 루프를 엔터링한다. 그렇지 않고, $P_0 > P_2/9$ 인 경우 긍정적 결과가 일어나며, 시스템(1300)은 1330으로 계속 진행한다.

1324, 즉 도 40의 시스템(1200)의 1224와 유사한 " $-F_{\text{OFFSET}}$ "에서, 콘트롤러(320)는 신호 SLEW ENABLE(1112)을 어써팅한다. 이는, 가산기(1120)의 출력이 $VCXO_{\text{CONTROL}} = C_3 \cdot F_{\text{LOW}} - F_{\text{OFFSET}}$ 을 제공하도록 한다. 따라서, CDC(1100)와 유사하게, 지연 요소(1132)는 필터(1110)의 저 주파수 오프셋 F_{LOW} 를 보존한다. 1326, 즉 "Update Correlation"에서, 시스템(1300)은 상관 버퍼(314)에 저장되는 상관 값들을 업데이트한다. 몇몇 실시예에서, 시스템(1250)은 가장 최근의 세그먼트 싱크 주기 동안 생성되는 SCV(i) 값들을 적분한다. 다른 실시예들에서, 시스템(1250)은 230A의 부분들을 재-초기화하고 다수의 세그먼트 싱크 주기들에 걸쳐 INT(i) 및 MAG(i)의 새로운 세트를 디벨로핑한다. 콘트롤러(320)는 기존 R_0 , R_1 및 R_2 에 의하여 생성되는 윈도우 내에 속하는 업데이트된 P_0 , P_1 및 P_2 를 로케이팅하기 위하여 상관 버퍼(314)를 서치한다. 상관 필터(1134)는 업데이트된 상관 버퍼(314) 출력을 수신하고 CWF(1102)에 업데이트된 로우 패스 필터링된 MAG(i)를 제공한다. 그 다음, CWF(1102)는 업데이트된 CWF_{OUT} 을 계산한다. 상술된 바와 같이, 시스템(1250)의 몇몇 실시예들은 업데이트된 CWF_{OUT} 을 생성시키기 위하여 단지 업데이트된 P_0 , P_1 및 P_2 를 사용한다. 하지만, CDC(1100)와 유사하게, 시스템(1250)의 몇몇 실시예들은 P_0 의 장소 변화에 응답하여 영역 R_0 , R_1 및 R_2 를 이동시킨다.

1328, 즉 " $P_0 > P_2/2$ "에서, $P_0 \leq P_2/2$ 인 경우 부정적 결과가 일어나고, 시스템(1300)은 1324로 돌아감으로써 VCXO 슬루 제어 루프에서 유지된다. 이는 $VCXO_{\text{CONTROL}}$ 을 점진적으로 조정하기 위한 루프를 형성시킨다. $P_0 > P_2/2$ 인 경우 긍정적인 결과가 일어나고: 시스템(1300)은 VCXO 슬루 제어 루프로부터 디파팅하며; 결국 시스템(1300)은 1330으로 계속 진행한다.

1330, 즉 " $P_0 > 2P_1$ "에서 $P_0 > 2P_1$ 인 경우 긍정적인 결과가 일어나며, 시스템(1300)은 1338로 진행한다. 그렇지 않고, $P_0 \leq 2P_1$ 인 경우 부정적 결과가 일어나며, 시스템(1300)은 1332로 진행함으로써 VCXO 슬루 제어 루프를 엔터링한다.

1332, 즉 시스템(1200)과 유사한 " $+F_{\text{OFFSET}}$ "에서, 제어부(320)는 신호 SLEW ENABLE(1112)을 어써팅하고, SLEW = $+F_{\text{OFFSET}}$ 을 선택한다. 시스템(1100)과 유사하게, 가산기(1120)의 출력(1252)은 $VCXO_{\text{CONTROL}} = C_3 \cdot F_{\text{LOW}} + F_{\text{OFFSET}}$ 이 되는데, 여기서 지연 요소(1132)는 필터(1110)의 저 주파수 오프셋 F_{LOW} 를 보존한다.

그 후 1334, 즉 "Update Correlation"에서 시스템(1300)은 1326의 상술된 작업과 유사하게 상관 버퍼(314)에 저장되는 상관 값들을 업데이트한다. 가장 최근의 세그먼트 싱크 주기 동안 생성되는 INT(i)의 값들이 업데이트된다. 코릴레이터(320)는 기존 R_0 , R_1 및 R_2 에 의하여 생성되는 서치 윈도우 내에 속하는 업데이트된 P_0 , P_1 및 P_2 를 로케이팅하기 위하여 상관 버퍼(314)를 서치한다. 도 41에 예시된 바와 같이, 상관 필터(1134)는 업데이트된 상관 버퍼(314) 출력을 수신하고 업데이트된 로우 패스 필터링된 INT(i)를 CWF(1102)에 제공한다. 그 다음, CWF(1102)는 업데이트된 CWF_{OUT} 을 계산한다. 시스템(1300)은 1336으로 진행한다.

1336, " $P_0 > 3P_1$ "에서, $P_0 \leq 3P_1$ 인 경우 부정적 결과가 일어나며, 시스템(1300)은 1332로 돌아감으로써 VCXO 슬루 제어 루프에서 계속 진행된다. 이는, $VCXO_{CONTROL}$ 을 점진적으로 조정하기 위한 루프를 형성시킨다. $P_0 > 3P_1$ 인 경우 긍정적인 결과가 일어나며, 따라서 시스템(1300)은 VCXO 슬루 제어 루프로부터 디파팅하고 시스템(1300)은 1322로 돌아간다.

1338, 즉 " CWF_{OUT} "에서, 1330에서의 긍정적 결과 후에, 콘트롤러(320)는 스위치(1104)를 통해 CWF_{OUT} 를, 스위치(1106)를 통해 0을 패싱하기 위하여 슬루 제어 신호(1112)를 설정한다. CWF_{OUT} 는 필터(1110)로 통과된다. 가산기(1130)는 출력 $VCXO_{CONTROL} = C_3[(C_1 + C_2)CWF_{OUT} + F_{LOW}]$ 를 형성하는데, 여기서 상술된 바와 같이, F_{LOW} 는 지연 요소(1132)에 저장되는 값이다. 그 후, 시스템(1338)은 1340으로 진행한다. 1340, 즉 "Update Correlation"에서 시스템(1250)은 상술된 바와 같이 상관 버퍼(314)에 저장된 상관 값들을 업데이트한다. 콘트롤러(320)는 사전 정의된 영역 R_0 , R_1 및 R_2 에서 P_0 , P_1 및 P_2 의 업데이트된 값들에 대한 상관 버퍼(314)를 서치한다. 지연 요소(1132)는 $F_{LOW} = CWF_{OUT}C_1 + F_{LOW}$ 를 업데이트한다. 그 후, 시스템(1300)은 1322로 돌아간다. 몇몇 실시예들에서, 결정 블록 1312, 1318, 1322, 1328, 1330 및 1336 중 1 이상은 결정 전이들을 콘디셔닝하는데 사용되는 몇몇 타입의 콘피던스 카운터를 가질 수도 있다. 도 43에 예시된 바와 같이, 시스템(20)의 또 다른 실시예는 상관 지향 캐리어 트래킹 시스템(1350)을 포함한다. 상관 지향 캐리어 트래킹 시스템(1350)은 복조기(920A) 및 상관 지향 제어부(1250A)를 포함한다. 복조기(920A)는 시스템(900)의 복조기(920)와 형태 및 기능에서 유사하다; 하지만, 루프 필터(926)는 루프 필터(926A)로 대체된다. 후술되는 바와 같이, 루프 필터(926A)는 상관 지향 트래킹 신호를 수신하기 위한 제 3 피드백 제어 입력(1252A)을 더 포함한다. 상관 지향 제어부(1250A)는 상관 지향 제어부(1250)와 형태 및 기능에서 유사하다; 하지만, 도 13의 CDEU(230B)와 유사하게, CDC(1250A)는 세그먼트 싱크 시퀀스와 I_F (76) 및 Q_F (78) 둘 모두를 상관시키도록 되어 있다.

복조기(920A)는 디지털화된 니어 베이스밴드 신호(62)를 수신하고 CDC(1250A)에 신호 I_F (76) 및 Q_F (78)를 출력으로서 제공한다. 복조기(920A)는 또한 논-코히런트 캐리어 트래킹 피드백 신호(72) 및 결정 지향 캐리어 트래킹 피드백 신호(74)를 수신한다. 또한, 복조기(920A)는 CDC(1250A)로부터 상관 지향 캐리어 트래킹 신호(1252A)를 더 수신한다.

도 44에 예시된 바와 같이, 시스템(20)의 또 다른 실시예는 동조기(910), 복조기(920), CDEU(230E), 차감기(1360) 및 지연부(1362)를 포함하는 채널 지연 지향 제어 시스템(1360)을 포함한다.

CIR 지향 제어 시스템(1360)은 동조기(910)에서 아날로그 니어 베이스밴드 신호(60)를 수신한다. 동조기(920)는 아날로그 니어 베이스밴드 신호(60)를 디지털화하고 복조기(920)에 디지털화된 니어 베이스밴드 신호(62)를 제공한다. 복조기(390)는 디지털화된 니어 베이스밴드 신호(62)를 복조하고 CDEU(230E)에 I_F (76) 및 Q_F (78)를 입력으로서 제공한다.

CDEU(230E)는 업데이트된 채널 지연 추정치 CDE_{NEW} 를 계산하기 위하여 I_F (76) 및 Q_F (78)와 관련하여 작동한다. 그 다음, CDEU(230E)는 차감기(1360)의 긍정적 입력 및 지연부(1362)에 CDE_{NEW} 를 입력으로서 제공한다. 지연부(1362)는 차감기(1360)의 부정적 입력에 채널 지연 추정치의 사전 계산된 값 $CDE_{PREVIOUS}$ 를 출력으로서 제공한다. 동조기(40)는 차감기(1360)로부터 동조 제어 신호(1364)를 수신한다.

CDEU(230)의 상술된 실시예들과 유사하게, CDEU(230E)는 CDEU(230E)의 입력부에서 수신되는 고스트 신호들의 상관 강도 및 지연을 검출함으로써 전송 채널의 채널 임펄스 응답을 추정한다. CDEU(230E)의 몇몇 실시예들은 CDEU(230)의 상술된 실시예들과 형태 및 기능에서 유사하다. 예시적으로, CDEU(230E)의 몇몇 실시예들은 수신되는 고스트 신호 프레임 싱크 시퀀스의 상관 강도 PN511를 검출함으로써 ATSC 방송 시스템에서의 채널 지연을 추정하도록 되어 있다. 이와 마찬가지로, CDEU(230E)의 다른 실시예들은 세그먼트 싱크의 상관에 기초하여 채널 지연을 추정하는 CDEU(230)의 실시예들과 유사하다. 하지만, CDEU(230E)는 연속적으로 업데이트된 채널 지연 추정치들을 제공하도록 되어 있다. 예시적으로, CDEU(230E)의 몇몇 실시예들은 오버래핑된 이퀄라이저를 셋 업하고 최적화시키는데 사용되는 단일 채널 지연 추

정치를 제공하는 한편, CDEU(230E)의 실시예들은 연속적인 채널 지연 추정 업데이트들을 제공한다. CDEU(230E)의 몇몇 실시예들은 업데이트된 채널 지연 추정치를 모든 프레임 또는 필드 싱크 주기에 제공한다. 세그먼트 싱크 시퀀스들의 수용에 기초하여 채널 지연을 추정하는 다른 실시예들은 원하는 수의 세그먼트 싱크 주기들이 지난 후 업데이트된 채널 지연 추정치를 제공한다. 또한, 또 다른 실시예들은 업데이트된 채널 지연 추정치를 모든 세그먼트 싱크 주기에 제공한다.

몇몇 실시예들에서 지연부(1362)는 CDEU(230E)에 의하여 제공되는 사전 계산된 채널 지연 추정치를 저장하는데 사용되는 랫치 또는 레지스터이다. 차감기(1360)는 CDE_{NEW} 로부터 $CDE_{PREVIOUS}$ 를 차감함으로써 동조 제어 신호(1364)를 생성시킨다. 동조 제어 신호(1364)는 가상 중심의 이동으로 인한 채널 지연 추정치의 변화를 나타낸다. 동조기(910)는 제어 신호(1364)를 수신하고 아날로그 니어 베이스밴드 신호(60)를 샘플링하는데 사용되는 클록 주파수를 제어한다. 이는, 시스템(20)의 이퀄라이저에 도입되는 상대적인 지연을 조정하고 가상 중심에서의 움직임 보상한다. 사분주기 및 변형 필터 기구들의 길이들은 총 피드백 루프 반응에 대해 최적화된다는 것을 이해해야 한다. 예시적으로, 90 도 회전을 수행하는 변형 필터가 수신되는 인-페이즈 신호와 관련하여 작동하는 Hilbert 필터인 실시예에서, Hilbert 필터의 길이는 위상 트랙커 루프 반응을 최적화하도록 조정될 것이다. 이와 유사하게, Hilbert 변형의 분석은 하드웨어의 복잡도 및 필요한 정확성에 대해 최적화될 수 있다. 이와 마찬가지로, 위상 오차 인티그레이터(812)는 보다 원활하고 보다 정확한 위상 오차 정보에 대한 필요성과 위상 트랙커 밴드폭을 밸런싱하도록 최적화될 수 있다.

대안적으로, 부분적으로 이격된 이퀄라이저를 갖는 몇몇 실시예에서, 데이터가 이퀄라이저 결정 디바이스에 앞서 다운 샘플링되는 포인트는 보다 큰 제어 루프 밴드폭을 제공하기 위해 이동될 수 있다. 도 29에 예시된 바와 같이, 시스템(900)의 몇몇 실시예에서, 캐리어 트랙킹 포스트 필터(944)는 다운 샘플링에 앞서 FFE(210)로부터 부분적으로 이격된 샘플들을 수용한다. 결정 디바이스(212)는 심볼 타이밍 베이스와 관련하여 이퀄라이저 출력 신호(88)를 샘플링함으로써 수신된 데이터를 효과적으로 다운 샘플링한다. 또 다른 실시예에서는, 부분적으로 이격된 FFE 샘플들이 N:1의 정수 관계로 관련되지 않는 경우, 이퀄라이저 결정 디바이스에 대한 입력들은 적절한 샘플 비율로 전환되는 샘플 비율이다. 몇몇 실시예들은 결정 지향 위상 트랙커 및 결정 지향 동조 피드백 루프들에 대해 유사한 기술들을 채용한다. 추가적으로, 특정 실시예들은, 부분적으로 이격된 FFE의 출력을 다운 샘플링하고 위상 트랙커 기능을 수행하기 위하여 샘플 비율 전환기를 채용한다.

본 명세서에서 기술된 기술들 및 디바이스들은 1-차원의 콘스텔레이션을 갖는 모듈레이션 기술들에 적용될 수도 있다는 것을 이해해야 한다. 따라서, 본 발명은 다중 레벨들을 갖는 데이터 콘스텔레이션을 가지고 작동하도록 수정되는 실시예들을 포함한다. 이와 유사하게, (단순한 90 도 위상 시프트가 Offset QAM 베이스밴드 복소 신호를 단지 실수의 VSB 베이스밴드 신호로 전환시키기에 충분한 경우) 본 명세서에서 기술된 기술 및 디바이스들은 Offset QAM 모듈레이션에 대해, VSB 또는 Offset QAM의 모듈레이션에 적용될 수 있다.

더 나아가, 본 명세서에 기술된 시스템 및/또는 방법들 중 여하한 것들은 어떠한 방송 표준에도 적용가능하다. 예를 들어, 본 명세서의 시스템 및 방법들은 "ATSC Digital Television Standard", ATSC Doc. A/53, September 16, 1995에 명시된 ATSC와 순응하는 신호들을 가지고 이용가능하다. 예시에 지나지 않으며 제한의 의도가 없는 대안으로서, 본 명세서에 기술된 시스템 및/또는 방법들의 여하한 것들은, Zhang, W, et. al "An Advanced Digital Television Broadcasting System" Supplement to Proceedings 7th International Symposium on Broadcasting Technology, 2001에 명시된 표준(이후 "ADTB-T 표준"이라 지칭됨)과 순응하는 신호들을 가지고 이용가능하다.

몇몇 실시예들에서, 이퀄라이저는 인-페이즈 및 사분주기 데이터와 관련하여 작동한다는 것을 이해해야 한다. 이와 유사하게, 본 명세서의 실시예들 및 도면들은 수신기의 베이스밴드 영역에 자리한 이퀄라이저의 FFE를 나타내는 한편, 수신기의 다른 실시예들은 패스 밴드 또는 IF 영역에 FFE를 배치시킨다. 예시적으로, 몇몇 실시예들에서는, 이퀄라이저의 FFE가 시스템의 동조기 구성요소와 복조기 구성요소 사이에 배치된다.

당업계에서는 본 발명의 구현에 있어서의 변형들이 일어날 것이다. 예시적으로, 신호들의 발생 및 계산들 중 일부 또는 모두는 특정-적용 및/또는 범용의 집적 회로에 의하여 및/또는 별개의 구성요소들에 의하여 및/또는 소프트웨어에서 수행될 수 있다. 본 명세서에서 언급된 모든 발행물, 이전 출원물 및 여타 문서들은 그 각각이 개별적으로 인용 참조되고 전체적으로 나열된 것처럼 그들 모두가 인용 참조되어 있다.

본 발명은 도면 및 상술된 설명부에서 예시되고 상세히 기술되었으나, 그 특징은 예시에 지나지 않으며 제한의 의도는 없다는 것을 고려해야 하며, 단지 바람직한 실시예만이 도시되고 기술되었고, 본 발명의 기술적사상 내에 있는 모든 변형 및 수정들이 보호되어야 한다는 것을 이해해야 한다.

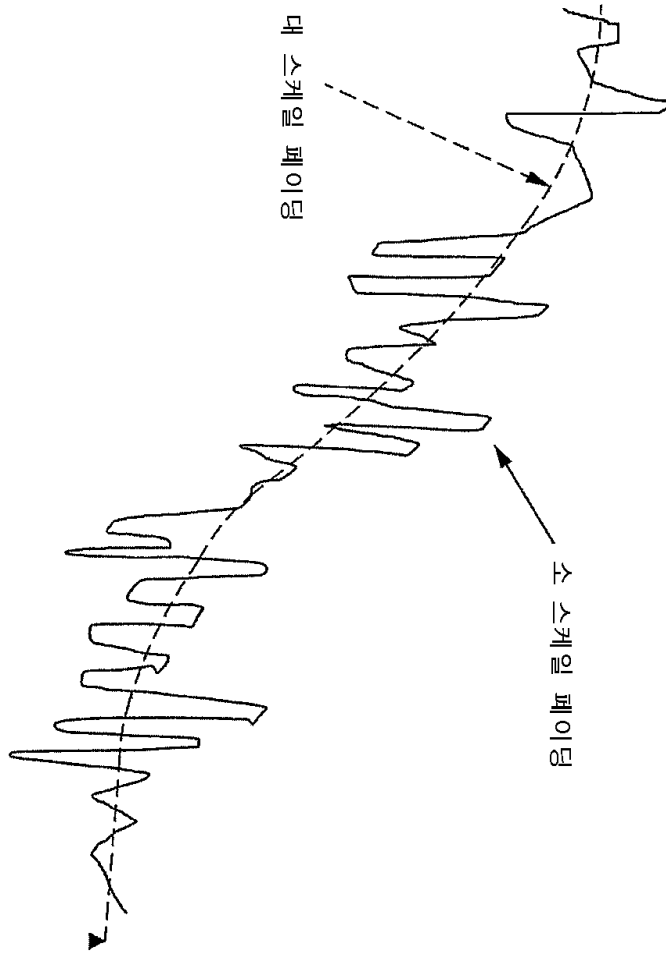
도면의 간단한 설명

- 도 1은 시간에 걸친 소-스케일과 대-스케일 페이딩 간의 관계를 나타낸 그래프;
- 도 2는 8-VSB 모듈레이팅 오픈 아이 패턴(eight-VSB modulated open eye pattern)을 나타낸 그래프;
- 도 3은 본 발명에 따른 고급 디지털 리시버의 개략적인 블록도;
- 도 4는 데이터 세그먼트 및 프레임 싱크 구조를 나타내는 ATSC 베이스밴드 프레임 코더 세그먼트의 다이어그램;
- 도 5는 도 3의 고급 디지털 수신기에서 사용하기 위한 이퀄라이저의 일 실시예의 개략도;
- 도 6은 세그먼트 싱크 기반 CDEU(channel delay estimation unit)의 일 실시예의 블록도;
- 도 7은 전송 채널에서 검출되는 고스트들에 대한 가상 중심(virtual center)의 상대적인 위치를 나타내는 다이어그램;
- 도 8은 전송 채널에서 검출되는 고스트들의 상대적인 위치들을 나타내는 다이어그램;
- 도 9는 ATSC 세그먼트 싱크 코릴레이터의 일 실시예의 블록도;
- 도 10은 "리키(leaky)" 인티그레이터의 일 실시예의 블록도;
- 도 11은 센트로이드 추정기(centroid estimator)의 일 실시예의 블록도;
- 도 12는 CDEU의 작동을 예시한 흐름도;
- 도 13은 세그먼트 싱크 기반 CDEU의 또 다른 실시예의 블록도;
- 도 14는 프레임 싱크 기반 CDEU의 일 실시예의 블록도;
- 도 15는 윈도우 함수들에 대한 전송 채널에서의 고스트 신호들의 위치를 나타낸 도;
- 도 16은 CDEU의 추가 실시예의 작동을 예시한 흐름도;
- 도 17은 윈도우 함수들에 대한 전송 채널에서의 고스트 신호들의 위치를 나타낸 도;
- 도 18은 프레임 싱크 기반 CDEU의 또 다른 실시예의 블록도;
- 도 19a-19d는 가상 채널, FFE 출력(Zout)과 FFE 및 DFE 탭들의 가상 중심과 계수들 간의 관계를 나타낸 도;
- 도 20a 및 20b는 가상 채널, FFE 출력(Zout)과 FFE 및 DFE 탭들 간의 관계를 나타내는 도;
- 도 21은 고정된 중심 탭이 없는 오버래핑된 이퀄라이저 구조체 또는 이퀄라이저를 디벨로핑하기 위한 도 3의 시스템(20)의 작동을 예시하고 있는 흐름도;
- 도 22는 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 23은 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 24는 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 25는 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;

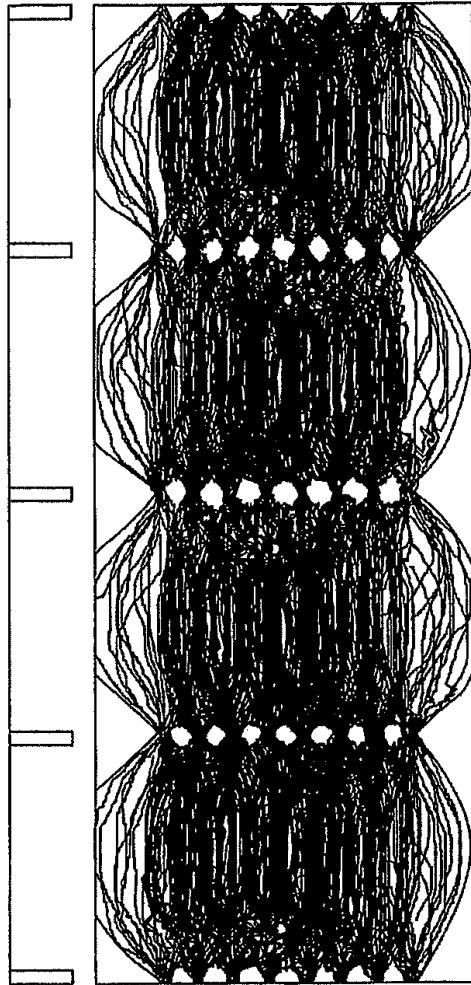
- 도 26은 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 27은 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 28은 위상 트랙커를 갖는 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 29는 오버래핑된 이퀄라이저를 채용한 동조 및 복조 피드백 시스템의 일 실시예의 블록도;
- 도 30은 오버래핑된 이퀄라이저의 최적화 프로세스와 동조 및 복조 제어 피드백 루프들을 제어하기 위한, 도 29의 시스템 (900)의 또 다른 실시예의 작업을 예시하고 있는 흐름도;
- 도 31은 오버래핑된 이퀄라이저를 채용한 동조 및 복조 피드백 시스템의 추가 실시예의 블록도;
- 도 32는 조합된 복조 및 동조 피드백 루프 내의 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 33은 조합된 복조 및 동조 피드백 루프 내의 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 34는 조합된 복조 및 동조 피드백 루프 내의 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 35는 조합된 복조 및 동조 피드백 루프 내의 오버래핑된 이퀄라이저의 일 실시예의 블록도;
- 도 36a 및 36b는 타이밍 오프셋 포스트 필터 및 캐리어 오프셋 포스트 필터의 각각의 질적 특성들(qualitative characteristics)을 나타내는 도;
- 도 37은 디지털 수신기 시스템에서 VCXO를 제어하기 위한 필드/프레임 싱크 상관 지향 제어 시스템(field/frame sync correlation directed control system)의 일 실시예의 블록도;
- 도 38a-38c는 채널에서의 고스트 신호들의 위치에 대한 상관 가중 함수(correlation weighting function)의 관계를 나타낸 도;
- 도 39는 상관 지향 동조 피드백 시스템의 일 실시예의 블록도;
- 도 40은 상관 지향 동조 피드백 루프 시스템의 일 실시예의 작동을 나타내는 흐름도;
- 도 41은 세그먼트 싱크 기반 상관 지향 제어 신호를 생성하는 시스템의 일 실시예의 블록도;
- 도 42는 세그먼트 싱크 기반 상관 지향 제어 신호를 생성하는 시스템의 일 실시예의 작동을 나타내는 흐름도;
- 도 43은 세그먼트 싱크 기반 상관 지향 캐리어 트래킹 피드백 루프의 일 실시예의 블록도;
- 도 44는 채널 지연 지향 동조 피드백 루프의 일 실시예의 블록도이다.

도면

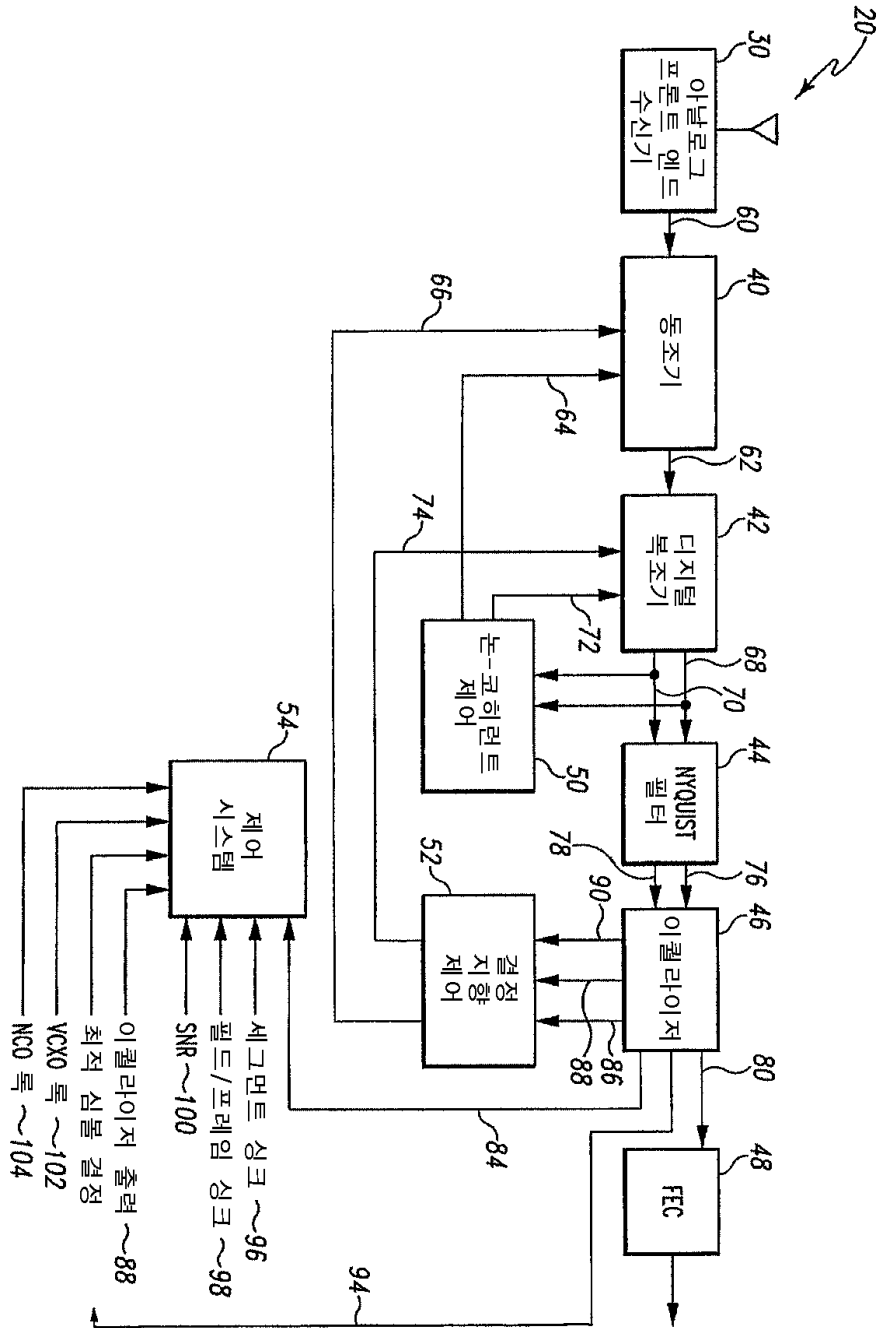
도면1



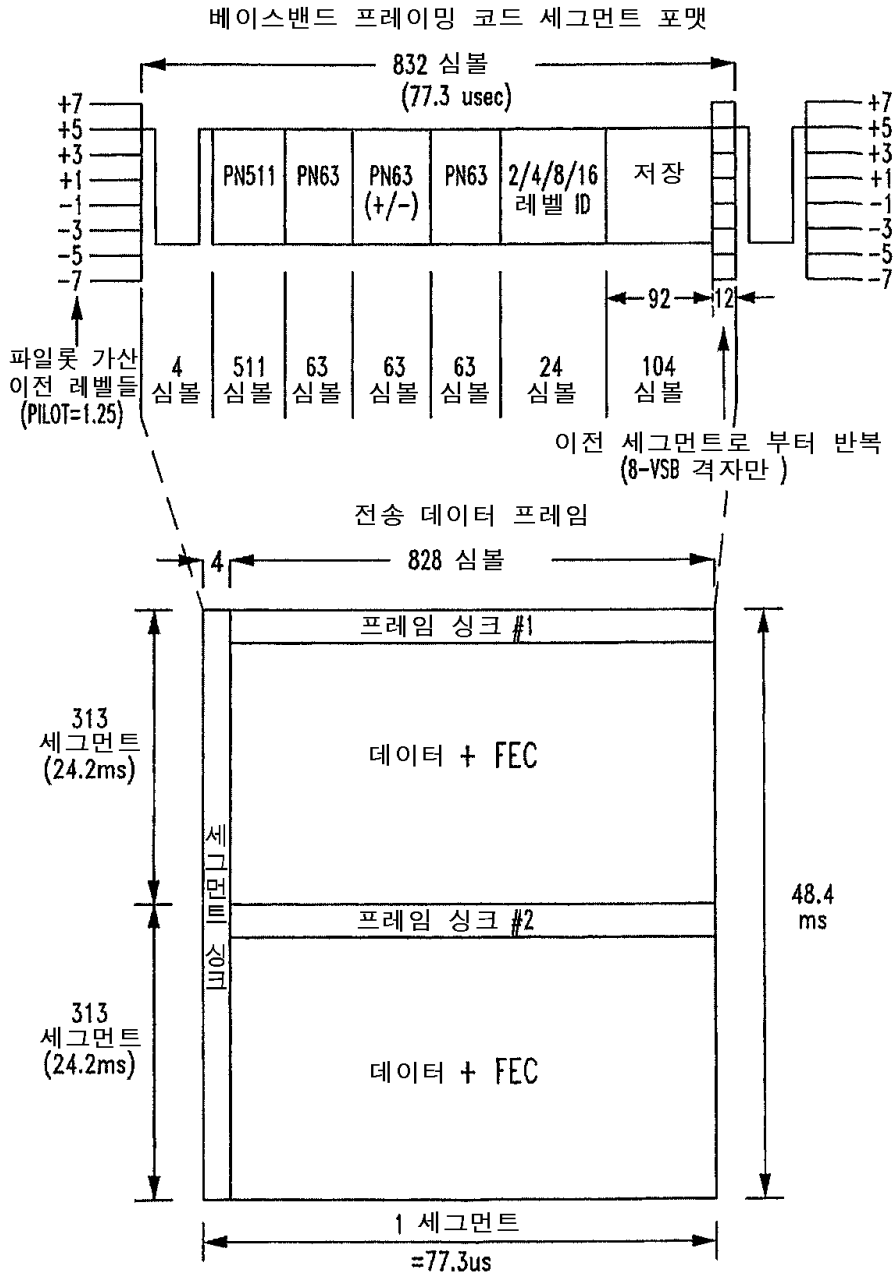
도면2



도면3

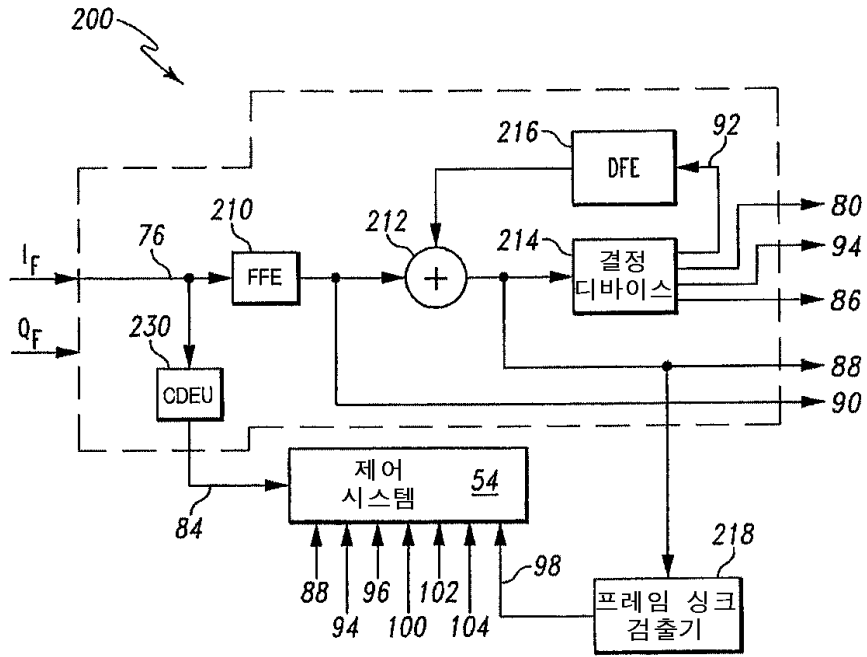


도면4

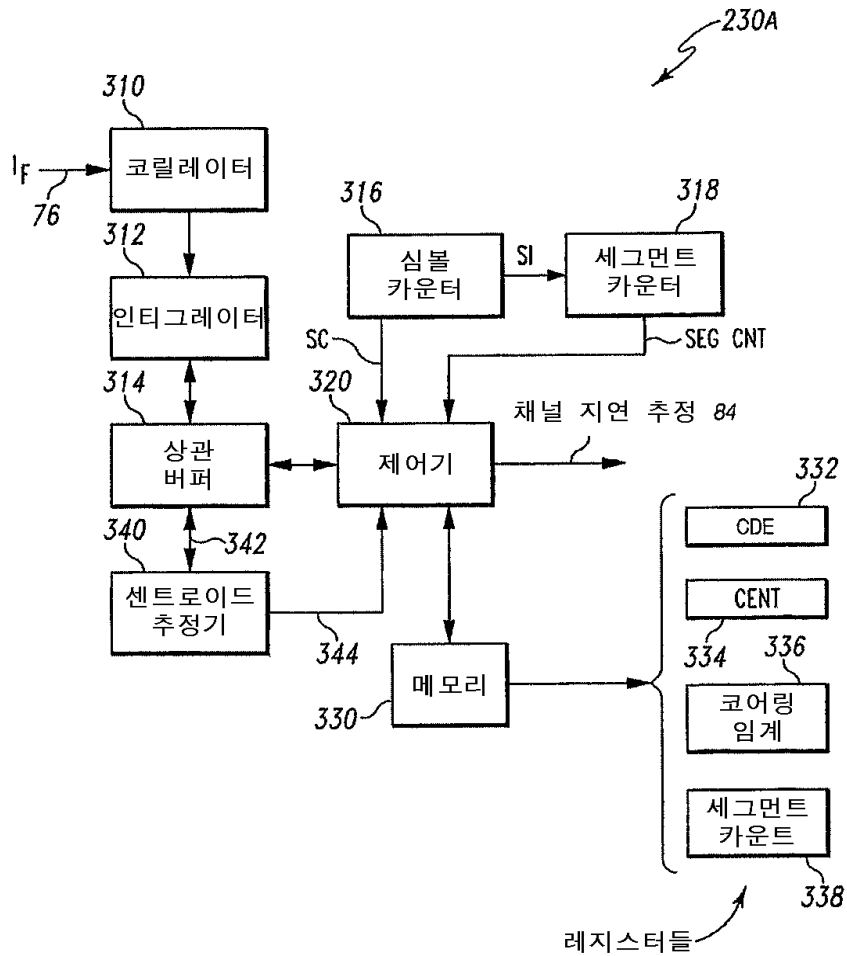


Prior Art

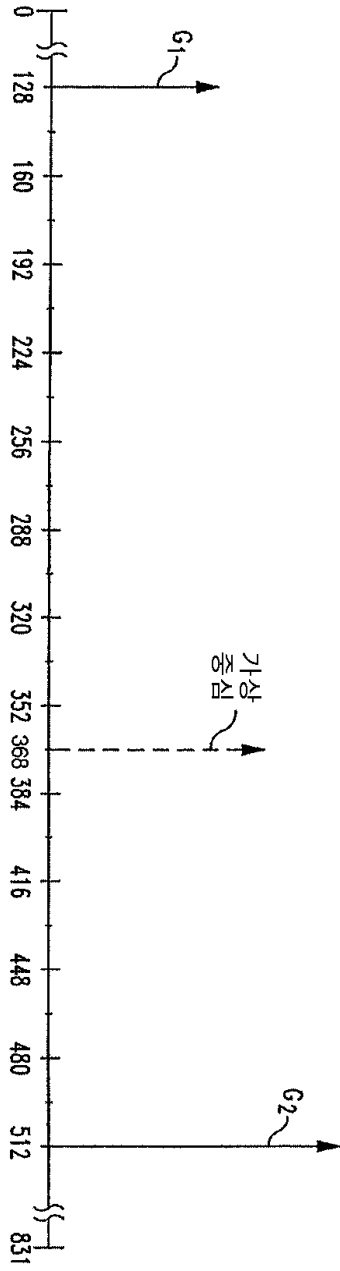
도면5



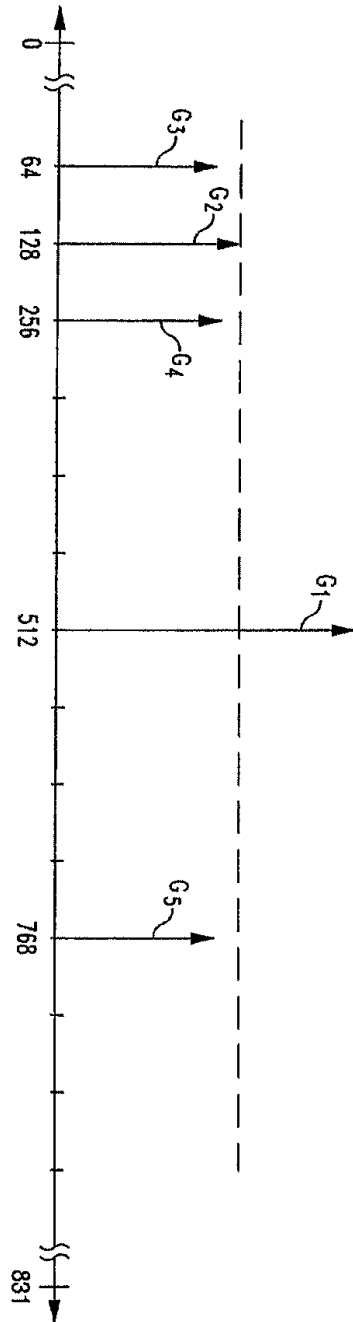
도면6



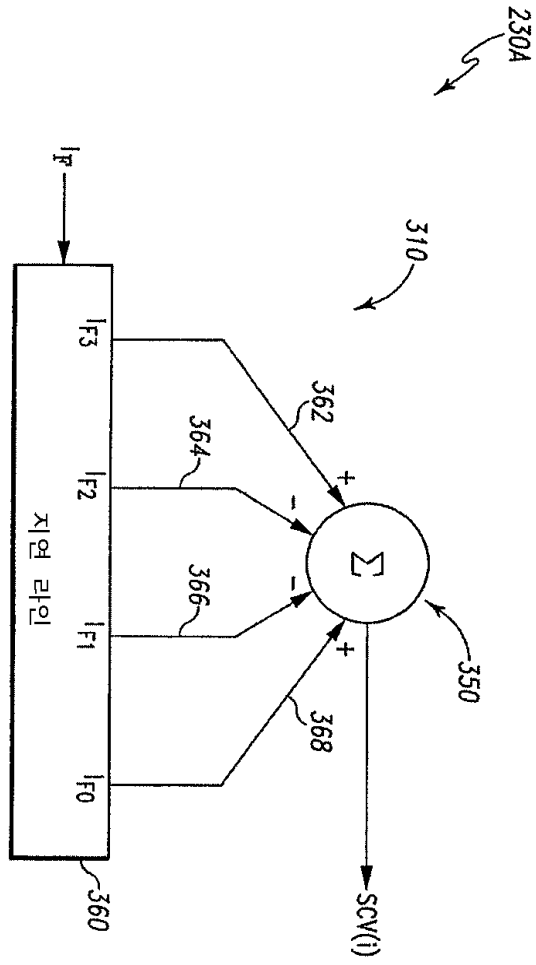
도면7



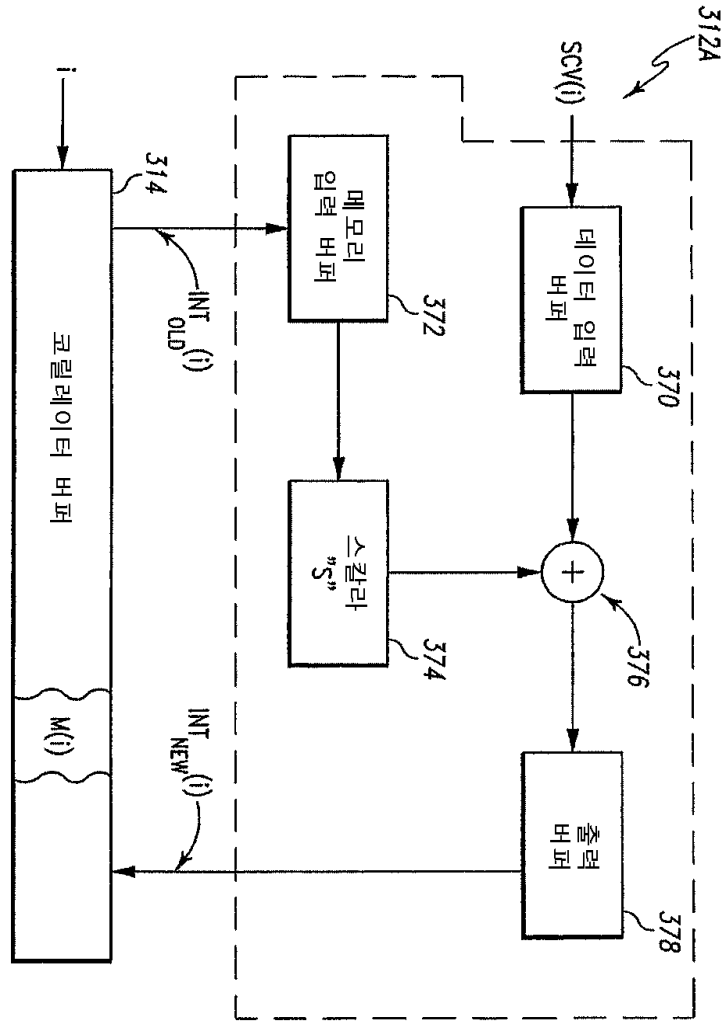
도면8



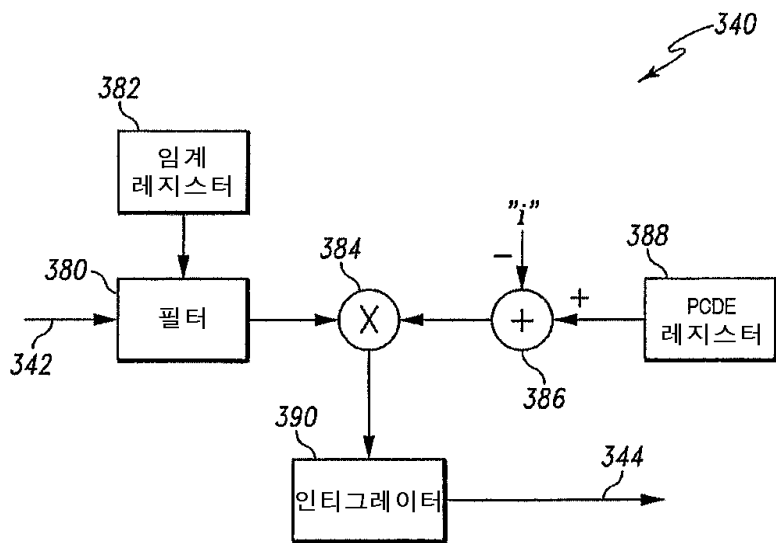
도면9



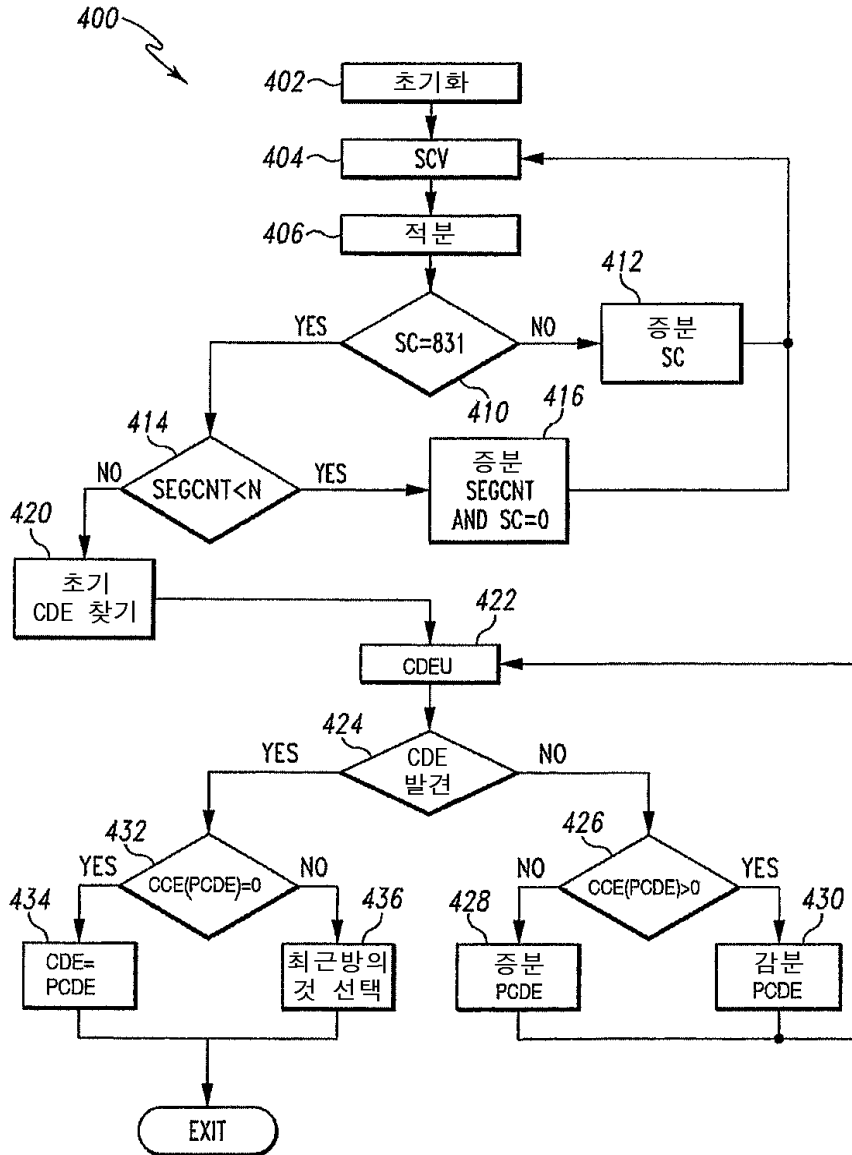
도면10



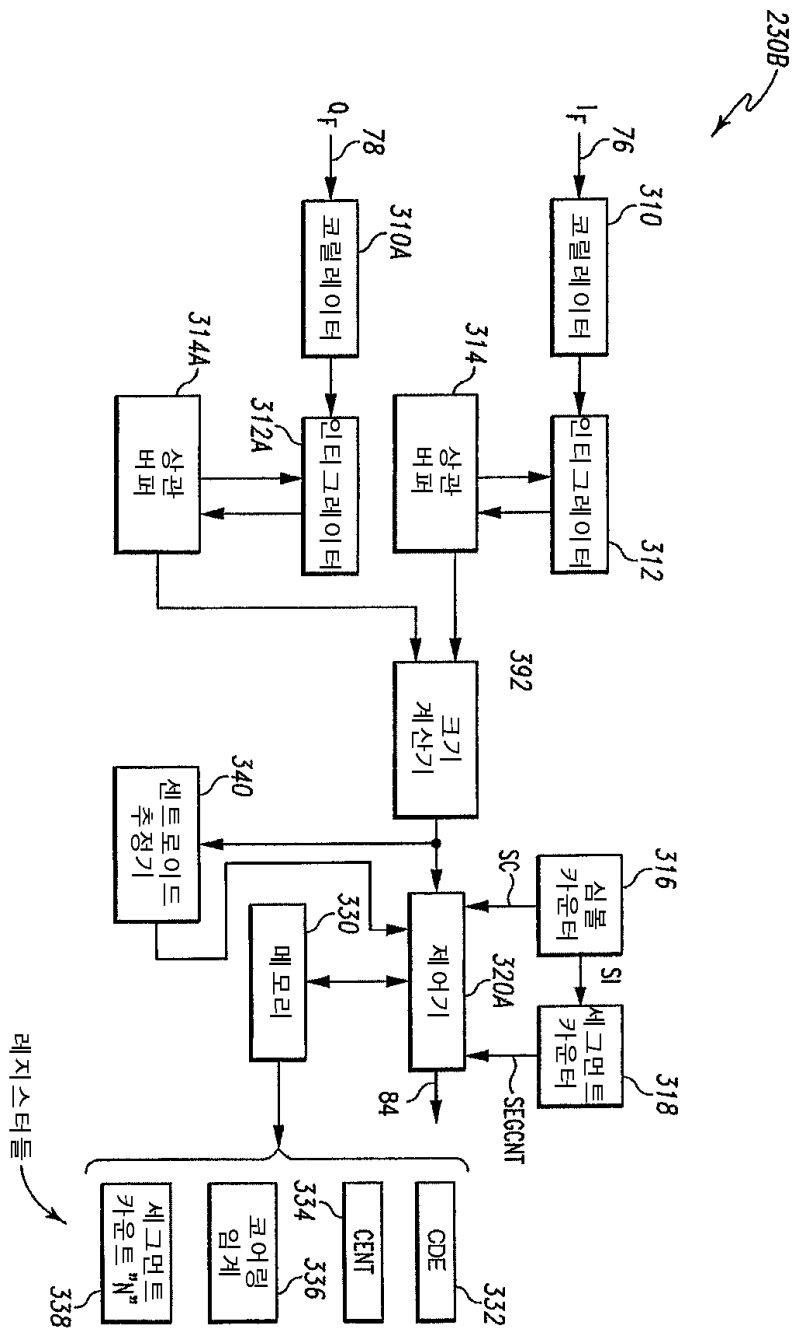
도면11



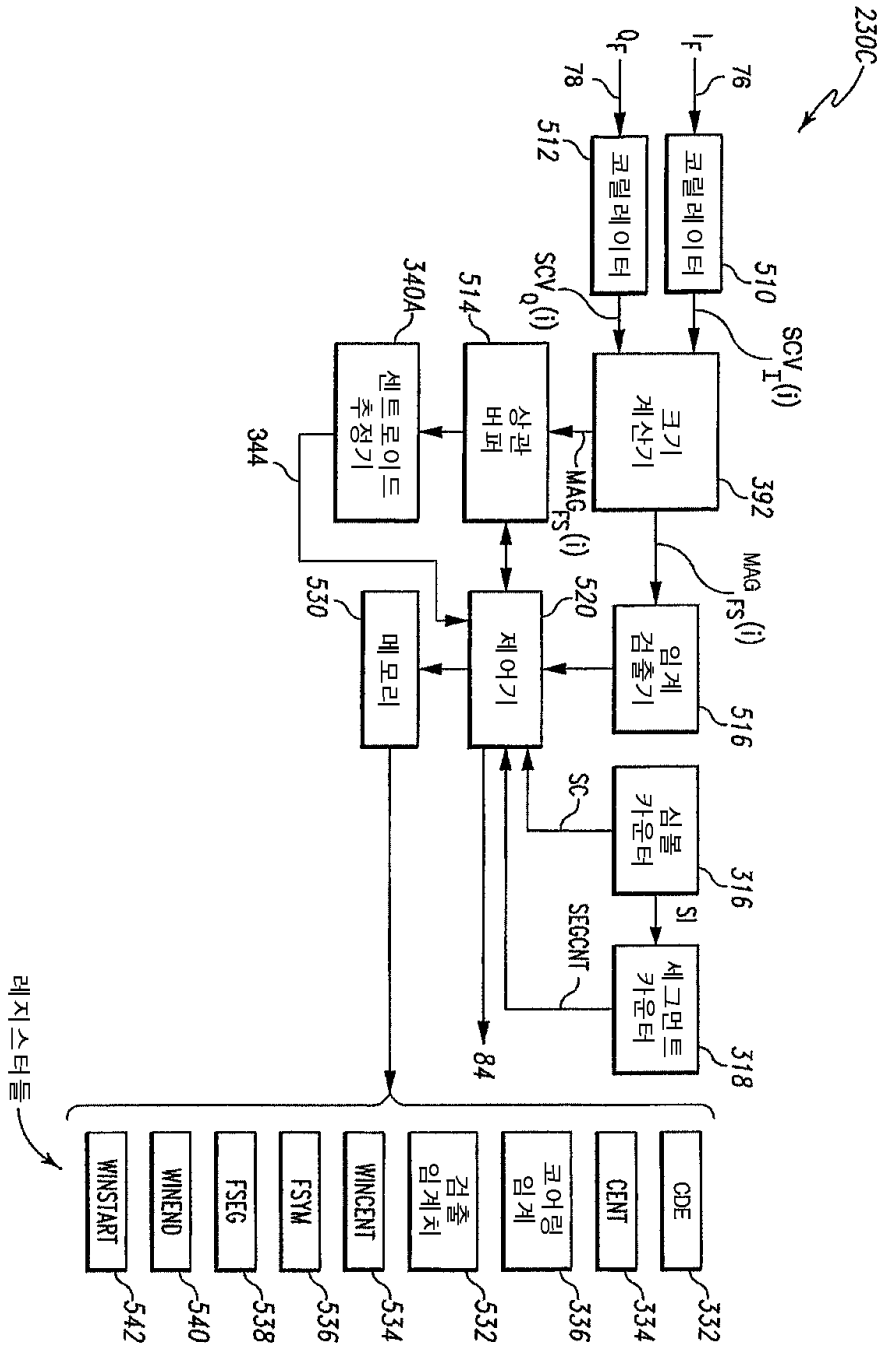
도면12



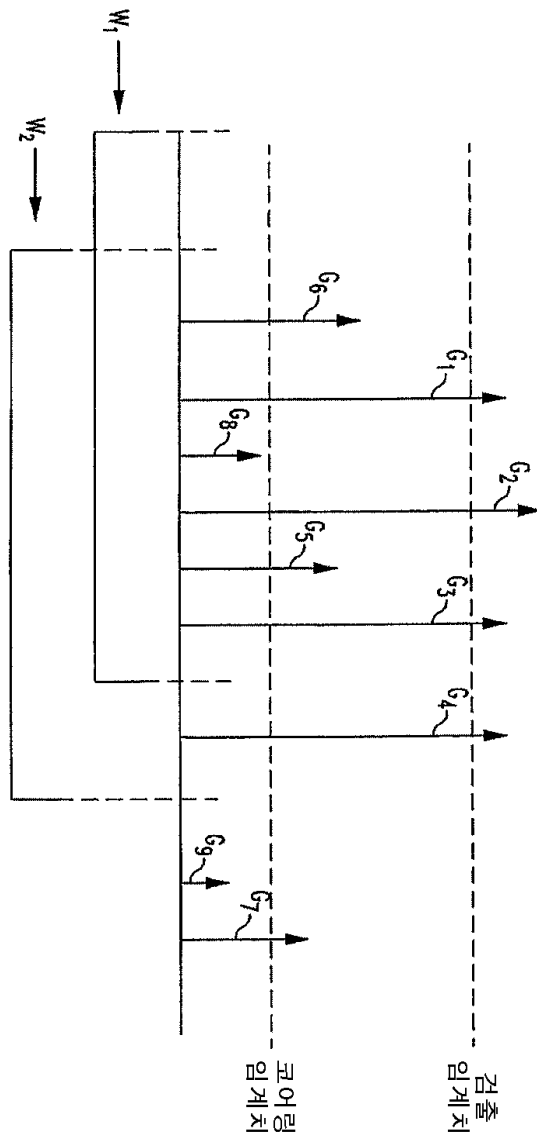
도면13



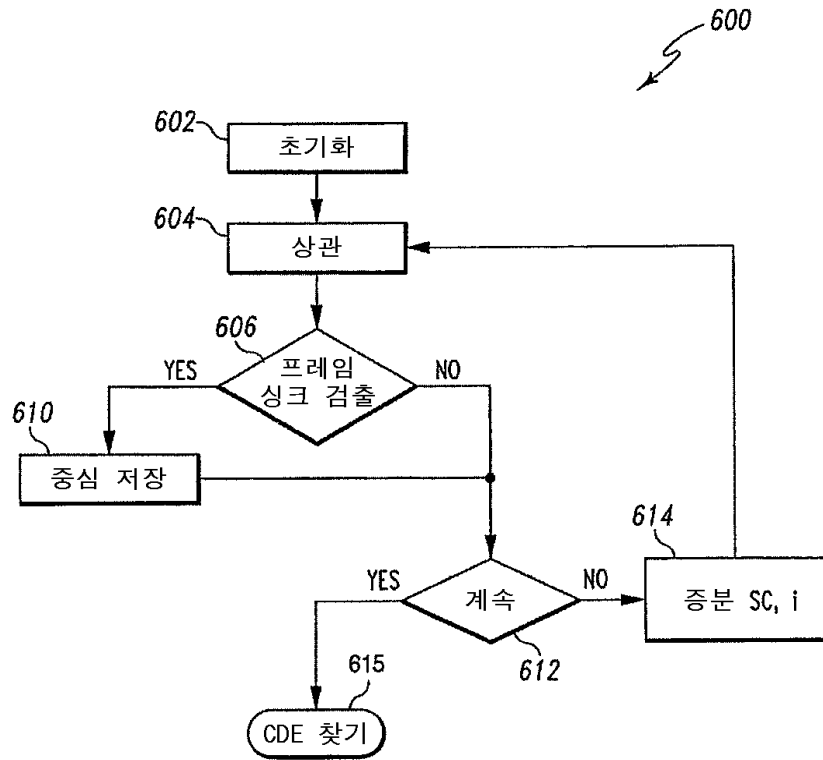
도면14



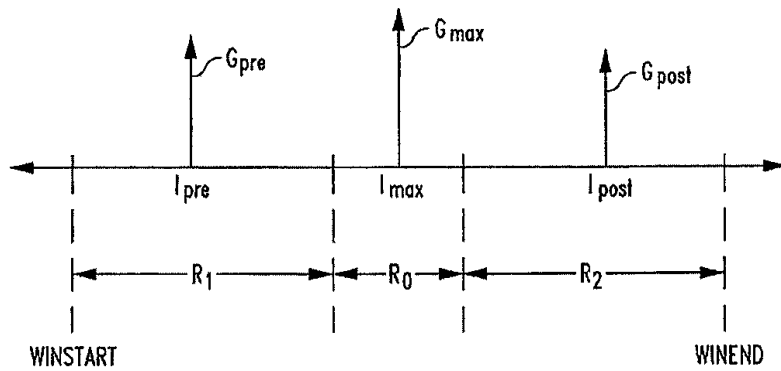
도면15



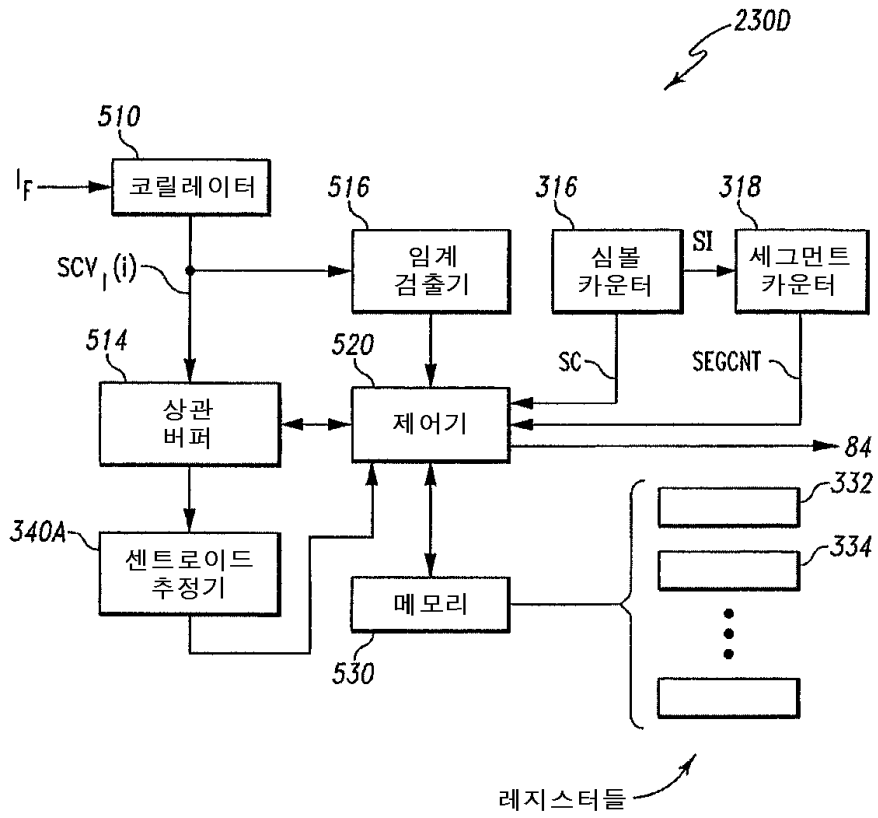
도면16



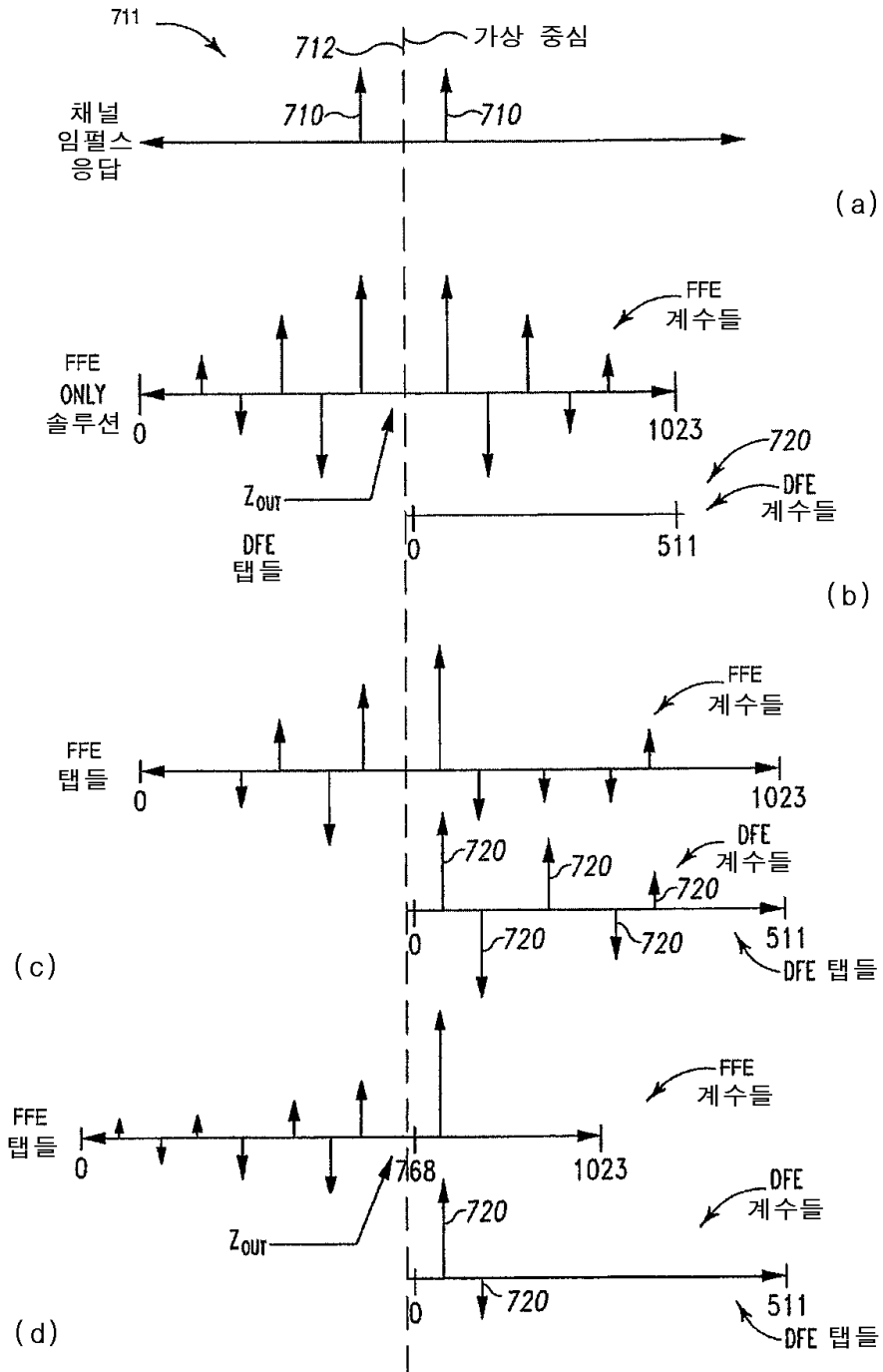
도면17



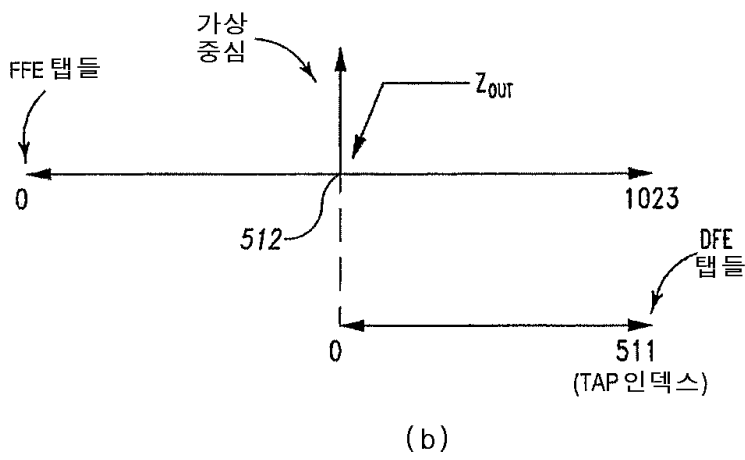
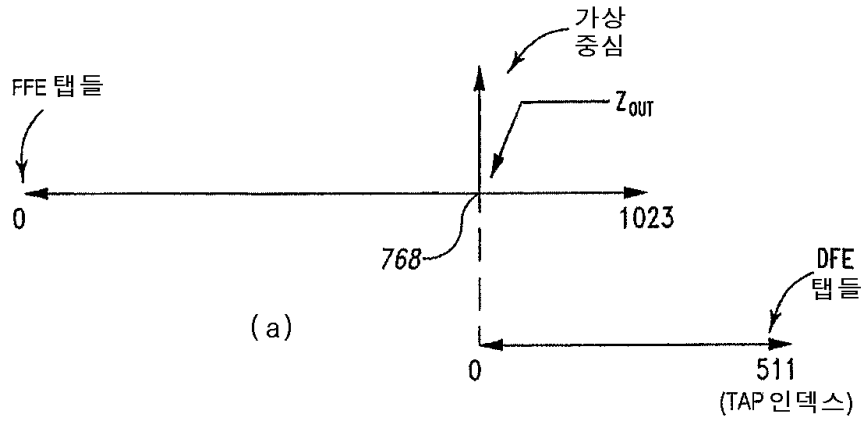
도면18



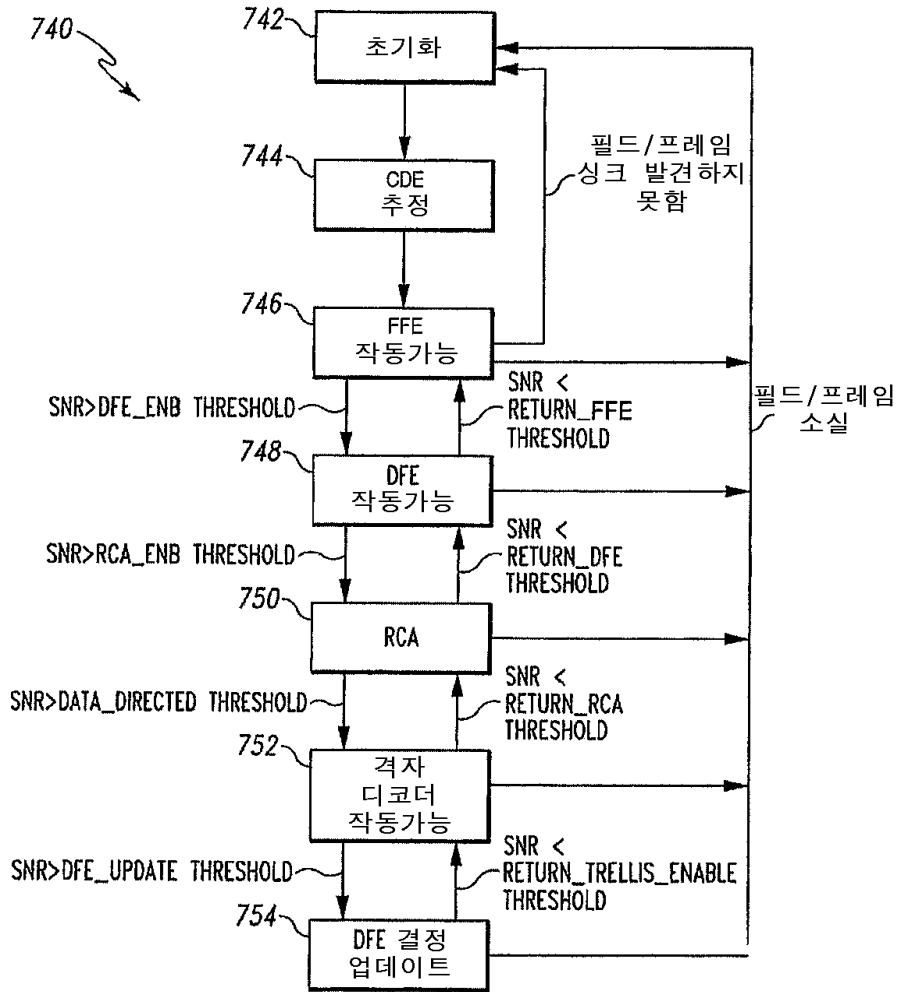
도면19



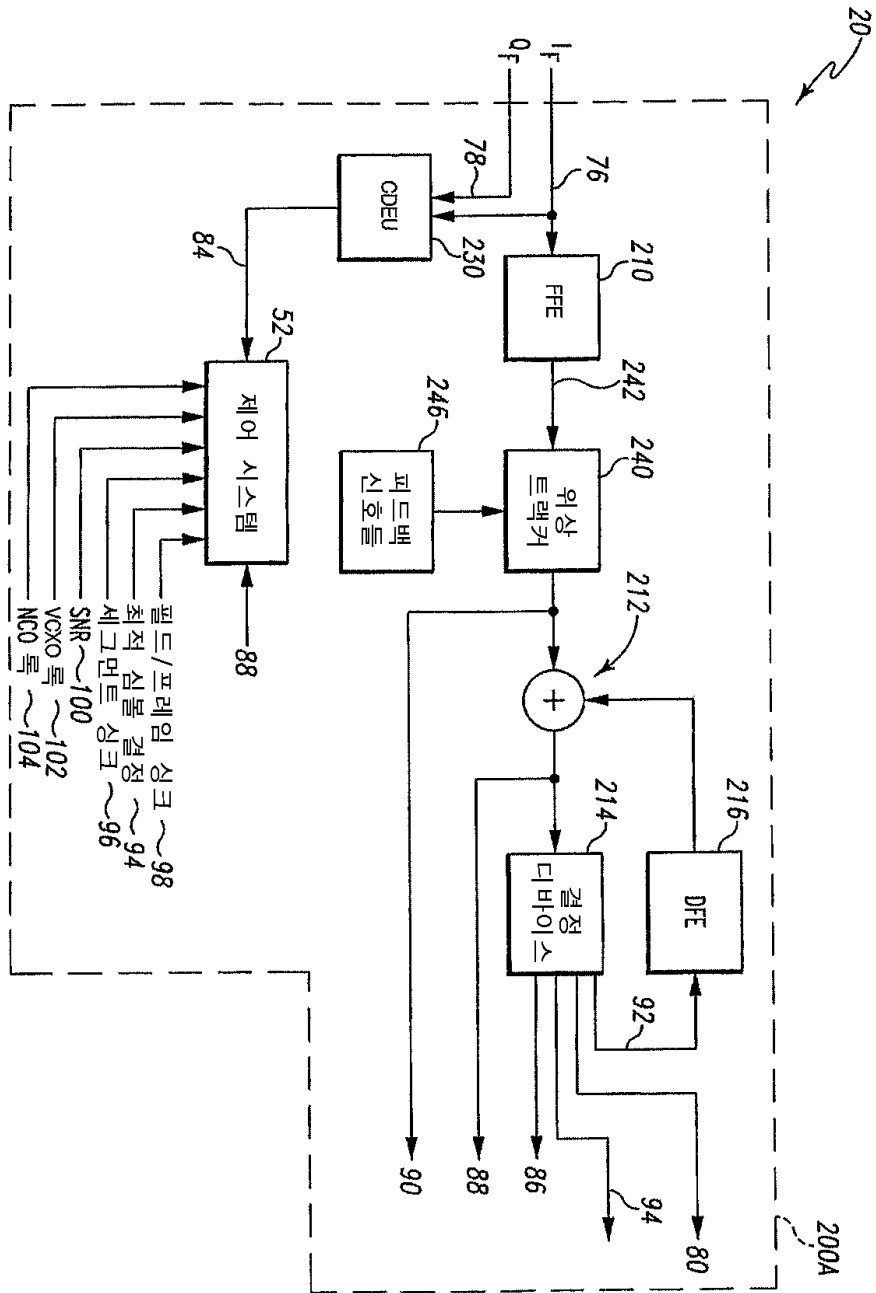
도면20



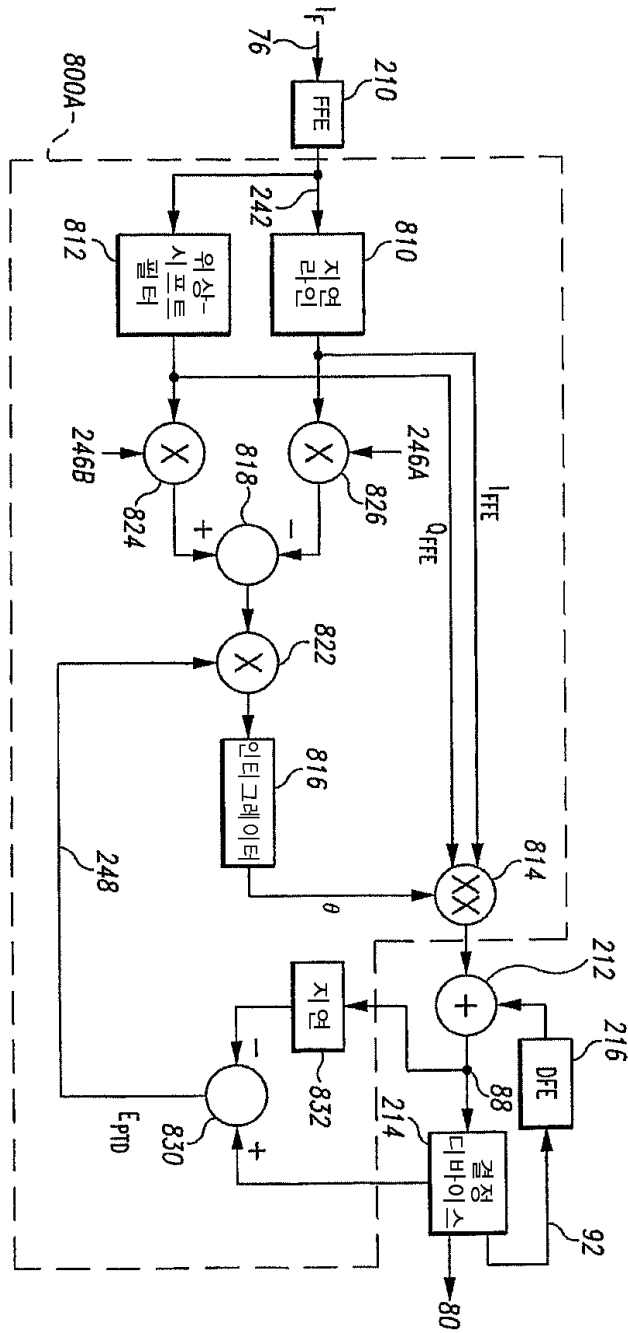
도면21



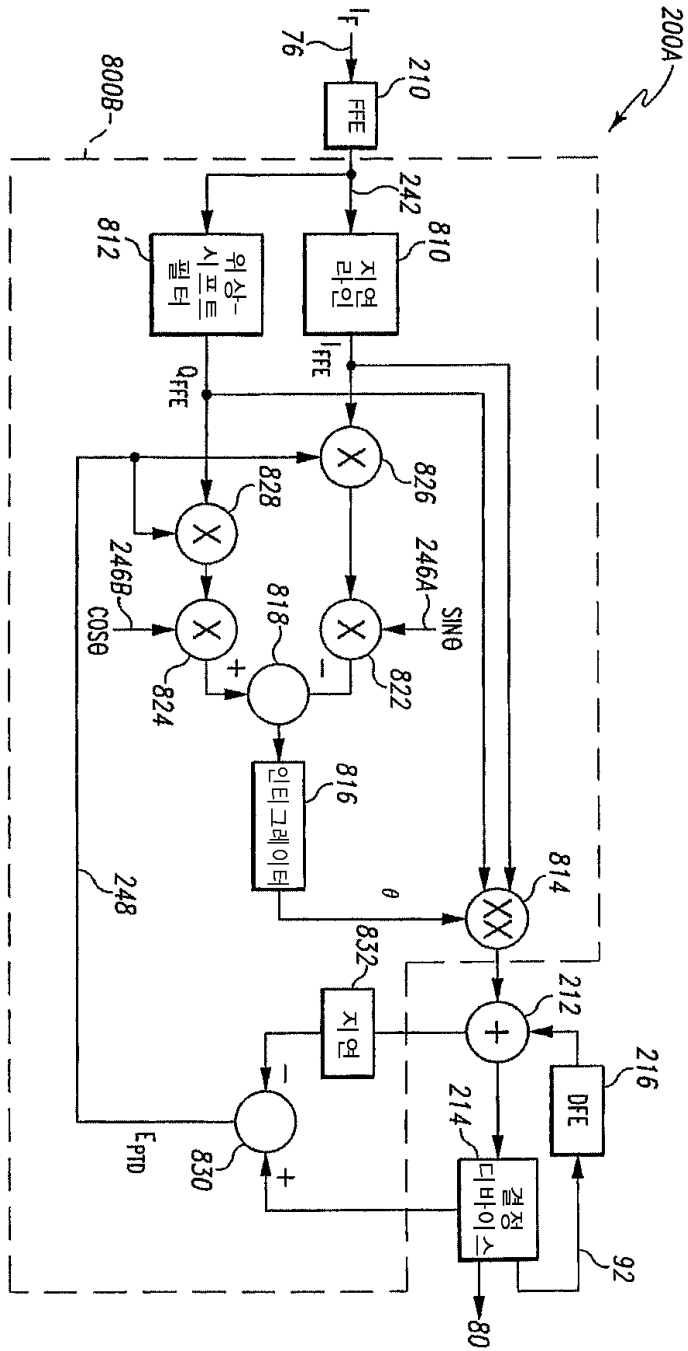
도면22



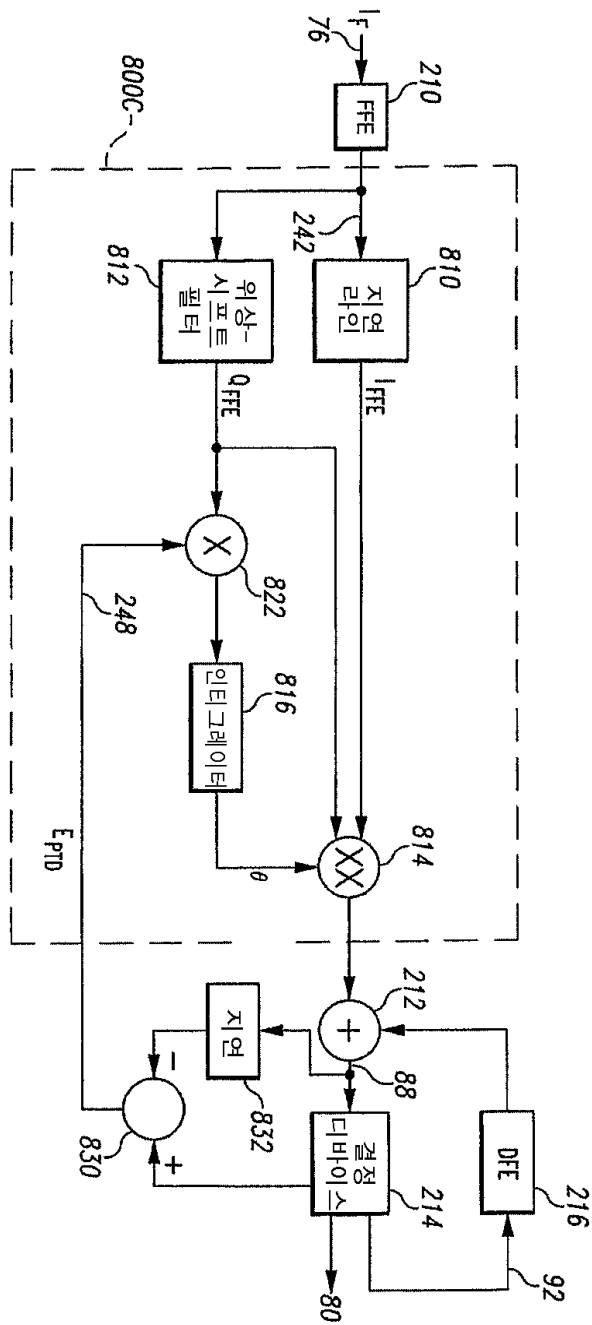
도면23



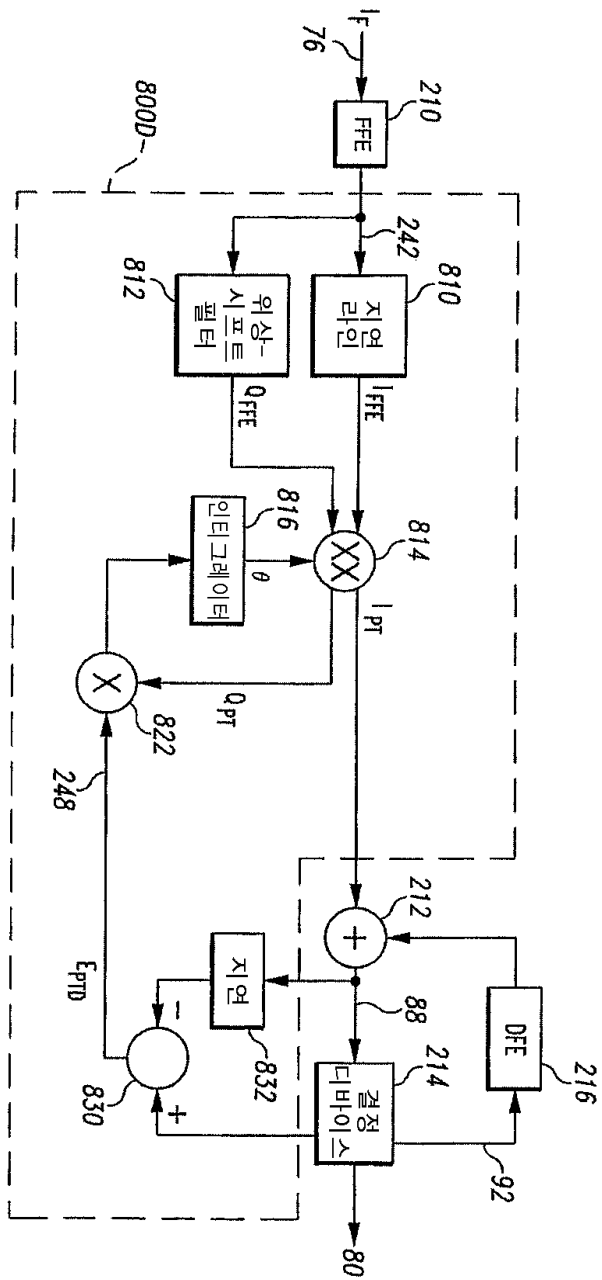
도면24



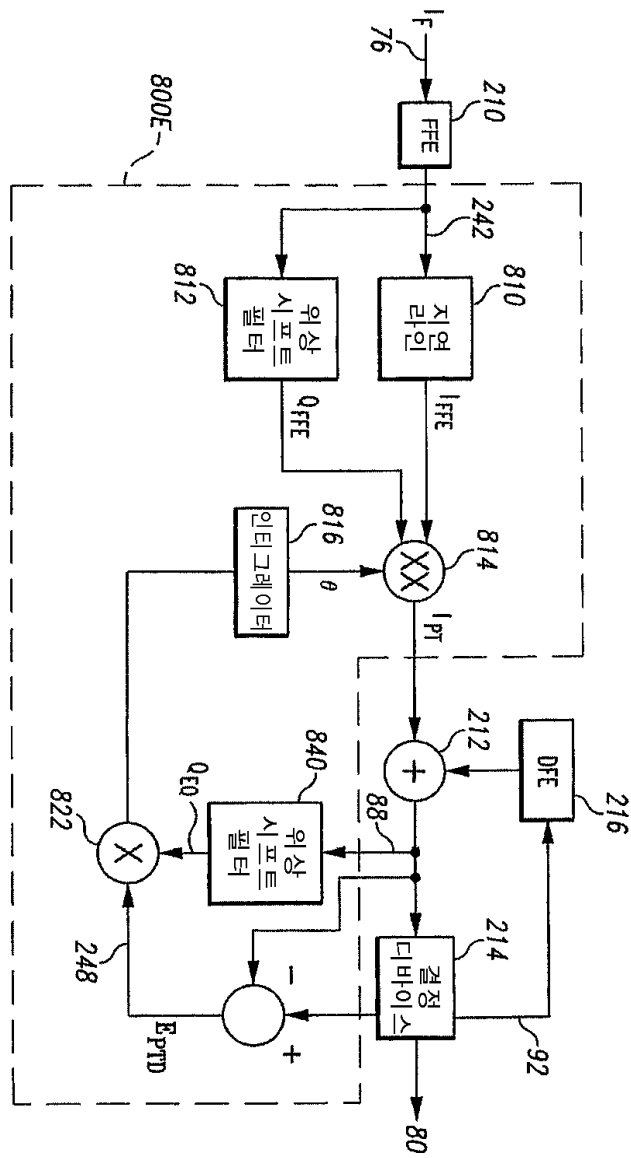
도면25



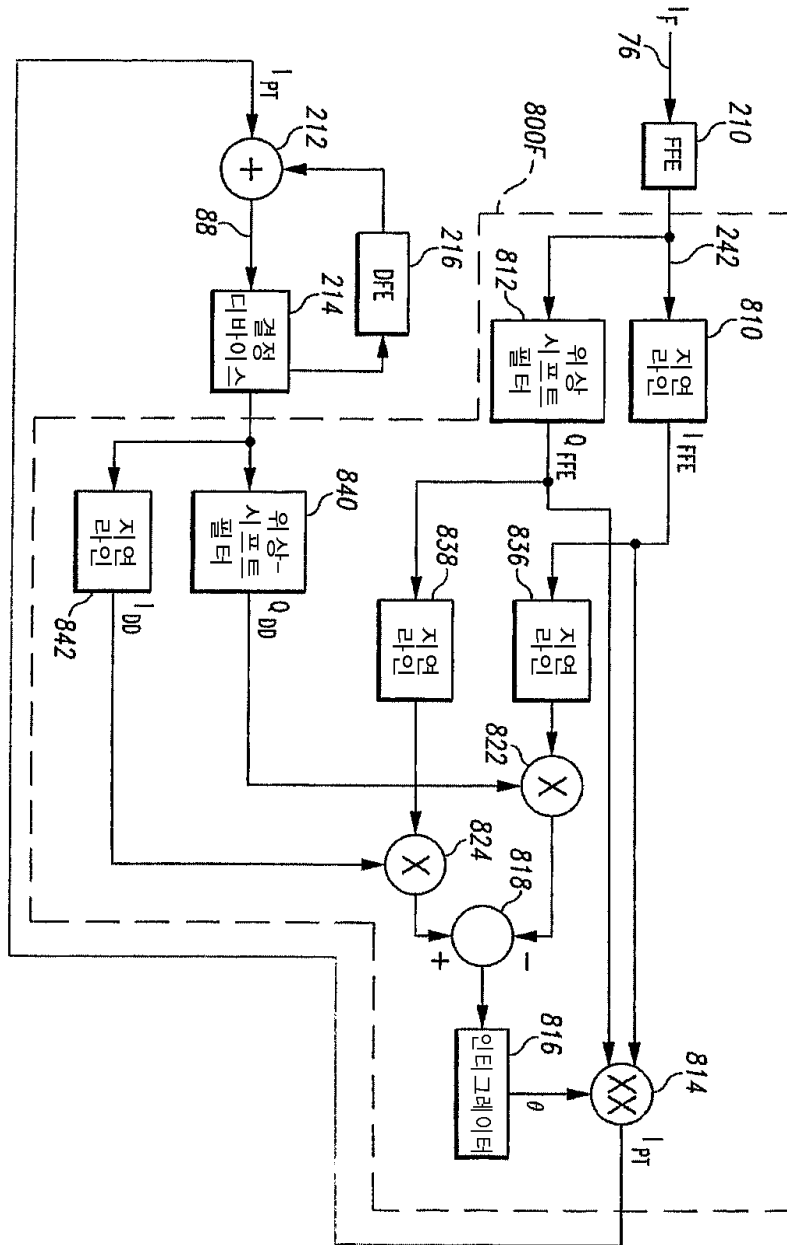
도면26



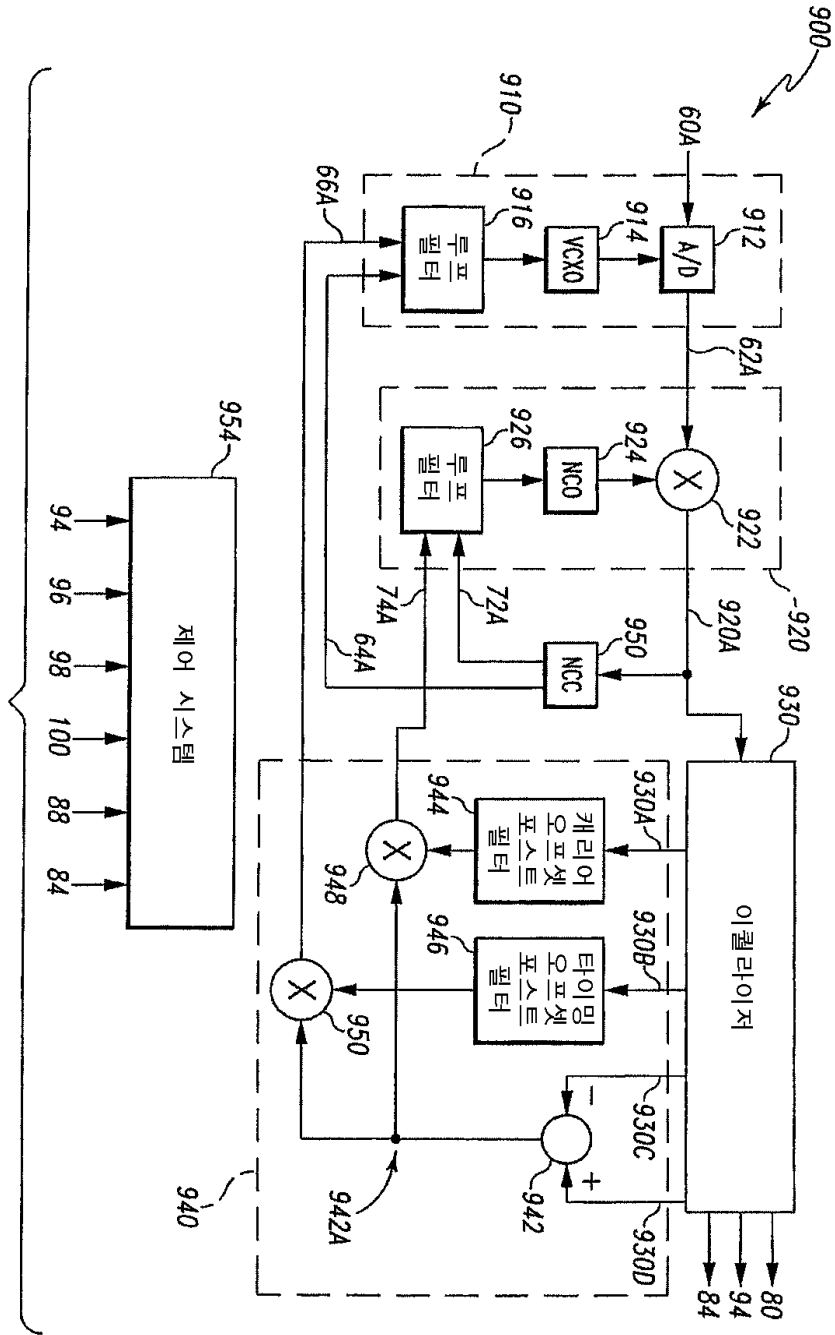
도면27



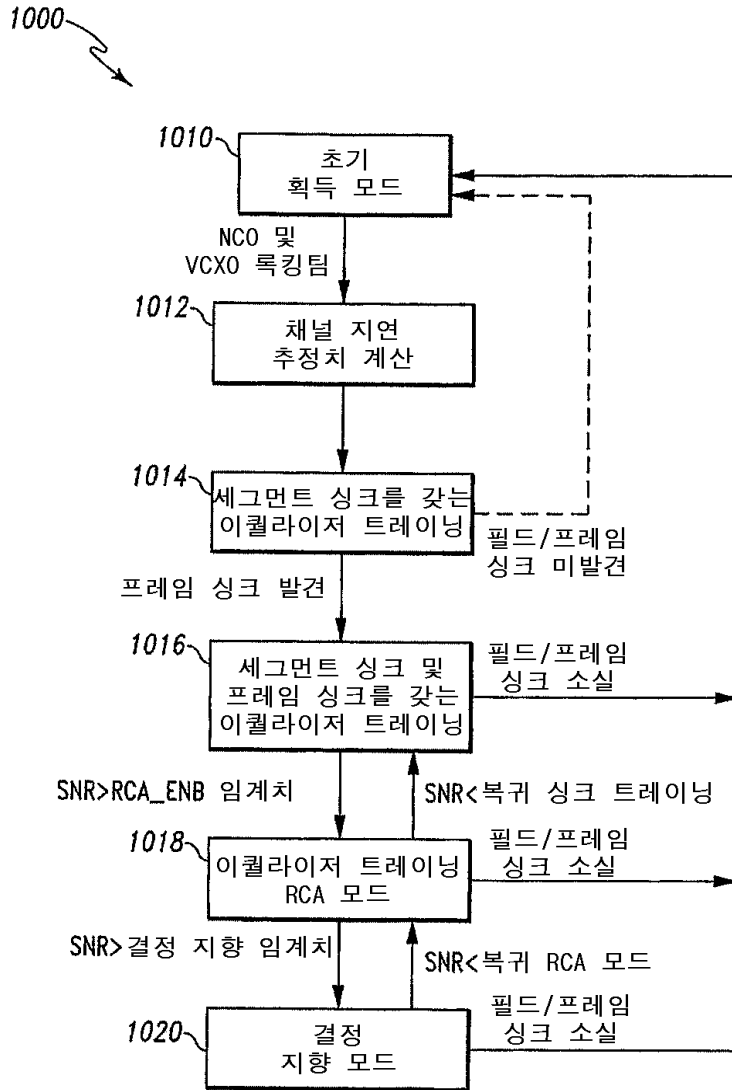
도면28



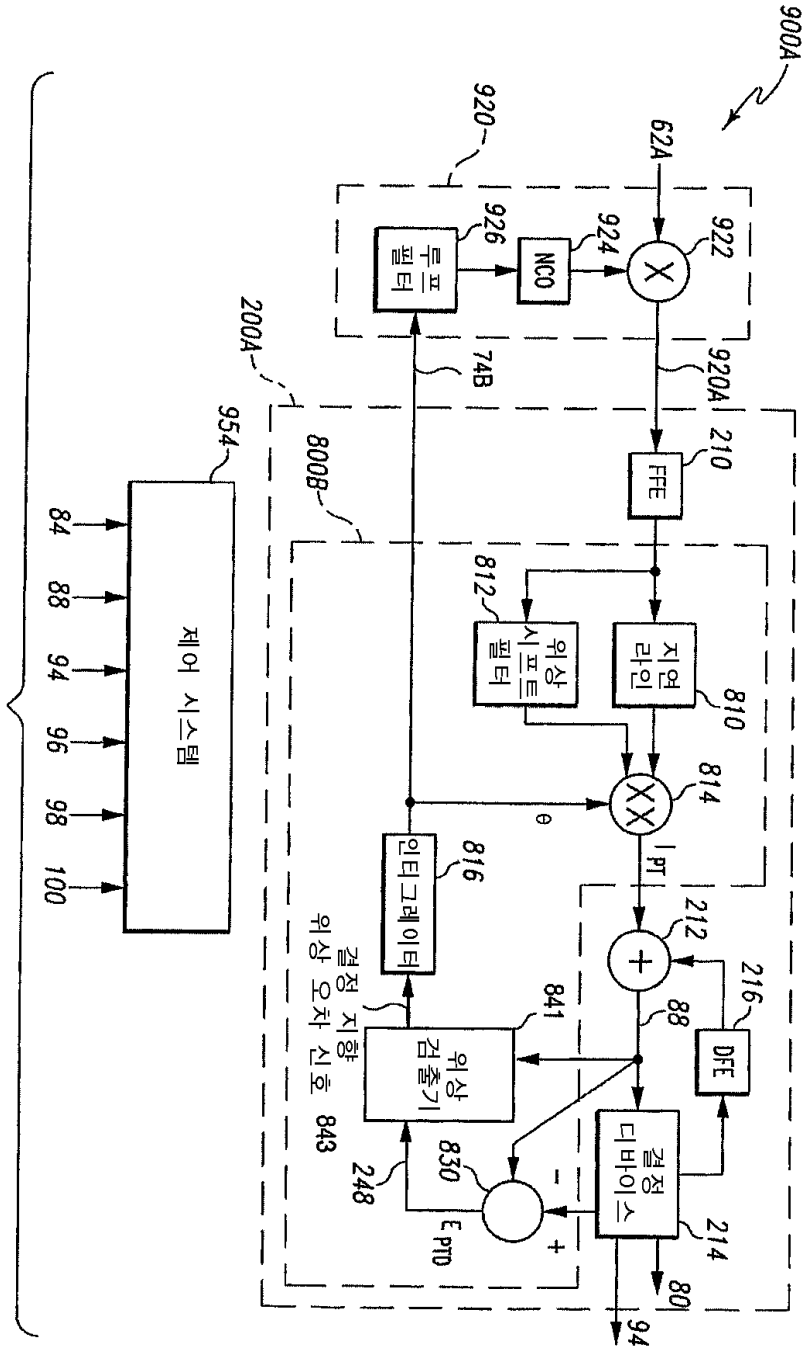
도면29



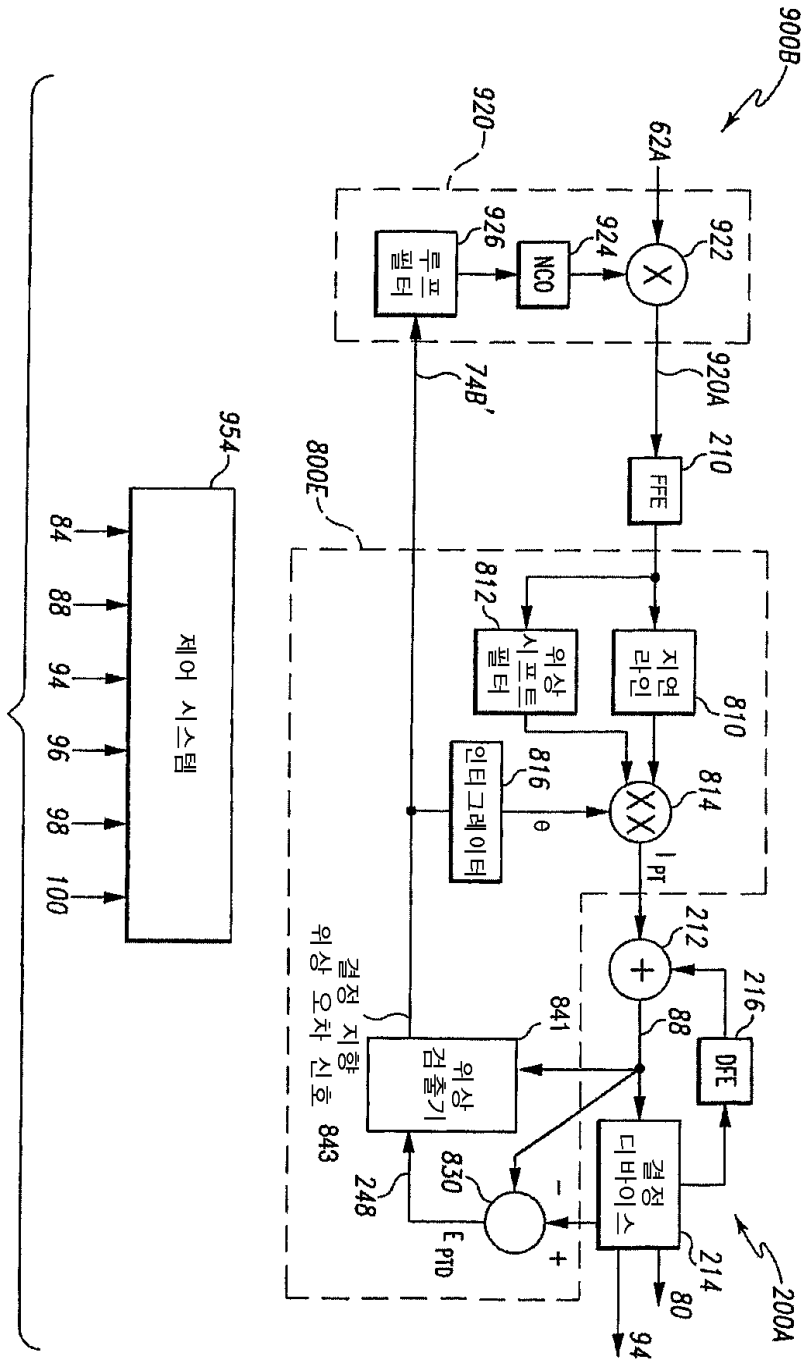
도면30



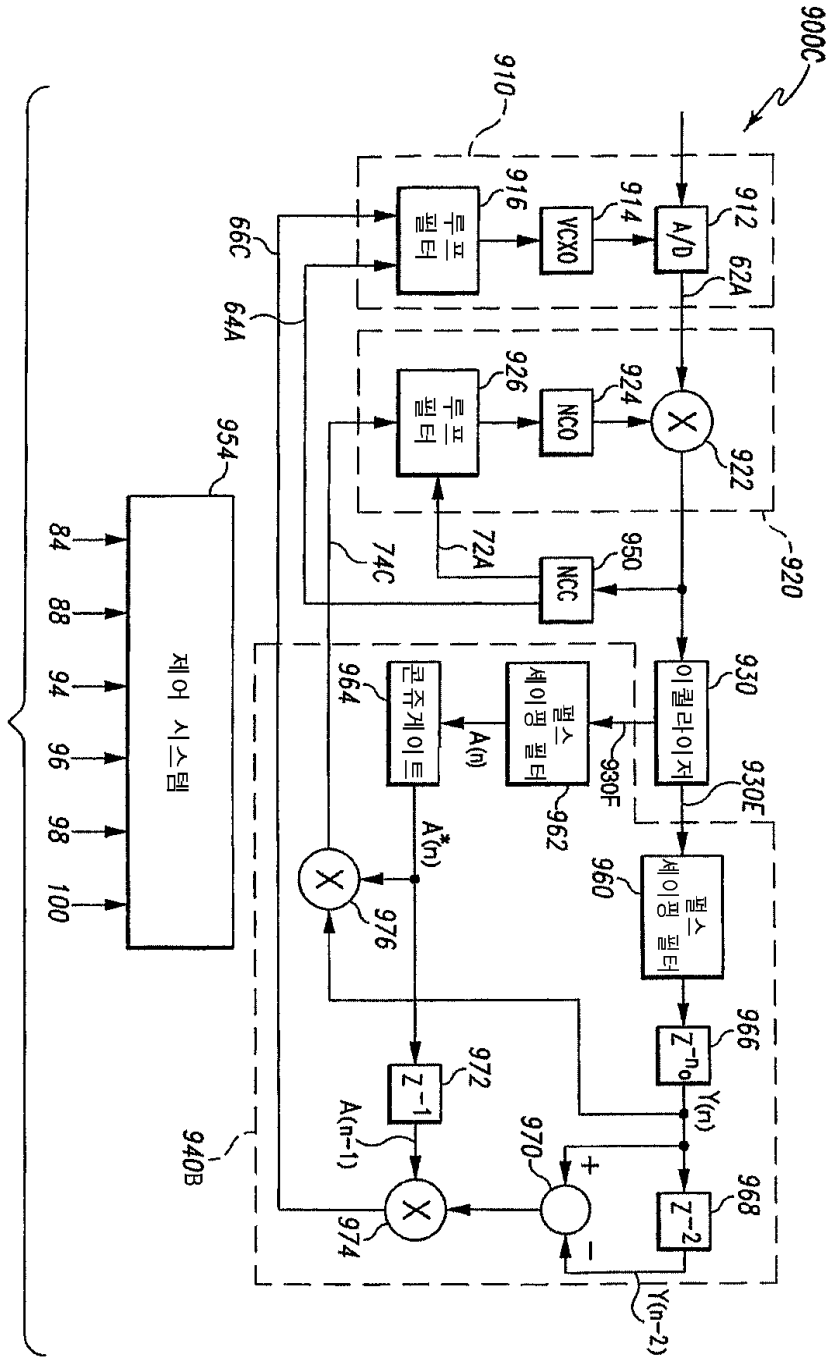
도면31



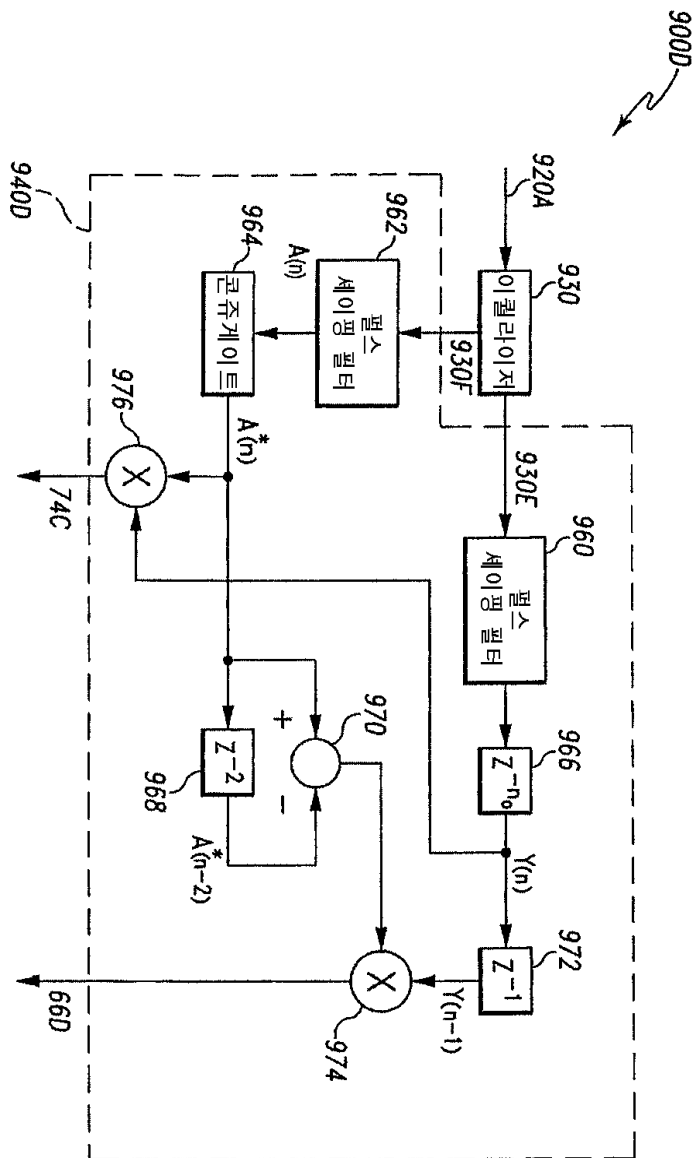
도면32



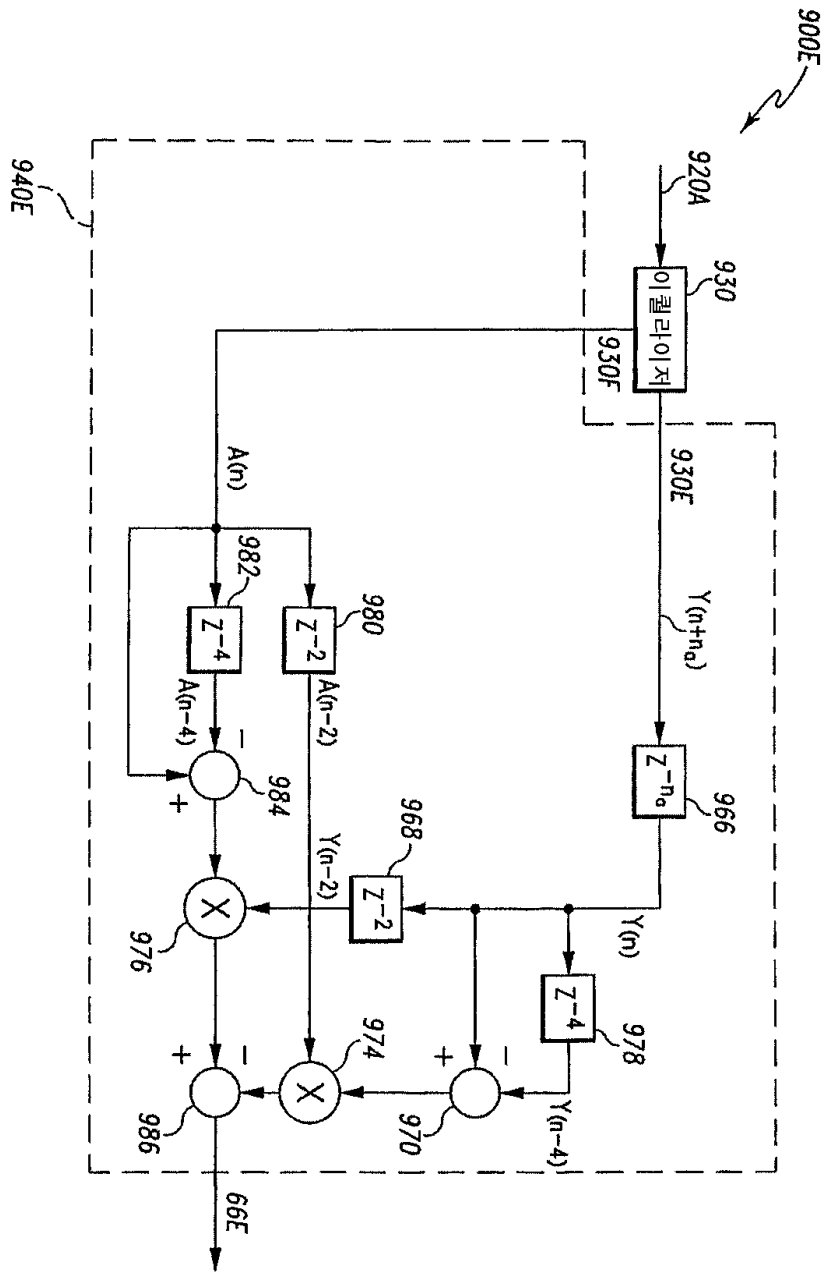
도면33



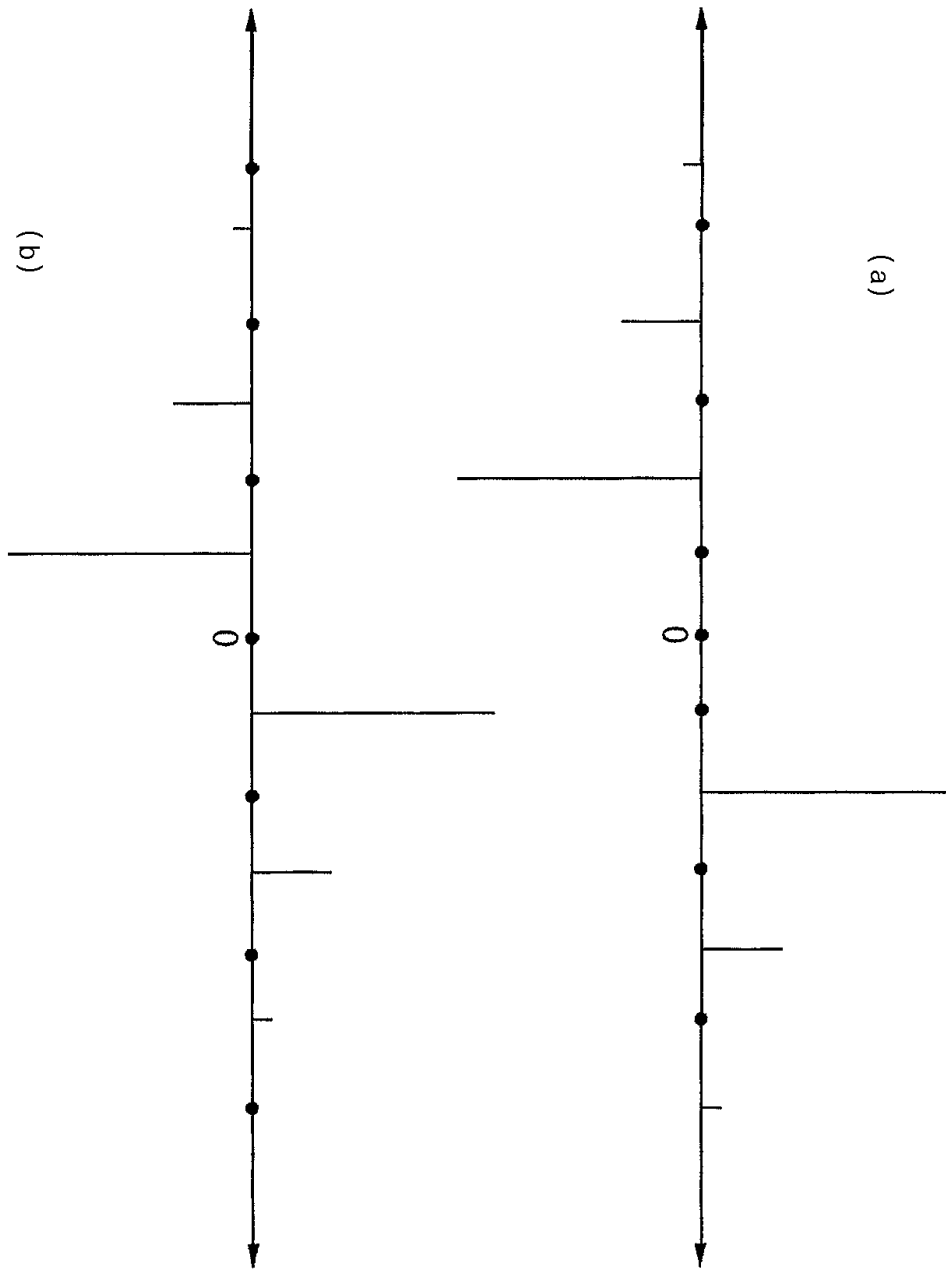
도면34



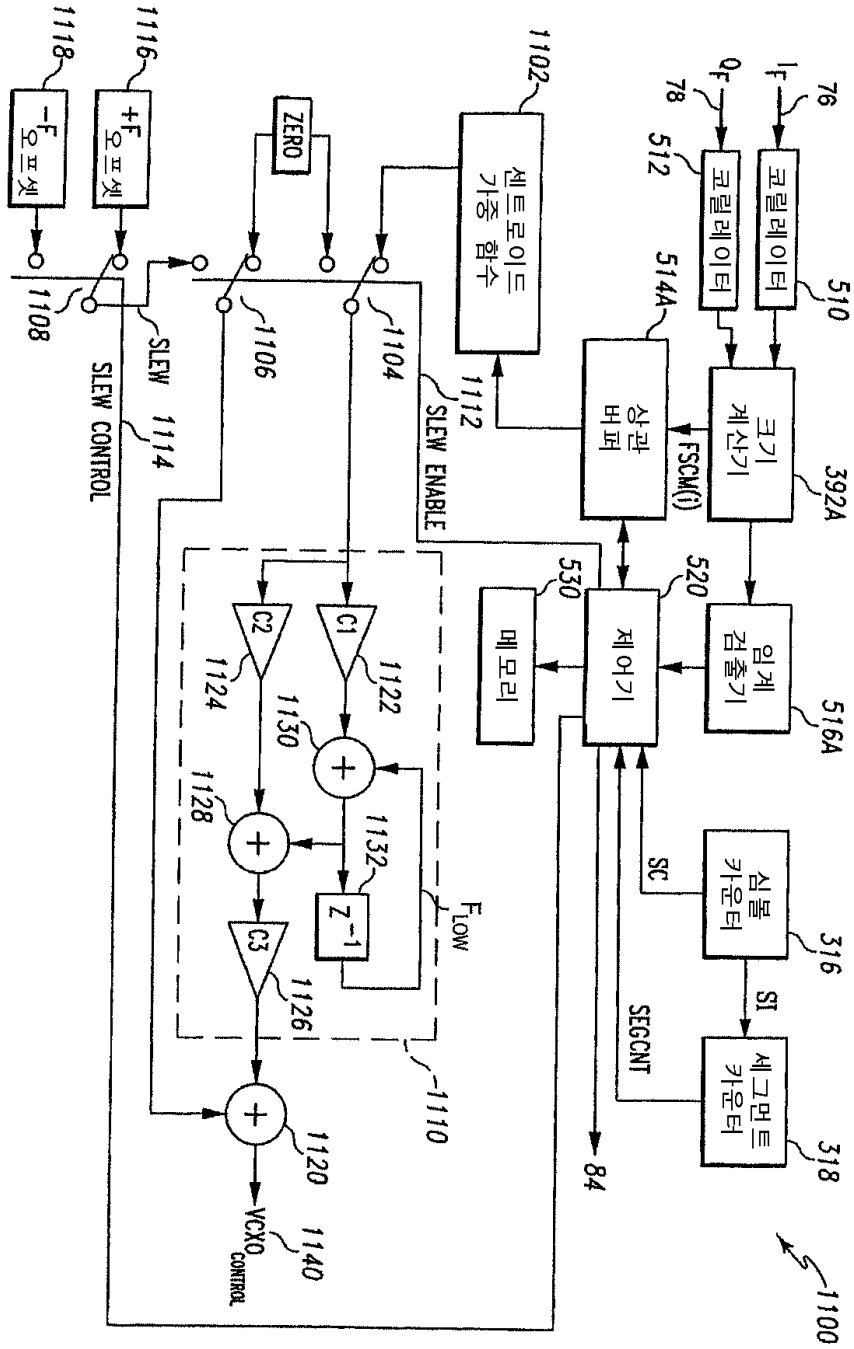
도면35



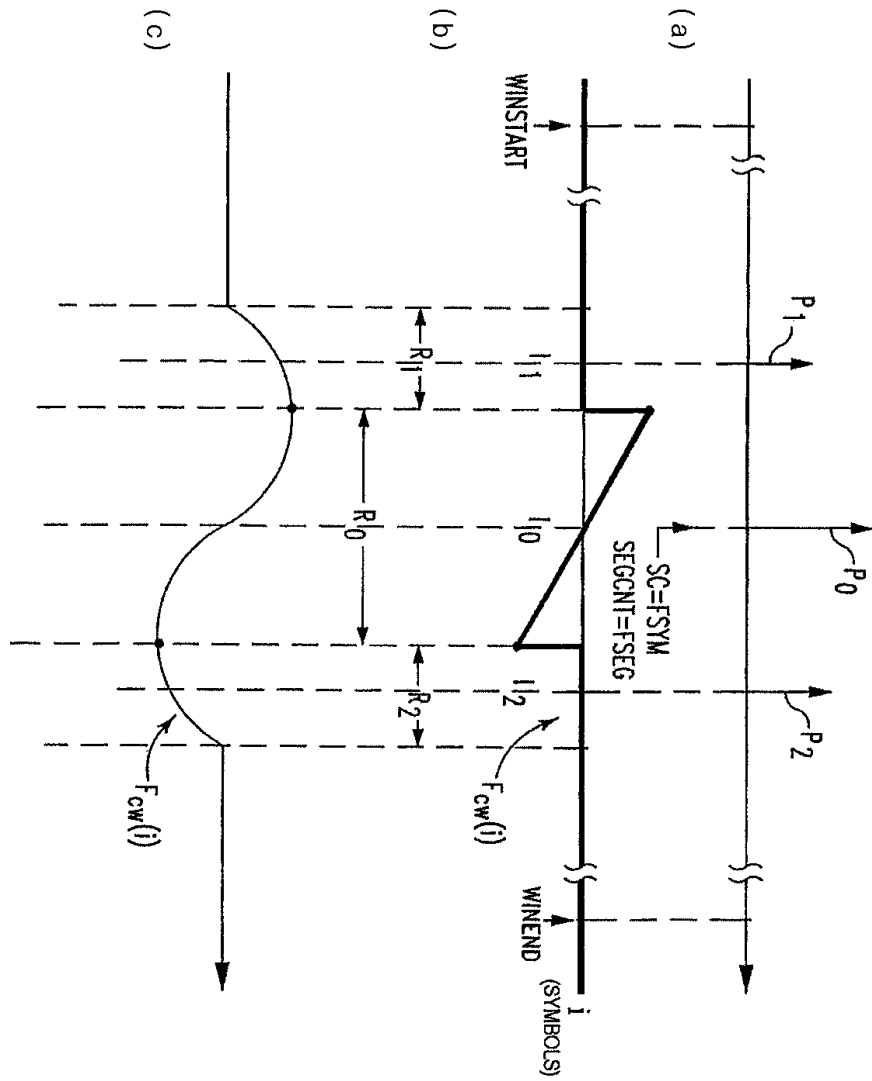
도면36



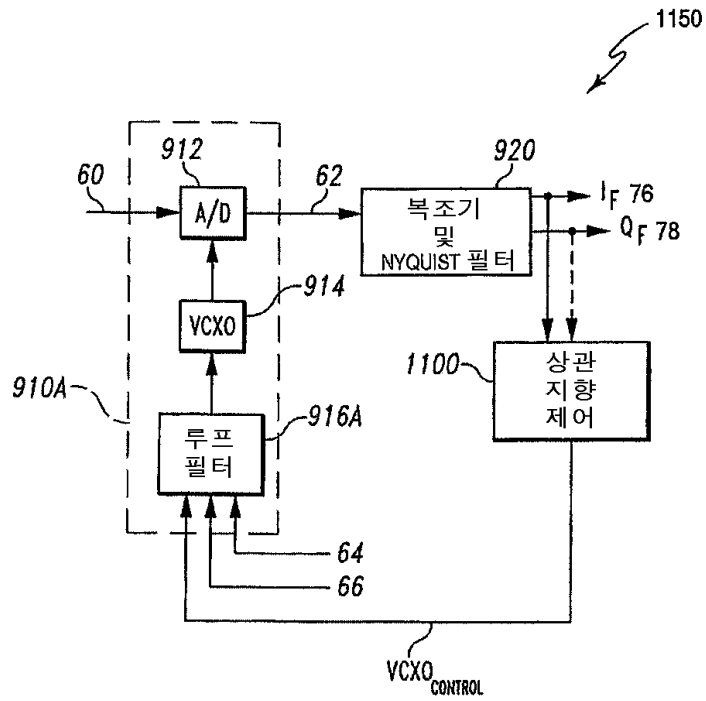
도면37



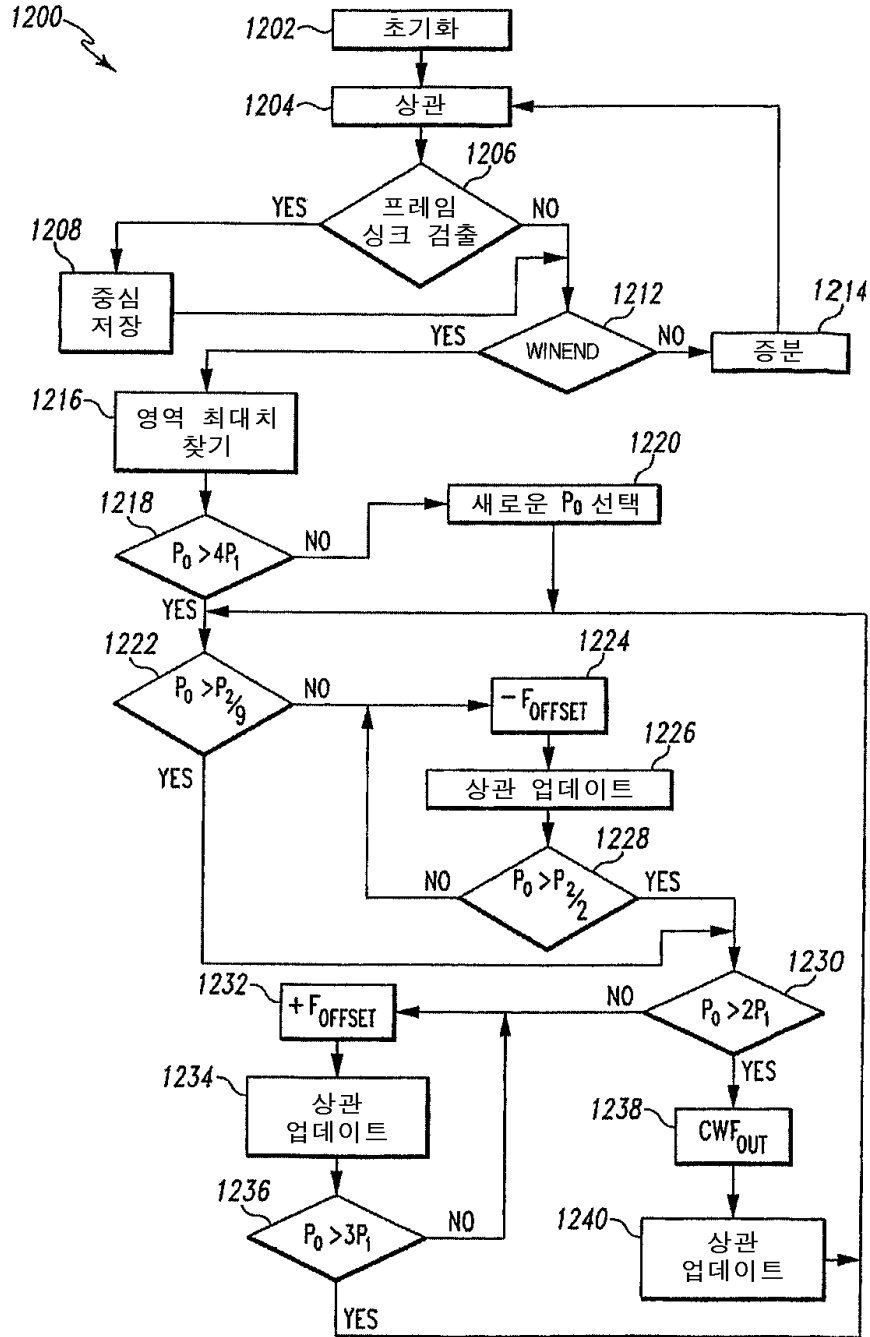
도면38



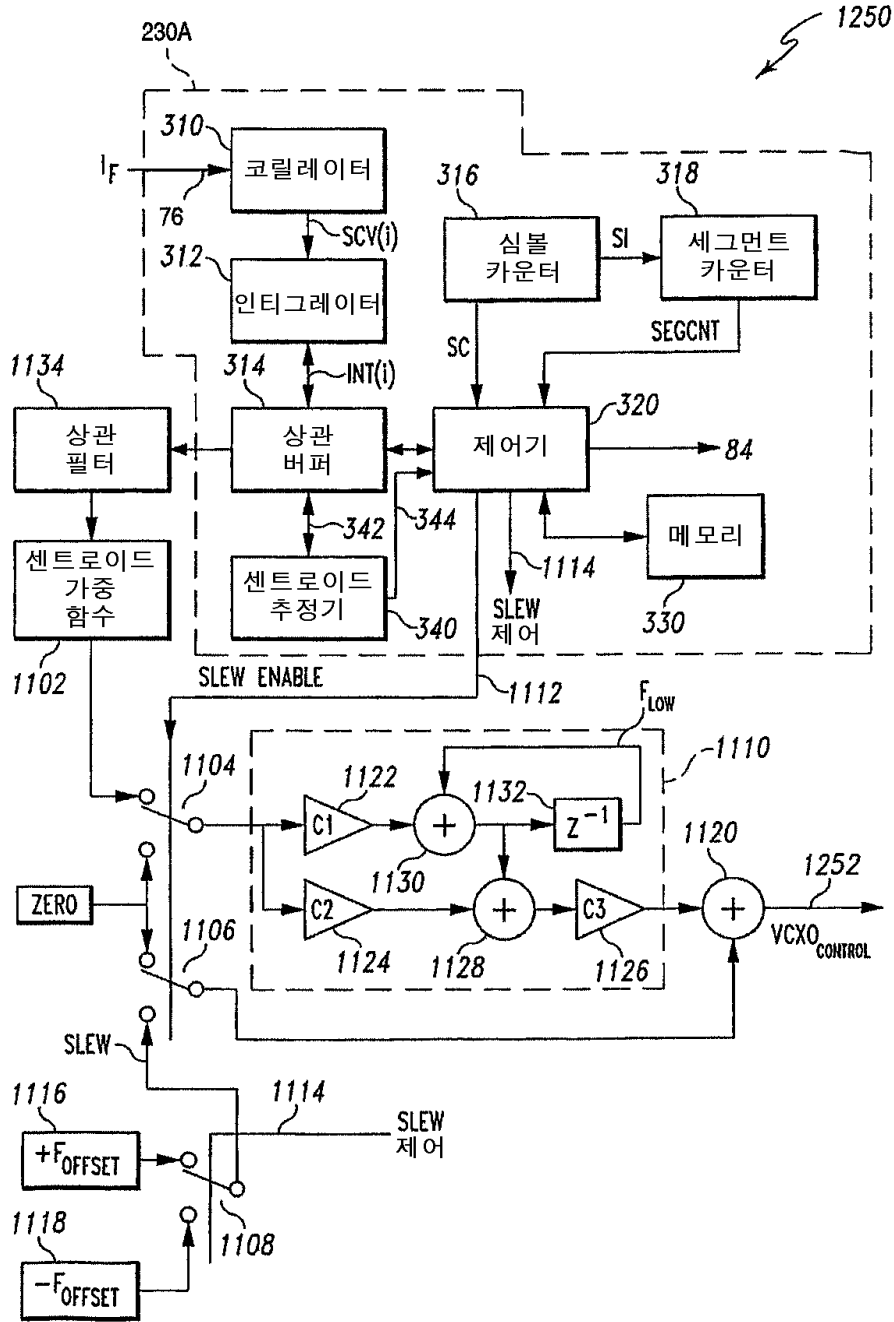
도면39



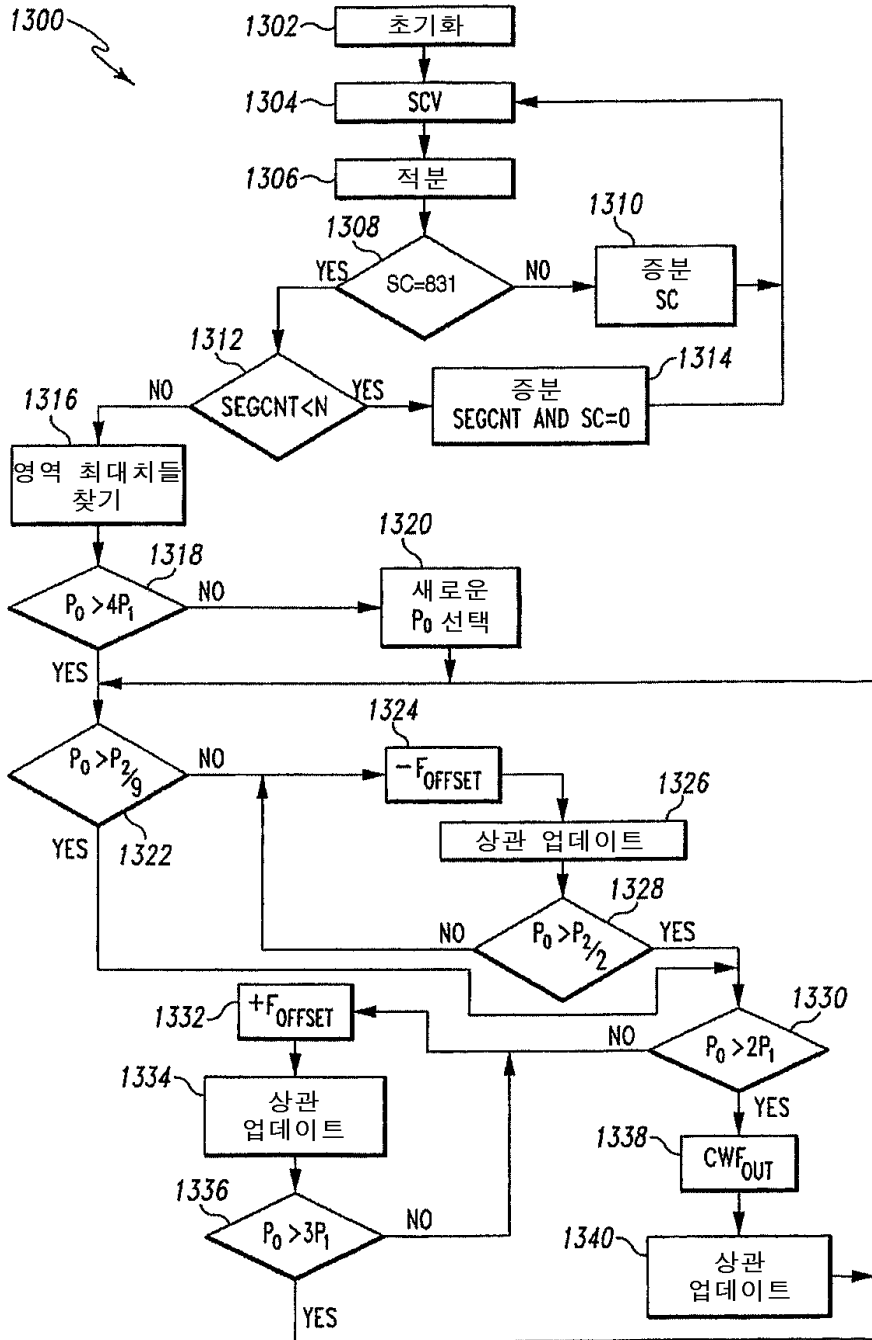
도면40



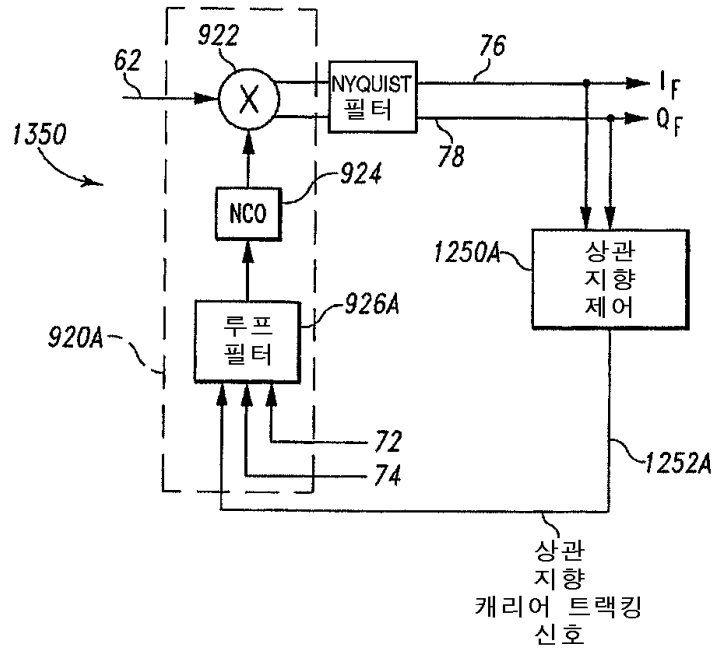
도면41



도면42



도면43



도면44

