



(12) 发明专利

(10) 授权公告号 CN 113702816 B

(45) 授权公告日 2024. 05. 10

(21) 申请号 202110991352.8

CN 110007217 A, 2019.07.12

(22) 申请日 2021.08.26

CN 110020558 A, 2019.07.16

(65) 同一申请的已公布的文献号

CN 111722096 A, 2020.09.29

申请公布号 CN 113702816 A

CN 112526327 A, 2021.03.19

CN 112526328 A, 2021.03.19

(43) 申请公布日 2021.11.26

CN 112763898 A, 2021.05.07

(73) 专利权人 中国电子科技集团公司第五十八研究所

CN 1501090 A, 2004.06.02

KR 100669073 B1, 2007.01.16

地址 214000 江苏省无锡市滨湖区惠河路5号

KR 20030030519 A, 2003.04.18

US 2004098648 A1, 2004.05.20

US 2014208178 A1, 2014.07.24

(72) 发明人 孙诚

US 6141790 A, 2000.10.31

(74) 专利代理机构 无锡派尔特知识产权代理事务所(普通合伙) 32340

US 6658632 B1, 2003.12.02

专利代理师 杨立秋

孙诚, 邵健. “边界扫描寄存器电路的性能分析和优化设计”. 《电子与封装》. 2022, 第22卷(第3期), 030302-1至030302-9.

(51) Int. Cl.

审查员 刘思

G01R 31/3185 (2006.01)

(56) 对比文件

CN 102419415 A, 2012.04.18

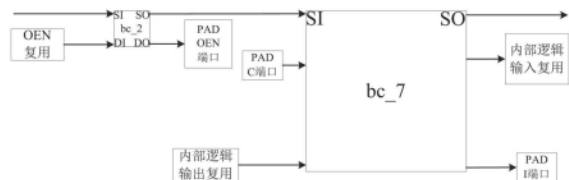
权利要求书1页 说明书3页 附图5页

(54) 发明名称

一种基于边界扫描的寄存器单元设计方法

(57) 摘要

本发明涉及集成电路技术领域,具体涉及一种基于边界扫描的寄存器单元设计方法,在传统边界扫描寄存器单元结构的基础上增加 capture\_en和update\_en信号作为捕获触发器和更新触发器的使能端,本技术方案从复杂的电路结构逐步到最优化电路的过程中,依据门电路的性能参数,尽可能组合出性能最优的门电路,形成优化的bc\_2单元;此外,在针对bc\_7单元的优化过程中,采取了独立功能数据流分析的方法,将单一电路所要实现的功能逐个拆分,针对每一种功能分析出其数据流通路,最终将各种独立的数据流进行结合,从而舍弃原先电路结构中冗余的信号或电路结构。



1. 一种基于边界扫描的寄存器单元设计方法,其特征在于,传统边界扫描寄存器单元结构包括两个二输入多路选择器和两个捕获触发器;两个二输入多路选择器的第一输入端均接DataIn端口,一个shift\_dr信号控制下的二输入多路选择器的第二输入端接ScanIn端口,输出端接一个capture\_clk信号控制下的捕获触发器的D输入端,该capture\_clk信号控制下的捕获触发器的Q输出端接一个update\_clk信号控制下的捕获触发器的D输入端和ScanOut端口,该update\_clk信号控制下的捕获触发器的Q输出端接一个mode信号控制下的二输入多路选择器的第二输入端,该mode信号控制下的二输入多路选择器的输出端接DataOut端口;在该传统边界扫描寄存器单元结构的基础上还增加两个二输入多路选择器,并由capture\_en信号和update\_en信号分别作为捕获触发器和更新触发器的使能端;

将capture\_en信号控制下的二输入多路选择器和capture\_clk信号控制下的捕获触发器进行合并,形成一个带有低电平有效使能信号的D触发器,或者将capture\_en信号和shift\_dr信号控制下的两个二输入多路选择器合并为一个四输入多路选择器,由此将传统边界扫描寄存器单元结构改进形成为bc\_2单元;

边界扫描链电路结构包括三个bc\_2单元,所述三个bc\_2单元的DI端口分别连接内部逻辑输出复用、OEN复用和PAD的C端口,所述三个bc\_2单元的DO端口分别连接PAD的I端口、PAD的OEN端口和内部逻辑输入复用;

在仿真模式启动后,测试数据在shift\_dr信号和capture\_en信号的控制下依次通过每一级的bc\_2单元串行移位进入扫描链,捕获的测试数据在update\_en信号和mode信号的使能下从数据输出端口输出;在OEN端口数值为0的情况下,完成输出功能仿真;

在OEN端口数值为1的情况下,此时对PAD端口进行赋值,通过PAD的C端口将赋值传递给第三个bc\_2单元的D1输入端,然后在capture\_en信号和shift\_dr信号的控制下,处于捕获状态的数据通过每一级bc\_2单元的ScanIn端口和ScanOut端口串行移出扫描链,实现对PAD输出端数据的观测,完成输入功能仿真。

## 一种基于边界扫描的寄存器单元设计方法

### 技术领域

[0001] 本发明涉及集成电路技术领域,具体涉及一种基于边界扫描的寄存器单元设计方法。

### 背景技术

[0002] 边界扫描,作为一个IEEE(1149.1)或JTAG(Joint Test Action Group)标准,旨在实现对芯片输入输出管脚的可控性和可观测性,进而测试芯片内部逻辑及其互联。

[0003] 基本的边界扫描链结构包含通用数据端口和测试数据端口,通用数据端口用于外部引脚(PAD)和内部逻辑交互;测试数据端口用于初始测试数据的串行移入以及测试反馈数据的串行移出。

[0004] 边界扫描寄存器被认为是IEEE 1149.1标准内所有寄存器中最重要的寄存器,放置于被测内核逻辑电路的边界处。寄存器单元会进入外部引脚(PAD)和内核逻辑端口之间,这种机制能够提高内核逻辑输入和输出的可控性及可观测性。图1展示了一个传统的边界扫描寄存器单元结构,其中DataIn和DataOut为通用数据端口,ScanIn和ScanOut为测试数据端口。

### 发明内容

[0005] 针对现有技术中存在的不足,本发明提供一种基于边界扫描的寄存器单元设计方法,所要解决的技术问题是如何在传统的边界扫描寄存器单元基础上,根据设计改变信号、门电路数量,来优化BC单元。

[0006] 为解决上述技术问题,本发明提供的技术方案是:一种基于边界扫描的寄存器单元设计方法,在传统边界扫描寄存器单元结构的基础上增加capture\_en和update\_en信号作为捕获触发器和更新触发器的使能端;

[0007] 在仿真模式启动后,测试数据在shift\_dr信号和capture\_en信号的控制下依次通过每一级的bc\_2单元串行移位进入扫描链,捕获的测试数据在update\_en信号和mode信号的使能下从数据输出端口输出。当数据输出端口分别连接PAD的OEN和I端时,在OEN数值为0的情况下,可完成输出功能仿真;

[0008] 在OEN端数值为1的情况下,此时对PAD端口进行赋值,PAD的C端口数值将位于捕获寄存器的D输入端,然后在capture\_en信号和shift\_dr信号的控制下,处于捕获状态的数据通过每一级bc\_2单元的ScanIn和ScanOut端口串行移出扫描链,实现对PAD输出端数据的观测,可完成输入功能仿真。

[0009] 利用bc\_2单元对PAD的双向测试功能,分析出测试模式下输入和输出仿真过程的数据流向,进而将两者进行融合,形成bc\_7单元。测试数据移位完成后,bc\_2单元中更新的输出数据用于控制对应PAD的OEN端口数值,从而决定对PAD进行输入或输出功能的仿真,后一级的bc\_7单元同时实现PAD端口数据和内部逻辑数据的双向通路,从而根据OEN数值进行相应的仿真。

[0010] 本技术方案所带来的有益效果是:本技术方案从复杂的电路结构逐步到最优化电路的过程中,依据门电路的性能参数,尽可能组合出性能最优的门电路;此外,在针对bc\_7单元的优化过程中,采取了独立功能数据流分析的方法,将单一电路所要实现的功能逐个拆分,针对每一种功能分析出其数据流通路,最终将各种独立的数据流进行结合,从而舍弃原先电路结构中冗余的信号或电路结构。

### 附图说明

[0011] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,与本发明的实施例一起用于解释本发明,并不构成对本发明的限制。在附图中:

[0012] 图1为传统边界扫描寄存器单元结构图;

[0013] 图2为Synopsys DW系列DW\_bc\_2单元结构图;

[0014] 图3为带有低电平有效使能信号D触发器的bc\_2单元结构图;

[0015] 图4为带有4输入多路选择器的bc\_2单元结构图;

[0016] 图5为本发明中优化的bc\_2单元结构图;

[0017] 图6为Synopsys DW系列DW\_bc\_7单元结构图;

[0018] 图7为简化结构的bc\_7单元结构图;

[0019] 图8为本发明中输出功能仿真数据流向图;

[0020] 图9为本发明中输入功能仿真数据流向图;

[0021] 图10为本发明中优化的bc\_7单元结构图;

[0022] 图11为基于单一的bc\_2单元的边界扫描链电路结构图;

[0023] 图12为基于bc\_2与bc\_7单元合并的边界扫描链电路结构图;

[0024] 图13为本发明中优化的边界扫描链电路结构图。

[0025] 具体实施方式 以下结合附图对本发明的优选实例进行说明,应当理解,此处所描述的优选实例仅用于说明和解释本发明,并不用于限定本发明。

[0026] Synopsys DW系列BC单元DW\_bc\_2如图2所示,在传统边界扫描寄存器单元结构的基础上,增加了两个多路选择器,由capture\_en和update\_en信号作为各自的选择端,并分别作为捕获触发器和更新触发器的D端输入。

[0027] 在此基础上,将capture\_en控制下的多路选择器和capture\_clk控制下的捕获触发器进行合并,形成一个带有低电平有效使能信号的D触发器,也可以将capture\_en和shift\_dr控制下的两个二输入多路选择器合并为一个四输入多路选择器。上述变形过程分别如图3和图4所示,这两种单元结构即为目前DW系列所出现的两种边界扫描bc\_2单元结构。

[0028] 由此,可以基于最初的DW\_bc\_2单元,最大限度合并多路选择器和触发器,即将capture\_en、update\_en控制下的多路选择器分别和capture\_clk、update\_clk控制下的触发器进行合并,优化之后的电路如图5所示。

[0029] 为了实现外部引脚(PAD)和内部逻辑双向交互,此处引入另一种Synopsys DW系列BC单元DW\_bc\_7,如图6所示。

[0030] 在此基础上处于简化数据通路的目的,可以省略mode2控制下的多路选择器,此种单元结构即为目前DW系列所出现的边界扫描bc\_7单元,如图7所示。

[0031] 在仿真模式中,输出功能和输入功能的仿真数据流向如图8和图9所示,在外部引脚和内部逻辑数据交互通路中,省略中间的冗余逻辑;仿真模式依据图中的数据通路,实现在同一边界扫描寄存器单元中对双向数据流的控制和观测,优化后的bc\_7单元电路如图10所示。

[0032] 现阶段所使用的两种边界扫描链电路结构设计分别基于单一的bc\_2单元和bc\_2与bc\_7单元的合并。前者的电路结构如图11所示。在仿真模式启动后,测试数据在shift\_dr信号和capture\_en信号的控制下依次通过每一级的bc\_2单元串行移位进入扫描链,捕获的测试数据在update\_en信号和mode信号的使能下从数据输出端口输出。当数据输出端口分别连接PAD的OEN和I端时,在OEN数值为0的情况下,可完成输出功能仿真;在OEN端数值为1的情况下,此时对PAD端口进行赋值,PAD的C端口数值将位于捕获寄存器的D输入端,然后在capture\_en信号和shift\_dr信号的控制下,处于捕获状态的数据通过每一级bc\_2单元的ScanIn和ScanOut端口串行移出扫描链,实现对PAD输出端数据的观测,可完成输入功能仿真。

[0033] 另外一种电路结构的扫描链如图12所示,测试数据移位完成后,bc\_2单元中更新的输出数据控制对应PAD的OEN端口数值,从而决定对PAD进行输入或输出功能的仿真。而后一级的bc\_7单元可以同时实现PAD端口数据和内部逻辑数据的双向通路。

[0034] 根据此前的BC单元优化分析,bc\_7单元由PAD的OEN端口控制的多路选择器选择信号可以被忽略,因此结合优化的bc\_2和bc\_7单元,最终优化之后的边界扫描链电路如图13所示。

[0035] 本技术方案从复杂的电路结构逐步到最优化电路的过程中,依据门电路的性能参数,尽可能组合出性能最优的门电路;此外,在针对bc\_7单元的优化过程中,采取了独立功能数据流分析的方法,将单一电路所要实现的功能逐个拆分,针对每一种功能分析出其数据流通路,最终将各种独立的数据流进行结合,从而舍弃原先电路结构中冗余的信号或电路结构。

[0036] 最后应说明的是:以上所述仅为本发明的优选实例而已,并不用于限制本发明,尽管参照前述实施例对本发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换。凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

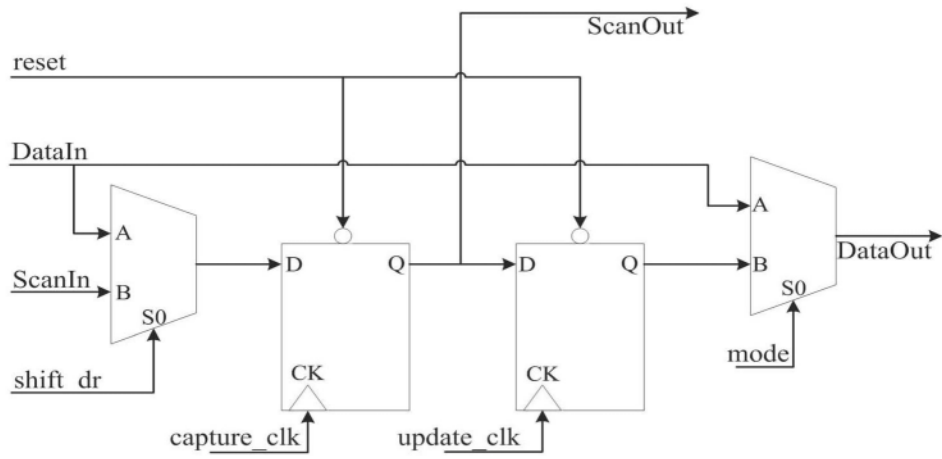


图1

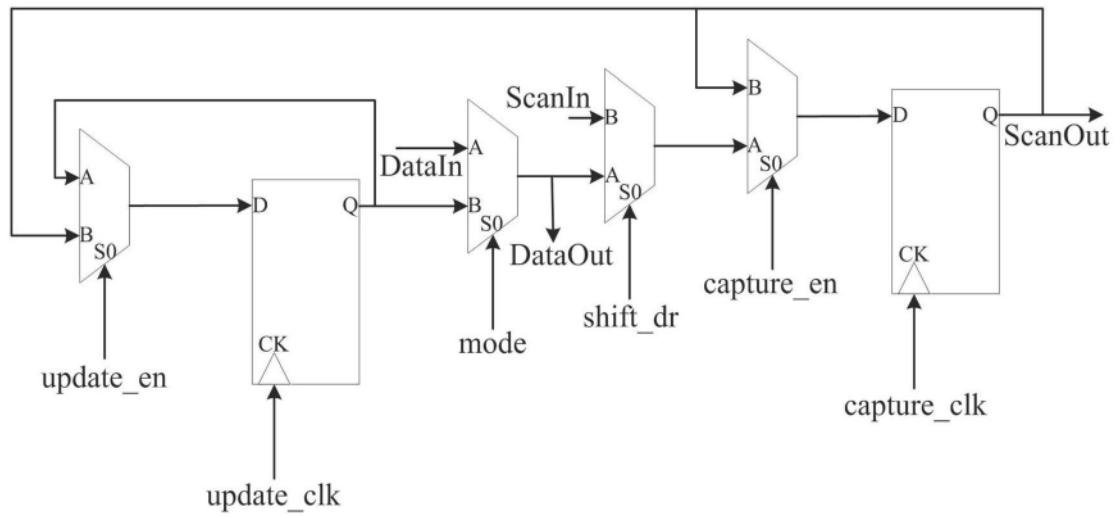


图2

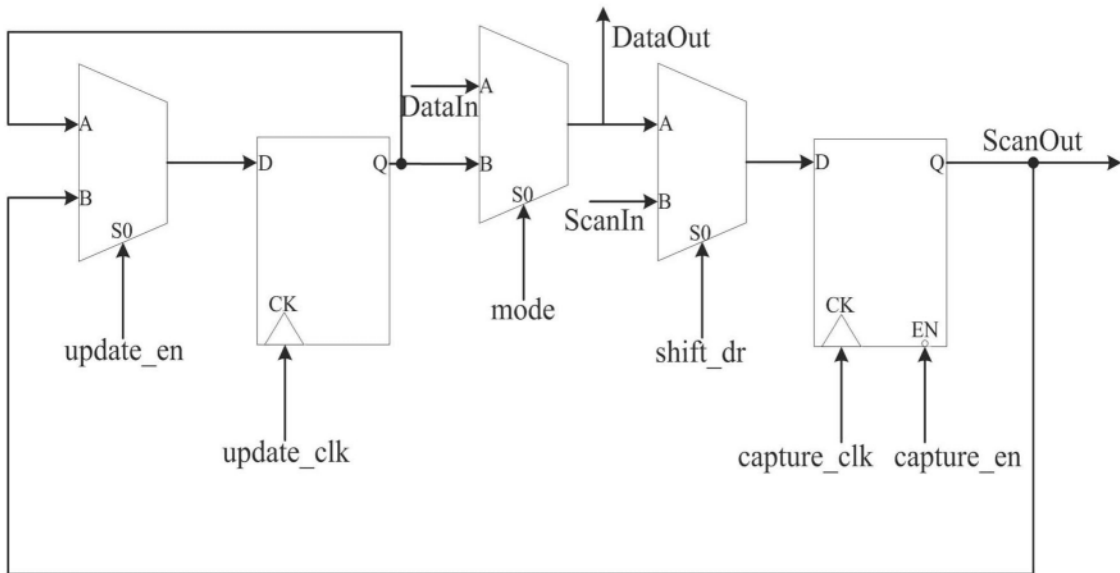


图3

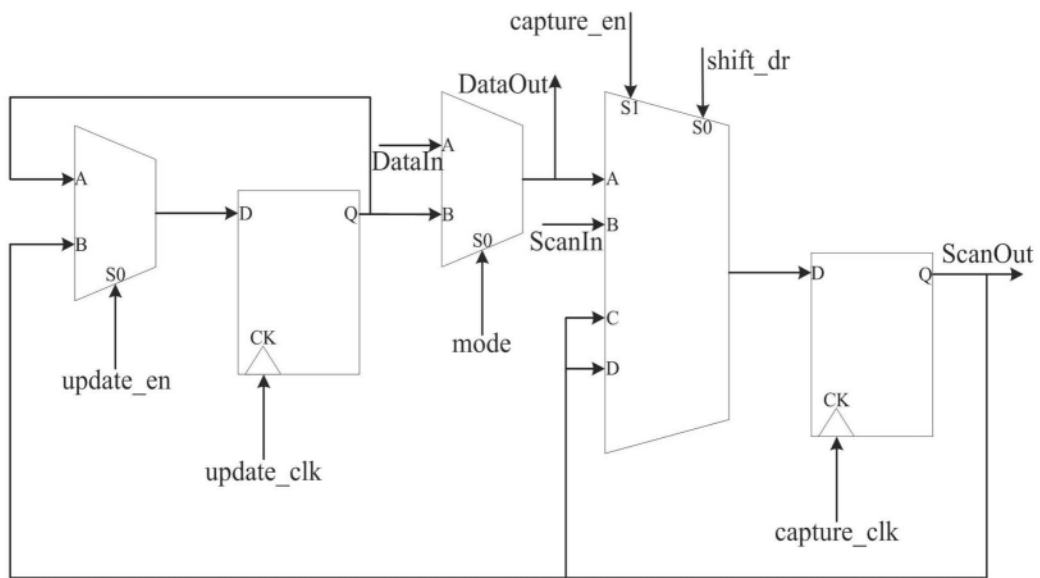


图4

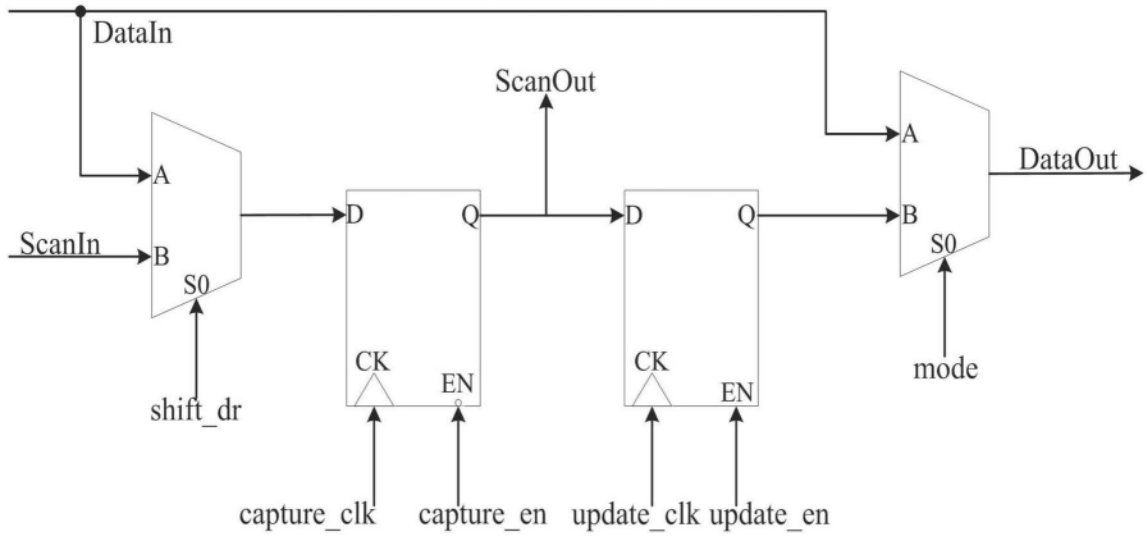


图5

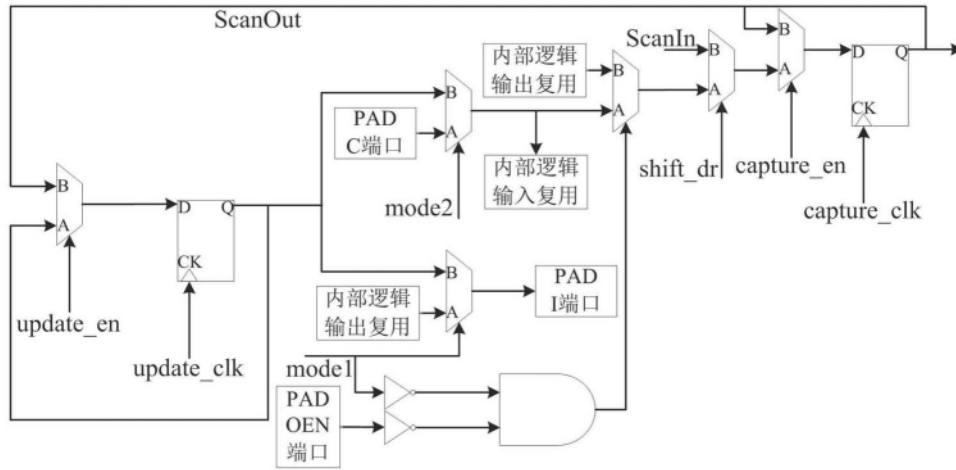


图6



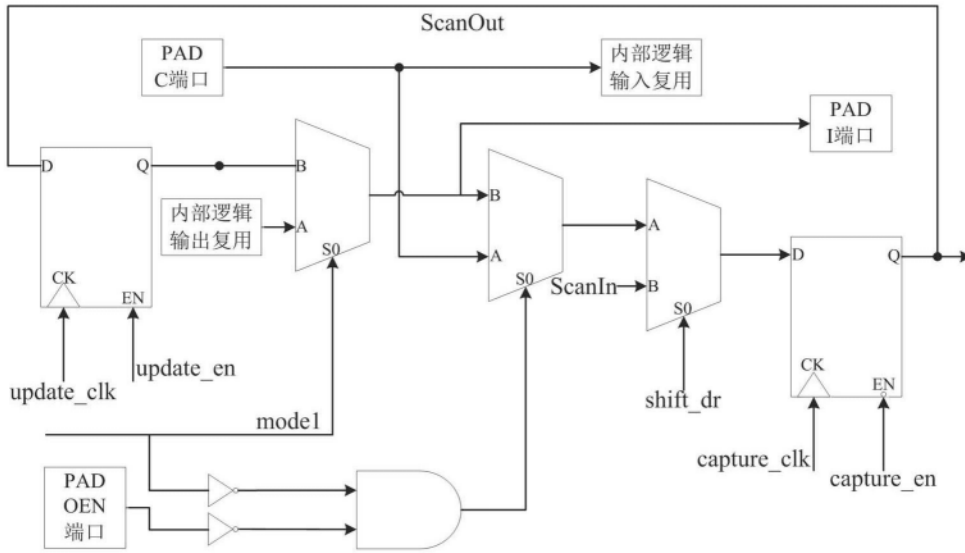


图7

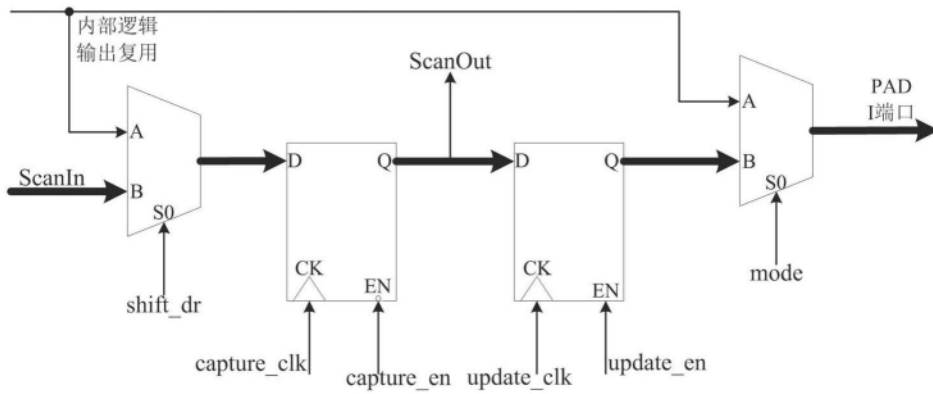


图8

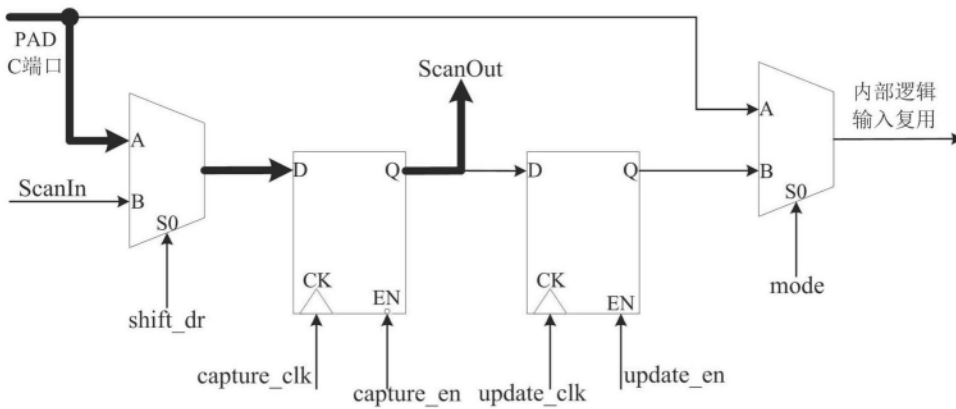


图9

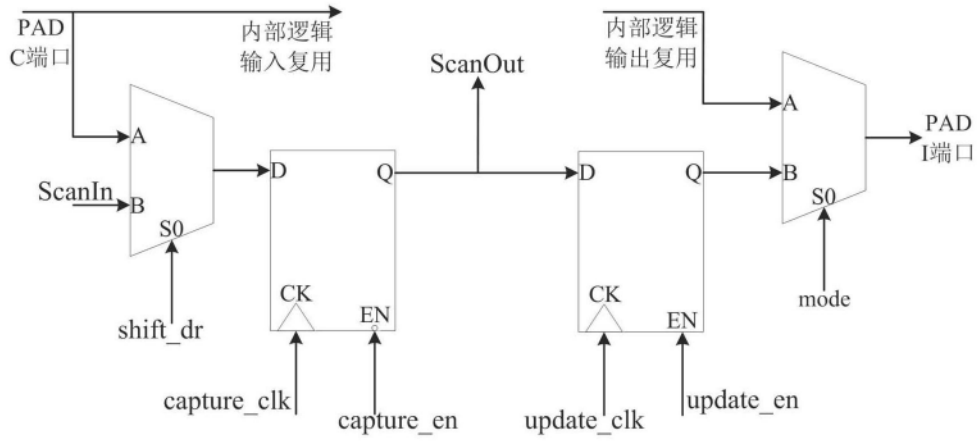


图10

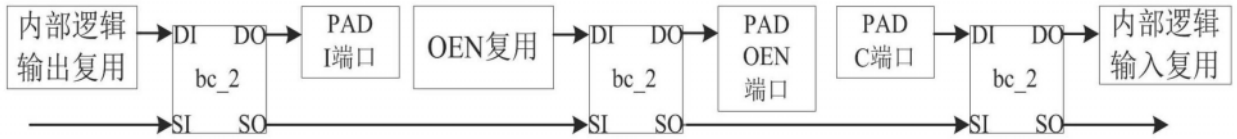


图11

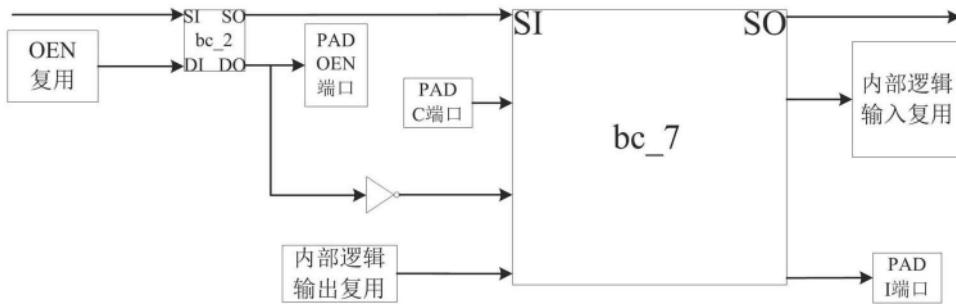


图12

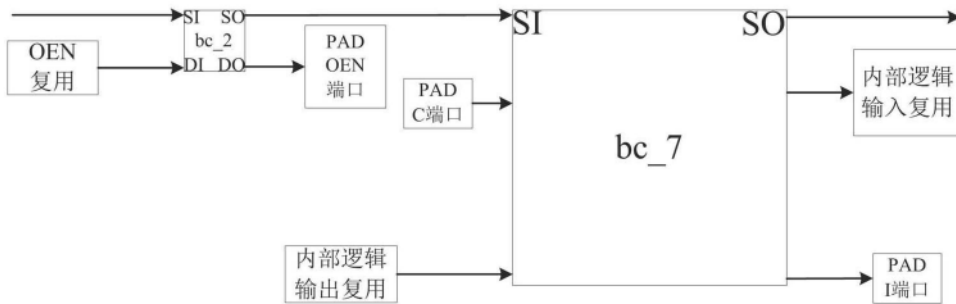


图13