

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/8242 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200780031668.0

[43] 公开日 2009年8月12日

[11] 公开号 CN 101506967A

[22] 申请日 2007.8.28

[21] 申请号 200780031668.0

[30] 优先权

[32] 2006.8.29 [33] US [31] 11/511,541

[86] 国际申请 PCT/US2007/076970 2007.8.28

[87] 国际公布 WO2008/027876 英 2008.3.6

[85] 进入国家阶段日期 2009.2.25

[71] 申请人 美光科技公司

地址 美国爱达荷州

[72] 发明人 约翰·K·李 金铉台

理查德·L·斯托克斯 卢安·特兰

[74] 专利代理机构 北京律盟知识产权代理有限责
任公司
代理人 王允方

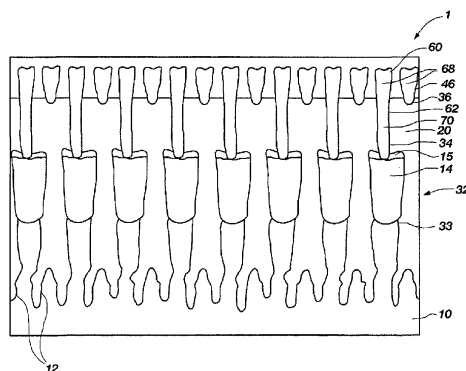
权利要求书5页 说明书9页 附图8页

[54] 发明名称

包含精细间距阵列且具有交错触点的半导体装置及其设计和制造方法

[57] 摘要

一种半导体装置结构包含交错的触点以促进有源装置区与导电线之间的小间距，同时使所述触点制造期间的未对准和所述触点部分之间的接触电阻中的一者或两者最小化。一行中的所述触点与每隔一个有源装置区连通，且相对于另一行中的所述触点交错，另一行中的所述触点与剩余有源装置区连通。每一触点可包含具有相对大的上表面的相对大的接触插塞，以在形成所述触点的上部的接触孔时提供相对大量的容限。所述接触孔可在双镶嵌工艺中与用于导电迹线(例如位线)的沟槽大致同时形成。还揭示中间结构，以及用于设计半导体装置结构的方法。



1. 一种半导体装置结构，其包括：

半导体装置结构，其包含具有带有第一间距的多个有源装置区的衬底；以及蚀刻终止层，其包含在所述多个有源装置区中的对应有源装置区上对准的两组大致共线的小孔，每一组的小孔具有约为所述第一间距的两倍的第二间距。
2. 根据权利要求 1 所述的半导体装置结构，其进一步包括：

介电层，其在所述蚀刻终止层上；
多个横向延伸的沟槽，其底表面包括所述蚀刻终止层；以及
多个接触孔，其与所述蚀刻终止层的小孔对准且从所述多个横向延伸的沟槽中的沟槽延伸到所述半导体装置结构中。
3. 根据权利要求 2 所述的半导体装置结构，其进一步包括：

至少一个触点，其位于所述多个接触孔中的至少一个接触孔中。
4. 根据权利要求 3 所述的半导体装置结构，其中所述至少一个触点包含：

下部插塞部件；以及
上部接触部件，
所述下部插塞部件包含上表面，所述上表面具有经配置以促进与所述上部接触部件对齐或最小化与所述上部接触部件的接触电阻的尺寸。
5. 根据权利要求 4 所述的半导体装置结构，其中跨越所述上部接触部件的基底的距离至多为约 50 nm。
6. 根据权利要求 4 所述的半导体装置结构，其中跨越所述上部接触部件的基底的距离至少为约 30 nm。
7. 根据权利要求 4 所述的半导体装置结构，其中跨越所述上部接触部件的基底的距离为约 10 nm。
8. 根据权利要求 1-7 中任一权利要求所述的半导体装置结构，其进一步包括：

位于所述多个沟槽内的多个位线，其以大致相互平行的关系延伸，且以约所述第一间距隔开。
9. 根据权利要求 8 所述的半导体装置结构，其中所述多个位线中的每一位线大致位于所述多个有源装置区中的对应有源装置区上。
10. 根据权利要求 1 所述的半导体装置结构，其进一步包括：

介电层，其在所述蚀刻终止层上；

硬掩模，其在所述介电层上且包含在所述衬底的邻近有源装置区之间对准的细长固态区。

11. 根据权利要求 1 所述的半导体装置结构，其进一步包括：
 - 介电层，其在所述蚀刻终止层上；
 - 硬掩模层，其在所述介电层上；以及
 - 间隔物掩模，其在所述硬掩模层上且包含在所述衬底的邻近有源装置区之间对准的细长固态区。
12. 根据权利要求 1-7、10 及 11 中任一权利要求所述的半导体装置结构，其中所述第一间距至多为约 100 nm，且所述第二间距至多为约 200 nm。
13. 根据权利要求 1-7、10 及 11 中任一权利要求所述的半导体装置结构，其中所述第一间距为约 20 nm，且所述第二间距为约 40 nm。
14. 一种用于制造半导体装置结构的触点的方法，其包括：
 - 提供具有以第一间距隔开的有源装置区的半导体衬底；
 - 在所述半导体衬底上形成介电层；
 - 在所述有源装置区中的每两个有源装置区上形成第一多个大致共线的小孔，跨越所述第一多个中的每一小孔的至少上部的距离超过对应有源装置区的宽度；
 - 形成第二多个大致共线的小孔，其与在其上未定位有所述第一多个中的小孔的有源装置区上的所述第一多个中的小孔横向偏移，跨越所述第二多个中的每一小孔的至少上部的距离超过对应有源装置区的宽度；以及
 - 在所述第一多个及所述第二多个中的每一小孔中形成接触插塞。
15. 根据权利要求 14 所述的方法，其中形成所述第一多个及所述第二多个大致共线的小孔包括：以超过所述第一间距的第二间距形成所述第一多个及所述第二多个大致共线的小孔中的每一者。
16. 根据权利要求 14 所述的方法，其中形成所述第一多个及所述第二多个大致共线的小孔包括：以约为所述第一间距的两倍的第二间距形成所述第一多个及所述第二多个大致共线的小孔中的每一者。
17. 根据权利要求 14-16 中任一权利要求所述的方法，其进一步包括：
 - 在所述介电层及所述接触插塞上设置中间介电层；
 - 在所述中间介电层上形成蚀刻终止层，所述蚀刻终止层包含在每一接触插塞上对准的小孔；
 - 在所述蚀刻终止层上设置上部介电层；以及

大致并发地在所述上部介电层中形成对应于下伏有源装置区的横向延伸的沟槽以及在所述中介电层中形成接触孔，其中的每一接触孔位于沟槽与接触插塞之间。

18. 根据权利要求 17 所述的方法，其中大致并发地形成包括：形成与其对应的下伏有源装置区对准的横向延伸的沟槽。
19. 根据权利要求 17 所述的方法，其中大致并发地形成包括：形成暴露接触插塞的顶表面的接触孔。
20. 根据权利要求 14-16 中任一权利要求所述的方法，其进一步包括：

在所述上部介电层上形成掩模，所述掩模包含暴露所述上部介电层的区的小孔，所述大致并发地形成的动作中的至少一部分是穿过所述掩模实行的。
21. 根据权利要求 20 所述的方法，其中大致并发地形成包括：穿过所述小孔移除所述上部介电层的材料以形成所述横向延伸的沟槽，以及移除所述中介电层的材料以形成所述接触孔。
22. 根据权利要求 20 所述的方法，其中形成所述掩模包含：

在所述上部介电层上设置硬掩模层；
在所述硬掩模层上形成包括基于碳的材料的掩模层；
在所述掩模层上图案化光掩模；以及
穿过所述光掩模移除所述掩模层的材料。
23. 根据权利要求 22 所述的方法，其进一步包括：

在所述掩模层的剩余部分上沉积材料层；
对所述材料层进行间隔物蚀刻以形成间隔物掩模；
移除所述掩模层的所述剩余部分；以及
穿过所述间隔物掩模移除所述硬掩模层的材料以形成硬掩模。
24. 根据权利要求 23 所述的方法，其中穿过其来实行所述大致并发地形成的动作中的至少一部分的所述掩模是穿过所述硬掩模。
25. 根据权利要求 20 所述的方法，其中形成所述掩模包含：

形成包括基于碳的材料的掩模层；
在所述掩模层上图案化光掩模；以及
穿过所述光掩模移除所述掩模层的材料。
26. 根据权利要求 25 所述的方法，其进一步包括：

在所述掩模层的剩余部分上沉积材料层；

对所述材料层进行间隔物蚀刻以形成间隔物掩模；以及
移除所述掩模层的所述剩余部分。

27. 根据权利要求 17 所述的方法，其进一步包括：

将导电材料引入到所述接触孔及所述横向延伸的沟槽中。

28. 根据权利要求 27 所述的方法，其中引入包括：大致并发地将导电材料引入到所述接触孔中和引入到所述横向延伸的沟槽中。

29. 根据权利要求 27 所述的方法，其中引入包含：在所述接触孔及所述横向延伸的沟槽的表面上形成障壁层。

30. 根据权利要求 29 所述的方法，其中引入进一步包含：将另一导电材料引入到所述障壁层上。

31. 根据权利要求 27 所述的方法，其进一步包括：

使所述横向延伸的沟槽中的每一沟槽中的导电材料与所述横向延伸的沟槽中的每一邻近沟槽中的导电材料电隔离。

32. 根据权利要求 31 所述的方法，其中电隔离包括：使所述导电材料平坦化。

33. 一种用于设计根据权利要求 1 所述的半导体装置结构的方法，其包括：

将衬底配置成包含处于第一间距的有源装置区；

配置至少两组小孔，所述至少两组中的每一组具有约为所述第一间距的两倍的第二间距，所述至少两组中的第一组的小孔相对于所述至少两组中的第二组的小孔横向偏移。

34. 根据权利要求 33 所述的方法，其中配置所述至少两组小孔包括：配置所述小孔以促进形成具有最小接触电阻的触点。

35. 根据权利要求 33 所述的方法，其中配置所述至少两组小孔包括：配置所述小孔以使接触对准或对齐问题最小化。

36. 根据权利要求 33 所述的方法，其中配置包括：使所述小孔具有圆形形状、椭圆形形状及细长形状中的至少一者。

37. 根据权利要求 33 所述的方法，其进一步包括：

在所述小孔上配置接触孔。

38. 根据权利要求 37 所述的方法，其中配置接触孔包括：配置接触孔以使将要形成于其中的导电元件与所述小孔内的下伏触点之间的接触电阻最小化。

39. 根据权利要求 37 所述的方法，其中配置接触孔包括：将所述接触孔配置成具有使上覆导电结构与下伏导电结构之间的电干扰最小化的高度。

-
40. 一种中间半导体装置结构，其包含材料层，所述材料层在制造过程中的不同点期间用于至少三种不同功能。
 41. 根据权利要求 40 所述的中间半导体装置结构，其中所述材料层在所述制造过程中的不同点处充当蚀刻终止物、硬掩模及抛光掩模。
 42. 根据权利要求 41 所述的中间半导体装置结构，其中所述材料层包括多晶硅、氮化硅、碳化硅、SiCN 或 Al₂O₃。

包含精细间距阵列且具有交错触点的半导体装置及其设计和制造方法

优先权主张

本申请案主张 2006 年 8 月 29 日申请的第 11/511,541 号美国专利申请案“包含精细间距阵列且具有交错触点的半导体装置及其设计和制造方法”（"SEMICONDUCTOR DEVICES INCLUDING FINE PITCH ARRAYS WITH STAGGERED CONTACTS AND METHODS FOR DESIGNING AND FABRICATING THE SAME."）的申请日期的权益。

技术领域

本发明大体上涉及包含精细间距阵列的半导体装置，且更具体地说涉及包含经布置以促进增加此些阵列的密度并减少其间距的触点的半导体装置，以及有效减少此些阵列的触点间距。更具体地说，本发明涉及具有交错触点的半导体装置。

背景技术

半导体装置的许多特征的尺寸正在不断减小以促进增加特征或装置的密度。每当实现特征尺寸的进一步减小时，就已克服了多种难题。

制造在此项技术中称为“触点”的导电结构提出了当前减小装置尺寸的难题，触点是用于在位线与半导体衬底中的对应导电掺杂的有源装置区之间建立导电连接。由于现有技术蚀刻工艺可实现的最高纵横比存在限制，所以无法形成在其基底处具有充足尺寸的接触孔。因此，在两个或两个以上工艺步骤中形成接触孔。首先，在介电材料的基底层中制造每一接触孔的基底部分。接触孔的基底填充有导电材料，其在接触孔中形成所谓的导电“插塞”，其与下伏的有源装置区电连通。随后，在介电材料的基底层上形成介电材料的一个或一个以上上层以及从中延伸的导电插塞。随后，穿过介电材料的一个或一个以上上层形成每一接触孔的上部。为了使每一接触孔的上部与其对应插塞正确对准，跨越每一接触孔的上部的底部的尺寸必须显著小于跨越导电插塞顶部的尺寸。如果跨越每一导电插塞的顶面的尺寸过小，则可能会发生未对准，且在每一接触孔的上部中形成的触点可能不会与其对应的导电插塞电连通或建立充分的电连通。如果跨越每一接触孔的上部的底部的尺寸过小，则其中形成的触点与导电插塞之间的接触电阻可能会高到不合意的程度。

因此，需要促进不断减小半导体装置结构的特征尺寸的接触结构及触点制造工艺。

发明内容

本发明包含半导体装置结构，其具有不受半导体装置结构的触点的存在限制的特征密度。此外，本发明包含用于制造半导体装置结构的方法。

在一个方面中，根据本发明的半导体装置结构包含交错触点。通过使触点交错，可在有源装置区与位线中实现或维持所要的现有技术间距，而无损于可制造这些装置的效率或其可靠性。术语“半导体装置结构”在本文中使用时包含晶片及其它块状半导体衬底、部分晶片、电路小片群组及经单一化的电路小片。这些半导体装置结构既包括完成的、经过封装及未经过封装的集成电路，也包括生产中的半导体装置结构。

举例来说，并入本发明的教导的半导体装置结构可包含具有导电插塞的触点，所述导电插塞的宽度接近甚至超过所述结构的有源装置区或位线的间距。相对大的导电插塞可具有尺寸可防止或消除对应触点的上覆部分可能未与其对准的可能性的上表面。另外或替代地，导电插塞的上表面的尺寸及跨越每一接触孔的上部的底部的对应尺寸可大到足以防止上部内的触点与导电插塞之间的不合意的大量接触电阻。

本发明的另一方面包含用于制造半导体装置结构的触点的方法。此方法可采用所谓的“双镶嵌”方法，其中形成延伸到半导体装置结构的两个或两个以上不同制造水平或高度的沟槽和/或小孔。随后用导电材料填充所述沟槽和/或小孔。在属于本发明的范围内的方法的实例中形成位线沟槽，也形成与其对准且从位线沟槽延伸到下伏导电插塞的接触孔。当采用此类技术时，有效地增加光刻设备的对准容限。

在此类方法期间形成中间结构也处于本发明的范围内。在不限制本发明的范围的情况下，本发明包含中间半导体装置结构，其包含用于多种功能的材料层。举例来说，单个材料层可在制造过程中的不同点处充当蚀刻终止物、硬掩模及抛光终止物。

在另一方面中，本发明包含用于设计具有偏移触点的半导体装置结构的方法。

所属领域的技术人员通过考虑以下的描述、附图和所附权利要求书将容易明白本发明的其它特征及优点。

下文中参考图式描述本发明的各个方面的细节。

附图说明

在描绘本发明的各个方面的实例的图中：

图 1 是包含导电掺杂半导体材料的有源区域或有源装置区布置在半导体衬底的至少一部分上的方式的示意表示图；

图 2 是包含相对于彼此偏移或错开的导电插塞的部分制造的半导体装置结构的部分

横截面表示图，其中一行导电插塞与半导体衬底的一系列有源装置区的每隔一个有源装置区连通：

图 3 是说明图 2 的导电插塞与下伏的接触孔和接触小孔可交错的方式的半导体装置结构的一部分的示意表示图；

图 4 到图 19 描绘包含交错触点的半导体装置结构的制造的实例；及

图 20 是并入本发明的教导的半导体装置结构的部分横截面。

具体实施方式

图 1 是半导体衬底 10 中的有源区域 12（其在本文中也称为“有源装置区”）的示意表示图，其中只展示了半导体衬底 10 的一小部分。本文中所使用的术语“半导体衬底”涵盖半导体电路小片、半导体晶片、部分晶片及其它块状半导体衬底以及从其中单体化出来的装置及装置群组。如所说明，有源区域 12 是细长元件，其包括半导体衬底 10 的导电掺杂的区。这些细长的元件可彼此平行地定向。在并入有当前现有技术的半导体装置中，有源区域 12 可具有小到约 10 nm 的宽度，且可彼此隔开小到约 50 nm 或更小（例如，10 nm）的距离。因此，其间距可小到约 60 nm 或更小（例如，约 20 nm）。当然，有源区域 12 可宽于或窄于 10 nm，且可彼此隔开大于或小于 50 nm，而不会偏离本发明的范围。

图 2 是穿过半导体装置的横截面且其说明垂直于图 1 所示的平面的由图 1 的线 2-2 所示的一般定向中的平面，在图 2 中，有源区域 12 延伸到图的平面中且延伸出所述平面。此外，图 2 展示位于每隔一个或每两个有源区域 12 上且与其连通的接触插塞 14。这是因为，每一接触插塞 14 具有接近甚至超过有源区域 12 的间距的最大直径，但相邻的接触插塞 14 必须彼此电隔离。每一接触插塞 14 的相对大的大小使接触插塞 14 与其电连接的有源区域 12 之间的接触电阻最小化。以假想图绘示的用于剩余有源区域 12 的接触插塞 14 位于图 2 的平面的正后方或正前方。

图 3 中展示接触插塞 14 与位于接触插塞 14（图 2）上方的接触孔 16 之间的交错，图 3 是部分制造的半导体装置 1 的俯视图。接触孔 16 与接触插塞 14 的间距可约为有源区域 12 的间距的两倍（例如，如果有源区域的间距为约 100 nm，则接触插塞 14 与接触孔 16 的间距可为约 200 nm，如果有源区域的间距为约 20 nm，则接触插塞 14 与接触孔 16 的间距可为约 40 nm）。如所描绘，接触孔 16 以其与其对应的接触插塞 14 对准的方式交错。继续以上提到的示范性尺寸，接触孔 16 可在其顶部 18 上为约 100 nm 或更大（例如，在直径或宽度方面），且在其基底 20 上为约 30 nm（例如，在直径方面），其暴

露接触插塞 14 的上表面 15 (图 2)。接触插塞 14 的上表面 15 和接触孔 16 的基底 (图 2 未展示) 的相对尺寸 (例如, 具有约为跨越对应基底的距离的两倍到三倍大的宽度的上表面 15) 提供使接触孔 16 与接触插塞 14 对准的相对大量的容限, 且可使接触插塞 14 与随后形成于接触孔 16 顶部上的触点 (图 3 中未展示) 之间的接触电阻最小化。

虽然描绘了椭圆形的接触孔 16, 但相对于其高度或长度具有其它横截面形状的接触孔也处于本发明的范围内。举例来说, 接触孔 16 可具有圆形的横截面形状, 其可用于进一步增加有源区域 12 沿其延伸的方向上的密度, 所述方向横穿图 2 的平面。

在不限制本发明的任何方面的范围的情况下, 每一接触插塞 14 可包括单一结构, 或包含一与对应的有源区域 12 接触的下部 (未图示) 及上部。可用于形成单一接触插塞 14 或至少形成接触插塞 14 的下部的材料的实例包含 (但不限于) 钨 (W) 及导电掺杂的多晶硅。当然, 接触插塞 14 的上部也可由钨以及多种其它材料形成, 包含 (但不限于) 铜、铝 (其可通过流动或沉积工艺而引入)、镍或任何其它结构上稳定而且与邻近材料 (例如, 有源区域 12 及导电线 68 (图 18 到图 20) 的材料) 具有低接触电阻的合适材料。

现在转向图 4 到图 19, 其描绘用于制造并入本发明的教导的半导体装置结构的工艺的实例。所属领域的技术人员将认识到, 所述制造工艺可能会且一般以晶片或其它块状半导体衬底级别进行, 使得可同时制造大量半导体装置, 且使其具备本发明的特征。

在图 4 中描绘结构 30, 结构 30 包含半导体衬底 10 及形成在半导体衬底 10 上的至少一个结构层 32, 所述结构层 32 包含使邻近的导电结构 (例如, 接触插塞 14 (图 2) 等) 彼此电隔离的绝缘材料 (例如, 掺杂的二氧化硅、未掺杂的二氧化硅等)。任何其它合适的常规工艺 (包含 (但不限于) 材料沉积、掩蔽、蚀刻、抛光或平坦化等) 均可用于包含接触插塞 14 的结构, 其中这些工艺中使用的掩模经配置以与接触插塞 14 交错。

在结构层 32 上设置绝缘层 34 (例如, 包含掺杂的二氧化硅、未掺杂的二氧化硅、低 k 电介质等的层)。可通过已知的工艺来形成绝缘层 34, 其中包含 (但不限于) 沉积技术 (例如, 分解正硅酸乙酯 (TEOS) 等), 如旋涂玻璃 (SOG) 等。

蚀刻终止层 36 (例如, 氮化硅薄膜等) 位于结构层 32 上。蚀刻终止层 36 之所以如此称呼是因为其将在后续 (例如, 双镶嵌) 蚀刻工艺中用作蚀刻终止物。依据其形成材料, 蚀刻终止层 36 也可充当用于随后用于图案化光致抗蚀剂层 38 以形成光掩模 40 (见图 5) 的抗反射涂层 (ARC)。视情况, 可在形成蚀刻终止层 36 之前或之后形成一个或一个以上其它 ARC (未图示)。

继续参看图 4, 在蚀刻终止层 36 上施加光致抗蚀剂层 38 (例如, 通过旋涂技术、

喷射技术或任何其它合适的施加工艺)。随后,使用已知的工艺(例如,暴露及显影工艺等)来图案化光致抗蚀剂层 38 以从其形成光掩模 40,如图 5 所示。光掩模 40 包含固态区 42,其包含横向位于接触插塞 14 的阵列的外侧的固态区,所述固态区 42 经定位且经配置以防止或限制下伏蚀刻终止层 36 的特定区域的移除(例如,通过防止或限制其暴露于一种或一种以上蚀刻剂、溶剂、等离子体等)。光掩模 40 的小孔 44 经定位且经配置以促进移除下伏蚀刻终止层 36 的其它区域。

一旦已在蚀刻终止层 36 上形成光掩模 40 或另一合适的掩模,便可如图 6 说明移除蚀刻终止层 36 的所要区(即,上文所称的“其它区”),以在其中形成小孔 37。可通过此项技术中已知的任何合适工艺来实行移除,其中包含(但不限于)通过湿式或干式蚀刻工艺或通过其它方式。可以某种交错的关系来布置蚀刻终止层 36 的小孔 37,例如图 3 及图 7 所示的小孔。在查看本揭示内容的稍后部分之后将更好地理解,蚀刻终止层 36 防止下伏层、薄膜或结构的材料被不合意地移除。

在已图案化了蚀刻终止层 36 之后,可如图 8 所示在其上形成介电层。以非限制性实例的方式,介电层 46 可包含掺杂的二氧化硅(例如,硼磷硅玻璃(BPSG)、磷硅玻璃(PSG)、硼硅玻璃(BSG)等)、旋涂玻璃(SOG)、低 k 电介质等。可出于多种目的来调整介电层 46 的厚度。此类目的包含(但不限于):促进在其顶部及底部处形成具有所要尺寸的接触孔 62(图 16);防止当蚀刻终止层 36 的材料暴露于移除介电层 46 的材料时聚合物过快地回填接触孔 62;最小化位于介电层 46 的相对侧上的导电特征之间的电干扰;促进随后将导电材料引入到接触孔 62 中;以及界定导电线 68(图 18 到图 20)的高度。

可在介电层 46 上形成掩模 50m(见图 10)或“心轴”。继续参看图 8,可通过循序地在蚀刻终止层 36 及结构层 32 的穿过蚀刻终止层 36 而暴露的区上形成硬掩模 48 及中间掩模层 50 而形成掩模 50m。硬掩模层 48 可包括任何适合用作硬掩模的材料,例如多晶硅、氮化硅、碳化硅、SiCN、Al₂O₃、介电抗反射涂层(DARC)、富含硅的氧化物、氮化物或氮氧化物等。如将看到,硬掩模层 48 用作用于后续移除工艺的蚀刻终止物、硬掩模及抛光终止物。中间掩模层 50 可包括基于碳的层(例如,透明碳(TC)、非定形碳、所谓的“旋涂硬掩模”等)、所谓的“多层抗蚀剂”、单级抗蚀剂等。硅可散布于中间掩模层 50 的材料中,或可不散布于其中。视情况,可在中间掩模层 50 的上方和/或下方形成一种或一种以上 ARC(未图示)。

此外,如图 9A 及图 9B 所示,可在中间掩模层 50 上形成光掩模 52 以促进图案化硬掩模 48 的一个或一个以上子层以及中间掩模层 50。或者,可直接在介电层 46(未图示)

上形成光掩模 52。如图所示，已通过已知工艺施加及图案化了光掩模 52。

如图 10 中所说明，可将光掩模 52 的总体图案转印到下伏的中间掩模层 50。可使用任何合适的工艺来将光掩模 52 的图案大致转印到中间掩模层 50，所述工艺包含（但不限于）已知的蚀刻工艺（例如，所谓的“干式显影”工艺、等离子体蚀刻工艺、抗蚀剂和/或基于碳的层（例如，TC 等）微调工艺等）。硬掩模 48 可充当用于此图案转印工艺的蚀刻终止物。如此项技术中已知的，也可将中间掩模层 50 “微调”，以便减少和/或细化其固态区 50s 的尺寸。所得的掩模 50m 比光掩模 52 更坚硬且具有更高的抗蚀性，且掩模 50m 的临界尺寸可比光掩模 52 的临界尺寸更容易裁剪和控制。

如图 11 所示，可在从中间掩模层 50 中形成掩模 50m 时消耗光掩模 52 的任何剩余部分。

接下来，如图 12 中所描绘，在掩模 50m 及硬掩模 48 的穿过掩模 50m 暴露的若干部分上形成氧化物层 54（例如，掺杂的或未掺杂的二氧化硅等）。可通过任何合适的工艺来形成氧化物层，其中包含（但不限于）低温及共形沉积技术，例如原子层沉积（ALD）工艺或任一合适的沉积技术。

如图 13 中所说明，在形成氧化物层 54 之后进行间隔物蚀刻。所属领域的技术人员知道，间隔物蚀刻是各向异性蚀刻工艺。硬掩模 48 可在间隔物蚀刻工艺期间充当蚀刻终止物。间隔物蚀刻工艺移除氧化物层 54 的在负掩模 50m 的邻近固态区之间的相对薄的部分，其中包含其位于掩模 50m 的固态区上的部分，以及氧化物层 54 的位于硬掩模 48 上的部分。结果是图 13 中所说明的间隔物掩模 56，其包含个别间隔物 56s。

或者，可由对用于从介电层 46 及结构层 32 移除材料的蚀刻剂具有充分抗性的材料形成间隔物掩模 56，从而无需硬掩模 48。

如图 14 所示，通过合适的工艺移除掩模 50m（图 13）的穿过间隔物掩模 56 而暴露的剩余固态区。所使用的工艺当然取决于形成掩模 50m 的材料。举例来说，如果由基于碳的材料（例如，抗蚀剂、旋涂硬掩模、TC、非定形碳等）形成掩模 50m（图 12），则可采用合适的等离子体剥除（例如，使用氧等离子体）或蚀刻工艺。作为另一替代方案，如果采用多层抗蚀剂来形成掩模 50m，则可使用一个或一个以上合适的抗蚀剂剥除器来移除其剩余的固态区。

下文中如图 15 所描绘，移除在间隔物 56s 之间暴露（即，穿过间隔物掩模 56 而暴露）的硬掩模 48 的区，以暴露下伏介电层 46 的暴露部分。硬掩模层 48 与下伏间隔物掩模 56 的剩余部分共同形成硬掩模 58，可通过所述硬掩模 58 对介电层 46 及下伏结构实行图案化。

现在参看图 16, 可大致同时形成沟槽 60 及接触孔 62。随后在其中可形成导电线 68 (图 18) 的沟槽 60 延伸到介电层 46 中, 一直向下直到蚀刻终止层 36 的剩余区 36r。接触孔 62 (稍后可在其内形成导电触点 70 (图 18)) 位于对应沟槽 60 的下方且与其连通, 而且位于接触插塞 14 上。每一接触孔 62 延伸穿过介电层 46 的驻留在与蚀刻终止层 36 (例如, 穿过蚀刻终止层 36 中的小孔 37) 相同的平面中的高度的一部分且延伸穿过绝缘层 34, 以暴露结构层 32 内的导电结构 (例如, 接触插塞 14 (见图 3))。

可使用一种合适的蚀刻剂或蚀刻剂的组合来实行从介电层 46 和从绝缘层 34 中移除材料。当然, 所采用的蚀刻剂以超过蚀刻剂移除硬掩模层 48 的材料及蚀刻终止层 36 的剩余区 36r 的材料的选择性或更大的速率来移除介电层 46 及绝缘层 34 的材料。移除工艺也可大致同时移除间隔物掩模 56 的材料。举例来说, 如果介电层 46 及绝缘层 34 包含二氧化硅, 则可使用 $C_4F_8 / C_4F_6 / O_2$ 来从介电层 46 及绝缘层 34 移除材料。 $C_4F_8 / C_4F_6 / O_2$ 以超过氮化硅的选择性来移除二氧化硅, 可由二氧化硅形成硬掩模层 48 及蚀刻终止层 36 的剩余区 36r 中的一者或两者。

由于接触孔 62 是以大于沟槽 60 的深度定位, 所以所属领域的技术人员将容易明白, 接触孔 62 的形成可继续 (且在一些实例中甚至还没开始), 直到已完全形成沟槽 60 之后为止, 但尽管如此, 接触孔 62 是与沟槽 60 的形成大致并发或大致同时地形成。

跨越每一接触孔 62 的底端的尺寸可大到足以 (例如, 约 30 nm) 最小化随后在每一接触孔 62 内形成的导电触点与其对应的接触插塞 14 的上表面 15 之间的接触电阻。此外, 接触插塞 14 的相对大的上表面 15 可促进使接触孔 62 与接触插塞 14 对准或对齐, 甚至在下伏掩模层与在其上形成掩模层的特征略微未对准时也是如此。

值得注意的是, 硬掩模层 48 可在图 16 所示的所得结构上保留。

现在参看图 17, 可将一种或一种以上导电材料引入到接触孔 62 及沟槽 60 中。在所说明的实例中, 在每一接触孔 62、每一沟槽 60 及硬掩模层 48 的暴露表面上形成导电材料的初始薄膜 64。此后, 可在初始薄膜 64 上形成导电材料的共形层 66, 以大致填充每一接触孔 62 及每一沟槽 60。或者, (例如, 通过合适的蚀刻工艺) 可在形成初始薄膜 64 之前移除硬掩模层 48。

以非限制性实例的方式, 初始薄膜 64 可包括晶种材料 (例如, 氮化钛 (TiN) 等) 层, 其可增强或促进共形层 66 的材料 (例如, 钨、铜、铝、镍等) 对接触孔 62 及沟槽 60 的表面的粘附。或者, 可由一材料 (例如, 钨、氮化钨 (WN)、金属硅化物、氮化钽 (TaN) (用于与铜 (Cu) 一起使用) 等) 形成初始薄膜 64, 其充当接触孔 62 或沟槽 60 的表面处的材料与共形层 66 的材料 (例如, 铝 (Al)、铜 (Cu) 等) 之间的障壁 (例如,

用以防止扩散或相互扩散、用以减小接触电阻等)。鉴于接触孔 62 及沟槽 60 的将要用初始薄膜 64 涂布的表面的极小尺寸, 初始薄膜 64 可非常薄(例如, 约 5 nm)。可使用已知的工艺来形成初始薄膜 64 及共形层 66, 所述工艺包含(但不限于)脉冲式化学气相沉积(CVD)及原子层沉积(ALD)技术。

每一接触孔 62 内的导电材料形成导电触点 70, 而每一沟槽 60 内的导电材料一旦与邻近沟槽 60 中的导电材料隔离便形成导电线 68, 如图 18 中所说明。可通过延伸跨越在硬掩模层 48 的剩余部分的表面的平面上方移除导电材料来使邻近导电线 68 彼此物理或电隔离。在不限制本发明的范围的情况下, 此移除可通过抛光或平坦化工艺(例如, 机械抛光、化学机械抛光等)来实行, 所述工艺以超过硬掩模层 48 的材料的至少一些选择性(即, 以比其快的速率)来移除导电材料(例如, 初始薄膜 64 及共形层 66(图 17)的导电材料)。或者, 可采用定时的选择性蚀刻工艺来移除导电材料(即, 以超过硬掩模层 48 的选择性来移除共形层 66 及初始薄膜 64)。因此, 硬掩模层 48 也可充当抛光终止物或蚀刻终止物。

一旦已使导电线 68 彼此物理及电隔离, 就可如图 19 所描绘移除硬掩模层 48(图 18)(如果其仍然存在)。移除硬掩模层 48 可从初始薄膜 64 或共形层 66(图 17)中消除原本可能会导致邻近导电线 68 之间发生电短路或泄漏的任何剩余物或残余材料。可通过任何合适的工艺(包含湿式或干式工艺)来移除硬掩模层 48。移除工艺可对硬掩模层 48 的材料具有超过导电线 68 及介电层 46 的材料的可选择性。

图 20 中展示了并入有本发明的教导的半导体装置 1 的实例。半导体装置 1 包含半导体衬底 10, 其具有延伸到图纸平面中且从其延伸出来的平行有源区域 12。结构层 32 中包含的接触插塞 14 位于每一有源区域 12 上且与其电连通。然而只描绘了图示的半导体装置 1 的一部分的一半接触插塞 14, 因为一行大致共线的接触插塞 14 中的接触插塞 14 对应于每隔一个有源区域 12。另一行大致共线的接触插塞 14 可位于图纸平面的正后方或正前方。接触插塞 14 可由绝缘材料 33(例如, 掺杂的或未掺杂的二氧化硅等)横向围绕并通过其而彼此隔离, 所述绝缘材料 33 也是结构层 32 的一部分。

绝缘层 34 位于每一接触插塞 14 的顶表面 15 所驻留的平面上方。其中定位有导电触点 70 的接触孔 62 延伸穿过绝缘层 34, 其中每一接触孔 62 的底端 20' 及每一导电触点 70 的对应部分邻近于对应接触插塞 14 的顶表面 15 而定位。如图所示, 接触孔 62 可从其顶端 18' 向其底端 20 向内渐细。

除了延伸穿过绝缘层 34 之外, 导电触点还可延伸穿过蚀刻终止层 36 中的小孔 37, 所述蚀刻终止层 36 位于绝缘层 34 上方。介电层 46 位于蚀刻终止层 36 上。描绘为延伸

到图纸平面中且从其延伸出来的细长沟槽 60 承载导电线 68。如所说明，每一导电线 68 在导电触点 70 延伸穿过蚀刻终止层 36 的小孔 37 的位置处电连接到至少一个对应的导电触点 70。

并入本发明的教示的工艺及结构可促进半导体装置与光刻设备一起使用，而此类光刻设备原本无法与所述半导体装置一起使用。举例来说，光刻设备具有通常为其可采用的最小特征大小的分数或百分数的对准容限限制（例如，50 nm 最小特征大小的三分之一）。然而，通过使用本发明性方法，可在制造特征时采用光刻设备，所述特征将与具有小得多的尺寸及对准容限的特征对准，从而有效地增加了光刻设备的对准容限。

虽然以上描述含有许多具体细节，但这些具体细节不应被解释为限制本发明的范围，而只应解释为对一些目前优选的实施例提供说明。类似地，可设计出本发明的其它实施例，其并不偏离本发明的精神或范围。可以组合方式采用来自不同实施例的特征。因此，本发明的范围仅由所附权利要求书及其法律等效物来指示和限制，而不由以上描述来指示和限制。进而将涵盖所有处于权利要求书的意义与范围内的对本文中所揭示的本发明的添加、删除及修改。

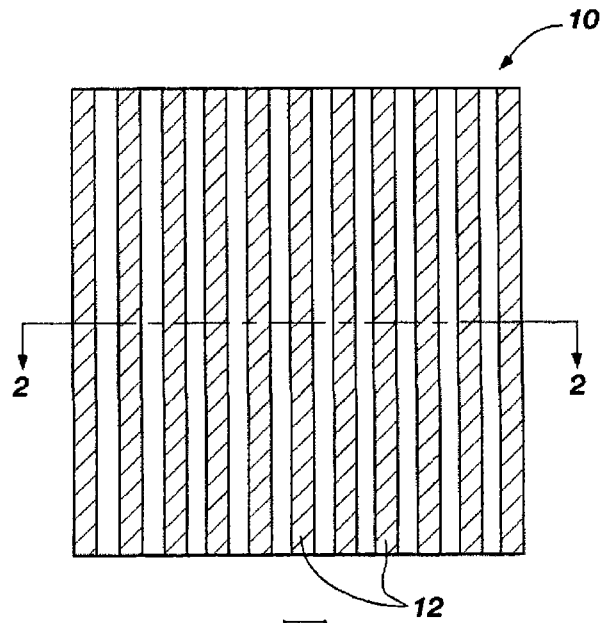


图1

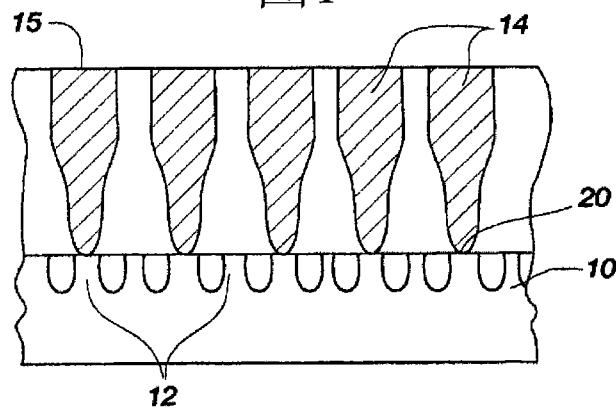


图2

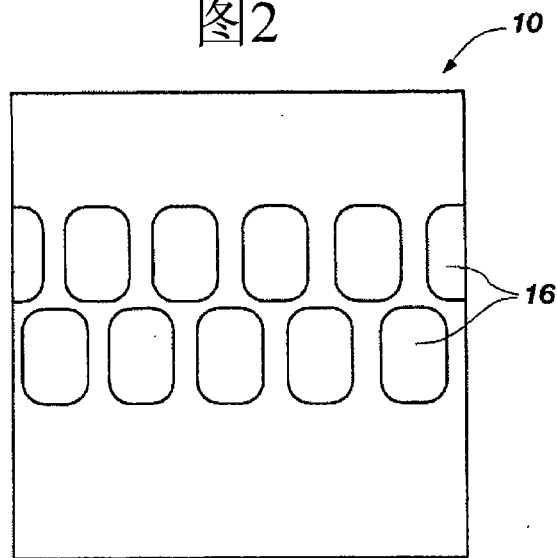


图3

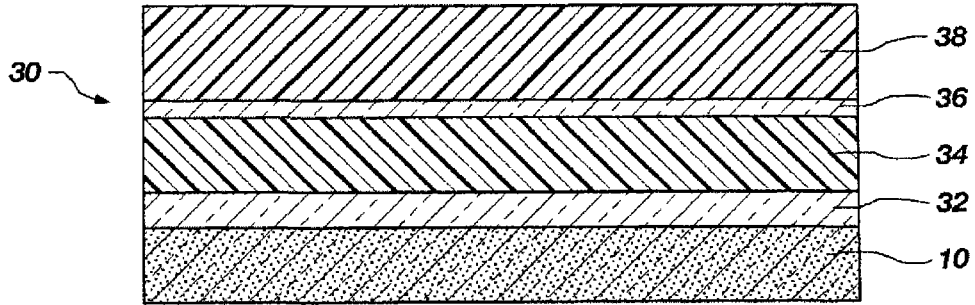


图4

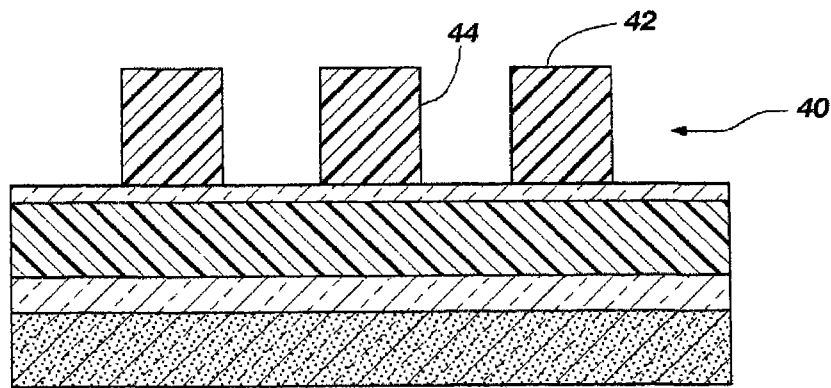


图5

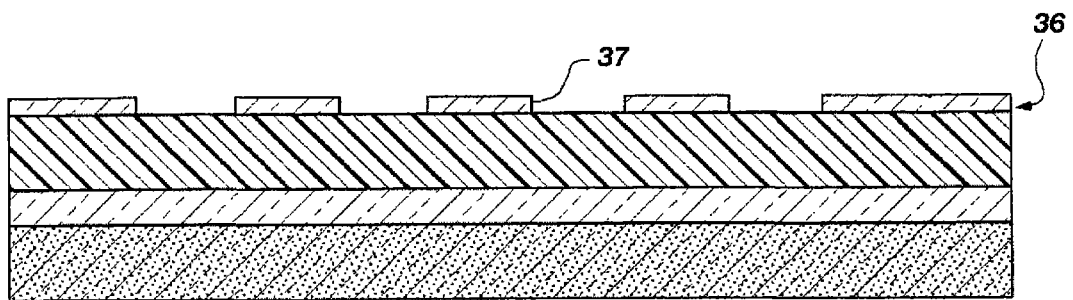


图6

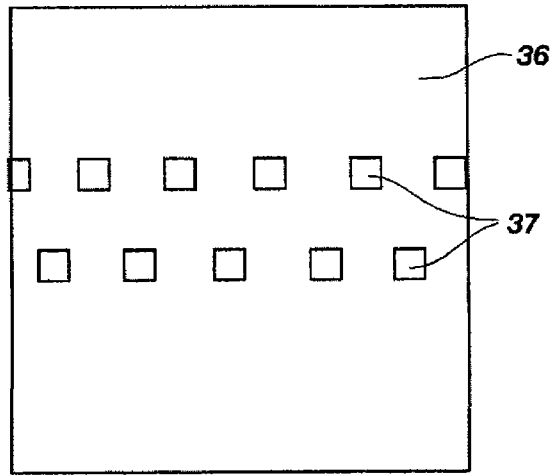


图7

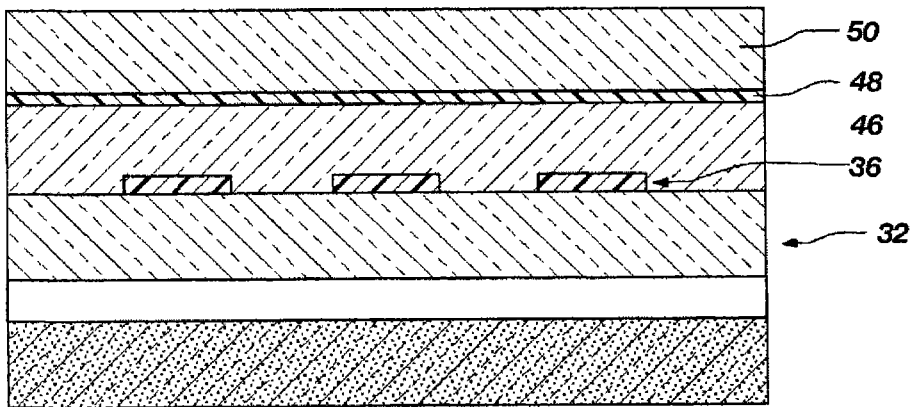


图8

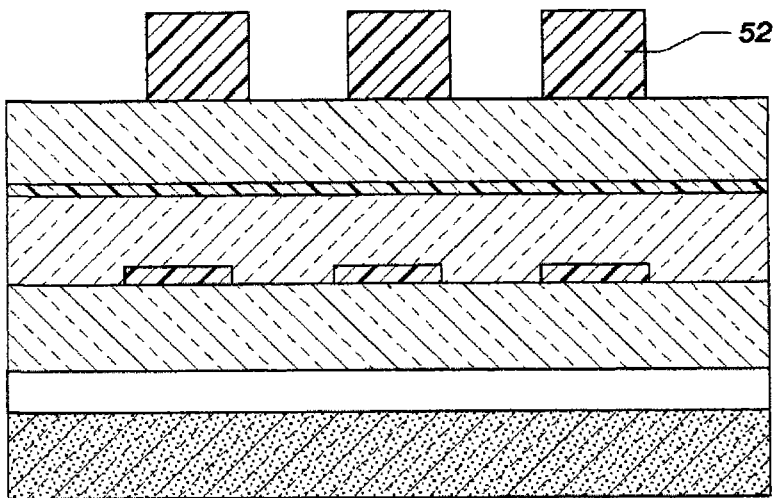


图9A

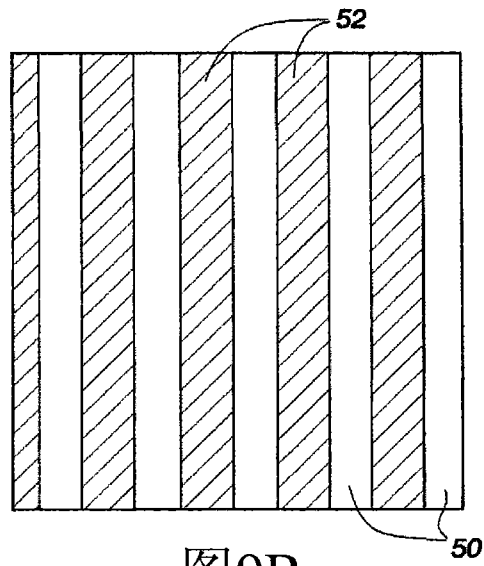


图9B

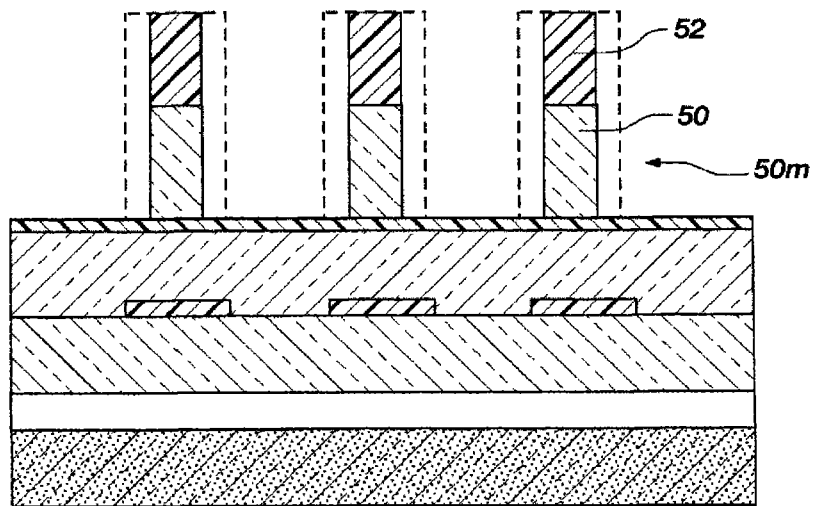


图10

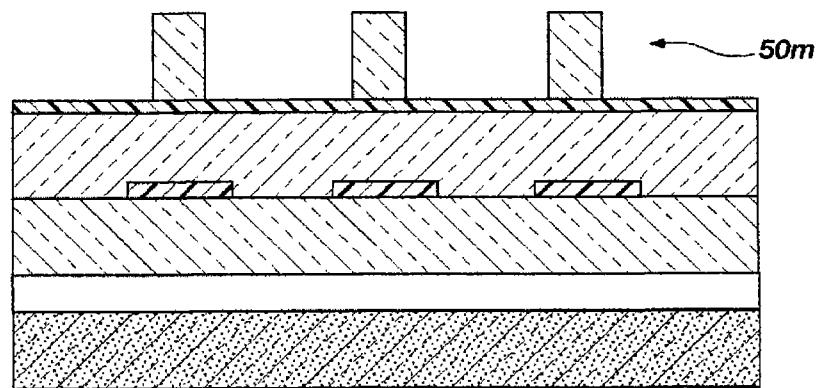


图11

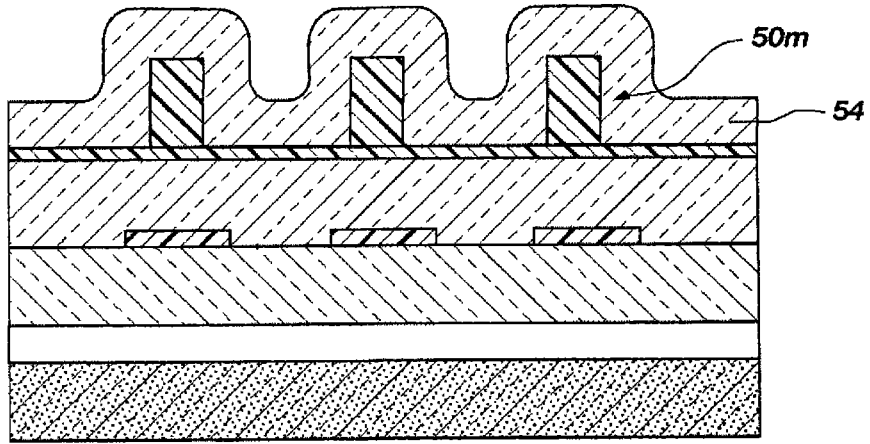


图12

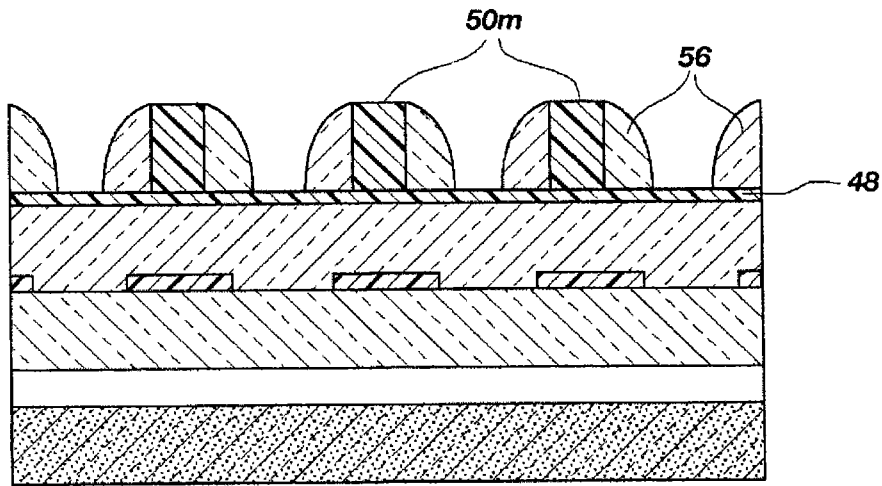


图13

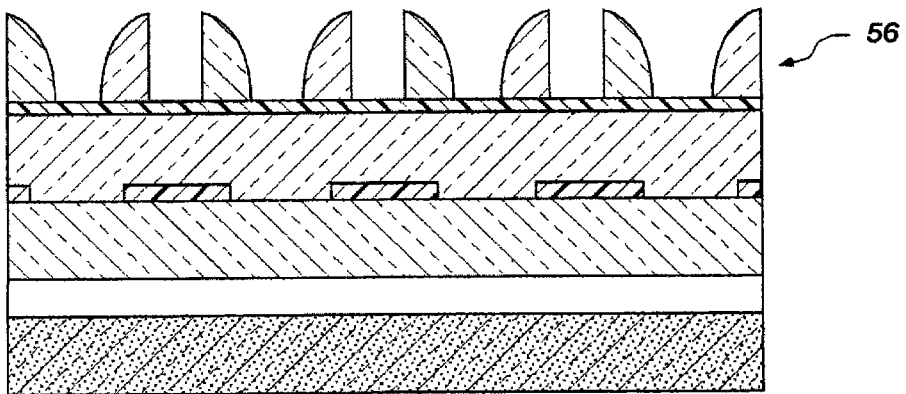


图14

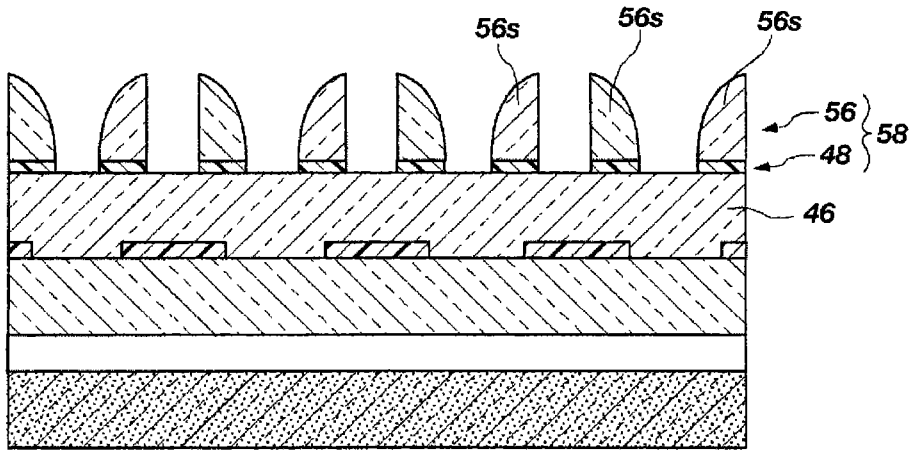


图15

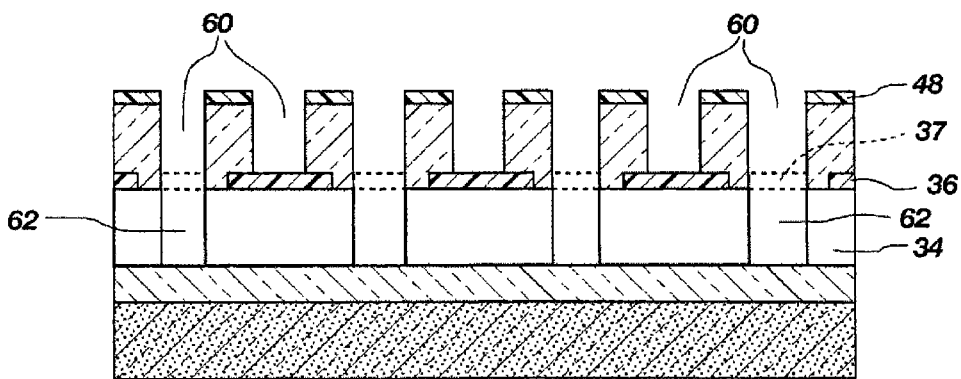


图16

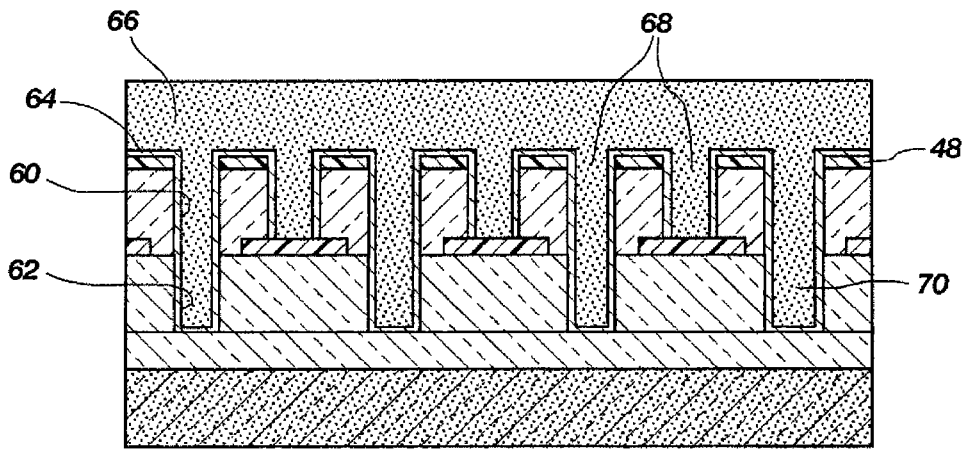


图17

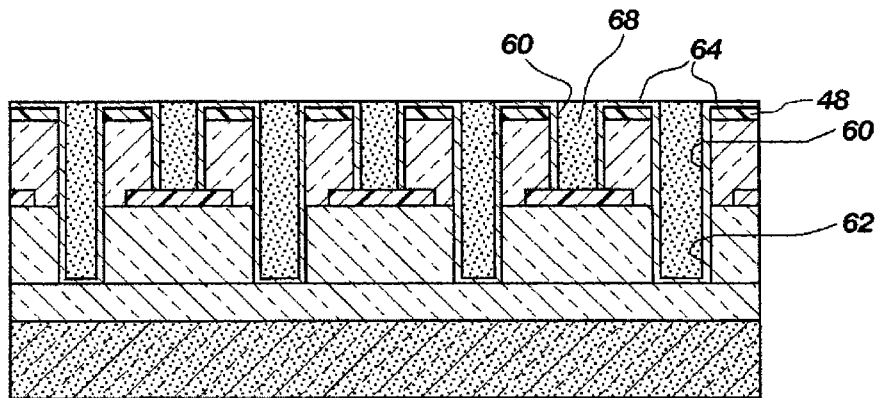


图18

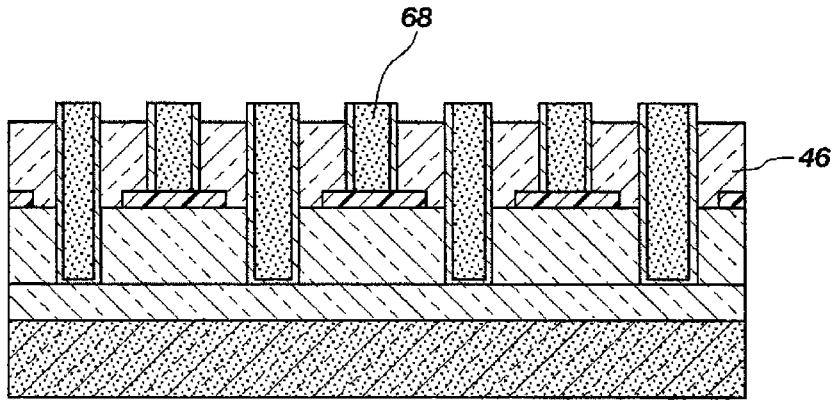


图19

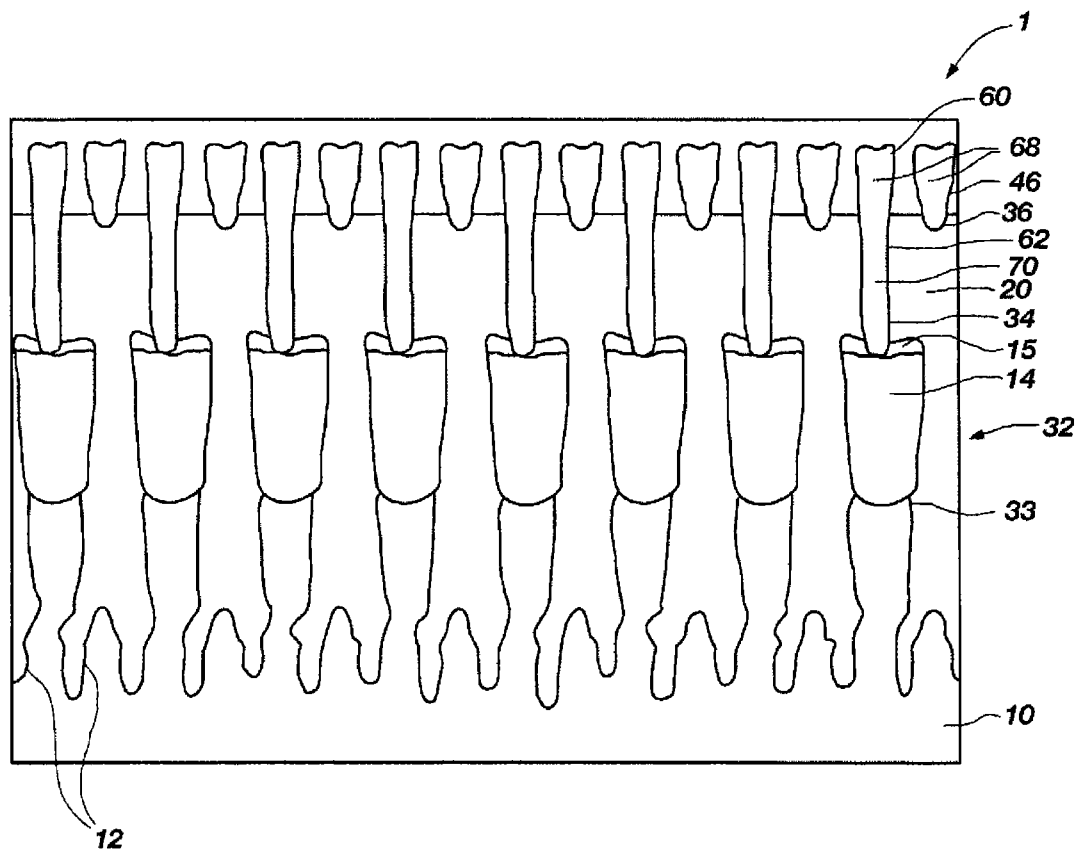


图20