

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-175621
(P2011-175621A)

(43) 公開日 平成23年9月8日(2011.9.8)

(51) Int.Cl.
G06F 13/30 (2006.01)

F I
G06F 13/30

テーマコード(参考)
5B061

審査請求 未請求 請求項の数 12 O L (全 25 頁)

(21) 出願番号 特願2010-273835 (P2010-273835)
(22) 出願日 平成22年12月8日 (2010.12.8)
(31) 優先権主張番号 特願2010-15766 (P2010-15766)
(32) 優先日 平成22年1月27日 (2010.1.27)
(33) 優先権主張国 日本国(JP)

(71) 出願人 308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目10番
23
(74) 代理人 110000992
特許業務法人ネクスト
(72) 発明者 岡田 雅樹
愛知県春日井市高蔵寺町二丁目1844番
2 富士通VLSI株式会社内
Fターム(参考) 5B061 BA03 BB06 BB07 BC07 RR03

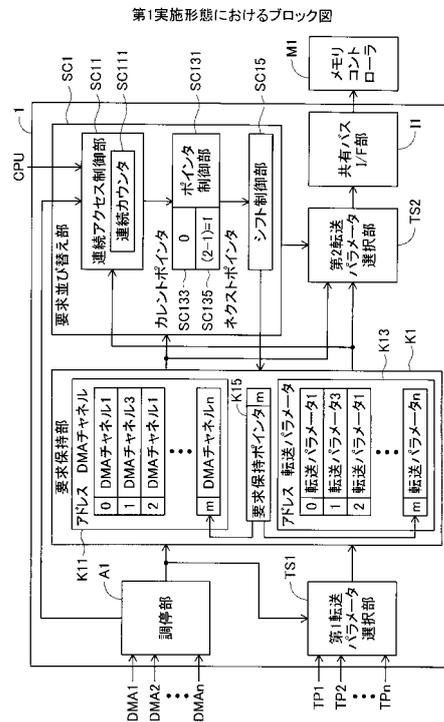
(54) 【発明の名称】 データ転送制御装置およびデータ転送制御方法

(57) 【要約】

【課題】共有バスに接続する複数のDMAチャンネルがあって、SDRAM等のメモリにアクセスする際に、あらかじめ決められた優先順位を守りながら、高効率にメモリアクセスする調停手段を提供する。

【解決手段】マスターデバイスからのデータ転送要求を一定量保持する要求保持部と、保持されたデータ転送要求を優先順位及び予め定められた回数だけ連続するように並び替える要求並び替え部とを備え、前記データ転送要求を前記要求並び替え部が並び替えた順で発行することで、優先順位に応じて複数チャンネルを並び替えるとともに同格の優先順位を持つ複数チャンネルを平均的に連続させることができる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

複数の D M A チャンネルの何れかを選択してメモリとの間でデータ転送を行うデータ転送制御装置であって、

前記 D M A チャンネルごとのデータ転送要求を一定量保持する要求保持部と、

保持された前記データ転送要求の基本転送順位を、前記 D M A チャンネルごとに予め定められた連続転送回数だけ連続するように選択して並び替える要求並び替え部とを備えることを特徴とするデータ転送制御装置。

【請求項 2】

前記要求保持部は、

前記データ転送要求が前記基本転送順位の順に格納されるレジスタを備え、

前記要求並び替え部は、

現転送タイミングで選択される前記データ転送要求が格納されている前記レジスタを指示する第 1 ポインタと、

次転送タイミングで選択される前記データ転送要求が格納されている前記レジスタを指示する第 2 ポインタとを備えることを特徴とする請求項 1 に記載のデータ転送制御装置。

【請求項 3】

前記要求並び替え部は、

前記連続転送回数を計数するカウンタを備え、

前記カウンタが前記連続転送回数を計数することに応じて、前記第 2 ポインタは、最上位の前記基本転送順位の前記レジスタを指示することを特徴とする請求項 1 または 2 に記載のデータ転送制御装置。

【請求項 4】

前記レジスタは前記基本転送順位の高い順にアドレス値が割り振られ、転送ごとに前記データ転送要求が前記基本転送順位の高いアドレス値を有する前記レジスタに繰り上がり、

前記第 2 ポインタは繰り上がり後のアドレスを指示することを特徴とする請求項 1 乃至 3 の少なくとも何れか 1 項に記載のデータ転送制御装置。

【請求項 5】

前記データ転送要求は、転送間の連続性を要求する場合に有効とされる連続転送フラグを備え、

前記連続転送回数は、有効な前記連続転送フラグに応じて設定されることを特徴とする請求項 1 乃至 4 の少なくとも何れか 1 項に記載のデータ転送制御装置。

【請求項 6】

前記要求並び替え部において、

前記データ転送要求に係る優先順位が高い D M A チャンネルほど前記連続転送回数を多く設定することを特徴とする請求項 1 乃至 5 の少なくとも何れか 1 項に記載のデータ転送制御装置。

【請求項 7】

前記複数の D M A チャンネルの一部は第 1 優先レベルを有する第 1 チャンネル群に属し、他の一部は前記第 1 優先レベルよりも優先度が低い第 2 優先レベルを有する第 2 チャンネル群に属しており、

前記要求保持部は、

前記第 1 チャンネル群に属する前記 D M A チャンネルのデータ転送要求を保持する第 1 要求保持部と、

前記第 2 チャンネル群に属する前記 D M A チャンネルのデータ転送要求を保持する第 2 要求保持部とを備え、

前記要求並び替え部は、

前記第 1 要求保持部に保持された前記データ転送要求の基本転送順位を、前記 D M A チャンネルごとに予め定められた第 1 連続転送回数だけ連続するように選択して並び替える第

10

20

30

40

50

1 要求並び替え部と、

前記第 2 要求保持部に保持された前記データ転送要求の基本転送順位を、前記 D M A チャンネルごとに予め定められた第 2 連続転送回数だけ連続するように選択して並び替える第 2 要求並び替え部と、

前記第 1 要求並び替え部による前記第 1 連続転送回数の連続選択を 1 セットとして第 1 セット数の連続選択を有効にするごとに、前記第 2 要求並び替え部による前記第 2 連続転送回数の連続選択を 1 セットとして第 2 セット数の連続選択を有効にする優先レベル調停部とを備えることを特徴とする請求項 1 乃至 6 の何れか 1 項に記載のデータ転送制御装置。

【請求項 8】

10

前記第 1 チャンネル群に属する D M A チャンネルのデータ転送要求が前記第 1 要求保持部に保持されていない状態から新たに保持されるまでの所定期間、前記第 2 要求保持部に保持されている前記データ転送要求が前記第 2 要求並び替え部により選択されることをマスクする第 1 マスク部を備えることを特徴とする請求項 7 に記載のデータ転送制御装置。

【請求項 9】

前記第 2 要求並び替え部による前記第 2 セット数より大きな第 3 セット数の連続選択が有効にされることに応じて、前記第 2 要求保持部に保持されている前記データ転送要求が前記第 2 要求並び替え部により選択されることをマスクする第 2 マスク部を備えることを特徴とする請求項 7 に記載のデータ転送制御装置。

【請求項 10】

20

前記複数の D M A チャンネルの一部は第 1 優先レベルを有する第 1 チャンネル群に属し、他の一部は前記第 1 優先レベルよりも優先度が低い第 2 優先レベルを有する第 2 チャンネル群に属しており、

前記要求保持部は、

前記第 1 チャンネル群に属する前記データ転送要求が入力されるごとに 1 を加算し出力されるごとに 1 を減算するポイントであって、入力される該データ転送要求の前記レジスタにおける格納位置を指示する第 1 要求保持ポイントと、

前記第 1 チャンネル群に属する前記データ転送要求が入力される回数をカウントし、所定回数のカウントにより初期化される第 1 カウンタと、

前記第 1 および第 2 チャンネル群に属する前記データ転送要求が入力されるごとに 1 を加算し出力されるごとに 1 を減算するポイントであって、前記レジスタにおける最下位格納位置であって入力される該データ転送要求の格納位置を指示する第 2 要求保持ポイントと

30

、前記第 1 要求保持ポイントは、前記第 1 カウンタの初期化に応じて、前記第 1 要求保持ポイントの値が前記第 2 要求保持ポイントの値より小さい場合に、前記第 1 要求ポイントに前記 1 よりも大きな規定数を加算するポイント制御部とを備えることを特徴とする請求項 2 乃至 6 の何れか 1 項に記載のデータ転送制御装置。

【請求項 11】

前記第 2 チャンネル群に属する前記データ転送要求が入力されるごとにカウントアップし出力されるごとにカウントダウンする第 2 カウンタと、

40

前記第 2 カウンタのカウント値が規定カウント値である場合に、前記第 2 チャンネル群に属する前記データ転送要求の入力をマスクする入力マスク部とを備えることを特徴とする請求項 10 に記載のデータ転送制御装置。

【請求項 12】

複数の D M A チャンネルの何れかを選択してメモリとの間でデータ転送を行うデータ転送制御方法であって、

前記 D M A チャンネルごとのデータ転送要求を一定量保持する行程と、

保持された前記データ転送要求の基本転送順位を、前記 D M A チャンネルごとに予め定められた連続転送回数だけ連続するように選択して並び替える行程とを有することを特徴とするデータ転送制御方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

複数の機能がDirect Memory Access (DMA)チャネルを通じて共有バスに接続される際のデータ転送に関する。

【背景技術】

【0002】

メモリアクセスの高効率化について複数の技術が知られている。例えば、メモリアクセスにおけるオーバーヘッドを隠蔽して高転送効率を図るメモリアクセス装置として、メモリアクセス要求の単位で発行順を入れ替えるのではなく、バンク単位のコマンドの発行順を入れ替える技術が知られている。また、転送効率の改善と高速化アクセスを図るデータ処理装置として、一つのバッファに格納されたアドレスと該バッファに接続するバッファに格納されたアドレスとを比較し、連続転送可能であることを示す場合、転送先デバイスに対し連続してアドレスとデータを送出する技術が知られている。また、利用環境に応じたバス調停を行うバス調停方法として、DMA要求信号を優先順位と関連付けられた固有の識別番号に従って並び替え、最も優先順位の高いDMA要求信号を選択する技術が知られている(特許文献1~3)。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-260472

【特許文献2】特開2002-304365

【特許文献3】特開2005-71186

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、前記メモリアクセス装置では、バンク等の転送アドレスで並び替えをすると優先順位制御が意味をなくしてしまう。

また、デジタルスチルカメラからの画像データの転送などに例示されるように、メモリアクセス要求の少ない期間と多い期間とが混在してデータ転送量に粗密があるDMAチャネルがある場合、他のDMAチャネルによるデータ転送との関係により当該DMAチャネルにおけるデータ転送が滞りシステム破綻を招来するおそれがある。

30

【課題を解決するための手段】

【0005】

複数のDMAチャネルの何れかを選択してメモリとの間でデータ転送を行うデータ転送制御装置であって、前記DMAチャネルごとのデータ転送要求を一定量保持する要求保持部と、保持された前記データ転送要求の基本転送順位を、前記DMAチャネルごとに予め定められた連続転送回数だけ連続するように選択して並び替える要求並び替え部とを備えることを特徴とする。

【発明の効果】

40

【0006】

本発明によれば、不連続に受け付けられたデータ転送要求を、DMAチャネルごとに連続させることができ、また、複数のDMAチャネルのデータ転送を平均的に連続させることができる。これにより、効率の高いデータ転送が可能となる。

【図面の簡単な説明】

【0007】

【図1】第1実施形態におけるブロック図

【図2】要求並び替え部SC1の動作時のフロー

【図3】要求保持部K1の動作時のフロー

【図4】要求並び替え部SC1および要求保持部K1の動作の具体例

50

- 【図5】第2実施形態におけるブロック図
- 【図6】第3実施形態におけるブロック図
- 【図7】第3実施形態の要求保持・並べ替え部のブロック図
- 【図8】レベル間調停部の動作説明図
- 【図9】チャンネル確定部の動作説明図
- 【図10】優先フラグ生成部のブロック図
- 【図11】優先フラグ生成部の動作を説明するためのフロー
- 【図12】第3実施形態による要求発行の例を示す図
- 【図13】レベル1要求の発行を制御する第1変形例のブロック図(要部)
- 【図14】レベル1要求の発行を制御する第2変形例のブロック図(要部)
- 【図15】レベル1要求の発行を制御する第1および第2変形例により制御されたデータ転送の様子を示す模式図
- 【図16】第4実施形態におけるブロック図(要部)
- 【図17】第4実施形態の動作を説明する図
- 【発明を実施するための形態】
- 【0008】

図1として第1実施形態におけるブロック図を示す。メモリアクセス制御部1は調停部A1、第1転送パラメータ選択部TS1、要求保持部K1、要求並び替え部SC1、第2転送パラメータ選択部TS2、共有バスI/F部I1を備える。

【0009】

外部装置からメモリへのDMAアクセス要求に伴い、調停部A1には、複数のDMAチャンネル信号DMA1ないしDMA_nが入力される。DMAチャンネル信号DMA1ないしDMA_nはDMAアクセス要求が行われたDMAチャンネルの番号を示す信号である。また、第1転送パラメータ選択部TS1には、DMAチャンネル信号DMA1ないしDMA_nに対応する複数の転送パラメータ信号TP1ないしTP_nが外部から入力される。転送パラメータTP1ないしTP_nは、DMAアクセスを行うメモリのアドレスの指定、リードライト等のアクセス方法の指定、および後述する連続転送フラグを含む信号である。

調停部A1は同時に受け付けられた複数のDMAチャンネル信号DMA1ないしDMA_nについて予め定められたチャンネルの優先順位に従って調停を行う。そして、調停部A1は、DMAチャンネル信号の調停後、DMAチャンネル信号を要求保持部K1および第1転送パラメータ選択部TS1へと出力する。そして、第1転送パラメータ選択部TS1は、調停部A1から入力されたDMAチャンネル信号に対応する転送パラメータ信号を要求保持部K1へと出力する。

【0010】

要求保持部K1はDMAチャンネル要求保持部K11、転送パラメータ保持部K13、および要求保持ポインタK15を備える。DMAチャンネル要求保持部K11には、調停部A1から、調停部A1によって調停されたDMAチャンネル信号が入力される。転送パラメータ保持部K13は第1転送パラメータ選択部TS1に接続され、第1転送パラメータ選択部TS1から出力される、調停されたDMAチャンネル信号に対応する転送パラメータ信号が入力される。

【0011】

DMAチャンネル要求保持部K11および転送パラメータ保持部K13は、ともにアドレス0からアドレスmまでのm+1個のレジスタを備える。DMAチャンネル要求保持部K11および転送パラメータ保持部K13の備えるレジスタは、ともに要求保持ポインタK15によって指示される。DMAチャンネル要求保持部K11には、アドレス0~mの各レジスタに、外部からの伝送要求に対して調停部A1で調停されるDMAチャンネル信号がアドレスの若い順に格納された上で保持される。転送パラメータ保持部K13には、アドレス0~mの各レジスタに、DMAチャンネル要求保持部K11の各レジスタに保持されているDMAチャンネル信号に対応する転送パラメータ信号がアドレスの若い順に格納された上で保持される。

10

20

30

40

50

【 0 0 1 2 】

要求保持ポインタ K 1 5 は、D M A チャンネル要求保持部 K 1 1 のレジスタのうち D M A チャンネル信号が保持されているレジスタのアドレスの最大値、および転送パラメータ保持部 K 1 3 のレジスタのうち転送パラメータ信号が保持されているレジスタのアドレスの最大値を示す。すなわち、要求保持ポインタ K 1 5 は、D M A チャンネル要求保持部 K 1 1 に保持されている伝送要求のなされた D M A チャンネル信号の個数から 1 を減算した値、および転送パラメータ保持部 K 1 3 に保持されている転送パラメータ信号の個数から 1 を減算した値を示す。

【 0 0 1 3 】

要求保持部 K 1 から出力される D M A チャンネル信号は要求並び替え部 S C 1 に入力される。また、要求保持部 K 1 から出力される転送パラメータ信号は要求並び替え部 S C 1 および第 2 転送パラメータ選択部 T S 2 に入力される。

10

【 0 0 1 4 】

要求並び替え部 S C 1 は、連続アクセス制御部 S C 1 1 と、カレントポインタ S C 1 3 3 と、ネクストポインタ 1 3 5 と、ポインタ制御部 S C 1 3 1 と、シフト制御部 S C 1 5 とを備える。要求並び替え部 S C 1 は、要求保持部 K 1 から D M A チャンネル信号が入力される。

連続アクセス制御部 S C 1 1 は連続カウンタ S C 1 1 1 を備える。連続アクセス制御部 S C 1 1 には、調停部 A 1 および外部の C P U から、同一の D M A チャンネルからメモリへの連続アクセスのディセーブル/イネーブルを制御する信号が入力される。また、要求保持部 K 1 から転送パラメータが入力される。転送パラメータには連続転送フラグが含まれており、連続転送フラグによっても同一の D M A チャンネルからメモリへの連続アクセスのディセーブル/イネーブルが制御される。

20

【 0 0 1 5 】

例えば、画像データ転送の場合、各チャンネルがアクセスするメモリのアドレスは連続しているため、各チャンネルはメモリ上の同一ページ内へ連続してアクセスすることが多い。メモリコントローラ M 1 は、同一ページ内への連続アクセスの場合、プリチャージ動作を行わないでデータ転送行うことができる。よって、チャンネル番号ごとにまとめて並び替えて連続した要求を発行することで高効率な転送を行うことが可能となる。

【 0 0 1 6 】

アクセス要求を連続させる判定のための情報は、あらかじめ D M A チャンネルに対応させて C P U から指示、あるいは、調停部 A 1 から優先順位の高いチャンネルについて動的に指示する。

30

【 0 0 1 7 】

画像データ転送の場合、水平画素折り返しや 1 フレーム内の局所アクセスでは、アドレスが不連続になる可能性がある。そこで、連続アクセスではないことを、チャンネルの要求と同時に連続転送フラグをディセーブルにして指示し変更可能とする。この連続転送フラグは転送パラメータに埋め込まれ、マスターデバイスから転送される。

【 0 0 1 8 】

例えば、撮像時における C M O S センサのデータ保持可能期間などの外部装置の時間的制約等に起因するシステム破綻を回避するためにまとまったデータ転送が必要とされる時には、連続転送フラグをイネーブルとすることで連続転送を可能とする。

40

【 0 0 1 9 】

さらに同格のチャンネルは平均的に連続となるように、あるいは特定チャンネルばかりが連続しないように、連続アクセスを許可する回数をチャンネルごとに指示し、連続カウンタ S C 1 1 1 によって制御し、アプリケーションに応じた調停と高効率アクセスが調整できるようにする。

【 0 0 2 0 】

ポインタ制御部 S C 1 3 1 は、連続アクセス制御部 S C 1 1 からの制御信号に基づき、カレントポインタ S C 1 3 3、ネクストポインタ S C 1 3 5、シフト制御部 S C 1 5 を制

50

御する。

カレントポインタ S C 1 3 3 は D M A チャンネル要求保持部 K 1 1 および転送パラメータ保持部 K 1 3 のレジスタを指示するポインタである。カレントポインタ S C 1 3 3 に指されたレジスタに格納されている D M A チャンネル信号と転送パラメータ信号が第 2 転送パラメータ選択部 T S 2 に選択される。

【 0 0 2 1 】

ネクストポインタ S C 1 3 5 は、カレントポインタ S C 1 3 3 と同様に、D M A チャンネル要求保持部 K 1 1 および転送パラメータ保持部 K 1 3 のレジスタを指示するポインタである。ネクストポインタ S C 1 3 5 は、カレントポインタ S C 1 3 3 が指示するレジスタに格納された D M A チャンネル番号と同一の D M A チャンネル番号が要求保持部 K 1 1 のレジスタに存在している場合は、そのレジスタのアドレスのから 1 を引いたアドレスを示す。または、ネクストポインタ S C 1 3 5 は、カレントポインタ S C 1 3 3 が指示するレジスタに格納された D M A チャンネル番号と同一の D M A チャンネル番号が D M A チャンネル要求保持部 K 1 1 のレジスタ中に存在しない場合は 0 を示す。

【 0 0 2 2 】

カレントポインタ S C 1 3 3 の指示するアドレスに格納されている D M A チャンネル信号および転送パラメータ信号が第 2 転送パラメータ選択部 T S 2 へと出力される。その後、ポインタ制御部 S C 1 3 1 は、シフト制御部 S C 1 5 を制御し、D M A チャンネル要求保持部 K 1 1 および転送パラメータ保持部 K 1 3 のレジスタの内容を 1 アドレス若いレジスタにシフトする。

その後、ポインタ制御部 S C 1 3 1 は、ネクストポインタ S C 1 3 5 に保持された値をカレントポインタ S C 1 3 3 に上書きする。これらポインタ制御部 S C 1 3 1 の制御により同一の D M A チャンネルからの D M A アクセス要求を連続させることができる。動作の詳細については後述する。

【 0 0 2 3 】

第 2 転送パラメータ選択部 T S 2 は、要求保持部 K 1 から転送パラメータが入力される。また、要求並び替え部 S C 1 からカレントポインタ S C 1 3 3 の値が入力される。入力されたカレントポインタ S C 1 3 3 の値に基づき、共有バス I / F 部 I 1 へと出力する転送パラメータを決定し、出力する。

【 0 0 2 4 】

共有バス I / F 部 I 1 は、外部に存在するメモリコントローラ M 1 と接続され、入力された転送パラメータに基づき、メモリコントローラ M 1 へ D M A アクセス要求を出力する。メモリコントローラ M 1 について、バスプロトコルの要求受付シーケンスとデータ転送シーケンスは分離されており、データ転送シーケンスの実行状態に関わらず要求受付シーケンスが実行される。

【 0 0 2 5 】

要求並び替え部 S C 1 のフローチャートを図 2 に示す。また、要求保持部 K 1 のフローチャートを図 3 に示す。また、図 4 には、図 2、図 3 のフローを具体的に示す。要求並び替え部 S C 1 が動作を開始する (S 0)。カレントポインタ S C 1 3 3、ネクストポインタ 1 3 5、連続カウンタ S C 1 1 1 を初期化し 0 とする (S 2)。

【 0 0 2 6 】

カレントポインタ S C 1 3 3 により選択される D M A 要求保持部 K 1 1 に保持された D M A チャンネル信号により指示されるチャンネルが有効なチャンネルである場合 (S 4 : Y E S)、カレントポインタ S C 1 3 3 により選択された D M A チャンネル信号により示される D M A チャンネル (以下、選択チャンネルと呼ぶ) の連続転送フラグをチェックする (S 6)。選択チャンネルが有効なチャンネルでなかった場合 (S 4 : N O)、再度選択チャンネルについての有効性をチェックする (S 4)。連続転送フラグが有効であれば (S 6 : Y E S)、選択チャンネルと同一のチャンネルが D M A チャンネル要求保持部 K 1 1 にスタックされている D M A チャンネル中にあるかどうかサーチする (S 8)。連続転送フラグが無効であった場合、後に記載のステップ S C 1 4 を実行する (S 6 : N O)。選択チャンネルがあった場合

10

20

30

40

50

(S10: YES)、一致したアドレスの値から1を引いた値をネクストポインタ135に格納して更新する(S12)。DMA要求保持部K11にスタックされている要求チャンネル中に選択チャンネルがなかった場合は(S10: NO)、ネクストポインタ135に0を代入する(S14)。

【0027】

メモリアクセス制御部1は、メモリコントローラM1に対して、カレントポインタSC133により指示されている要求保持部K1のDMA要求保持部K11に格納されているDMAチャンネル信号についての要求を第2転送パラメータ選択部TS2へ発行する(S16)。そして、要求保持部K1のカレントポインタSC133が保持するアドレスより大きなアドレス値を持つレジスタについて、その内容を"1"アドレス若いレジスタにシフト

10

【0028】

次に、カレントポインタSC133が指示している転送パラメータ保持部K13に格納されている連続パラメータに含まれる連続転送フラグがイネーブルにされているかどうかチェックを行う(S20)。連続転送フラグがイネーブルにされていた場合(S20: YES)、連続カウンタSC111に1を加算する(S22)。連続転送フラグがイネーブルにされていない場合には(S20: NO)、後述する処理(S26)に移る。

【0029】

20

ステップS22の後、連続カウンタSC111の値が設定値未満かどうかチェックを行う(S24)。連続カウンタSC111の値が設定値と等しいときは(S24: YES)、カレントポインタSC133、ネクストポインタ135、連続カウンタSC111を全て0に初期化する(S26)。連続カウンタSC111の値が設定値に満たない場合は(S24: NO)、後述する処理(S28)に移る。

最後に、全部の処理が終了しているか否かをチェックする(S28)。要求保持部K1に保持されているリクエストが無い、すなわち、要求保持ポインタK15の値が0である場合、全部の処理が終了していると判断される(S28: YES)。そして、処理を終了する(S30)。全部の処理が終了していなかった場合(S28: NO)は、ステップS4に戻る。

30

【0030】

要求保持部K1のフローチャートを図3に示す。なお、要求並び替え部SC1と要求保持部K1において要求保持ポインタK15は共通である。

【0031】

要求保持部K1が動作を開始すると(T0)、要求保持ポインタK15の内容を初期化し、値として0を代入する(T2)。要求保持部K1がシフト中ではない場合(T4: NO)、調停部A1から要求保持部K1にデータ転送を要求するDMAチャンネル信号を取り込み、要求保持ポインタK15の値を1加算する(T6)。要求保持部K1がシフト中の場合(T4: YES)、シフト動作が完了するまで待機する。調停部A1からデータ転送を要求するDMAチャンネル番号が引き続き入力されている場合は(T8: NO)、ステップT4に戻る。調停部A1からデータ転送を要求するDMAチャンネル信号の入力がない場合は全処理が終了したと判断され(T8: YES)、処理を終了する(T10)。

40

【0032】

以上説明した図2、図3に係るフローを図4に示す具体例により説明する。

【0033】

図4において、DMA要求保持部K11のレジスタの個数を8個とし、DMA要求保持部K11には、調停部A1からの調停結果に応じてレジスタのアドレス0~7にDMAチャンネル信号が保持されている。具体的には、アドレス0~7のそれぞれのレジスタに、DMAチャンネル1、2、1、3、2、1、4、2を示すDMAチャンネル信号が保持されている。これに応じて要求保持ポインタK15には"7"が保持されている。カレントポインタ

50

SC133、ネクストポインタSC135には、それぞれ、"0"、"1" (= 2 - 1) が保持されている状態である。

【0034】

ステップS4により、カレントポインタSC133に保持されている"0"のアドレスを有するDMA要求保持部K11のレジスタに保持されているDMAチャンネル信号(DMAチャンネル1を指示)は有効なチャンネルであるか否かが判断される。

【0035】

カレントポインタSC133に選択されたDMAチャンネル信号であるDMAチャンネル1の連続転送が有効であったとする(図2、S6: YES)。この場合、ステップS8により、ポインタ制御部SC131はDMAチャンネル要求保持部K11のアドレス1以上のレジスタについて、DMAチャンネル1を示すDMAチャンネル信号が保持されているか否かをサーチする。サーチした結果、アドレス2のレジスタにDMAチャンネル1を示すDMAチャンネル信号が保持されていることが検出される(図2、S10: YES)。よって、ステップS12により、ポインタ制御部SC131は、アドレスの値2から1を減算した値1をネクストポインタSC135に格納する。

【0036】

そして、ステップS16により、DMAチャンネル要求保持部K11のアドレス0のレジスタに格納されたDMAチャンネル1を示すDMAチャンネル信号が、第2転送パラメータ選択部TS2へと出力される。

出力された結果、DMAチャンネル要求保持部K11のアドレス0のレジスタがクリアされる。ステップS18(1)により、シフト制御部SC15によりDMAチャンネル要求保持部K11は、アドレス1から7に格納されたDMAチャンネル信号を1ずつ若いアドレスのレジスタへ移動し、空になったアドレス0のレジスタをつめるシフト動作を行う。

【0037】

ステップS18(2)により、ネクストポインタSC135の値をカレントポインタSC133に上書きする。そして、カレントポインタSC133は、アドレス1のレジスタを指示する。この時、アドレス1のレジスタにはDMAチャンネル1を示すDMAチャンネル信号が格納されている。よって、次にDMAチャンネル要求保持部K11から第2転送パラメータ選択部TS2へ転送されるDMAチャンネル信号は、再びDMAチャンネル1を示すDMAチャンネル信号となる。結果、DMAチャンネル1についてのアクセスが連続して実行される。

【0038】

DMAチャンネル要求保持部K11に格納されたDMAチャンネル信号が第2転送パラメータ選択部TS2に転送された後、シフト動作が行われる。結果、DMAチャンネル要求保持部K11のレジスタのうちDMAチャンネル信号が保持されているレジスタのアドレスの最大値が7から1減少して6になり、要求保持ポインタK15の値も6へと変更される。

ステップT6において、調停部A1に新たなDMAチャンネル信号が入力されると、調停部A1から新たに調停されたDMAチャンネル信号が出力され、DMAチャンネル要求保持部K11に入力される。この場合、DMAチャンネル要求保持部K11の空きレジスタのうち一番若いアドレスのレジスタへ当該DMAチャンネル信号は格納され、要求保持ポインタK15の値は1加算される。

【0039】

以下に第1実施例の効果を述べる。例えば、画像データ転送におけるバースト転送によるメモリアクセスでは、同じチャンネルの連続アクセスは同じページ内の可能性が高いという特徴がある。また、優先順位の高いチャンネルは、必要とするデータサイズに対して、当該データサイズより小さいバーストサイズで転送を行う場合がある。この場合、バーストサイズ単位で分割された要求が発行される。分割された要求が不連続に受け付けられると、メモリへのアクセス効率が低下する虞がある。

【0040】

このことから、要求保持部K1においてアクセスごとに異なるチャンネル番号の要求を、

10

20

30

40

50

要求並び替え部 S C 1 において、チャンネル番号ごとにまとめて並び替えて連続した要求とする。これにより、不連続に受け付けられた優先順位の高いチャンネルの要求をまとめて発行することができ、高効率なデータ転送が可能となる。

【 0 0 4 1 】

また、カレントポインタ S C 1 3 3 及びネクストポインタ S C 1 3 5 は、ポインタ制御部 S C 1 3 1 により制御される。カレントポインタ S C 1 3 3 は、D M A チャンネル要求保持部 K 1 1 及び転送パラメータ保持部 K 1 3 が備えるレジスタのうち、現在転送が行われている D M A チャンネル信号及び転送パラメータの格納されているレジスタのアドレスを指示する。ネクストポインタ S 1 3 5 は、D M A チャンネル要求保持部 K 1 1 及び転送パラメータ保持部 K 1 3 が備えるレジスタのうち、次の転送タイミングで転送を行う D M A チャンネル信号及び転送パラメータの格納されているレジスタのアドレスを指示する。この、カレントポインタ S 1 3 3 及びネクストポインタ S 1 3 5 の制御により、要求並び替え部 S C 1 は速やかに選択チャンネルの要求を発行することができる。

10

【 0 0 4 2 】

また、D M A チャンネル要求保持部 K 1 1 及び転送パラメータ保持部 K 1 3 は、調停部 A 1 が調停した D M A チャンネル信号及び転送パラメータ信号を、アドレスの若い順番でレジスタに保持する。また、D M A チャンネル要求保持部 K 1 1 及び転送パラメータ保持部 K 1 3 は、D M A チャンネル信号及び転送パラメータ信号を第 2 転送パラメータ選択部に発行した後、シフト動作を行い、信号の発行に伴ない空となったレジスタをつめる。メモリアクセス制御部 1 が連続して同じ D M A チャンネルのデータ転送要求を発行する場合、ネクストポインタ S 1 3 5 は、前記シフト動作によるアドレスのくり上がりを考慮したアドレス値を保持する。メモリアクセス制御部 1 がデータ転送要求発行をした後、ネクストポインタ S 1 3 5 の保持するアドレス値をカレントポインタ S 1 3 3 のアドレス値として上書きすることで、速やかに次のデータ転送要求を発行することが出来る。

20

【 0 0 4 3 】

チャンネルを連続させる回数をチャンネルごとにあらかじめ設定し、処理を行う度連続カウンタ S C 1 1 1 を 1 加算し、連続カウンタ S C 1 1 1 の値と設定値を比較する。そして、連続カウンタ S C 1 1 1 の値が設定値と等しくなったとき、次の優先順位のチャンネルに移移させる。これにより、同格のチャンネルが平均的に連続となるように、あるいは特定チャンネルだけが連続しないようにすることが実現出来る。

30

【 0 0 4 4 】

チャンネル番号とセットで保持される連続パラメータに含まれる連続転送フラグを参照しながらチャンネル番号をサーチし、同じチャンネル番号が D M A チャンネル要求保持部 K 1 1 にあっても連続転送フラグがイネーブルでなければ、次の優先順位のチャンネルに移行する。

例えば、画像データの転送時に画像右端からの折り返しでデータアドレスが不連続となる場合、D M A チャンネルが連続転送フラグをディセーブルにすることで、次の優先順位の D M A チャンネルに移行し、転送効率の低下を抑止できる。

【 0 0 4 5 】

特定の D M A チャンネルがまとまった転送を必要とする場合、その D M A チャンネルは調停部 A 1 において優先順位が高くなるように設定されているので、要求保持部 K 1 における出現率は高い。さらに、当該まとまった転送を必要とする D M A チャンネルの送信する転送パラメータが含む連続転送フラグをイネーブルに設定する。さらに、当該 D M A チャンネルについて、連続カウンタ S C 1 1 1 の値を、まとまった転送を必要としない D M A チャンネルに比して大きく設定する。この連続転送フラグ及び連続カウンタ S C 1 1 1 の設定により、まとまった転送を必要とする D M A チャンネルについてのデータ転送を連続させることが可能となり、転送効率を上げることができる。また、まとまったデータ転送を必要とする特定の D M A チャンネルにおいて、連続してデータ転送要求が発行できない条件が発生した場合であっても、次の優先順位の D M A チャンネルの転送を続けることができるので、転送効率を下げることはない。

40

【 0 0 4 6 】

50

特定のDMAチャネルについての連続アクセスの制御は、調停部A1が優先順位の高いDMAチャネルについては、連続転送フラグを設定することで実現できる。また、DMAチャネル自身が連続転送フラグをDMAチャネル毎の転送状況に応じて動的に設定することも、連続アクセスの制御を実現できる。また、外部のCPUから連続アクセス制御部SC11を設定することで、システム全体の転送状況等に応じて動的に連続アクセスを制御することも可能である。

【0047】

第2実施形態を図5に示す。第2の実施例の回路はリードアクセス制御部1Aと、ライトアクセス制御部1Bと、リード/ライトアクセス調停部RWAとを有する。リードアクセス制御部1Aとライトアクセス制御部1Bは第1実施形態のメモリアクセス制御部1である。リードアクセス制御部1Aの共有バスI/F部I1及びライトアクセス制御部1Bの共有バスI/F部I1は、リード/ライトアクセス調停部RWAと接続される。

10

また、リード/ライトアクセス調停部RWAはメモリコントローラM1とリードバスおよびライトバスを介して接続される。

また、リード/ライトアクセス調停部RWAは、CPUまたはリードアクセス制御部1Aおよびライトアクセス制御部1Bの要求保持部K1または要求並び替え部SC1と接続される。

【0048】

第2実施形態において、メモリコントローラM1は、リードアクセスする経路とライトアクセスする経路が分離されたバス構成に接続される。当該接続形態において、リードアクセスあるいはライトアクセスどちらか一方が一定数以上連続するように転送を行うと、リードアクセスおよびライトアクセスを交互に行うのに比して、高効率な転送を行うことができる。

20

CPUからの指示あるいは、リードアクセス制御部1Aおよびライトアクセス制御部1Bの要求保持部K1または要求並び替え部SC1の情報によりリード/ライトアクセス調停部RWAは制御される。

リードあるいはライトの一方のアクセスが連続している期間、他方をディセーブルするなどの手段により、メモリコントローラM1の実行レベルでリードアクセスあるいはライトアクセスが連続となるようにする。

【0049】

30

第2実施形態における制御の一例を示す。画像データの転送では画像の拡大・縮小処理などアプリケーションの種類に応じてリードアクセスするデータ量とライトアクセスするデータ量の比が変わることがある。この場合、アプリケーションに応じたデータ量の比に基づき、リードアクセスまたはライトアクセスどちらか一方を他方に優先して連続して転送するようにリード/ライトアクセス調停部RWAを制御する。

【0050】

あるいは要求保持部K1に保持されたアクセス要求数の比に基づき、リードアクセスまたはライトアクセスどちらか一方を他方に優先して連続して転送するようにリード/ライトアクセス調停部RWAを制御する。これらの制御により、高効率な転送を行うことができる。

40

【0051】

図6は第3実施形態におけるブロック図である。メモリアクセス制御部1Cは、要求保持・並び替え部11A、11B、レベル間調停部13、チャンネル確定部15、優先フラグ生成部17、アンド論理回路AND1、AND2、共有バスI/F部I1を備える。

【0052】

要求保持・並び替え部11A、11Bは、各々、第1実施形態(図1)における、調停部A1、第1転送パラメータ選択部TS1、要求保持部K1、要求並び替え部SC1、第2転送パラメータ選択部TS2を備える。ここで、転送パラメータTP1ないしTPnに関する処理は第1実施形態と同様であるので、第3実施形態では説明を省略し、DMAチャネル信号を例にとり説明する。この場合、DMAチャネル信号DMA1ないしDMA5

50

を例示して説明する。

【 0 0 5 3 】

メモリアクセス制御部 1 C は、要求保持・並び替え部 1 1 A、1 1 B を備える。DMA チャンネルに設定されている優先度ごとに備えるものである。要求保持・並び替え部 1 1 A は優先度が高い（レベル 0）の DMA チャンネル信号 DMA 1、DMA 2 が入力される。要求保持・並び替え部 1 1 B は優先度がレベル 0 より低い（レベル 1）の DMA チャンネル信号 DMA 3 ないし DMA 5 が入力される。

【 0 0 5 4 】

要求保持・並び替え部 1 1 A、1 1 B からは、各々、要求並び替え部 S C 1 により選択された DMA チャンネル信号である選択 DMA チャンネル信号 S N L 0、S N L 1、要求並び替え部 S C 1 による連続転送のうち最後の転送であることを示す連続転送終了信号 S L L 0、S L L 1、および出力される選択 DMA チャンネル信号 S N L 0、S N L 1 の有無を示す有効信号 S E L 0、S E L 1 が出力される。

【 0 0 5 5 】

要求保持・並び替え部 1 1 A、1 1 B のブロック図を図 7 に示す。選択 DMA チャンネル信号 S N L 0、S N L 1、連続転送終了信号 S L L 0、S L L 1、および有効信号 S E L 0、S E L 1 が出力される他は第 1 実施形態（図 1）のメモリアクセス制御部 1 と同様な回路要素を備える。

【 0 0 5 6 】

要求保持・並び替え部 1 1 A、1 1 B では、選択 DMA チャンネル信号 S N L 0、S N L 1 は第 2 転送パラメータ選択部 T S 2 から出力される。要求並び替え部 S C 1 から入力されるカレントポインタ S C 1 3 3 の値に基づき DMA チャンネル信号が決定され、選択 DMA チャンネル信号 S N L 0、S N L 1 として出力される。連続転送終了信号 S L L 0、S L L 1 は連続アクセス制御部 S C 1 1 から出力される。チャンネルを連続させる回数をチャンネルごとにあらかじめ設定し、処理を行うたびに連続カウンタ S C 1 1 1 を 1 加算する。連続カウンタ S C 1 1 1 の値が連続転送における最後の転送を示す値になったとき連続転送終了信号 S L L 0、S L L 1 が出力される。有効信号 S E L 0、S E L 1 はポインタ制御部 S C 1 3 1 から出力される。カレントポインタ S C 1 3 3 にあるアドレスに保持されている DMA 要求保持部 K 1 1 のレジスタに保持されている DMA チャンネル信号が有効なチャンネルであるか否かが判断され、有効であると判断される場合に有効信号 S E L 0、S E L 1 が出力される。

【 0 0 5 7 】

引き続き図 6 の説明を続ける。レベル間調停部 1 3 は、有効信号 S E L 0、S E L 1 のうちの何れか一方に有効な要求があることを示す場合、その有効な要求があることを示す有効信号をレベル間調停信号 S A L 0 として出力する。有効信号 S E L 0、S E L 1 がともに有効な要求であることを示す場合、つまり有効信号 S E L 0、S E L 1 が競合している場合には、優先フラグ生成部 1 7 から出力される優先フラグ S P L 0（後述）に従って何れか一方の有効信号を選択し、レベル間調停信号 S A L 0 として出力する。つまり、レベル間調停部 1 3 は、優先フラグ S P L 0 に従って、レベル 0 を優先する場合には有効信号 S E L 0 を選択し、レベル 1 を優先する場合には有効信号 S E L 1 を選択する。

【 0 0 5 8 】

図 8 は、レベル間調停部 1 3 の動作説明図である。「0」の優先フラグ S P L 0 はレベル 0 を優先することを示し、「1」の優先フラグ S P L 0 はレベル 1 を優先することを示す。「1」の有効信号 S E L 0、S E L 1 は、選択 DMA チャンネル信号 S N L 0、S N L 1 が出力され DMA チャンネルからの要求があることを示し、「0」は要求がないことを示す。

【 0 0 5 9 】

従って、有効信号 S E L 0、S E L 1 がともに「1」の場合は、レベル 0、1 間において要求が競合していることを示す。この場合、レベル間調停部 1 3 は、選択結果に示すように、「0」の優先フラグ S P L 0 に従って有効信号 S E L 0 を選択し、「1」の優先フラ

10

20

30

40

50

グ S P L 0 に従って有効信号 S E L 1 を選択する。

【 0 0 6 0 】

チャンネル確定部 1 5 は、レベル間調停信号 S A L 0 と有効信号 S E L 1 に応じて、選択 D M A チャンネル信号 S N L 0、S N L 1 に対してバス使用権を確定したか否かを示すイネーブル信号 E N L 0 1、E N L 0 2 を生成する。選択された D M A チャンネル信号は確定 D M A チャンネル信号 S D として出力され、共有バス I / F 部 I 1 に入力される。

【 0 0 6 1 】

図 9 は、チャンネル確定部 1 5 の動作説明図である。「 1 」のレベル間調停信号 S A L 0 はレベル 0 の優先度を有する選択 D M A チャンネル信号 S N L 0 が有効、即ち要求があることを示す。これにより、選択 D M A チャンネル信号 S N L 0 が確定 D M A チャンネル信号 S D として出力されバスの使用権が確定する。「 0 」のレベル間調停信号 S A L 0 および有効信号 S E L 1 が「 1 」の場合はレベル 1 の優先度を有する選択 D M A チャンネル信号 S N L 1 が有効、即ち要求があることを示す。これにより、選択 D M A チャンネル信号 S N L 1 が確定 D M A チャンネル信号 S D として出力されバスの使用権が確定する。

10

【 0 0 6 2 】

イネーブル信号 E N L 0 1、E N L 0 2 は、各々、アンド論理回路 A N D 1、A N D 2 に入力される。アンド論理回路 A N D 1、A N D 2 の他方の入力には、各々、連続転送終了信号 S L L 0、S L L 1 が入力される。アンド論理回路 A N D 1、A N D 2 では、各々、イネーブル信号 E N L 0 1、E N L 0 2 と連続転送終了信号 S L L 0、S L L 1 との間で論理積演算が行われる。その結果、第 1 イネーブル信号 E N L L 0 1、第 2 イネーブル信号 E N L L 0 2 が出力される。第 1 イネーブル信号 E N L L 0 1、第 2 イネーブル信号 E N L L 0 2 は、各々、要求保持・並び替え部 1 1 A、1 1 B において連続転送するように選択されチャンネル確定部 1 5 でバス使用権が確立した D M A チャンネル信号について、連続転送の最後の転送時に出力される。

20

【 0 0 6 3 】

優先フラグ生成部 1 7 は、要求保持・並び替え部 1 1 A、1 1 B の各々で選択され出力される選択 D M A チャンネル信号 S N L 0、S N L 1 が競合する場合に、何れの選択 D M A チャンネル信号 S N L 0、S N L 1 を優先するかを示す優先フラグ S P L 0 を生成する。従って、選択 D M A チャンネル信号 S N L 0、S N L 1 の何れか一方が出力されない場合には、出力される選択 D M A チャンネル信号が選択される。

30

【 0 0 6 4 】

優先フラグ生成部 1 7 には、第 1 イネーブル信号 E N L L 0 1 および第 2 イネーブル信号 E N L L 0 2 が入力される。第 1 イネーブル信号 E N L L 0 1 は、レベル 0 の優先度を有する D M A チャンネル信号の連続転送が継続し最後の転送についてバス使用権が確定した際に出力される。第 2 イネーブル信号 E N L L 0 2 は、レベル 1 の優先度を有する D M A チャンネル信号の連続転送が継続し最後の転送についてバス使用権が確定した際に出力される。優先フラグ生成部 1 7 は、カウント機能を有し、各々、バス使用権が確定した回数をカウントする。そして、優先フラグ生成部 1 7 は、各々のカウント値に基づいて、優先フラグ S P L 0 を生成する。

【 0 0 6 5 】

優先フラグ S P L 0 は、例えば 2 値の信号であり、第 1 の値（例えば「 0 」）の場合に、レベル 0 の優先度を有する D M A チャンネル信号が優先であることを示し、第 2 の値（例えば「 1 」）の場合に、レベル 1 の優先度を有する D M A チャンネル信号が優先であることを示す。

40

【 0 0 6 6 】

図 1 0 は優先フラグ生成部 1 7 のブロック図である。カウンタ制御部 1 7 1、選択部 1 7 2、カウンタ 1 7 3、フラグ制御部 1 7 4 を有する。カウンタ 1 7 3 は、第 1 カウンタ 1 7 3 a と第 2 カウンタ 1 7 3 b とを有する。両カウンタ 1 7 3 a、1 7 3 b は例えばアップカウンタである。両カウンタ 1 7 3 a、1 7 3 b には、それぞれ設定値としてカウンタアップ値が、例えば C P U などにより設定される。第 1 カウンタ 1 7 3 a と第 2 カウン

50

タ 1 7 3 b との各々に設定されるカウントアップ値は、第 1 イネーブル信号 E N L L 0 1 のカウント回数と、第 2 イネーブル信号 E N L L 0 2 のカウント回数とに応じた値である。それぞれのカウントアップ値は、例えば、「4」、「3」である。両カウンタ 1 7 3 a、1 7 3 b は、カウンタ制御部 1 7 1 から出力されるカウントアップ信号に应答してカウントアップ(+1)動作を行う。そして、各カウンタ 1 7 3 a、1 7 3 b は、各々のカウント値が設定されているカウントアップ値と一致すると、一致信号をカウンタ制御部 1 7 1 に出力するとともに、カウント値をクリア(=0)する。

【0067】

カウンタ制御部 1 7 1 には、第 1 イネーブル信号 E N L L 0 1 と第 2 イネーブル信号 E N L L 0 2 とが入力される。カウンタ制御部 1 7 1 は、第 1 イネーブル信号 E N L L 0 1 に应答して第 1 カウンタ 1 7 3 a にカウントアップ信号を出力し、第 2 イネーブル信号 E N L L 0 2 に应答して第 2 カウンタ 1 7 3 b にカウントアップ信号を出力する。第 1 カウンタ 1 7 3 a のカウント値は、レベル 0 の優先度を有する確定 D M A チャンネル信号 S D が、要求並べ替え部 S C 1 により選択される連続転送回数を 1 セットとして、繰り返されるセット数を示す。また、第 2 カウンタ 1 7 3 b のカウント値は、レベル 1 の優先度を有する確定 D M A チャンネル信号 S D が、要求並べ替え部 S C 1 により選択される連続転送回数を 1 セットとして、繰り返されるセット数を示す。

10

【0068】

カウンタ制御部 1 7 1 は、両カウンタ 1 7 3 a、1 7 3 b から出力される一致信号に基づいてフラグ制御信号をフラグ制御部 1 7 4 に出力する。フラグ制御部 1 7 4 は、フラグ制御信号に应答して優先フラグ S P L 0 を生成する。詳述すると、カウンタ制御部 1 7 1 は、第 1 イネーブル信号 E N L L 0 1 に应答して第 1 カウンタ 1 7 3 a をカウントアップさせている間、フラグ制御信号によりフラグ制御部 1 7 4 からレベル 0 の優先度を有する優先フラグ S P L 0 (例えば値「0」)を出力させる。このとき、レベル間調停部 1 3 は、有効信号 S E L 0、S E L 1 が共に出力されると、「0」の優先フラグ S P L 0 に应答して、レベル 0 の優先度を有する有効信号 S E L 0 を選択する。そして、レベル間調停部 1 3 は、有効信号 S E L 0、S E L 1 の優先度のレベル間で調停したことを示すレベル間調停信号 S A L 0 を出力する。

20

【0069】

カウンタ制御部 1 7 1 は、第 1 カウンタ 1 7 3 a が一致信号を出力すると、フラグ制御信号によりフラグ制御部 1 7 4 からレベル 1 の優先度を有する優先フラグ S P L 0 (例えば値「1」)を出力させる。このとき、レベル間調停部 1 3 は、有効信号 S E L 0、S E L 1 が共に出力されると、「1」の優先フラグ S P L 0 に应答して、レベル 1 の優先度を有する有効信号 S E L 1 を選択する。そして、レベル間調停部 1 3 は、有効信号 S E L 0、S E L 1 の優先度のレベル間で調停したことを示すレベル間調停信号 S A L 0 を出力する。

30

【0070】

レベル間調停部 1 3 は、優先フラグ生成部 1 7 の第 1 カウンタ 1 7 3 a と第 2 カウンタ 1 7 3 b に各々に設定されたカウント値の回数だけ、レベル 0 の要求の連続転送を 1 セットとして、またレベル 1 の要求の連続転送を 1 セットとして、所定セット回数の要求を出力する。即ち、レベル間調停部 1 3 は、第 1 及び第 2 カウンタ 1 7 3 a、1 7 3 b に設定したカウント値の比に応じて、レベル 0 とレベル 1 との間で要求の連続転送を許容する。

40

【0071】

図 1 1 は、優先フラグ生成部 1 7 が実行する処理の流れを示すフローチャートである。まず、優先フラグ初期値、優先比率(カウント値)が設定される(U2)。次に、優先フラグ側、即ちその時に優先しているレベル(レベル 0 またはレベル 1)について要求受付があるか否かを判断し(U4)、要求受付がある場合に要求が競合しているか否かを判断する(U6)。競合している場合に、優先フラグ側のカウント値をダウンカウントする(U8)。次に、カウント値がゼロ(「0」)か否か、即ち設定された数の要求を受け付けたか否かを判断し(U10)、カウント値が「0」の場合に優先フラグ側の優先比率、即

50

ちカウント値を再設定する（U12）。次に、優先フラグを反転する、即ち優先するレベルを切り換えるように優先フラグを変更する（U14）。そして、1回のサービスについての全ての処理が終了したか否かを判断し（U16）、終了していなければ処理（U4）から繰り返す。

【0072】

図12は、第3実施形態によりDMAチャンネル信号の転送を行った場合の要求発行の例を模式的に示したものである。要求保持・並び替え部11Aの要求並び替え部によりDMAチャンネル信号ごとの連続転送回数が<CN0>に設定され、要求保持・並び替え部11Bの要求並び替え部によりDMAチャンネル信号ごとの連続転送回数が<CN1>に設定されているものとする。また、優先フラグ生成部17の第1カウンタ173aに設定されているカウント値が<UN0>であり、優先フラグ生成部17の第2カウンタ173bに設定されているカウント値が<UN1>であるものとする。レベル0の優先度を有するDMAチャンネル信号の連続転送を<UN0>セット継続し、レベル1の優先度を有するDMAチャンネル信号の連続転送を<UN1>セット継続するものとする。

10

【0073】

図12では、レベル0の優先度を有するDMAチャンネル信号の転送から開始するものとする。最初にDMAチャンネル信号DMA1が選択され、<CN0>回の連続転送が行われる。次に、DMAチャンネル信号DMA2が選択され、<CN0>回の連続転送が行われる。各々の連続転送を1セットとして、これが<UN0>セット継続される。その後、転送はレベル1の優先度を有するDMAチャンネル信号に移行する。先ず、DMAチャンネル信号DMA4が選択され、<CN1>回の連続転送が行われる。この連続転送を1セットとして、これが<UN1>セット継続される。ここで、個々のDMAチャンネル信号の選択順は、第1実施形態において説明したように、要求保持部に格納されている基本転送順位で選択される。

20

【0074】

第3実施例によれば、DMAチャンネル信号に応じて2レベルの優先度に分類される場合、各々の優先度に属する個々のDMAチャンネル信号は、要求並び替え部SC1により、チャンネルごとに連続転送回数が設定され、連続して選択されて転送が行われる。更に、異なる優先度のレベルの間では、連続転送回数のセット数が設定され、所定セット数の転送ごとに転送される優先度が切り替わる。具体的には、チャンネルごとの連続転送回数を1セットとして、あらかじめ定められる所定セット回数の連続転送が行われると、転送対象となるDMAチャンネル信号の属する優先度を切り替える。

30

【0075】

これにより、デジタルスチルカメラからの画像データの転送などに例示されるように、メモリアクセス要求の少ない期間と多い期間とが混在してデータ転送量に粗密があるDMAチャンネル信号がある場合、他のDMAチャンネル信号によるデータ転送との関係により当該DMAチャンネル信号におけるデータ転送が滞りシステム破綻を招来することを防止することができる。

【0076】

すなわち、画像データに係るDMAチャンネル信号をレベル0の優先度とし、他のDMAチャンネル信号に係るDMAチャンネル信号をレベル0より低い優先度のレベル1を有するものとして設定する。この場合、レベル0の画像データの転送を優先しながら、所定の比率でレベル1の他のDMAチャンネル信号に係るデータ転送を行うことができる。画像データの転送のデータ転送における滞りを避けながら他のデータ転送も行うことができる。

40

【0077】

図13乃至図15は、第3実施形態の変形例である。レベル1の優先度を有する要求の発行を制御するものである。第3実施形態では、レベル0の優先度を有するDMAチャンネル信号に係るデータ転送に転送の粗密がある場合、転送が粗の期間にレベル1の優先度を有する他のDMAチャンネル信号に係るデータ転送を受け付ける。この場合、レベル0の優先度を有するDMAチャンネル信号に係るデータ転送が再び密になる場合に、レベル1の優

50

先度を有する他のDMAチャンネル信号に係るデータ転送がレベル0のデータ転送の障害にならないようにするものである。

【0078】

図13は、第1変形例のブロック図である。図6のメモリアクセス制御部1Cにおいて、要求保持・並び替え部11Bから出力される有効信号SEL1とレベル間調停部13との間にアンド論理回路AND3が介在するものである。

【0079】

アンド論理回路AND3には、有効信号SEL1とレベル1の優先度を有するDMAチャンネル信号の転送を強制的に抑止するマスク信号MSKが入力される。

【0080】

マスク信号MSKは、レベル0の優先度を有するDMAチャンネル信号に係るデータ転送が再開される際にデータ転送に先立って出力される信号である。例えば、レベル0の優先度を有するDMAチャンネル信号に係るデータが画像データである場合には、画像描画の際の水平同期信号に応じて出力される信号である。マスク信号MSKが出力されることに応じて、アンド論理回路AND3において有効信号SEL1がマスクされる。

【0081】

これにより、レベル1の優先度を有する他のDMAチャンネル信号に係るデータ転送が抑止され、その後要求が入力されるレベル0の優先度を有するDMAチャンネル信号がバス使用権を獲得することができる。レベル0の優先度を有するDMAチャンネル信号に係るデータ転送が滞ることはない。ここで、マスク信号MSKの出力期間は、レベル0の優先度を有するDMAチャンネル信号の要求が入力されるまでで良い。その後は、レベル0の優先度を有するDMAチャンネル信号の要求が優先されるからである。

【0082】

図14は、第2変形例のブロック図である。第1変形例(図13)に加えて、レベル1要求発行数判定部19を備え、その出力信号が、マスク信号MSKに代えてアンド論理回路AND3に入力される。

【0083】

レベル1要求発行数判定部19には、マスク信号MSKと第2イネーブル信号ENLL02とが入力される。レベル1要求発行数判定部19では、チャンネル確定部15で確定されるレベル1の優先度を有するDMAチャンネル信号の出力が、CPU等によりあらかじめ設定される連続転送回数のセット回数に達するか否かが検出される。設定されたセット回数が検出されると、マスク信号MSKをアンド論理回路AND3に出力することにより、レベル1の優先度を有する他のDMAチャンネル信号に係るデータ転送を抑止する。

【0084】

これにより、レベル1の優先度を有する他のDMAチャンネル信号を設定されているセット回数出力した後は、データ転送が抑止され、その後要求が入力されるレベル0の優先度を有するDMAチャンネル信号がバス使用権を獲得することができる。レベル0の優先度を有するDMAチャンネル信号に係るデータ転送が再開される際に、データ転送の要求が入力されるまではレベル1の優先度を有するDMAチャンネル信号の転送を許可し、レベル0の優先度を有するDMAチャンネル信号に係るデータ転送が開始されるタイミングでレベル1の転送を抑止するものである。

【0085】

図15には、第1および第2変形例でのデータ転送の様子を模式的に示す。第1変形例においては、マスク信号MSKが出力される期間のレベル1のDMAチャンネル信号は抑止される。図15のD1およびD2が抑止される。第2変形例においては、マスク信号MSKが出力される期間のうち、図15のD2で示されるレベル1のDMAチャンネル信号が抑止される。

【0086】

第1および第2変形例は何れも、レベル1の優先度を有するDMAチャンネル信号に係るデータ転送を確保しながら、レベル0の優先度を有するDMAチャンネル信号に係るデータ

10

20

30

40

50

転送が滞ることなく行なうことができる。これにより、例えば、データ転送に粗密があるレベル0の優先度を有するDMAチャンネル信号に係るデータ転送について、データ転送が滞ることがなくシステム破綻等を防止することができる。

【0087】

図16は第4実施形態におけるブロック図である。メモリアクセス制御部1Dは、調停部A10、A11、セクタSEL、要求保持部K10、レベル0ポインタ制御部C1、セクタ制御部C2、要求並び替え部SC1、第2転送パラメータ選択部TS2、および共有バスI/F部I1を備える。

【0088】

ここで、第1ないし第3実施形態と同じ回路要素については同じ符号を付し、以下での説明は省略する。また、第3実施形態の場合と同様に、転送パラメータTP1ないしTPnに関しては、第1実施形態と同様であるので、図16において記載を省略すると共に以下での説明を省略する。また、第3実施形態の場合と同様に、DMAチャンネル信号DMA1ないしDMA5を例示して説明する。このうち、DMAチャンネル信号DMA1、DMA2がレベル0の優先度を有するDMAチャンネル信号であり、DMAチャンネル信号DMA3ないしDMA5がレベル1の優先度を有するDMAチャンネル信号である。

10

【0089】

調停部A10、A11は、DMAチャンネル信号の優先度に応じて備えられる。調停部A10はレベル0の優先度を有するDMAチャンネル信号DMA1、DMA2を調停する。調停部A11はレベル1の優先度を有するDMAチャンネル信号DMA3ないしDMA5を調停する。基本的機能は第1実施形態の調停部A1(図1)と同様である。

20

【0090】

セクタSELは、調停部A10、A11の各々で調停され出力されるDMAチャンネル信号の何れか一方を選択する。何れを選択するかは後述するセクタ制御部C2により制御される。具体的には、セクタ制御部C2による制御に応じて、調停部A11から出力されるレベル1の優先度を有するDMAチャンネル信号の入力を抑止して、調停部A10から出力されるレベル0の優先度を有するDMAチャンネル信号の入力を優先する。

【0091】

要求保持部K10は、第1実施形態の要求保持部K1の回路要素に加えて、レベル0要求保持ポインタK14、レベル0カウンタK17、およびレベル1カウンタK19を備える。

30

【0092】

レベル0要求保持ポインタK14は、DMAチャンネル要求保持部K11のレジスタにおいて、レベル0のDMAチャンネル信号が保持されているレジスタのアドレスのうち最下位のアドレスを示す。要求保持ポインタK15は、レベル0およびレベル1の両者のDMAチャンネル信号が保持されているレジスタのアドレスのうち最下位のアドレスを示す。レベル0の優先度を有するDMAチャンネル信号はレベル0要求保持ポインタK14に基づいてDMAチャンネル要求保持部K11に格納され、レベル1の優先度を有するDMAチャンネル信号は要求保持ポインタK15に基づいてDMAチャンネル要求保持部K11に格納される。これにより、レベル0の優先度を有するDMAチャンネル信号は、DMAチャンネル要求保持部K11のレジスタの上位のアドレスに集中して格納される。

40

【0093】

レベル0カウンタK17およびレベル1カウンタK19は、各々、レベル0の優先度を有するDMAチャンネル信号およびレベル1の優先度を有するDMAチャンネル信号が、DMAチャンネル要求保持部K11に入力される回数をカウントする。

【0094】

第4実施形態のメモリアクセス制御部1Dは、基本的に、第1実施形態のメモリアクセス制御部1と同様に、要求並び替え部SC1により、DMAチャンネル要求保持部K11に格納されているDMAチャンネル信号の出力順序を並び替えるように選択する。この場合、以下の2つの特徴が追加されるものである。

50

【 0 0 9 5 】

第 1 の特徴は、レベル 0 の優先度を有する D M A チャンネル信号の D M A チャンネル要求保持部 K 1 1 のレジスタへの格納アドレスを制御するものである。レベル 0 の優先度を有する D M A チャンネル信号は、レベル 0 要求保持ポインタ K 1 4 により D M A チャンネル要求保持部 K 1 1 のレジスタにおける上位アドレスに連続して格納される。これは、レベル 0 の優先度であることより優先的に選択され出力するためである。しかしながら、格納される D M A チャンネル信号の数によっては、下位アドレスに格納されているレベル 1 の優先度を有する D M A チャンネル信号の出力ができない状態が継続してしまうおそれがある。そこで、D M A チャンネル要求保持部 K 1 1 のレジスタでの格納アドレスを制御することにより、所定の比率でレベル 1 の優先度を有する D M A チャンネル信号を出力できるようにする。

10

【 0 0 9 6 】

第 1 の特徴は、レベル 0 ポインタ制御部 C 1 により奏する。レベル 0 ポインタ制御部 C 1 は、レベル 0 の優先度を有する D M A チャンネル信号が入力されるごとに、レベル 0 カウンタ K 1 7 のカウント値を、C P U 等によりあらかじめ設定された値と比較する。カウント値が設定値と一致することに応じて、レベル 0 要求保持ポインタ K 1 4 の値と要求保持ポインタ K 1 5 の値とを比較して一致していなければ、レベル 0 要求保持ポインタ K 1 4 の値を通常の + 1 に更に + 1 を加えて + 2 加算する。合わせて、レベル 0 カウンタ K 1 7 を「 0 」に初期化する。これにより、次回入力されるレベル 0 の優先度を有する D M A チャンネル信号は、D M A チャンネル要求保持部 K 1 1 のレジスタに格納されているレベル 1 の優先度を有する D M A チャンネル信号の下位アドレスに格納することができる。

20

【 0 0 9 7 】

図 1 6 に例示されているように、レベル 0 要求保持ポインタ K 1 4 の値が k であり、要求保持ポインタ K 1 5 の値が m であるとする。また、レベル 0 カウンタ K 1 7 のカウント値に対する設定値が k であるとする。この場合、 k 回目のレベル 0 の優先度を有する D M A チャンネル信号の入力に応じて、レベル 0 要求保持ポインタ K 1 4 の値は + 2 加算され $k + 2$ になる。この結果、次のレベル 0 の優先度を有する D M A チャンネル信号は、アドレス $k + 2$ に格納され、アドレス $k + 1$ に格納されているレベル 1 の優先度を有する D M A チャンネル信号 D M A 3 が上位のアドレスに格納される状態とすることができる。これにより、D M A チャンネル信号 D M A 3 の転送を確実にこなうことができる。

30

【 0 0 9 8 】

第 1 の特徴では、要求保持ポインタ K 1 5 に加えて、レベル 0 要求保持ポインタ K 1 4 、レベル 0 カウンタ K 1 7 を備えることにより、D M A チャンネル要求保持部 K 1 1 での D M A チャンネル信号の格納順序を、レベル 0 の優先度を有する D M A チャンネル信号を優先して上位アドレスに格納しながら、レベル 0 カウンタ K 1 7 のカウント値と比較する設定値に応じた割合でレベル 1 の優先度を有する D M A チャンネル信号を格納することができる。レベル 0 の優先度を有する D M A チャンネル信号を優先しながらレベル 1 の優先度を有する D M A チャンネル信号を混在させて転送することができる。

【 0 0 9 9 】

第 2 の特徴は、有限の格納数を有する D M A チャンネル要求保持部 K 1 1 のレジスタがレベル 1 の優先度を有する D M A チャンネル信号で占められてしまい、レベル 0 の優先度を有する D M A チャンネル信号の格納ができなくなってしまうことを防止するものである。レベル 0 の優先度を有する D M A チャンネル信号の転送要求に粗密がある場合、要求が粗の状態ではレベル 1 の優先度を有する D M A チャンネル信号の入力が受け付けられるが、このときの受付数を制限することにより、次のレベル 0 の優先度を有する D M A チャンネル信号の密の転送要求に対応できるようにする。

40

【 0 1 0 0 】

第 2 の特徴は、セクタ制御部 C 2 により奏する。セクタ制御部 C 2 は、レベル 1 の優先度を有する D M A チャンネル信号が入力されるごとに、レベル 1 カウンタ K 1 9 のカウント値を、C P U 等によりあらかじめ設定された値と比較する。カウント値が設定値と一致することに応じて、セクタ S E L を制御して調的部 A 1 1 からの D M A チャンネル信号

50

の選択を抑止する（制御（a）の場合）。あるいは、調的部 A 1 1 へのレベル 1 の優先度を有する D M A チャンネル信号 D M A 3 ないし D M A 5 の入力を抑止する（制御（b））。レベル 1 カウンタ K 1 9 のカウンタの最大値が C P U 等によりあらかじめ設定された値に設定されることとなる。

【 0 1 0 1 】

これにより、レベル 1 の優先度を有する D M A チャンネル信号の入力が抑止される。レベル 0 の優先度を有する D M A チャンネル信号の転送要求に粗密がある場合にも、レベル 1 の優先度を有する D M A チャンネル信号の入力をあらかじめ定められた数に制限することができる。D M A チャンネル要求保持部 K 1 1 のレジスタ領域を確保しておくことができる。レベル 0 の優先度を有する D M A チャンネル信号の密なる要求が再開された際も、D M A チャンネル要求保持部 K 1 1 のレジスタに D M A チャンネル信号を格納することができ、システム破綻を防止することができる。

10

【 0 1 0 2 】

第 4 実施形態での動作の例示を図 1 7 にて説明する。状態（1）を初期状態とする。D M A チャンネル要求保持部 K 1 1 のレジスタには上位アドレスから D M A チャンネル信号 D M A 1、D M A 2、D M A 3 が格納されている。また、レベル 0 要求保持ポインタ K 1 4 の値は「2」、要求保持ポインタ K 1 5 の値は「3」、レベル 0 カウンタ K 1 7 の値は「2」、レベル 1 カウンタ K 1 9 の値は「1」である。ここで、レベル 0 カウンタ K 1 7 は、C P U 等により、初期値「0」から最大値「3」までをカウントし、その後「0」に初期化されるカウント動作を行なうとして設定されているものとする。また、レベル 1 カウンタ K 1 9 は、C P U 等により、最大値が「2」に設定されているものとする。初期値「0」から最大値「2」までの間をカウントする。

20

【 0 1 0 3 】

状態（1）において D M A チャンネル信号 D M A 1 が入力されると、レベル 0 要求保持ポインタ K 1 4 の値が「2」であるため、D M A チャンネル要求保持部 K 1 1 のアドレス 2 に格納される。レベル 0 要求保持ポインタ K 1 4 の値は「3」に、要求保持ポインタ K 1 5 の値は「4」に、レベル 0 カウンタ K 1 7 の値は「3」に加算される（状態（2））。

【 0 1 0 4 】

状態（2）において D M A チャンネル信号 D M A 4 が入力されると、要求保持ポインタ K 1 5 の値が「4」であるため、D M A チャンネル要求保持部 K 1 1 のアドレス 4 に格納される。要求保持ポインタ K 1 5 の値は「5」に、レベル 1 カウンタ K 1 9 の値は「2」に加算される。レベル 1 カウンタ K 1 9 の値が設定値と一致するため、以後の動作ではレベル 1 の優先度を有する D M A チャンネル信号は入力されない（状態（3））。

30

【 0 1 0 5 】

状態（3）において D M A チャンネル信号 D M A 2 が入力されると、レベル 0 要求保持ポインタ K 1 4 の値が「3」であるため、D M A チャンネル要求保持部 K 1 1 のアドレス 3 に格納される。このとき、レベル 0 カウンタ K 1 7 の値が「3」であり設定値と一致しているため、レベル 0 要求保持ポインタ K 1 4 の値は + 2 加算され「4」ではなく「5」に加算される。要求保持ポインタ K 1 5 の値は「6」に、レベル 0 カウンタ K 1 7 の値は「0」に初期化される。（状態（4））。

40

【 0 1 0 6 】

状態（4）において D M A チャンネル信号 D M A 1 が入力されると、レベル 0 要求保持ポインタ K 1 4 の値が「5」であるため、D M A チャンネル要求保持部 K 1 1 のアドレス 5 に格納される。レベル 0 要求保持ポインタ K 1 4 の値は「6」に、要求保持ポインタ K 1 5 の値は「7」に、レベル 0 カウンタ K 1 7 の値は「1」に加算される（状態（5））。

【 0 1 0 7 】

状態（5）において D M A チャンネル信号 D M A 2 が入力されると、D M A チャンネル要求保持部 K 1 1 のアドレス 6 に格納される。また、上位アドレスに格納されている D M A チャンネル信号 D M A 1 が並び替えにより転送され、更に D M A チャンネル信号 D M A 2 が転送される。レベル 0 要求保持ポインタ K 1 4 の値は、入力 1 および転送 3 であるので「4」

50

に、要求保持ポインタ K 1 5 の値は同様に「 5 」に、レベル 0 カウンタ K 1 7 の値は「 2 」に加算される（状態（ 6 ））。

【 0 1 0 8 】

状態（ 6 ）において上位アドレスに格納されている D M A チャンネル信号 D M A 2 が転送される。レベル 0 要求保持ポインタ K 1 4 の値は転送 1 であるので「 3 」に、要求保持ポインタ K 1 5 の値は同様に「 4 」になる（状態（ 7 ））。

【 0 1 0 9 】

状態（ 7 ）において上位アドレスに格納されている D M A チャンネル信号 D M A 3 が転送される。要求保持ポインタ K 1 5 の値は転送 1 であるので「 3 」に、レベル 1 カウンタ K 1 9 の値は「 1 」に減算される。これにより、以後の動作ではレベル 1 の優先度を有する D M A チャンネル信号が受け付け可能とされる（状態（ 8 ））。

【 0 1 1 0 】

状態（ 8 ）において D M A チャンネル信号 D M A 5 が入力されると、要求保持ポインタ K 1 5 の値が「 3 」であるため、D M A チャンネル要求保持部 K 1 1 のアドレス 3 に格納される。要求保持ポインタ K 1 5 の値は「 4 」に、レベル 1 カウンタ K 1 9 の値は「 2 」に加算される（状態（ 9 ））。

【 0 1 1 1 】

なお、調停部 A 1 は、予め定められた D M A チャンネル毎の優先順位及びデータ転送要求を受け付けられた順番に従い、要求保持部 K 1 にデータ転送要求を出力する。当該調停部 A 1 が出力する信号の順番は、基本転送順位の一例である。

また、D M A チャンネル信号及び転送パラメータ信号はデータ転送要求の一例である。

また、カレントポインタ S C 1 3 3 は第 1 ポインタの一例であり、ネクストポインタ 1 3 5 は第 2 ポインタの一例である。D M A チャンネル要求保持部 K 1 1 のレジスタ、および転送パラメータ保持部 K 1 3 のレジスタはレジスタの一例である。

また、レベル 0 の優先度が第 1 優先レベルの一例であり、レベル 1 の優先度が第 2 優先レベルの一例である。レベル 0 の優先度を有する D M A チャンネル信号（D M A チャンネル信号 D M A 1、D M A 2）は第 1 チャンネル群の一例であり、レベル 1 の優先度を有する D M A チャンネル信号（D M A チャンネル信号 D M A 3 ないし D M A 5）は第 2 チャンネル群の一例である。要求保持・並び替え部 1 1 A に備えられる要求保持部 K 1 および要求並び替え部 S C 1 は第 1 要求保持部および第 1 要求並び替え部の一例であり、要求保持・並び替え部 1 1 B に備えられる要求保持部 K 1 および要求並び替え部 S C 1 は第 2 要求保持部および第 2 要求並び替え部の一例である。レベル間調停部 1 3、チャンネル確定部 1 5、優先フラグ生成部 1 7、およびアンド論理回路 A N D 1、A N D 2 は優先レベル調停部の一例である。アンド論理回路 A N D 3 は第 1 マスク部の一例であり、レベル 1 要求発行数判定部 1 9 およびアンド論理回路 A N D 1 は第 2 マスク部の一例である。

また、レベル 0 要求保持ポインタ K 1 4 は第 1 要求保持ポインタの一例であり、レベル 0 カウンタ K 1 7 は第 1 カウンタの一例であり、要求保持ポインタ K 1 5 は第 2 要求保持ポインタの一例であり、レベル 1 カウンタ K 1 9 は第 2 カウンタの一例であり、レベル 0 ポインタ制御部 C 1 はポインタ制御部の一例であり、セクタ制御部 C 2 は入力マスク部の一例である。

【 0 1 1 2 】

上述の実施形態によれば、複数の D M A チャンネルの何れかを動的に選択してメモリとの間でデータ転送を行う際、D M A チャンネルごとに予め定められた回数だけデータ転送要求を連続することにより、効率の高いデータ転送を可能となる。

【 0 1 1 3 】

尚、本願は上記した第 1 ないし第 4 実施形態に限定されるものではない。上記の実施形態では、優先度がレベル 0 とレベル 1 との 2 段階であるとして説明したが、本願はこれに限定されるものではない。3 段階以上の優先度を有するものについても、優先度ごとに前段階で調停などを行なうことにより上記の実施形態を適用することは可能である。

また、第 4 実施形態では、レベル 0 の優先度を有する D M A チャンネル信号を、条件に応

10

20

30

40

50

じてレベル1の優先度を有するDMAチャネル信号が格納されているレジスタから1アドレス下位のアドレスに格納するとして説明したが。本実施形態はこれに限定されるものではない。2以上下位のアドレスに格納することもできる。これにより、レベル0に先立って転送するレベル1の優先度を有するDMAチャネル信号の数は適宜に調整することができる。

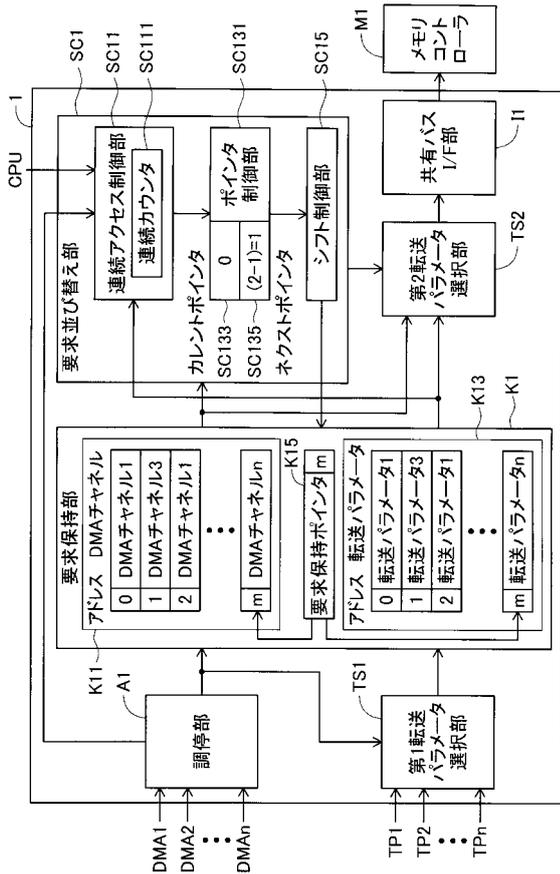
【符号の説明】

【0114】

1、1A、1B、1C、1D	メモリアクセス制御部	
1A	リードアクセス制御部	
1B	ライトアクセス制御部	10
11A、11B	要求保持・並び替え部	
13	レベル間調停部	
15	チャネル確定部	
17	優先フラグ生成部	
19	レベル1要求発行数判定部	
A1、A10、A11	調停部	
AND1、AND2、AND3	アンド論理回路	
C1	レベル0ポインタ制御部	
C2	セレクタ制御部	
TS1	第1転送パラメータ選択部	20
TS2	第2転送パラメータ選択部	
K1、K10	要求保持部	
K11	DMAチャネル要求保持部	
K13	転送パラメータ保持部	
K14	レベル0要求保持ポインタ	
K17	レベル0カウンタ	
K19	レベル1カウンタ	
SC1	要求並び替え部	
SC11	連続アクセス制御部	
SC111	連続カウンタ	30
SC131	ポインタ制御部	
SC133	カレントポインタ	
SC135	ネクストポインタ	
SC15	シフト制御部	
SEL	セレクタ	
I1	共有バスI/F部	
M1	メモリコントローラ	
RWA	リード/ライトアクセス調停部	
DMA1ないしDMA _n	DMAチャネル信号	
MSK	マスク信号	40
SAL0	レベル間調停信号	
SEL0、SEL1	有効信号	
SLL0、SLL1	連続転送終了信号	
SNL0、SNL1	選択DMAチャネル信号	
SPL0	優先フラグ	

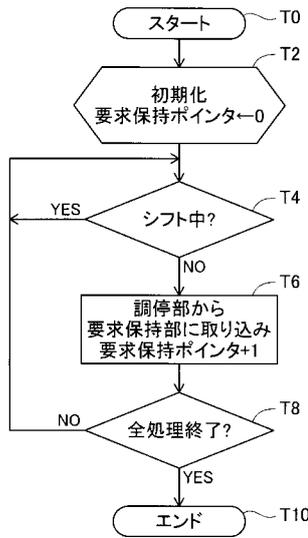
【図1】

第1実施形態におけるブロック図



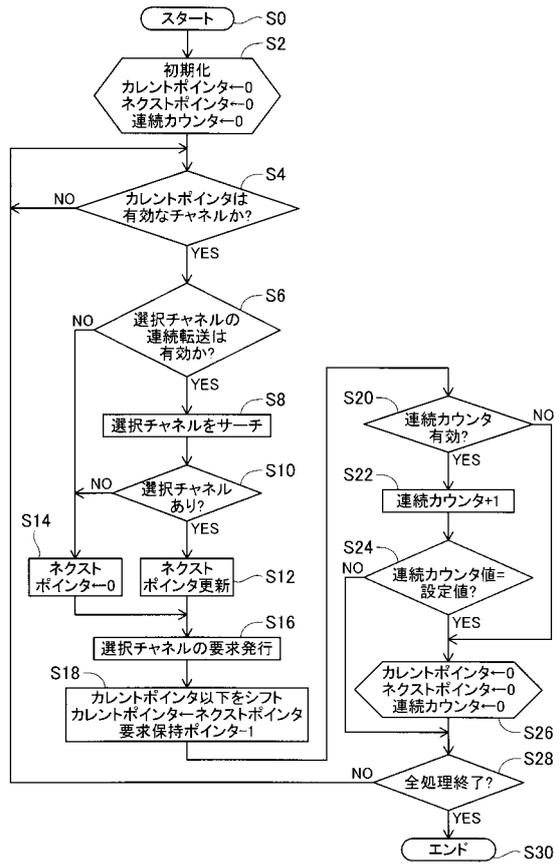
【図3】

要求保持部K1の動作時のフロー



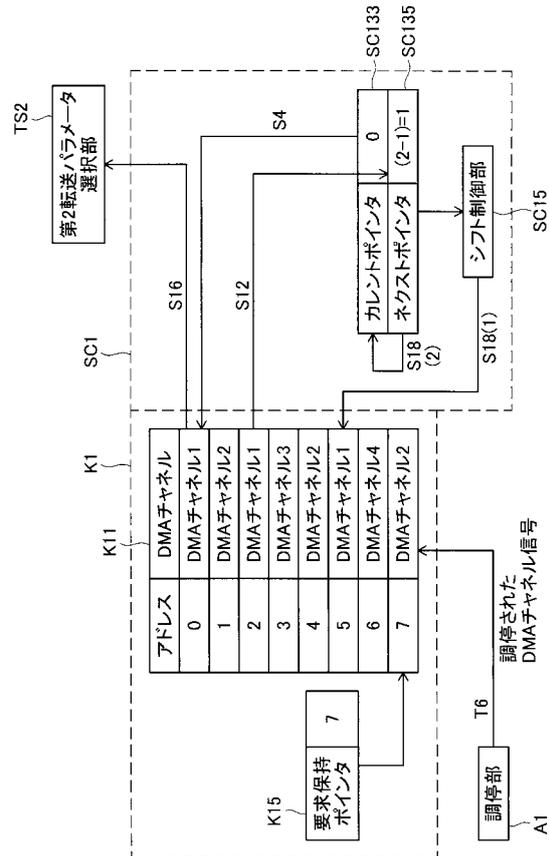
【図2】

要求並び替え部SC1の動作時のフロー



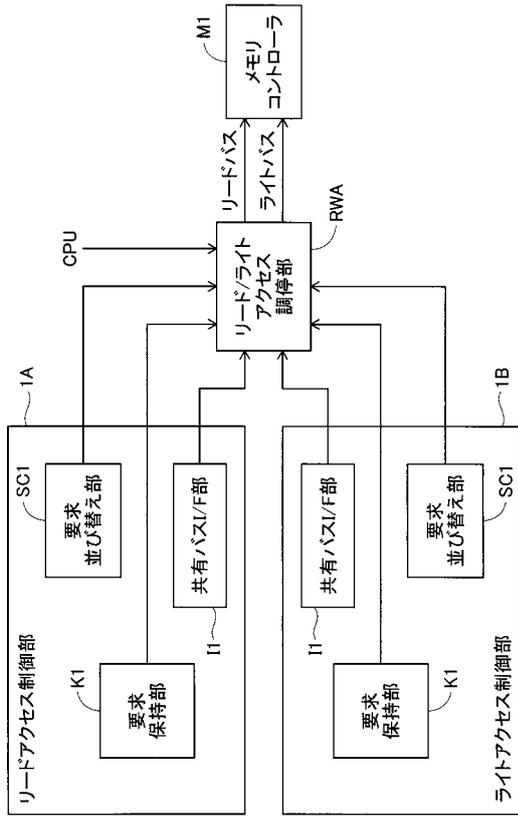
【図4】

要求並び替え部SC1および要求保持部K1の動作の具体例



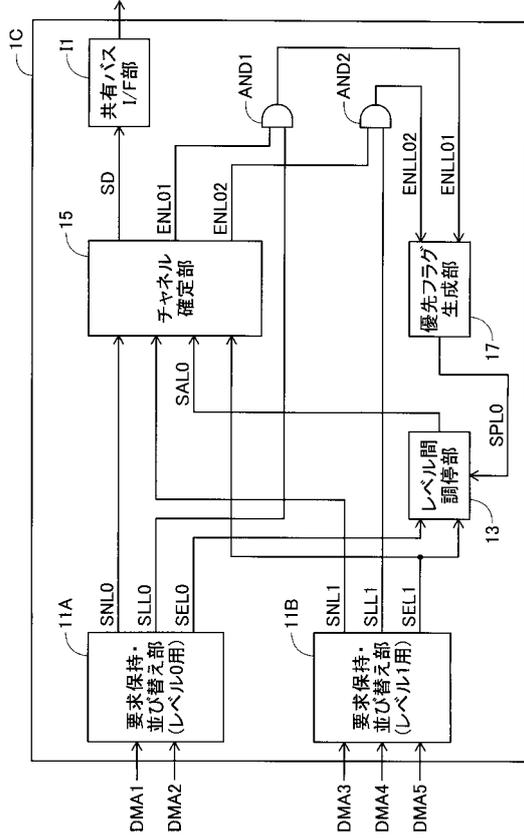
【 図 5 】

第2実施形態におけるブロック図



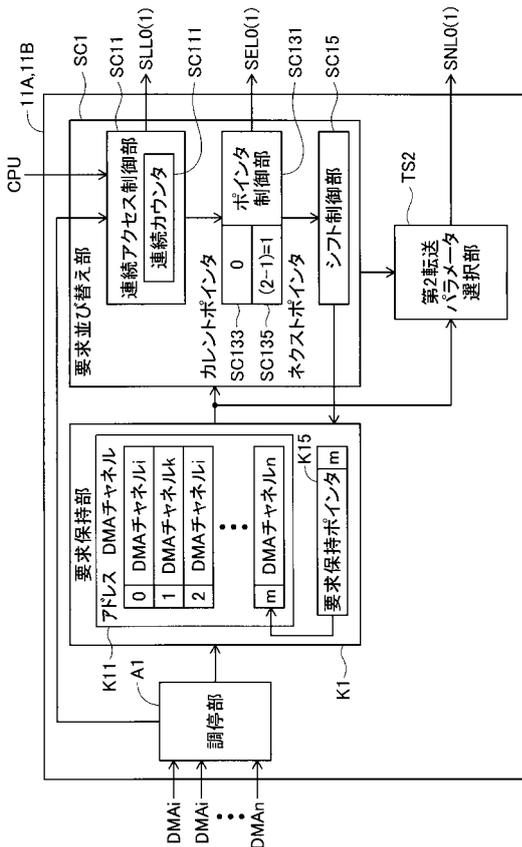
【 図 6 】

第3実施形態におけるブロック図



【 図 7 】

第3実施形態の要求保持・並び替え部のブロック図



【 図 8 】

レベル間調停部の動作説明図

優先フラグ SPL0	有効信号 SEL0	有効信号 SEL1	選択結果
0	1	0	有効信号SEL0
0	1	1	有効信号SEL0
0	0	1	有効信号SEL1
0	0	0	don't care
1	0	1	有効信号SEL1
1	1	1	有効信号SEL1
1	1	0	有効信号SEL0
1	0	0	don't care

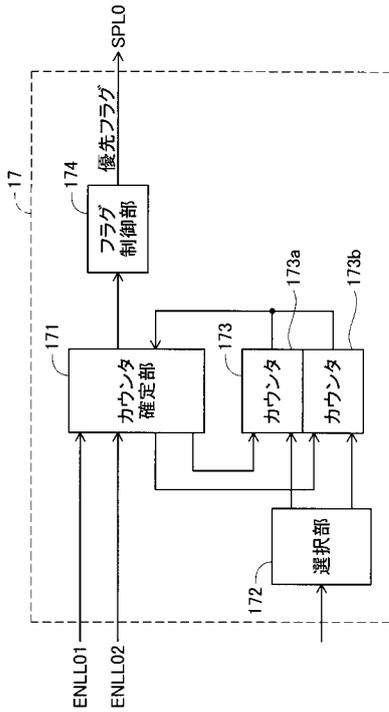
【 図 9 】

チャンネル確定部の動作説明図

レベル間調停信号 (SAL0)	有効信号 (SEL1)	選択結果
1	×	レベル0(SNL0)
0	1	レベル1(SNL1)
0	0	don't care

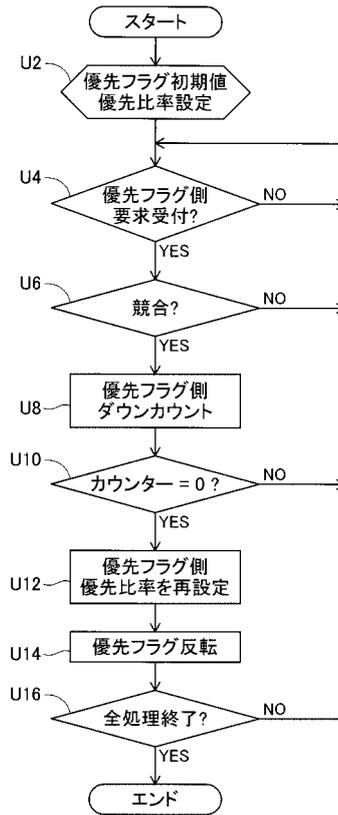
【図10】

優先フラグ生成部のブロック図



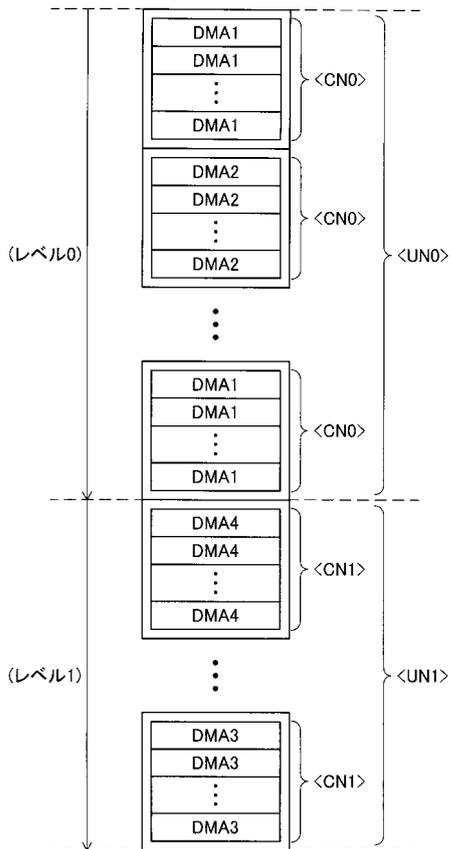
【図11】

優先フラグ生成部の動作を説明するためのフローチャート



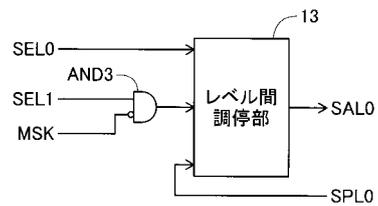
【図12】

第3実施形態による要求発行の例



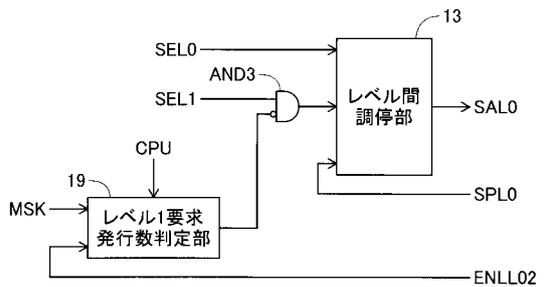
【図13】

レベル1要求の発行を制御する第1の変形例のブロック図(要部)



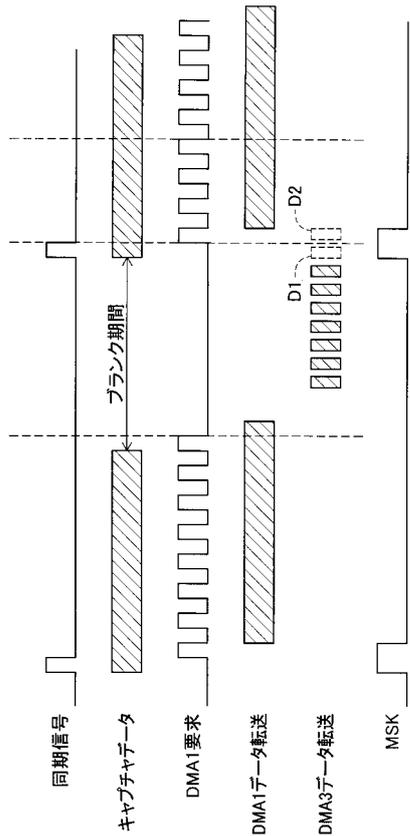
【図14】

レベル1要求の発行を制御する第2の変形例のブロック図(要部)



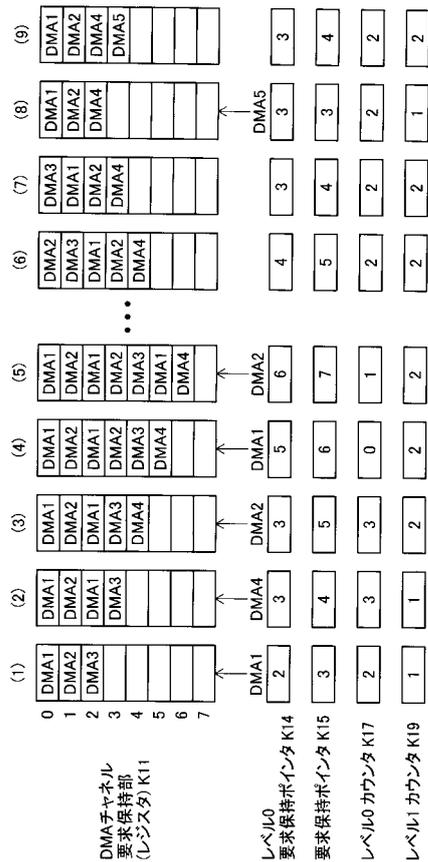
【 図 1 5 】

レベル1要求の発行を制御する第1および第2変形例により制御されたデータ転送の様子を示す模式図



【 図 1 7 】

第4実施形態の動作を説明する図



【 図 1 6 】

第4実施形態におけるブロック図(要部)

