



(21)申請案號：100135045

(22)申請日：中華民國 100 (2011) 年 09 月 28 日

(51)Int. Cl. : G09G3/36 (2006.01)

(30)優先權：2010/10/07 美國 61/390,750

(71)申請人：禾鈺股份有限公司 (中華民國) JASPER DISPLAY CORP. (TW)

新竹市科學園區力行一路 1 號 3 樓 B6

(72)發明人：哈德森 艾德溫 萊勒 HUDSON, EDWIN LYLE (US) ; 坎貝爾 約翰 葛雷 CAMPBELL, JOHN GRAY (US) ; 王 華倫 羅伯特 ONG, WARREN ROBERT (US)

(74)代理人：李永鈞

申請實體審查：無 申請專利範圍項數：25 項 圖式數：26 共 107 頁

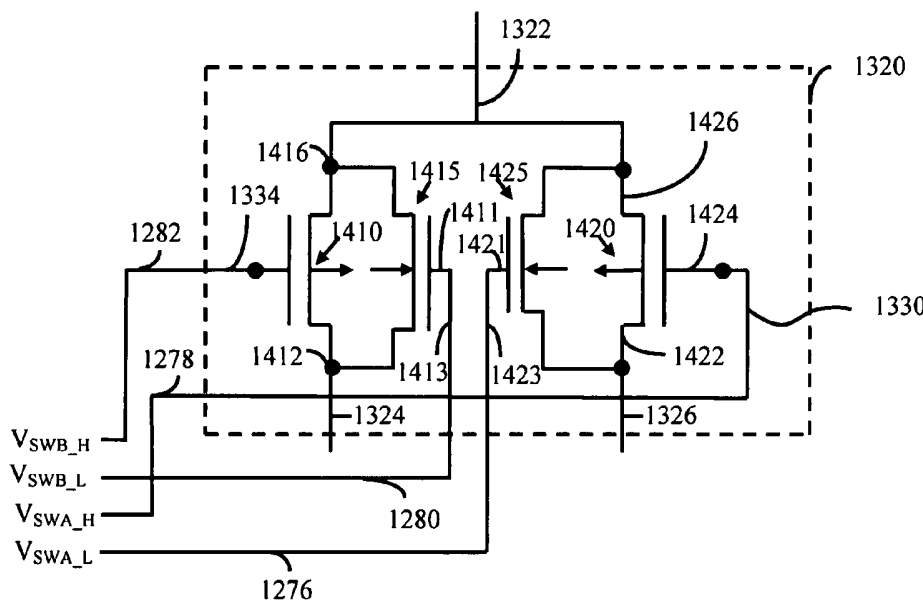
(54)名稱

改良的畫素電路及包括該電路的顯示系統

IMPROVED PIXEL CIRCUIT AND DISPLAY SYSTEM COMPRISING SAME

(57)摘要

本發明揭露一種顯示系統，包含顯示控制器、顯示單元、光源。顯示控制器包含處理器單元、記憶裝置、電壓源、可選擇的光源控制單元。顯示單元包含接收邏輯和控制電壓以及資料以操作顯示器之畫素單元的陣列和電路、透過反電極、位於二對正層之間的液晶層。畫素單元包含儲存元件、DC 平衡控制開關、畫素電壓覆蓋電路可在二電壓之間選擇的反相器、畫素電極/鏡。在不同作業模式，畫素鏡電壓可由儲存元件或畫素電壓覆蓋電路決定。顯示系統可在一期間顯示影像而在另一期間重設成固定狀態。



- 1276：第三電壓供應端(V_{SWA_L})
- 1278：第四電壓供應端(V_{SWA_H})
- 1280：第五電壓供應端(V_{SWB_L})
- 1282：第六電壓供應端(V_{SWA_H})
- 1320：DC 平衡控制開關
- 1322：輸出端
- 1324：對互補資料輸入端
- 1326：對互補資料輸入端

1330：第二電壓供應
端

1334：第四電壓供應
端

1410：第一 p 通道
CMOS 電晶體

1411：閘極

1412：源極端

1413：端

1415：第一 n 通道電
晶體

1416：汲極端

1420：第二 p 通道
CMOS 電晶體

1421：閘極

1422：源極端

1423：端

1424：閘極

1425：第二 n 通道電
晶體

1426：汲極端



(21)申請案號：100135045

(22)申請日：中華民國 100 (2011) 年 09 月 28 日

(51)Int. Cl. : G09G3/36 (2006.01)

(30)優先權：2010/10/07 美國 61/390,750

(71)申請人：禾鈺股份有限公司 (中華民國) JASPER DISPLAY CORP. (TW)

新竹市科學園區力行一路 1 號 3 樓 B6

(72)發明人：哈德森 艾德溫 萊勒 HUDSON, EDWIN LYLE (US)；坎貝爾 約翰 葛雷 CAMPBELL, JOHN GRAY (US)；王 華倫 羅伯特 ONG, WARREN ROBERT (US)

(74)代理人：李永鈞

申請實體審查：無 申請專利範圍項數：25 項 圖式數：26 共 107 頁

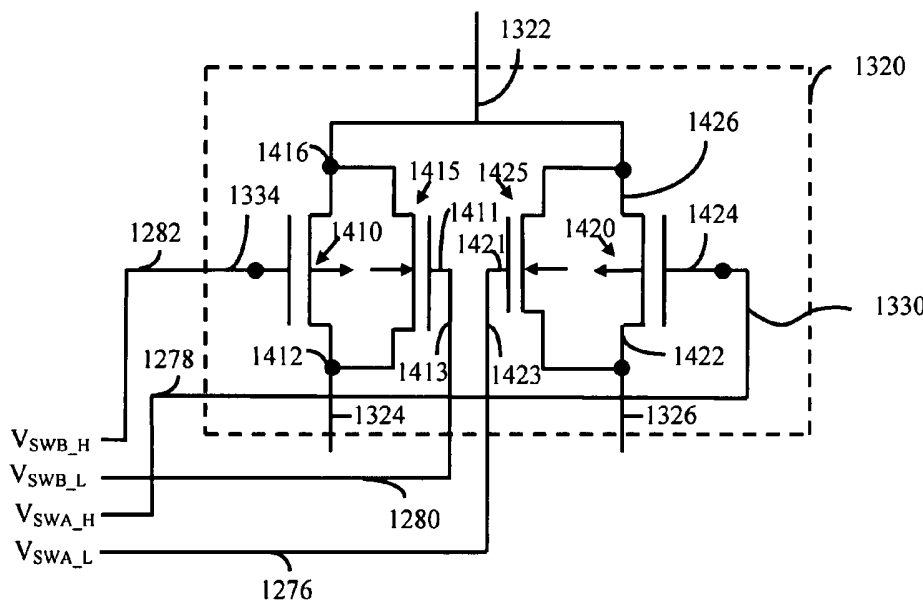
(54)名稱

改良的畫素電路及包括該電路的顯示系統

IMPROVED PIXEL CIRCUIT AND DISPLAY SYSTEM COMPRISING SAME

(57)摘要

本發明揭露一種顯示系統，包含顯示控制器、顯示單元、光源。顯示控制器包含處理器單元、記憶裝置、電壓源、可選擇的光源控制單元。顯示單元包含接收邏輯和控制電壓以及資料以操作顯示器之畫素單元的陣列和電路、透過反電極、位於二對正層之間的液晶層。畫素單元包含儲存元件、DC 平衡控制開關、畫素電壓覆蓋電路可在二電壓之間選擇的反相器、畫素電極/鏡。在不同作業模式，畫素鏡電壓可由儲存元件或畫素電壓覆蓋電路決定。顯示系統可在一期間顯示影像而在另一期間重設成固定狀態。



1276：第三電壓供應端(VSWA_L)

1278：第四電壓供應端(VSWA_H)

1280：第五電壓供應端(VSWB_L)

1282：第六電壓供應端(VSWA_H)

1320：DC 平衡控制開關

1322：輸出端

1324：對互補資料輸入端

1326：對互補資料輸入端

六、發明說明：

【發明所屬之技術領域】

本發明關於矽基液晶(LCOS)顯示器，尤指具有提高電壓控制之矽基液晶顯示器的改良畫素單元設計。

5

【先前技術】

為提高液晶投影顯示器的亮度和充填係數，通常使用反射 LCD 畫素。這些系統，稱為矽基液晶微顯示器(LCOS)，利用大陣列的畫素來達成輸入影像的高解析度輸出。顯示器的各畫素包含夾在透明電極與反射畫素電極之間的液晶層。通常，透明電極是整個顯示器共有的，而反射畫素電極對各個畫素來作用。儲存元件或其他記憶單元裝在畫素下，可選擇性指揮畫素電極上的電壓。藉由控制共同透明電極與各反射畫素電極的電壓差，可依據送來的影像資料控制來液晶的光學特性。儲存元件可為類比或數位儲存元件，雖然數位儲存元件因其對高熱或輕負載的環境不易電荷衰退而變得較普遍。

矽基液晶(LCOS)微顯示器科技在美國及海外的消費者市場仍受到降低投影系統成本之需求的挑戰。達成有限功效的一種方法是在系統中，單一 LCOS 微顯示器可調變所需的三原色，而沒有無法接受的閃爍或影像破損。以前的 LCOS 投影系統呈現卓越性能，但需要複雜光學系統和三個獨立的微顯示器，每色一個。現今成功的單一面板架構涉及

5 在場色序模式操作之小的低解析度微顯示器，這是因為須在先前分配給一 RGB 圖框的時間中寫入二組色場(RGB)以減輕問題。另一單一面板圖框須在組合前使用直接施加於顯示器畫素的濾色材料。因為需要三倍的子畫素，每色一個，所以這也限制了解析度。

● 兩方式都有必須克服的限制。有些消費者不接受較低解析度。期望較高解析度的消費者趨勢導致現今顯示器用在 900 乘 600(540,000 畫素)解析度的行動電話，相較於 480 畫素乘 320 畫素(153,600 畫素)的先前解析度，對 3.5 吋影像對角線的顯示器其解析度增加三倍以上。濾色方式更困難，這是因為先天上難以在 15 微米等級的尺寸將濾色材料塗在畫素。相較下，直視式顯示器的畫素尺寸通常為 100 微米。明確需要改良解析度和功能。

15 ● 上述問題外還有其他考量。如過去所知，在場色序模式操作須大為增加資料速率以減輕問題。周知的問題包含閃爍、色彩破損、色彩交叉耦合。必須考慮的小問題包含動態假輪廓、橫向場問題、動態模糊。

20 察覺閃爍是肉眼的基本功能。19 世紀末 20 世紀初用閃光燈做實驗，透露了當光以 $\frac{1}{2}$ Hz 至 60 Hz 間的速率閃爍時，人能察覺閃爍。各人因視力不同而有差異。60Hz 上限是最佳近似值。上述常稱為 Ferry-Porter Law。

此效應在顯示器領域很重要，特別是色序顯示器領域。檢視描繪眼睛對色彩之靈敏度的適光曲線（未繪出）透露出峰值在約 550 奈米波長；也就是說，在綠色光譜。因此以

180 Hz 依序顯示三色（紅、綠、藍）產生 60 Hz 的綠色閃爍率。若場色序顯示器以相同速率操作，則觀眾可能會抱怨閃爍。提高速率至 75 Hz 會稍微降低此問題，但有因素會提高消除閃爍所需的最小速率。包含影像的整體亮度、調變深度、影像表觀大小（在視網膜上）。閃爍頻率上限隨顯示器亮度升高而升高。至於調變深度，提高紅和藍的位準會降低閃爍的感受。影像大小的效應較難預測，但仍應考慮。目前實際的場色序顯示器以每秒至少 360 色圖框的位準操作。

色彩破損部分是因為顯示器所要的許多後續資料以 60 Hz 收集，部分是因為眼睛會跟隨移動較快的移動物體。當移動物體在場色序顯示器中重現時，觀眾容易看到色彩分散，這是因為視線移動眼睛到物體的預期位置，但色彩會產生在舊位置。這能以運動內插來解決，但成本高。低成本顯示器的較佳方式是對綠色資料提高圖框速率。這改變物體速度的感受，稍微降低問題。須增加資料速率，進而增加頻寬。

第三問題是色彩交叉耦合。發生在相列液晶顯示器，這是因為當下一 LED 產生其色彩時，液晶有反應時間限制，會保留在前一色彩之狀態的記憶。此問題觀察到的效應難以預測，但通常此方式所產生的物體比其他影像較不鬆脆。為解決此問題，可以有幾種做為。第一，LED 可全部暫時關閉以容許液晶成為新狀態。當然，這造成亮度損失，但有助於減輕問題。第二，顯示器可在任何指定色場的結束驅動成暗狀態，然後可重新載入新色彩的資料。這通常配合 LED 的開

控。必須暗狀態的驅動盡快發生；它受限於將影像陣列寫到暗狀態的時間以及所選的液晶模式特性。

其餘問題的解決之道都是熟知的。需要資料速率性能來實現。動態假輪廓在相列液晶顯示器受限，但若大的臨時差異存在於相鄰灰度之間，則仍稍微可見。在整個灰度曲線降低臨時差異是降低此問題的最好方式。此相同技術會降低液晶的一些橫向場效應，但最終降低液晶對正的錨定能量和單元的預傾斜。動態模糊會需要運動內插如上述，但提高液晶反應時間也可以。這些都需要時間和資源的大量投資。

顯示器之液晶功能的簡單回顧有助於揭露本發明。相列液晶顯示器中，液晶層轉動通過之光的偏振，偏振轉動程度取決於施於液晶層的均方根(RMS)電壓。因此，反射液晶顯示器上的入射光為一種偏振，配合"on 狀態"的反射光通常為正交偏振。熟悉此技術者熟知偏振改變度取決於 RMS 電壓的原因，這是所有液晶顯示器的基礎。

因此，藉由將變化電壓施於液晶，可控制液晶裝置透光的能力。由於數位控制應用中，畫素驅動電壓變成暗狀態(off)或明狀態(on)，故某些調變設計必須加入電壓控制，以在全 on 和全 off 位置之間達成所需灰度。若液晶反應時間比調變波形時間慢，則液晶會回應驅動波形的 RMS 電壓。使用脈寬調變(PWM)是驅動此種數位電路的常見方式。一種 PWM 中，變化的灰度由轉變成一串脈衝的多位元字(也就是二進位數字)來代表。時間平均的 RMS 電壓對應於維持所需灰度的特定電壓。

已知脈寬調變的各種方法。一種是二進位加權脈寬調變，其中脈衝分組以對應於二進位灰度值的位元。將額外位元加到二進位灰度值可增進灰度的解析度。例如，若使用四位元的字，則灰度值寫入各畫素的時間，通常稱為圖框時間，分成十五個間隔，通常稱為子圖框，導致十六個可能的灰度值（ 2^4 可能值）。8 位元的二進位灰度值導致 255 間隔和 256 可能的灰度值（ 2^8 可能值）。

由於大部分相列液晶材料只回應於施加電壓的數值，而非電壓極性，故施加於液晶材料之相同數值的正或負電壓通常導致液晶的相同光學性質（偏振）。然而，當施加 DC 電壓時，液晶材料的固有物性因離子遷移或 "漂移" 而造成液晶材料的性能變差。若連續施加相同電壓極性，則 DC 電流會使污染物一直存在於液晶材料而漂向一對正表面或另一表面。這導致污染物在對正層上，液晶材料開始以某一定向 "黏著"，不完全回應於驅動電壓。觀看者不喜歡之先前影像的鬼影表現此效應。即使高度純化的液晶材料在其組分內也有些離子雜質（例如帶負電的鈉離子）。為維持液晶顯示器的準確性和操作性，必須控制此現象。為防止此種 "漂移"，施於液晶的 RMS 電壓必須修改使得交流電壓極性施於液晶。在此情形，PWM 圖框時間減半。在圖框的第一半部，調變資料依據預定電壓控制設計施於畫素電極。在圖框時間的第二半部，互補的調變資料施於畫素電極。當共同透明電極維持在其起始電壓狀態（通常是高）時，導致零伏特的淨 DC 電壓分量。通常稱為 "DC 平衡" 技術的此技術用來避免液晶

損壞，而不改變施於液晶畫素的 RMS 電壓，也不改變經由 LCD 面板所顯示的影像。業界熟知 DC 平衡的要求。

因此用來驅動液晶畫素元件的調變設計必須可準確控制畫素 “on” 和 “off” 的時間量，以從畫素達成所需灰度。

5 光的轉動度遵循跨越液晶畫素的 RMS 電壓。轉動度再直接影響觀看者看得到的光強度。依此方式，調變電壓影響觀看者察覺的強度。依此方式，產生灰度差。顯示器陣列之所有畫素的組合導致影像經由 LC 裝置來顯示。除了控制施於畫素的均方根 (RMS) 電壓，電壓極性還必須連續反轉，避免液
10 晶損壞。

許多液晶裝置的光電性質令其在某一 RMS 電壓 (V_{SAT}) 產生最大亮度，在另一 RMS 電壓 (V_{TT}) 產生最小亮度。二電壓的關係取決於光電模式是否為常黑 (NB) 或常白 (NW)，

15 “常” 表示未驅動或只輕微驅動。施加 V_{SAT} 的 RMS 電壓導致明單元或全反射，而施加 V_{TT} 的 RMS 電壓導致暗單元或最小光輸出。若常白材料將 RMS 電壓減到低於 V_{SAT} 的值，

則可降低單元亮度，而非維持在全反射位準。同樣地，將 RMS 電壓增加到高於 V_{TT} 的值，可正常增加單元亮度，而非維持在零光反射位準。在 NW 模式之 V_{SAT} 與 V_{TT} 間的

20 RMS 電壓，亮度隨 RMS 電壓增加而減小。因此 V_{TT} 與 V_{SAT} 間的電壓範圍界定特定液晶材料之光電曲線的有效範圍。此範圍外的 RMS 電壓無用，若施於結晶畫素，則會造成灰度失真。因此要將施於畫素的 RMS 電壓限制到 V_{SAT} 與 V_{TT} 間的此有效範圍。許多已知顯示系統以液晶有效範圍外

的電壓來驅動邏輯電路，將這些電壓直接施於畫素電極導致電力浪費。例如，邏輯電路可操作於 0 和 5 伏特或 0 和 3.3 伏特。若液晶材料的有用範圍在此範圍內，則必須花費較多時間和電力以達成在有用範圍內的 RMS 電壓。有用 V_{TT} 至 V_{SAT} 範圍為 1.0 至 2.5 伏特且邏輯電路在 0 至 5 伏特操作的系統中，為達成 2.5 伏特的 RMS 電壓，畫素必須在時間圖框中看到等量的 0 伏特狀態和 5 伏特狀態，以達成 2.5 伏特的 RMS 電壓。液晶驅動邏輯電路在 V_{SAT} 和 V_{TT} 位準操作較有效率，而非在 V_{SAT} 至 V_{TT} 範圍外的位準。會令時間平均較簡單且快，需要較少電力來驅動相同系統。為此，最好將 RMS 電壓限制於液晶材料光電反應曲線的有效範圍。

顯示系統另一實例揭露於美國專利 No. 6,005,558。顯示系統包含耦合到多工器的記憶元件。取決於記憶元件狀態，多工器將二預定電壓其中一個送到畫素電極。多工器位於記憶單元之外，受外部電路控制以配合 DC 平衡和資料載入作業來操作。該發明中，單元之外的多工器作業需要送到單元的電壓被調變以提供 DC 平衡。因為調變的電壓必須在所有方面都正確，這些相同電壓用來驅動畫素鏡而達成 DC 平衡，故這大為增加裝置複雜性。在任何情形必須準確在長線路上傳播許多不同電壓是重大設計限制。再者，該發明需要所有元件全部定址以作用。所有這些技術困難限制上述發明有效解決上述限制。

本案發明人所申請的專利序號 No. 10/329,645，現為美國專利 7,468,717，揭露畫素顯示器組態，在各畫素控制

電路提供電壓控制器以控制輸入給畫素電極的電壓。控制器包含將電壓輸入多工到畫素電極的功能，還有脫鉤及彈性改變給畫素電極之輸入電壓位準的位元緩衝和脫鉤功能。DC平衡速率可增加至 1 KHz 以上，以減輕 DC 偏移效應的可能性和慢 DC 平衡速率所造成的影像黏著問題。專利 7,468,717 進一步揭露從一 DC 平衡狀態切到另一個而不用重寫資料到面板的科技。因此，解決應用高壓 CMOS 設計的困難。標準 CMOS 科技能以較低生產成本和較高良率來製造 LCOS 顯示器的儲存器和控制面板。美國專利 7,468,717 的 DC 平衡控制器以十電晶體(10-T)組態來實施，包括二個 p 通道 MOSFET 電晶體。雖然有效實施控制器，但因 p 通道 MOSFET 電晶體無法有效拉下畫素鏡電壓，故有技術限制。控制器可在畫素上作用的電壓下限 V_0 必須設為半導體地電壓 V_{SS} 之上的 1.0 至 1.3 伏特，精確電壓取決於電路設計細節。限制是因為 p 通道 MOSFET 電晶體善於將電壓提升到 V_{DD} ，而不善於將電壓降到 V_{SS} 。

本案發明人所申請的申請序號 No.10/413,649，現為美國專利 7,443,374，揭露對前述發明的改良，將 DC 平衡電路換以能在 V_0 與 V_{SS} 一樣低或甚至更低之電壓環境中操作的新電路，來消除驅動電壓的電壓限制。實施改良的 DC 平衡確實解決問題，但需要額外兩個電晶體，也需要先斷後通電路加到周邊電路。

本案發明人所申請的申請序號 No.10/742,262，現為美國專利 7,088,329，揭露不同於序號 No.10/413,649 之

電路的作業模式，其中修改 DC 平衡電路作業以使畫素電壓與 6T SRAM 記憶單元脫鉤，藉以使新資料寫到 6T 單元，而依賴電路電容以在有限期間保持畫素鏡上的最後電壓狀態。載入資料並保持前一狀態的能力是場色序顯示系統普遍的要求，其中色場依序而非同時時間，因此單一顯示器產生所有色彩。在競爭產品中已揭露各種技術，諸如在畫素內添加記憶裝置，但代價是設計複雜度和良率。

此方式的弱點是因為單元上的電壓不能在該時間中改變，液晶單元在該間隔中不能被 DC 平衡。諸如輪替場方向的各種設計可行，但不理想。

此方式另一弱點是不容液晶單元在重寫間隔中重設成已知狀態。若需要驅動顯示器成已知暗狀態以減小色彩通道資料交叉耦合，則必須在 DC 平衡電路允許將顯示器記憶陣列重寫成新資料狀態前，將整個陣列寫成暗狀態邏輯設定。需要中斷照明源以容許這些作業發生，而不破壞顯示器外觀。

本案發明人所申請的申請序號 No.10/435,427 (‘427 申請案)，揭露與本文之數位顯示系統相容的調變方法。第一列寫入作用發生在指定列，接著第二列寫入作用與第一列寫入作用隔著一列以上，接著第三列寫入作用與第二列寫入作用隔著一列以上，等等，直到預定數目的列以複數的不同列間隔寫入，而在將起始列寫入作用移動預定間隔（通常一列）後，模式重覆。列寫入作用移動速率和列寫入作用之間的時間決定列畫素依據載入的資料來調變顯示器多久。經由練習和實驗，可設定預定間隔產生所需灰度範圍。該案也揭

露排序資料的方法，其中較高次位元一直以相同次序聚集，藉以降低造成動態假輪廓和相列液晶橫向場效應的資料相位誤差。依此方式使用多重寫入作用由發明人通常稱為“多重寫入指標”、“swath 調變”或“MegaMod”。

5 因為‘427 之方法的延長時間需要使整個顯示器成為新色彩的影像資料狀態，故‘427 申請案所揭露的調變方法必須修改以用於場色序顯示器。

10 本案發明人所申請的申請序號 No.11/740,244 (‘244 申請案)，揭露與本文之顯示器相容的調變方法，其中顯示在一系列的資料經由嵌入於寫入資料而送到不同列的指令而終結，將該列上的所有儲存元件寫成單一預定資料值，通常代表暗狀態。選擇列寫入作用主要根據從第一列寫入作用所需的經過時間，在來根據第二列寫入作用上是否有可用的嵌入指令槽。該發明原是用來降低依據申請序號 No.
15 10/435,427 (‘427 申請案) 所產生之調變段長度的誤差。‘244 申請案所揭露的一改正形式是提供期間比‘427 申請案短的灰度調變段。

20 因此，LCOS 顯示器技術中仍需要提供改良的系統組態及提供另一手段將電壓送到畫素鏡以克服這些限制。

【發明內容】

25 因此，本發明的目標是進一步改良畫素顯示器組態，它提供在載入新資料時可驅動顯示器畫素至一組預定電壓驅動位準之一的電路，藉以維持灰度準確，使 DC 平衡在驅動時

為預定電壓位準，降低寫入顯示器和新資料所需的時間來提高系統對比，降低有關場色序系統的問題。除了控制器將電壓輸入多工到畫素電極，也有位元緩衝和脫鉤功能以脫鉤並彈性改變對畫素電極的輸入電壓位準，控制器還將做為陣列的畫素鏡拉低及拉高到對應於暗狀態或其他預定狀態的電壓。

總而言之，本發明揭露在畫素顯示元件上顯示影像資料的方法。該方法包含將含有 MOSFET p 通道電晶體和 MOSFET n 通道電晶體之交流電壓控制手段設組態的步驟，各手段可選擇電極電壓以施於在畫素顯示元件電極上有預定電壓的反相器。

【實施方式】

圖 1 和 2 呈現矽基液晶 (LCOS) 微顯示面板 100 的一般構造。單一畫素單元 105 包括在透明共同電極 140 與畫素電極 150 之間的液晶層 130。儲存元件 110 耦合到畫素電極 150，包括互補資料輸入端 112 和 114、資料輸出端 116、控制端 118。儲存元件 110 回應控制端 118 上的寫入信號，讀取一對位元線 (B_{POS} 和 B_{NEG}) 120 和 122 上的互補資料信號，經由輸出端 116 鎖定資料信號。由於輸出端 116 耦合到畫素電極 150，故儲存元件 110 所通過的資料 (也就是高或低壓) 施於畫素電極 150。畫素電極 150 最好由高度反射拋光的鋁形成。本發明的 LCD 顯示面板中，畫

素電極 150 供給顯示器的各畫素。例如，需要 1280 x 1024 畫素之陣列的 SXGA 顯示系統中，陣列之 1,310,720 畫素各有一單獨畫素電極 150。透明共同電極 140 是均勻一片導電玻璃，最好由氧化銦錫 (ITO) 形成。電壓 (V_{ITO}) 經由共同電極端 142 施於共同電極 140，配合施於各單獨畫素電極的電壓，決定顯示器 100 之各畫素單元 105 內之跨越液晶層 130 之電壓的數值和極性。

當入射偏振光束 160 在畫素單元 105 時，通過透明共同電極 140，入射光偏振狀態被液晶材料 130 修改。液晶材料 130 修改入射光束 160 之偏振狀態的方式取決於施於液晶的 RMS 電壓。施於液晶材料 130 的電壓影響液晶材料透光的方式。例如，施加某電壓跨越液晶材料 130 可只容許一部分的入射偏振光反射回來經過液晶材料和在修改之偏振狀態的透明共同電極 140，再穿過隨後的偏振元件。在通過液晶材料 130 後，入射光束 160 被畫素電極 150 反射，再穿過液晶材料 130。因此，離開光束 162 的強度取決於液晶材料 130 所賦予的偏振轉動度，後者取決於施於液晶材料 130 的電壓。

儲存元件 110 最好由 SRAM 記憶單元形式的 CMOS 電晶體陣列形成，也就是說，閃鎖，但也可由其他已知記憶邏輯電路形成。SRAM 閃鎖為半導體設計和製造所熟知的，提供儲存資料值的能力，只要電力施於電路。其他控制電晶體也可加入記憶晶片。利用畫素單元 105 之液晶顯示面板的實體大小取決於裝置本身的解析能力以及工業標準影像大小。

例如，需要 800 乘 600 畫素之解析度的 SVGA 系統需要 800 長乘 600 寬（也就是 48,000 畫素）之儲存元件 110 的陣列和畫素電極 150 的對應陣列。需要 1280 x 1024 畫素之解析度的 SXGA 顯示系統需要 1280 長乘 1024 寬（也就是 1,310,720 畫素）之儲存元件 110 的陣列和畫素電極 150 的對應陣列。依據本發明的顯示器可支持各種其他顯示器標準，包含 XGA（1024 x 768 畫素）、UXGA（1600 x 1200 畫素）、高解析度寬螢幕格式（1920 x 1080 畫素）。水平和垂直畫素解析度的任何組合都可能。工業應用和標準決定精確組態。由於透明共同電極 140（ITO 玻璃）是單一共同電極，故其實體大小大致匹配畫素單元陣列的總實體大小，留些邊際以允許 ITO 的外部電接點和墊片的空間，及充填孔以允許在填以液晶後密封裝置。

注意藉由改變液晶層 130 的厚度到大約半波長及改變二表面上的對正層定向，微顯示器可做為相干光的相位調變器。二表面上的對正層定向應為反平行，應平行於入射相干光的偏振。

圖 3 呈現典型場色序投影系統 20 的系統圖，包括反射液晶微顯示器 36（下文稱為微顯示器 36）、顯示控制器系統 24、紅色 LED 41、綠色 LED 42、藍色 LED 43、色彩組合稜鏡(x-cube)30、偏振分束器 40、投影光學系統 44、各種其他元件。

顯示控制器系統 24 從顯示影像資料源 23 經由鏈結 33 接收多色影像資料。鏈結 33 可為線路、光學系統、資料匯

流排、無線 RF 或其他熟知手段。顯示控制器系統 24 處理接收的資料由色彩來分離資料，進行準備資料所需的任何其他轉換以送到微顯示器 36。為顯示預定色彩的資料，顯示控制器系統 24 將該色彩的格式化資料經由鏈結 34 送到微顯示器 36，將信號經由鏈結 34 送到選擇色彩的 LED 41、42 或 43，使 LED 發光。紅色 LED 41、綠色 LED 42、藍色 LED 43 排在色彩組合稜鏡(x-cube)30 周圍，使得所有色彩沿著光束 31 所代表的共同光學路徑轉接到光學元件。可選擇的聚光透鏡 50 作用於光束 31 以引至微顯示器 36 的成像區。可選擇的預偏光片 38 阻隔 p 偏振光而通過 s 偏振光至偏振分束器(PBS)40。PBS 40 從內部斜面反射 s 偏振光，通過 p 偏振光。微顯示器 36 作用於偏振光束 31，以修改在“on”條件之畫素上之光束的偏振狀態，不修改在“off”條件之畫素上之光束的偏振狀態。PBS 通過 p 偏振狀態的部分光束 32，從其斜面反射 s 偏振狀態的部分光束 32。依據預定設計對各色彩重覆相同程序，因此導致顯示器的一串單一色彩影像快到足以使觀看者認為是彩色影像。

圖 4 呈現稱為 63.6° 混合模式扭轉相列 (MTN) 之典型液晶模式的光電曲線 (EO 曲線或液晶反應曲線)，光學補償作用於常白 (NW) 模式，參見 Robinson et al, “Polarization Engineering for LCD Projection”, page 123。三曲線對應三種不同波長的光。MTN 模式通常對場色序應用最佳，這是因為其低驅動電壓、相當高效率、裝置組態對所有色彩可使用單一暗狀態電壓和單一明狀態電

壓。如圖 4，當施於液晶的電壓增加時，反射光偏振狀態的轉動度減少。液晶材料 130 (圖 2) 之 RMS 電壓 V_{SAT} 的偏振轉動度最大 (白顯示)，RMS 電壓 V_{TT} 的偏振轉動最小 (黑顯示)。在 V_{TT} 與 V_{SAT} 之間的範圍內，當 RMS 電壓增加時，透過液晶材料 130 的光亮度 (圖 2) 從較亮狀態減少到較暗狀態。在對應於 100% 亮度之點的 RMS 電壓，液晶元件大致對正液晶分子，因此容許光完全通過畫素電極 150 並反射。在對應於 0% 亮度之點的 RMS 電壓，晶體元件對正液晶分子的垂直堆疊，使得反射光偏振大致與入射光源相同，因此防止光通過顯示器的偏振元件。EO 曲線的有用部分是 V_{TT} 與 V_{SAT} 之間的電壓範圍。

圖 5 呈現依據本發明之顯示器單一畫素單元 1205 的方塊圖。畫素單元 1205 包括儲存元件 1300、控制開關 1320、畫素電壓覆蓋元件 1360、反相器 1340、畫素電極/鏡 1212。DC 平衡控制開關 1320 最好是 CMOS 為基礎的邏輯裝置，可選擇性將幾個輸入電壓的其中一個送到另一裝置。儲存元件 1300 包括互補輸入端 1302 和 1304，分別耦合到資料線 (B_{POS}) 1120 和 (B_{NEG}) 1122。儲存元件 1300 也包括耦合到字線 (W_{LINE}) 1118 的互補致能端 1306 和 1307，及一對互補資料輸出端 (S_{POS}) 1308 和 (S_{NEG}) 1310。本實施例中，儲存元件 1300 是 SRAM 閃鎖，但熟悉此技藝人士瞭解可接收資料位元、儲存位元、呼叫互補輸出端上之儲存位元互補狀態的任何儲存元件都可取代本文的 SRAM 閃鎖儲存元件 1300。

DC 平衡控制開關 1320 包括一對互補資料輸入端 1324 和 1326，分別耦合到儲存元件 1300 的資料輸出端 (S_{POS})1308 和 (S_{NEG})1310。DC 平衡控制開關 1320 也包括第一電壓供應端 1328 和第二電壓供應端 1330，分別耦合到電壓控制器 1220 (參見圖 11) 的第三電壓供應端 (V_{SWA_L}) (邏輯) 1276 和第四電壓供應端 (V_{SWA_H}) (邏輯) 1278。DC 平衡控制開關 1320 進一步包括第三電壓供應端 1332 和第四電壓供應端 1334，分別耦合到電壓控制器 1220 (參見圖 11) 的第五電壓供應端 (V_{SWB_L}) (邏輯) 1280 和第六電壓供應端 (V_{SWA_H}) (邏輯) 1282。DC 平衡控制開關 1320 進一步包括資料輸出端 1322，耦合到畫素電壓覆蓋電路 1360 的資料輸入端 1370。

畫素電壓覆蓋電路 1360 包括資料輸入端 1370，耦合到 DC 平衡控制開關 1320 的資料輸出端 1322。畫素電壓覆蓋電路進一步包括耦合到全局電壓供應源 V_{SS} 1292 的第一電壓供應端 1362、耦合到全局電壓供應源 V_{DD} 1290 的第二電壓供應端 1364、耦合到電壓 (邏輯) 供應源 V_{OVR_H} 1296 的第三電壓供應端 1366、耦合到電壓 (邏輯) 供應源 V_{OVR_L} 1294 的第四電壓供應端 1368、耦合到反相器 1340 之輸入電壓供應端 1348 的電壓 (邏輯) 輸出端 1372。

反相器 1340 包括第一電壓供應端 1342 和第二電壓供應端 1344，分別耦合到電壓開關 1320 的第一電壓供應端 (V1)1272 和第二電壓供應端 (V0)1274。反相器 1340 也

包括耦合到畫素電壓覆蓋電路 1360 之資料輸出端 1372 的資料輸入端 1348，和耦合到畫素鏡 1212 的畫素電壓輸出端 (V_{PIX}) 1346。反相器和電壓施加電路的功能是確保 V_0 與 V_1 間的正确電壓送到畫素鏡。

5 圖 6 呈現 DC 平衡控制開關 1320 的較佳實施例。DC 平衡控制開關 1320 包括並聯 n 通道電晶體 1415 的第一 p 通道 CMOS 電晶體 1410 和並聯第二 n 通道電晶體 1425 的第二 p 通道 CMOS 電晶體 1420。第一 p 通道電晶體 1410 和第一 n 通道電晶體 1415 包含耦合到資料輸入端 1324 的源極端 1412。第二 p 通道電晶體 1420 和第二 n 通道電晶體 1425 包括耦合到輸入端 1326 的源極端 1422。輸入端 1324 和輸入端 1326 分別耦合到儲存元件 1300 的輸出端 S_{POS} 1309 和輸出端 S_{NEG} 1310。第一和第二 p 通道和 n 通道電晶體的汲極端 1416 和 1426 分別接到資料輸出端 1322。資料輸出端 1322 耦合到畫素電壓覆蓋電路 1360 的資料輸入端 1370。第一 p 通道電晶體 1410 的閘極接到端 1334，再耦合到電壓供應端 V_{SWB_H} (邏輯) 1282，第一 n 通道電晶體 1415 的閘極 1411 接到端 1413，再耦合到電壓供應端 V_{SWB_L} (邏輯) 1280。第二 p 通道電晶體 1420 的閘極 1424 接到端 1330，再耦合到電壓供應端 V_{SWA_H} (邏輯) 1278，第二 n 通道電晶體 1425 的閘極 1421 接到端 1423，再耦合到電壓供應端 V_{SWA_L} (邏輯) 1276。

V_{SWA_H} ="Off"、 V_{SWA_L} ="Off"、 V_{SWB_H} ="Off"、 V_{SWB_L} ="Off" 之平衡控制開關 1320 的狀態將 6T SRAM

儲存元件 1300 的輸出端 S_{POS} 1309 和 S_{NEG} 1310 與遵循 DC 平衡控制開關 1320 的元件隔離。正常作業中，一對邏輯電壓 V_{SWA_L} 1276 和 V_{SWA_H} 1278 成為“On”，第二對邏輯電壓 V_{SWB_L} 1280 和 V_{SWB_H} 1282 成為“Off”，或反之。從一對 on 至另一對 on 的過渡需要暫時通過本段第一句所述的狀態，避免直接連接 S_{POS} 1309 和其互補 S_{NEG} 1310，而使 6T SRAM 儲存元件 1300 短路。

圖 7 呈現反相器 1340 的較佳實施例。反相器 1340 包括 p 通道 CMOS 電晶體 1510 和 n 通道電晶體 1520。P 通道電晶體 1510 包括接到第一電壓供應端 (V_1) 1342 的源極端 1512、耦合到資料輸入端 1348 的閘極端 1514、耦合到畫素電壓輸出端 (V_{PIX}) 1346 的汲極端 1516。N 通道電晶體 1520 包括耦合到第二電壓供應端 (V_0) 1344 的源極端 1522、耦合到資料輸入端 1348 的閘極端 1524、耦合到畫素電壓輸出端 (V_{PIX}) 1346 的汲極端 1526。畫素電壓輸出端 (V_{PIX}) 1346 耦合到畫素鏡 1212。

圖 8 是畫素電壓覆蓋電路 1360 的較佳實施例。畫素電壓覆蓋電路 1360 包括第一 p 通道 MOSFET 電晶體 1380 和第一 n 通道 MOSFET 電晶體 1385，汲極 1383 和 1388 耦合到輸出端 1372。資料輸入端 1370 直接接到資料輸出端 1372。 V_{DD} 端 1290 耦合到輸入端 1364， V_{SS} 端 1292 耦合到輸入端 1362。 V_{DD} 輸入端 1364 耦合到 MOSFET 電晶體 1380 的源極端 1382， V_{SS} 輸入端 1362 耦合到 MOSFET 電晶體 1385 的源極端 1387。電壓供應端 (邏

輯) 1294 耦合到電壓覆蓋信號低端 V_{OVR_L} (邏輯) 1368, 電壓供應端 (邏輯) 1296 耦合到電壓覆蓋信號高端 V_{OVR_H} (邏輯) 1366。端 V_{OVR_L} 1368 耦合到 MOSFET 電晶體 1385 的閘極 1386, 端 V_{OVR_H} 1366 耦合到
 5 MOSFET 電晶體 1380 的閘極 1381。

圖 9 呈現儲存元件 1300 的較佳實施例。儲存元件 1300 最好是 CMOS 靜態隨機存取記憶體 (SRAM) 閃鎖裝置。此種裝置眾所周知。見 DeWitt U. Ong, Modern MOS Technology, Processes, Devoces, &
 10 Design, 1984, Chapter 9-5, 其細節併入本案做為參考。靜態 RAM 中, 只要施加電力, 則雖然沒有時脈在運行, 但仍能保持資料。圖 9 呈現最普通的 SRAM 單元, 其中使用六個電晶體。電晶體 1602、1604、1610、1612 是 n 通道電晶體, 而電晶體 1606 和 1608 是 p 通道電晶體。此特定單元中, 字線 1118 開啟兩個傳輸電晶體 1602 和 1604, 容許
 15 (B_{POS}) 1120 和 (B_{NEG}) 1122 線留在預充電高狀態或由正反器 (也就是, 電晶體 1606、1608、1610、1612) 放電至低狀態。然後正反器狀態的差動感測變可能。資料寫入選擇的單元時, 額外寫入電路強迫 (B_{POS}) 1120 和 (B_{NEG})
 20 1122 變高或低。變低值最有效使正反器改變狀態。

由於六電晶體 SRAM 單元涉及最少的詳細電路設計和製程知識, 且對雜訊和難以評估的其他效應而言最安全, 故 CMOS 型設計和製造最常用六電晶體 SRAM 單元。此外, 目前製程密到足以容許大的靜態 RAM 陣列。因此這些類型

的儲存元件宜用於本文之矽基液晶顯示裝置的設計和製造。然而，本發明也考量其他類型的靜態 RAM 單元，諸如使用 NOR 開的四電晶體 RAM 單元，以及使用動態 RAM 單元而非靜態 RAM 單元。

5 如圖 6，DC 平衡控制開關 1320 回應於第一組邏輯電壓供應端 1282 (V_{SWB_H}) 和 1280 (V_{SWB_L}) 上的一組預定電壓及第二組邏輯電壓供應端 1278 (V_{SWA_H}) 和 1276 (V_{SWA_L}) 上的一組預定電壓，可選擇性經由 DC 平衡控制開關 1320 的輸出端 1322 將存入儲存元件 1300 的高或低
10 資料值任一個送入畫素電壓覆蓋電路 1360 的輸入端 1370。畫素電壓覆蓋電路 1360 的輸入端 1370 再直接耦合到輸出端 1372。輸出端 1372 耦合到反相器 1340 的輸入端 1348。除非當 DC 平衡控制開關 1320 不使電壓送到畫素電壓覆蓋電路的輸入端 1370，否則畫素電壓覆蓋電路 1360 不
15 使電壓送到輸出端。詳言之，電壓供應端的電壓和畫素電極的輸出電壓 V_{PIX} (在對應於對儲存元件之輸入端 B_{POS} 1120 和 B_{NEG} 1122 之狀態的畫素寫入作業後，參見圖 9) 呈現於圖 10 的表。此外，供應端的電壓和畫素電極的輸出電壓 V_{PIX} (在由畫素電壓覆蓋電路施加電壓後) 呈現於圖
20 10 的表。此外，電壓供應端的某些缺陷組合呈現於圖 10 的表。

圖 10 中，標為“On”的值對應於施於 MOSFET 型電晶體開關閘極時令電晶體將其源極端的電壓耦合到汲極端的電壓。標為“Off”的值對應於施於 MOSFET 電晶體開關閘

極時令電晶體將其源極端的電壓不耦合到汲極端的電壓。詳言之，n 通道 MOSFET 電晶體開關的“On”狀態電壓是高電壓，n 通道電晶體的“Off”狀態電壓是低電壓。同樣地，p 通道 MOSFET 電晶體開關的“On”狀態電壓是低電壓，p 通道電晶體的“Off”狀態電壓是高電壓。

在最簡化的形式，電晶體僅是 on/off 開關。CMOS 型設計中，電晶體閘極控制源極與汲極間的電流通過。n 通道電晶體中，若汲極和源極連接，則開關閉路或“on”。這發生在閘極上有高值或數位“1”。若汲極和源極切斷，則開關開路或“off”。這發生在閘極上有低值或數位“0”。p 通道電晶體中，閘極上有低值或數位“0”時，開關閉路或“on”。閘極上有高值或數位“1”時，開關開路或“off”。因此 p 通道和 n 通道電晶體對閘極信號互補值做“on”或“off”。

圖 5 之畫素電路 1205 之作業的第一模式中，畫素電壓覆蓋電路 1360 從 DC 平衡控制開關 1320 接收信號，變成不作用狀態，其中控制電壓 V_{OVR_H} 2296 將高電壓送到 p 通道電晶體，控制電壓 V_{OVR_L} 2294 將低電壓送到 n 通道電晶體，因此關閉兩個 MOSFET 電晶體。施於 DC 平衡控制開關 1320 之輸出端 1322 的電壓施於畫素電壓覆蓋電路 1360 的輸入端 1370，再施於畫素覆蓋電路 1360 的輸出端 1372。輸出端 1372 再耦合到反相器 1340 的輸入端 1348，其中施加的電壓選擇要施於反相器輸出端 1346 的 V_0 2274 和 V_1 2272 其中一個以送到畫素鏡 1212。所得的

狀態說明於圖 10 的欄位 1 至 4。此模式也稱為“正常”模式。

畫素電路 1205 之作業的第二模式中，DC 平衡控制開關 1320 邏輯電壓 V_{SWA_L} 1276、 V_{SWA_H} 1278、 V_{SWB_L} 1280、 V_{SWB_H} 1282 都設為對應於“Off”狀態的電壓。 V_{OVR_H} 1296 和 V_{OVR_L} 1294 都設為對應於“Off”狀態的電壓。在此狀態，電壓不送到 DC 平衡控制開關 1320 的輸出端 1322，因此電路保持在最後施加的電壓，直到電荷衰退。通過畫素電壓覆蓋電路 1360 之輸入端 1370 和輸出端 1372 的線同樣充電到最後施加的電壓，如同反相器 1340 的輸入端 1348。直到此電壓衰退，反相器 1348 才持續將 V_0 1274 或 V_1 1272 送到輸出端 V_{PIX} 1346 以傳到畫素鏡 1212。在此模式操作時，6T SRAM 儲存元件 1300 可重寫而不改變反相器輸出。該模式可由啟動 DC 平衡控制開關 1320 的有效模式或啟動畫素電壓覆蓋電路 1360 的有效模式來終止。因為不驅動此模式，故不能在單一時刻中進行 DC 平衡作業。控制器可協調這些間隔，將此模式的連續或近乎連續時刻排程以發生在相反 DC 平衡狀態。此狀態說明於圖 10 的欄位 5 和 6。此模式也稱為“隔離”模式。

畫素電路 1205 之作業的第三模式中，DC 平衡控制開關 1320 V_{SWA_L} 1276、 V_{SWA_H} 1278、 V_{SWB_L} 1280、 V_{SWB_H} 1282 都設為對應於 Off 狀態的電壓。 V_{OVR_H} 1296 和 V_{OVR_L} 1294 之一設為對應於 Off 狀態的電壓，另一設為對應於 On 狀態的電壓。送到輸出端 1372 的電壓

約為 V_{DD} 1290 或 V_{SS} 1292 之一。因為電路實際化的二次效應，故經過輸出端 1372 送到反相器 1340 之輸入端 1348 的電壓稍微不同於 V_{DD} 或 V_{SS} 。因為反相器 1340 使用這些電壓來選擇 V_0 或 V_1 ，故此稍微差異不重要。一般電路設計者會瞭解，並以所需公差來實施反相器電路。在等期間的時間間隔中於圖 10 之欄位 9 和 10 所述的狀態間交替驅動顯示器，結果是顯示器對液晶作業保持 DC 平衡。此模式也稱為“覆蓋”模式。

在畫素電路 1205 之作業的第一缺陷狀態，DC 平衡控制開關 1320 的作業使畫素電路位於可重設儲存元件 1300 之內容的狀態。發明人實驗證明，同時使 V_{SWA_L} ="On" 且 V_{SWB_L} ="On" 或同時使 V_{SWA_H} ="On" 且 V_{SWB_H} ="On" 會重設儲存元件 1300。經由對 DC 平衡控制開關使用控制“先斷後通”模式來避免此情況，如稍後所解釋。這些缺陷狀態說明於圖 10 的欄位 7 和 8。

在畫素電路 1205 之作業的第二缺陷狀態，畫素電壓控制電路 1360 的作業可將 V_{DD} 直接接到 V_{SS} ，電流流動可預期的大為增加，會導致元件過熱及鎖定。當施於 p 通道 MOSFET 1280 之閘極 1381 的 V_{OVR_H} 1294 設為低電壓時，缺陷情況存在。因此，本發明必須避免二電晶體都是“On”的情況。此缺陷狀態說明於圖 10 的欄位 11。避免此情況的方法教示如下。

操作畫素 1205 的三個不同模式令系統設計者對調變設計有大的彈性。例如，可依據美國專利序號 No.

10/413,649 (現為美國專利 7,443,374) 所揭露的原理來
操作畫素，為上述作業的第一模式。可依據美國專利序號 No.
10/742,262 (現為美國專利 7,088,329) 所揭露的原理來
操作畫素，為上述作業的第二模式。進一步可依據上述作業
5 的第三模式來操作。也可依據三模式的全部或部分來操作。

圖 11 呈現依據本發明的顯示系統 1200。顯示系統
1200 包括複數個畫素單元 1205 的陣列、電壓控制器
1220、處理單元 1240、記憶單元 1230、透明共同電極
1250。電壓控制器 1220、處理單元 1240、記憶單元 1230
10 可形成稱為顯示控制器的子系統。此顯示控制器的其他組件
可包含資料接收手段和其他功能。這些元件和相關功能都已
熟知。何種功能與其他功能分組的特定選擇通常是工程上決
定。共同透明電極蓋住畫素單元 1205 的整個陣列。較佳實
施例中，畫素單元 1205 形成於矽基板或底座材料上，覆以
15 畫素鏡 1212 的陣列，每一畫素鏡 1212 對應於單一畫素單
元 1205。液晶材料的均勻層位於畫素鏡 1212 的陣列與透明
共同電極 1250 之間。適當材料和定向的對正層塗在畫素鏡
1212 的陣列和透明共同電極 1250，以控制在該表面的液晶
分子定向。透明共同電極 1250 最好形成自導電玻璃材料，
20 如氧化銦錫 (ITO)。記憶體 1230 是包含程式資料和命令之
電腦可讀的媒體。記憶體可使處理單元 1240 實施各種電壓
調變和其他控制設計。處理單元 1240 從記憶單元 1230 經
由記憶體匯流排 1232 接收資料和命令，經由電壓控制匯流
排 1222 提供內部電壓控制信號給電壓控制器 1220，經由資

料控制匯流排 1234 提供資料控制信號（也就是進入畫素陣列的影像資料）。電壓控制器 1220、記憶單元 1230、處理單元 1240 可位於顯示系統不同於畫素單元 1205 之陣列的部分。

5 回應於從處理單元 1240 經由電壓控制匯流排 1222 所接收的控制信號，電壓控制器 1220 經由第一電壓供應端 (V_1) 1272、第二電壓供應端 (V_0) 1274、第三（邏輯）電壓供應端 (V_{SWA_L}) 1276、第四（邏輯）電壓供應端 (V_{SWA_H}) 1278、第五（邏輯）電壓供應端 (V_{SWB_L}) 1280、第六（邏輯）電壓供應端 (V_{SWB_H}) 1282、第七（邏輯）供應端 (V_{OVR_L}) 1294、第八（邏輯）電壓供應端 (V_{OVR_H}) 1296 提供預定電壓給各畫素單元 1205。電壓控制器 1220 也將預定電壓 V_{ITO_L} 和 V_{ITO_H} 由電壓供應端 1236 和電壓供應端 1237 送到 ITO 電壓多工器單元 1235。電壓多工器單元 1235 根據送經控制線 1222 的邏輯狀態來選擇 V_{ITO_L} 或 V_{ITO_H} ，它根據決定 (V_{SWA_L}) 1276、(V_{SWA_H}) 1278、(V_{SWB_L}) 1280、(V_{SWB_H}) 1282 的相同狀態資訊。ITO 電壓多工器單元 1235 經由電壓供應端 (V_{ITO}) 1270 將 V_{ITO} 送到透明共同電極 1250。電壓供應端 (V_1) 1272、(V_0) 1274、(V_{SWA_L}) 1276、(V_{SWA_H}) 1278、(V_{SWB_L}) 1280、(V_{SWB_H}) 1282、(V_{OVR_L}) 1294、(V_{OVR_H}) 1296 各呈現於圖 11 做為全局信號，其中只有在 V_{ITO} 1270 的情形，相同電壓在整個畫素陣列送到各畫素單元 1205 或透明共同電極 1250。熟悉此技

藝人士會注意到，為降低電流尖峰，全局信號可在有限期間中產生，幾近同時，但非同時。一實例中，產生全局信號所需的期間約為 80 奈秒。電壓供應端可依據前述圖 10 之三種作業模式的一或多種來操作。熟悉此技藝人士會瞭解，圖 11 的元件分組可根據財務考量以及工程設計考量。他們也瞭解，諸如發光二極體控制的額外功能可併入此裝置。本文不應視為限制此種外部整合的範疇。

一實施例中，顯示處理器使圖 3 的發光二極體依據預定時程來操作。

電壓 V_0 和 V_1 的供應對畫素設計很重要。一實施例中， V_0 和 V_1 都是獨立於幹線電壓 V_{DD} 和 V_{SS} 的電壓。另一實施例中， V_1 可設為 V_{DD} ， V_0 獨立於 V_{SS} 。另一實施例中， V_0 可設為 V_{SS} ， V_1 獨立於 V_{DD} 。另一實施例中， V_0 設為 V_{SS} ， V_1 設為 V_{DD} 。當畫素電壓等於幹線電壓時，可維持獨立供電線，或可消除獨立供電線。 V_0 和 V_1 之一或二者可落在 V_{DD} 與 V_{SS} 之間的範圍之外。在此情形，必須小心，確保該供電線與裝置上的其他電路大致隔離，且反相器設計良好。

圖 12 呈現 ITO 電壓多工器控制的另一實施例 1600。ITO 電壓控制器 1600 中，DC 平衡時序控制器 1680 經由控制線 1682 控制 ITO 電壓多工器 1635。依相同方式，控制線 1684 控制 V_{SWA_L} 1676、 V_{SWA_H} 1678、 V_{SWB_L} 1680、 V_{SWB_H} 1682、 V_{OVR_L} 1694、 V_{OVR_H} 1696 的狀態改變時序。經由依此方式所實施的控制，造成對 V_{ITO}

之改變時序的小差異及選擇 V_0 或 V_1 。因為透明共同電極的表面積在 50 至 100 平方毫米範圍，而各畫素電極的表面積在 0.001 平方毫米範圍，所以這有利。由控制線 1684 回應於 V_{SWA_L} 1676、 V_{SWA_H} 1678、 V_{SWB_L} 1680、
 5 V_{SWB_H} 1682、 V_{OVR_L} 1694、 V_{OVR_H} 1696 之狀態改變的 DC 平衡狀態等等呈現於圖 10 的表。

限制是必須接著是邏輯控制器 1220，以確保控制電壓 V_{SWA_L} 和 V_{SWB_L} 不能同時高，且控制電壓 V_{SWA_H} 和 V_{SWB_H} 不能同時低。因此，電路必須被邏輯電路驅動來確保時間順序以達成 "先斷後通"，如圖 13A，其中二種不同點線電壓-時序圖代表二控制電壓 V_{SWA_L} 和 V_{SWB_L} 的高和低狀態。類似關係存在於二控制電壓 V_{SWA_H} 和 V_{SWB_H} 的高和低狀態之間。為達成此先斷後通電壓順序，時序控制電路 700 如圖 13B，包括延遲元件 310，接到輸出電壓 V_{SWA_L} 的及閘 720 和輸出電壓 V_{SWB_L} 的反或閘 730。如圖 13C，輸出 B 被延遲元件 710 延遲，及閘和反或閘產生二輸出電壓 A-AND-B 和 NOT-A-OR-B，分別做為具有先斷後通時序關係的 V_{SWA_L} 和 V_{SWB_L} 。
 10
 15

圖 13D 呈現提供圖 13E 之電壓之 p 通道電晶體的先斷後通電路 740。如圖 13E，輸出 D 被延遲元件 750 延遲，反及閘和或閘產生具有先斷後通時序關係的二輸出電壓 NOT-C-AND-D 和 C-OR-D。
 20

限制畫素電壓覆蓋電路 1360 的作業，當 $V_{OVR_L} = 1$ 時， V_{OVR_H} 不切到 0，當 $V_{OVR_H} = 0$ 時， V_{OVR_L} 不切

到 1。此狀態造成從 V_{DD} 至 V_{SS} 直接短路。圖 13F 呈現提供圖 13G 之電壓之畫素電壓覆蓋電路 1360 的先斷後通電路 780。如圖 13E，輸出 F 被延遲元件 790 延遲，及閘和或閘產生二輸出電壓 C-AND-D 和 C-OR-D，具有滿足前述條件的先斷後通時序關係。設計不必然包含此電路。顯示控制器能以不發生危險情況的方式操作畫素覆蓋電路 1360。

為實施延遲元件 710、750、790，圖 13H 呈現使用延遲時序電路的一較佳實施例，其中延遲由一串反相器的連續執行延遲而產生。導因於反相器 820 之執行作業的延遲為固定延遲期間，與時脈周期無關。為確保沿著時間線 B' 的電路輸出與輸入信號有相同極性，反相器數目必須為偶數。此種時間延遲電路可用在開機，確保當系統時脈先開始運行時，晶片在初始化階段不進入鎖定或其他危險情況。延遲時間線標為 B'，非延遲時間線標為 A'。圖 13I 中，畫出具有可選延遲的延遲元件。正反器電路為 "D" 型裝置。這解除裝置偶數的要求。各正反器（除了最後一個）的輸出饋送增加進一步延遲的另一正反器。分接額外各輸出並饋入多工選擇器電路，使系統允許可選延遲。所需的正反器數目可在設計時或嘗試錯誤的作業時決定。時脈周期可設為接近斷電時間的值以減少正反器數目。其他組合也可以。圖 13I 呈現 n 個正反器的一較佳實施例。延遲線的輸出為 B''。非延遲平行信號為 A''。圖 13J 呈現組合圖 13H 和 13I 之二種延遲電路的延遲元件另一實施例。當時脈不穩時，反相器鏈可在開機相位中用來建立延遲。其後，系統可切到適當正反器電路

抽頭。這藉由降低晶片初始化時發生鎖定的風險可能性，而大為降低降低開機危險。正反器數目和反相器數目不需相等。各數目由所需的時序延遲來決定。各鏈可接收相同輸入—在多工器做選擇。時間線 B''' 用於延遲信號，時間線 A''' 用於非延遲信號。

圖 14 呈現依據本發明之顯示器單一畫素單元 2205 的方塊圖。畫素單元 2205 包括儲存元件 2300、DC 平衡控制開關 2320、畫素電壓覆蓋電路 2360、反相器 2340。DC 平衡控制開關 2320 最好是 CMOS 為基礎的邏輯裝置，可選擇性將幾個輸入電壓之一送到另一裝置。儲存元件 2300 包括互補輸入端 2302 和 2304，分別耦合到資料線 (B_{POS}) 2120 和 (B_{NEG}) 2122。儲存元件也包括耦合到字線 (W_{LINE}) 2118 的互補致能端 2306 和 2307，及一對互補資料輸出端 (S_{POS}) 2308 和 (S_{NEG}) 2310。本實施例中，儲存元件 2300 是 SRAM 閃鎖，但熟悉此技藝人士會瞭解，可接收資料位元、儲存位元、將儲存位元互補狀態送到互補輸出端的任何儲存元件可取代本文的 SRAM 閃鎖儲存元件 2300。

DC 平衡控制開關 2320 包括一對互補資料輸入端 2324 和 2326，分別耦合到儲存元件 2300 的資料輸出端 (S_{POS}) 2308 和 (S_{NEG}) 2310。DC 平衡控制開關 2320 也包括第一電壓供應端 2328 和第二電壓供應端 2330，分別耦合到電壓控制開關 2320 的第三電壓供應端 (V_{SW_H}) 2277 和第四

電壓供應端 (V_{SW_L}) 2279。DC 平衡控制開關 2320 進一步包括資料輸出端 2322。

畫素電壓覆蓋電路 2360 包括資料輸入端 2370，耦合到 DC 平衡控制開關 2320 的資料輸出端 2322。畫素電壓覆蓋電路進一步包括耦合到全局電壓供應源 V_{SS} 2292 的第一電壓供應端 2362、耦合到全局電壓供應源 V_{DD} 2290 的第二電壓供應端 2364、耦合到供應電壓 (邏輯) V_{OVR_H} 2296 的第三電壓供應端 2366、耦合到供應電壓 (邏輯) V_{OVR_L} 2294 的第四電壓供應端 2368、耦合到反相器 2340 之輸入電壓供應端 2348 的電壓 (邏輯) 輸出端 2372。

反相器 2340 包括第一電壓供應端 2342 和第二電壓供應端 2344，分別耦合到電壓控制器 2220 (參見圖 19) 的第一電壓供應端 (V_1) 2272 和第二電壓供應端 (V_0) 2274。反相器 2340 也包括耦合到畫素電壓覆蓋電路 2360 之資料輸出端 2372 的資料輸入端 2348，和耦合到畫素鏡 2212 的畫素電壓輸出端 (V_{PIX}) 2346。反相器和電壓施加電路的功能是確保 V_0 與 V_1 間的正确電壓送到畫素鏡。

圖 15 呈現 DC 平衡控制開關 2320 的較佳實施例。DC 平衡控制開關 2320 包括第一 p 通道 CMOS 電晶體 2410 和第二 p 通道 CMOS 電晶體 2420。第一電晶體 2410 的源極端 2412 耦合到資料輸入端 2324，閘極端 2414 耦合到第一電壓供應端 2328，汲極端 2416 耦合到資料輸出端 2322。第二電晶體 2420 的源極端 2422 耦合到輸入端 2326，閘極

端 2424 耦合到第二電壓供應端 2330，汲極端 2426 耦合到資料輸出端 2322。

圖 16 呈現反相器 2340 的較佳實施例。反相器 2340 包括 p 通道 CMOS 電晶體 510 和 n 通道電晶體 2520。P 通道電晶體 2510 的源極端 512 接到第一電壓供應端 2342，閘極端 2514 耦合到資料輸入端 2348，汲極端 2516 耦合到畫素電壓輸出端 (V_{PIX}) 2346。N 通道電晶體 2520 的源極端 2522 耦合到第二電壓供應端 2344，閘極端 2524 耦合到資料輸入端 2348，汲極端 2526 耦合到畫素電壓輸出端 (V_{PIX}) 2346。

圖 17 是畫素電壓覆蓋電路 2360 的較佳實施例。畫素電壓覆蓋電路 2360 包括第一 p 通道 MOSFET 電晶體 2380 和第一 n 通道 MOSFET 電晶體 2385，汲極 2383 和 2388 耦合到輸出端 2372。輸入端 2370 直接接到輸出端 2372。 V_{DD} 端 2290 耦合到輸入端 2364， V_0 2274 (參見圖 19) 耦合到輸入端 2362。因為前述 DC 平衡控制開關 2320 的電路效應之故，必須使用 V_0 而非 V_{SS} 。輸入端 2364 耦合到 MOSFET 電晶體 2380 的源極端 2382，輸入端 2362 耦合到 MOSFET 電晶體 2385 的源極端 2387。電壓供應端 2294 耦合到電壓覆蓋信號低端 V_{OVR_L} 2368，電壓供應端 2296 耦合到電壓覆蓋信號高端 V_{OVR_H} 2366。端 V_{OVR_L} 2368 耦合到 MOSFET 電晶體 2385 的閘極 2386，端 V_{OVR_H} 2366 耦合到 MOSFET 電晶體 2380 的閘極 2381。

圖 18 呈現儲存元件 2300 的較佳實施例。儲存元件 2300 最好是 CMOS 靜態 RAM(SRAM) 閃鎖裝置。此種裝置為人廣知。參見 DeWitt U. Ong, modern MOS Technology, Processes, Devices, & Design, 1984, Chapter 9-5, 細節併入本案做為參考。靜態 RAM 中, 只要施加電力, 雖無時脈也能運行。圖 16 呈現最普通的 SRAM 單元, 其中使用六個電晶體。電晶體 2602、2604、2610、2612 是 n 通道電晶體, 而電晶體 606 和 608 是 p 通道電晶體。此特定單元中, 字線 118 開啟傳輸電晶體 602 和 604, 藉由正反器 (也就是電晶體 2606、2608、2610、2612) 容許(B_{POS})2120 和(B_{NEG})2122 線留在預充電高狀態或放電至低狀態。然後正反器狀態可差動感測。資料寫入選擇的單元時, 額外寫入電路強迫(B_{POS}) 2120 和(B_{NEG})2122 變高或低。變低值最有效使正反器改變狀態。

由於六電晶體 SRAM 單元涉及最少的詳細電路設計和製程知識, 且對雜訊和難以評估的其他效應而言最安全, 故 CMOS 型設計和製造最常用六電晶體 SRAM 單元。此外, 目前製程密到足以容許大的靜態 RAM 陣列。因此這些類型的儲存元件宜用於本文之矽基液晶顯示裝置的設計和製造。然而, 本發明也考量其他類型的靜態 RAM 單元, 諸如使用 NOR 閘的四電晶體 RAM 單元, 以及使用動態 RAM 單元而非靜態 RAM 單元。

畫素電壓覆蓋電路 1360 的輸入端 1370 再直接耦合到輸出端 1372。輸出端 1372 耦合到反相器 1340 的輸入端

1348。除非當 DC 平衡控制開關不使電壓送到畫素電壓覆蓋電路的輸入端 1370，否則畫素電壓覆蓋電路 1360 不使電壓送到輸出端。詳言之，電壓供應端的電壓和畫素電極的輸出電壓 V_{PIX} （在對應於對儲存元件之輸入端 B_{POS} 1120 和 B_{NEG} 1122 之狀態的畫素寫入作業後，參見圖 9）呈現於圖 10 的表。此外，供應端的電壓和畫素電極的輸出電壓 V_{PIX} （在由畫素電壓覆蓋電路施加電壓後）呈現於圖 10 的表。此外，電壓供應端的某些缺陷組合呈現於圖 10 的表。

開關 2320 回應於第一邏輯電壓供應端 (V_{SW_H}) 2277 上的預定電壓和第二邏輯電壓供應端 (V_{SW_L}) 2279 上的預定電壓，可選擇性經由開關 2320 的輸出端 2322 將存入儲存元件 2300 的高或低資料值任一個送入反相器 2340 的輸入端 2348。

在最簡化的形式，電晶體僅是 on/off 開關。CMOS 型設計中，電晶體閘極控制源極與汲極間的電流通過。n 通道電晶體中，若汲極和源極連接，則開關閉路或 "on"。這發生在閘極上有高值或數位 "1"。若汲極和源極切斷，則開關閉路或 "off"。這發生在閘極上有低值或數位 "0"。p 通道電晶體中，閘極上有低值或數位 "0" 時，開關閉路或 "on"。閘極上有高值或數位 "1" 時，開關閉路或 "off"。因此 p 通道和 n 通道電晶體對閘極信號互補值做 "on" 或 "off"。

圖 19 呈現依據本發明的顯示系統 2200。顯示系統 2200 包括畫素單元 2205 的陣列、電壓控制器 2220、處理

單元 2240、記憶單元 2230、透明共同電極 2250。共同透明電極蓋住畫素單元 2205 的整個陣列。較佳實施例中，畫素單元 2205 形成於矽基板或底座材料上，覆以畫素鏡 2212 的陣列，每一畫素鏡 2212 對應於單一畫素單元 2205。液晶材料的均勻層位於畫素鏡 2212 的陣列與透明共同電極 2250 之間。透明共同電極 2250 最好形成自導電玻璃材料，如氧化銦錫 (ITO)。記憶體 2230 是包含程式資料和命令之電腦可讀的媒體。記憶體可使處理單元 2240 實施各種電壓調變和其他控制設計。處理單元 2240 從記憶單元 2230 經由記憶體匯流排 2232 接收資料和命令，經由電壓控制匯流排 2222 提供內部電壓控制信號給電壓控制器 2220，經由資料控制匯流排 2234 提供資料控制信號（也就是進入畫素陣列的影像資料）。電壓控制器 2220、記憶單元 2230、處理單元 2240 可位於顯示系統不同於畫素單元 2205 之陣列的部分。

回應於從處理單元 2240 經由電壓控制匯流排 2222 所接收的控制信號，電壓控制器 2220 經由第一電壓供應端 (V_1) 2272、第二電壓供應端 (V_0) 2274、第三（邏輯）電壓供應端 (V_{SW_H}) 2277、第四（邏輯）電壓供應端 (V_{SW_L}) 2279、第五（邏輯）電壓供應端 (V_{OVR_L}) 2294、第六（邏輯）電壓供應端 (V_{OVR_H}) 2296 提供預定電壓給各畫素單元 2205。電壓控制器 2220 也將預定電壓 V_{ITO_L} 和 V_{ITO_H} 由電壓供應端 2236 和電壓供應端 2237 送到 ITO 電壓多工器單元 2235。電壓多工器單元 2235 根

據來自處理單元 2220 的 DC 平衡命令邏輯狀態來選擇 V_{ITO_L} 或 V_{ITO_H} 。ITO 電壓多工器單元 2235 經由電壓供應端 (V_{ITO}) 2270 將 V_{ITO} 送到透明共同電極 2250。電壓供應端 (V_1) 2272、(V_0) 2274、(V_{SW_H}) 2277、
 5 (V_{SW_L}) 2279、(V_{OVR_L}) 2294、(V_{OVR_H}) 2296、(V_{ITO}) 2270 各呈現於圖 14 做為全局信號，其中只有在 V_{ITO} 2270 的情形，相同電壓在整個畫素陣列送到各畫素單元 2205 或透明共同電極 2250。

一實施例中，顯示處理器使圖 3 的發光二極體依據預定
 10 時程來操作。

電壓 V_0 和 V_1 的供應對畫素設計很重要。一實施例中， V_0 和 V_1 都是獨立於幹線電壓 V_{DD} 和 V_{SS} 的電壓，限制是 V_0 與 V_{SS} 隔著某一位準。另一實施例中， V_1 可設為 V_{DD} ， V_0 獨立於 V_{SS} 。當 V_1 等於 V_{DD} 時，可維持獨立供
 15 電線，或可消除獨立供電線。 V_1 可設在畫素單元電路幹線電壓間的範圍之外。在此情形，必須小心，確保 V_1 供電線與裝置上的其他電路大致隔離，且反相器設計良好。

圖 20 呈現 ITO 電壓多工器控制的另一實施例。圖 20 中，DC 平衡時序控制器 2680 經由控制線 2682 控制 ITO
 20 電壓多工器 2635。ITO 電壓多工器 2635 選擇 V_{ITO_L} 2636 或 V_{ITO_H} 2637。依相同方式，控制線 2684 控制 V_{SW_H} 2677 和 V_{SW_L} 2679 的狀態改變時序。經由依此方式所實施的控制，造成對 V_{ITO} 2670 之改變時序的小差異及選擇 V_0 2674 或 V_1 2672。因為透明共同電極的表面積

在 50 至 100 平方毫米範圍，而各畫素電極的表面積在 0.001 平方毫米範圍，所以這是必須的。

圖 21 描繪各種控制線對畫素作業之各種操作狀態的結果。畫素電路 2205 之作業的第一模式中，畫素電壓覆蓋電路 2360 從 DC 平衡控制開關 2320 接收信號，變成不作用狀態，其中控制電壓 V_{OVR_H} 2296 將高電壓送到 p 通道電晶體，控制電壓 V_{OVR_L} 2294 將低電壓送到 n 通道電晶體，因此關閉兩個 MOSFET 電晶體。施於 DC 平衡控制開關 2320 之輸出端 2322 的電壓施於畫素電壓覆蓋電路 2360 的輸入端 2370，再施於畫素覆蓋電路 2360 的輸出端 2372。輸出端 2372 再耦合到反相器 2340 的輸入端 2348，其中施加的電壓選擇要施於反相器輸出端 V_{PIX} 2346 的 V_0 2274 和 V_1 2272 其中一個以送到畫素鏡 2212。所得的狀態說明於圖 21 的欄位 1 至 4。此模式也稱為“正常”模式。

畫素電路 2205 之作業的第二模式中，DC 平衡控制開關 2320 V_{SW_L} 2279、 V_{SW_H} 2277 都設為對應於“Off”狀態的電壓（高電壓）。 V_{OVR_H} 2296 和 V_{OVR_L} 2294 都設為對應於“Off”狀態的電壓。在此狀態，電壓不送到 DC 平衡控制開關 2320 的輸出端 2322，因此電路保持在最後施加的電壓，直到電荷衰退。通過畫素電壓覆蓋電路 2360 之輸入端 2370 和輸出端 2372 的線同樣充電到最後施加的電壓，如同反相器 2340 的輸入端 2348。直到此電壓衰退，反相器 2348 才持續將 V_0 2274 或 V_1 2272 送到輸出端 V_{PIX}

2346 以傳到畫素鏡 2212。在此模式操作時，6T SRAM 儲存元件 2300 可重寫而不改變反相器輸出。該模式可由啟動 DC 平衡控制開關 2320 的有效模式或啟動畫素電壓覆蓋電路 2360 的有效模式來終止。因為不驅動此模式，故不能在單一時刻中進行 DC 平衡作業。控制器可協調這些間隔，將此模式的連續或近乎連續時刻排程以發生在相反 DC 平衡狀態。此狀態說明於圖 21 的欄位 5 和 6。此模式也稱為“隔離”模式。

畫素電路 2205 之作業的第三模式中，DC 平衡控制開關 2320 V_{SW_L} 2279、 V_{SW_H} 2277 都設為對應於 Off 狀態的電壓。 V_{OVR_H} 2296 和 V_{OVR_L} 2294 之一設為對應於 Off 狀態的電壓，另一設為對應於 On 狀態的電壓。送到輸出端 2372 的電壓約為 V_{DD} 2290 或 V_0 2274 之一。因為電路實際化的二次效應，故經過輸出端 2372 送到反相器 2340 之輸入端 2348 的電壓稍微不同於 V_{DD} 或 V_0 。因為反相器 2340 使用這些電壓來選擇 V_0 或 V_1 ，故此稍微差異不重要。一般電路設計者會瞭解，並以所需公差來實施反相器電路。在等期間的時間間隔中於圖 21 之欄位 8 和 9 所述的狀態間交替驅動顯示器，結果是顯示器對液晶作業保持 DC 平衡。此模式也稱為“覆蓋”模式。

在畫素電路 2205 之作業的第一缺陷狀態，DC 平衡控制開關 2320 的作業使畫素電路位於可重設儲存元件 1300 之內容的狀態。發明人實驗證明，使 V_{SW_L} ="On"（低電壓）而同時使 V_{SW_H} ="On"（低電壓），會導致將

S_{POS} 2309 的輸出接到其互補 S_{NEG} 2310，而重設儲存元件 1300。同時切換二元件並藉由限制電壓範圍使 V_0 可設為高於臨限電壓比 V_{SS} 高於約 1.2 伏特，來避免此情況。這些缺陷狀態說明於圖 21 的欄位 7。

5 在畫素電路 2205 之作業的第二缺陷狀態，畫素電壓控制電路 2360 之作業可將 V_{DD} 直接接到 V_0 ，電流流動可預期的大為增加，會導致元件過熱及鎖定。當施於 p 通道 MOSFET 2280 之閘極 2381 的 V_{OVR_H} 2294 設為低電壓時，缺陷情況存在。因此，本發明必須避免二電晶體都是
 10 “On” 的情況。此缺陷狀態說明於圖 21 的欄位 10。避免此情況的方法教示於圖 13G、13H、13I、13J 和相關內文。

圖 22 呈現電壓控制器所產生之電壓的相對刻度，從做為基準電壓的 V_{SS} 開始，然後接著 V_{ITO_H} 、 V_0 、 V_1 、 V_{ITO_L} 。使用類似於圖 19 的電路，可產生圖 22 的電壓位
 15 準。對於此實例，討論電壓性能類似於圖 4 的液晶常白模式。熟悉此技術者瞭解，常黑液晶模式能以類似方式操作，唯一差異是暗狀態配合共同平面上之電壓 (V_{ITO}) 與施於畫素之驅動電壓間的低電壓差。在第一情形，以下稱為 DC 平衡狀態 1， V_{ITO} 設為 V_{ITO_L} ， V_0 對應於明狀態電壓， V_1
 20 對應於暗狀態電壓。在第二情形，以下稱為 DC 平衡狀態 2， V_{ITO} 設為 V_{ITO_H} ， V_0 對應於暗狀態電壓， V_1 對應於明狀態電壓。檢視圖 22，雖未照比例，但清楚呈現除了跨越間隙的場極性，DC 平衡狀態 1 和 DC 平衡狀態 2 為等數值，因此就調變相列液晶而言完全相當。

液晶顯示器的適當 DC 平衡作業需要施於共同電極
 2250 之電壓的多工。如圖 22，在 DC 平衡狀態 1，顯示器
 操作於第一模式，其中共同平面設為 V_{ITO_L} ， V_0 對應於明
 狀態設定， V_1 對應於暗狀態設定。在此模式，設為黑狀態
 5 之畫素之跨越液晶單元的有效電壓是 V_1 與 V_{ITO_L} 的差
 異，設為明狀態之畫素之跨越液晶單元的有效電壓 V_0 與
 V_{ITO_L} 的差異。 V_0 和 V_1 都高於 V_{ITO_L} ，建立跨越間隙
 的場極性。為達成 DC 平衡狀態 1，圖 19 的電路中，邏輯信
 號 V_{SW_H} 為高狀態， V_{SW_L} 為低狀態。如此設定邏輯信
 10 號，將共同平面電壓 2270 (V_{ITO}) 設為 V_{ITO_L} 。同樣地，
 圖 14 的畫素結構中，邏輯信號 V_{SW_H} 設為高狀態， V_{SW_L}
 設為低狀態，設定單元位準多工器，使得 V_0 接到單元資料
 狀態設為 0 或 "明" 的畫素， V_1 接到單元資料狀態設為 1
 或 "暗" 的畫素。這導致跨越液晶單元的有效電壓如圖 21 成
 15 為 DC 平衡狀態 1。前面討論中，使用 0 位元值代表 "off"
 和使用 1 位元值代表 "on" 的習慣是純粹任意的。若詳細研
 究圖 14 的電路，則會使用相反習慣。

在 DC 平衡狀態 2，如圖 22，顯示器操作於類似第一模
 式的第二模式，但跨越顯示器電場方向相反。在此第二模
 20 式，共同平面接到第二電壓源 V_{ITO_H} ，設為暗狀態的畫素接
 到 V_0 ，設為明狀態的畫素接到 V_1 。DC 平衡狀態 1 和 DC
 平衡狀態 2 的場有等數值，但極性相反， V_{ITO_H} 必須比 V_1
 高了 V_{ITO_L} 比 V_0 低的相同電壓絕對值。維持此關係建立
 DC 平衡狀態 1 和 DC 平衡狀態 2 是彼此的鏡像。當 V_{SW_H}

設為低而 V_{SW_L} 設為高時，狀態 1 如圖 22。在此情形，圖 14 的畫素結構中，當畫素資料狀態設為 1 或 "明" 時，畫素多工器電路提供 V_0 給畫素鏡，當畫素資料狀態設為 0 或 "暗" 時，多工器電路提供 V_1 給畫素鏡。

5 當液晶單元留在 DC 平衡狀態 1 和 DC 平衡狀態 2 相等時間間隔時，液晶單元可視為完全 DC 平衡。因此，當共同平面的多工與液晶單元單獨畫素的多工同步時，從二源電壓多工共同平面電壓完成單元的 DC 平衡。

10 所有上述元件一起提供裝置 DC 平衡不直接關聯資料寫入的畫素設計和液晶裝置。藉由控制 ITO 電壓並選擇獨立於顯示器上之單獨畫素資料狀態的畫素鏡電壓，顯示控制器控制邏輯線 V_{SW_H} 和 V_{SW_L} ，以控制配合 ITO 電壓多工器 2235 操作之液晶裝置的 DC 平衡狀態。

15 圖 23A、23B、23C 呈現諸如圖 4 之投影系統之場色序顯示器的調變配置。顯示控制器必須控制顯示器組合和 LED，配合正確 LED 的發亮依序送資料到顯示器。圖 23A 中，色彩 1 的第一調變圖框 3041 作用，調變狀態 3061 與 LED 狀態 3081 同時作用。三元件不一頂精確同時結束。色彩資料 3061 在短暫過渡期間 3042 的一部分可繼續被斷
20 言，如同 LED 狀態 3081。終點的選擇取決於各種因素，如液晶衰退時間。在資料載入圖框 3043，下一顯示器期間的資料預載入置於顯示器的儲存元件。當 LED 狀態 3083 off 時，調變狀態 3063 在此期間可視為 off，任何調變不影響顯示的影像。有時，顯示器實際驅動到預定狀態以降低前一

色彩之資料的殘留效應。在第二過渡期間 3044，完成調變狀態 3045 設為色彩 2 的資料。習知的一些場色序顯示器中，灰度強度主要由 LED 的 on 期間來決定。

在過渡期間 3044 的結束，開始色彩 2 的顯示調變圖框 3045，色彩 2 的 LED 段 3085 作用。色彩 2 資料 3065 在段 3045 中顯示，直到過渡段 3046 開始。LED 色彩 2 的段 3085 在此期間照射顯示器。在色彩 2 之顯示調變圖框 3045 的結束，顯示器進入過渡期間 3046，在該期間中抑制色彩資料 3065，且 LED 色彩 2 過渡到 off 狀態 3087。在資料載入圖框 3047，色彩 2 的影像資料預載入顯示器。顯示器可在圖框 3067 關閉，LED 在期間 3087 中關閉。在過渡期間 3048 於資料載入 3047 的結束，色彩 3 的資料 3069 在色彩 3 的調變圖框 3049 中被斷言，LED 色彩 3 的段 3089 開啟。在色彩 3 顯示期間 3049 的結束，顯示器進入過渡期間 3050，在該期間中終止色彩 3 的資料 3069，色彩 3 的 LED 照明段 3089 結束。資料載入圖框 3051 中，預載入色彩 1 的色彩資料。在期間 3091，資料段 3071 保持關閉，抑制 LED 發光。在資料載入圖框 3051 的結束，顯示器在進入色彩 1 的顯示調變圖框 3041 之前，短暫進入過渡段 3052。在過渡段 3052，色彩資料 3061 送到顯示器，LED 過渡到狀態 3081。

可做許多變化。例如，原色數目可超過此實例所揭露的三種。單獨色彩可在完整順序結束前重覆，或可重覆所有色彩。各種原因皆已廣為人知。

圖 24A 至 24H 呈現單一面板色序液晶投影機調變方法的各種觀點，部分根據專利申請案 10/425,427 所揭露的調變方法。調變方法與圖 5 或 14 的畫素類型相容。用於一種畫素類型的調變應解釋為用於兩種。圖 24A 至 24H 描繪色圖框內的畫素調變作業和從第一色彩過渡到第二色彩的手段。圖 3 的場序顯示器是用於以下實例的典型顯示器，特定 ly 包括在顯示控制器之協調控制下的 LED 照明和微顯示器。其他場色序投影架構為已知，落入本發明的範疇內。

圖 24A、24B、24C 呈現共同時間刻度上之色序作業的一些圖框。圖 24A 的垂直軸代表顯示器上的列，第一列寫在頂部，最後列寫在底部。圖 24B 的垂直軸代表畫素單元調變狀態，“on”表示寫到儲存元件的資料經由圖 5 或圖 14 的中間電路將電壓送到畫素鏡，而“off”代表施於畫素鏡的電壓由畫素電壓覆蓋電路 1360（圖 5）或畫素電壓覆蓋電路 2360（圖 14）決定。在調變圖框 3141，主動驅動調變資料至顯示器，而色彩 1 的 LED 設為“on”狀態 3181。在主動調變結束後，色彩 1 的資料 3161 短期留在顯示器上。色彩 1 之 LED 的“on”狀態可延展，直到色彩 1 資料被色彩 2 資料 3143 的起始狀態覆寫，以補償在調變圖框開始之此資料的上升時間。雖然可用其他校正方法，但可預期此“on”狀態的要求。過渡狀態 3142 從調變圖框時間 3141 的結束持續到資料載入圖框 3143 的開始。DC 平衡開關 1340（圖 14 為 2340）可覆蓋在過渡狀態 3142 的開頭，畫素電壓覆蓋電路 1360（圖 14 為 2360）可在資料載入圖框 3143 中

覆蓋。在資料調變圖框 3143 載入第二調變圖框的資料。在資料載入圖框 3143 的結束，圖 5 的畫素覆蓋電路 1360 或圖 14 的 2360 可關閉，圖 5 的 DC 平衡開關 1340 或圖 14 的 2340 可操作如上以維持 DC 平衡。

5 圖 24D 和 24E 呈現美國專利申請序號 No. 10/435,427 和美國專利申請序號 No. 11/740,244 ('244) (現為美國專利 7,852,307) 的二種調變順序，其內容完全併入本案做為參考。'244 揭露降低選擇列之調變期間的方法，載入縮減列寫入資料至不同列的一部分位址指令周期。
10 縮減指令將選擇列上的所有儲存元件設為形成部分縮減指令的相同值。

圖 24D 呈現捲動調變，其中各調變順序元件的期間被二進位加權。水平軸代表時間，垂直軸代表顯示器上的列位置，順序在顯示器頂部開始。順序元件 3111 代表調變顯示器的最低有效位元，標稱值為 1。順序元件 3112 代表約 2
15 位元的位元加權，調變元件 3113 代表約四位元的位元加權。調變元件 3114 代表約八位元的位元加權。此實例中，使用終止的寫入指標 3116 來建立最低有效位元元件 3111 的期間。此指令配合前述顯示器上作用的其他寫入指標之一。
20 起始位址資料指令以追隨位址資料的隨後資料來識別要寫的列。緊隨第一位址資料指令的第二位址資料指令包含具有固定資料之要終止的列位址，和要寫到該列上之所有畫素的特定單一資料值。要終止之列的選擇與要寫以隨後資料之第一列的位址無關。注意代表單獨調變順序元件邊界之線的

間隔正比於沿著 y 軸之順序元件的位元加權。再注意間隔和間隔大小可任意或憑經驗以滿足如問題降低的目標。

圖 24E 呈現捲動調變順序，其中較低位元元件的期間被二進位加權，高位元元件的期間彼此相等，因此形成溫度計位元。調變元件 3121 呈現位元加權約為 1 的最低有效位元。調變元件 3122 代表約 2 位元的位元加權。其餘調變元件 3123、3124、3125 也各呈現約 2 位元的位元加權。諸如此類的冗餘加權能以非二進位方式操作成為溫度計位元，其中例如 3122 的第一段總是第一採用，例如 3123 的第二元件總是第二採用，例如 3124 的第三元件總是第三採用，例如 3125 的第四元件總是第四採用。依此次序採用的方法說明在美國專利申請序號 No. 10/435,427。點線 3126 代表所用的終止寫入指標以建立最低有效位元如前述。

熟悉此技術者熟閱讀本文後容易想到其他捲動調變順序。此種變化落入本文範疇內。

圖 24F、24G、24H 呈現在 x 軸共同時間線上於單色圖框過渡時之畫素分量作業的擴展圖。圖 24F 的 y 軸呈現寫在頂部的第一列和寫在底部的最後列，這通常代表顯示器的頂部和底部，其間是中間列。圖 24G 的 y 軸代表畫素驅動的三狀態。下文重覆上文中的資訊。正常模式中，經由中間電路存入圖 5 之儲存元件 1300 或圖 14 之儲存元件 2300 的資料值送到圖 5 的畫素鏡 1212 或圖 14 的畫素鏡 2212，其中圖 5 的 DC 平衡控制開關 1320 或 DC 平衡控制開關 2320 依據預定設計在圖 22 的二 DC 平衡狀態之間切換。隔離模

式中，圖 5 之 DC 平衡控制開關 1320 或圖 14 之 2320 的所有電晶體設為 off，各畫素的畫素電壓是主動施於畫素的最後電壓。產生此電壓的電荷因電子-電洞對產生而隨時間衰退，所以只用於短期間。覆蓋模式中，顯示器畫素的 DC 平衡控制開關位於隔離模式，然後啟動圖 5 的畫素電壓覆蓋電路 1360 或圖 14 的畫素電壓覆蓋電路 2360，施於所有畫素鏡的電壓是 V_0 或 V_1 中的單一預定電壓，由圖 5 的反相器 1340 或圖 14 的反相器 2340 根據圖 5 之畫素覆蓋電路 1360 或圖 14 之畫素電壓覆蓋電路 2360 所送的電壓來決定，如圖 5 或圖 14。

當畫素主動在圖 24G 的正常模式 3161 調變，且當 LED 狀態在圖 24H 設為 on 而發射色彩 1 時，色場 1 的顯示調變圖框 3141 驅動顯示器而產生灰度。在顯示調變圖框 3141 的結束，列作業改變過渡模式 3142。在過渡模式 3142 的開始，畫素調變狀態改變成隔離狀態 3162，LED 狀態 3181 留在色彩 1。在隔離狀態 3162 的短暫間隔後，圖 5 的畫素電壓覆蓋電路 1360 或圖 14 的 2360 操作如上以形成覆蓋狀態 3163，此時，LED 在間隔 3183 關閉，資料載入圖框 3143 將色彩 3 的資料預載入圖 5 之畫素開關 1320 或圖 14 之 2320 的儲存元件。進入過渡模式 3144，圖 5 的畫素覆蓋電路 1360 或圖 14 的 2360 關閉，畫素電路留在隔離模式 3164，LED 狀態短暫留在 Off 狀態 3183。藉由在 DC 平衡模式操作 DC 平衡開關，畫素電路調變狀態回到正常 3165，現在 LED 切到色彩 2 的 On 狀態 3185。

顯示器對另一色圖框留在調變狀態 3145，畫素調變狀態 3165 和 LED 狀態 3185 作用直到調變時間結束，此時 DC 平衡開關改變到隔離模式 3166。只要顯示器作用便重覆此過程。

5 圖 25A 和 25B 呈現在顯示器調變圖框（諸如圖 23A 的 3041、3045、或 3049）中產生灰度之作業的另一模式。色彩過渡期間作業、初步載入期間、畫素調變狀態、LED 狀態都與圖 24A、24B、24C、24F、24G、24H 無異，此處不再重覆。對此的小變化容易思及，涵蓋於本發明範圍內。

10 圖 25A 呈現的調變方法中，調變段期間的加權約為二進位。調變方法不同於圖 24D，各調變平面在顯示器單一掃描中寫入，如同典型習知裝置。此種調變方法的可行性主要取決於驅動顯示器的有效頻寬。調變段 3240 和 3241 以類似於調變段 3250 和 3251 之下文的方式被二進位加權。調變
15 段 3242 和 3252 中，顯示器儲存元件寫成暗狀態。這開始在相列液晶內降低記憶效應的過程，因此降低色彩交叉耦合。在過渡間隔 3243，畫素先操作成隔離模式，再成覆蓋模式。資料可在此期間 3244 可選擇地寫到畫素，但主要目的是在液晶上繼續對暗狀態的驅動以降低色彩交叉耦合。在
20 間隔 3244 的結束，操作畫素經過過渡間隔 3245，此時關閉畫素電壓覆蓋電路，其後 DC 平衡開關作用。一旦 DC 平衡開關作用，則可寫入調變段 3246 的資料。此時，第一列之下的資料重寫成調變段 3246，但資料留在間隔 3243 中所建立的狀態，除非在間隔 3244 重寫。

調變段 3246 代表一最低有效位元的二進位加權。此實
 例中，此間隔期間小於直接調變段的最小期間。因此，使用
 前述的終止寫入指標。在螢幕下約 25%，TWP 資料開始重
 寫剛寫入的資料，不需要列完全重寫。這產生調變設為暗狀
 態的第二間隔 3247。一旦原寫入指標到達顯示器結尾，則
 終止寫入點作用在用來產生段 3248 的寫入指標上持續，直
 到指標在螢幕下 25%。段 3248 被加權約 2 位元。在寫入順
 序 3248 的開始，順序仍將終止寫入點寫到完全 TWP
 3247。此作用在上述螢幕 25% 結束。不產生進一步的終止
 寫入指標，直到用來產生 3248 的寫入指標為螢幕下 50%，
 此時開始終止稍早寫以資料的列，啟動暗狀態段 3249。一
 旦段 3248 的寫入完成，則段 3250 開始寫在顯示器頂部。
 終止 3247 所需的終止寫入指標持續到 3250 的寫入指標到
 達螢幕下 50%。3250 的位元加權約為 8 位元。在段 3250
 的寫入完成，顯示器的寫入點不作用，直到 8 位元的適當時
 間經過，即在螢幕頂部被寫入指標終止並啟動調變段
 3251，加權約為 4 位元。一旦 3251 的寫入完成，下一寫入
 指標藉由將連續列寫成暗狀態而產生段 3252。一旦寫入所
 有列，則顯示器進入過渡段 3253 如前；先到隔離模式，再
 到覆蓋模式，其後覆蓋段 3254 作用。只要顯示器作用，則
 對各色彩的資料持續此過程。

圖 25B 呈現的調變方法中，調變段期間加權是非二進位
 溫度計位元與約二進位之位元的混合。調變方法異於圖
 24D，各調變平面在顯示器單一掃瞄中寫入，如同典型習知

裝置。此種調變方法的可行性主要取決於驅動顯示器的有效頻寬。調變段 3260 和 3261 是類似於調變段 3270、3271、3272 之下文之等期間的溫度計加權位元。調變段 3262 和 3272 中，顯示器儲存元件寫成暗狀態。這開始在相列液晶內降低記憶效應的過程，因此降低色彩交叉耦合。在過渡間隔 3263，畫素先操作成隔離模式，再成覆蓋模式。資料可在此期間 3264 可選擇地寫到畫素，但主要目的是在液晶上繼續對暗狀態的驅動以降低色彩交叉耦合。在間隔 3264 的結束，操作畫素經過過渡間隔 3265，此時關閉畫素電壓覆蓋電路，其後 DC 平衡開關作用。一旦 DC 平衡開關作用，則可寫入間隔 3266 的資料。此時，第一列之下的資料重寫成狀態 3266，但資料留在間隔 3262 中所建立的狀態，除非在間隔 3264 重寫。

調變段 3266 代表一最低有效位元的二進位加權。此實例中，此間隔期間小於直接調變段的最小期間。因此，使用前述的終止寫入指標。在螢幕下約 25%，TWP 資料開始重寫剛寫入的資料，不需要列完全重寫。這產生調變設為暗狀態的第二間隔 3267。一旦原寫入指標到達顯示器結尾，則終止寫入點作用在用來產生段 3268 的寫入指標上持續，直到指標在螢幕下 25%。段 3268 被加權約 2 位元。不需要終止寫入指標，直到用來產生 3268 的寫入指標為螢幕下 50%，此時開始終止頂部列，啟動暗狀態段 3269。一旦段 3268 的寫入完成，則段 3270 開始寫在顯示器頂部。終止 3267 所需的終止寫入指標持續到 3270 的寫入指標到達螢幕

下 50%。段 3270、3271、3272 的位元加權約為 4 位元。在段 3270 的寫入完成，段 3271 的寫入指標開始。當段 3271 的寫入完成時，段 3272 的寫入開始。一旦段 3272 的寫入完成，則段 3273 的寫入開始，將列寫成暗狀態。一旦寫入所有列，則顯示器進入過渡段 3274 如前；先到隔離模式，再到覆蓋模式，其後覆蓋段 3275 作用，過程再度開始。

圖 26A、26B、26C 呈現在單一色彩內產生灰度的另一手段。色彩間的過渡可操作如圖 24F、24G、24H。本實例中，LED 在圖 26C 的單一色彩狀態保持開啟。圖 26A 中，資料段 3341 代表加權調變周期，其中畫素電路在正常模式操作。資料段 3341 的期間小於或約等於載入背面所需的時間。在段 3341 的預定時間，藉由啟動畫素電壓覆蓋開關，各畫素電路由操作 DC 平衡開關到隔離模式 3362 再到覆蓋模式 3363 而位於過渡段 3342。此時，產生資料載入段 3343，所有畫素重寫而不修改施於畫素鏡的電壓。在資料載入段 3343 的結束，顯示器進入過渡段 3344，其中畫素電壓覆蓋電路在段 3364 關閉，然後 DC 平衡開關在段 3365 作用，依據畫素分量狀態在顯示段 3345 將載入畫素儲存元件之資料的狀態所預定的電壓送到畫素。

在資料顯示段 3345 的結束，顯示器進入過渡段 3346，其中 DC 平衡開關先操作成隔離模式 3366，然後畫素電壓覆蓋電路操作到覆蓋段 3367。在覆蓋段 3367，產生資料載入段 3347。在資料載入段 3347 完成後，顯示器進入過渡段

3348，此時畫素電壓覆蓋電路關閉，畫素進入隔離模式
3368，接著是在正常模式 3369 之 DC 平衡開關的作業。

顯示段 3349 遠大於陣列所需的載入時間。在調變段
3349 結束前，DC 平衡覆蓋開關位於隔離模式 3370，資料
5 載入 3350 產生於畫素陣列的儲存元件，而顯示段 3349 在
顯示器上作用。在顯示段 3349 的所需期間結束，DC 平衡開
關操作回到正常模式 3371，資料載入 3350 中所載入的資料
● 送到畫素鏡，因此開始顯示資料段 3351。DC 平衡開關留在
正常狀態 3371，直到 3351 結束前對資料載入作業足夠的時
10 間。此時，DC 平衡開關進入隔離模式 3372，產生畫素資料
載入 3352，而畫素持續呈現先前載入的資料。在資料段
3351 的預定期間結束，DC 平衡開關操作到正常位置。

圖 26A、26B、26C 的調變方法可使用二進位加權調變
段、非二進位加權調變段、或實先前例的二種混合。

15 本發明揭露顯示做為單一畫素之影像資料的畫素顯示元
件，包括在顯示元件內的電壓控制手段，以多工及選擇電極
● 電壓來施於畫素顯示元件的電極。畫素元件進一步提供將施
於畫素鏡的電壓與底下儲存元件隔離的手段。畫素元件進一
步包括畫素電壓覆蓋電路，可將單一預定電壓送到整個陣列
20 而不重寫顯示器的儲存元件。本發明進一步揭露顯示控制手
段，提供控制信號給畫素元件以從預定一組電壓將一電壓送
到共同反電極平面，進一步提供控制信號給 ITO 電壓多工器
以從預定一組電壓將一電壓送到共同反電極平面。較佳實施
例中，電壓控制手段進一步包括多工手段，接收複數個輸入

信號以多工及選擇電極電壓來施於顯示元件的電極和共同反電極平面。另一較佳實施例中，ITO 電壓多工手段從一串輸入信號接收信號以從一組預定電壓多工及選擇一電壓來施於共同反電極平面。另一較佳實施例中，顯示系統進一步包括資料緩衝手段，緩衝要顯示的資料，同時持續顯示先前顯示的資料。另一較佳實施例中，影像顯示系統進一步包括儲存元件，儲存資料位元以輸入到電壓控制手段。另一較佳實施例中，畫素元件包括將全局決定的電壓送到畫素鏡的手段，而不重寫儲存在畫素記憶元件上的資料。另一較佳實施例中，電壓控制手段是 CMOS 為基礎的邏輯裝置。另一較佳實施例中，電壓控制手段將高或電壓的二進位信號輸入到電極。另一較佳實施例中，儲存元件包括將二互補狀態之一送到電壓控制手段的手段。另一較佳實施例中，儲存元件進一步包括 CMOS 為基礎的記憶裝置。另一較佳實施例中，儲存元件進一步包括靜態隨機存取記憶體 (SRAM)。

本發明雖以較佳實施例來說明，但要瞭解此等揭露並非限制。熟悉此技藝人士在閱讀上文後無疑會明白各種變化和修改。所以，申請專利範圍會涵蓋落入發明之真實精神和範疇內的所有變化和修改。

【圖式簡單說明】

圖 1 是利用反射畫素電極之單一液晶畫素單元的方塊圖；

圖 2 是矽基液晶顯示面板的透視圖；

圖 3 是利用液晶顯示面板的投影顯示系統；

5 圖 4 是液晶材料的光電反應曲線；

圖 5 是方塊圖，呈現驅動單一畫素之二進位位元的獨立控制和緩衝；

● 圖 6 是依據本發明一實施例之較佳 DC 平衡控制開關的示意圖；

10 圖 7 是依據本發明之圖 5 之較佳緩衝和電壓施加電路的示意圖；

圖 8 是依據本發明之圖 5 的較佳儲存元件；

圖 9 是依據本發明之圖 5 的較佳畫素電壓覆蓋電路；

15 圖 10 的表說明送到畫素單元之資料狀態與控制狀態間的交互作用及所得的灰度影像；

● 圖 11 是依據本發明的多畫素液晶陣列；

圖 12 是用於依據本發明之多畫素液晶顯示器的另一顯示控制器；

20 圖 13A 描繪四電晶體 DC 平衡控制開關之先斷後通順序的電壓時序；

圖 13B 描繪四電晶體 DC 平衡控制開關之前二個電壓控制（邏輯）信號的先斷後通電路；

圖 13C 描繪四電晶體 DC 平衡控制開關之先斷後通電路的前兩個電壓控制（邏輯）信號時序；

圖 13D 描繪四電晶體 DC 平衡控制開關之後兩個電壓控制（邏輯）信號的先斷後通電路；

圖 13E 描繪四電晶體 DC 平衡控制開關之先斷後通電路的後兩個電壓控制（邏輯）信號時序；

5 圖 13F 是二電晶體畫素電壓覆蓋電路之二個電壓控制（邏輯）信號的電路；

圖 13G 描繪二電晶體畫素電壓覆蓋電路之電路的二個電壓控制（邏輯）信號時序；

10 圖 13H 至 13J 描繪分別利用反相器和正反器電路及二電路組合來實施延遲元件；

圖 14 是方塊圖，呈現驅動單一畫素之二進位位元的獨立控制和緩衝；

圖 15 是依據本發明之圖 14 之較佳 DC 平衡控制開關的示意圖；

15 圖 16 是依據本發明之圖 14 之較佳緩衝和電壓施加電路的示意圖；

圖 17 是本發明之圖 14 的較佳畫素電壓覆蓋電路；

圖 18 是是本發明之圖 14 的較佳儲存元件；

圖 19 是依據本發明的多畫素液晶陣列；

20 圖 20 呈現 ITO 電壓多工器控制的另一實施例；

圖 21 的表說明信號的交互作用；

圖 22 呈現依據本發明之電壓控制器和多工時之 ITO 伏特的電壓刻度；

圖 23 A、23 B、23 C 呈現根據多色 LED 為基礎之照明系統的一般場色序調變方法；

圖 24 A、24 B、24 C 呈現灰度調變經由捲動色彩模式而產生的場色序調變方法；

5 圖 24 D 和 24 E 呈現二種捲動色彩調變，其交錯寫入指標可產生灰度調變；

圖 24 F、24 G、24 H 呈現場色序從一色彩切換成不同色彩時必須發生之作業的詳細圖；

10 圖 25 A 和 25 B 呈現二種捲動色彩調變，其非交錯寫入指標可產生灰度調變；

圖 26 A、26 B、26 C 呈現顯示器的平面更新調變方法。

【主要元件符號說明】

15	20	場色序投影系統
	23	影像資料源
	24	顯示控制器系統
	30	色彩組合稜鏡 (x-cube)
	31	偏振光束
	32	光束
	36	反射液晶微顯示器
	38	預偏光片
	40	偏振分束器 (PBS)
	41	紅色 LED
	42	綠色 LED
	43	藍色 LED
	44	投影光學系統
	50	聚光透鏡

70	時序控制電路
100	顯示器
105	畫素單元
110	儲存元件
112	互補資料輸入端
114	互補資料輸入端
116	資料輸出端
118	控制端
120	對位元線 (B _{POS})
122	對位元線 (B _{NEG})
130	液晶層/液晶材料
140	透明共同電極
142	共同電極端
150	畫素電極
160	入射偏振光束
162	光束
310	延遲元件
510	p通道CMOS電晶體
512	源極端
602	傳輸電晶體
604	傳輸電晶體
606	電晶體
608	電晶體
710	延遲元件
720	及閘
730	反或閘
750	延遲元件
790	延遲元件
820	反相器
1120	資料線 (B _{POS})
1122	資料線 (B _{NEG})
1200	電壓控制器
1205	畫素單元
1210	畫素單元
1212	畫素鏡
1220	電壓控制器

- 1 2 2 2 匯流排
- 1 2 3 0 記憶單元
- 1 2 3 2 匯流排
- 1 2 3 4 匯流排
- 1 2 3 5 ITO 電壓多工器單元
- 1 2 3 6 電壓供應端
- 1 2 3 7 電壓供應端
- 1 2 4 0 處理單元
- 1 2 5 0 透明共同電極
- 1 2 7 0 電壓供應端 (V_{ITO})
- 1 2 7 2 第一電壓供應端 (V)
- 1 2 7 4 第二電壓供應端 (V)
- 1 2 7 6 第三電壓供應端 (V_{SWA_L})
- 1 2 7 8 第四電壓供應端 (V_{SWA_H})
- 1 2 8 0 第五電壓供應端 (V_{SWB_L})
- 1 2 8 2 第六電壓供應端 (V_{SWA_H})
- 1 2 9 0 電壓供應源 V_{DD}
- 1 2 9 2 電壓供應源 V_{SS}
- 1 2 9 4 電壓 (邏輯) 供應源 V_{OVR_L}
- 1 2 9 6 電壓 (邏輯) 供應源 V_{OVR_H}
- 1 3 0 0 儲存元件
- 1 3 0 2 互補輸入端
- 1 3 0 4 互補輸入端
- 1 3 0 6 互補致能端
- 1 3 0 7 互補致能端
- 1 3 0 8 互補資料輸出端 (S_{POS})
- 1 3 0 9 輸出端 S_{POS}
- 1 3 1 0 互補資料輸出端 S_{NEG}
- 1 3 2 0 DC 平衡控制開關
- 1 3 2 2 輸出端
- 1 3 2 4 對互補資料輸入端
- 1 3 2 6 對互補資料輸入端
- 1 3 2 8 第一電壓供應端
- 1 3 3 0 第二電壓供應端
- 1 3 3 2 第三電壓供應端
- 1 3 3 4 第四電壓供應端

- 1340 反相器
- 1342 第一電壓供應端 (V)
- 1344 第二電壓供應端 (V)
- 1346 畫素電壓輸出端 (V_{PIX})
- 1348 輸入電壓供應端
- 1360 畫素電壓覆蓋元件
- 1362 第一電壓供應端
- 1364 第二電壓供應端
- 1366 第三電壓供應端
- 1368 第四電壓供應端
- 1370 資料輸入端
- 1372 電壓 (邏輯) 輸出端
- 1380 第一 p 通道 MOSFET 電晶體
- 1381 閘極
- 1382 源極端
- 1383 汲極
- 1385 第一 n 通道 MOSFET 電晶體
- 1386 閘極
- 1387 源極端
- 1388 汲極
- 1410 第一 p 通道 CMOS 電晶體
- 1411 閘極
- 1412 源極端
- 1415 第一 n 通道電晶體
- 1416 汲極端
- 1420 第二 p 通道 CMOS 電晶體
- 1421 閘極
- 1422 源極端
- 1424 閘極
- 1425 第二 n 通道電晶體
- 1426 汲極端
- 1510 p 通道 CMOS 電晶體
- 1512 源極端
- 1514 閘極端
- 1516 汲極端
- 1520 n 通道電晶體

1522	源極端
1524	閘極端
1526	汲極端
1600	I/O 電壓控制器
1602	電晶體
1604	電晶體
1606	電晶體
1608	電晶體
1610	電晶體
1612	電晶體
1635	I/O 電壓多工單元
2120	資料線 (B _{POS})
2122	資料線 (B _{NEG})
2200	顯示系統
2205	畫素單元
2212	畫素鏡
2220	電壓控制器
2222	匯流排
2230	記憶單元
2232	匯流排
2234	匯流排
2235	I/O 電壓多工器單元
2236	電壓供應端
2237	電壓供應端
2240	處理單元
2250	透明共同電極
2272	第一電壓供應端 (V)
2274	第二電壓供應端 (V)
2277	第三 (邏輯) 電壓供應端 (V _{SW_H})
2279	第四 (邏輯) 電壓供應端 (V _{SW_L})
2280	p 通道 MOSFET
2290	電壓供應源 V _{DD}
2292	電壓供應源 V _{SS}
2294	第五 (邏輯) 電壓供應端 (V _{OVR_L})
2296	第六 (邏輯) 電壓供應端 (V _{OVR_H})
2300	儲存元件

2302	互補輸入端
2304	互補輸入端
2306	互補致能端
2307	互補致能端
2308	互補資料輸出端 (S _{POS})
2309	互補資料輸出端 (S _{POS})
2310	互補資料輸出端 (S _{NEG})
2320	DC 平衡控制開關
2322	資料輸出端
2324	互補資料輸入端
2326	互補資料輸入端
2328	第一電壓供應端
2330	第二電壓供應端
2340	反相器
2342	第一電壓供應端
2344	第二電壓供應端
2346	畫素電壓輸出端 (V _{PIX})
2348	輸入電壓供應端
2360	畫素電壓覆蓋電路
2362	第一電壓供應端
2364	第二電壓供應端
2366	第三電壓供應端
2368	第四電壓供應端
2370	資料輸入端
2372	電壓 (邏輯) 輸出端
2380	第一 p 通道 MOSFET 電晶體
2381	閘極
2382	源極端
2383	汲極
2385	第一 n 通道 MOSFET 電晶體
2386	閘極
2387	源極端
2388	汲極
2410	第一 p 通道 CMOS 電晶體
2412	源極端
2414	閘極

- 2416 汲極端
- 2420 第二 p 通道 CMOS 電晶體
- 2422 源極端
- 2424 閘極端
- 2426 汲極端
- 2510 P 通道電晶體
- 2514 閘極端
- 2516 汲極端
- 2520 n 通道電晶體
- 2522 源極端
- 2524 閘極端
- 2526 汲極端
- 2602 電晶體
- 2604 電晶體
- 2606 電晶體
- 2608 電晶體
- 2610 電晶體
- 2612 電晶體
- 2635 ITO 電壓多工器
- 2680 DC 平衡時序控制器
- 3041 第一調變圖框
- 3043 資料載入圖框
- 3045 調變圖框
- 3047 資料載入圖框
- 3049 調變圖框
- 3051 資料載入圖框
- 3067 圖框
- 3071 資料段
- 3113 調變元件
- 3114 調變元件
- 3116 寫入指標
- 3121 調變元件
- 3122 調變元件
- 3123 調變元件
- 3124 調變元件
- 3125 調變元件

3 1 4 1	調 變 圖 框
3 1 4 3	資 料 載 入 圖 框
3 2 4 0	調 變 段
3 2 4 1	調 變 段
3 2 4 2	調 變 段
3 2 4 6	調 變 段
3 2 4 8	調 變 段
3 2 4 9	暗 狀 態 段
3 2 5 0	調 變 段
3 2 5 1	調 變 段
3 2 5 2	調 變 段
3 2 6 0	調 變 段
3 2 6 1	調 變 段
3 2 6 2	調 變 段
3 2 6 6	調 變 段
3 2 6 9	暗 狀 態 段
3 2 7 0	調 變 段
3 2 7 1	調 變 段
3 2 7 2	調 變 段
3 3 4 1	資 料 段
3 3 4 3	資 料 載 入 段
3 3 4 5	資 料 顯 示 段
3 3 4 7	資 料 載 入 段
3 3 4 9	調 變 段
3 3 5 1	資 料 段

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100135045

※申請日：100.09.23

※IPC分類：G09G3/36 (2006.01)

5 一、發明名稱：(中文/英文)

改良的畫素電路及包括該電路的顯示系統

IMPROVED PIXEL CIRCUIT AND DISPLAY
SYSTEM COMPRISING SAME

10 二、中文發明摘要：

15 本發明揭露一種顯示系統，包含顯示控制器、顯示單元、光源。顯示控制器包含處理器單元、記憶裝置、電壓源、可選擇的光源控制單元。顯示單元包含接收邏輯和控制電壓以及資料以操作顯示器之畫素單元的陣列和電路、透過
20 反電極、位於二對正層之間的液晶層。畫素單元包含儲存元件、DC平衡控制開關、畫素電壓覆蓋電路可在二電壓之間選擇的反相器、畫素電極/鏡。在不同作業模式，畫素鏡電壓可由儲存元件或畫素電壓覆蓋電路決定。顯示系統可在一期間顯示影像而在另一期間重設成固定狀態。

三、英文發明摘要：

A display system which includes a display controller, a display unit, and a light source is disclosed. The display controller includes a processor unit, a memory device, a voltage source and, optionally, a light source control unit. The display unit includes an array of pixel cells and circuitry to receive logic and control voltages and data and operate the display, a transparent counter electrode, and a liquid crystal layer disposed between the two alignment layers. The pixel cell includes a storage element, a DC balance control switch, a pixel voltage override circuit, an inverter able to select between two voltages available to it, and a pixel electrode / mirror. In different modes of operation the pixel mirror voltage may be determined by the storage element or by the pixel voltage override circuit. The display system may display images in one period and reset to a fixed state in another period.

四、指定代表圖：

(一) 本案指定代表圖為：第 (6) 圖。

(二) 本代表圖之元件符號簡單說明：

1276 第三電壓供應端 (V_{SWA_L})
 1278 第四電壓供應端 (V_{SWA_H})
 1280 第五電壓供應端 (V_{SWB_L})
 1282 第六電壓供應端 (V_{SWA_H})
 1320 DC 平衡控制開關
 1322 輸出端
 1324 對互補資料輸入端
 1326 對互補資料輸入端

七、申請專利範圍：

1. 一種顯示系統，包括顯示控制器、含有複數個畫素單元和透明反電極的顯示單元、光源；

其中該顯示控制器包括處理器單元、記憶裝置、電壓源，其中該顯示控制器使電壓源將邏輯和控制電壓及資料送到該顯示單元，包含至少一電壓給透明反電極；

其中該顯示單元包括複數個畫素單元和周邊電路、透明導電反電極、在透明導電反電極和畫素單元陣列上的液晶對正層、在透明反電極與畫素單元陣列之間的液晶層，複數個畫素單元和周邊電路從電壓源接收資料以及邏輯和驅動電壓，依據該電壓和資料來操作顯示器；

其中該畫素單元包括儲存元件、DC 平衡控制開關、畫素電壓覆蓋電路、從至少二電壓選擇一電壓的反相器、接收反相器輸出的畫素鏡；其中，在第一模式，根據記憶元件的資料狀態，該畫素單元將一電壓經由 DC 平衡控制開關送到反相器以選擇要施於畫素鏡的至少二電壓之一；其中，在第二模式，無電壓送到反相器輸入，無電壓送到畫素鏡；其中，在第三作業模式，來自畫素電壓覆蓋電路的電壓送到反相器輸入以選擇要送到畫素鏡的至少二電壓之一。

2. 如申請專利範圍第 1 項的顯示系統，其中在正常作業模式，畫素單元使得儲存元件回應於電壓控制器所提供的資料並將互補資料電壓送到 DC 平衡控制開關的二輸

入；其中該 DC 平衡控制開關在正常作業模式，根據電壓源所發出的邏輯電壓，選擇二互補輸入之一到畫素電壓覆蓋電路的單一輸入端；其中在正常作業模式，該畫素電壓覆蓋電路使送到其輸入端的電壓通達其輸出端；其中該反相器從畫素電壓覆蓋電路接收電壓，選擇至少二畫素驅動電壓之一並將選擇的電壓送到畫素鏡。

3. 如申請專利範圍第 1 項的顯示系統，其中在隔離作業模式，根據電壓源所發出的邏輯電壓，畫素單元使得 DC 平衡控制開關不將電壓從儲存元件送到畫素電壓覆蓋單元的輸入；其中畫素電壓覆蓋電路不送電壓到畫素鏡。

4. 如申請專利範圍第 1 項的顯示系統，其中在覆蓋作業模式，根據電壓源所發出的邏輯電壓，畫素單元使得 DC 平衡控制開關不將電壓從儲存元件送到畫素電壓覆蓋單元的輸入，其中，在覆蓋作業模式，畫素電壓覆蓋電路回應於電壓源所發出的控制電壓，將至少二電壓之一送到反相器的輸入。

5. 如申請專利範圍第 1 項的顯示系統，其中記憶元件是 6 電晶體 SRAM 單元。

6. 如申請專利範圍第 1 項的顯示系統，其中 DC 平衡控制開關依據先斷後通邏輯來操作。

7. 如申請專利範圍第 1 項的顯示系統，其中 DC 平衡電路使電壓範圍高達 V_{DD} 和 V_{SS} 以送到畫素鏡。

5 8. 如申請專利範圍第 1 項的顯示系統，其中電壓源回應於來自處理單元的信號，將邏輯和控制電壓以及畫素電壓送到複數個畫素單元，將電壓送到透明反電極，使得顯示單元以 DC 平衡的方式操作。

10 9. 如申請專利範圍第 8 項的顯示系統，其中電壓源回應於來自處理單元的信號，在正常模式操作顯示器，依據位於儲存元件的資料來顯示影像。

15 10. 如申請專利範圍第 8 項的顯示系統，其中電壓源回應於來自處理單元的信號，在覆蓋模式操作顯示器，將信號送到畫素電壓覆蓋電路，藉以將至少二電壓之一送到反相器，其中反相器回應於來自畫素電壓覆蓋電路的信號，將至少二電壓之一送到陣列的所有畫素鏡。

20 11. 如申請專利範圍第 1 項的顯示系統，其中光源包括至少二不同色彩的複數個發光二極體單元，可由色彩切換。

12. 如申請專利範圍第 11 項的顯示系統，其中顯示控制器使發光二極體依據預定時程發光。

13. 如申請專利範圍第 1 項的顯示系統，其中液晶層為選擇波長之相干光的約半波長厚，二表面上的對正層定向平行於該相干光的偏振且彼此反平行。

5 14. 一種調變顯示系統的方法，該顯示系統包括顯示控制器、含有複數個畫素單元的顯示單元、透明反電極、光源；

10 其中該顯示控制器包括處理器單元、記憶裝置、電壓源，其中該顯示控制器使電壓源將邏輯和控制電壓及資料送到該顯示單元，包含至少一電壓給透明反電極；

15 其中該顯示單元包括複數個畫素單元和周邊電路、透明導電反電極、在透明導電反電極和畫素單元陣列上的液晶對正層、在透明反電極與畫素單元陣列之間的液晶層，複數個畫素單元和周邊電路從電壓源接收資料以及邏輯和驅動電壓，依據該電壓和資料來操作顯示器；

20 其中該畫素單元包括儲存元件、DC 平衡控制開關、畫素電壓覆蓋電路、從至少二電壓選擇一電壓的反相器、接收反相器輸出的畫素鏡；其中，在第一模式，根據記憶元件的資料狀態，該畫素單元將一電壓經由 DC 平衡控制開關送到反相器以選擇要施於畫素鏡的至少二電壓之一；其中，在第二模式，無電壓送到反相器輸入，無電壓送到畫素鏡；其中，在第三作業模式，來自畫素電壓覆蓋電路的電壓送到反相器輸入以選擇要送到畫素鏡的至少二電壓之一；

其中在正常作業模式的第一作業期間，顯示單元之各畫素的儲存元件從電壓源接收資料，將互補資料送到 DC 平衡開關；其中該 DC 平衡開關依據電壓源所決定的其邏輯組態，將二互補輸出之一送到畫素電壓覆蓋電路；其中畫素電壓覆蓋電路將接收的電壓送到其輸出端，其中反相器接收在其輸入端的電壓，將至少二電壓之一送到畫素鏡；其中該資料顯示依據預定程式在第一作業期間持續；其中顯示控制器使發光二極體依據預定時程來操作；

其中在隔離作業模式的第二作業期間，各畫素的儲存元件可從電壓源接收資料，將互補資料送到 DC 平衡開關；其中該 DC 平衡開關在隔離儲存元件的隔離模式；其中畫素電壓覆蓋電路依據來自電壓源的邏輯在關閉條件操作；其中無電壓送到反相器的輸入；

其中在覆蓋作業模式的第三作業期間，DC 平衡開關將儲存元件與畫素的其他電路隔離；其中畫素電壓覆蓋開關使電壓送到反相器的輸入；其中反相器選擇至少二電壓之一以送到畫素鏡。

15. 如申請專利範圍第 14 項之調變顯示系統的方法，其中光源包括至少二不同色彩的複數個發光二極體單元，可由色彩切換。

16. 如申請專利範圍第 15 項之調變顯示系統的方法，其中顯示控制器使發光二極體依據預定時程發光，大致與正常作業狀態的調變期間同時。

5 17. 如申請專利範圍第 15 項之調變顯示系統的方法，其中顯示控制器使發光二極體依據預定時程不發光，與隔離模式和覆蓋模式的調變期間同時。

10 18. 如申請專利範圍第 14 項之調變顯示系統的方法，其中當顯示系統在隔離或覆蓋模式的先前間隔中操作時，顯示控制器使隨後正常模式間隔的資料載入到儲存元件。

15 19. 如申請專利範圍第 14 項之調變顯示系統的方法，其中顯示系統在正常作業模式的作業期間操作，其中顯示控制器依據預定方法寫入第一列的資料以開始第一灰度，在時間經過對應於所需調變段的期間後，以選擇的間隔寫入隨後列的資料以重設第一列；隨後間隔產生列寫入，其中列之間的時間正比於寫到前一系列之資料的所需位元深度；其中在寫入一組的列後，重覆相同列間隔模式，
20 但單列 偏離先前的列寫入作用，重覆此模式直到一組列寫入作用的所有成員寫到顯示器的所有列，藉以提供所需灰度給所有列。

20. 如申請專利範圍第 19 項之調變顯示系統的方法，其中隨後列寫入作用之間的時間大小是任意或憑經驗。

21. 如申請專利範圍第 19 項之調變顯示系統的方法，其中一些調變間隔對應於二進位加權的梯級，一些調變間隔不對應於二進位加權的梯級。

22. 如申請專利範圍第 19 項之調變顯示系統的方法，其中經由終止寫入指標用於第二位址資料，終止在某些時間間隔寫入的資料，第二位址資料佔用第一不相關列之定址相位的額外時間槽；其中終止寫入指標的定址協定包括要終止的列和要寫到終止列之所有畫素的單一資料值。

23. 如申請專利範圍第 14 項之調變顯示系統的方法，其中畫素的整個陣列在整個顯示器的單一寫入作用中寫入，額外梯級隨後以相同方式寫到整個顯示器。

24. 如申請專利範圍第 23 項之調變顯示系統的方法，其中經由終止寫入指標用於位址資料所識別的第三列，終止在某些時間間隔寫入的資料，該位址資料佔用第一不相關列之定址相位的額外時間槽；其中終止寫入指標的定址協定包括要終止的列和要寫到終止列之所有畫素的單一資料值。

25. 如申請專利範圍第 14 項之調變顯示系統的方法，其中液晶層為選擇波長之相干光的約半波長厚，二表面上的對正層定向平行於該相干光的偏振且彼此反平行。

八、圖式：

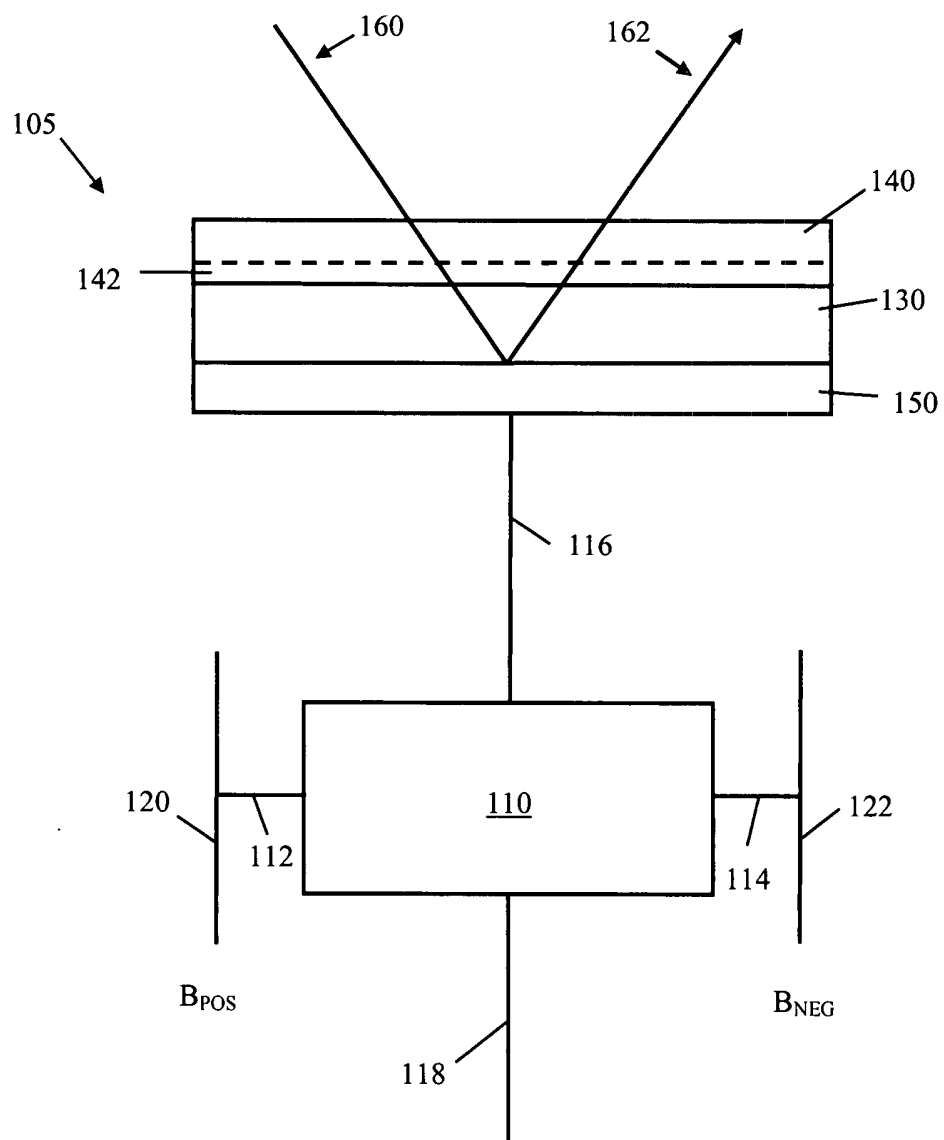


圖 1

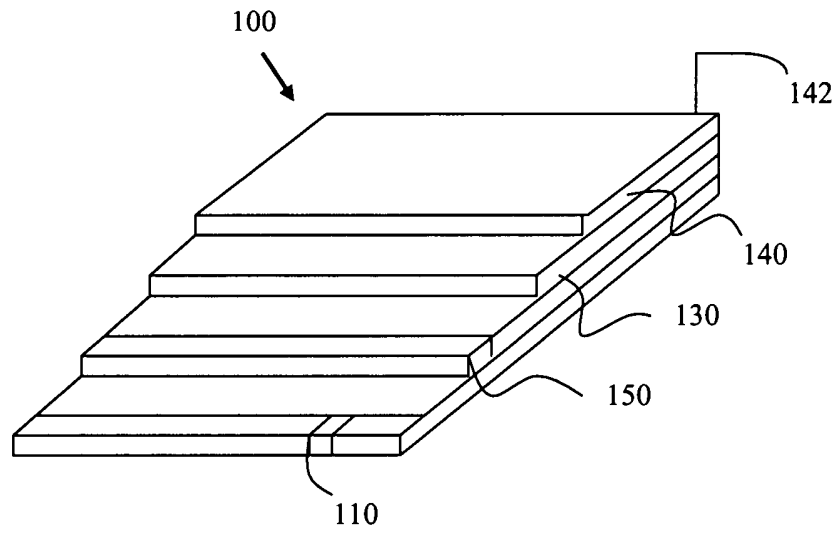


圖 2

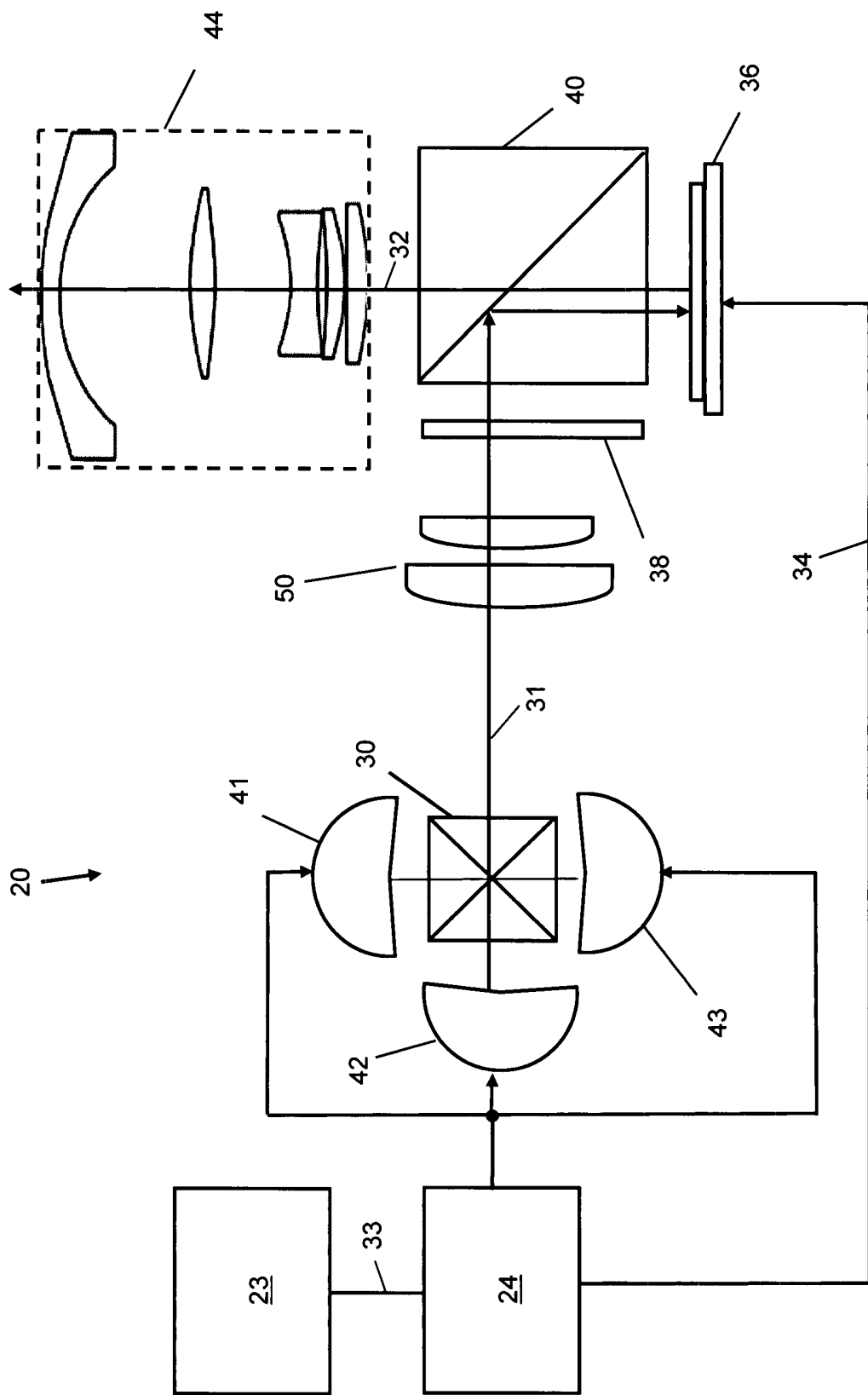


圖 3

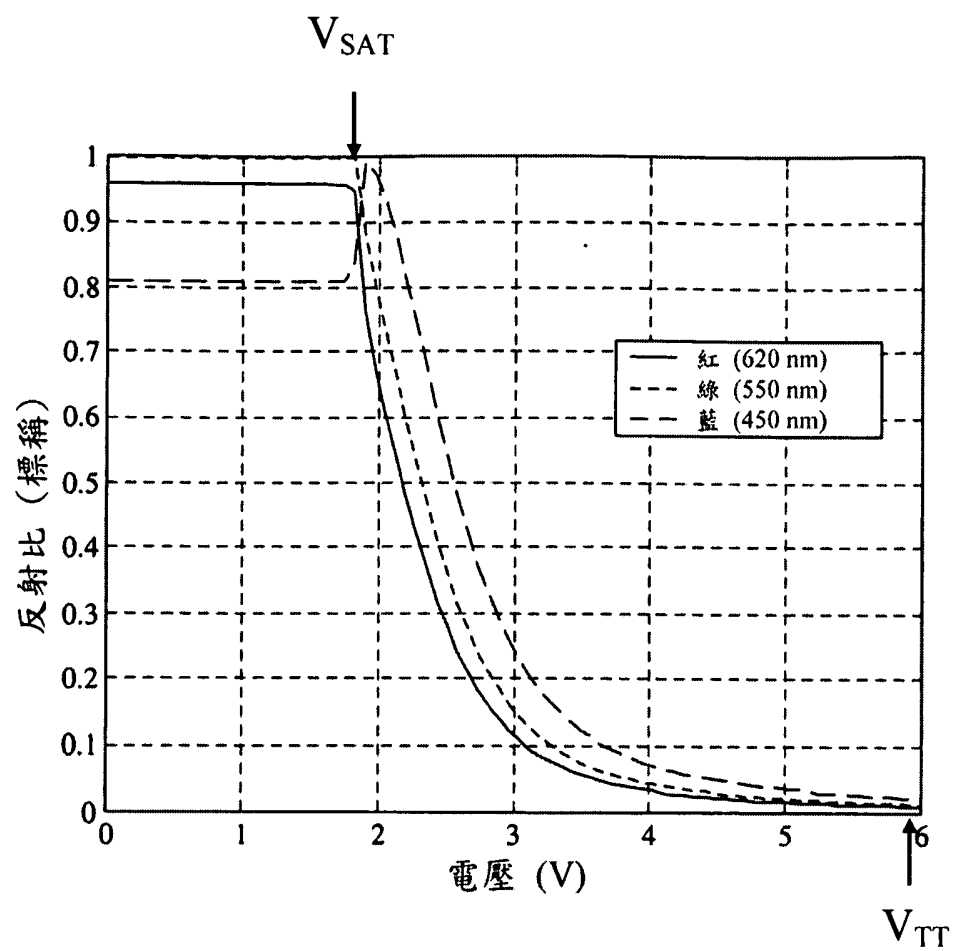


圖 4

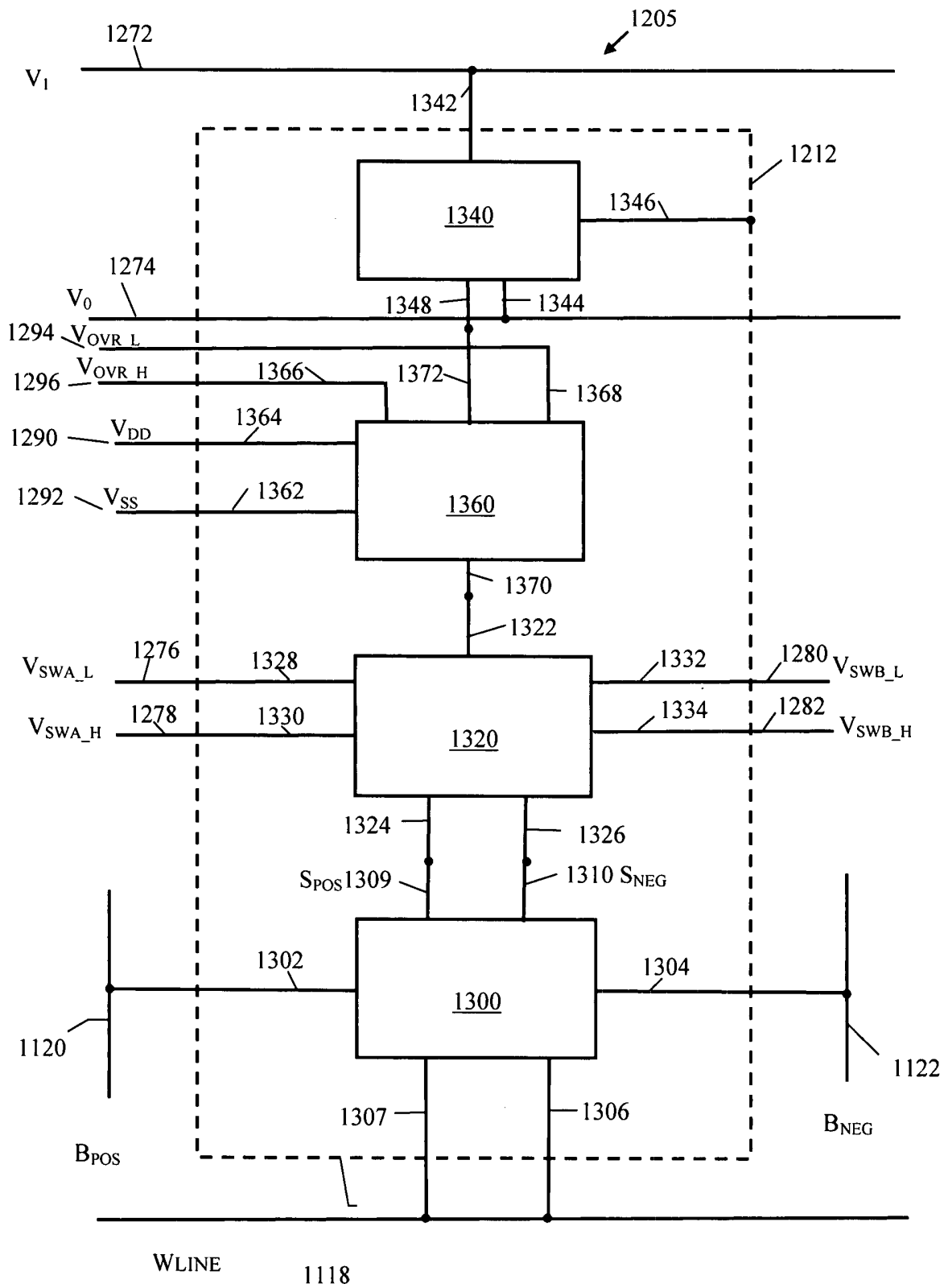


圖 5

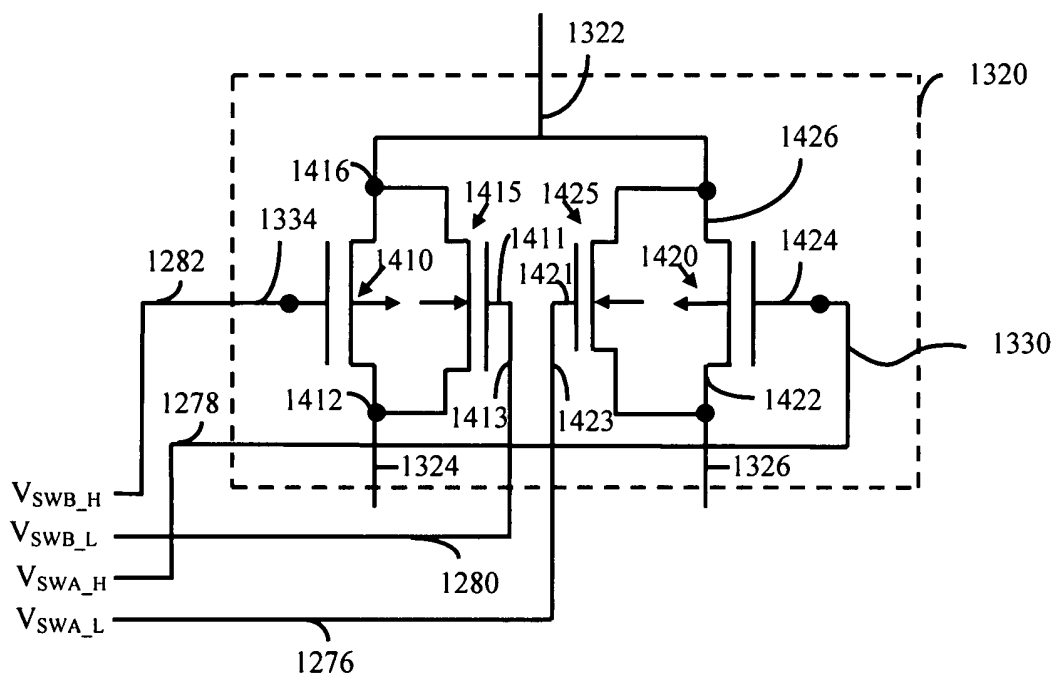


圖 6

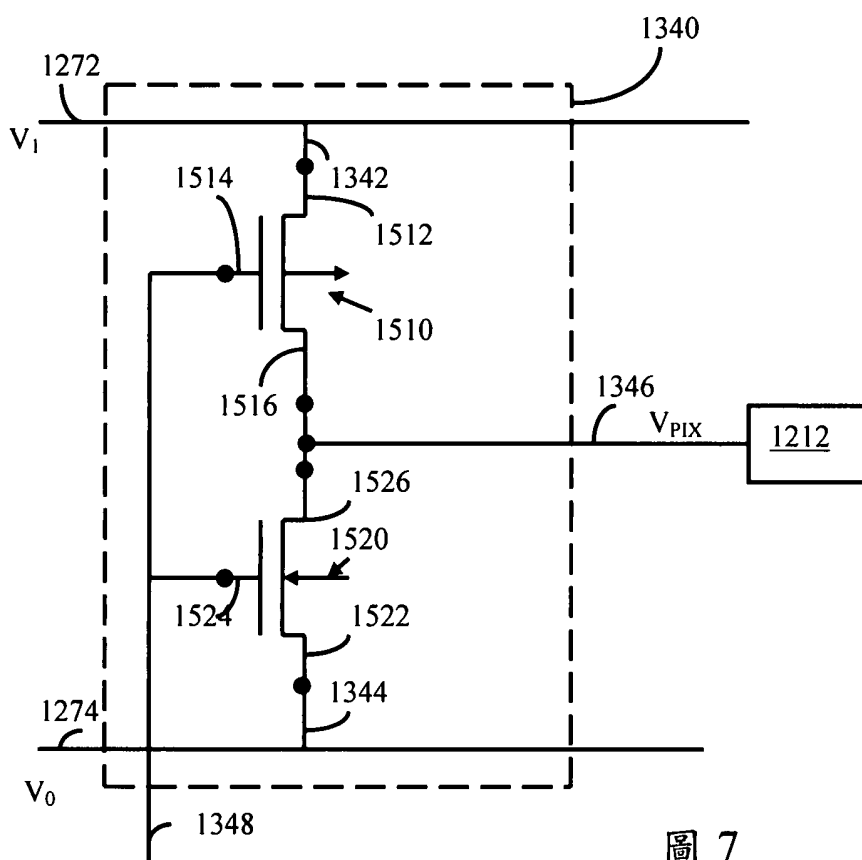


圖 7

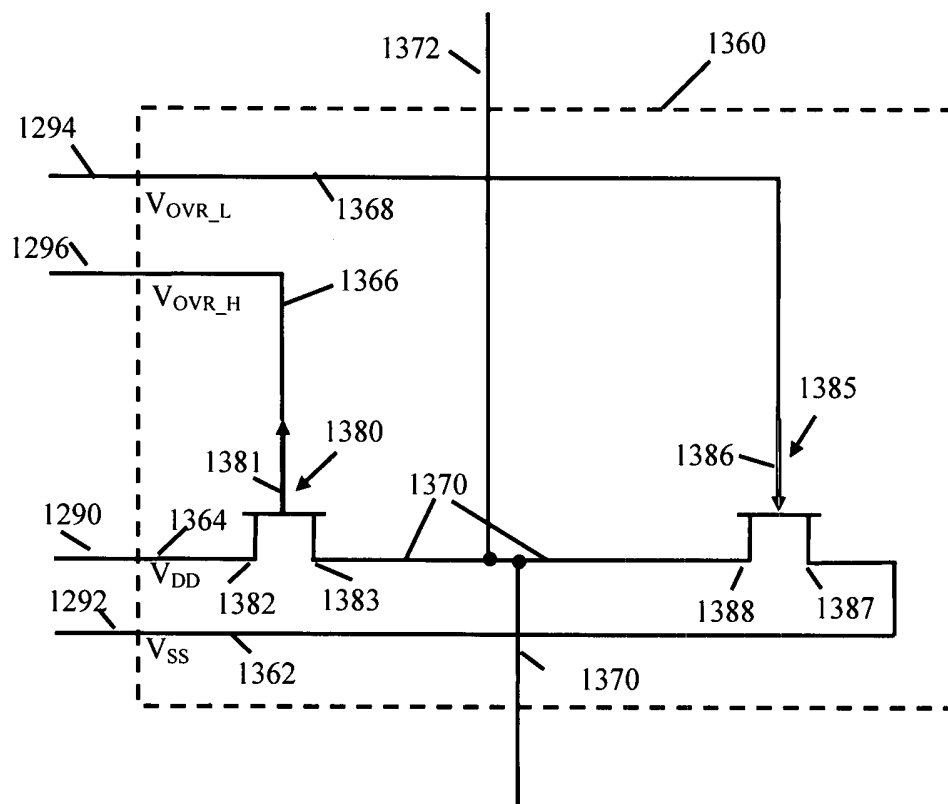


圖 8

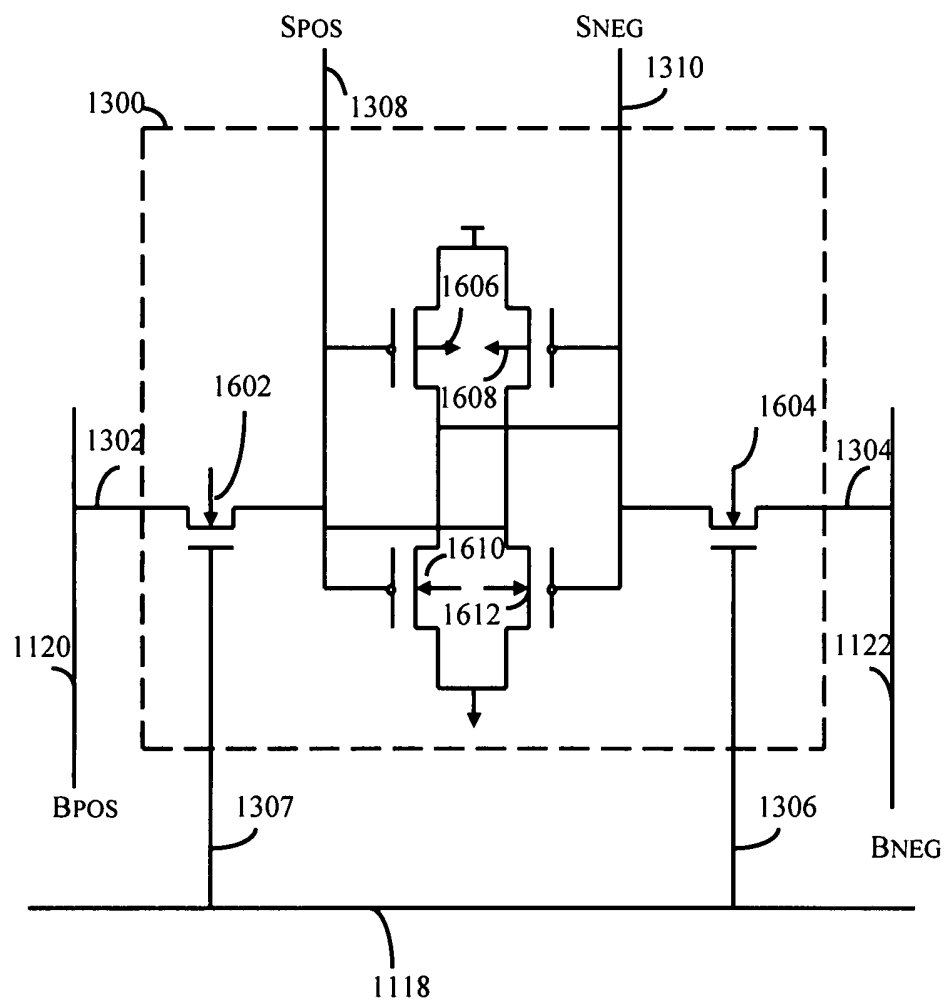


圖 9

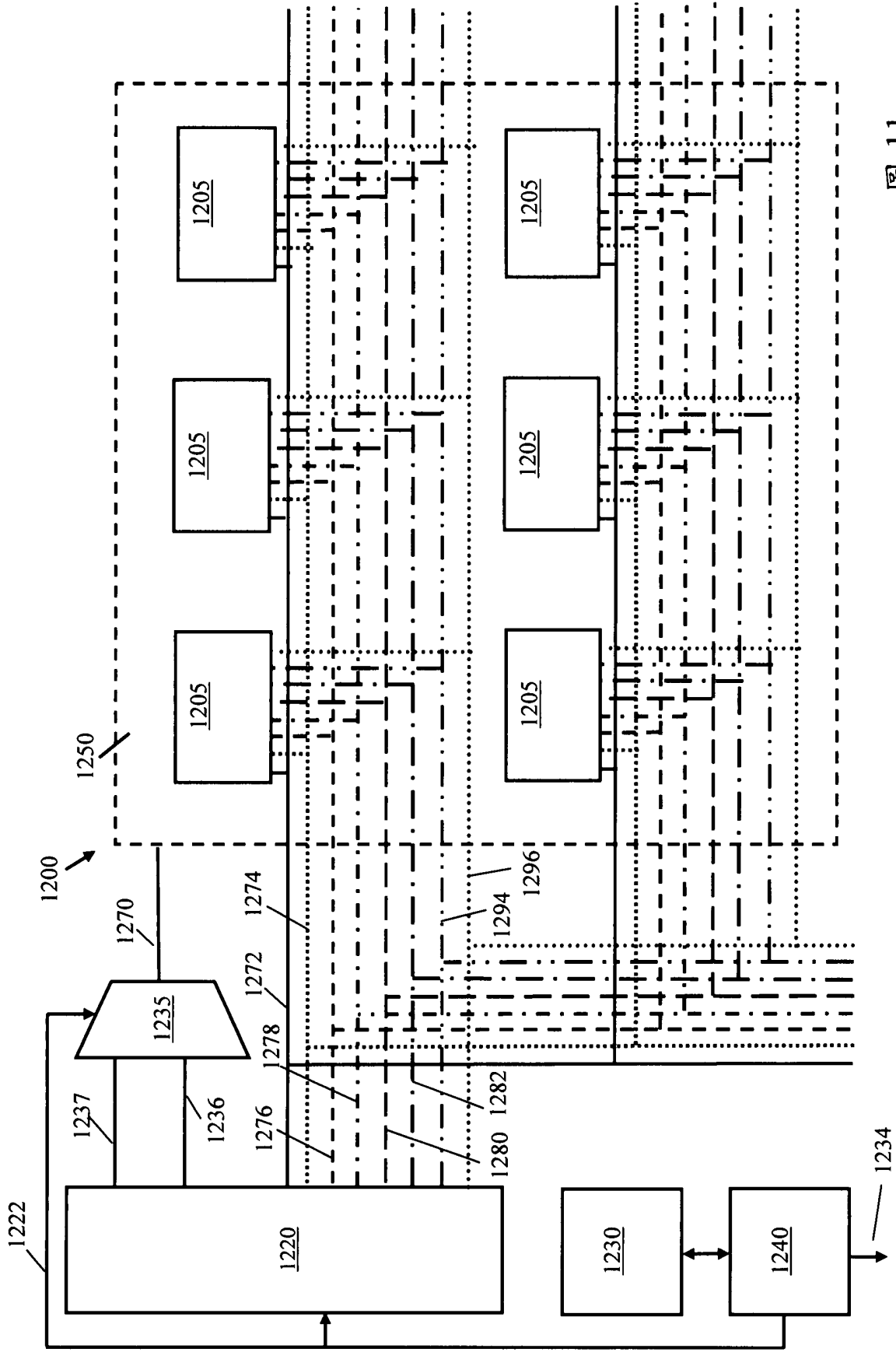


圖 11

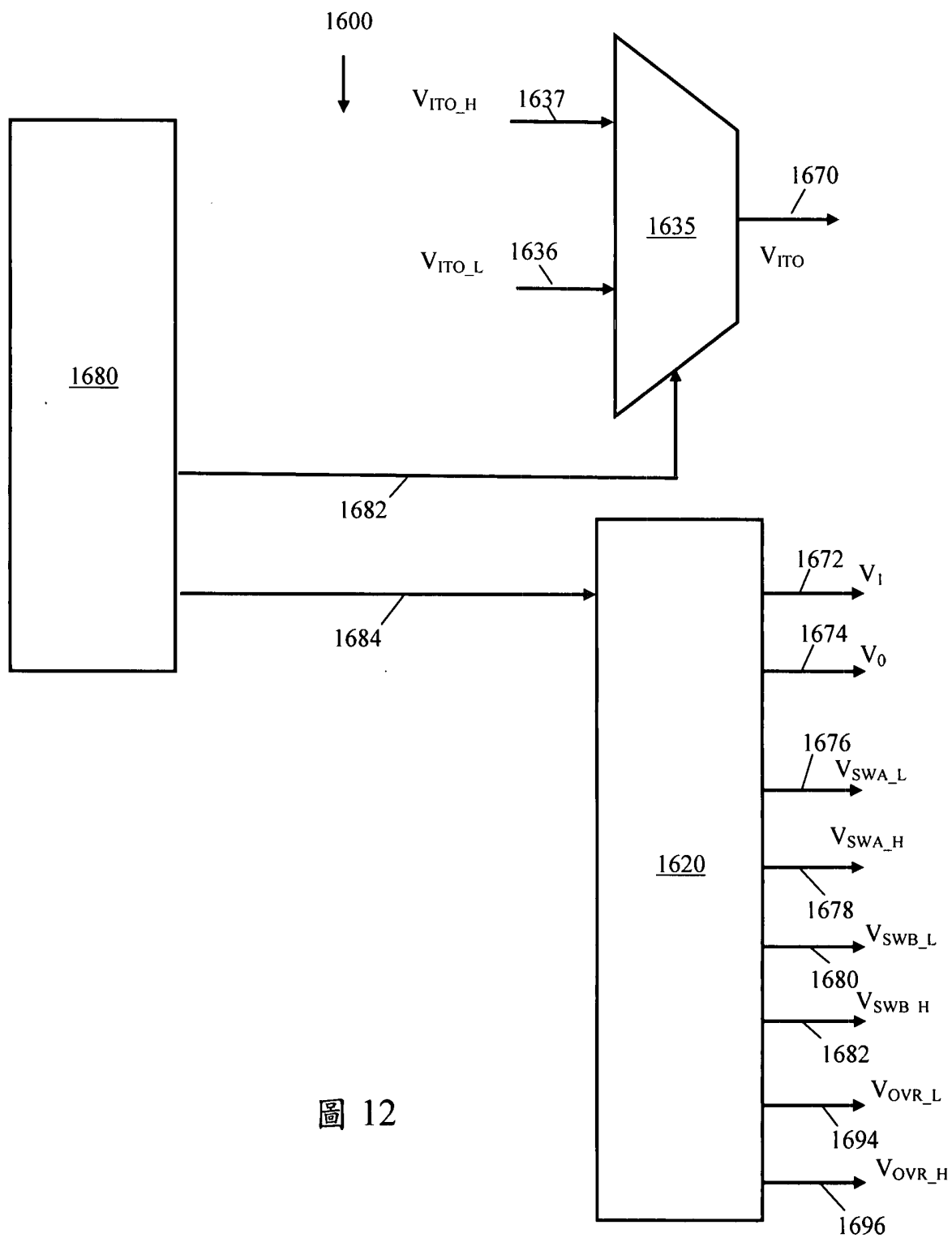


圖 12

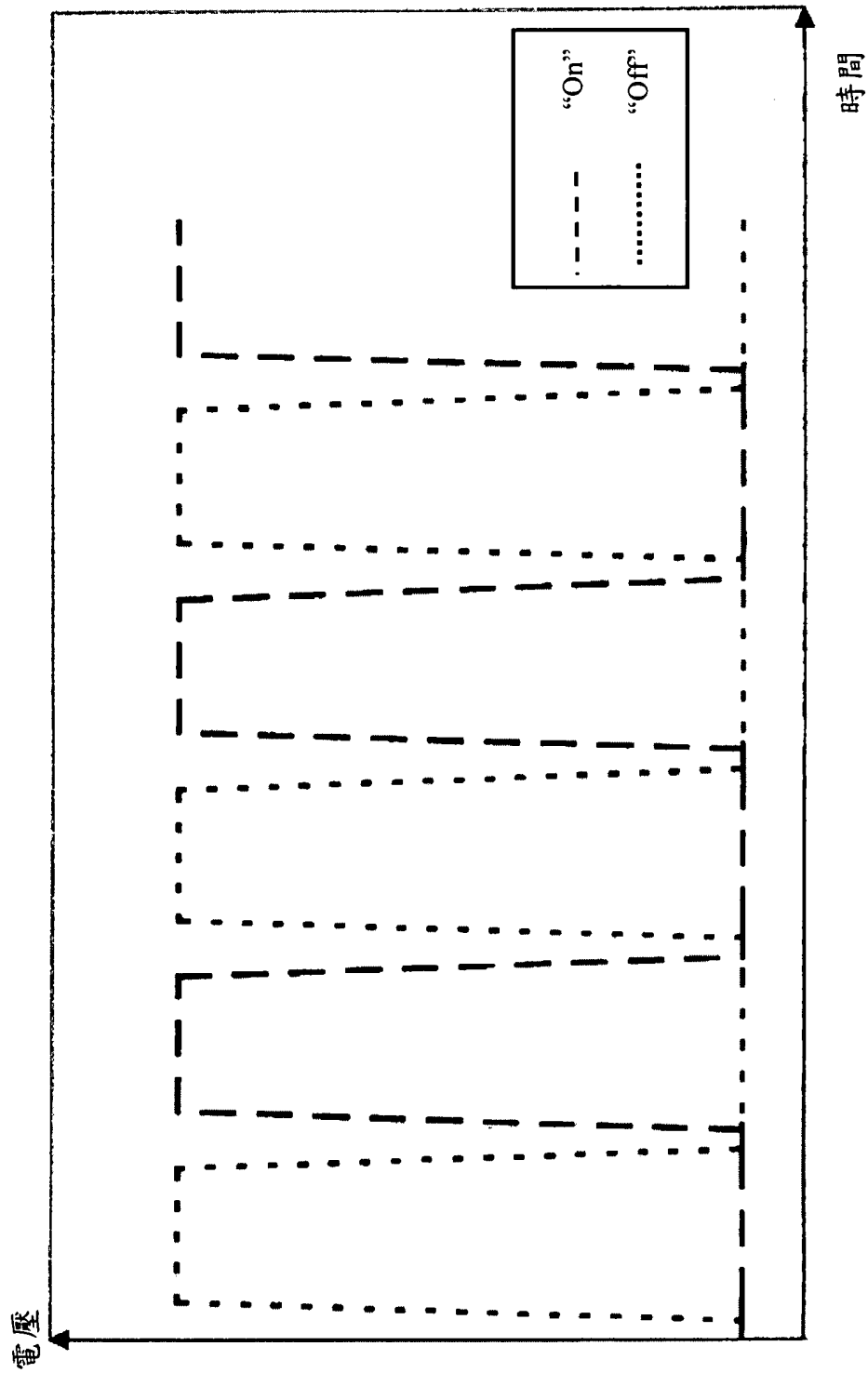


圖 13A

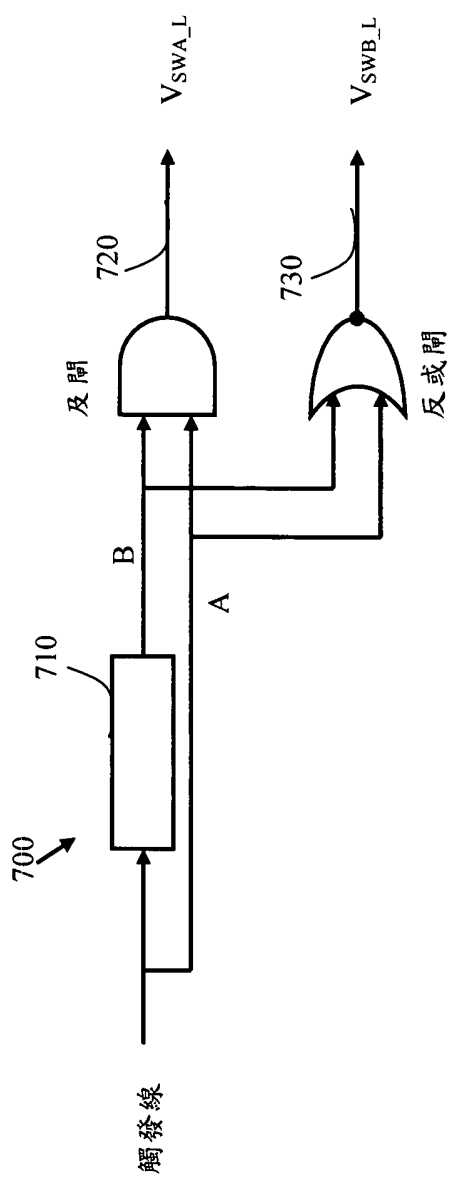


圖 13B

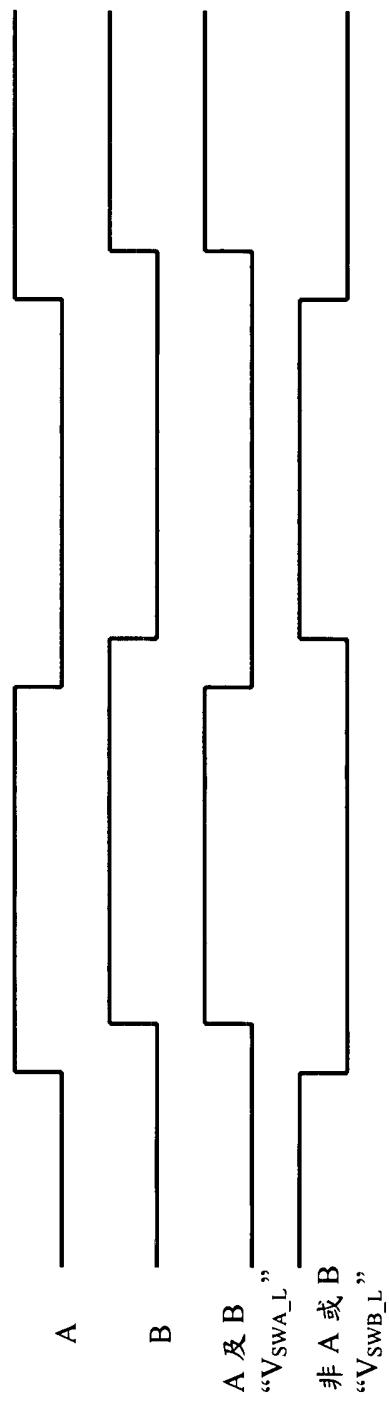
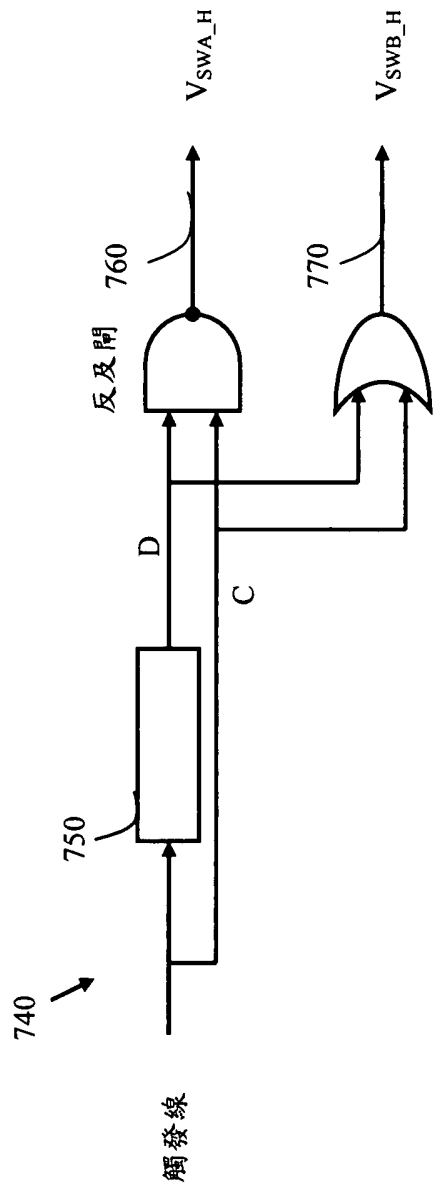


圖 13C





或閘

圖 13D

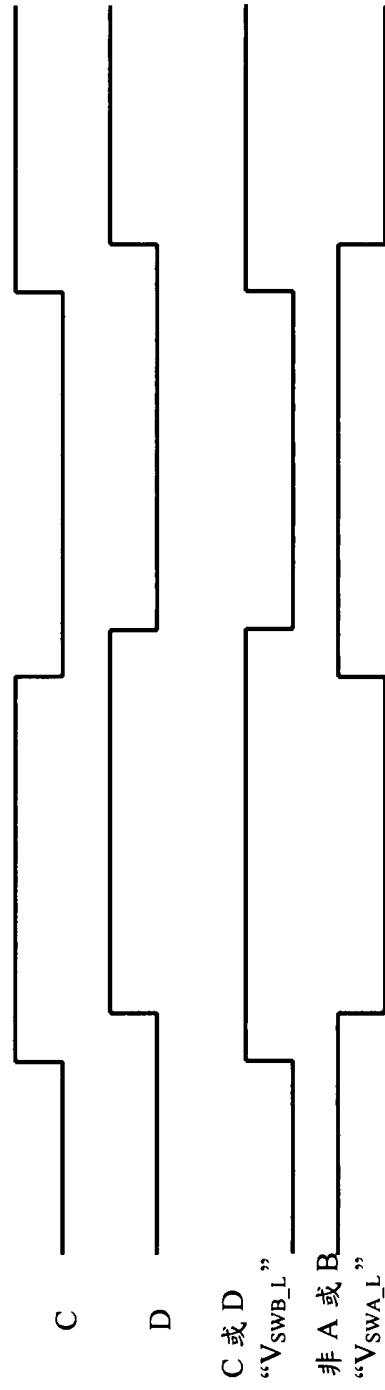
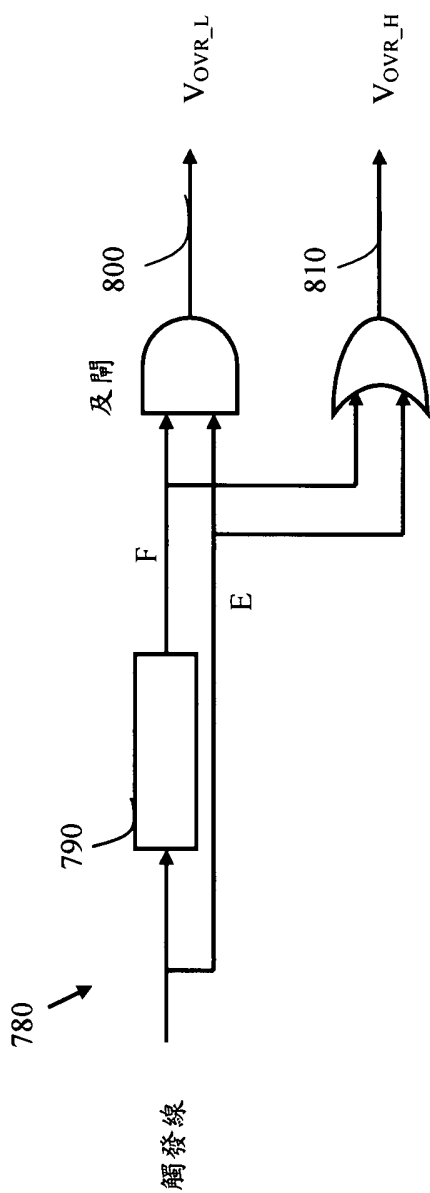


圖 13E



或閘
圖 13F

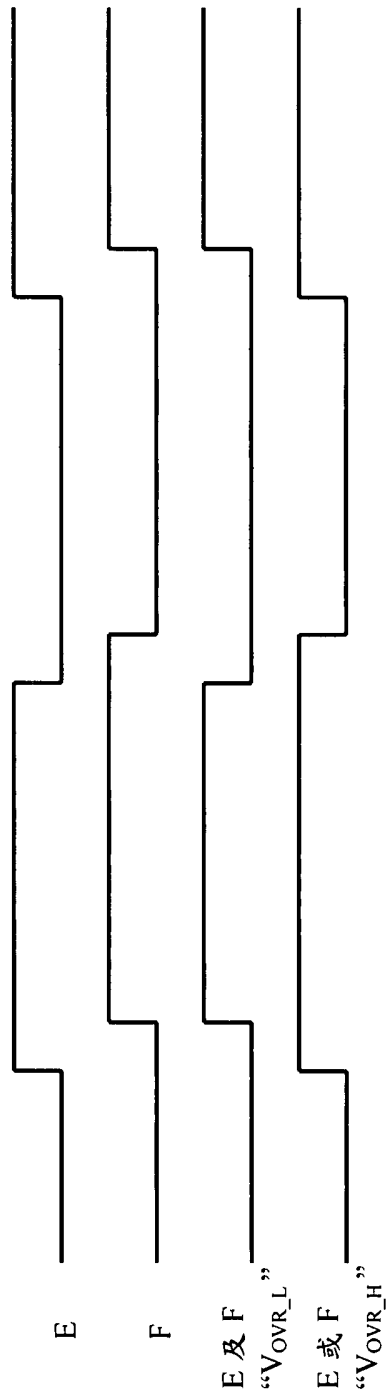


圖 13G

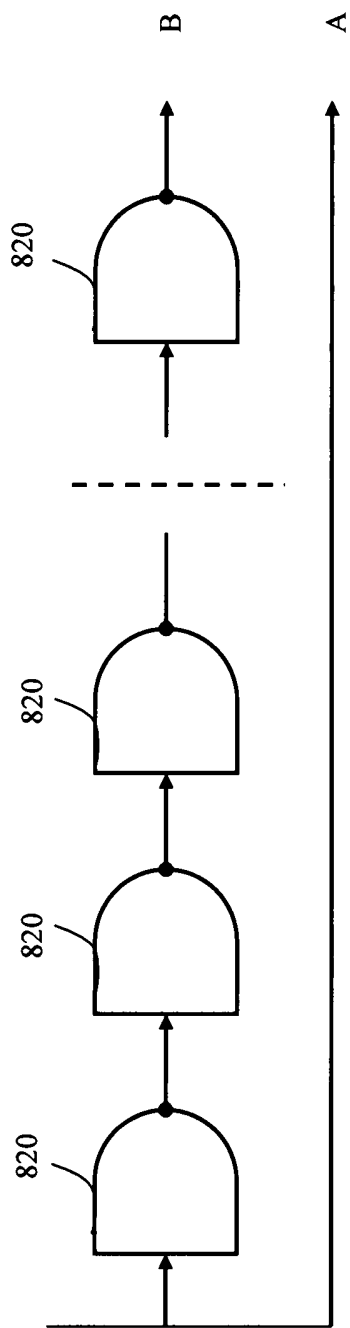


圖 13H

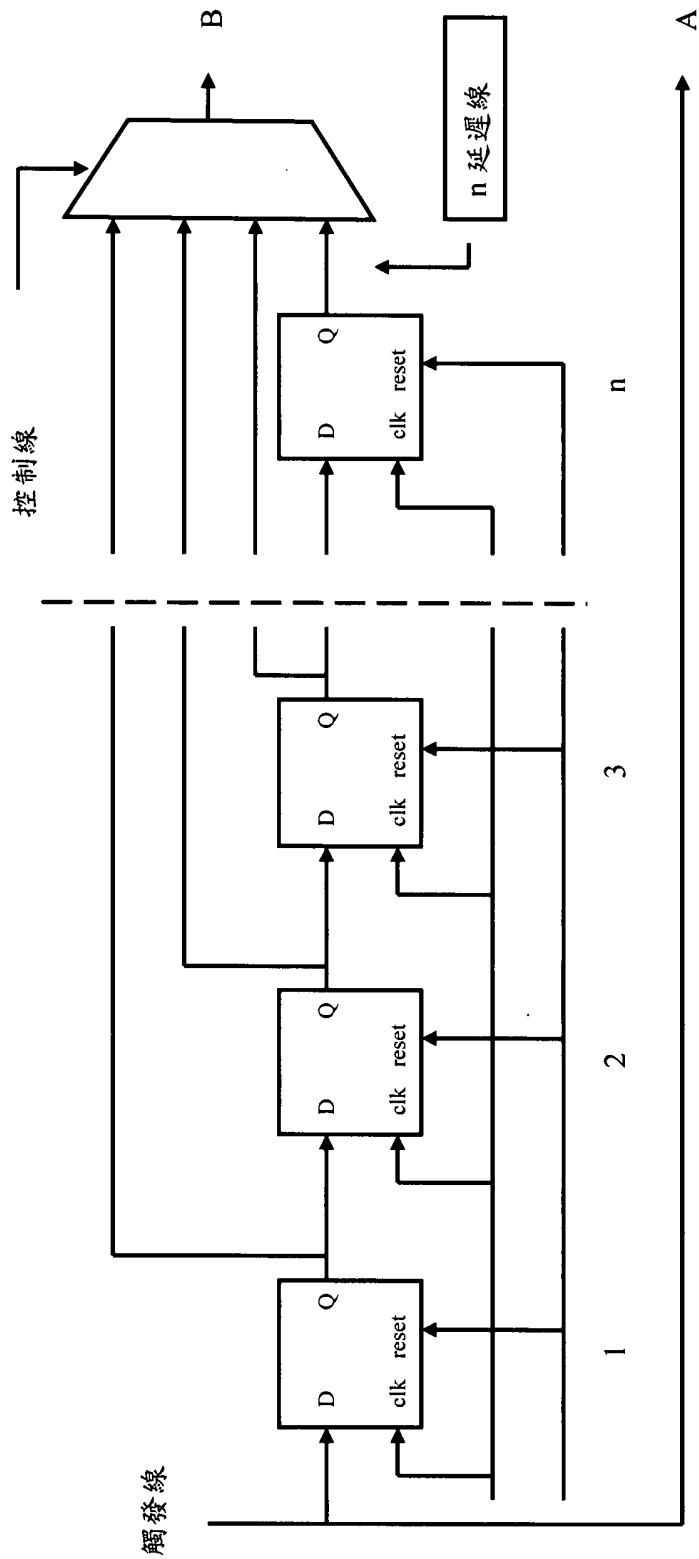


圖 13I

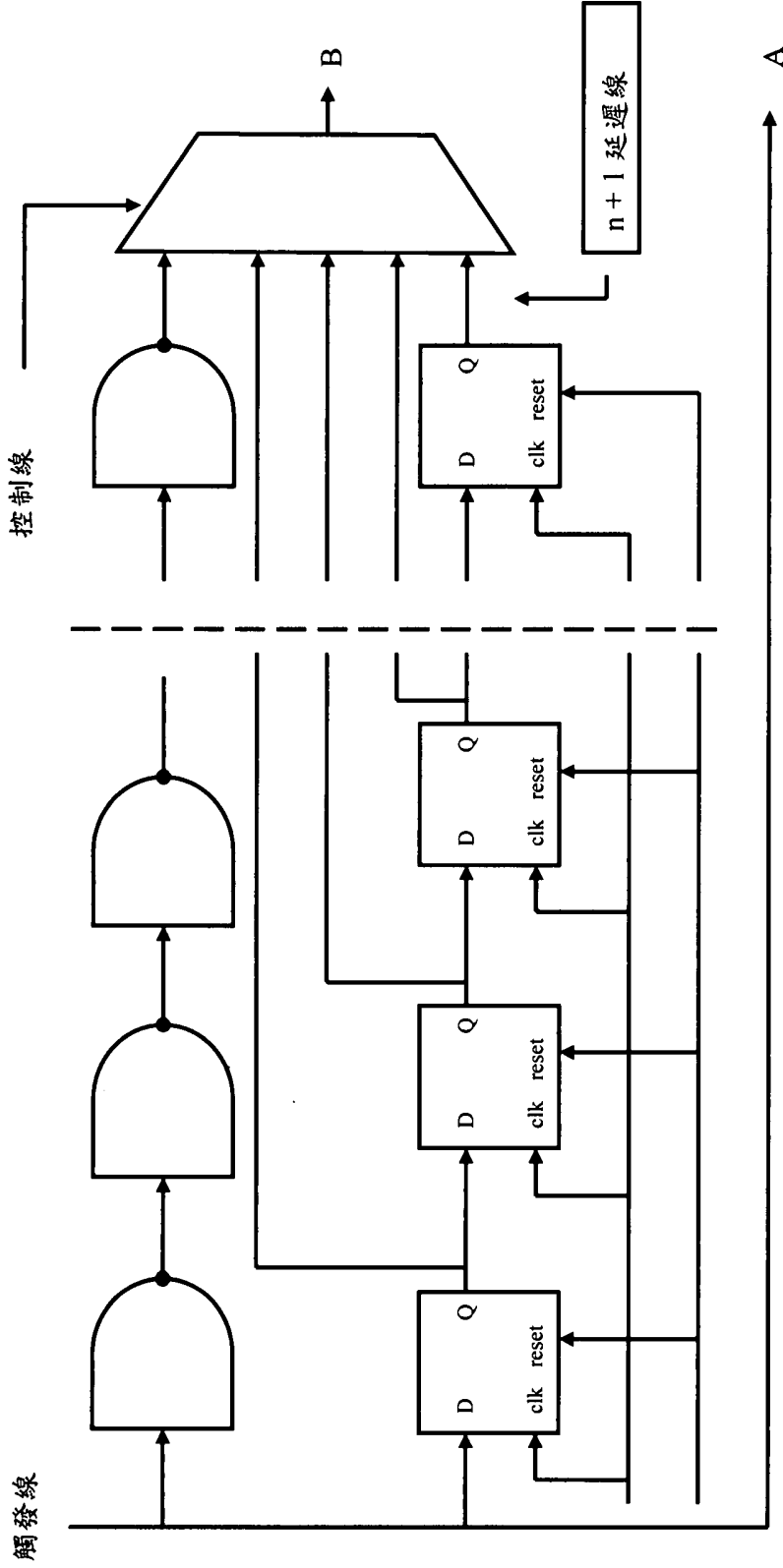


圖 13J

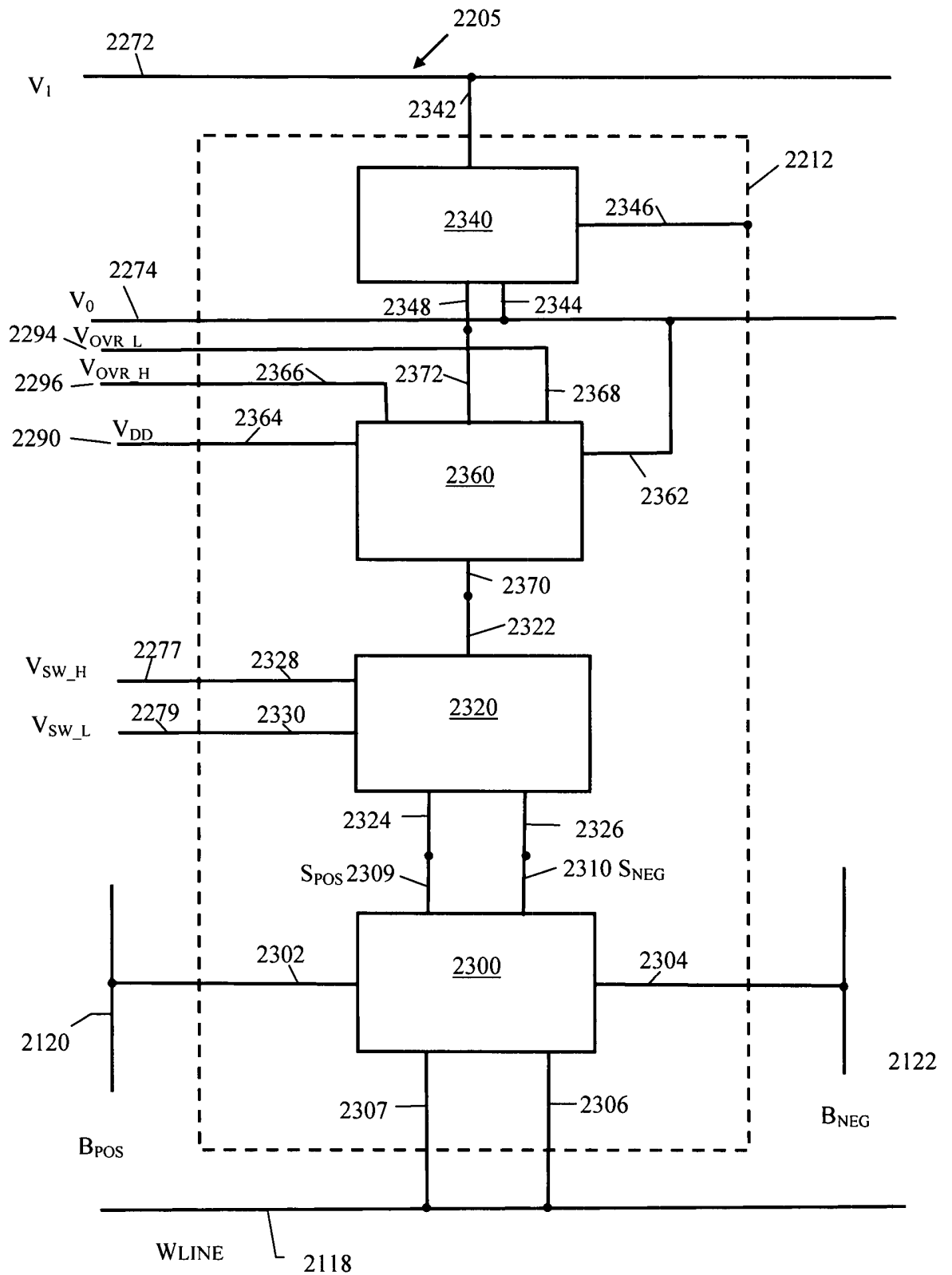


圖 14

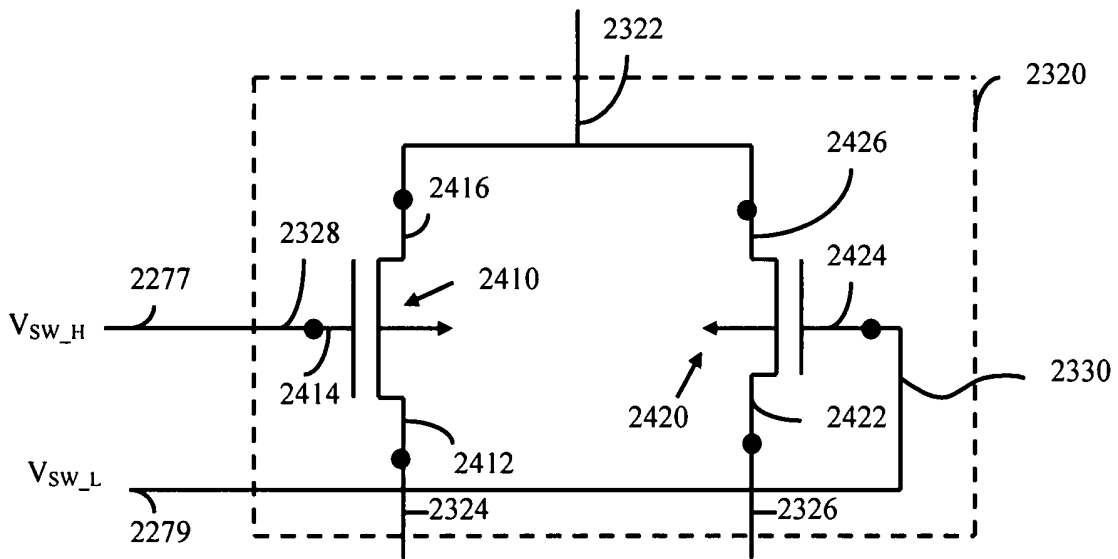


圖 15

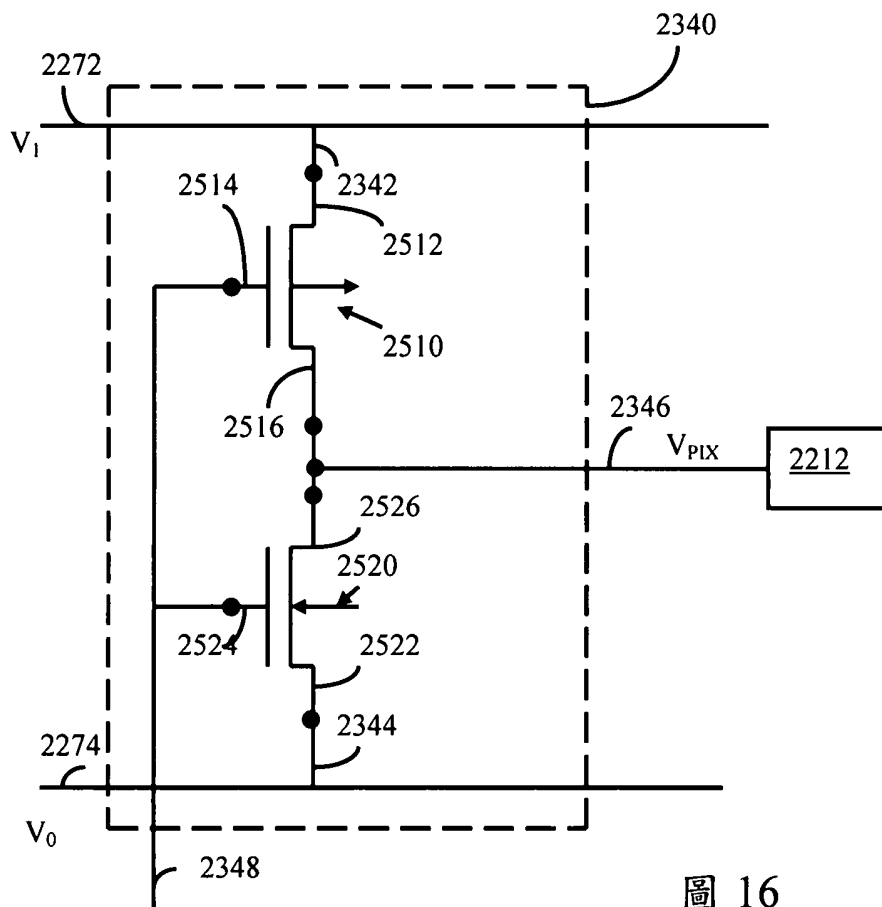


圖 16

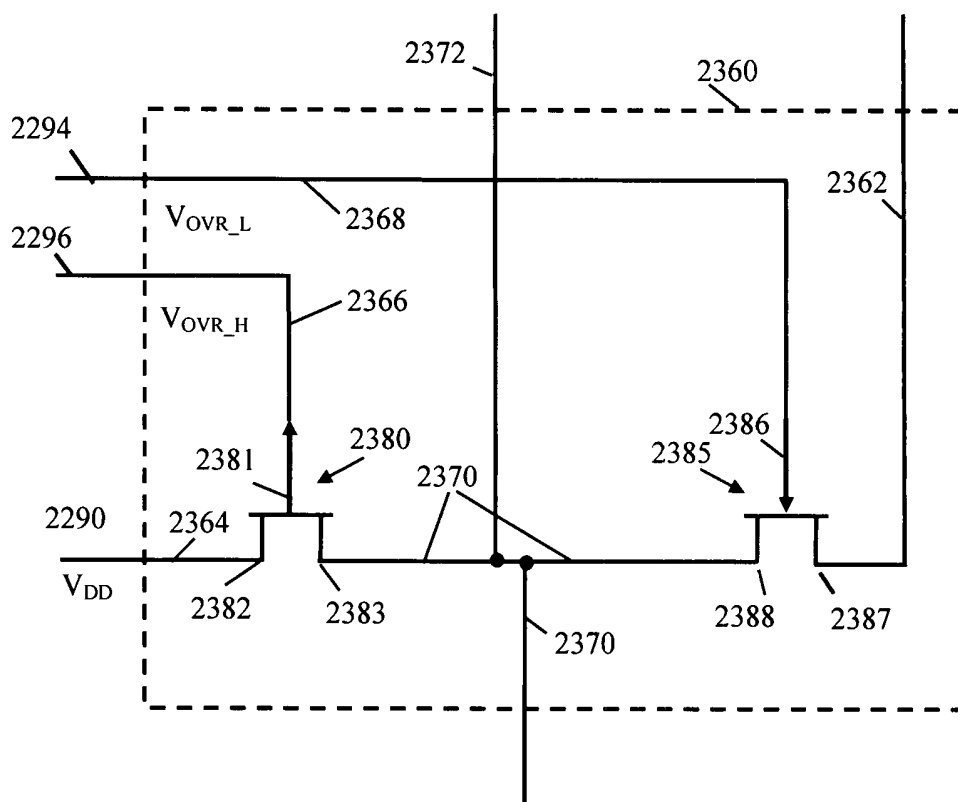


圖 17

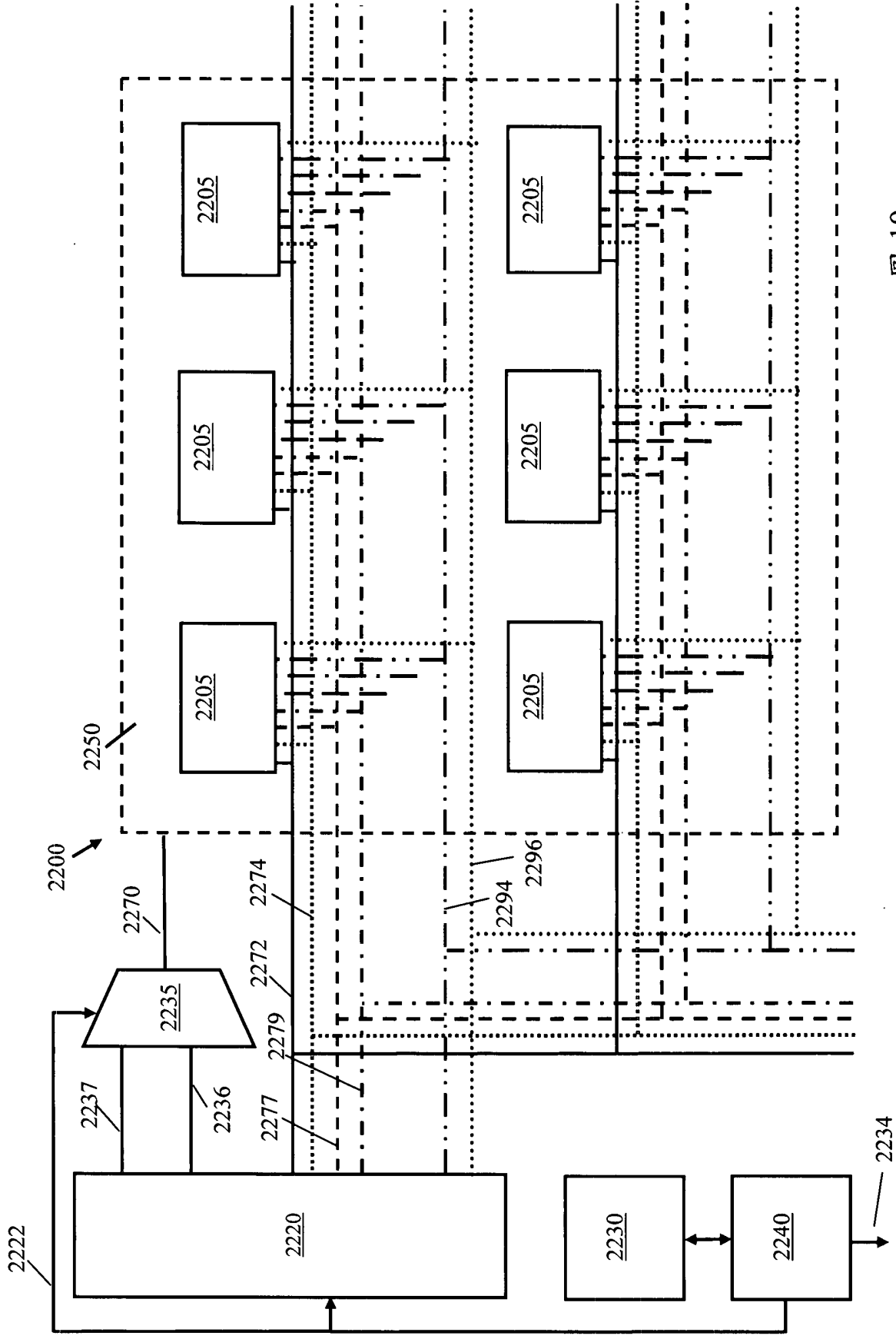


圖 19

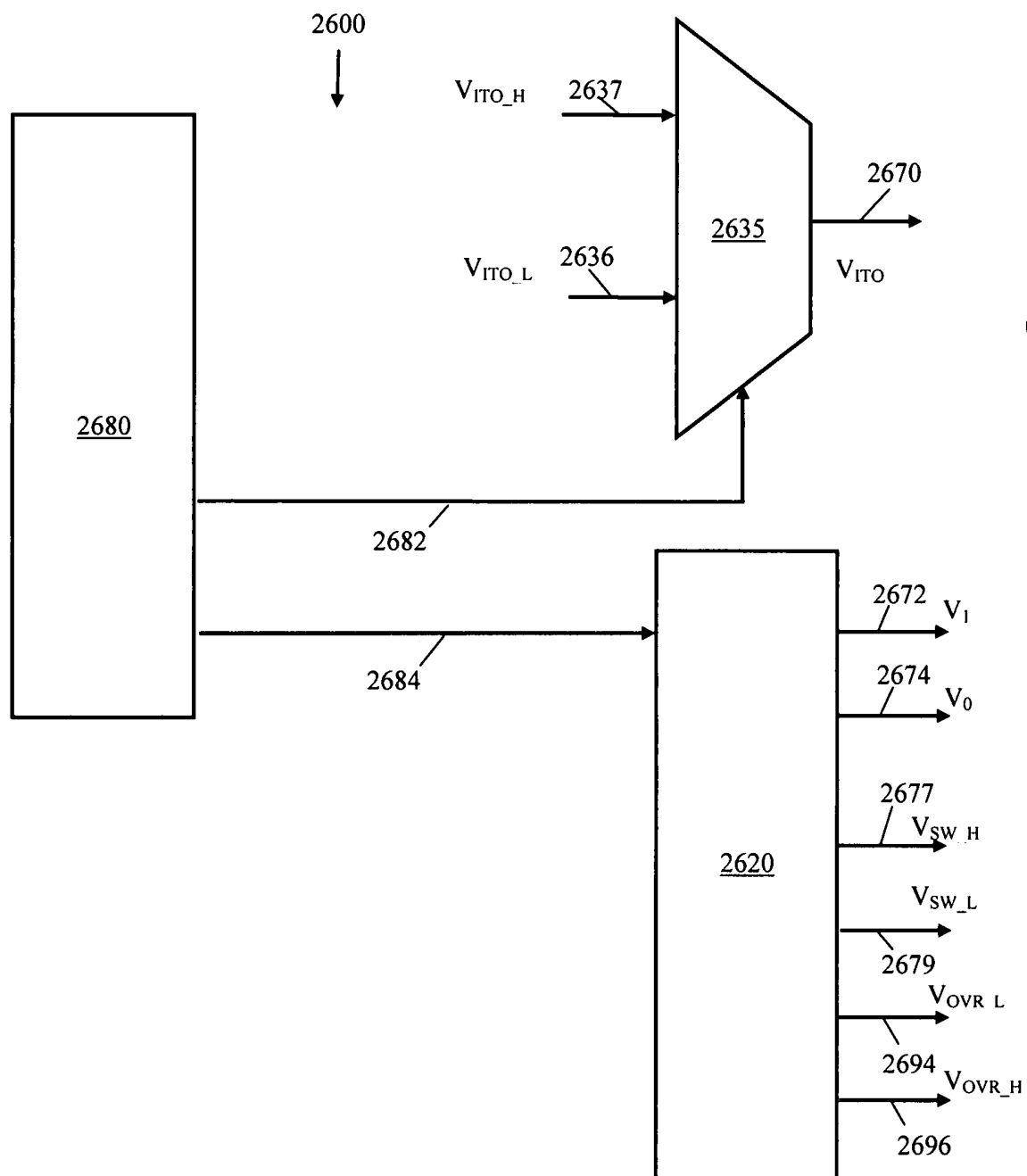


圖 20

欄位 → 控制 邏輯 ↓	資料驅動“正常”模式				“隔離”模式				缺陷模式				“覆蓋”模式				缺陷模式			
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16				
V _{SW L}	On	Off	Off	Off	Off	Off	On	On/Off	Off	Off	Off	On	On	Off	Off	On				
V _{SW H}	Off	On	Off	Off	Off	Off	On	On	Off	Off	Off	On	On	Off	Off	On				
V _{OVR H}	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	On	Off	On				
V _{OVR L}	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	Off	On	Off	On				
資料 ↓																				
S _{POS}	1	0	1	0	N/A - 6T SRAM可重新 載入而不改變 顯示器狀態。				N/A - 記憶 體狀態可能重 設。				N/A - 6T SRAM可重 新載入而不改變 顯示器狀 態。							
S _{NEG}	0	1	0	1																
狀態 ↓																				
V _{PIX}	V ₀	V ₁	V ₁	V ₀	V ₁	V ₀	V ₁	V ₀	V ₁	V ₀	V ₁	V ₀	V ₁	V ₀	V ₁	V ₀	未知			
V _{ITO}	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H	L	H		
驅動狀 態 (NB)	D	W	D	W	D	W	D	W	D	W	D	W	D	W	D	W	D	W		
驅動狀 態 (NW)	W	D	W	D	D	W	D	W	D	W	D	W	D	W	D	W	D	W		

圖 21

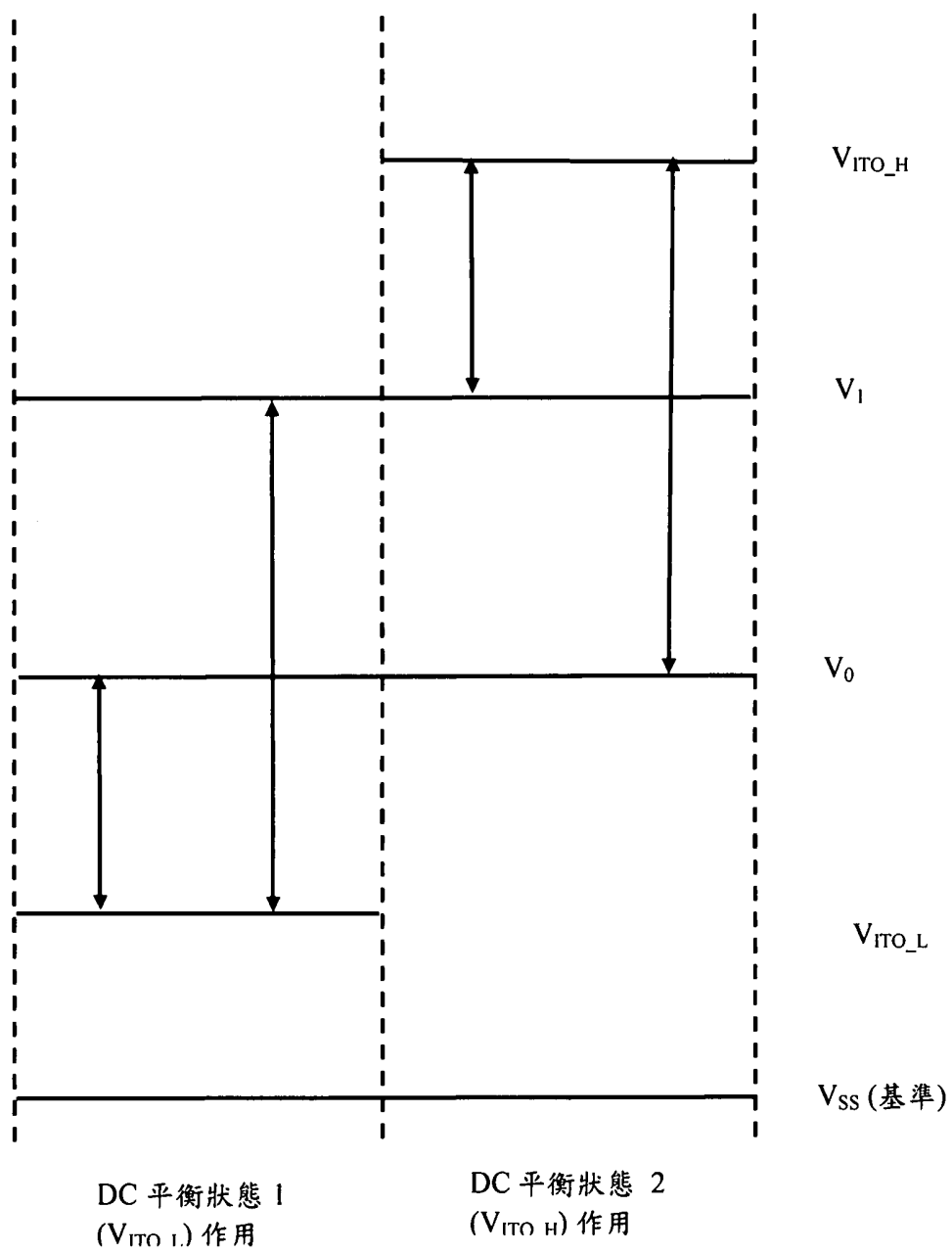
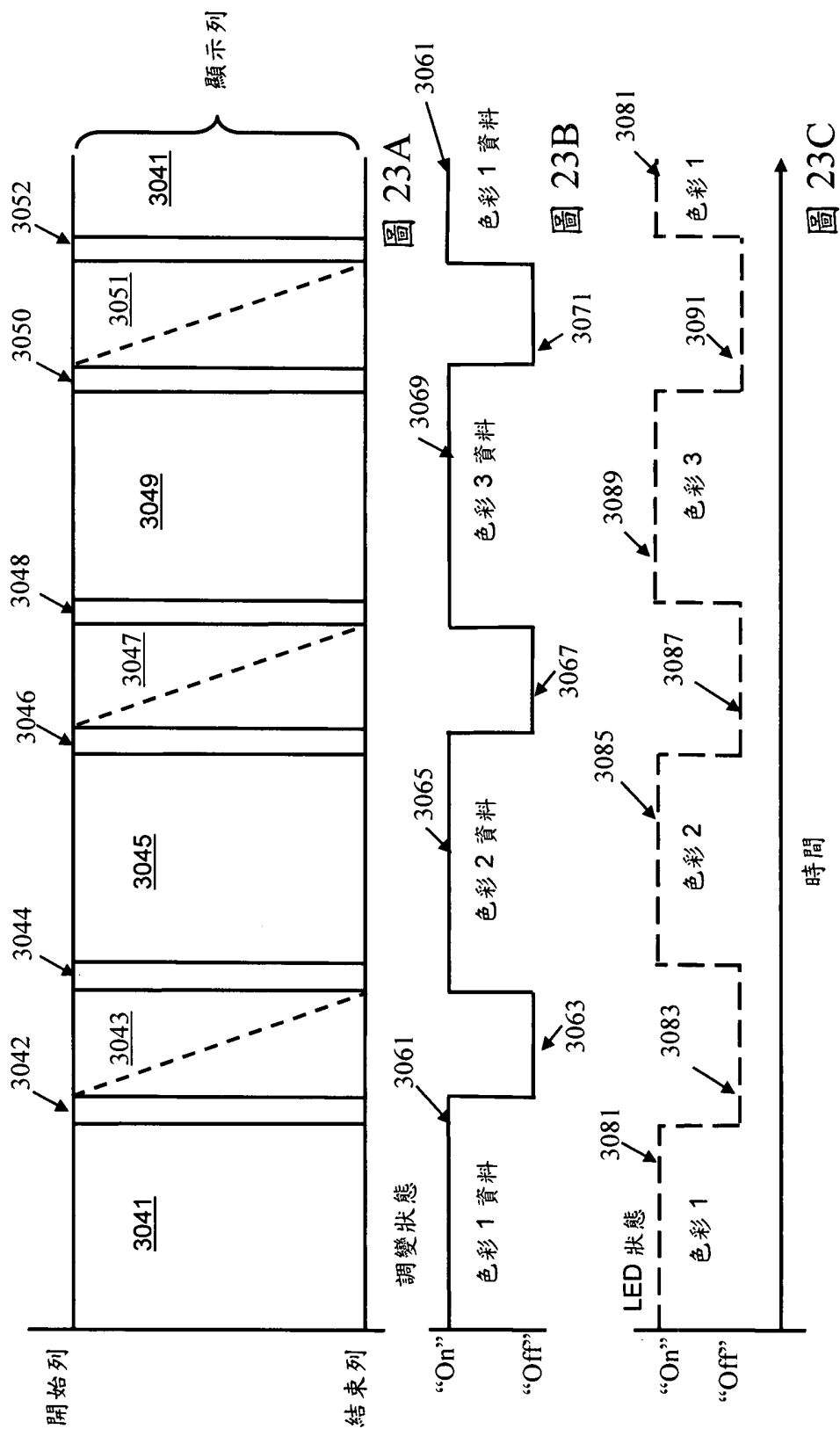
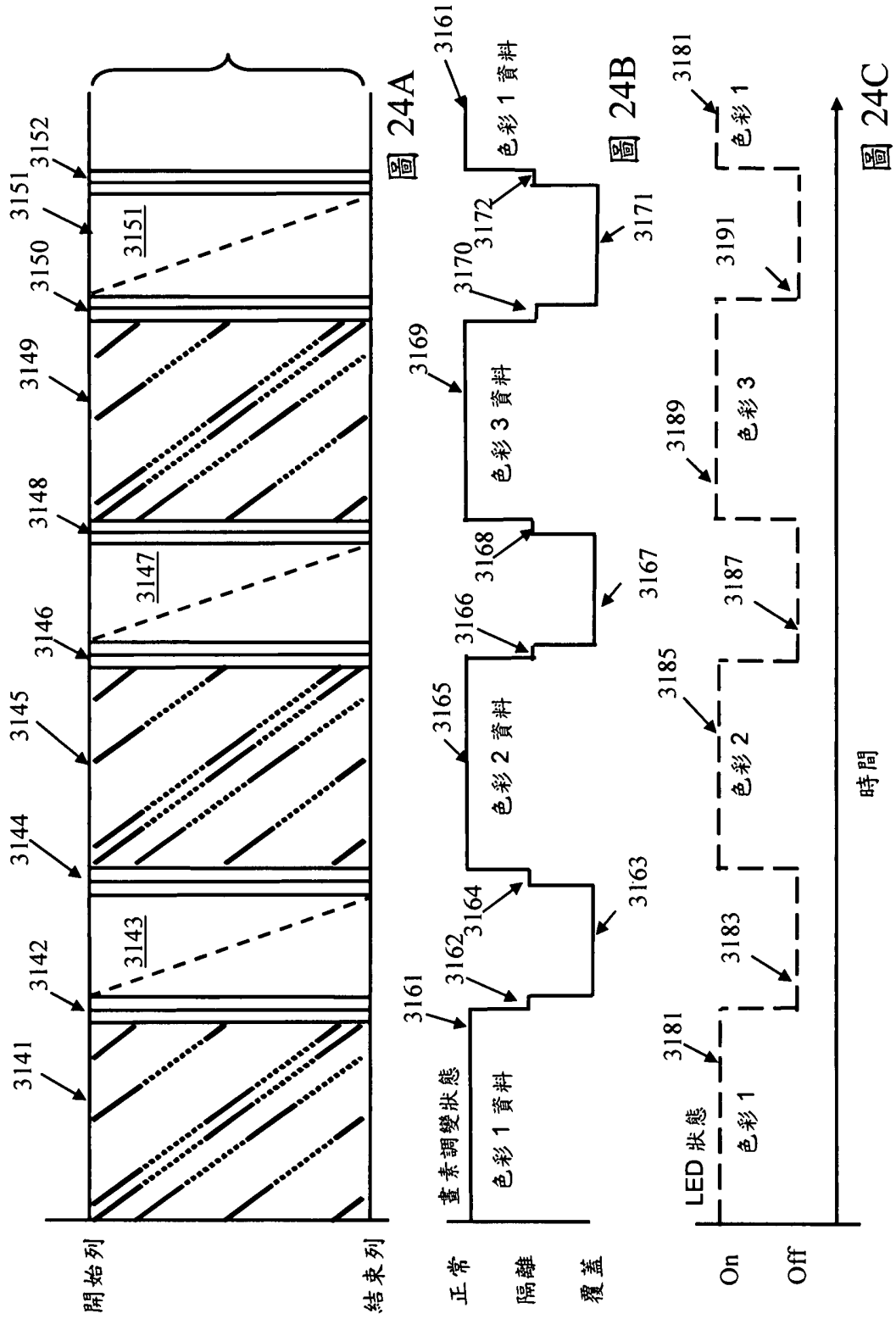


圖 22





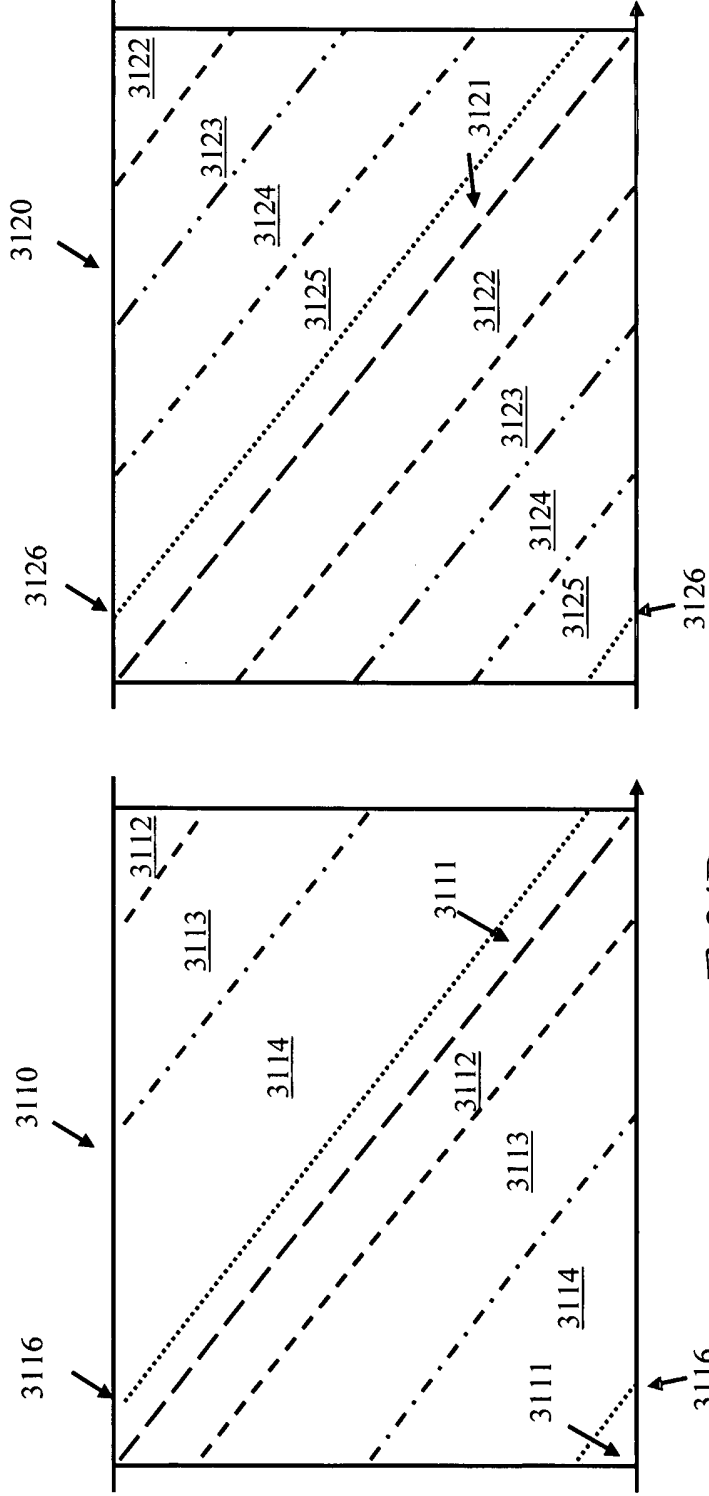


圖 24D

圖 24E

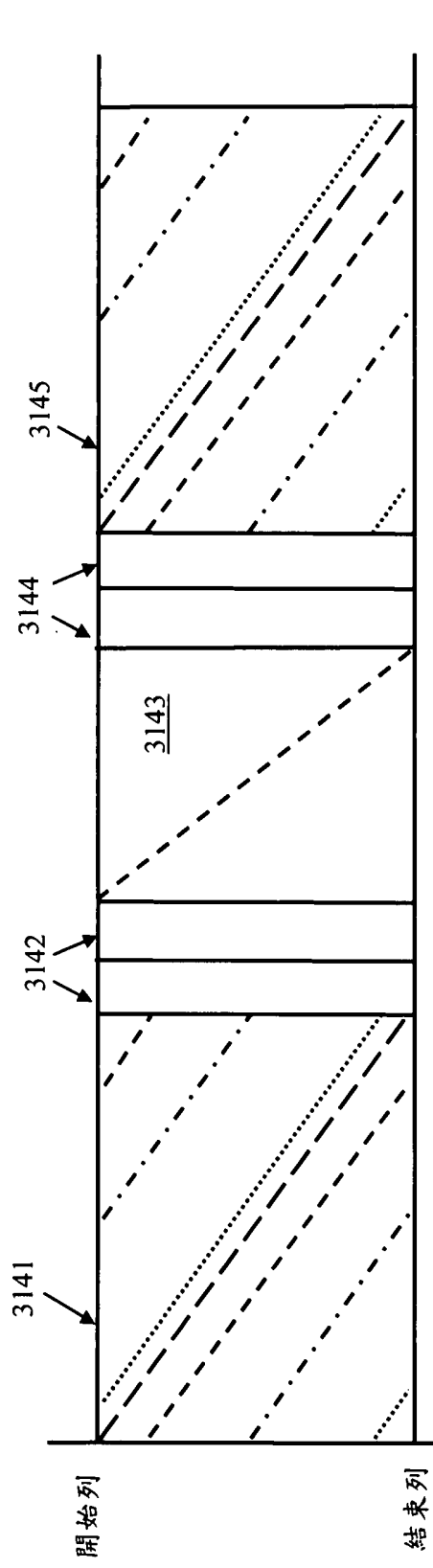


圖 24F

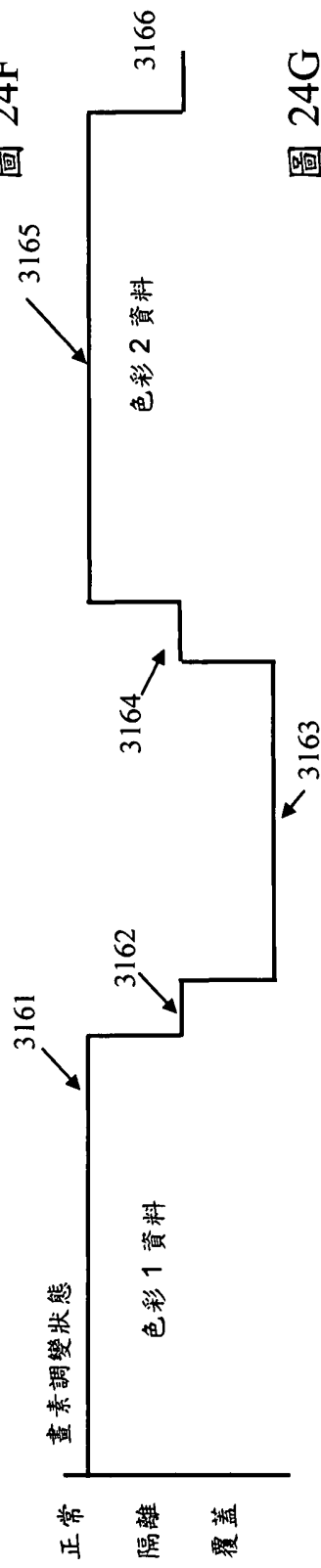


圖 24G

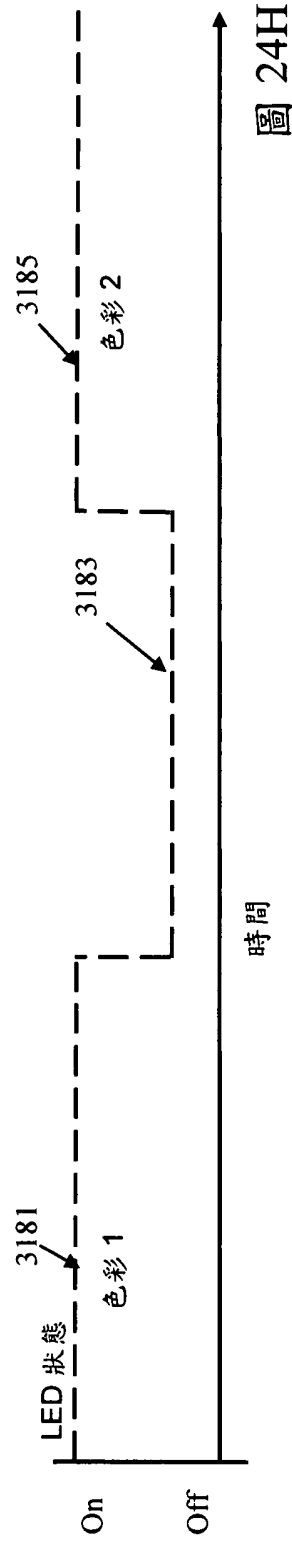


圖 24H

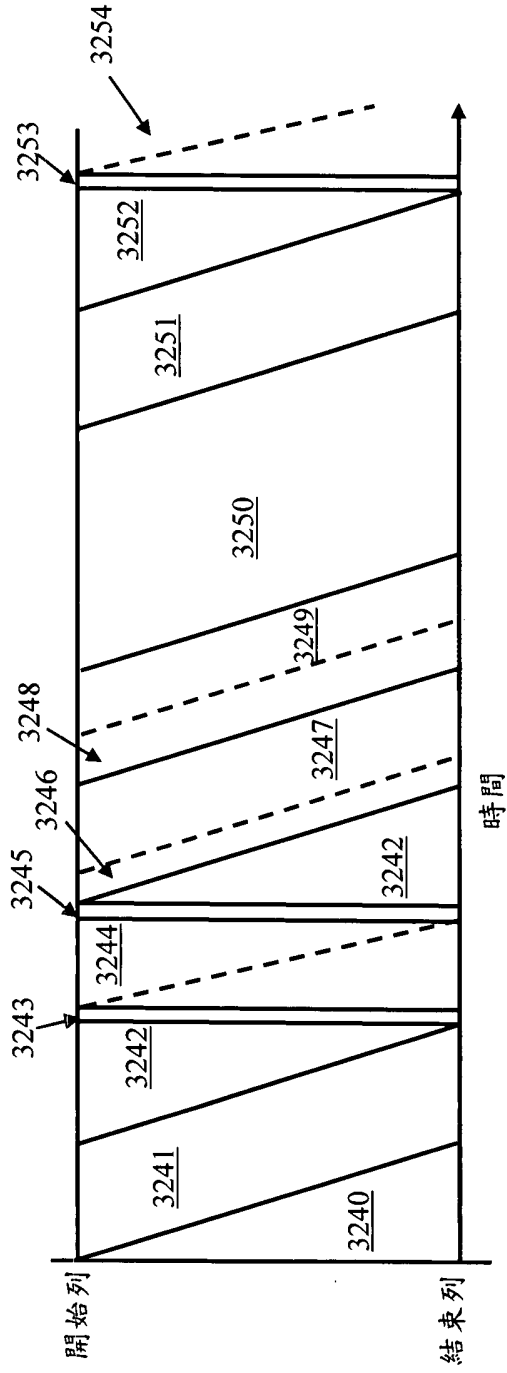


圖 25A

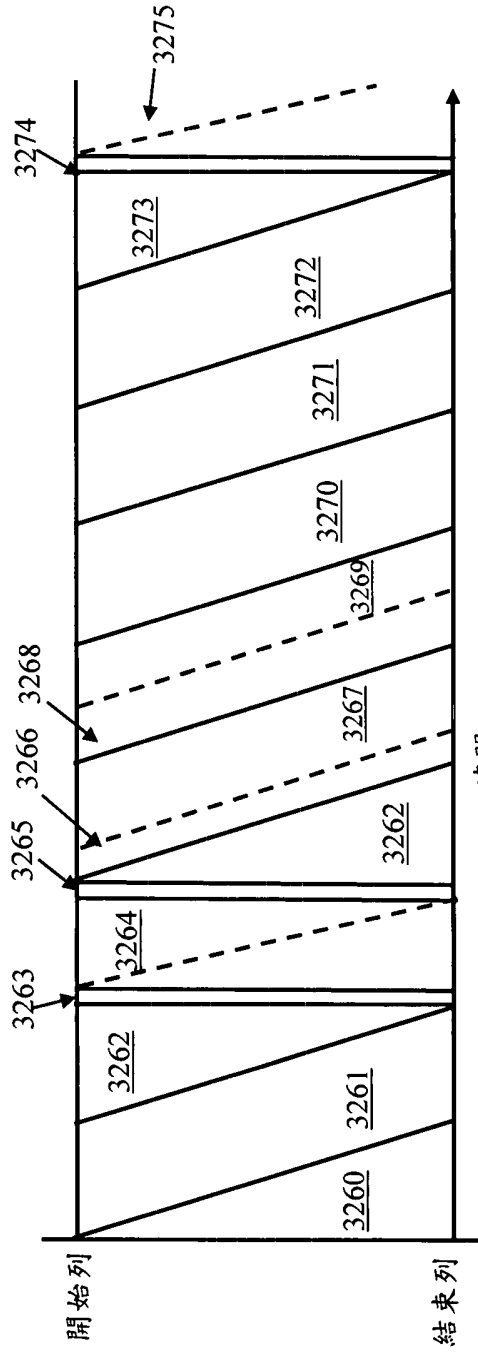


圖 25B

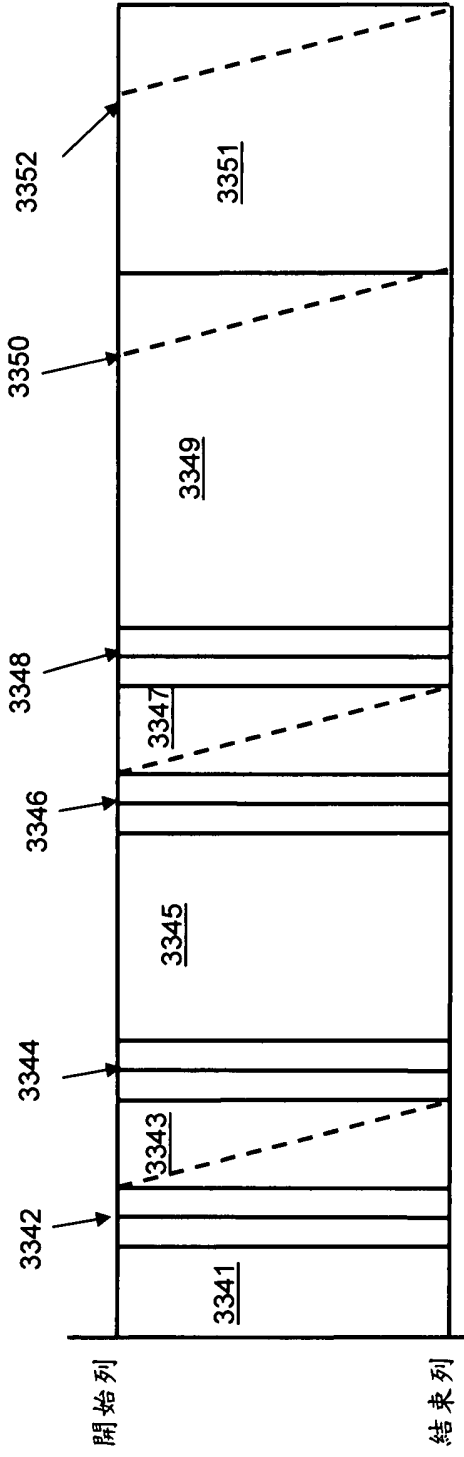


圖 26A

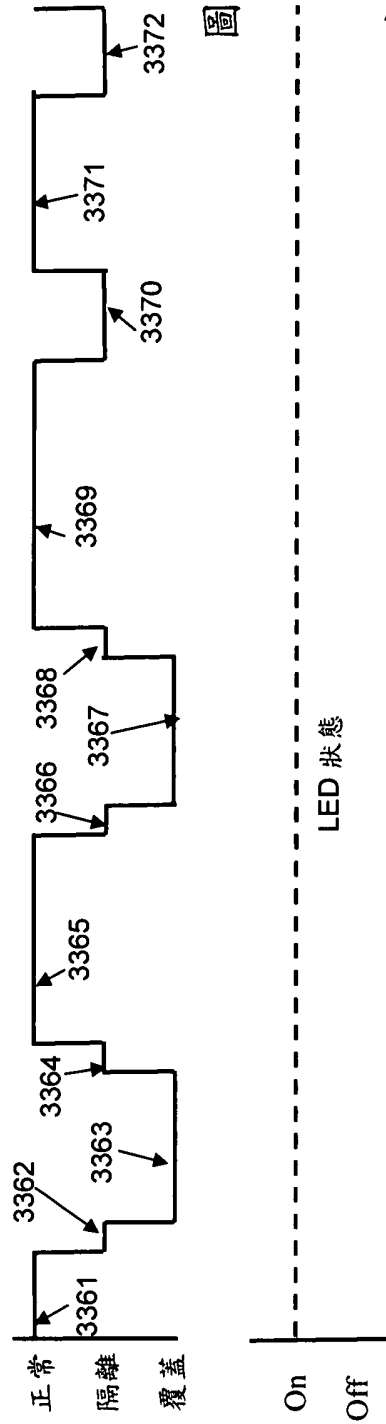


圖 26B

圖 26C

三、英文發明摘要：

A display system which includes a display controller, a display unit, and a light source is disclosed. The display controller includes a processor unit, a memory device, a voltage source and, optionally, a light source control unit. The display unit includes an array of pixel cells and circuitry to receive logic and control voltages and data and operate the display, a transparent counter electrode, and a liquid crystal layer disposed between the two alignment layers. The pixel cell includes a storage element, a DC balance control switch, a pixel voltage override circuit, an inverter able to select between two voltages available to it, and a pixel electrode / mirror. In different modes of operation the pixel mirror voltage may be determined by the storage element or by the pixel voltage override circuit. The display system may display images in one period and reset to a fixed state in another period.

四、指定代表圖：

(一) 本案指定代表圖為：第 (6) 圖。

(二) 本代表圖之元件符號簡單說明：

1276 第三電壓供應端 (V_{SWA_L})
 1278 第四電壓供應端 (V_{SWA_H})
 1280 第五電壓供應端 (V_{SWB_L})
 1282 第六電壓供應端 (V_{SWA_H})
 1320 DC 平衡控制開關
 1322 輸出端
 1324 對互補資料輸入端
 1326 對互補資料輸入端

- 1330 第二電壓供應端
- 1334 第四電壓供應端
- 1410 第一 p 通道 CMOS 電晶體
- 1411 閘極
- 1412 源極端
- 1413 端
- 1415 第一 n 通道電晶體
- 1416 汲極端
- 1420 第二 p 通道 CMOS 電晶體
- 1421 閘極
- 1422 源極端
- 1423 端
- 1424 閘極
- 1425 第二 n 通道電晶體
- 1426 汲極端

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

5