

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 31/00

(45) 공고일자 1990년01월 19일
(11) 공고번호 특1990-0000074

(21) 출원번호	특1982-0004346	(65) 공개번호	특1984-0001783
(22) 출원일자	1982년09월27일	(43) 공개일자	1984년05월 16일
(30) 우선권주장	56-156282 1981년 10월 02일 일본(JP) 56-156283 1981년 10월 02일 일본(JP)		
(71) 출원인	가부시기가이샤 히다찌세이사꾸쇼 미쓰다 가쓰시게 일본국 도오교오도 지요다구 마루노우찌 1-5-1		
(72) 발명자	오오우찌 히로뉴미 일본국 도오교오도 히노시 신메이 2-12-10 마쓰다 히로시 일본국 도오교오도 하찌오시지 아까쓰기쵸 1-47-3 히다찌 다이와다 아파트 F403호 모리오가 마코도 일본국 도오교오도 니시다마군 히노테마찌 히라이 2196-64 가와다 마사히코 일본국 도오교오도 하찌오시지 아까쓰기쵸 1-48-18 구라가 가쓰히로 일본국 도오교오도 하찌오시지 오오쓰가 389-36 고가 야스시 일본국 도오교오도 하찌오시지 나가야마 3-40-6		
(74) 대리인	백남기		

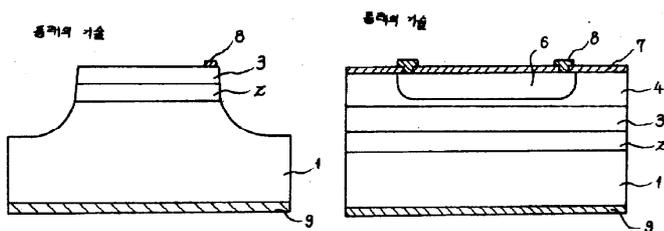
심사관 : 정용철 (책자공보 제1722호)

(54) 광 검출용 반도체장치

요약

내용 없음.

대표도



명세서

[발명의 명칭]

광 검출용 반도체장치

[도면의 간단한 설명]

제1a도와 제1b도는 종래의 광 검출용 소자의 구조의 예를 나타내는 단면도이며, 각각 메사(mesa)형, 플래이너(planer)형의 구조를 표시한다.

제2도와 제4도는 본 발명에 따르는 하나의 실시예의 소자 구조를 나타내는 단면도.

제3도는 역 바이어스 전압과 암전류(暗電流)와의 관계를 각종의 반도체 광 검출기에 대하여 서로 비교한 도표.

[발명의 상세한 설명]

본 발명은 역 바이어스로 동작하는 반도체 광검출기에 관한 것이다. 즉, 통상 포토 다이오드(photo diode), 혹은 아발란쉬 포토 다이오드(avalanche photo diode)라고 부르는 것에 관한 것이다. 상기의 포토 다이오드 혹은 아발란쉬 포토 다이오드는 광통신(光通信)시스템(system)에 있어서의 광 검출기로서 중요한 것이다.

이와 같은 광통신 시스템에서의 광원(光源)으로서는 반도체 레이저(laser)가 사용되며 발진파장이 0.8 μm ~1.4 μm 인 것으로서는 예를 들면, GaAs-Ga AlAs 계와 In Ga As P-InP계의 반도체 레이저가 주로 사용되고 있다.

그런데 이에 대한 검출기로서는 Si단결정을 사용한것이 널리 알려져 있다. 그러나 1 μm 이상의 파장이 빛에 대해서는 충분한 감도를 갖지 못한다. 이와 같은 광통신용의 검출기로서 원소 주시율표의 III-V족 화합물 반도체 재료를 사용한 광 검출기가 요구되고 있다. 그러나 화합물 반도체 재료로는 특히 표면 안정화 기술의 발달이 미숙하여 충분한 동작을 하지 못하게 되는 것이 현재의 상태이다.

제1a도와 제1b도에 도시하는 바와 같이 메사형 또는 플레이너형 구조의 광 검출소자가 지금까지 제안된 것의 대표적인 예이다. 제1a도의 구조에 있어서 반도체 기판1의 위에 제1의 도전형의 반도체층 2의 도전형의 반도체층 3을 형성하고, 또 전극 8,9가 설치되어 있다.

제1a도와 같은 메사 구조에서는 높은 전계(電界)가 접합단면(接合端面)에 나타나기 때문에 표면보호막의 성질에 의하여 소자의 특성이 좌우되어 바람직하지 못하다.

한편, 제1b도와 플레이너 구조(예를 들면 일본국 공개 특허 공구No132079/1980)에서는 메사형의 구조에 비하여 안정한 동작이 될것을 기대하고 있다. 제1b도의 구조에서는 InP의 반도체 기판 1위에 n⁺형의 InP층 2와 In Ga As P 층 3 그리고, n형의 InP층이 형성되어 있다. 6은 예를 들면 Cd 확산층이며 이 확산단면(擴散端面)에서 접합이 이루어져 있다. 7은 절연층, 이고 8, 9는 전극이다.

본 발명은 고 감도이면서도 암전류가 적은 반도체 광 검출기를 제공하는 것이다. 또, 그 동작속도도 충분히 확보 될수 있다. 제1b도의 예에서는 다음과 같은 결점이 있는것이 판명되었다. 즉, InP결정은 증기압(蒸氣壓)이 높은 P(인)가 결정성장후의 소자 작성 과정의 열처리 공정에서 빠져나가 표면이 변질된다. 그럼으로 이 층의 계면특성(界面特性)이 불안정하게 되어 암전류가 커지게 된다. 본 발명에서는 이와 같은 결점을 해소(解消)하였다.

본 발명의 구조에 대하여 설명하면, 다음과 같다. 즉, 정해진 반도체 기판의 위에는 제1의 도전형을 나타내는 제1의 반도체층과, 이 제1의 반도체층위에 그것보다도 금지대(禁止帶)의 폭(幅)이 크게 또, 제1의 도전형을 나타내는 제2의 반도체층과, 그 제2의 반도체층이 부설된 제2도는 전형을 나타내는 영역에 의하여 형성되는 Pn접합과를 최소한 갖고 있는 광 검출 반도체 장치이며 상기 제2의 반도체층위에 제1의 도전형을 나타내고, 또 표면 보호 기능이 있는 제3의 반도체층을 갖는것을 특징으로 한다. 이 제3의 반도체층은 4원소계의 III-V족의 화합물 반도체를 이용하는 것이 통상적이다. 예를들면, 제1의 반도체층이 In Ga As P, 제2의 반도체층이 InP로 형성되어 있을 경우에는 제3의 반도체층으로는 In Ga As P혹은 In Ga As 등이 이용되고 있다.

In Ga As는 3원소계의 III-V족 화합물 반도체이지만 앞의 In Ga As P에서 P를 함유하지 않도록 그 조성을 선택한 것이다.

또한 제1의 반도체층이 Ga Sb, 제2의 반도체층이 Ga Al Sb로 형성되어 있을 경우에는 제3의 반도체층으로서는 Ga Al Sb를 사용할수가 있다.

좀더 유효한 아발란쉬 포토 다이오드로 하고저 할때에는 상기 제2의 반도체층에 형성된 Pn 접합과 상기 제1의 반도체 층과의 거리가, 그 Pn접합으로부터 그의 제1의 반도체층내에 뿔쳐있는 전계 강도가 상기 제1의 반도체층의 최대 전계강도(EmS)를 넘지 않도록 설정하여야 한다. 그리고, 반도체층의 최대 전계 강도는 반도체 재료 자체가 갖고 있는 특성으로서 터널 효과의 항복시(降伏時)이 전계 또는 아발란쉬 항복시의 전계를 뜻하는 것이다. 여기에 대한 상세한 설명은 후에 다시 설명하고자 한다.

본 발명의 골자는 제2도에 표시한것과 같이 능동영역(能動領域)이 되는 금지대폭이 적은 물질로된층 13(제1의 반도체층)의 위에는 빛이 들어오는 창층(窓層)이 되는 금지대 폭이 큰 물질층 14(제2의 반도체층)을 형성하고 또한 14의 물질의 조성원자를 포함하는 다원자층(多源子層)(제3의 반도체층)을 형성하고 이것의 윗면을 표면 보호막으로 보호하게 하여 반도체와 계면과의 사이의 안정화를 이루게 하는 것이다. 제2의 반도체층 안에 Pn 접합이 부설되어 있고, 암전류의 저하와 또 계면 안정화를 도모한 수광 소자 구조를 특징으로 하는 것이다.

상기 제3의 반도체층에는 제2의 반도체층(예를 들면 InP)과 (1) 격자 정합(格子整合)을 이룰수 있고, (2) 같은 결정계(結晶系)가 될수 있고, (3) 고온도에 놓아두어도 제2의 반도체층보다 안정한 성질의 반도체 재료를 사용한다. 또, 영역 14의 물질과 영역 13의 불순물 농도 N₁₄와 n₁₃과의 사이에는 N₁₄ ≧ N₁₃의 관계가 있고 N₁₃이 2 × 10¹⁶ cm⁻³ 이하로 설정되어 있다.

다음에는 제2도의 예에 대하여 자세하게 설명한다. 약 10¹⁸ cm⁻³ 이상의 높은 불순물 농도의 n⁺형 InP 기판 11의 위에 공지의 액상(液狀)에피타키얼(epitaxial)성장법에 의하여 불순물 농도가 9 × 10¹⁷ cm⁻³ 두께 1.58 μm 인 InP 층 12를 형성하고, 이어서 불순물 농도가 7 × 10¹⁷ cm⁻³, 두께 1.3 μm 의 n형의 In_{0.83}Ga_{0.39}As_{0.83}P_{0.17}층 13을 형성한다. 특히 1.3 μm 이상의 파장의 빛을 충분한 감도로 수광시키기 위하여 이 In_{1-x}Ga_xAs_yP_{1-y}는 0.47 ≧ x ≧ 0.25의 조성이 양호하며, 감도의 중심치는 이 층의 금지대폭에 의하여 결정된다. 이층의 두께는 1 μm ~5 μm 정도가 되게 한다. 요구되는 빛의 흡수량에 따라 이 층의 두께

가 결정된다. 또한 As의 함유량은 일반적으로 Ca의 함유량에 따라 결정된다.

$$Y = \frac{X}{0.48043 + 0.00327 X}$$

의 관계식이 존재한다. 이어서 불순물 농도가 $9 \times 10^{-5} \text{ cm}^{-3}$, 두께가 $1.8 \mu\text{m}$ 의 n형 InP 층 14를 형성하고 최후에 불순물 농도가 $7 \times 10^{15} \text{ cm}^{-3}$, 두께가 $0.2 \mu\text{m}$ 의 n형 $\text{In}_{0.9}\text{Ga}_{0.1}\text{As}_{0.2}\text{P}_{0.8}$ 층 15를 연속적으로 형성한다. 또한 층 14의 두께는 Pn접합의 형성을 위한 불순물 확산이 깊이에 의하여 결정 되는 것이지만 통상 $1.5 \sim 5 \mu\text{m}$, 좀더 좋게 할려면 $1.5 \mu\text{m} \sim 3 \mu\text{m}$ 정도로 한다. 반도체층 15는 $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$,

$0.05 \leq x \leq 0.47$ 인 것이 대부분의 경우 사용되고 있다. 또, $0.25 \leq y \leq 0.47$ 의 범위에서는 이 층에서 빛의 흡수가 일어나게 되어 불필요한 곳으로부터의 빛의 입사가 동시에 방지된다. 층 15의 두께는 $0.1 \mu\text{m}$ 이면 본 발명의 목적이 달성된다. 통상 $0.5 \mu\text{m}$ 이하 좀더 좋게 할려면 $0.3 \mu\text{m}$ 가 되게 한다. 소자의 보호를 위한 목적이면 좀더 두껍게 하는 것이 좋겠지만 소자의 표면에 단차(段差)가 생기게 되어 그 후의 공정에서의 처리가 좋지 못하게 된다. 이어서 Al_2O_3 와 SiO_2 막을 공지의 기상화학반응법(氣相化學反應法)에 의하여 형성한다음 공지의 선택 포토 에칭(photo etching)법에 의하여 불필요한 부분의 Al_2O_3 와 SiO_2 막을 제거한다. 또한 영역 15를 제거하고 상기의 절연물을 확산용 마스크로 하여 공지의 확산법에 의하여 Zn 혹은 Cd 불순물을 상기의 영역 14와 15내에 도입(導入)시키고 확산의 깊이가 $0.7 \mu\text{m}$ 인 P 형의 확산 영역 16을 형성한다. 확산층 16과 InP 층 14에 의하여 Pn접합이 형성된다. Pn접합면과 영역 13과의 $1.1 \mu\text{m}$ 이다. 다음에 확산용 마스크로 이용한 절연막을 제거하고, 공지의 방법에 의하여 SiO_2 막을 형성한 다음 공지의 선택적 포토에칭법에 의하여 불필요한 곳의 SiO_2 막을 제거하면, 이것의 표면 보호막 17이 된다.

이와 같은 표면 보호용의 절연막으로서 이밖에 Al_2O_3 혹은 이들의 복합막을 사용할 수도 있다. 그 두께는 $0.6 \sim 2 \mu\text{m}$ 정도로 한다. 그리고, 반사 방지막 17'은 표면 보호막을 그대로 적용하든가 또는 반사 방지막으로서 적당한 두께의 SiO_2 막 혹은 Si_3N_4 을 재차 형성하여 이용한다. 그 다음에는 표면전극 18, 그리고, 뒷면 전극 19를 형성한다. 본 소자는 스템(stem)에 마운트(mount)되어 포토 다이오드로서의 동작이 인정되었다.

다음에는 본 실시예의 구성과 동작을 설명한다. 본 실시예에서는 금지대폭이 좁은 영역 13이 금지대폭이 넓은 영역에 의하여 둘러 쌓여 있기 때문에 입사광은 영역 13안에서 흡수되는 구성으로 되어 있다. 또, 표면층은 금지대폭이 넓은 In Ga As P층으로 형성되고 그위에 표면 보호용의 절연막이 형성되어 있기 때문에 계면에서의 특성이 안정하게 되고 암전류를 낮추는데 적합하다. 또, Pn접합은 영역 13으로부터 떨어져서 형성되어 있고 동시에 불순물의 농도 분포(濃度分布)도 배려되어 있기 때문에 하아드(hard)한 접합특성을 유지하며 또 광 여기 캐리어(photo exitation carrier)를 좋은 효율로 접합에 모이게 하는데에 적합하다. 또 전계 분포를 고려하여 공핍층(空乏層)의 형성 상태를 설정하였기 때문에 접합 용량이 적어져서 고속화에 적합하다.

본 소자를 역 방향으로 바이어스하면 공핍층은 접합의 바로 밑의 영역 14와 영역 13에 퍼지게 된다. 이것 때문에 영역 13의 금지대폭에 대응하는 긴 파장의 끝쪽의 빛에 파장까지 효율이 좋게 흡수하고, 발생한 절공(Hole)은 드리프트(drift)전계에 의하여 Pn접합에 모여지게 된다. 본 시작품인 핀 다이오드(pim diode)의 주요한 특성은, 파장 감도 영역(波長感度領域) $1.0 \sim 1.55 \mu\text{m}$, 양자효율(量子效率) 65% ($1.3 \mu\text{m}$), 접합용량 0.8PF, 암전류는 0.1 nA (10V) 이하이다.

제3도는 본 발명의 효과를 보다 명백하게 표시하기 위하여 역 바이어스 전압과 암전류와의 관계를 나타낸 도표이다. 곡선 A는 본 발명이 예를 나타내는 특성곡선이다. 이에는 4원소계의 화합물 반도체의 보호층 15를 갖고 또 동시에 Pn 접합과 층 13과의 거리 (l)가 $1.5 \mu\text{m}$ 로서 상기의 Pn접합으로부터 퍼져 나가는 전계가 제1의 반도체층의 최대 전계 강도를 초과하지 않는 조건을 만족시키는 것이다. 곡선 B는 상기의 l이 $0.5 \mu\text{m}$ 로서 제1의 반도체층의 최대 전계 강도 조건을 만족시키지 못하는 것이지만 4원소계 화합물 반도체의 보호막 15를 갖는 것이다. 역 바이어스 내압이 곡선의 예에서 보다 낮아져 있지만 낮은 역 바이어스 전압에서의 암 전류는 낮은 값을 나타내고 있다. 이에는 아발란쉬 포토다이오드로서 가장 좋은 것은 못되지만 포토 다이오드로서 암전류에 대한 것은 그 목적한바가 달성된 것이다. 한편, 곡선 C는 비교예로서 상기 l의 값이 $1.5 \mu\text{m}$ 이지만 4원소계 화합물 반도체층의 보호막 15를 갖고 있지 않았을때의 예이다. 곡선 D도 비교예이며, 상기 l이 $0.5 \mu\text{m}$ 이고 또 보호층 15도 갖고 있지 않았을때의 예이다. 본 발명의 적용에 의하여 암전류가 대폭적으로 낮아진것을 제3도에서 용이하게 이해할 수가 있다. 다른 실시예로서 빛의 입사 방향을 InP 기판측으로 할때가 있다. 제4도에 본 실시예를 나타내는 장치의 단면도를 표시한다. 제2도와 동일한 부호는 동일한 부분을 표시한다. 또 층 15는 표면 보호를 위한 In Ga As P 층이다. 제2도의 실시예와 다른점은 전극 19가 확산 영역 16의 하부에 있는 부분이 제거되어 있는점과 그리고, 전극 18은 입사광이 필요하지 않기 때문에 전체 면에다 설치되어 있는 점이다. 그 이외는 제2도에 예시한 예와 동일하다.

다음에는 반도체층 13과 반도체층 14, 그리고 Pn접합을 부설하는 방법에 대하여 자세히 설명한다.

금지대폭이 큰 물질로서 InP결정을 사용하고저 할때에는 증기압이 높은 P가 결정 성장후에 소자를 작성하는 과정의 열처리 공정에서 떨어져나가 표면층이 변질하게 되는 것을 새각할 수가 있다. 그럼으로 표면 보호막 형성후에 계면 특성이 불안정하게 되고 암전류가 카지게 되는 원인이 된다. 그리고, 또 다음과 같은 사실도 그원인이 된다.

일반적으로 반도체 물질에서는 유효질량(有效質量)이나 금지대폭이 작아지게 될수록, 그리고, 불순물 농도가 낮을수록 터널 효과에 의하여 브레이크 다운(break down)을 일으키는 전계 강도가 낮아지기 때문에, 금지대폭이 큰 영역(예컨대 InP)내에 형성되는 Pn접합면과 금지대폭이 적은 영역(예컨대

In Ga As P)과의 사이의 거리 1이 적을 경우에는 금지대폭이 큰 영역에 형성된 Pn접합이 아발란쉬 증배작용(増倍作用)을 일으키기 전에 금지대폭이 적은 물질의 전계가 터널 효과를 일으키는데 충분한 전계에 도달하게 되어 터널 브레이크 다운이 일어나게 된다.

일반적으로 터널 전류는 다음과 같은 식으로 표시할 수 있다.

$$J = \frac{(m^*)^{3/2} q^2 \epsilon_s E_s^2}{4 \pi^2 \hbar^3 N E_T^2} \exp\left(-\frac{\pi (m^*)^{3/2} E_T^2}{2 q N E_s}\right) \dots \quad (1)$$

여기서 m^* : 유효질량(effective mass)

q : 전자 전하 소량(電子 電荷 素量)

$\hbar = h/2\pi$: h 는 플랑크 정수

N : 불순물 농도, ϵ_s : 유전률, E_g : 금지대폭, E_{ro} : 전계강도

전합이 계단형이라고 가정하면, 전계 강도와 동작전압(터널 항복 전압 V_T)과의 관계는 다음식으로 주어진다.

$$V_T = \frac{\epsilon_s E_m^2}{2qN} \dots \quad (2)$$

한편 아발란쉬 항복전압 V_A 는 다음식으로 주어진다.

$$V_A = 0 \left(\frac{E_g}{1.1} \right)^{3/2} \left(\frac{N}{10^{16}} \right)^{3/4} \dots \quad (3)$$

지금 In Ga As P로된 P_n접합을 예로 들어 $V_T = V_A$ 인 불순물 농도를 구하여 보면 다음과 같이 된다.

InP(E_g 에 대응하는 $\lambda = 1.36\mu m$) : $\sim 3 \times 10^{17} cm^{-3}$

$In_{0.79}Ga_{0.21}As_{0.47}P_{0.53}$ (E_g 에 대응하는 $\lambda = 1.2\mu m \sim 2 \times 10^{16} cm^{-3}$)

$In_{0.75}Ga_{0.25}As_{0.56}P_{0.44}$ (E_g 에 대응하는 $\lambda = 1.3\mu m \sim 7 \times 10^{15} cm^{-3}$)

$In_{0.61}Ga_{0.39}As_{0.83}P_{0.17}$ (E_g 에 대응하는 $\lambda = 1.55\mu m$) : $\sim 8 \times 10^{14} cm^{-3}$

아발란쉬 증배 작용이 유효하게 일어나기 위해서는 $V_T > V_A$ 인 것이 필요하기 때문에 불순물 농도는 상기의 값보다는 더 낮게 하여야 한다. 따라서, 제2도에 도시한 것과 같은 구조가 되게 하면, 금지대폭이 큰 물질의 불순물 농도와 1에 따라서는 금지대폭이 적은 물질의 불순물 농도에 대한 제한은 약간 완화(緩和)되지만 아발란쉬 증배작용을 기대하려면 금지대폭이 큰 물질에서는 $V_T > V_A$ 인 관계가 성립하는 것과 동시에 금지대폭이 적은 영역에서의 최대전계 E_{ms} 는 터널 브레이크 다운시의 전계 강도 E_T (불순물 농도에 따라서는 아발란쉬 브레이크 다운시의 전계강도 E_A)보다 적어지게 하는 것이 중요하다. 거리 1와 금지대폭이 큰 물질과 적은 물질의 불순물 농도를 각각 N_L, N_S 라고 하면, 상술한 조건을 만족시키기 위해서는 그들 사이에 최소한 다음과 같은 관계가 만족되어야 한다.

$$\epsilon_L \left(E_{mL} - \frac{qN_L}{\epsilon_L} \right) \leq \epsilon_S E_T$$

$$\therefore 1 \geq \frac{\epsilon_L}{qN_L} \left(E_{mL} - \frac{\epsilon_S E_T}{\epsilon_L} \right) \dots \quad (4)$$

E_{mL} : 금지대 폭이 큰 물질의 최대전계 강도

ϵ_L, ϵ_S : 금지대 폭이 큰 물질과 적은 물질의 유전률.

따라서 N_L 와 1 그리고 E_T 와 상관관계가 있어서 N_L 와 N_S 가 적을수록, 1은 크게 할 필요가 있다.

예를 들면 $N_L = 1 \times 10^{16} cm^{-3}$, $N_S = 2 \times 10^{16} cm^{-3}$

인 경우, $\lambda = 1.55\mu m$ 인 In Ga As P에 대하여 1은 약 $1.5\mu m$ 이상이 된다. 한편, 제2도와 같은 구조의 포토 다이오드를 만들고자 할 때에는 동작시의 최대전계는 적어지게 되지만 금지대폭이 적은 영역의 불순물 농도에 대하여서는 제한을 하는 것이 필요하다. 금지대폭이 적은 영역에서 공핍층이 W만큼 넓어지게 되면 금지대폭이 큰 물질측의 금지대폭이 적은 물질의 전계강도 E_S 는 다음과 같은 식으로 주어진다.

$$E_s = \frac{qN_s W}{\epsilon_s} \dots \dots \dots (5)$$

공핍층이 (1+W)이고 W가 1μm라고 하면 E_s가 E_T를 초과하지 않게 하기 위해서는 불순물 농도 N_s를 다음의 값보다 적게할 필요가 있다.

$$N_s : \leq \text{대략 } 1 \times 10^{16} \text{ cm}^{-3} \quad \lambda = 1.55 \mu\text{m} \text{ 일때}$$

$$\leq \text{대략 } 2 \times 10^{16} \text{ cm}^{-3} \quad \lambda = 1.3 \mu\text{m} \text{ 일때}$$

이상과 같이 물질의 E_g와 N_s와의 관계를 고려하여야 할 필요가 있다. 화합물 반도체에서는 Si에 비하여 광여기 캐리어의 수명이 지극히 짧기 때문에 광전 변환 효율(光電變換效率)을 높이기 위해서는 광 흡수 영역을 공핍층화 할 필요가 있고, 그리고, 또 고속화가 되게 하기 위해서는 접합 용량 C를 적게 하기 위하여 공핍층을 넓게할 필요가 있다. 접합 용량은 근사적으로 다음식으로 주어진다.

$$C = \frac{\epsilon}{1+W} \dots \dots \dots (6)$$

ε : 유전율, S : 접합면적

실용상 요구되는 양자효율(250%)과 접합용량(≦2, F)을 고려하면 공핍층 W는 1μm정도 넓어지는 것이 필요할 것으로 생각된다.

다음에는 본 실시예의 효과에 대하여 설명한다.

- (a) In Ga As P층과 절연막과의 계면특성을 이용함으로써 저진류의 저감을 할 수 있다.
- (b) 전술한것과 같은 층구성으로 함으로서 터널 효과에 의한 암전류의 증가를 방지할 수 있다.
- (c) 전술한 것과같은 층구성으로 함으로서 포도 엑사이테이션 캐리어를 효율이 좋게 접합에다 모울수가 있기 때문에 감도를 높게 할수가 있다.
- (d) 전술한 것과같은 층구성으로 함으로서 광여기 캐리어를 드리프트 속도로 접합에다 모울수가 있기 때문에 고속화 시킬수가 있다.
- (e) 전술한 것과같은 층구성으로 함으로서 공핍층의 폭을 넓게 잡을수가 있기 때문에 접합 용량을 적게 할 수가 있어서 소자의 고속화에 효과가 있다.

또 상술한 예에서는 InP-In Ga As P 계의 재료의 예에 대해서만 설명하였지만 재료계는 이것만에 한정되는 것이 아니다.

예를 들면 층 14로서는 Ga Al Sb, 층 13로서는 Ga Sb, 층12로서는 Ga Sb, 층15로서는 Ga Al As Sb를 사용하는 Ga Sb를 주체로한 재료계를 사용하여도 같은 취지의 광 반도체 장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1

제1의 도전형을 나타내는 반도체층(B)과, 이 제1의 반도체층위에 상기 반도체층 보다 금지대폭이 크고 제1전도전형을 나타내는 제2의 반도체층(14)과, 이 제2의 반도체층내에 부설한 제2도전형을 나타내는 영역에 의하여 형성되는 Pn접합을 적어도 갖고 있는 광 검출 반도체 소자에 있어, 상기 제2의 반도체층(14)위에다 제1의 도전형을 나타내고 또 표면보호 기능이 있는 제3의 반도체층(15)을 갖는 것을 특징으로 하는 광 검출용의 반도체 장치.

청구항 2

상기 제3의 반도체층(15)은 4원소계의 III-V족 화합물에서 선택된 반도체 재료로 만들어진 것을 특징으로 하는 청구범위 1의 광 검출용 반도체 장치.

청구항 3

상기 제1의 반도체층(13)이 In Ga As P로 되고, 상기 제2의 반도체층(14)이 I_nP 로 되며, 상기 제3의 반도체층(15)이 In Ga As P와 In As 의 그룹(group)에서 선정된 최소한 어느 하나인 것을 특징으로 하는 특허 청구범위 1의 광 검출용 반도체 장치.

청구항 4

상기 제1의 반도체층(13)이 Ga Sb로 되고, 상기 제2의 반도체층(14)이 Ga Al Sb로 되며, 상기 제3의 반도체층(15)이 Ga Al As Sb로 된것을 특징으로 하는 특허 청구 범위 1의 검출용 반도체 장치.

청구항 5

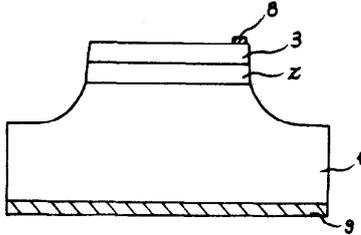
상기 제3의 반도체층(15)위에 또 하나의 절연막(17)을 갖는 것을 특징으로 하는 특허 청구 범위 1 내지 4중의 어느 한 항의 광 검출용 반도체 장치.

청구항 6

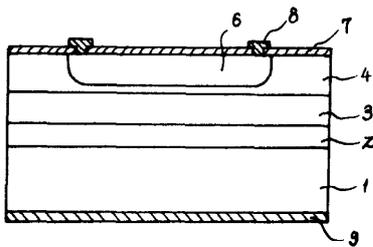
상기 제2의 반도체층(14)에 형성된 Pn접합과 상기 제1의 반도체층과의 거리가, 그 P_n 접합으로부터 그 제1의 반도체층(B)내에 뻗어나가는 전계강도가 그 제1의 반도체층의 최대전계(E_{ms})를 초과하지 않는 것을 특징으로 하는 특허 청구 범위 1 내지 4종의 어느 한항의 광 검출용 반도체 소자.

도면

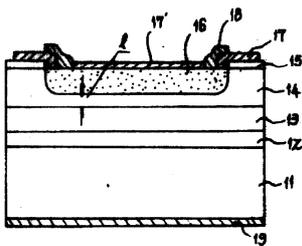
도면1-a(종래의)



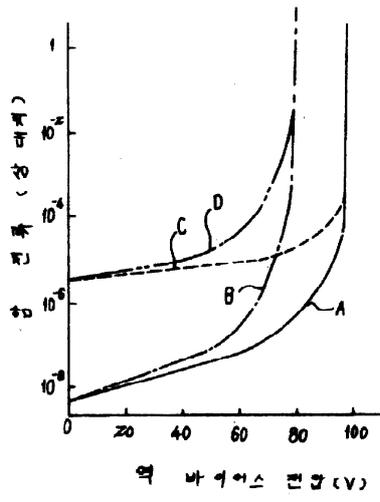
도면1-b(종래의)



도면2



도면3



도면4

