

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-139774

(P2009-139774A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623V	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 642J	
	G09G 3/20 642A	

審査請求 未請求 請求項の数 16 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2007-317854 (P2007-317854)
 (22) 出願日 平成19年12月10日 (2007.12.10)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100100310
 弁理士 井上 学
 (74) 代理人 100098660
 弁理士 戸田 裕二
 (72) 発明者 高田 直樹
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所組込みシステム基盤研
 究所内
 (72) 発明者 工藤 泰幸
 神奈川県横浜市戸塚区吉田町292番地
 株式会社日立製作所組込みシステム基盤研
 究所内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

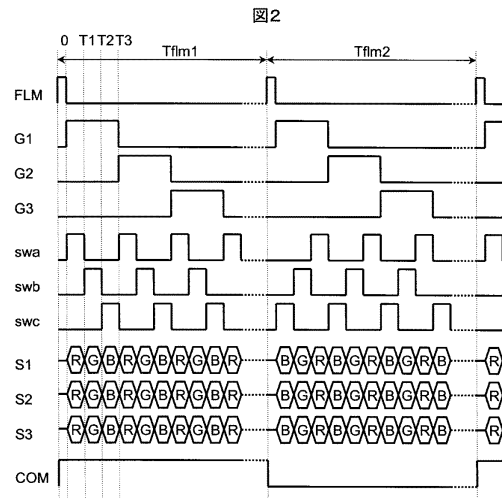
【課題】

R G B時分割駆動において、ドレイン線の変動の影響から、容量カップリングが発生しコモン変動の収束が遅れる事により所望の表示輝度からずれる画質劣化（横スマア）が発生する為、画質劣化（横スマア）の改善が課題となる。

【解決手段】

R G B時分割駆動において、時分割順番をフレーム毎に入れ替える、もしくは水平ライン方向で入れ替える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

互いに交差する複数本のドレイン線と複数本のゲート線を形成し、その交差部に対応して液晶セルとスイッチング素子からなる画素を形成した液晶表示部と、

所定の時分割数に応じた複数の前記ドレイン線から、任意にドレイン線を選択する事が出来る時分割スイッチと、

前記時分割スイッチの選択、非選択状態を制御する複数の制御信号線と、

複数の前記時分割スイッチに表示信号を伝播する複数の表示信号線と、

前記表示信号を所定の時分割数に対応した時系列で出力端子から前記表示信号線へ出力するソース信号生成回路とを有し、

10

任意の垂直周期期間で、前記所定の時分割数で分割した複数の選択期間に、第 1 選択から第 N ($N \geq 2$ の自然数) 選択期間では時分割スイッチを選択し、第 1 時分割スイッチから第 N ($N \geq 2$ の自然数) 時分割スイッチの順番で時分割スイッチを選択し、該時分割スイッチを介したドレイン線に適切な表示信号を印加し、或る 1 垂直周期期間から X 番目 ($X \geq 1$ の自然数) の垂直周期期間では、前記第 1 選択期間から第 N 選択期間の時分割スイッチの選択順番を逆の順番とし、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、

前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする液晶表示装置。

20

【請求項 2】

請求項 1 記載の液晶表示装置において、

任意の 1 垂直周期期間で、前記所定の時分割数で分割された複数の選択期間において、第 1 選択期間から第 N ($N \geq 2$ の自然数) 選択期間では時分割スイッチを選択し、第 1 時分割スイッチから第 N ($N \geq 2$ の自然数) 時分割スイッチの順番で時分割スイッチを選択して該時分割スイッチを介したドレイン線に適切な表示信号を印加し、第 1 選択期間では、第 1 時分割スイッチと第 1 選択期間以外で選択すべき時分割スイッチを 1 または複数選択し、第 1 選択期間の終了時には、第 1 時分割スイッチと前記選択された第 1 選択期間以外で選択すべき時分割スイッチの内の第 2 選択期間で選択すべき第 2 時分割スイッチ以外を非選択状態とし、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、

30

前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする事を特徴とした液晶表示装置。

【請求項 3】

請求項 1 記載の液晶表示装置において、

R 、 G 、 B のサブ画素で 1 ピクセルを構成し、

R のサブ画素に対応する第 1 のドレイン線及び第 1 の時分割スイッチ、 G のサブ画素に対応する第 2 のドレイン線及び第 2 の時分割スイッチ、 B のサブ画素に対応する第 3 のドレイン線及び第 3 の時分割スイッチの構成を 1 制御単位とし、

40

前記 1 制御単位を制御する時分割スイッチの制御信号線は 3 本存在し、3 本の制御信号線は、第 1 の制御単位内において、第 1 の時分割スイッチに対して第 1 の制御信号線で制御し、第 2 の時分割スイッチに対して第 2 の制御信号線で制御し、第 3 の時分割スイッチに対して第 3 の制御信号線で制御するとした場合、第 1 の制御単位に隣接した第 2 の制御単位では、第 2 の時分割スイッチに対して第 1 の制御信号線で制御し、第 3 の時分割スイッチに対して第 2 の制御信号線で制御し、第 1 の時分割スイッチに対して第 3 の制御信号線で制御し、第 1 及び第 2 の制御単位に隣接した第 3 の制御単位では、第 3 の時分割スイッチに対して第 1 の制御信号線で制御し、第 1 の時分割スイッチに対して第 2 の制御信号線で制御し、第 2 の時分割スイッチに対して第 3 の制御信号線で制御し、該時分割スイッ

50

チを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、

前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とした液晶表示装置。

【請求項 4】

請求項 1 記載の液晶表示装置において、

R, G, B のサブ画素で 1 ピクセルを構成し、

R のサブ画素に対応する第 1 のドレイン線及び第 1 の時分割スイッチ、G のサブ画素に対応する第 2 のドレイン線及び第 2 の時分割スイッチ、B のサブ画素に対応する第 3 のドレイン線及び第 3 の時分割スイッチ、及び B のサブ画素に対応する第 3 のドレイン線を制御する第 4 の時分割スイッチの構成を 1 制御単位とし、

10

前記 1 制御単位を制御する時分割スイッチの制御信号線は 3 本存在し、3 本の制御信号線は、第 1 の制御単位内において、第 1 の時分割スイッチと第 4 の時分割スイッチに対して第 1 の制御信号線で制御し、第 2 の時分割スイッチに対して第 2 の制御信号線で制御し、第 3 の時分割スイッチに対して第 3 の制御信号線で制御し、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、

前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とした液晶表示装置。

【請求項 5】

20

請求項 1、2、3 の何れかに記載の液晶表示装置において、

所定の時分割数で分割された複数の選択期間における最初の選択期間は、他選択期間と比べて長い事を特徴とした液晶表示装置。

【請求項 6】

請求項 1、2、3 の何れかに記載の液晶表示装置において、

1 水平期間内のゲート線選択期間の終了タイミングは、1 水平期間内を所定の時分割数で分割された複数の選択期間における最後の選択期間の終了タイミングよりも早い事を特徴とした液晶表示装置。

【請求項 7】

請求項 1、2、3 の何れかに記載の液晶表示装置において、

30

選択状態にある前記ゲート線上の全液晶セルを活性化させる際に、前記ソース信号生成回路は、奇数番目と偶数番目の出力端子から同極性（正極性又は負極性）の表示信号を出力することを特徴とした液晶表示装置。

【請求項 8】

請求項 1、2、3 の何れかに記載の液晶表示装置において、

選択状態にある前記ゲート線上の全液晶セルを活性化させる際に、前記ソース信号生成回路は、奇数番目と偶数番目の出力端子から、互いに逆極性（正極性と負極性）の表示信号を出力することを特徴とした液晶表示装置。

【請求項 9】

請求項 1、2、3 の何れかに記載の液晶表示装置において、

40

選択状態にある前記ゲート線上の全液晶セルを活性化させる際に、選択したゲート線が奇数番目である状態と偶数番目である場合で、前記ソース信号生成回路は逆極性（正極性と負極性）の表示信号を出力する事を特徴とした液晶表示装置。

【請求項 10】

請求項 1、2、3 の何れかに記載の液晶表示装置において、

選択状態にある前記ゲート線上の全液晶セルを活性化させる際に、奇数フレームと偶数フレームで、前記ソース信号生成回路は同一ゲート線に逆極性（正極性と負極性）の表示信号を出力する事を特徴とした液晶表示装置。

【請求項 11】

請求項 1、2、3 の何れかに記載の液晶表示装置において、

50

前記ゲート走査駆動回路、前記時分割スイッチ、及び前記スイッチング素子等を、ポリシリコンを用いた薄膜トランジスタで構成していることを特徴とした液晶表示装置。

【請求項 1 2】

R用サブ画素、G用サブ画素、B用サブ画素を含む各画素が配列された表示パネルと、R用表示信号、G用表示信号、B用表示信号の各々を、前記R用サブ画素、前記G用サブ画素、前記B用サブ画素の各々へ、1水平期間内に時分割で供給する駆動回路とを備えた表示装置において、

前記駆動回路は、前記1水平期間内で最後に画素へ供給する表示信号のRGBの種別を、フレームごとに切り替えることを特徴とした表示装置。

【請求項 1 3】

10

請求項 1 2 に記載の表示装置において、

前記駆動回路は、前記1水平期間内で画素へ供給する表示信号のRGBの種別をフレームごとに切り替える場合に、RGBの何れか1つを固定し、他の2つを、2フレーム周期でフレームごとに切り替えることを特徴とした表示装置。

【請求項 1 4】

請求項 1 2 に記載の表示装置において、

前記駆動回路は、前記1水平期間内で画素へ供給する表示信号のRGBの種別をフレームごとに切り替える場合に、3フレーム周期でフレームごとに切り替えることを特徴とした表示装置。

【請求項 1 5】

20

R用サブ画素、G用サブ画素、B用サブ画素を含む各画素がマトリックス状に配列された表示パネルと、

R用表示信号、G用表示信号、B用表示信号の各々を、前記R用サブ画素、前記G用サブ画素、前記B用サブ画素の各々へ、1水平期間内に時分割で供給する駆動回路とを備えた表示装置において、

前記駆動回路は、前記1水平期間内で最後に画素へ供給する表示信号のRGBの種別を、画素ごとに切り替えることを特徴とした表示装置。

【請求項 1 6】

請求項 1 5 に記載の表示装置において、

前記表示パネルは、列方向又は行方向のうちの何れかの方向に配列された画素に共通の共通電極を有し、

30

前記駆動回路は、前記1水平期間内で最後に画素へ供給する表示信号のRGBの種別を、前記共通電極が共通の方向上で画素ごとに切り替えることを特徴とした表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特にソース信号生成回路を搭載し時分割方式で液晶表示を行なう駆動方式並びに駆動回路に関するものである。

【背景技術】

【0002】

40

poly-Si (ポリシリコン) の電界効果移動度は、アモルファスSiの電界効果移動度である約 $0.5 \sim 1 \text{ cm}^2 / \text{Vs}$ に比べ、約数十 $\sim 200 \text{ cm}^2 / \text{Vs}$ と大きい。このため、液晶表示部を形成した同一基板上に、poly-Si TFTを用いて、信号回路や走査回路等の周辺回路を形成する事が出来る。また、poly-Si TFTを用いて周辺回路と液晶表示部を同一基板上に形成する事により、ソース信号生成回路等の外部周辺回路との接続が不要となり、高解像度な液晶表示装置を実現する事が可能となる。しかし、高解像度、高精細な液晶表示装置を実現する場合、周辺回路、特に信号回路のクロック周波数は数十MHzと高くなる。しかし、poly-Si TFTを用いた周辺回路の動作周波数は、約数MHz \sim 約10MHz程度と低いため、周辺回路を液晶表示部の周りに形成した高解像度な液晶表示装置の実現は困難になる。

50

【0003】

そこで、poly-Si TFTを用いた高解像度、高精細な液晶表示装置を実現する方法として、例えば、液晶表示部と同一基板上に設けた時分割スイッチと、ドライバICとを用いたRGB時分割駆動方式が提案されている。この方式は、特開2000-275611号公報に記されているように、高速動作が必要な信号回路としてソース信号生成回路を使用する。ソース信号生成回路は数十MHzの高速周波数で動作可能であり、複数の表示信号を一括して出力する事が出来る。RGB時分割駆動方式における液晶表示装置では、液晶表示部と同一基板上に設けた時分割スイッチを介して、ソース信号生成回路の1つの出力端子と液晶表示部に含まれる3つのドレイン線（R、G、B各画素に対応するドレイン線）とを接続している。RGB時分割駆動方式では、1水平期間を3つの期間に時分割し、各期間でRGBに対応する3つのドレイン線から1つのドレイン線を順次選択する。ソース信号生成回路は、時分割スイッチにより選択されるドレイン線に対応した表示データを出力端子から出力する。これにより、液晶パネル内の液晶は、表示データに対応した表示信号が印加されることになり、階調表示が実現される。このように、RGB時分割駆動方式では、ソース信号生成回路の出力端子数を、液晶表示部のドレイン線数（＝水平画素数）の1/3とする事が可能となり、従来の線順次駆動方式に比べ、ソース信号生成回路数を削減する事が可能となる。また、液晶表示部と時分割スイッチとを形成した基板と、ソース信号生成回路との接続端子数も、従来の線順次駆動方式に比べ1/3に削減する事が可能となり、より高精細、高解像度な液晶表示装置を実現する事が可能となる。

10

20

【0004】

【特許文献1】特開2000-275611号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

RGB時分割駆動においては、ソース信号生成回路の1つの出力端子と液晶表示部に含まれる3つのドレイン線（R、G、B各画素に対応するドレイン線）とを接続しており、Rデータの書き込み、Gデータの書き込み、Bデータの書き込みを時分割で行う。前記書き込みとは、各画素にドレイン線から表示データに対応した電圧を画素電極側に印加する事を示す。この場合、画素電極に対して液晶容量を介した対抗電極側はコモン線と接続しており、コモン電位となる。このコモン電位はフレーム反転駆動では全画素共通であり、従来技術の説明においては、全画素共通の構成とした場合とする。このコモン電位は、R、G、Bデータの書き込みタイミングでドレイン線の電位が変動する事で、対向電極側のコモン電位は容量カップリングが発生し、コモン電位はドレイン線と変動量に応じて電位が変動する。ここで、従来の線順次駆動方式では、1水平期間の開始時刻のみがコモン変動するのに対し、RGB時分割駆動では、上述したようにR、G、Bデータの書き込みタイミングでドレイン線の電位が変動する為に、コモン電位の収束が遅れ、表示輝度が所望の表示輝度と異なることによる画質劣化が発生する。よって、従来のRGB時分割駆動においては、所望の表示輝度に対し、実際の表示輝度がずれることによる画質劣化を抑制する事が課題となる。

30

40

【0006】

本発明の目的は、実際の表示輝度がずれることによる画質劣化を抑制したRGB時分割駆動方式の表示装置、及びその駆動方法を提供することである。

【課題を解決するための手段】

【0007】

本発明は、その実施の形態である液晶表示装置は、互いに交差する複数本のドレイン線と複数本のゲート線を形成し、その交差部に対応して液晶セルとスイッチング素子からなる画素を形成した液晶表示部と、所定の時分割数に応じた複数の前記ドレイン線から、任意にドレイン線を選択する事が出来る時分割スイッチと、前記時分割スイッチの選択、非選択状態を制御する複数の制御信号線を有し、複数の前記時分割スイッチに表示信号を伝播する複数の表示信号線と、前記表示信号を所定の時分割数に対応した時系列で出力端子

50

から前記表示信号線へ出力するソース信号生成回路を有し、或る1垂直周期期間で、前記所定の時分割数で分割した複数の選択期間に、第1選択から第N(N-2の自然数)選択期間では時分割スイッチを選択し、第1時分割スイッチから第N(N-2の自然数)時分割スイッチの順番で時分割スイッチを選択し、該時分割スイッチを介したドレイン線に適切な表示信号を印加し、前記或る1垂直周期期間からX番目(X-1の自然数)の垂直周期期間では、前記第1選択期間から第N選択期間の時分割スイッチの選択順番を逆の順番とし、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、且つ、前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする。

10

【0008】

また、前記液晶表示装置において、或る1垂直周期期間で、前記所定の時分割数で分割された複数の選択期間において、第1選択期間から第N(N-2の自然数)選択期間では時分割スイッチを選択し、第1時分割スイッチから第N(N-2の自然数)時分割スイッチの順番で時分割スイッチを選択して該時分割スイッチを介したドレイン線に適切な表示信号を印加し、第1選択期間では、第1時分割スイッチと第1選択期間以外で選択すべき時分割スイッチを1または複数選択し、第1選択期間の終了時には、第1時分割スイッチと前記選択された第1選択期間以外で選択すべき時分割スイッチの内の第2選択期間で選択すべき第2時分割スイッチ以外を非選択状態とし、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、且つ、前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする。また、前記液晶表示装置において、R、G、Bの画素で1ピクセルを構成する場合に、Rの画素に対応する第1のドレイン線及び第1の時分割スイッチ、Gの画素に対応する第2のドレイン線及び第2の時分割スイッチ、Bの画素に対応する第3のドレイン線及び第3の時分割スイッチの構成を1制御単位とした場合に、前記1制御単位を制御する時分割スイッチの制御信号線は3本存在し、3本の制御信号線は、第1の制御単位内において、第1の時分割スイッチに対して第1の制御信号線で制御し、第2の時分割スイッチに対して第2の制御信号線で制御し、第3の時分割スイッチに対して第3の制御信号線で制御するとした場合、第1の制御単位に隣接した第2の制御単位では、第2の時分割スイッチに対して第1の制御信号線で制御し、第3の時分割スイッチに対して第2の制御信号線で制御し、第1の時分割スイッチに対して第3の制御信号線で制御し、第1及び第2の制御単位に隣接した第3の制御単位では、第3の時分割スイッチに対して第1の制御信号線で制御し、第1の時分割スイッチに対して第2の制御信号線で制御し、第2の時分割スイッチに対して第3の制御信号線で制御し、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、且つ、前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする。

20

30

【0009】

また、その実施の形態である液晶表示装置は、互いに交差する複数本のドレイン線と複数本のゲート線を形成し、その交差部に対応して液晶セルとスイッチング素子からなる画素を形成した液晶表示部と、所定の時分割数に応じた複数の前記ドレイン線から、任意にドレイン線を選択する事が出来る時分割スイッチと、前記時分割スイッチの選択、非選択状態を制御する複数の制御信号線を有し、複数の前記時分割スイッチに表示信号を伝播する複数の表示信号線と、前記表示信号を所定の時分割数に対応した時系列で出力端子から前記表示信号線へ出力するソース信号生成回路を有し、また液晶表示装置は、R、G、Bの画素で1ピクセルを構成し、Rの画素に対応する第1のドレイン線及び第1の時分割スイッチ、Gの画素に対応する第2のドレイン線及び第2の時分割スイッチ、Bの画素に対応する第3のドレイン線及び第3の時分割スイッチ、及びBの画素に対応する第3のドレ

40

50

イン線を制御する第4の時分割スイッチの構成を1制御単位とした場合に、前記1制御単位を制御する時分割スイッチの制御信号線は3本存在し、3本の制御信号線は、第1の制御単位内において、第1の時分割スイッチと第4の時分割スイッチに対して第1の制御信号線で制御し、第2の時分割スイッチに対して第2の制御信号線で制御し、第3の時分割スイッチに対して第3の制御信号線で制御し、該時分割スイッチを介して、表示信号を該ドレイン線に印加する事で該ドレイン線に表示信号を順に保持させていき、選択状態にある前記ゲート線上の液晶セルを活性化し、且つ、前記ソース信号生成回路は、該各選択期間で保持状態となる画素に対応した表示信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする。

【0010】

また、本発明は、1水平期間内で最後に画素へ供給する表示信号のRGBの種別を、フレームごと(つまり時間方向で)または画素ごと(つまり同一空間内で)に切り替えることを特徴とする。

【発明の効果】

【0011】

本発明は、時分割スイッチを具備した液晶パネルのRGB時分割駆動において、時分割でデータの書き込みを行う順番をRGBデータの順番とする第1フレームと、BGRデータの順番とする第2フレームで切り替えて駆動する。

【0012】

また、本発明は、時分割スイッチの制御信号線とRGBデータの時分割スイッチの接続を、全表示信号線郡の1/3が第1選択期間にRデータ(もしくはG、Bデータ)の書き込みを行い、全表示信号線郡の1/3が第2選択期間にRデータ(もしくはG、Bデータ)の書き込みを行い、全表示信号線郡の1/3が第3選択期間にRデータ(もしくはG、Bデータ)の書き込みを行う様に構成する。

【0013】

以上の構成、及び駆動動作、タイミング動作を実施する事で、コモン電位の変動を抑制する、もしくは変動を分散する事で、表示輝度のズレによる画質劣化、つまり横スマアを回避することが期待できる。

【0014】

また、RGB時分割駆動を用いる事により、液晶パネル(時分割スイッチ)とソース信号生成回路との接続端子数を削減する事が可能となる。これにより、液晶パネルの高精細化、及び高解像度化が期待できる。更に、接続端子数が少なくなる事から製造歩留を向上させることが可能となる。同時に、ソース信号生成回路の端子数を削減する事により、液晶表示装置自体の低コスト化が期待できる。

【0015】

また、本発明によれば、1水平期間内で最後に画素へ供給する表示信号のRGBの種別を、フレームごとに切り替えるため、コモン電位の変動を時間方向に分散できるため、人の目から見た、表示輝度のズレによる画質劣化、つまり横スマアを回避することが期待できる。

【0016】

また、本発明によれば、1水平期間内で最後に画素へ供給する表示信号のRGBの種別を、画素ごとに切り替えるため、コモン電位の変動を同一空間内で相殺できるため、コモン電位の変動を抑制でき、表示輝度のズレによる画質劣化、つまり横スマアを回避することが期待できる。

【発明を実施するための最良の形態】

【0017】

以下、本発明における第1の実施の形態および第2の実施の形態を説明する。

【実施例1】

【0018】

以下、本発明における第1の実施の形態を、図1から図10を用いて説明する。

10

20

30

40

50

【 0 0 1 9 】

まず、本発明第 1 の実施例における液晶表示装置の構成について、R G B 時分割駆動を 1 つの例として取り上げ、図 1 及び図 2 を用いて説明する。

【 0 0 2 0 】

図 1 は、本発明第 1 の実施の形態に係わる液晶表示装置の構成を示す図である。図 1 において、1 0 1 はソース信号生成回路であり、ソース信号生成回路は表示信号（対向電極電位に対して正極性 [高電位な] 信号、又は負極性 [低電位な] 信号）を液晶パネル 1 0 3 に転送するための表示信号線群（S 1、S 2、S 3、...）を出力する。ここで、ソース信号生成回路 1 0 1 は、偶数及び奇数端子から、同一極性の表示信号を表示信号線群へ出力する。表示信号線群は、時分割スイッチ群 1 0 4（sw 1 a、sw 1 b、sw 1 c、sw 2 a、sw 2 b、sw 2 c、sw 3 a、sw 3 b、sw 3 c、...）を介して、ドレイン線群（D r 1、D g 1、D b 1、D r 2、D g 2、D b 2、D r 3、D g 3、D b 3、...）に接続される。また、時分割スイッチ群 1 0 4 は、制御信号群 1 0 5 により ON 状態、又は OFF 状態に制御し、ON 状態で表示信号線 S とドレイン線 D を接続し、OFF 状態で、表示信号線 S とドレイン線 D を未接続状態とする。ここで、R G B 時分割駆動の場合、1 本の表示信号線 S は 3 つの時分割スイッチ sw に接続され、この 3 つの時分割スイッチに対して 3 本のドレイン線 D がそれぞれ接続される。図 1 で説明すると、表示信号線 S 1 は、3 つの時分割スイッチ sw 1 a、sw 1 b、及び sw 1 c を介して、ドレイン線 D r 1、D g 1 及び D b 1 に接続される。この 3 本のドレイン線 D は、それぞれ R、G、及び B の画素に接続されているドレイン線である。ここでの説明では、3 本のドレイン線に R、G、及び B を左から順に割当てているが、この順序は特に限定しない。また、その他の表示信号線（S 2、S 3、...）も同様に、時分割スイッチ（sw 2 a、sw 2 b、sw 2 c、sw 3 a、sw 3 b、sw 3 c、...）を介して、各ドレイン線（D r 2、D g 2、D b 2、D r 3、D g 3、D b 3、...）に接続する。従って、ソース信号生成回路 1 0 1 の全表示信号出力数（= 全表示信号線数）は、液晶パネル 1 0 3 の水平方向画素数（R G B × 水平ピクセル数）の 1 / 3 となる。ここで、液晶パネルの解像度を V G A、ソース信号生成回路の表示信号出力数を 480 とすると、ソース信号生成回路は 1 個（水平方向画素数 1440（= 水平ピクセル数 480 × R G B）/ 480 / 3）が必要となる。但し、液晶パネル 1 0 3 の解像度に応じて、1 個のソース信号生成回路 1 0 1 当りの出力端子数、及び液晶表示装置に使用するソース信号生成回路 1 0 1 の個数は任意に設定可能である。

【 0 0 2 1 】

一方、図 1 において、1 0 2 はゲート走査回路であり、ゲート走査線群（G 1、G 2、G 3、...）を順次選択する。ゲート走査線 G の本数は、少なくとも液晶パネルの垂直方向の画素数以上ある。ゲート走査線群（G 1、G 2、G 3、...）とドレイン線群 D r 1、D g 1、D b 1、D r 2、D g 2、D b 2、D r 3、D g 3、D b 3、... との各交差部付近には、例えば n M O S - T F T など構成されるスイッチ素子 1 0 6 が配置される。このスイッチ素子 1 0 6 は、n M O S - T F T 以外の p M O S - T F T などでも良いが、本説明では n M O S - T F T として説明する。スイッチ素子 1 0 6 のゲートはゲート走査線 G に接続し、ドレインはドレイン線 D に接続し、ソースは液晶容量の画素電極に接続する。1 0 7 のコモン線 C は、画素電極が形成する基板と対向して設置する、もう一方の基板上に形成した対向電極に接続する。但し、これは縦電界で透過率を制御する液晶の場合であり、横電界で透過率を制御する液晶の場合は、前記対向電極は、画素電極と同一基板上に形成される。液晶容量は、前記画素電極と前記対向電極に挟まれる。液晶の透過率は、対向電極の電位と画素電極との電位との電位差で決まり、液晶表示装置は、この電位差を制御する事により階調表示を行う。

【 0 0 2 2 】

次に、図 2 を用いて本発明第 1 の実施例における 1 水平期間の表示信号書き込み動作について説明する。図 2 は、負極性の表示信号書き込み動作を行う垂直期間（T f l m 1）、正極性の表示信号書き込み動作を行う垂直期間（T f l m 2）夫々において、特定の 1 水平期間においてゲート選択状態で表示信号を書き込む場合を例として取り上げた本発明第 1

の実施例における電圧波形及びタイミングチャートを示したものである。図2におけるゲート走査電圧Gは、書き込み状態に有る水平ラインのゲート電圧波形を示しており、ゲート選択期間は1水平期間以内である。本発明第1の実施例では、RGB時分割駆動の場合、ゲート走査電圧の立ち上がりを時刻0とした場合に、1水平期間を、時刻0から時刻T1までの第1選択期間、時刻T1から時刻T2までの第2選択期間、及び時刻T2から時刻T3までの第3選択期間と、3つの期間に時分割する。ここで、時刻T1、T2、及びT3は、任意に設定可能である。但し、これらの時刻は $0 < T1 < T2 < T3$ の関係を満たす。本発明第1の実施例では、図2の制御信号波形で示す様に、負極性の表示信号書き込み動作を行う垂直期間(Tf1m1)においては、第1選択期間である時刻0から時刻T1の間ではRに対応する全ての時分割スイッチをON状態とし、第2選択期間である時刻T1から時刻T2の間ではGに対応する全ての時分割スイッチをON状態とし、第3選択期間である時刻T2から時刻T3の間ではBに対応する全ての時分割スイッチをON状態とする。一方で、正極性の表示信号書き込み動作を行う垂直期間(Tf1m2)においては、第1選択期間である時刻0から時刻T1の間ではBに対応する全ての時分割スイッチをON状態とし、第2選択期間である時刻T1から時刻T2の間ではGに対応する全ての時分割スイッチをON状態とし、第3選択期間である時刻T2から時刻T3の間ではRに対応する全ての時分割スイッチをON状態とする。つまり、Tf1m1期間においては、RGB時分割駆動の駆動順番がR G Bの順番であり、Tf1m2期間においては、RGB時分割駆動の駆動順番がB G Rの順番であり、駆動周期は2フレームで完結する。

10

20

【0023】

次に、図3に関して説明する。図3は、図2と同様に本発明第1の実施例における1水平期間の表示信号書き込み動作に関する説明図である。但し、図2では、正極性の表示信号書き込み動作を行う垂直期間と負極性の表示信号書き込み動作を行う垂直期間毎に、RGB時分割駆動における書き込み順番をRGB BGRと切り替えていたのに対し、図3では、正極性の表示信号書き込み動作を行う垂直期間と負極性の表示信号書き込み動作を行う垂直期間毎と1セットとし、前記1セットの垂直期間でRGB時分割駆動における書き込み順番をRGBとし、次の前記1セットの垂直期間にはRGB時分割駆動における書き込み順番をBGRとする。図3において、負極性の表示信号書き込み動作を行う垂直期間はTf1m1、Tf1m3であり、正極性の表示信号書き込み動作を行う垂直期間はTf1m2、Tf1m4である。図3の制御信号波形に示す様に、垂直期間はTf1m1、Tf1m2では、第1選択期間である時刻0から時刻T1の間ではRに対応する時分割スイッチ群の内の全ての時分割スイッチをON状態とし、第2選択期間である時刻T1から時刻T2の間ではGに対応する時分割スイッチ群の内の全ての時分割スイッチをON状態とし、第3選択期間である時刻T2から時刻T3の間ではBに対応する時分割スイッチ群の内の全ての時分割スイッチをON状態とする。一方で、正極性の表示信号書き込み動作を行う垂直期間Tf1m2、Tf1m4では、第1選択期間である時刻0から時刻T1の間では時分割スイッチ群の内のBに対応する全ての時分割スイッチをON状態とし、第2選択期間である時刻T1から時刻T2の間ではGに対応する時分割スイッチ群の内の全ての時分割スイッチをON状態とし、第3選択期間である時刻T2から時刻T3の間ではRに対応する時分割スイッチ群の内の全ての時分割スイッチをON状態とする。つまり、Tf1m1、Tf1m2期間においては、RGB時分割駆動の駆動順番がR G Bの順番であり、Tf1m3期間においては、RGB時分割駆動の駆動順番がB G Rの順番であり、駆動周期は4フレームで完結する。

30

40

【0024】

ここで、各画素の電位変動に着目し、本発明第1の実施例の表示輝度のズレによる画質劣化(横スマア)の改善効果について図4・図5・図6において説明する。

【0025】

図4には、液晶パネルにおいて表示するパターンを示している。(R, G, B) = (64, 64, 64)階調の背景領域と(R, G, B) = (64, 64, 255)階調のBOX領域を表示

50

している。ここで、図4の液晶パネル内におけるポイントA、Bは、ゲート線G(a)、G(b)と表示信号線S(i)の夫々の交点のRGBサブピクセルを示している。ゲート線G(a)では(64、64、64)階調の背景領域と(64、64、255)階調のBOX領域の表示信号をドレイン線を介して画素電極側に書き込むのに対し、ゲート線G(b)では、(64、64、64)階調の背景領域のみの表示信号をドレイン線を介して画素電極側に書き込む。一方で、全画素の対向電極のコモン電位は共通の電源から供給しており、同電位となる。ここで、ドレイン線の電位変動量が異なる為容量カップリングの影響によるコモンの電位変動量は各ゲート線での書き込み動作において異なる。その為、ゲート線をOFFとするタイミングにおいて、コモン電位の所望電位への収束率が異なり、同じ階調を表示するポイントA、ポイントBにおいても表示輝度が異なる事が予想される。詳細は以下の図5、図6の説明において記述する。

10

【0026】

図5は、図4におけるポイントA、Bのドレイン線の画素電極側の電位波形、及び対向電極側のコモン電位の波形を示しており、図5(a)はポイントA、図5(b)はポイントBの場合を示している。また、図6は従来方式のポイントAの各画素の電位変動を示す図である。時刻T1では、R画素へRデータに対応した表示信号を保持し、時刻T2で、G画素へGデータに対応する表示信号を保持し、最後に時刻T3で、B画素へBデータに対応する表示信号を保持する。以上の動作後にゲート走査電圧は非選択レベルとなり、選択したゲート線上の全画素へ表示データに対応した表示信号を書込み保持する事になる。以上の保持動作のため、本発明第1の実施例におけるソース信号生成回路101は、少なくとも時刻T1以後まで、Rデータに対応する表示信号(時刻T1で保持状態となるドレイン線及び画素電極に対応した表示信号)を出力し、その後、少なくとも時刻T2以後まで、Gデータに対応する表示信号(時刻T2で保持状態となるドレイン線及び画素電極に対応した表示信号)を出力し、また、その後少なくとも時刻T3以降まで、Bデータに対応する表示信号(時刻T3で保持状態となるドレイン線及び画素電極に対応した表示信号)を出力する。

20

【0027】

ここで、図5のTf1m1期間ではRGBのデータ順番で書き込みを行う。この場合、時刻T2ではGデータの書き込み期間からBデータの書き込み期間へ切り替わるタイミングである。その為、時刻T2においては、BOX表示箇所ドレイン線の電位はGデータの64階調の表示信号からBデータの255階調の表示信号へ変化する。その結果、Tf1m1期間の時刻T2において画素電極側のドレイン線の電位変動により、容量カップリングが発生し、対向電極側のコモン電位は下側に大きく変動する。この場合、ゲート選択がOFFとなる時刻にコモン電位は収束できない事が予想される。更にゲート選択がOFFした後に、コモン電位は所望電位に収束する。一方で時分割スイッチはOFF状態の為、液晶容量の画素電極側はフローティング状態である。液晶容量の電位差を保持した状態である。つまり選択したポイントAを含む1水平ラインの全画素において液晶容量の電位は低い状態となる。よって、Tf1m1期間終了後のポイントAでは、ノーマリーブラックの液晶パネルにおいては表示輝度が暗くなり、ノーマリーホワイトの液晶パネルにおいては表示輝度が明るくなる。次に、Tf1m2期間ではBGRのデータ順番で書き込みを行う。この場合、Bデータの書き込み開始時刻0におけるコモン電位の変動は大きい為、RGデータの書き込み期間(第2選択期間、第3選択期間)ではコモン電位の変動は小さい事から、ゲートOFFのタイミングにおいてはコモンが収束する事は可能である。つまり、ポイントAを含む1水平ラインの全画素において液晶容量の電位は所望の電位を保持する事が可能である。よって、Tf1m2期間終了後のポイントAでは、ノーマリーブラックの液晶パネルにおいても、ノーマリーホワイトの液晶パネルにおいても所望の表示輝度となる。一方で、ポイントBの水平方向には(64,64,64)階調の背景領域の表示信号のみを書き込む。この場合、ドレイン線の変動は小さく、コモン電位の変動が小さい。その結果、ポイントBを含む1水平ラインの全画素において液晶容量の電位は所望の電位を保持する事が可能となる。

30

40

50

【0028】

以上の結果から、BOXが存在するポイントAを含む1水平ラインでは、所望の表示輝度に対しノーマリーブラックの場合は低くなり、またノーマリーホワイトの場合は高くなる為、ポイントAとポイントBで輝度の差が発生するが、2フレームの内の1フレームでは所望の表示輝度となる為、以下の図6で記述する従来方式と比べると表示輝度の低減は抑制できる。ここで人間の視覚特性においては、表示輝度は時間方向に積分される為、Tf1m1とTf1m2の表示輝度は平均化し、原理上は約半分程度の表示輝度のズレとして認識すると考えられる。

【0029】

一方で、図6に示す従来方式の場合は、RGB時分割駆動において、Tf1m1の垂直期間、Tf1m2の垂直期間においても常にRGBのデータ順番で書き込みを行う。その為、時刻T2では、常にGデータ書き込み期間からBデータの書き込み期間へ切り替わる。よって、図5の説明と同様の理由により、ポイントAを含む1水平ラインの全画素において液晶容量の電位は所望の電位と比べて小さくなる為、図5に示す本発明の実施例1による駆動方式と比べて、ノーマリーブラックの液晶パネルにおいては、表示輝度は暗くなり、ノーマリーホワイトの液晶パネルにおいては、表示輝度は明るくなる。一方で、ポイントBを含む1水平ラインの全画素において液晶容量の電位は、図5の説明と同様の理由により、所望の電位となる。その結果、ポイントAとポイントB、つまりBOXが存在する1水平ラインと存在しない1水平ラインでは、同じ表示輝度とならず、ノーマリーブラックの場合、ポイントAを含むBOXが存在する水平ラインでは背景箇所が、ポイントBを含むBOXが存在しない水平ラインの背景箇所と比べて暗くなる。またノーマリーホワイトの場合、逆に明るくなる。

10

20

【0030】

上記図4、図5、図6では、図2で示した表示信号書き込み動作を行った場合において本発明の第1の実施例の効果に関して説明した。この図2の場合では、正極性と負極性で、全画素で液晶容量の電位が異なるため、各液晶容量に対し直流電圧(DC電圧)を印加した状態となる。このDC電圧を印加した状態で放置すると、画素の電位を0Vと設定した状態で液晶容量内にDC電圧が残存し、残像、焼き付き、輝度漏れ等が発生する。このような画質劣化を回避する為に、数フレーム(数十ms)~数千フレーム(数min)単位の周期で、正極性と負極性で、RGB時分割駆動の順番を反転する。つまり正極性ではBGRのデータ順とし、負極性では、RGBのデータ順とする事で、DC電圧が印加する方向を反転する。以上の機能を組み込む事で、上記DC電圧による画質劣化は回避可能である。また、正極性、負極性のデータ順番を入れ替える設定は、レジスタ設定として設定する事が望ましい。

30

【0031】

また、上記DC電圧を回避する方法として、図3で示した表示信号書き込み動作を行った場合でも回避可能である。この場合、Tf1m1の負極性の表示信号書き込み時間とTf1m2の正極性の表示信号書き込み時間において、データ書き込み順番がRGBのデータ順としている。つまり、RGBのデータ書き込み順において発生するDC電圧を2フレーム期間でキャンセル可能となる。また、図3の表示信号書き込み動作とした場合においても、本発明の第1の実施例の効果に関しては同様の効果を得ることが可能である。

40

【0032】

以上で述べたように、本発明第1の実施例では、1水平期間を、第1選択期間(時刻0からT1)、第2選択期間(時刻T1からT2)、第3選択期間(時刻T2からT3)の3つの期間に時分割駆動とし、時分割でデータの書き込みを行う順番をRGBデータの順番とする第1フレームと、BGRデータの順番とする第2フレームとを2フレーム周期で切り替える、もしくは連続する正極性の書き込み動作を行うフレームと負極性の書き込み動作を行うフレームに対し時分割データ書き込み順をRGBデータの順番とする第1フレーム、第2フレームと、その次に連続する正極性の書き込み動作を行うフレームと負極性の書き込み動作を行うフレームに対し時分割データ書き込み順をBGRデータの順番とする第3フレーム、

50

第4フレームとを4フレーム周期で切り替えて駆動する。この場合、図4で示した表示パターンでは、コモン電位の変動量が大きい箇所(ポイントA)のコモンを大きく変動するBデータの書き込みタイミングを第1選択期間、第3選択期間で分散する事が可能となる。コモン電位はゲートをOFFするタイミング、つまり第3選択期間の終了時刻(T3)までに収束すれば良いので、Bデータの書き込みタイミングを第1選択期間とした場合には、コモン電位は収束する事ができ、ポイントAとポイントBの表示輝度の差は低減し、横スミアを改善する事が可能となる。

【0033】

また、図7に示すように、Tf1m1期間の1水平期間の第1選択期間(時刻0からT1)、第2選択期間(時刻T1からT2)、第3選択期間(時刻T2からT3)の3つの期間に時分割して駆動する。ここで、時分割でデータの書き込みを行う順番をRGBデータの順番とする第1フレームとBGRデータの順番とする第2フレームとで2フレーム周期で切り替える場合においては、第1フレームでは第1選択期間ではRとBの時分割スイッチをONして第2選択期間ではGの時分割スイッチをONして第3選択期間ではRとBの時分割スイッチをONして駆動するのに対して、第2フレームでは第1選択期間ではRとBの時分割スイッチをONして第2選択期間ではGの時分割スイッチをONして第3選択期間ではRの時分割スイッチをONして駆動する。この場合、第1フレームにおいては第1選択期間にRデータをBの画素に書き込んで第3選択期間に所望のBデータをBの画素に書き込み、第2フレームにおいては、第1選択期間にBデータをRの画素に書き込んで第3選択期間に所望のRデータをR画素に書き込む。図4で示した表示パターンでは、64階調のRデータを第1選択期間に一旦Bの画素に書き込み、第3選択期間に所望のBデータ(255階調)をB画素に書き込む。B画素の液晶容量に着目すると、図2、図3の場合では、前フレームにおいて負極性の255階調、つまり最大電位が書き込まれた状態から、正極性の255階調(最大電位)へ画素へ印加電圧が変動するのに対し、図7に示す場合では、第1期間で負極性の255階調、つまり最大電位が書き込まれた状態から、一旦正極性の64階調へ画素への印加電圧が変動し、第3期間で正極性の255階調(最大電位)へ画素へ印加電圧が変動する。その為、第3選択期間でのB画素のコモンの電位変動が低減可能である。

【0034】

また、図3で説明した様な連続する正極性の書き込み動作を行うフレームと負極性の書き込み動作を行うフレームに対し時分割データ書き込み順をRGBデータの順番とする第1フレーム・第2フレームと、その次に連続する正極性の書き込み動作を行うフレームと負極性の書き込み動作を行うフレームに対し時分割データ書き込み順をBGRデータの順番とする第3フレーム・第4フレームを、4フレーム周期で切り替える場合においては、上記した第1選択期間でR、Bの時分割スイッチを同時にONする動作を組み合わせる事で同様にコモン変動を低減する事が可能であり、横スミアを改善する事が可能である。

【0035】

また、図8に示す液晶表示装置は、図1に示した液晶表示装置とほぼ同じ構成であるが、1本の表示信号線Sは4つの時分割スイッチswに接続され、そのうちB画素に接続するドレイン線は2つの時分割スイッチに接続される点で異なる。表示信号線群(S1、S2、S3、...)は、時分割スイッチ群804(sw1a、sw1b、sw1c、sw1d、sw2a、sw2b、sw2c、sw2d、sw3a、sw3b、sw3c、sw3d、...)を介して、ドレイン線群(Dr1、Dg1、Db1、Dr2、Dg2、Db2、Dr3、Dg3、Db3、...)に接続され、また時分割スイッチ群804を制御する時分割スイッチ制御信号805(swa、swb、swc)では、swaは(sw1a、sw1d、sw2a、sw2d、sw3a、sw3d、...)を制御し、swbは(sw1b、sw2b、sw3b、...)を制御し、swcは(sw1c、sw2c、sw3c、...)を制御する。

【0036】

この場合、801のソース信号生成回路では出力タイミングを従来と同様にRGBのデータ順として場合に、図7に示したTf1m1期間のRGBデータ書き込み動作を実現することが可能となる。但し、本図8の液晶表示装置とした場合は、図7で示す様にフレー

10

20

30

40

50

ム毎に時分割出力順番を変更できない為、フレーム毎にデータ順番を切り替えない事が前提となる。また、本図8においては、データ出力順番をRGBデータの順番としたが、この順番は、GBRでも、BGRでも構わない。

【0037】

また、図9に示す駆動方法は、図7に示す駆動方法と、第1選択期間でR、Bの時分割スイッチを同時にONする点に関して異なり、図8に示す駆動方法では第1選択期間にR、G、Bの時分割スイッチを同時にONする。またそれ以外に関しては、図7に示す駆動方法と同じである。この場合、Gデータの書き込みに関しても、第1選択期間で予め書き込みを行う事が可能である。その為、図4に示す表示画像において、BOX箇所の階調が仮に(64, 255, 64)とした場合は、第1選択期間でG、Bデータの書き込みを行う為、Bデータの書き込みを行う時刻T2では、コモンの変動が小さい。よって、この場合にゲートがOFFとなる時刻T3でコモン電位が収束する為に最も関わるのは、第2選択期間の開始時刻T1に発生するGデータの書き込みとなる。そして、本方式では、第1選択期間にGデータにRデータの書き込みを行っておくので、Gデータの書き込み開始時に起こるコモン変動は正極性の255階調(最大電位)から負極性の255階調(最小電位)へドレイン線が変動する図7の場合と比べて、正極性の64階調から正極性の255階調(最大電位)へドレイン線が変動するので、コモン変動が低減可能である。但し、上記したBOXの色が(64, 255, 64)ではなく(0, 255, 0)の場合には効果は得られない。

【0038】

また、図10に示す駆動方法は、図9に示す駆動方法と、第3選択期間の終了時にBの時分割スイッチをOFFしないで、ゲート線をOFFした後にBの時分割スイッチをOFFする点に関して異なる。またそれ以外に関しては、図8に示す駆動方法と同じである。RGB時分割駆動時の場合、例えば時分割にRGB画素の順番で書き込む場合、Rデータの時分割スイッチをOFFする時はGデータの時分割スイッチをONし、Gデータの時分割スイッチをOFFする時はBデータの時分割スイッチをONするが、Bデータの時分割スイッチをOFFする時は他の時分割スイッチを動作しない。その為、Bデータの書き込み終了時の条件だけ、他の条件と異なる事から、Bデータの特性がずれるという画質劣化が発生する。その本図10で示す様に、Bデータの書き込み終了時には、時分割スイッチの影響を無くす為に、Bデータの時分割スイッチをOFFする前に、ゲート線をOFFする為に時分割スイッチOFF時の電位変動の影響を回避する事が可能である。

【0039】

また、本発明第1の実施例においては、RGB時分割駆動の各選択期間は任意で設定可能であるが、図7、図9、図10に示す書き込み動作を行う場合には、第1選択期間の表示信号の書き込み画素が2倍もしくは3倍に増えるため書き込み不足が発生する事が予測される。この場合、第1選択期間を他選択期間と比べて長くする事で回避可能である。

【0040】

また、本発明第1の実施例においては、コモンは全画素共通としたが、各ライン共通とする構成、もしくは奇数ライン、偶数ラインで夫々共通とする構成としても本発明は適用可能である。

【0041】

また、本発明の第1の実施例においては、フレーム反転が前提していたが、ライン反転駆動においても、実現可能である。

【実施例2】

【0042】

次に、本発明の第2の実施例を図11、図12を用いて説明する。図11は、本発明第2の実施例における液晶表示装置の構成を示す図である。図11は、図1に示した構成と比較して、1101の時分割スイッチ郡において異なり、その他の構成に関しては図1と同じである。

【0043】

10

20

30

40

50

1101の時分割スイッチ郡に入力される表示制御信号郡と時分割スイッチと時分割スイッチ制御信号は、以下の通り構成する。まず表示信号線郡(S1、S2、S3、・・・)の中で、S1、S4、S7・・・の表示信号線郡に関しては、R画素に書き込みを行うドレイン線Dr1、Dr4、Dr7・・・の接続をON/OFFする時分割スイッチsw1a、sw4a、sw7a・・・は時分割スイッチ制御信号swaで制御する構成であり、G画素に書き込みを行うドレイン線Dr2、Dr5、Dr8・・・の接続をON/OFFする時分割スイッチsw2a、sw5a、sw7a・・・は時分割スイッチ制御信号swbで制御する構成であり、B画素に書き込みを行うドレイン線Dr3、Dr6、Dr9・・・の接続をON/OFFする時分割スイッチsw3a、sw6a、sw9a・・・は時分割スイッチ制御信号swcで制御する構成である。次に、表示信号線郡(S1、S2、S3、・・・)の中で、S2、S5、S8・・・の表示信号線郡に関しては、R画素に書き込みを行うドレイン線Dr1、Dr4、Dr7・・・の接続をON/OFFする時分割スイッチsw1a、sw4a、sw7a・・・は時分割スイッチ制御信号swcで制御する構成であり、G画素に書き込みを行うドレイン線Dr2、Dr5、Dr8・・・の接続をON/OFFする時分割スイッチsw2a、sw5a、sw7a・・・は時分割スイッチ制御信号swaで制御する構成であり、B画素に書き込みを行うドレイン線Dr3、Dr6、Dr9・・・の接続をON/OFFする時分割スイッチsw3a、sw6a、sw9a・・・は時分割スイッチ制御信号swbで制御する構成である。最後に表示信号線郡(S1、S2、S3、・・・)の中で、S3、S6、S9・・・の表示信号線郡に関しては、R画素に書き込みを行うドレイン線Dr1、Dr4、Dr7・・・の接続をON/OFFする時分割スイッチsw1a、sw4a、sw7a・・・は時分割スイッチ制御信号swbで制御する構成であり、G画素に書き込みを行うドレイン線Dr2、Dr5、Dr8・・・の接続をON/OFFする時分割スイッチsw2a、sw5a、sw7a・・・は時分割スイッチ制御信号swcで制御する構成であり、B画素に書き込みを行うドレイン線Dr3、Dr6、Dr9・・・の接続をON/OFFする時分割スイッチsw3a、sw6a、sw9a・・・は時分割スイッチ制御信号swaで制御する構成である。

10

20

30

40

50

【0044】

次に、図12を用いて本発明第2の実施例における1水平期間の表示信号書き込み動作について説明する。図12は、負極性の表示信号書き込み動作を行う垂直期間(Tf1m1)、正極性の表示信号書き込み動作を行う垂直期間(Tf1m2)、夫々において特定の1水平期間に着目してゲート選択状態で表示信号を書き込む場合を例として取り上げた本発明第2の実施例における電圧波形及びタイミングチャートを示したものである。図12におけるゲート操作電圧Gは、書き込み状態にある水平ラインのゲート電圧波形を示しており、ゲート選択期間は1水平期間以内である。本発明第2の実施例では、RGB時分割駆動の場合、ゲート走査電圧の立ち上がり時刻0とした場合に、1水平期間を、時刻0から時刻T1までを第1選択期間、時刻T1から時刻T2までを第2選択期間、時刻T2から時刻T3までを第3選択期間と、3つの期間に時分割する。ここで、時刻T1、T2、及びT3は、任意に設定可能である。但し、これらの時刻は $0 < T1 < T2 < T3$ の関係を満たす。

【0045】

本発明第2の実施例では、図12の制御信号波形で示す様に、負極性の表示信号書き込み動作を行う垂直期間(Tf1m1)においては、第1選択期間である時刻0から時刻T1の間では、時分割スイッチ制御信号の内のswaがHIGH電位でswb、swcはLOW電位となり、第2選択期間である時刻T1から時刻T2の間では、時分割スイッチ制御信号の内のswbがHIGH電位でswa、swcはLOW電位となり、第3選択期間である時刻T2から時刻T3の間では、時分割スイッチ制御信号の内のswcがHIGH電位でswa、swbはLOW電位となる。ここで、第1選択期間においては、図11で説明した様に、時分割スイッチ制御信号swaとR画素に書き込みを行うドレイン線Dr1、Dr4、Dr7・・・とを接続しているS1、S4、S7・・・の表示信号線郡に関してはRデータを出力し、時分割スイッチ制御信号swaとG画素に書き込みを行うドレ

イン線 D g 2、D g 5、D g 8・・・とを接続している S 2、S 5、S 8・・・の表示信号線郡に関しては G データを出力し、時分割スイッチ制御信号 s w a と B 画素に書き込みを行うドレイン線 D b 3、D b 6、D b 9・・・と接続している S 3、S 6、S 9・・・の表示信号線郡に関しては B データを出力する。また、第 2 選択期間においては、時分割スイッチ制御信号 s w b と G 画素に書き込みを行うドレイン線 D g 1、D g 4、D g 7・・・とを接続している S 1、S 4、S 7・・・の表示信号線郡に関しては G データを出力し、時分割スイッチ制御信号 s w b と B 画素に書き込みを行うドレイン線 D b 2、D b 5、D b 8・・・とを接続している S 2、S 5、S 8・・・の表示信号線郡に関しては B データを出力し、時分割スイッチ制御信号 s w a と R 画素に書き込みを行うドレイン線 D r 3、D r 6、D r 9・・・と接続している S 3、S 6、S 9・・・の表示信号線郡に関しては R データを出力する。また、第 3 選択期間においては、時分割スイッチ制御信号 s w c と B 画素に書き込みを行うドレイン線 D b 1、D b 4、D b 7・・・とを接続している S 1、S 4、S 7・・・の表示信号線郡に関しては B データを出力し、時分割スイッチ制御信号 s w c と R 画素に書き込みを行うドレイン線 D r 2、D r 5、D r 8・・・とを接続している S 2、S 5、S 8・・・の表示信号線郡に関しては R データを出力し、時分割スイッチ制御信号 s w c と G 画素に書き込みを行うドレイン線 D g 3、D g 6、D g 9・・・と接続している S 3、S 6、S 9・・・の表示信号線郡に関しては G データを出力する。

10

【 0 0 4 6 】

ここで、図 4 の表示画像の場合に本発明第 2 の実施例の効果を以下で説明する。図 4 のポイント A の画素を含むゲート線 G (a) では、6 4 階調のグレー背景と青色 (6 4、6 4、2 5 5) の B O X が存在する。この場合、T f l m 1 の期間においては S 1、S 4、S 7・・・の表示信号線郡に関しては第 3 選択期間においてコモン電位が下側に変動する様に作用し、S 2、S 5、S 8・・・の表示信号線郡に関しては、第 2 選択期間においてコモン電位が下側に変動する様に作用し、S 3、S 6、S 9・・・の表示信号線郡に関しては、第 1 選択期間においてコモン電位が下側に変動する様に作用する。この様に、コモン変動が発生するタイミングは、全表示信号線郡の 1 / 3 が第 1 選択期間に存在し、全表示信号線郡の 1 / 3 が第 2 選択期間に存在し、全表示信号線郡の 1 / 3 が第 3 選択期間に存在する為に、コモンの変動量が各選択期間に分散することが可能となる。また、T f l m 2 の期間においても同様に全表示信号線郡の 1 / 3 が第 1 選択期間に存在し、全表示信号線郡の 1 / 3 が第 2 選択期間に存在し、全表示信号線郡の 1 / 3 が第 3 選択期間に存在する為に、コモンの変動量が各選択期間に分散することが可能となる。

20

30

【 0 0 4 7 】

本発明の第 1 の実施例に示した様に、時分割スイッチを具備した液晶パネルの R G B 時分割駆動において、時分割でデータの書き込みを行う順番を RGB データの順番とする第 1 フレームと、BGR データの順番とする第 2 フレームで切り替えて駆動する。

【 0 0 4 8 】

また、本発明の第 2 の実施例に示した様に、時分割スイッチの制御信号線と R G B データの時分割スイッチの接続を、全表示信号線郡の 1 / 3 が第 1 選択期間に R データ (もしくは G、B データ) の書き込みを行い、全表示信号線郡の 1 / 3 が第 2 選択期間に R データ (もしくは G、B データ) の書き込みを行い、全表示信号線郡の 1 / 3 が第 3 選択期間に R データ (もしくは G、B データ) の書き込みを行う様に構成する。

40

【 0 0 4 9 】

以上の構成、及び駆動動作、タイミング動作を実施する事で、コモン電位の変動を抑制する、もしくは変動を分散する事で、表示輝度のズレによる画質劣化、つまり横スマアを回避することが期待できる。

【 0 0 5 0 】

また、R G B 時分割駆動を用いる事により、液晶パネル (時分割スイッチ) とソース信号生成回路との接続端子数を削減する事が可能となる。これにより、液晶パネルの高精細化、及び高解像度化が期待できる。更に、接続端子数が少なくなる事から製造歩留を向上

50

させることが可能となる。同時に、ソース信号生成回路の端子数を削減する事により、液晶表示装置自体の低コスト化が期待できる。

【産業上の利用可能性】

【0051】

本発明は、携帯電話向けの液晶表示装置に好適である。

【図面の簡単な説明】

【0052】

【図1】本発明第1の実施の形態に係わる、液晶表示装置の構成を示す図である。

【図2】本発明第1の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図3】本発明第1の実施の形態に係わる、電圧波形及びタイミングチャートである。

10

【図4】本発明第1の実施の形態に係わる、液晶パネルの表示画像である。

【図5】本発明第1の実施の形態に係わる、画素電極への表示信号書込みの模式図である。

【図6】従来RGB時分割駆動方式の形態に係わる、画素電極への表示信号書込みの模式図である。

【図7】本発明第1の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図8】本発明第1の実施の形態に係わる、液晶表示装置の構成を示す図である。

【図9】本発明第1の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図10】本発明第1の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図11】本発明第2の実施の形態に係わる、液晶表示装置の構成を示す図である。

20

【図12】本発明第2の実施の形態に係わる、電圧波形及びタイミングチャートである。

【符号の説明】

【0053】

101 ... ソース信号生成回路

102 ... 走査回路

103 ... 液晶パネル

104 ... 時分割スイッチ群

105 ... 時分割スイッチ制御信号

106 ... スイッチ素子

107 ... コモン信号

30

1001 ... ソース信号生成回路

1002 ... 走査回路

1003 ... 液晶パネル

1004 ... 時分割スイッチ群

1005 ... 時分割スイッチ制御信号

1006 ... スイッチ素子

1007 ... コモン信号

1101 ... ソース信号生成回路

1102 ... 走査回路

1103 ... 液晶パネル

40

1104 ... 時分割スイッチ群

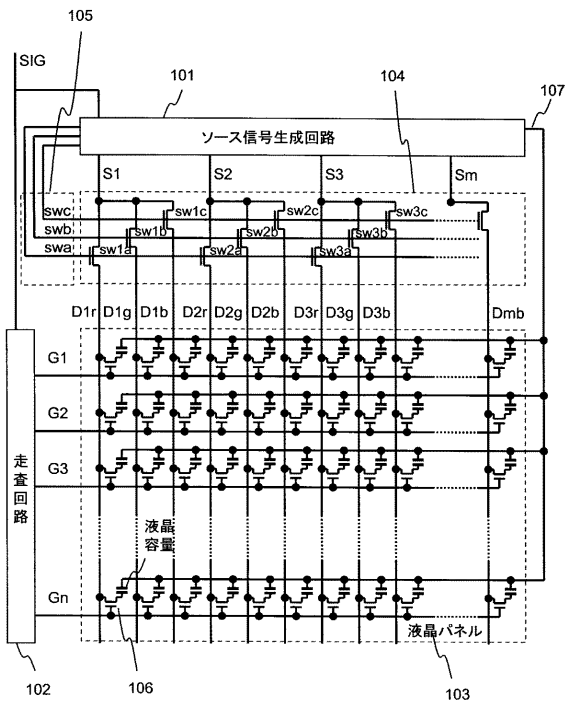
1105 ... 時分割スイッチ制御信号

1106 ... スイッチ素子

1107 ... コモン信号

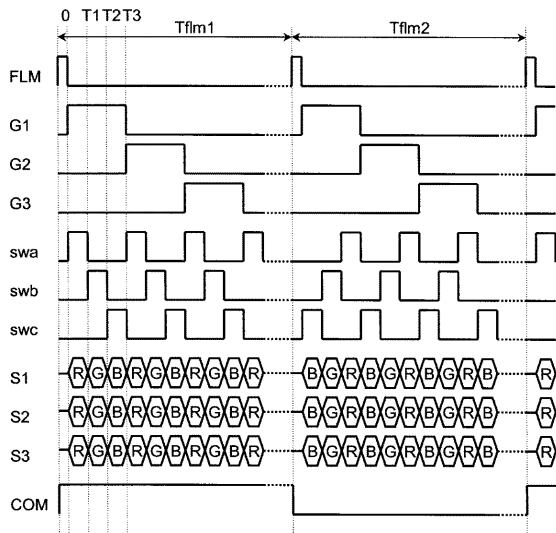
【 図 1 】

図1



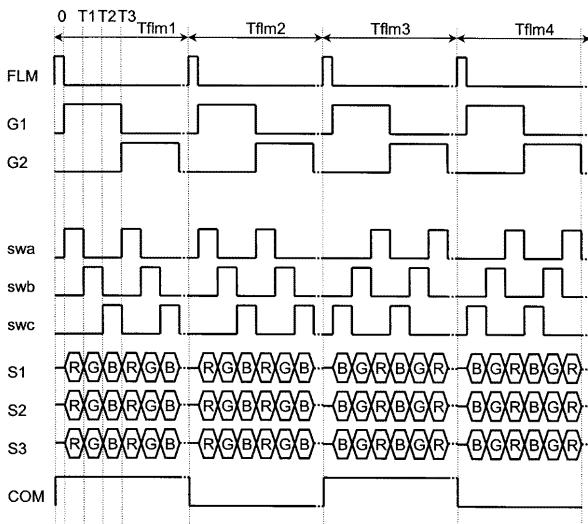
【 図 2 】

図2



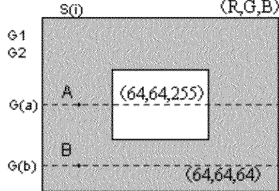
【 図 3 】

図3



【 図 4 】

図4



【 図 5 】

図5(a)

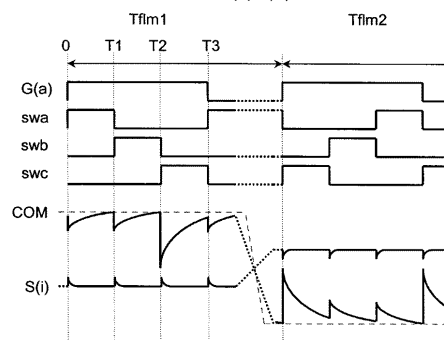
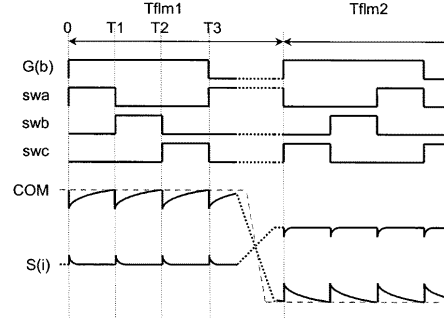
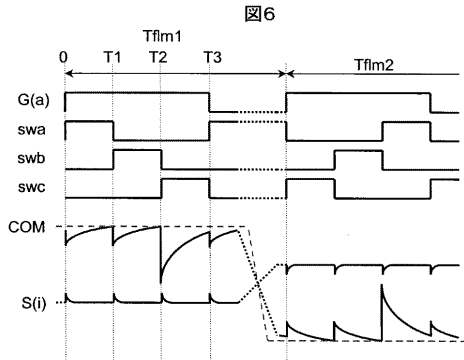


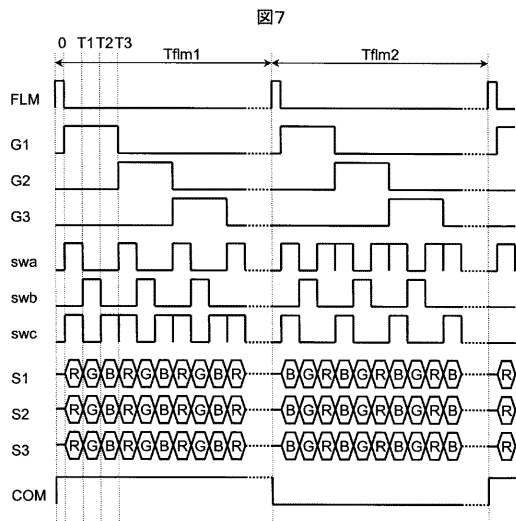
図5(b)



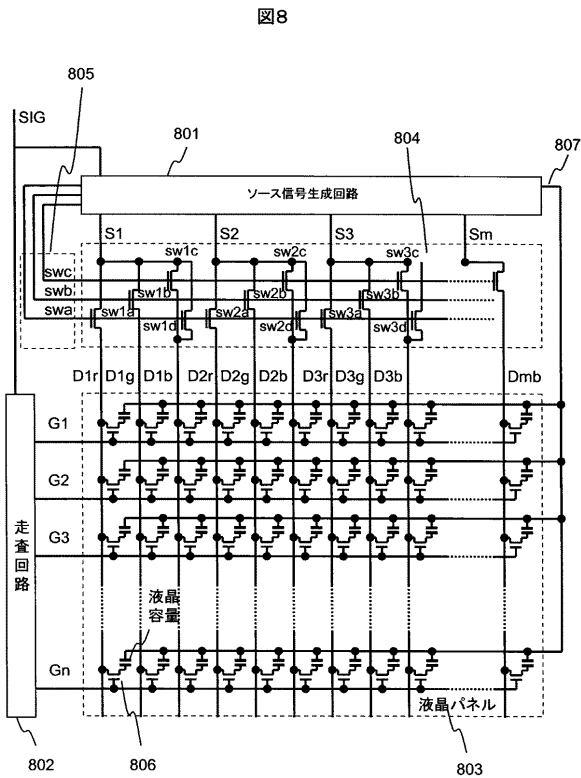
【 図 6 】



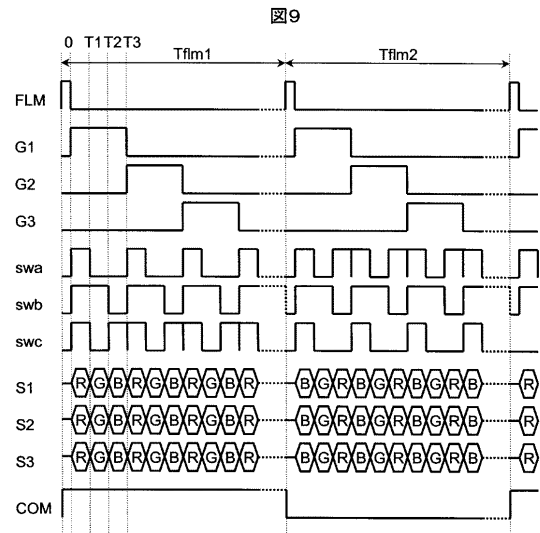
【 図 7 】



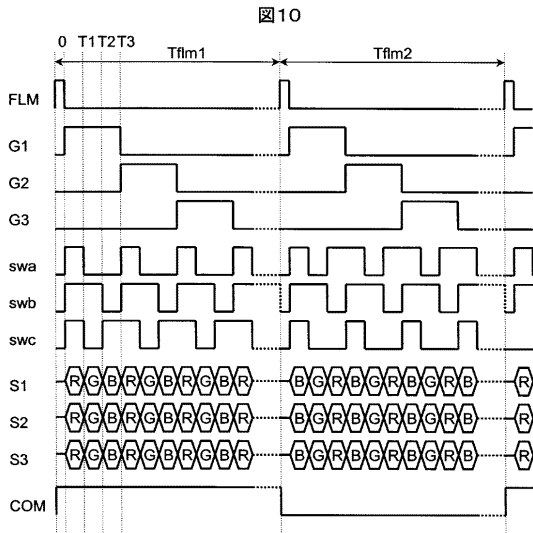
【 図 8 】



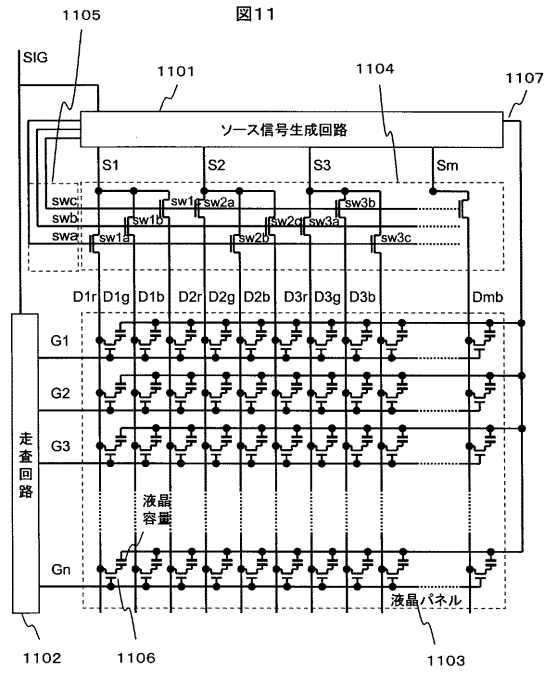
【 図 9 】



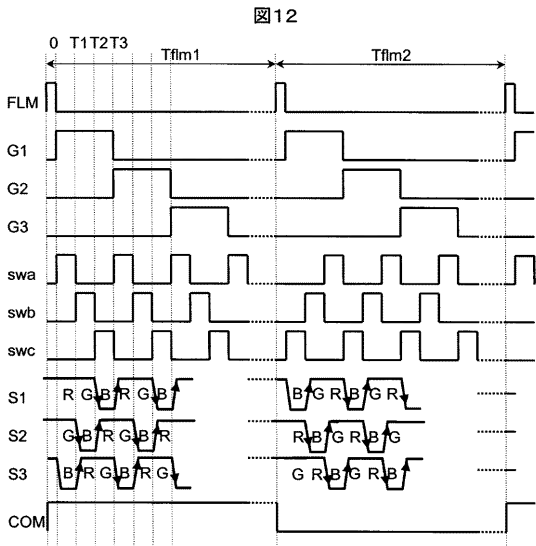
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 D	
	G 0 9 G 3/20 6 2 1 B	
	G 0 9 G 3/20 6 1 2 J	
	G 0 2 F 1/133 5 5 0	
	G 0 2 F 1/133 5 2 5	
	G 0 2 F 1/133 5 1 0	

(72)発明者 萬場 則夫
 神奈川県横浜市戸塚区吉田町2 9 2 番地 株式会社日立製作所組込みシステム基盤研究所内

(72)発明者 江里口 卓也
 神奈川県横浜市戸塚区吉田町2 9 2 番地 株式会社日立製作所組込みシステム基盤研究所内

(72)発明者 古橋 勉
 千葉県茂原市早野3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 岩崎 伸一
 千葉県茂原市早野3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H093 NA16 NA32 NA33 NA43 NA53 NA62 NC13 NC14 NC16 NC22
 NC23 NC26 NC34 ND12 ND17 ND24 ND35 ND40 NE06
 5C006 AA22 AC21 AC26 AC28 AF22 AF43 AF44 AF71 BB16 BC11
 BC16 BC23 BF24 FA01 FA16 FA22 FA41 FA42 FA51
 5C080 AA10 BB06 CC03 DD05 DD22 DD23 DD27 EE29 EE30 FF11
 JJ01 JJ02 JJ03 JJ04