

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/28

(45) 공고일자 1999년03월20일

(11) 등록번호 특0184076

(24) 등록일자 1998년12월17일

(21) 출원번호 특1995-044249
(22) 출원일자 1995년11월28일

(65) 공개번호 특1997-030716
(43) 공개일자 1997년06월26일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지

(72) 발명자 정도수
경기도 수원시 팔달구 매탄 4동 삼성1차 아파트 2동 411호
안민철
경기도 수원시 팔달구 매탄1동 주공아파트 42동 306호
안승호
경기도 수원시 장안구 정자동 동신아파트 210동 808호
정현조
경기도 평택시 지산동 1094번지 건영아파트 108동 306호
최기원
경기도 수원시 팔달구 우만동 136-18번지 창원빌라 가동 402호

(74) 대리인 윤동열, 이선희

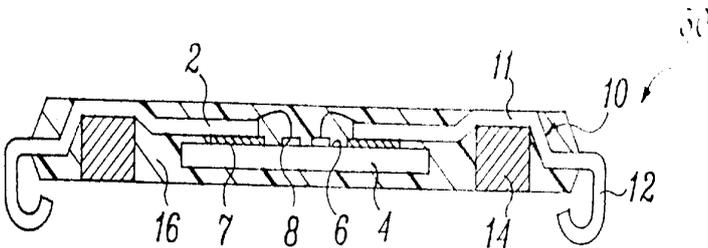
심사관 : 유기혁

(54) 상하 접속 수단이 패키지 내부에 형성되어 있는 3차원 적층형 패키지

요약

본 발명은 비용의 증가나 복잡한 공정의 추가 없이 간단하게 반도체 소자들간의 수직 접속이 이루어지는 복수의 개별 반도체 소자가 z축 방향으로 적층되어 있는 3차원 적층형 (패키지를 제공하기 위한 것으로서, 상기 개별 반도체 소자 각각은 1) 반도체 칩과, 2) 상기 반도체 칩을 봉지하는 패키지 몸체와, 3) 상기 반도체 칩과 전기적으로 연결되며 상기 패키지 몸체 내부에 포함되는 내부 리드와 상기 내부 리드와 일체형으로 형성되어 있는 외부 리드 및 상기 내부 리드와 외부 리드 사이에 위치하며 상기 내부, 외부 리드와 일체형으로 형성되어 있고 상기 패키지 몸체 외부로 일부 노출되는 결합 리드를 갖는 리드 프레임 및 4) 상기 결합 리드에 부착되며 상기 결합 리드가 노출되는 방향과 반대 방향으로 패키지 몸체 외부로 노출되는 전기 전도성 접속 수단을 구비하여서, 위쪽에 있는 반도체 소자와 아래쪽에 있는 반도체 소자 간의 전기적인 연결이 상기 패키지 몸체 외부로 노출된 결합 리드와 상기 전기 전도성 접속 수단에 의해 이루어지며, 상기 외부 리드는 상기 복수의 반도체 소자 중 맨 아래에 위치하는 반도체 소자의 외부 리드만 패키지 몸체 외부로 돌출되어 절곡 형성된 것을 특징으로 하는 3차원 적층형 패키지가 개시되어 있다.

대표도



명세서

[발명의 명칭]

상하 접속 수단이 패키지 내부에 형성되어 있는 3차원 적층형 패키지

[도면의 간단한 설명]

제 1a도 및 제 1b도는 본 발명에 따른 3차원 적층형 패키지에 사용하기에 적합한 구조를 갖는 개별 패키지의 정면 단면도 및 평면도.

제2a도 내지 제2f도는 본 발명에 따른 수직 접속 싱크를 갖는 리드 프레임의 제조 공정의 흐름도.

제3a도 및 제 3b 도는 본 발명에 따른 수직 접속 싱크를 갖는 면 실장형 및 핀 삽입형 개별 패키지의 정면 단면도.

제4도는 본 발명에 따른 수직 접속 싱크를 갖는 개별 반도체 패키지 9개를 적층한 3차원 적층형 패키지의 단면도

제5도는 본 발명에 따라 3차원으로 적층된 4M×9 메모리 모듈의 블록 회로도.

제6도는 제5도의 4M×9 메모리 모듈을 구현하기 위한 3차원 적층형 패키지의 단면도.

제7a도 및 제7b도는 본 발명에 따른 캐패시터를 실장한 개별 반도체 패키지의 정면 단면도 및 평면도.

제8a도 및 제8b도는 본 발명에 따른 캐패시터를 실장한 또 다른 실시예의 3차원 적층형 패키지의 정면 단면도 및 평면도.

제9a도 및 제9b도는 본 발명에 따른 3차원 적층형 패키지를 테스트하기 위해 프루브(30 ; probe)를 연결한 것을 나타내는 단면도 및 평면도.

제10도는 본 발명에 따른 솔더 볼을 이용한 볼 그리드 어레이 3차원 적층형 패키지의 일실시예의 단면도.

제11도는 본 발명에 따른 솔더 볼을 이용한 볼 그리드 어레이 3차원 적층형 패키지의 다른 실시예의 단면도.

제12도는 본 발명에 따른 솔더 볼을 이용한 볼 그리드 어레이 3차원 적층형 패키지의 또 다른 실시예의 단면도.

* 도면의 주요부분에 대한 부호의 설명

2 : 내부 리드	4 : 반도체 칩
6 : 칩의 상부면	7 : 접착제
8 : 본딩패드	10 : 리드 프레임 리드
11 : 결합 리드	12 : 외부 리드
14 : 수직 접속 싱크	16 : 패키지 몸체
20, 22 : 캐패시터	30 : 프루브
40 : 솔더 볼	42 : 솔더 레지스트
44 : 회로 기판	46 : 전도성 패턴
50 : 개별 반도체 패키지	

[발명의 상세한 설명]

[기술분야]

본 발명은 복수의 반도체 칩 패키지가 z축 방향으로 배열되어 있는 3차원 적층형 패키지에 관한 것으로서, 보다 구체적으로는 개별 반도체 소자의 내부 리드와 외부 리드 사이의 리드 부분을 반도체 소자의 상부면으로 노출되게 하고, 상기 리드 부분 아래에 위치한 반도체 소자의 몸체 외부로 돌출되어 절곡·형성된 외부 리드에 의해 이루어지는 3차원 적층형 패키지에 관한 것이다.

[발명의 배경]

현재 대부분의 VLSI 집적회로들은 금속 리드를 갖는 플라스틱이나 세라믹으로 패키지되고 패키지 외부로 돌출된 금속 리드는 이내 회로 기판에 솔더링(soldering)되거나 소켓(socket)에 삽입된다. 패키지에는 하나의 집적회로가 들어 있는 것이 보통이지만 여러 집적회로를 하나의 패키지로 조립할 수도 있다. 그런데 이런 패키지 조립 기술을 사용하더라도 회로의 밀도는 그다지 증가하지 못하는데 그 이유는 플라스틱 패키지나 세라믹 패키지는 이것을 인쇄 회로 기판에 실장할 때, 특히 소켓을 사용하는 경우에 많은 실장면을 차지하기 때문이다.

또한 인쇄 회로 기판은 다른 전자 부품들과 마찬가지로 크기가 점점 더 작아지고 고밀도화하여 간다. 따라서 실장 면적이 제한되어 있거나 소자 간의 신호 전달 지연을 없애기 위해 소자들이 보다 가깝게 위치해야 하는 경우에 적용하기 위해서는 보다 고밀도의 패키지 기술이 요구된다. 이러한 패키지 기술 중에는 세라믹 기판을 사용하는 것이 있는데, 이 기판의 실장면에 패키지되지 않은 여러 개의 집적회로 칩들을 부착하고 와이어 본딩하거나 솔더 범퍼를 사용하여 기판의 실장면에 형성되어 있는 금속 도선에 집적회로 칩을 바로 부착시킨다. 그러나 이러한 멀티 칩 모듈(MCM ; Multi Chip Module) 기술은 몇 가지 제한이 있다. 즉, 하나의 세라믹 기판에서 여러 집적회로들을 전기적으로 연결하려면 서로 교차하지 않는 배선 형태로 금속 도선을 도포 형성하여야 하지만 대부분의 기판은 미세한 금속 도선의 배선이 어렵다. 그래서 다층 구조를 갖는 기판을 사용해야 하는데, 이것은 값이 비싸고 열 방출 능력이 일정 수준까지로 제한된다는 단점이 있다. 그리고 이러한 멀티 칩 모듈에서는 패키지되지 않은 칩들을 사용하기 때문에 모듈 조립을 하기 전에 번-인(burn-in)에 의한 수명 검사가 어렵고 기판 실장 후에는 불량 칩의 수리가 또한 어렵다.

그러나 이러한 단점에도 불구하고 멀티 칩 모듈의 등장은 칩들간의 시간 지연이 줄어 들고, 전기적 잡음이나 누화(crosstalk)가 감소하며 소자의 전체 크기가 작아진다는 여러 장점들을 제공한다. 그리고 사용되는 칩들은 크기가 더 큰 것도 가능하며 단위 모듈 당 I/O(입출력)리드의 수는 크게 증가한다는 이점이

있다.

소자 전체의 크기 감소라는 측면과, 열 방출 능력의 제한이나 번-인 검사의 어려움을 극복하고자 하는 측면에서 패키지지 않은 베어 칩 (bare chip)을 사용하는 대신에 패키지된 개별 집적회로 소자를 적층하는 적층형 패키지가 등장하고 있다. 이러한 적층형 패키지에서는 개별 집적회로 패키지들을 XY 평면상에서 접속하는 것이 아니라 Z축 방향으로 접속하는데, 이러한 3차원 적층형 패키지는 미국특허 제 5,138,438 호, 호 5,172,303 호, 제 5,198,888 호 및 제 4,763,188 호에 개시되어 있는데, 개별 소자의 실장 밀도를 높이고 소자들 간의 접속 밀도를 높일 수 있기 때문에, 속도와 고밀도가 중요한 슈퍼 컴퓨터 나 접근 시간 (access time) 및 고밀도가 요구되는 대형 캐시 메모리 등에 응용된다.

3차원 적층형 패키지에서는 2차원 패키지에 비해 수직 방향 접속이나 열 방출에서 지속적인 어려움이 있는데, 이것을 해결하려고 하면 비용의 증가나 공정의 복잡화 등을 수반하게 된다. 먼저 수직 접속의 문제점은 기존 단위 패키지 제조 공정 이후 또 다른 여러 공정을 추가하거나 기존 공정과는 다른 단위 패키지 제조 공정을 만들어야 한다.

그리고 열 방출 문제에 있어서는 히트 싱크의 부착이나 그 외의 냉각 장치를 설치하는 방안을 강구해야 하는데 이에 따른 비용이 많이 들거나 부피가 증가하므로 실장 밀도가 낮아진다.

[발명의 요약]

따라서 본 발명의 목적은 비용의 증가나 복잡한 공정의 추가 없이 간단하게 수직 접속이 이루어지는 3차원 적층형 패키지를 제공하는 것이다.

본 발명의 또 다른 목적은 기존의 개별 반도체 칩 패키지의 제조 공정에 사용되던 장치와 방법을 그대로 이용함으로써 생산 비용이 절감되고 적층되는 구조가 안정되어 많은 수의 패키지를 적층할 수 있는 3차원 패키지를 제공하는 것이다.

본 발명의 또 다른 목적은 열 방출 특성이 좋은 3차원 패키지를 제공하는 것이다.

이러한 목적을 달성하기 위해 복수의 개별 반도체 소자가 z축 방향으로 적층되어 있는 3차원 적층형 패키지에 있어서, 상기 개별 반도체 소자 각각은 1) 반도체 칩과, 2) 상기 반도체 칩을 봉지하는 패키지 몸체와, 3) 상기 반도체 칩과 연결되며 상기 패키지 몸체 내부에 포함되는 내부 리드와, 상기 내부 리드와 일체형으로 형성되어 있는 외부 리드 및 상기 내부 리드와 외부 리드 사이에 존재하며 상기 패키지 몸체 외부로 일부 노출되는 결합 리드를 갖는 리드 프레임 및 4) 상기 결합 리드에 부착되며 상기 결합 리드가 노출되는 방향과 반대 방향에서 패키지 몸체 외부로 노출되는 수직 접속 싱크를 구비하여서, 위쪽에 있는 반도체 소자와 아래쪽에 있는 반도체 소자 간의 전기적인 연결이 상기 패키지 몸체 외부로 노출된 결합 리드와 상기 수직 접속 싱크에 의해 이루어지며 맨 아래에 위치하는 패키지는 몸체 외부로 돌출되어 외부 회로와 접속되는 것을 특징으로 하는 3차원 적층형 패키지가 제공된다.

[실시예]

이하 도면을 참조로 본 발명을 상세하게 설명하고자 한다.

제1a도 및 제1b도는 본 발명에 따른 3차원 적층형 패키지에 사용하기에 적합한 구조를 갖는 개별 패키지의 정면 단면도 및 평면도이다. 여기에 도시한 것은 내부 리드(2)가 반도체 칩(4)의 상부 표면(6) 위로 올라가서 접착제(7)에 의해 부착되는 LOC(Lead On Chip) 구조를 갖는 패키지이다. LOC 패키지에서는 칩의 본딩 패드(8)가 중앙에 배열되어 있고, 내부 리드(2)가 칩 상부면(6)의 중앙 부분까지 올라오기 때문에 본딩 패드가 모서리에 배열되어 있는 일반적인 구조를 갖는 패키지에 비해 전체 면적을 줄일 수 있고 전기적 연결 길이가 짧기 때문에 연결 선의 인덕턴스 성분에 의한 노이즈를 줄일 수 있다는 장점이 있다.

리드 프레임(10)은 내부 리드(2), 결합 리드(11), 외부 리드(12) 이루어져 있으며, 반도체 칩(4)을 외부와 전기적으로 연결하기 위한 매개체로서 구리 합금이나 철계 합금 등의 도전성 재료로 만들어진다. 외부 리드(12)는 패키지를 외부 회로 기판(도시 아니함)에 실장하기 위한 것으로서 적절한 형태, 예컨대 J자 형태로 절곡되어 있다.

제1도의 패키지에서는 리드 프레임(10)의 결합 리드(11)가 굴곡 형성되어 있고, 상하 접속 수단, 즉 수직 접속 싱크(14 ; vertical interconnection sink)가 결합 리드(11)에 부착되어 있다. 리드(11)는 제1도의 패키지를 수직 방향으로 여러 개 적층할 때 위쪽 패키지의 수직 접속 싱크(14)와 접촉하여 전기적으로, 기계적으로 결합되기 때문에 결합 리드라고 한다. 여기서 한가지 주의할 것은 패키지의 몸체(16)를 형성할 때 결합리드(11)는 패키지의 위쪽으로 노출되도록 하고, 수직 접속 싱크(14)는 패키지의 아래쪽으로 노출되도록 해야 한다는 것이다. 예를 들어, 에폭시 몰딩 컴파운드 (EMC ; Epoxy Molding Compound)를 고온·고압 하에서 주입하여 패키지 몸체(16)를 형성하는 트랜스퍼 몰딩 공정을 사용하는 경우에는 절곡된 결합 리드(11)의 높이와 수직 접속 싱크(14)의 크기에 따라 상부 금형과 하부 금형에 의해 형성되는 캐비티(cavity)의 크기를 적절하게 조절하여 결합 리드(11)와 수직 접속 싱크(14)가 외부로 노출되도록 하면 된다.

수직 접속 싱크(14)는 리드 프레임(10)과 동일한 재질이나 또는 전기 전도성이 더 우수한 재료를 사용하는데, 그 제조 공정은 제2도를 참조로 설명한다.

제2a도 내지 제2f도는 본 발명에 따른 수직 접속 싱크를 갖는 리드 프레임의 제조 공정의 흐름도이다. 먼저 구리 합금이나 철계 합금의 리드 프레임(10)을 준비한다(제2a도). 식각(etching)이나 스탬핑(stamping) 기술을 사용하여 리드 프레임(10)에 제1b도 도시한 바와 같은 리드 패턴이 형성되도록 한다(제2b도). 리드 프레임(10)의 중간 부분을 절곡하여 결합 리드(11)를 형성한다(제2c도). 결합 리드(11)의 일면에는 리드 프레임(10)과 동일 재료 또는 이보다 전기 전도성이 더 좋은 재료로 이루어진 수직 접속 싱크(14)를 제 2d도에 도시한 바와 같이 부착한다. 수직 접속 싱크(14)와 결합 리드(11)의 부착은 높은 온도와 압력하에서 순간적으로 눌러주는 열 압착 방법을 사용할 수도 있고, 전기 전도성 접착제를 사용할 수도 있다. 결합 리드와 결합 리드 사이의 부분(14a)은 적층된 패키지에서 필요 없는 부분이고 리드 간의

전기적 연결을 피하기 위해 제거해야 하는데, 펀칭 (punching) 법으로 절단 제거한다(제2e도).

다음 제2f도에서 수직 접속 싱크(14)가 결합 리드(11)에 제대로 부착되어 있는지 등을 검사하는 단계를 거치면 수직 접속 싱크(14)가 부착된 리드 프레임(10)의 제조가 완료된다.

LOC 패키지에 사용되는 폴리이미드 테이프나 금선 연결을 위한 은 도포 (Agplating) 등은 제2b도의 식각이나 스템핑 단계에서 형성하거나 또는 리드 프레임의 제조가 끝난 다음에 형성한다.

이러한 공정을 거쳐 제조된 리드 프레임(10)을 제1도에 나타난 것과 같이 반도체 칩(4) 위에 올려 놓고 몰딩하여 패키지 몸체(16)를 형성한 다음 실장하고자 하는 회로 기판에 따라 적절하게 외부 리드(12)를 절곡 형성하면 본 발명에 따른 3차원 적층형 패키지에 사용하기에 적합한 개별 반도체 패키지(50)의 제조가 완성된다.

외부 리드를 제1도에 나타난 것처럼 J자 형태로 절곡하면 SOJ, TSOJ, MSOJ, PLCC 형의 패키지 제품으로 사용되고, 제3a도에 도시한 것처럼 갈매기 날개 모양 (gull wing)으로 절곡하면 SOP, TSOP, QFP 형의 패키지 제품으로 사용되며, 또한 제 3b 도에 도시한 것처럼 절곡하여 기판에 삽입 실장되도록 하면 DIP, SIP, ZIP 등의 핀 삽입형 패키지 제품이 된다.

제4도는 본 발명에 따른 수직 접속 싱크를 갖는 개별 반도체 패키지 9개를 적층한 3차원 적층형 패키지의 단면도이다. 개별 반도체 패키지(50)를 제조할 때 몰딩에 의해 패키지 몸체(16)를 형성한 다음에는 외부 리드(12)를 표면 처리하는데, 보통 주석-납 합금을 전기 도금법으로 도금하는 것이 일반적이다. 그런데, 본 발명에 사용되는 개별 반도체 패키지(50)는 외부 리드(12)와 결합 리드(11) 및 수직 접속 싱크(14)가 외부로 노출되어 있기 때문에 결합 리드(11)와 수직 접속 싱크(14)의 패키지 몸체(16) 외부로 노출된 부분에도 외부 리드 도금 공정 중에 주석-납 합금이 도금되어 진다. 따라서 개별 반도체 패키지(50)를 Z축 방향으로 실장한 다음에 노출된 결합 리드 부분에 솔더 크림(solder cream)을 바르고, 약 180°C 이상의 온도에서 솔더 리플로우 공정을 하면 상하 결합 리드(11)와 수직 접속 싱크(14)가 전기적으로 연결된다.

이 솔더 결합부의 견고성을 향상시키기 위하여 적층, 접촉되는 부위에 또 다른 솔더 페이스트(solder paste)등으로 스크린 도포하여 리플로우 접착을 할 수 있다. 또한 보다 견고하고 상하 패키지 간의 기포 배출구(air path)를 제공하기 위하여 패키지 상부 결합 리드 부위 및 하부 수직 접속 싱크 부위를 패키지 몸체의 표면보다 연직 방향으로 돌출되도록 할 수 있으면 이는 몰딩 금형 가공으로 실현이 가능하다.

따라서 본 발명에서는 종래의 절곡 형성된 외부 리드끼리 접착이 이루어지기 때문에 발생했던 솔더링의 불량이나 전기적인 단락의 문제가 생기지 않는다. 이러한 종래의 문제점은 다핀화로 인해 리드와 리드 사이의 간격이 좁아지고, 패키지의 휨 또는 리드의 동일 평면성이 나빠지는 경우에 더 심하게 발생할 것이다. 또한 제4도에 도시한 것처럼 9개의 개별 반도체 패키지를 적층하고자 하는 경우에 맨 아래에 있는 패키지의 외부 리드에 대해서만 절곡 공정을 진행하면 되고 나머지 8개의 패키지에 대해서는 절곡 공정이 필요 없고 외부 리드의 절단 공정만 하면 된다. 그 결과 공정이 단순하게 되고 그 만큼 불량이 발생할 원인이 줄어들며, 가격면에서도 많은 이점이 있다. 맨 아래쪽의 패키지의 외부 리드는 사용하고자 하는 용도에 맞게 면 실장형 (J자 형태 또는 갈매기 날개 모양) 또는 핀 삽입형으로 적층하면 된다.

제5도는 본 발명에 따라 3차원으로 적층된 4M×9 메모리 모듈의 블록 회로도이다. 4M DRAM 반도체 메모리 소자 9개 (M1 - M9)를 적층하는데, 각각의 메모리 소자는 한번에 하나의 데이터가 나오는 4M×1 메모리 소자이다. 메모리 소자를 제어하기 위한 신호 (RAS(Row Address Strobe), CAS(Column Address Strobe), OE (Output Enable), W(Write)) 들과 메모리 셀을 지정하기 위한 번지 신호 (A0 - A10)신호들은 모두 공통으로 접속된다. 각 메모리 소자의 입/출력 단자 (DQ)는 각각 하나의 모듈 입/출력 단자가 되기 때문에 전체 입/출력의 수는 DQ0 -DQ8까지 9개가 된다.

제6도는 제5도의 4M×9 메모리 모듈을 구현하기 위한 3차원 적층형 패키지의 단면도이다. 앞에서 설명한 것처럼 제어 신호, 전원 신호, 번지 신호들은 공통 핀을 통해 각 반도체 소자 M1 - M9에 공급되기 때문에 이 신호 단자에 해당하는 리드는 반도체 칩의 본딩 패드에 모두 와이어 본딩될 것이다. 그러나 데이터 입출력 단자인 DQ 단자는 각각의 메모리 소자와 개별적으로 연결되어야 한다. 예컨대, M1 메모리 소자의 DQ 단자는 맨 아래쪽에 있는 메모리 소자 M9의 외부 리드 DQ0을 통해 외부 회로 기판에 연결되어야 한다. 따라서 M1 메모리 소자의 DQ 단자와 대응하는 리드는 와이어에 의해 칩의 본딩 패드에 연결되고, 나머지 8개의 메모리 소자 M2 - M9의 리드에는 본딩이 되어서는 안된다 (N.C. ; No Connection). M1 메모리 소자의 입출력 DQ0은 결합 리드(11)와 수직 실장 싱크(14)에 의해 M9 메모리 소자의 외부 리드까지 연결되고 DQ0 단자와 접속된다.

마찬가지로 메모리 모듈의 DQ1 단자는 M2 메모리 소자의 DQ 단자에만 연결되어야 하므로 M1, M3 - M8 메모리 소자의 DQ1에 해당하는 리드는 N.C.이다. 나머지 DQ2 - DQ8 단자들에 대해서도 앞의 설명과 동일하게 구성되어 있다. 결국 하나의 메모리 소자에는 모두 최소한 8개의 N.C. 리드가 있어야 한다.

제7a도 및 제7b도는 본 발명에 따른 캐패시터를 실장한 개별 반도체 패키지의 정면 단면도 및 평면도이다. 도면에 나타나 있는 바와 같이, 전원 공급 단자 Vcc와 접지 전원 Vss 사이에 캐패시터(20)를 형성하여 반도체 소자의 전원 노이즈의 증가를 효과적으로 억제할 수 있다. 이러한 전원 노이즈는 반도체 소자가 고속으로 동작할 때 즉, 동작 주파수가 높아질 수록 더욱 심해지고, 입출력 핀의 수가 많은 다핀 패키지의 경우 여러 개의 입출력이 동시에 논리 0 데이터를 출력하는 경우에 심해지므로 다핀 고속 반도체 소자에서는 반드시 고려하여야 하는 사항이다.

제8a도 및 제8b도는 발명에 따른 캐패시터를 실장한 3차원 적층형 패키지의 정면 단면도 및 평면도이다. 여기에 도시한 것은 3차원 적층형 패키지의 최상면 또는 최하면에 노출된 Vcc 및 Vss 리드 사이에 캐패시터(22)를 접착한 것이다.

제9a도 및 제9b도는 본 발명에 따른 3차원 적층형 패키지를 테스트하기 위해 프루브(30 ; probe)를 연결한 것을 나타내는 단면도 및 평면도이다. 적층형 패키지에서 개별 반도체 패키지(50)들은 이미 전기적인 특성 검사를 완료한 것이지만 적층 패키지를 실현하는 과정에서 불량이 발생할 수도 있고, 적층된 패키지가 전기적으로 완벽한 동작을 테스트하는 것이 필요하다. 소정의 검사용 회로가 형성되어 있는 검사 기판

(도시 아니함)과 연결되어 있는 프루브(30)를 패키지의 상면에 노출되어 있는 결합 리드 부분(11)에 연결하여 테스트 신호를 공급한 다음, 적층형 패키지에서 나오는 출력 값을 검토하여 양품/불량 여부를 판단한다. 따라서 본 발명의 구조를 갖는 3차원 적층형 패키지에서는 테스트를 할 때 프루브(30)가 외부 리드(12)와는 접촉하지 않기 때문에 리드의 손상이나 변형 등의 불량은 발생하지 않으며, 별도의 테스트 지그(zig)가 필요 없으며 소켓을 만들기가 용이하다는 이점이 있다.

제10도 내지 제12도는 여러 개의 솔더 볼(solder balls)을 이용한 볼 그리드 어레이 3차원 적층형 패키지의 실시예를 나타내는 단면도이다.

제10도에서 개별 반도체 소자(50a, 50b, 50c, 50d)를 형성한 다음, 패키지의 밑면에 솔더 레지스트(42 ; solder resist)를 도포하는데 밑면에 노출되어 있는 수직 접속 싱크(14)를 제외하고 도포한다. 그 다음에 솔더 볼(40)을 올려 놓고 리플로우를 하면 솔더 볼(40)이 수직 접속 싱크(14)에 부착된다. 이와 같은 구조는 개별 반도체 패키지의 핀 수가 많아져서 리드와 리드 사이의 간격, 즉 리드 피치가 작아져서 솔더 볼을 사용하지 않고 적층할 때 발생할 수 있는 리드와 리드 간의 전기적인 단락에 의한 불량을 방지할 수 있다. 비록 3차원 적층형 패키지의 총 높이는 (솔더 볼의 지름 × 적층되는 소자의 수)만큼 더 높아지겠지만, 초다핀 소자에서 리드간의 단락을 방지할 수 있고 또한 개별 반도체 소자 간에 공간이 생기기 때문에 열 방출 특성이 그 만큼 좋아진다는 장점이 있으므로 제4도와 같이 수직 접속 싱크와 결합 리드가 직접 접촉하도록 실장할 것인지 솔더 볼을 사용하여 적층할 것인지는 설계자의 선택 사항이다.

제11도에 나타난 것은 3차원 적층형 패키지의 맨 아래에 위치한 반도체 소자에 복수의 전도성 패턴(46)이 형성되어 있는 회로 기판(44)을 부착하고 기판 밑면에 솔더 레지스트(42)를 도포한 다음 솔더 볼(40)을 부착한 적층 패키지이다. 솔더 볼(40)은 전도성 패턴(46)을 통해 수직 접속 싱크(14)와 전기적으로 연결되어 있다. 이 구조는 솔더 볼(40)이 어레이 형태로 배열되어 있기 때문에 다핀 패키지인 경우 제10도에 도시한 것보다 외부 실장 회로 기판에서 리드 피치를 크게 고려하지 않고 쉽게 실장할 수 있다는 장점이 있다.

제12도에 나타난 것은 제10도와 관련하여 설명한 바와 같이 결합 리드(11)와 수직 접속 싱크(14)를 솔더링 할 때 결합 리드(11)에 발라진 솔더 크림에 의해 리드와 리드가 전기적으로 단락되는 불량을 방지할 수 있도록 수직 접속 싱크(14)와 결합 리드(11)가 솔더 볼(40)에 의해 연결된 것이다. 한편, 제10도와는 달리 맨 아래쪽에 있는 반도체 소자는 외부 리드(12)가 절곡 형성되어 있는데, 이것은 J형 패키지를 실장하는 종래의 구조의 회로 기판과의 호환성을 고려한 것이다.

이상 설명한 바와 같이 본 발명은 필라스틱 패키지의 거의 모든 형태에 적용될 수 있으며 간단한 리드 프레임의 형상 변경만으로 기존 패키지 제조 공정 및 장비와 방법을 그대로 사용할 수 있으며 특히 적층된 최종 구조가 안정되고 뛰어나 많은 수의 패키지 적층이 가능하고 또한 열 방출 특성이 우수하다는 장점이 있다.

즉, 기존의 기술은 패키화된 개별 반도체 소자를 적층할 경우 소자 밖으로 돌출된 내부 칩의 리드나 그 밖의 도선들을 접속하기 위하여 별도의 연결 수단을 사용하던가 칩 적층에서와 같이 외부로 금속 도선 공정 (metallization) 등의 방법을 사용하여 연결 하였지만, 본 발명에서는 패키지 몸체에 봉지되던 리드의 일부를 몸체 외부로 돌출시켜 상하 적층된 반도체 소자를 전기적으로 결합하는 결합 리드로 사용함으로써 보다 간단하게 적층된 소자들의 연결이 가능하게 된다.

(57) 청구의 범위

청구항 1

복수의 개별반도체 소자가 z축 방향으로 적층되어 있는 3차원 적층형 패키지에 있어서, 상기 개별반도체 소자 각각은 1) 반도체 칩과, 2) 상기 반도체 칩을 봉지하는 패키지 몸체와, 3) 상기 반도체 칩과 전기적으로 연결되는 리드를 갖는 리드프레임으로서, 상기 리드는 상기 패키지 몸체 내부에 포함되는 내부 리드와, 패키지 몸체 외부로 돌출되어 외부 회로소자와 연결되는 외부 리드와, 상기 내부 리드와 외부 리드 사이에 위치하고 패키지 몸체내부에 포함되며 상기 패키지 몸체의 상부로 일부 노출되는 결합 리드가 일체형으로 구성되고, 4) 상기 결합 리드에, 패키지 몸체의 하부로 노출되도록 부착되는 전기 전도성 접속 수단으로 구성되며, 상기와 같이 구성되는 개별 반도체 소자를 적층할 때에 상부에 위치하는 반도체 소자의 결합 리드와 하부에 위치하는 반도체 소자의 결합 리드가 상기 전기 전도성 접속 수단을 통해 접속되며, 이렇게 적층된 패키지와 외부 회로 소자간의 전기적 연결은 맨 아래에 위치하는 개별 반도체 소자의 외부 리드에 의해 이루어지는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 2

제1항에 있어서, 상기 전기 전도성 접속 수단은 상기 리드프레임과 동일한 재질로 이루어진 것을 특징으로 하는 3차원 적층형 패키지.

청구항 3

제2항에 있어서, 상기 전기 전도성 접속 수단은 상기 결합 리드와 열 압착에 의해 부착되어 있는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 4

제1항에 있어서, 상기 개별 반도체 소자 간의 전기적인 연결은 상기 노출된 결합 리드와 전도성 접속 수단을 솔더링함에 의해 달성되는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 5

제4항에 있어서, 상기 결합 리드와 전도성 접속 수단의 패키지 몸체 외부로 노출된 부분은 외부 리드의

도금 공정에 의해 주석-납 합금이 도금되는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 6

제1항에 있어서, 상기 내부 리드와 반도체 칩은 본딩 와이어에 의해 전기적으로 연결되는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 7

제6항에 있어서, 상기 복수의 개별 반도체 소자는 메모리 소자의, 상기 메모리 소자의 내부 리드 중 메모리 소자의 번지 신호와 열 번지, 행 번지를 선택하기 위한 제어신호 및 전원 신호와 관련된 내부 리드는 상하로 인접해 있는 개별 반도체 소자의 내부 리드와 동일한 위치에 있으며, 데이터 입출력을 위한 내부 리드는 서로 다른 위치에 있는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 8

제1항에 있어서, 상기 개별 반도체 소자의 밑면에는 솔더 레지스트가 상기 전기 전도성 접속 수단이 노출되어 있는 부분을 제외한 전 표면에 도포되어 있으며 상기 노출된 전기 전도성 접속 수단에는 솔더 볼이 부착되어 있고 상기 솔더 볼은 아래쪽에 있는 결합 리드와 솔더링되는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 9

제8항에 있어서, 상기 반도체 소자 중 맨 아래쪽에 위치한 개별 반도체 소자는 외부 리드가 패키지 몸체로 돌출되지 않으며 상기 적층형 패키지의 외부 실장은 상기 솔더 볼에 의해 이루어지는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 10

제1항 또는 제8항에 있어서, 상기 개별 반도체 소자는 전원 공급 리드와 접지 전원 리드를 구비하고 있으며 상기 전원 공급 리드와 접지 전원 리드 사이에는 캐패시터가 형성되어 있는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 11

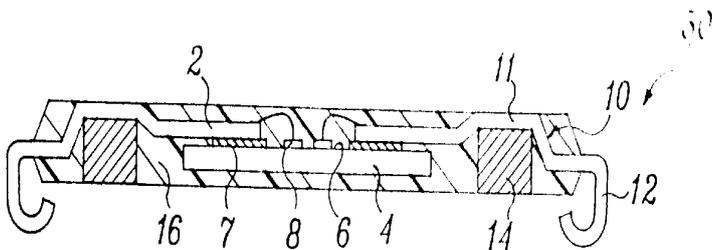
제1항 또는 제8항에 있어서, 상기 적층형 패키지의 맨 위에 있는 개별 반도체 소자의 결합 리드는 상기 적층형 패키지의 테스트에서 테스트 프루브와 연결되는 것을 특징으로 하는 3차원 적층형 패키지.

청구항 12

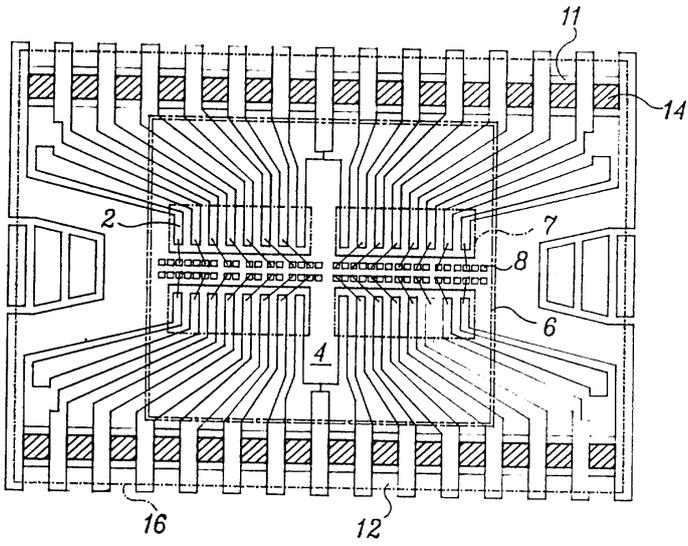
제1항에 있어서, 상기 전기 전도성 접속 수단은 띠 모양의 전기 전도성 재료를 상기 내부 리드가 배열되어 있는 방향으로 하여 상기 결합 리드의 밑면에 부착한 다음 상기 결합 리드들 사이에 있는 부분은 펀칭 가공으로 절단하여 제거함으로써 형성되는 것을 특징으로 하는 3차원 적층형 패키지.

도면

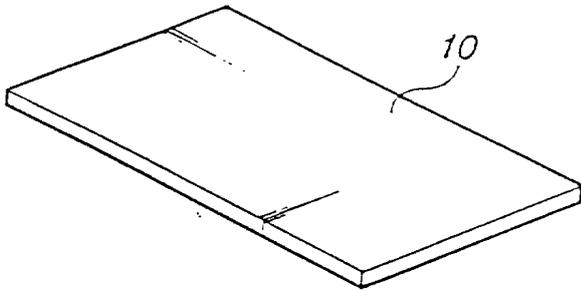
도면 1a



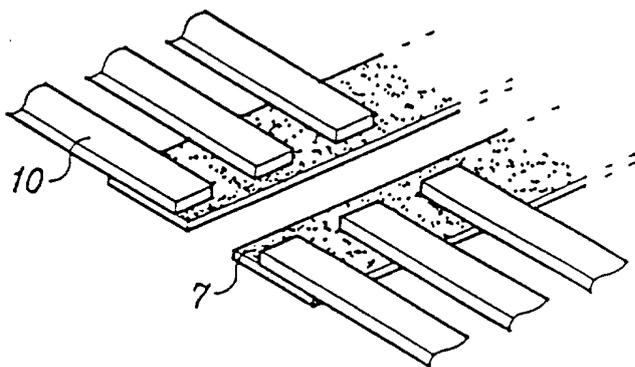
도면 1b



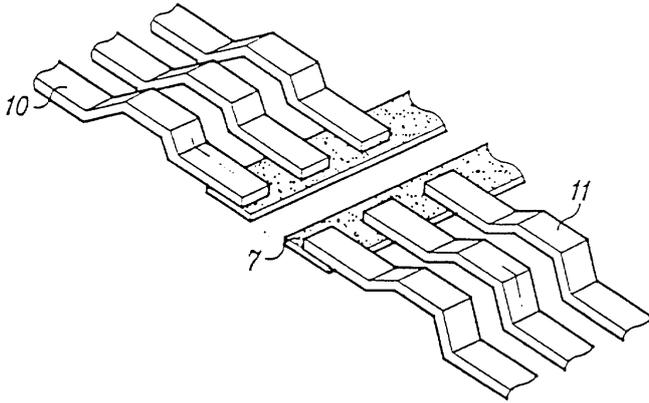
도면 2a



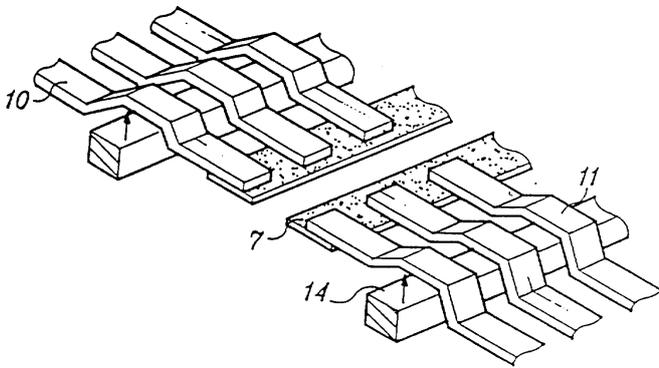
도면 2b



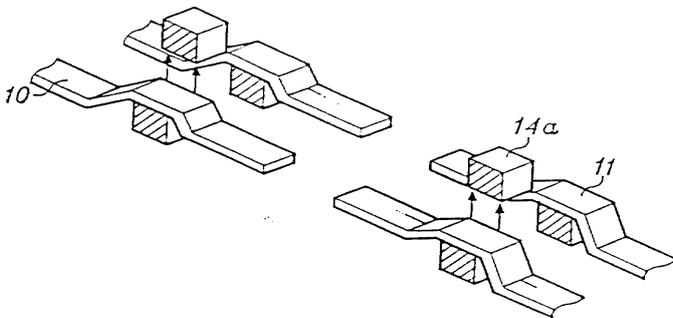
도면2c



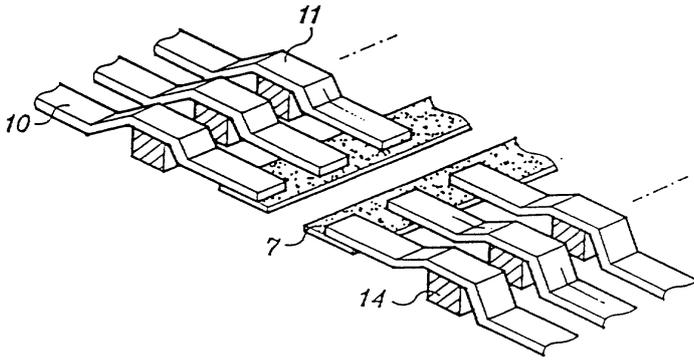
도면2d



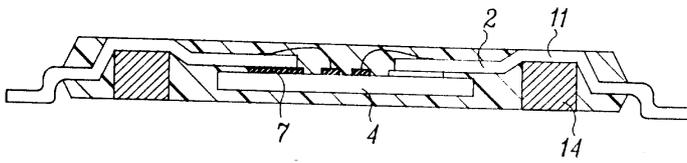
도면2e



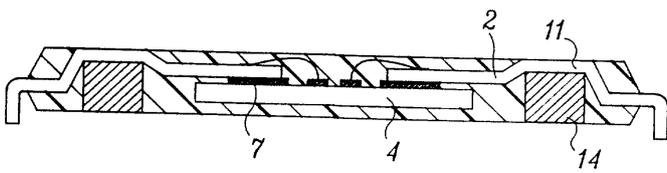
도면2f



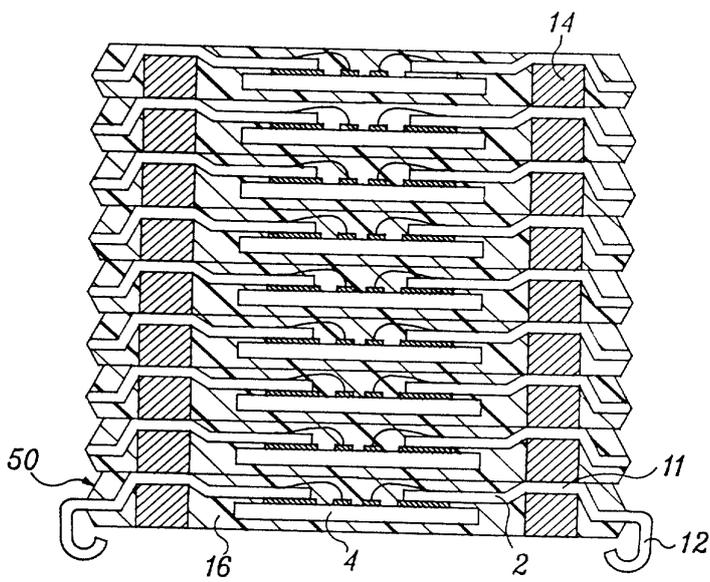
도면3a



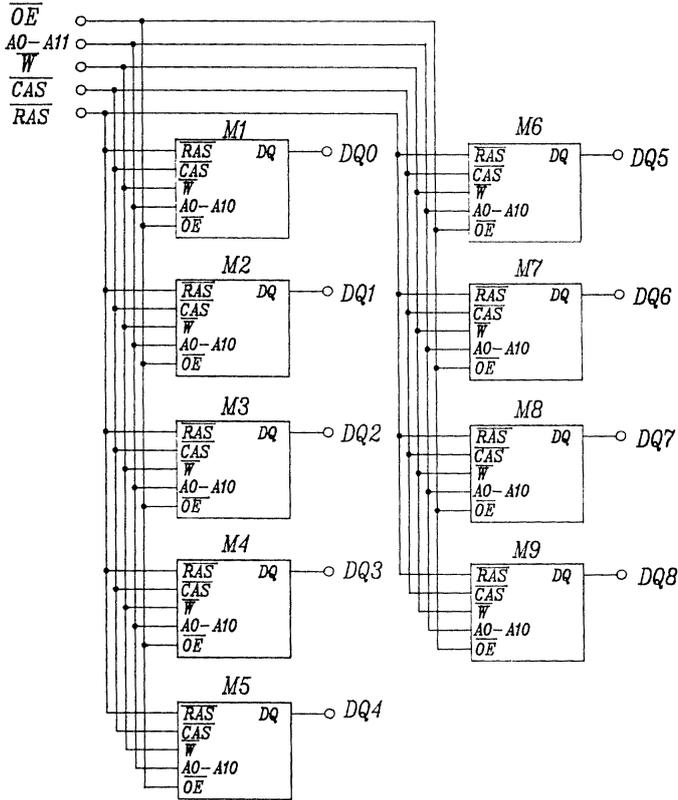
도면3b



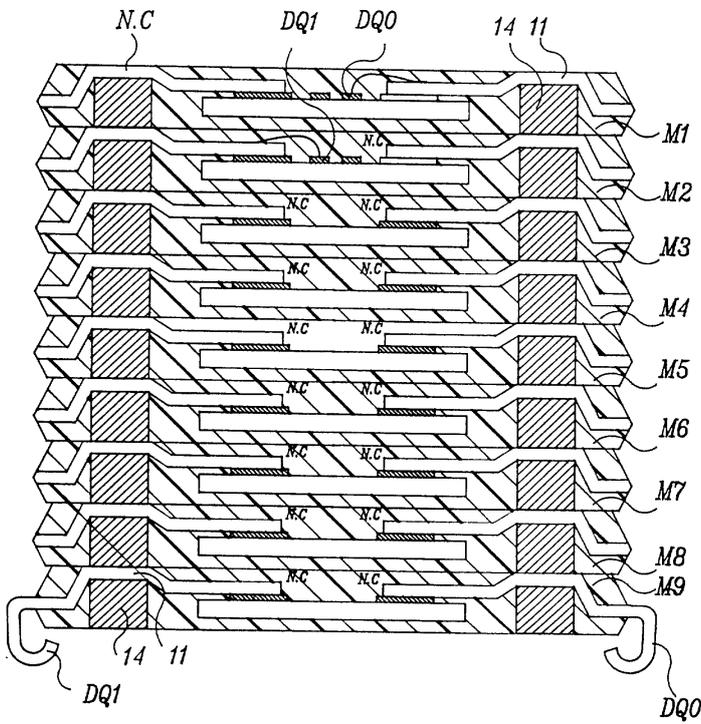
도면4



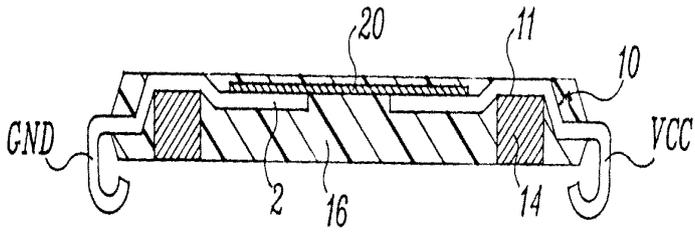
도면5



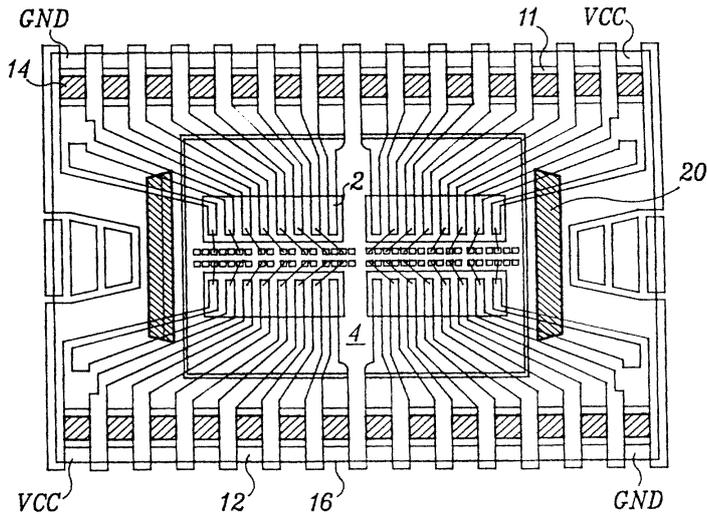
도면6



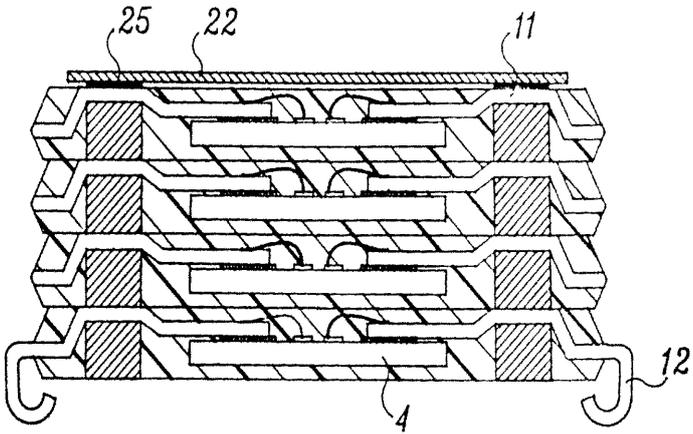
도면7a



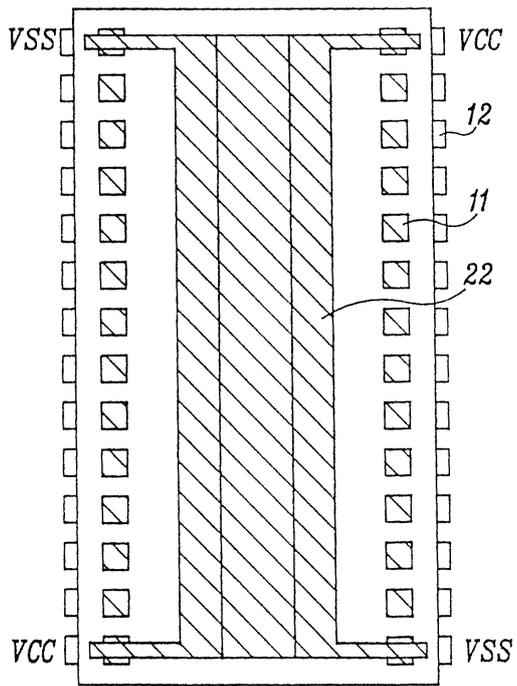
도면7b



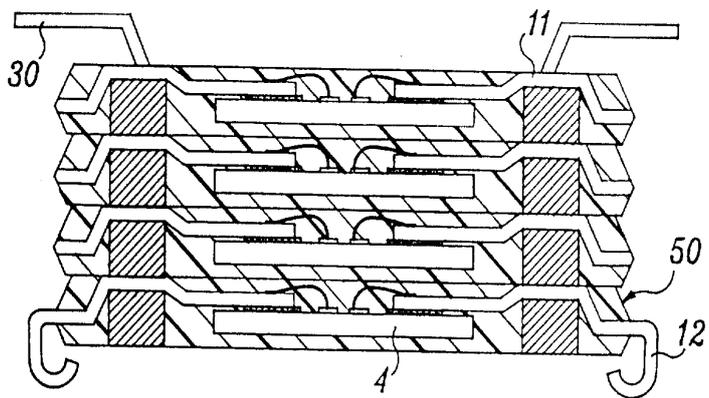
도면8a



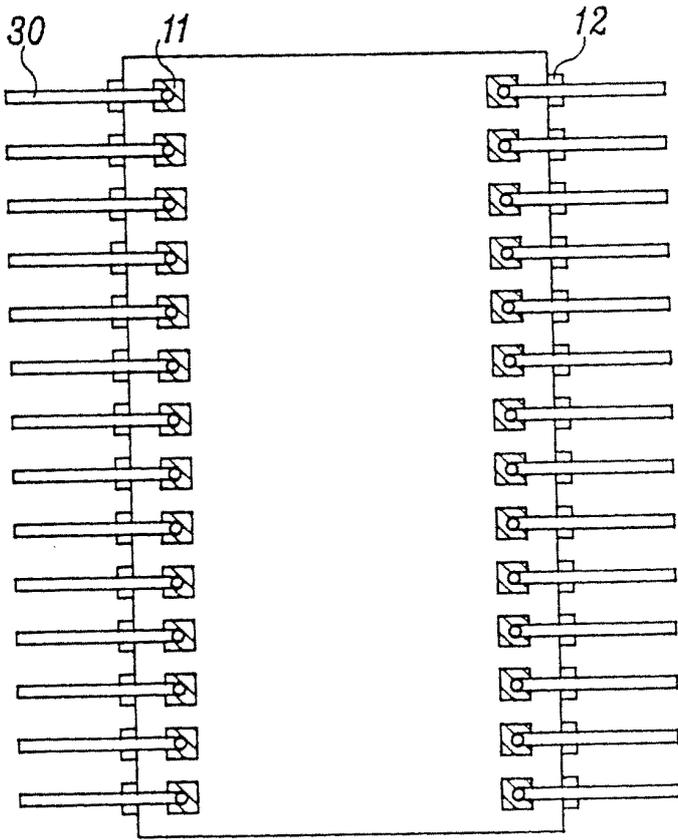
도면8b



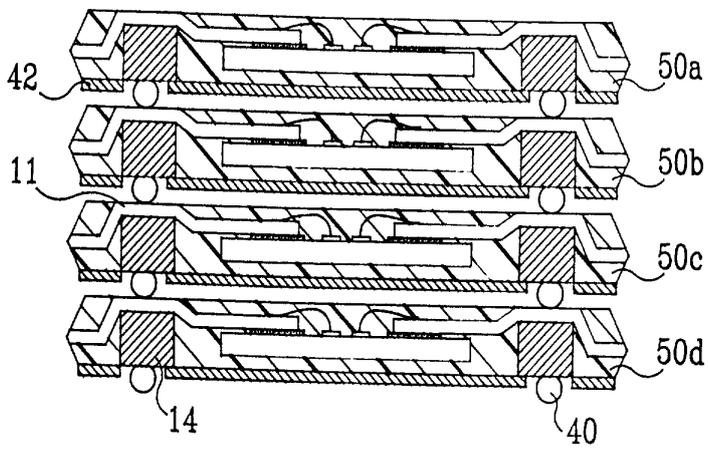
도면9a



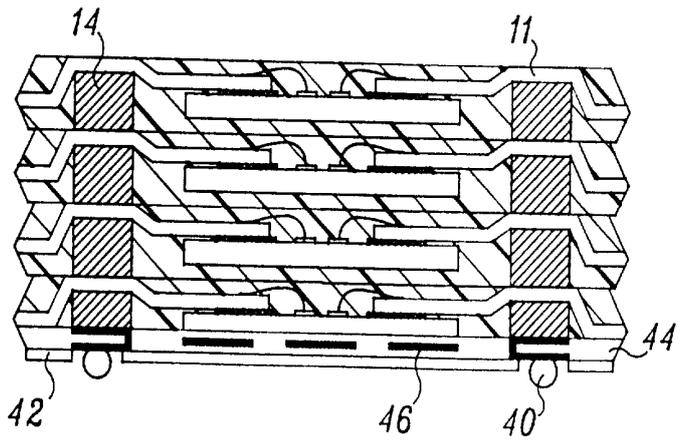
도면9b



도면10



도면11



도면12

