



(12) 发明专利

(10) 授权公告号 CN 107316865 B

(45) 授权公告日 2021.02.02

(21) 申请号 201710418274.6

(22) 申请日 2012.05.02

(65) 同一申请的已公布的文献号
申请公布号 CN 107316865 A

(43) 申请公布日 2017.11.03

(30) 优先权数据
2011-109838 2011.05.16 JP

(62) 分案原申请数据
201280023593.2 2012.05.02

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72) 发明人 西岛辰司 米田诚一

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 叶培勇 付曼

(51) Int.Cl.
H01L 27/118 (2006.01)
H03K 19/1776 (2020.01)
H03K 19/17764 (2020.01)
H03K 19/17772 (2020.01)

(56) 对比文件
CN 101794791 A, 2010.08.04
CN 102376713 A, 2012.03.14
CN 102376714 A, 2012.03.14
CN 1877678 A, 2006.12.13

审查员 温菊红

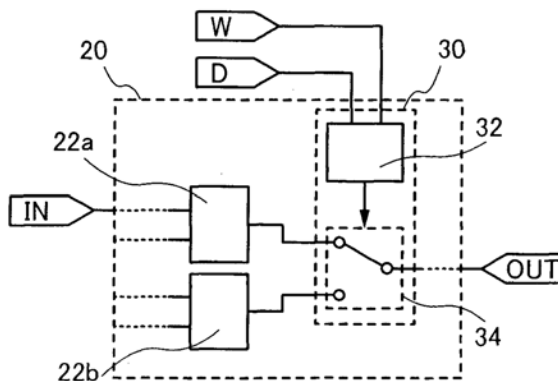
权利要求书3页 说明书35页 附图33页

(54) 发明名称

可编程逻辑装置

(57) 摘要

一个目的是提供一种即使在没有电源电位的供给的情况下也可以保持配置数据,并且电源提供后的逻辑块的启动时间短,并可以低耗电量驱动的可编程逻辑装置。可编程开关的存储部中的晶体管包括能够充分减小晶体管的关态电流的材料,如宽带隙半导体的氧化物半导体材料。当使用能够充分减小晶体管的关态电流的半导体材料,即使在没有电源电位的供给的情况下也可以保持配置数据。



1. 一种半导体装置,包括:

包括第一源电极、第一漏电极及第一栅电极的第一晶体管,所述第一晶体管是n沟道晶体管;

包括第二源电极、第二漏电极及第二栅电极的第二晶体管,其中所述第二源电极和所述第二漏电极中的一方与所述第一源电极和所述第一漏电极中的一方电连接,所述第二晶体管是n沟道晶体管;

包括第三源电极、第三漏电极及第三栅电极的第三晶体管,其中所述第三源电极和所述第三漏电极中的一方与所述第一栅电极电连接;以及

包括第四源电极、第四漏电极及第四栅电极的第四晶体管,其中所述第四源电极和所述第四漏电极中的一方与所述第二栅电极电连接,

其中所述第三栅电极与所述第四栅电极电连接,

其中所述第三晶体管包括与所述第三栅电极重叠的第一氧化物半导体层,

其中所述第四晶体管包括与所述第四栅电极重叠的二氧化物半导体层,以及

其中输入到所述第四源电极和所述第四漏电极中另一方的电位是其极性与输入到所述第三源电极和所述第三漏电极中另一方的电位相反的电位。

2. 一种半导体装置,包括:

包括第一源电极、第一漏电极及第一栅电极的第一晶体管,所述第一晶体管是p沟道晶体管;

包括第二源电极、第二漏电极及第二栅电极的第二晶体管,其中所述第二源电极和所述第二漏电极中的一方与所述第一源电极和所述第一漏电极中的一方电连接,所述第二晶体管是p沟道晶体管;

包括第三源电极、第三漏电极及第三栅电极的第三晶体管,其中所述第三源电极和所述第三漏电极中的一方与所述第一栅电极电连接;以及

包括第四源电极、第四漏电极及第四栅电极的第四晶体管,其中所述第四源电极和所述第四漏电极中的一方与所述第二栅电极电连接,

其中所述第三栅电极与所述第四栅电极电连接,

其中所述第三晶体管包括与所述第三栅电极重叠的第一氧化物半导体层,

其中所述第四晶体管包括与所述第四栅电极重叠的二氧化物半导体层,以及

其中输入到所述第四源电极和所述第四漏电极中另一方的电位是其极性与输入到所述第三源电极和所述第三漏电极中另一方的电位相反的电位。

3. 根据权利要求1或2所述的半导体装置,还包括:

与所述第一源电极和所述第一漏电极中的另一方电连接的逻辑电路。

4. 一种半导体装置,包括:

包括第一源电极、第一漏电极及第一栅电极的第一晶体管,所述第一晶体管是n沟道晶体管;

包括第二源电极、第二漏电极及第二栅电极的第二晶体管,其中所述第二源电极和所述第二漏电极中的一方与所述第一源电极和所述第一漏电极中的一方电连接,所述第二晶体管是n沟道晶体管;

与所述第一源电极和所述第一漏电极中的另一方电连接的第一逻辑电路;

与所述第二源电极和所述第二漏电极中的另一方电连接的第二逻辑电路；

包括第三源电极、第三漏电极及第三栅电极的第三晶体管，其中所述第三源电极和所述第三漏电极中的一方与所述第一栅电极电连接；以及

包括第四源电极、第四漏电极及第四栅电极的第四晶体管，其中所述第四源电极和所述第四漏电极中的一方与所述第二栅电极电连接，

其中所述第三栅电极与所述第四栅电极电连接，

其中所述第三晶体管包括与所述第三栅电极重叠的第一氧化物半导体层，

其中所述第四晶体管包括与所述第四栅电极重叠的第二氧化物半导体层，以及

其中输入到所述第四源电极和所述第四漏电极中另一方的电位是其极性与输入到所述第三源电极和所述第三漏电极中另一方的电位相反的电位。

5. 一种半导体装置，包括：

包括第一源电极、第一漏电极及第一栅电极的第一晶体管，所述第一晶体管是p沟道晶体管；

包括第二源电极、第二漏电极及第二栅电极的第二晶体管，其中所述第二源电极和所述第二漏电极中的一方与所述第一源电极和所述第一漏电极中的一方电连接，所述第二晶体管是p沟道晶体管；

与所述第一源电极和所述第一漏电极中的另一方电连接的第一逻辑电路；

与所述第二源电极和所述第二漏电极中的另一方电连接的第二逻辑电路；

包括第三源电极、第三漏电极及第三栅电极的第三晶体管，其中所述第三源电极和所述第三漏电极中的一方与所述第一栅电极电连接；以及

包括第四源电极、第四漏电极及第四栅电极的第四晶体管，其中所述第四源电极和所述第四漏电极中的一方与所述第二栅电极电连接，

其中所述第三栅电极与所述第四栅电极电连接，

其中所述第三晶体管包括与所述第三栅电极重叠的第一氧化物半导体层，

其中所述第四晶体管包括与所述第四栅电极重叠的第二氧化物半导体层，以及

其中输入到所述第四源电极和所述第四漏电极中另一方的电位是其极性与输入到所述第三源电极和所述第三漏电极中另一方的电位相反的电位。

6. 根据权利要求5所述的半导体装置，还包括：

包括第五源电极、第五漏电极及第五栅电极的第五晶体管，其中所述第五源电极和所述第五漏电极中的一方与所述第一源电极和所述第一漏电极中的一方电连接，并且所述第五源电极和所述第五漏电极中的另一方与所述第一源电极和所述第一漏电极中的另一方电连接，所述第五晶体管是n沟道晶体管；以及

包括第六源电极、第六漏电极及第六栅电极的第六晶体管，其中所述第六源电极和所述第六漏电极中的一方与所述第二源电极和所述第二漏电极中的一方电连接，并且所述第六源电极和所述第六漏电极中的另一方与所述第二源电极和所述第二漏电极中的另一方电连接，所述第六晶体管是n沟道晶体管，

其中所述第五栅电极与所述第二栅电极电连接，

并且所述第六栅电极与所述第一栅电极电连接。

7. 根据权利要求1、2、4和5中的任一项所述的半导体装置，还包括：

与所述第一栅电极电连接的第一电容器;以及
与所述第二栅电极电连接的第二电容器。

8. 根据权利要求1、2、4和5中的任一项所述的半导体装置,还包括:

夹在所述第三晶体管与所述第一晶体管和所述第二晶体管的每一个之间以及夹在所述第四晶体管与所述第一晶体管和所述第二晶体管的每一个之间的绝缘膜,其中所述第三晶体管和所述第四晶体管形成在所述第一晶体管和所述第二晶体管上。

9. 根据权利要求1、2、4和5中的任一项所述的半导体装置,其中所述第一氧化物半导体层包括第一c轴取向结晶氧化物半导体膜,以及所述第二氧化物半导体层包括第二c轴取向结晶氧化物半导体膜。

10. 根据权利要求1、2、4和5中的任一项所述的半导体装置,还包括:

逻辑电路,所述逻辑电路的端子与所述第二源电极和所述第二漏电极中的一方电连接,

其中所述半导体装置配置成当所述第三晶体管处于导通状态,第一配置或第二配置中的任何一个被形成,并且在所述第三晶体管被关闭之后,所述第一配置或所述第二配置中的所述一个被保持,

其中所述第一配置允许第一信号通过传递经过所述第一晶体管而输出到所述逻辑电路的所述端子,其中所述第一信号是从所述第一源电极和所述第一漏电极中的另一方被输入的,

其中所述第二配置允许第二信号通过传递经过所述第二晶体管而输出到所述逻辑电路的所述端子,其中所述第二信号是从所述第二源电极和所述第二漏电极中的另一方被输入的。

11. 一种包括根据权利要求1、2、4和5中的任一项所述的半导体装置的可编程逻辑装置。

12. 一种包括根据权利要求1、2、4和5中的任一项所述的半导体装置的电子设备。

可编程逻辑装置

技术领域

[0001] 本发明涉及一种可编程逻辑装置和包含该可编程逻辑装置的半导体装置。另外，本发明涉及一种包含该半导体装置的设备。

背景技术

[0002] 通常，以集成电路(IC)、大规模集成电路(LSI)为代表的半导体集成电路在制造时电路结构已被固定，而不能在制造后对其电路结构进行改变。相对于此，被称为可编程逻辑装置(PLD:Programmable Logic Device)的半导体集成电路具有以各由多个逻辑电路构成的单位逻辑块通过布线相互电连接的结构。在可编程逻辑装置中，可以利用电信号控制各逻辑块的电路结构。

[0003] 因此，可编程逻辑装置的设置即使在制造后也可以进行变更。因此，通过使用可编程逻辑装置可以大幅度地缩减半导体集成电路设计、开发所耗费的时间及成本。

[0004] 可编程逻辑装置包括复杂PLD(CPLD)、现场可编程门阵列(FPGA:Field Programmable Gate Array)。无论哪一种可编程逻辑装置，都是利用可编程开关来控制各逻辑块的电路结构，该可编程开关位于逻辑块中并根据储存在存储部的数据(配置数据)进行开关的切换。换言之，数据被编程到各可编程开关中，由此可以改变可编程逻辑装置的电路结构。

[0005] 易失性存储器如静态随机存取存储器(Static Random Access Memory:SRAM)主要使用于该存储部。此外，如专利文献1所示那样，如闪存等的包括浮动栅极晶体管的非易失性存储器有时包含在该存储部中。

[0006] [参考文献]

[0007] [专利文献]

[0008] [专利文献1] 日本专利申请公开第2004-15060号公报。

发明内容

[0009] 近年，降低电子设备的耗电量成为重要课题，并且对用于电子设备的半导体集成电路的耗电量降低的需求也日益增高。为了降低耗电量，已提出了一种驱动方法，其中，暂时停止对半导体装置整体或其一部分的电源电位的供给，并且在需要的时候仅对需要的电路块供给电源电位(这种方法以下称为常关闭(normally-off)驱动方法)。

[0010] 但是，在可编程开关的存储部中包含易失性存储器的可编程逻辑装置中，当电源电位的供给停止时，储存在存储部中的配置数据消失。因此，在可编程开关的存储部中包含易失性存储器的可编程逻辑装置中，每进行一次电源的供给就需要对该易失性存储器写入配置数据。因此，从供给电源到逻辑块的启动，有很长的延迟时间。也就是说，在可编程开关的存储部中包含易失性存储器的可编程逻辑装置中，很难采用暂时停止电源电位的供给的常关闭驱动方法。

[0011] 当将浮动栅极晶体管用于可编程逻辑装置的可编程开关的存储部中以使存储部

成为非易失性时,通过常关闭驱动方法,即使暂时停止电源电位的供给也可以保持配置数据。但是,由于在进行数据的写入时对浮动栅极注入电子,因此需要高电位;由此,存在进行写入时需要较长时间的问题。另外,还存在因该写入时所产生的隧道电流,浮动栅极的栅极绝缘层发生劣化的问题。

[0012] 鉴于上述问题,本发明的目的是提供一种即使在没有供给电源电位的情况下也可以保持配置数据,且供给电源后逻辑块的启动时间短,并能够进行低耗电量工作的可编程逻辑装置。

[0013] 在所公开的发明的一个方式中,可编程开关的存储部中的晶体管包含能够充分减小晶体管的关态电流(off-state current)的材料,例如宽带隙半导体的氧化物半导体材料。当使用能够充分减小晶体管的关态电流的半导体材料时,即使在没有供给电源电位的情况下也可以保持配置数据。下面说明本说明书中公开的可编程逻辑装置的具体结构。

[0014] 所公开的发明的一个方式是一种可编程逻辑装置,该可编程逻辑装置包括通过多个布线电连接的多个逻辑块。多个逻辑块的每一个包括多个逻辑电路、以及至少一个可编程开关,该可编程开关与多个逻辑电路中的两个电连接并且根据所储存的数据选择且输出上述两个逻辑电路的输出中的一个。可编程开关包括第一晶体管、第二晶体管及第三晶体管。第一晶体管的源电极和漏电极的一方与多个逻辑电路的一个输出端子电连接,第一晶体管的源电极和漏电极的另一方与该可编程开关的输出端子电连接。第二晶体管的源电极和漏电极的一方与多个逻辑电路的另一输出端子电连接,第二晶体管的源电极和漏电极的另一方与该可编程开关的输出端子电连接。第三晶体管的源电极和漏电极的一方与第一晶体管及第二晶体管的栅电极电连接。第三晶体管包括氧化物半导体层。从第三晶体管的源电极和漏电极的另一方输入的电位保持于第一晶体管及第二晶体管的栅电极。

[0015] 在上述结构中,第一晶体管和第二晶体管可以具有不同的导电型。另外,第一晶体管和第二晶体管可以具有相同的导电型,并且,反相器可以电连接于第三晶体管的源电极和漏电极的一方与第二晶体管的栅电极之间。可编程逻辑装置还可以包括第四晶体管和第五晶体管。第四晶体管的源电极和漏电极的一方与第一晶体管的源电极和漏电极的一方电连接,第四晶体管的源电极和漏电极的另一方与第一晶体管的源电极和漏电极的另一方电连接,第四晶体管的栅电极与第二晶体管的栅电极电连接。第五晶体管的源电极和漏电极的一方与第二晶体管的源电极和漏电极的一方电连接,第五晶体管的源电极和漏电极的另一方与第二晶体管的源电极和漏电极的另一方电连接,第五晶体管的栅电极与第一晶体管的栅电极电连接。第四晶体管和第一晶体管可以具有不同的导电型,并且,第五晶体管和第三晶体管可以具有不同的导电型。

[0016] 另外,在上述结构中,优选的是,第一晶体管及第二晶体管都使用单晶硅形成。此外,也优选的是,第三晶体管隔着绝缘膜层叠在第一晶体管及第二晶体管上,并且第三晶体管的至少一部分与第一晶体管或第二晶体管的至少一部分重叠。

[0017] 此外,在上述结构中,优选的是,包括一个端子与第三晶体管的源电极和漏电极的一方电连接的电容器。

[0018] 所公开的发明的另一个方式是一种可编程逻辑装置,该可编程逻辑装置包括通过多个布线电连接的多个逻辑块。多个逻辑块的每一个包括多个逻辑电路以及至少一个可编程开关,该可编程开关与多个逻辑电路中的两个电连接并且根据所储存的数据选择且输出

上述两个逻辑电路的输出中的一个。可编程开关包括第一晶体管、第二晶体管、第三晶体管及第四晶体管。第一晶体管的源电极和漏电极的一方与多个逻辑电路的一个输出端子电连接,第一晶体管的源电极和漏电极的另一方与该可编程开关的输出端子电连接;第二晶体管的源电极和漏电极的一方与多个逻辑电路的另一输出端子电连接,第二晶体管的源电极和漏电极的另一方与该可编程开关的输出端子电连接;第三晶体管的源电极和漏电极的一方与第一晶体管的栅电极电连接;第四晶体管的源电极和漏电极的一方与第二晶体管的栅电极电连接,第四晶体管的栅电极与第三晶体管的栅电极电连接。第三晶体管及第四晶体管都包括氧化物半导体层。从第三晶体管的源电极和漏电极的另一方输入的第一电位保持于第一晶体管的栅电极。从第四晶体管的源电极和漏电极的另一方输入的第二电位保持于第二晶体管的栅电极。该第二电位的极性与第一电位的极性相反。

[0019] 在上述结构中,优选的是,第一晶体管与第二晶体管具有相同的导电型。该可编程逻辑装置还可以包括第五晶体管及第六晶体管。第五晶体管的源电极和漏电极的一方与第一晶体管的源电极和漏电极的一方电连接,第五晶体管的源电极和漏电极的另一方与第一晶体管的源电极和漏电极的另一方电连接,第五晶体管的栅电极与第二晶体管的栅电极电连接。第六晶体管的源电极和漏电极的一方与第二晶体管的源电极和漏电极的一方电连接,第六晶体管的源电极和漏电极的另一方与第二晶体管的源电极和漏电极的另一方电连接,第六晶体管的栅电极与第一晶体管的栅电极电连接。第五晶体管和第一晶体管可以具有不同的导电型,并且第六晶体管和第二晶体管具有不同的导电型。

[0020] 在上述结构中,优选的是,包括一个端子与第三晶体管或第四晶体管的源电极和漏电极的一方电连接的电容器。

[0021] 可编程开关的存储部中的晶体管包括能够充分减小晶体管的关态电流的如氧化物半导体等的宽带隙半导体,由此,即使在没有供给电源电位的情况下也可以保持配置数据。通过上述结构,可以省略供给电源后的配置数据的写入,从而可以缩短逻辑块的启动时间。由此,通过对可编程逻辑装置使用常关闭驱动方法可以实现耗电量的降低。

附图说明

[0022] 在附图中:

[0023] 图1A至1C是根据本发明的一个方式的可编程逻辑装置的电路图;

[0024] 图2A和2B是根据本发明的一个方式的可编程逻辑装置的一部分的电路图;

[0025] 图3A至3D是根据本发明的一个方式的可编程逻辑装置的一部分的电路图;

[0026] 图4A至4C是根据本发明的一个方式的可编程逻辑装置的一部分的电路图;

[0027] 图5A至5C是根据本发明的一个方式的可编程逻辑装置的一部分的电路图;

[0028] 图6A至6D示出可编程逻辑装置的制造工序;

[0029] 图7A和7B示出可编程逻辑装置的制造工序;

[0030] 图8A至8C示出可编程逻辑装置的制造工序;

[0031] 图9A和9B示出可编程逻辑装置的制造工序;

[0032] 图10是便携式电子设备的框图;

[0033] 图11是电子书阅读器的框图;

[0034] 图12A至12E都示出根据本发明的一个方式的氧化物材料的结构;

- [0035] 图13A至13C示出根据本发明的一个方式的氧化物材料的结构；
- [0036] 图14A至14C示出根据本发明的一个方式的氧化物材料的结构；
- [0037] 图15是示出通过计算获得的迁移率的栅极电压依赖性的图；
- [0038] 图16A至16C都是示出通过计算获得的漏极电流及迁移率的栅极电压依赖性的图；
- [0039] 图17A至17C都是示出通过计算获得的漏极电流及迁移率的栅极电压依赖性的图；
- [0040] 图18A至18C都是示出通过计算获得的漏极电流及迁移率的栅极电压依赖性的图；
- [0041] 图19A和19B示出用于计算的晶体管的截面结构；
- [0042] 图20A至20C是包括氧化物半导体膜的晶体管特性的图；
- [0043] 图21示出样品A及样品B的XRD谱；
- [0044] 图22示出晶体管的关态电流与测量时的衬底温度之间的关系；
- [0045] 图23是示出 I_{ds} 及场效应迁移率的 V_{gs} 依赖性的图；
- [0046] 图24A示出衬底温度与阈值电压之间的关系，图24B示出衬底温度与电场效应迁移率之间的关系；
- [0047] 图25A和25B示出用于测定的晶体管的截面结构；
- [0048] 图26A和26B都是示出可编程逻辑装置的结构的一部分的平面图；
- [0049] 图27是示出根据本发明的一个方式的可编程逻辑装置的电路图；
- [0050] 图28A和28B都示出氧化物材料的结构。

具体实施方式

[0051] 下面，参照附图对本发明的实施方式进行详细说明。注意，本发明不限于以下的说明，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种形式。因此，本发明不应该被解释为仅限于以下所示的实施方式的记载内容中。

[0052] 注意，例如，在使用极性不同的晶体管或电路工作中的电流方向发生变化等情况下，“源极”及“漏极”的功能有时可以调换。因此，在本说明书中，术语“源极”和“漏极”可以互相调换。

[0053] 术语“电连接”包括构成要素之间通过“具有某种电作用的元件”连接的情况。对“具有某种电作用的元件”只要能够通过该元件进行连接构成要素间的电信号的授受，就没有特别的限制。“具有某种电作用的元件”的例子不仅是电极和布线，而且是开关元件如晶体管等、电阻器、电感器、电容器、具有各种功能的元件。

[0054] 即便在电路图中示出独立的构成要素彼此电连接的情况下，实际上也存在一个导电膜具有多个构成要素的功能的情况，例如布线的一部分还用作电极。在本说明书中的“电连接”的范畴内还包括这种一个导电膜具有多个构成要素的功能的情况。

[0055] 术语“上”和“下”不局限于构成要素之间的位置关系为“直接在……上”和“直接在……下”。例如，“栅极绝缘层上的栅电极”的表现可意味着栅极绝缘层与栅电极之间存在有其他构成要素的情况。

[0056] 为了容易理解，有时附图等中所示的各构成的位置、大小、范围等不表示实际上的位置、大小、范围等。因此，所公开的发明不一定局限于附图等中所公开的位置、大小、范围等。

[0057] “第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附记的。

[0058] 实施方式1

[0059] 在本实施方式中,将参照图1A至1C、图2A和2B、图3A至3D、图4A至4C及图5A至5C对根据所公开的发明的一个方式的可编程逻辑装置的电路结构进行说明。

[0060] 图1A示出根据所公开的发明的一个方式的可编程逻辑装置的结构。该可编程逻辑装置包括通过多个布线11电连接的多个逻辑块10。例如,如图1A所示,逻辑块10以矩阵状设置,并且在逻辑块10之间的行方向和列方向上延伸设置布线11。另外,在行方向布线11与列方向布线11的交叉部分设置有切换各布线11的连接开关矩阵12。另外,逻辑块10不需要一定以矩阵状空开一定间隔地设置。例如,逻辑块10可以在行方向或列方向上相邻地设置,并且布线11可以仅在行方向或列方向上延伸地设置。矩阵12没有必要一定设置,可以根据需要适当地设置。逻辑块10的数目、布线11的数目及开关矩阵12的数目可以适当地设定,而不同于图1A所示的数目。

[0061] 可编程逻辑装置还可以包括乘法器(multiplier)、只读存储器(Random Access Memory:RAM)块、锁相环(Phase Locked Loop:PLL)块、或输入/输出(InPut/OutPut:I/O)元件。乘法器具有高速地进行多个数据的乘法运算的功能。RAM块具有作为存储器能够储存任意的数据的功能。PLL块具有对可编程逻辑装置中的电路提供时钟信号的功能。I/O元件具有控制可编程逻辑装置与外部电路之间的信号的授受。

[0062] 逻辑块10包括多个逻辑电路以及至少一个可编程开关,该可编程开关与该多个逻辑电路中的两个逻辑电路电连接并根据所储存的数据(以下也称为配置数据)选择且输出该两个逻辑电路的输出中的一个。逻辑电路通过可编程开关电连接,由此通过切换该可编程开关能够选择多个逻辑电路中所希望的逻辑电路进行连接;由此,可以形成具有所希望逻辑功能的逻辑电路。注意,在本说明书中,有时将包括至少两个逻辑电路和至少一个可编程开关的单元称为逻辑单元。换言之,逻辑块10包括至少一个逻辑单元。除了上述逻辑单元之外,逻辑块10可以包括时序电路诸如触发器、计数电路;例如,可以设置移位寄存器。

[0063] 图1B示出在逻辑块10中的逻辑单元20,该逻辑单元20包括多个输入端子IN、输出端子OUT、逻辑电路22a、逻辑电路22b以及可编程开关30,该可编程开关30具有存储部32及开关部34。

[0064] 可编程开关30根据储存于存储部32的配置数据对开关部34进行控制,并且选择且输出逻辑电路22a的输出或逻辑电路22b的输出。逻辑电路22a及逻辑电路22b与多个输入端子IN电连接。开关部34的第一端子与逻辑电路22a的输出端子电连接,开关部34的第二端子与逻辑电路22b的输出端子电连接,开关部34的第三端子与输出端子OUT电连接。存储部32与对存储部输入要储存的配置数据的电位的数据线D电连接,且与输入控制对存储部写入配置数据的信号的字线W电连接。并且,存储部32在储存配置数据的节点与开关部34电连接。

[0065] 任何逻辑电路可以用于逻辑电路22a及逻辑电路22b。例如,可以使用逻辑门,也可以使用组合了逻辑门的组合逻辑电路。与逻辑电路22a及逻辑电路22b电连接的多个输入端子IN可以电连接于图1A的布线11、包含在逻辑块10的其他的逻辑电路、或包含在逻辑块10的其他可编程开关。与开关部34的第三端子电连接的输出端子OUT可以电连接于图1A所示的布线11、包含于逻辑块10的其他的逻辑电路、或包含于逻辑块10的其他可编程开关。

[0066] 在此,参照图2A对包括逻辑门的逻辑单元的例子进行说明。图2A中的逻辑单元20a包括第一输入端子IN1、第二输入端子IN2、输出端子OUT、NAND电路22c、NOR电路22d以及具有存储部32a及开关部34a的可编程开关30a。第一输入端子IN1、NAND电路22c的一个输入端子、NOR电路22d的一个输入端子彼此电连接。第二输入端子IN2、NAND电路22c的另一个输入端子、NOR电路22d的另一个输入端子彼此电连接。开关部34a的第一端子与NAND电路22c的输出端子电连接。开关部34a的第二端子与NOR电路22d的输出端子电连接。开关部34a的第三端子与输出端子OUT电连接。数据线D及字线W与存储部32a电连接。存储部32a与开关部34a在储存配置数据的节点处彼此电连接。

[0067] 表1是当对第一输入端子IN1、第二输入端子IN2及数据线D输入Low(低)电平电位(对应于数字数据的“0”)或High(高)电平电位(对应于数字数据的“1”)并且各电位分别被存储部32a保持时的逻辑单元20a的真值表。注意,当Low电平电位(0)保持在存储部32a时,开关部34a使NAND电路22c的输出端子与输出端子OUT电连接,当High电平电位(1)保持在存储部32a时,开关部34a使NOR电路22d的输出端子与输出端子OUT电连接。

[0068] 表1

存储部 32a: Low 电平 (0)			存储部 32a: High 电平 (1)		
IN1	IN2	OUT	IN1	IN2	OUT
0	0	1	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0

[0070] 如表1所示,在逻辑单元20a中,当Low电平电位(0)储存在存储部32a时,NAND电路22c的输出为逻辑单元20a的输出,而当High电平电位(1)储存在存储部32a时,NOR电路22d的输出为逻辑单元20a的输出。也就是说,逻辑单元20a可以根据储存于可编程开关30a的存储部32a的数据选择用作NAND电路还是用作NOR电路。

[0071] 参照图2B对包括多个可编程开关的逻辑单元的例子进行说明。图2B中的逻辑单元20b包括第一输入端子IN1、第二输入端子IN2、输出端子OUT、NAND电路22e、NOR电路22f、XOR电路22g、NOT电路22h、具有存储部32b及开关部34b的可编程开关30b、具有存储部32c及开关部34c的可编程开关30c、具有存储部32d及开关部34d的可编程开关30d。

[0072] 第一输入端子IN1、NAND电路22e的一个输入端子、NOR电路22f的一个输入端子、XOR电路22g的一个输入端子、与NOT电路22h的输入端子彼此电连接。第二输入端子IN2、NAND电路22e的另一个输入端子、NOR电路22f的另一个输入端子、与XOR电路22g的另一个输入端子彼此电连接。开关部34b的第一端子与NAND电路22e的输出端子电连接。开关部34b的第二端子与NOR电路22f的输出端子电连接。数据线D0及字线W与存储部32b电连接。存储部32b与开关部34b在储存数据的节点处彼此电连接。开关部34c的第一端子与XOR电路22g的输出端子电连接。开关部34c的第二端子与NOT电路22h的输出端子电连接。数据线D0及字线W与存储部32c电连接。存储部32c与开关部34c在储存数据的节点处彼此电连接。开关部34d的第一端子与开关部34b的第三端子电连接。开关部34d的第二端子与开关部34c的第三端子电连接。开关部34d的第三端子与输出端子OUT电连接。数据线D1及字线W与存储部32d电

连接。存储部32d与开关部34d在储存数据的节点处彼此电连接。

[0073] 表2是当对第一输入端子IN1、第二输入端子IN2、数据线D0及数据线D1输入Low电平电位(0)或High电平电位(1),并且各电位被存储部32b至存储部32d保持时的逻辑单元20b的真值表。注意,当Low电平电位(0)保持在存储部32b时,开关部34b使NAND电路22e的输出端子与开关部34d的第一端子电连接。当High电平电位(1)保持在存储部32b时,开关部34b使NOR电路22f的输出端子与开关部34d的第一端子电连接。当Low电平电位(0)保持在存储部32c时,开关部34c使XOR电路22g的输出端子与开关部34d的第二端子电连接。当High电平电位(1)保持在存储部32c时,开关部34c使NOT电路22h的输出端子与开关部34d的第二端子电连接。当Low电平电位(0)保持在存储部32d时,开关部34d使开关部34b的第三端子与输出端子OUT电连接。当High电平电位(1)保持在存储部32b时,开关部34d使开关部34c的第三端子与输出端子OUT电连接。

[0074] 表2

	存储部 32b: Low 电平 (0)			存储部 32b: High 电平 (1)		
	IN1	IN2	OUT	IN1	IN2	OUT
存储部 32d: Low 电平 (0)	0	0	1	0	0	1
	0	1	1	0	1	0
	1	0	1	1	0	0
	1	1	0	1	1	0

[0075]

	存储部 32c: Low 电平 (0)			存储部 32c: High 电平 (1)		
	IN1	IN2	OUT	IN1	IN2	OUT
存储部 32d: High 电平 (1)	0	0	0	0	0	1
	0	1	1	0	1	1
	1	0	1	1	0	0
	1	1	0	1	1	0

[0076] 如表2所示,在逻辑单元20b中,当Low电平电位(0)储存在存储部32b及存储部32d的每一个时,NAND电路22e的输出为逻辑单元20b的输出。当High电平电位(1)储存在存储部32b并且Low电平电位(0)储存在存储部32d时,NOR电路22f的输出为逻辑单元20b的输出。当Low电平电位(0)储存在存储部32c并且High电平电位(1)储存在存储部32d时,XOR电路22g的输出为逻辑单元20b的输出。当High电平电位(1)储存在存储部32b及存储部32d的每一个时,NOT电路22h的输出为逻辑单元20b的输出。也就是说,逻辑单元20b可以根据可编程开关30b至可编程开关30d的存储部32b至存储部32d储存的数据选择用作NAND电路、NOR电路、XOR电路还是NOT电路。

[0077] 图1C示出可编程开关30所具有的存储部32的结构。如图1C所示,存储部32包括晶体管40。该晶体管40的源电极和漏电极的一方与开关部34电连接、该晶体管40的源电极和漏电极的另一方与数据线D电连接、该晶体管40的栅电极与字线W电连接。这里,使用关态电流极低的晶体管作为晶体管40。通过使该晶体管40关闭,由此对应于配置数据的电位可以保持在与开关部34电连接的源电极和漏电极的一方。例如,当源电极和漏电极的一方为高

电位的状态对应于「1」并且源电极和漏电极的一方为低电位的状态对应于「0」时,可以存储1位的配置数据。

[0078] 关态电流极低的晶体管在沟道形成区中包括比硅带隙宽且本征载流子密度低的宽带隙半导体的晶体管。作为比硅带隙宽且本征载流子密度低的宽带隙半导体的例子,可以使用化合物半导体诸如碳化硅(SiC)或氮化镓(GaN)、由金属氧化物形成的氧化物半导体诸如In-Ga-Zn-O类氧化物半导体等。在本实施方式中,包括氧化物半导体的晶体管用作存储部32的关态电流极低的晶体管。注意,在电路图中,为了示出晶体管包括氧化物半导体,有时在晶体管的旁边记着“OS”。

[0079] 图3A示出包括存储部32及开关部34的可编程开关30的具体的电路结构。图3A的可编程开关包括晶体管112、晶体管114及晶体管110。晶体管112的源电极和漏电极的一方与第一输入端子PIN1电连接,晶体管112的源电极和漏电极的另一方与该可编程开关的输出端子POUT电连接。晶体管114的源电极和漏电极的一方与第二输入端子PIN2电连接,晶体管114的源电极和漏电极的另一方与该可编程开关的输出端子POUT电连接。晶体管110的源电极和漏电极的一方与晶体管112及晶体管114的栅电极电连接,晶体管110的源电极和漏电极的另一方与数据线D电连接,并且晶体管110的栅电极与字线W电连接。

[0080] 第一输入端子PIN1及第二输入端子PIN2是该可编程开关的输入端子,并且与图1B的逻辑电路22a的输出端子及逻辑电路22b的输出端子电连接。输出端子POUT是该可编程开关的输出端子。晶体管110对应于图1B的存储部32且包括氧化物半导体层。该晶体管112及晶体管114对应于图1B的开关部34并具有不同的导电型。在本实施方式中,晶体管112为n沟道晶体管,晶体管114为p沟道晶体管。

[0081] 在图3A的可编程开关中,对应于配置数据的电位提供给晶体管110的源电极和漏电极的一方与晶体管112及晶体管114的栅电极彼此电连接的节点(以下也称为节点FG),并且该电位保持在节点FG,由此可以选择第一输入端子PIN1的输入或第二输入端子PIN2的输入并从输出端子POUT输出。下面,对可编程开关中的配置数据的写入工作及保持工作进行说明。

[0082] 首先,将字线W的电位设定为使晶体管110成为导通状态的电位,以使晶体管110成为导通状态。由此,数据线D的电位提供给节点FG。也就是说,对晶体管112及晶体管114的各栅电极提供所预定的电位(数据的写入)。这里,当该所预定的电位为高电位时,n沟道晶体管112成为导通状态,p沟道晶体管114成为关闭状态,以使第一输入端子PIN1的输入从输出端子POUT输出。当该所预定的电位为低电位时,p沟道晶体管114成为导通状态,n沟道晶体管112成为关闭状态,以使第二输入端子PIN2的输入从输出端子POUT输出。

[0083] 在将数据线D的电位写入节点FG之后,在保持该数据线D的电位的状态下,将字线W的电位设定为使晶体管110成为关闭状态的电位,以使晶体管110成为关闭状态。晶体管110包括宽带隙半导体如氧化物半导体而具有极低的关态电流;因此,提供给节点FG的所预定的电位被保持(数据的保持)。也就是说,晶体管112及晶体管114的各栅电极的所预定的电位被保持,因此,晶体管112及晶体管114的连接状态被保持。由此,在没有电源电位供给的情况下,可以保持图3A的可编程开关的切换状态。

[0084] 由此,可编程开关的存储部中的晶体管包括能够充分减小晶体管的关态电流的氧化物半导体等宽带隙半导体,即使在没有电源电位的供给的期间中也可以长时间地保持配

置数据,并保持可编程开关的切换状态。由此,通过使用暂时停止对可编程逻辑装置整体或其一部分的电源电位的供给且仅在需要的时候对需要的电路块中供应电源电位的驱动方法(常关闭驱动方法),即使没有对包括该可编程开关的逻辑块的电源电位的供给,也可以保持可编程开关的切换状态。因此,通过常关闭驱动方法,可以省略供给电源之后的配置数据的写入,从而可以缩短逻辑块的启动时间。因此,通过常关闭驱动方法,可以实现本实施方式中的可编程逻辑装置的耗电量的降低。

[0085] 另外,对应于配置数据的电位通过晶体管110供给给节点FG,由此可以写入该数据。与将浮动栅极用作可编程开关的存储部并且通过电子的注入写入配置数据的情况相比,可以大幅度地降低写入所需要的电位及时间。另外,由于不发生因电子注入时所产生的隧道电流而引起的浮动栅极的栅极绝缘层的劣化问题;由此,可以增加数据重写的次数。

[0086] 在通常的可编程逻辑装置中,在具有该可编程逻辑装置的半导体装置停止工作的状态下,通过进行可编程开关的切换来改变逻辑块的电路结构。这称为配置(configuration)。相对于此,在该半导体装置工作中进行的配置称为动态配置。如上所述,本实施方式的可编程开关能够进行配置数据的高速写入;因此,能够容易进行动态配置。

[0087] 在上述可编程开关中,布线11的连接状态既可以储存在图1A的逻辑块10,也可以储存在图1A的开关矩阵。

[0088] 参照图3B至3D、图4A至4C及图5A至5C对具有与图3A的结构不同的结构的可编程开关进行说明。

[0089] 图3B的可编程开关与图3A的可编程开关的不同之处在于具有电容器116。电容器116的一个端子与节点FG电连接,电容器116的另一个端子与固定电位电连接。在本实施方式中,电容器116的另一个端子接地。注意,其他的结构与图3A的可编程开关的结构相同。

[0090] 通过这样的方式设置电容器116,在从数据线D向节点FG输入对应于配置数据的电位时可以容易保持提供到节点FG的电荷;从而,可以容易提高可编程开关的配置数据保持特性。当节点FG的寄生电容充分大时,即使没有电容器也可以获得与设置电容器116的情况同样的效果。

[0091] 图3C的可编程开关与图3A的可编程开关的不同之处在于缓冲器118设置在晶体管110的源电极和漏电极的一方与晶体管112及晶体管114的栅电极之间。这里,包括晶体管112及晶体管114的栅电极的节点为节点FG。注意,其他的结构与图3A的可编程开关相同。

[0092] 通过上述方式设置缓冲器118并从电源线向节点FG提供电位,由此即使第一输入端子PIN1、第二输入端子PIN2或输出端子POUT的电位变动,也可以防止由于与晶体管112或晶体管114的电容耦合从而节点FG的电位发生变化。另外,当设置缓冲器118时,即使从数据线D输入的电位在晶体管110中电压下降了相当于晶体管110的阈值电位,也能够向节点FG输入对应于电源电位的电位。

[0093] 另外,图3D的可编程开关与图3A的可编程开关的不同之处在于反相器120设置在晶体管110的源电极和漏电极的一方与晶体管112及晶体管114的栅电极之间。这里,包括晶体管112及晶体管114的栅电极的节点为节点FG。注意,其他的结构与图3A的可编程开关相同。从数据线D输入的电位由反相器120反相,因此图3D的可编程开关的切换开关的工作是与图3A的可编程开关相反的。

[0094] 通过上述方式设置反相器120并从电源线向节点FG提供电位,由此即使第一输入

端子PIN1、第二输入端子PIN2或输出端子POUT的电位变动,也可以防止由于晶体管112或晶体管114的电容耦合节点FG的电位变化。另外,当设置反相器120时,即使从数据线D输入的电位在晶体管110中电压下降了晶体管110的阈值电位,也能够向节点FG输入对应于电源电位的电位。

[0095] 在图3A至图3D的各可编程开关中,作为包含在开关部的与第一输入端子PIN1电连接的晶体管112及与第二输入端子PIN2电连接的晶体管114具有不同的导电型;但是,根据本实施方式的开关部的结构不局限于此。包含在开关部的两个晶体管可以具有相同的导电型。

[0096] 例如,可以采用图4A的结构。图4A的可编程开关包括晶体管132、晶体管134、晶体管130及反相器144。晶体管132的源电极和漏电极的一方与第一输入端子PIN1电连接,晶体管132的源电极和漏电极的另一方与该可编程开关的输出端子POUT电连接。晶体管134的源电极和漏电极的一方与第二输入端子PIN2电连接,晶体管134的源电极和漏电极的另一方与该可编程开关的输出端子POUT电连接。晶体管130的源电极和漏电极的一方与晶体管132的栅电极电连接,晶体管130的源电极和漏电极的另一方与数据线D电连接,晶体管130的栅电极与字线W电连接。反相器144电连接于晶体管134的栅电极与晶体管130的源电极和漏电极的一方之间。晶体管130包括氧化物半导体层。晶体管132与晶体管134具有相同的导电型;这里,晶体管132和晶体管134为n沟道晶体管。

[0097] 也就是说,图4A的可编程开关与图3A所示的可编程开关的不同之处在于包含在开关部的与第一输入端子PIN1电连接的晶体管132和与第二输入端子PIN2电连接的晶体管134具有相同导电型,并且反相器144设置在晶体管134的栅电极与晶体管130的源电极和漏电极的一方之间。通过这种结构,对应于从数据线D输入晶体管132的栅电极(节点FG1)的配置数据的电位与输入晶体管134的栅电极(节点FG2)的配置数据的电位具有相反极性;因此,晶体管132和134中的一方成为导通状态,而另一方成为关闭状态。

[0098] 另外,如图4B所示,p沟道晶体管可以用作包含在可编程开关的开关部中的与第一输入端子PIN1电连接的晶体管136和与第二输入端子PIN2电连接的晶体管138。注意,其他的结构与图4A的结构相同。

[0099] 另外,如图4C所示,可以设置与第一输入端子PIN1电连接的传输门140和与第二输入端子PIN2电连接的传输门142,来代替包含在可编程开关的开关部中的晶体管。传输门140包括n沟道晶体管和p沟道晶体管。各晶体管的源电极和漏电极的一方与第一输入端子PIN1电连接,各晶体管的源电极和漏电极的另一方与输出端子POUT电连接,n沟道晶体管的栅电极(节点FG1)与晶体管130的源电极和漏电极的一方电连接,p沟道晶体管的栅电极(节点FG2)与晶体管130的源电极和漏电极的一方通过反相器144电连接。同样地,传输门142包括n沟道晶体管和p沟道晶体管。各晶体管的源电极和漏电极的一方与第二输入端子PIN2电连接,各晶体管的源电极和漏电极的另一方与输出端子POUT电连接,n沟道晶体管的栅电极(节点FG2)与晶体管130的源电极和漏电极的一方通过反相器144电连接,p沟道晶体管的栅电极(节点FG1)与晶体管130的源电极和漏电极的一方电连接。注意,其他的结构与图4A的结构相同。

[0100] 当可编程开关的开关部包括一个晶体管时,需要对该晶体管的栅电极施加比对该晶体管的源电极或漏电极所施加的最大(或最小)电位高(或低)出该晶体管的阈值电位的

电位,以维持该晶体管的连接状态(导通状态或关闭状态)。但是,如上所述,当在可编程开关的开关部中使用传输门时,即使在不对栅电极施加高(或低)出上述阈值电位的电位的情况下,也可以进行开关。由此,可以实现可编程开关的耗电量的降低。

[0101] 另外,可以采用图5A的结构。图5A的可编程开关包括晶体管154、晶体管156、晶体管150及晶体管152。晶体管154的源电极和漏电极的一方与第一输入端子PIN1电连接,晶体管154的源电极和漏电极的另一方与该可编程开关的输出端子POUT电连接。晶体管156的源电极和漏电极的一方与第二输入端子PIN2电连接,晶体管156的源电极和漏电极的另一方与该可编程开关的输出端子POUT电连接。晶体管150的源电极和漏电极的一方与晶体管154的栅电极电连接,晶体管150的源电极和漏电极的另一方与数据线D电连接,晶体管150的栅电极与字线W电连接。晶体管152的源电极和漏电极的一方与晶体管156的栅电极电连接,晶体管152的源电极和漏电极的另一方与数据线DB电连接,晶体管152的栅电极与字线W电连接。这里,晶体管150及晶体管152都包括氧化物半导体层。另外,数据线D的电位与数据线DB的电位具有相反的极性。

[0102] 图5A的可编程开关与图3A所示的可编程开关的不同之处在于包含在开关部的与第一输入端子PIN1电连接的晶体管154和与第二输入端子PIN2电连接的晶体管156具有相同的导电型,并且设置有与数据线D电连接的晶体管150和与数据线DB电连接的晶体管152。通过这样的结构,从数据线D输入的保持于晶体管154的栅电极(节点FG1)的电位与从数据线DB输入的保持于晶体管156的栅电极(节点FG2)的电位具有相反极性;由此,晶体管154和晶体管156中的一方成为导通状态,而另一方成为关闭状态。

[0103] 另外,如图5B所示,p沟道晶体管可以用作包含在可编程开关的开关部中的与第一输入端子PIN1电连接的晶体管158和与第二输入端子PIN2电连接的晶体管160。注意,其他的结构与图5A的结构相同。

[0104] 另外,如图5C所示,可以设置与第一输入端子PIN1电连接的传输门162和与第二输入端子PIN2电连接的传输门164,来代替包含在可编程开关的开关部中的晶体管。传输门162由包括n沟道晶体管和p沟道晶体管。各晶体管的源电极和漏电极的一方与第一输入端子PIN1电连接,各晶体管的源电极和漏电极的另一方与输出端子POUT电连接,n沟道晶体管的栅电极(节点FG1)与晶体管150的源电极和漏电极的一方电连接,p沟道晶体管的栅电极(节点FG2)与晶体管152的源电极和漏电极的一方电连接。同样地,传输门164包括n沟道晶体管和p沟道晶体管。各晶体管的源电极和漏电极的一方与第二输入端子PIN2电连接,各晶体管的源电极和漏电极的另一方与输出端子POUT电连接,n沟道晶体管的栅电极(节点FG2)与晶体管152的源电极和漏电极的一方电连接,p沟道晶体管的栅电极(节点FG1)与晶体管150的源电极和漏电极的一方电连接。注意,其他的结构与图5A的结构相同。

[0105] 如上所述,当在可编程开关的开关部中使用传输门时,可以与图4C的包括传输门的可编程开关同样地,即使在不对栅电极施加比对晶体管的源电极或漏电极所施加的最大(或最小)电位高(或低)出该晶体管的阈值电位的电位,也可以进行开关。由此,可以实现可编程开关的耗电量的降低。

[0106] 另外,图4A至4C及图5A至5C的可编程开关中的任一种可以用于与图3B至3D的可编程开关中的任一种同样的结构的组合。例如,如图3B所示那样,将电容器设置在图4A至4C及图5A至5C的可编程开关中的任一个的节点FG1及节点FG2,从而可以容易提高可编程开关的

配置数据保持特性。

[0107] 如上所述,通过使可编程开关的存储部中的晶体管包括能够充分减小晶体管的关态电流的氧化物半导体等宽带隙半导体,即使没有电源电位的供给的情况下也能够保持配置数据。由此,可以省略供给电源后的配置数据的写入,从而可以缩短逻辑块的启动时间。因此,通过常关闭驱动方法,可以实现可编程逻辑装置的耗电量的降低。

[0108] 本实施方式的结构、方法等可以互相组合,或者也可以与其他的实施方式的结构、方法等适当地组合。

[0109] 实施方式2

[0110] 在本实施方式中,参照图6A至6D、图7A和7B、图8A至8C及图9A和9B对实施方式1的可编程逻辑装置的可编程开关的制造方法进行说明。作为一个例子,对图3A所示的包括晶体管110、晶体管112及晶体管114的可编程开关的制造方法进行说明。另外,在图6A至6D、图7A和7B、图8A至8C及图9A和9B中,沿着线A-B的截面图相当于形成有包括氧化物半导体膜的晶体管110、n沟道晶体管112及p沟道晶体管114的区域的截面图,沿着线C-D的截面图相当于包括氧化物半导体膜的晶体管110的源电极和漏电极的一方与n沟道晶体管112的栅电极连接的节点FG的截面图。注意,虽然在本实施方式中没有直接图示,如图3A所示那样,p沟道晶体管114的栅电极也与节点FG电连接。

[0111] 首先,如图6A所示,在n型半导体衬底201中形成元件分离区203,然后,在n型半导体衬底201的一部分中形成p阱区205。

[0112] 作为n型半导体衬底201,可以使用具有n型导电型的单晶硅衬底(硅片)、化合物半导体衬底(例如,SiC衬底、蓝宝石衬底、或GaN衬底)。

[0113] 可以使用如下衬底作为SOI(Silicon on Insulator;绝缘体上硅)衬底而代替n型半导体衬底201:以在对镜面抛光薄片注入氧离子之后,通过进行高温加热在离表面一定深度的区域中形成氧化层并消除产生在表面层中的缺陷的方式形成的所谓的SIMOX (Separation by Implanted Oxygen:注入氧隔离)衬底;或者利用通过注入氢离子而形成的微小空隙经过热处理成长而使半导体衬底劈开的智能剥离(Smart-Cut)法或ELTRAN (Epitaxial Layer Transfer:日本佳能公司的注册商标)法等形成的SOI衬底。

[0114] 元件分离区203通过硅局部氧化(Local Oxidation of Silicon:LOCOS)法或浅沟槽隔离(Shallow Trench Isolation:STI)法等形成。

[0115] 以 $5 \times 10^{15} \text{cm}^{-3}$ 至 $1 \times 10^{16} \text{cm}^{-3}$ 左右的浓度对p阱区205添加如硼等赋予p型导电型的杂质元素。以在半导体衬底201的一部分上形成掩模,对半导体衬底201的一部分添加如硼等赋予p型导电型的杂质元素的方式形成p阱区205。

[0116] 另外,虽然这里使用n型半导体衬底,但是可以使用p型半导体衬底并可以通过添加如磷、砷等赋予n型导电型的杂质来在该p型半导体衬底中形成n阱区。在如图4A和4B及图5A和5B所示的可编程开关那样,包含在可编程开关的开关部中的晶体管具有相同导电型的情况下,不需要形成p阱区或n阱区。

[0117] 接着,如图6B所示那样,在半导体衬底201上形成栅极绝缘膜207a、栅极绝缘膜207b、栅电极209a及栅电极209b。

[0118] 进行热处理使半导体衬底201的表面氧化,以形成氧化硅膜。或者,通过热氧化法形成氧化硅膜,然后通过氮化处理使氧化硅膜的表面氮化;由此形成包括氧化硅膜与包含

氧和氮的硅膜(氧氮化硅膜)的叠层结构。接着,对氧化硅膜或氧氮化硅膜的一部分进行选择性地蚀刻,以形成栅极绝缘膜207a及栅极绝缘膜207b。或者,以利用CVD法、溅射法等形成厚度为5至50nm的氧化硅、氧氮化硅、高介电常数材料(也称为high-k材料)的金属氧化物诸如钽氧化物、氧化钨、氧化钨硅酸盐、氧化锆、氧化铝、氧化钛等、或稀土氧化物如氧化镧等,然后对其一部分进行选择性地蚀刻的方式,形成栅极绝缘膜207a及栅极绝缘膜207b。

[0119] 优选的是,栅电极209a及栅电极209b都使用选自钽、钨、钛、钼、铬、铌等的金属或包含这些金属作为主要成分的合金材料或化合物材料形成。另外,可以使用添加有磷等杂质的多晶硅。或者,栅电极209a及栅电极209b可以具有包括金属氮化物膜和上述金属中的任一种的膜的叠层结构。作为金属氮化物,可以使用氮化钨、氮化钼、或氮化钽。当设置金属氮化物膜时,可以提高金属膜的粘合性,能够防止剥离。

[0120] 栅电极209a及栅电极209b以在通过溅射法、CVD法等形成导电膜之后对该导电膜的一部分进行选择性地蚀刻的方式形成。

[0121] 这里,通过热处理使半导体衬底201的表面氧化,以形成氧化硅膜;通过溅射法在该氧化硅膜上形成包括氮化钽膜及钨膜的叠层的导电膜;然后,对氧化硅膜的一部分及导电膜的一部分进行选择性地蚀刻。由此,形成栅极绝缘膜207a、栅极绝缘膜207b、栅电极209a及栅电极209b。

[0122] 注意,为了实现高集成化,在栅电极209a及栅电极209b的侧面不设置侧壁绝缘层的结构是优选的。另一方面,当注重晶体管的特性时,可以在栅电极209a及栅电极209b的侧面设置侧壁绝缘层。

[0123] 接着,如图6C所示,对半导体衬底201添加赋予p型导电型的杂质元素,来形成p型杂质区213a和p型杂质区213b。另外,对p阱区205添加赋予n型导电型的杂质元素,来形成n型杂质区211a和n型杂质区211b。在n型杂质区211a和211b中的赋予n型导电型的杂质元素的浓度高于或等于 $1 \times 10^{19}/\text{cm}^3$ 且低于或等于 $1 \times 10^{21}/\text{cm}^3$,并且,在p型杂质区213a和213b中的赋予p型导电型的杂质元素的浓度高于或等于 $1 \times 10^{19}/\text{cm}^3$ 且低于或等于 $1 \times 10^{21}/\text{cm}^3$ 。通过适当地使用离子掺杂法、离子注入法等,对p阱区205及半导体衬底201分别添加赋予n型导电型的杂质元素及赋予p型导电型的杂质元素。如图4A和4B及图5A和5B所示的情况那样,当包含在可编程开关的开关部中的晶体管具有相同的导电型时,可以添加赋予p型导电型的杂质元素或赋予n型导电型的杂质元素的一方。

[0124] 当在栅电极209a及栅电极209b的侧面上设置侧壁绝缘层时,可以在与该侧壁绝缘层重叠的区域中形成具有与n型杂质区211a和211b、p型杂质区213a和213b不同的杂质浓度的杂质区。

[0125] 接着,如图6D所示,通过溅射法、CVD法等,在半导体衬底201、元件分离区203、栅极绝缘膜207a和207b、栅电极209a和209b上形成绝缘膜215及绝缘膜217。

[0126] 绝缘膜215及217可以使用包括氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等的单层或叠层形成。当通过CVD法形成绝缘膜215时,可以提高绝缘膜215的氢含量。使用该绝缘膜215进行加热处理,可以使半导体衬底氢化,可以用氢消除悬空键,并可以降低该半导体衬底中的缺陷。

[0127] 另外,当使用无机材料如硼磷硅玻璃(Boron Phosphorus Silicon Glass:BPSG)、或有机材料如聚酰亚胺或丙烯酸树脂形成绝缘膜217时,绝缘膜217的平坦性可以提高。

[0128] 在绝缘膜215或绝缘膜217的形成之后,进行热处理以使添加到n型杂质区211a和211b、p型杂质区213a和213b中的杂质元素活性化。

[0129] 通过上述工序,如图6D所示,可以制造n沟道晶体管112及p沟道晶体管114。这里,晶体管112及晶体管114都使用如单晶硅等除了氧化物半导体以外的半导体形成,因此晶体管112及晶体管114能够进行高速工作。因此,可以形成能够进行高速工作的可编程开关。

[0130] 接着,对各绝缘膜215和217的一部分进行选择性地蚀刻形成开口部。然后,在开口部中形成接触插头219a至219d。典型的是,在通过溅射法、CVD法等形成导电膜之后,通过化学机械抛光(Chemical Mechanical Polishing: CMP)法、蚀刻法等进行平坦化处理,并去除导电膜的不需要的部分,来形成接触插头219a至接触插头219d。

[0131] 以通过CVD法使用 WF_6 气体和 SiH_4 气体形成硅化钨的方式形成成为接触插头219a至219d的导电膜,以填充开口部。

[0132] 接着,通过溅射法、CVD法等,在绝缘膜217及接触插头219a至219d上形成绝缘膜,然后,对该绝缘膜的一部分进行选择性地蚀刻,来形成具有沟槽部分的绝缘膜221。接着,在通过溅射法、CVD法等形成导电膜之后,通过CMP法、蚀刻法等进行平坦化处理,并去除该导电膜的不需要的部分;由此,形成布线223a至223c(参照图7A)。

[0133] 这里,布线223a用作晶体管112的源电极和漏电极的一方并与图3A的第一输入端子PIN1电连接。布线223c用作晶体管114的源电极和漏电极的一方并与图3A的第二输入端子PIN2电连接。布线223b用作晶体管112的源电极和漏电极的另一方及晶体管114的源电极和漏电极的另一方并与图3A的输出端子POUT电连接。

[0134] 绝缘膜221可以使用与绝缘膜215相同的材料形成。

[0135] 布线223a至223c被形成为包含任意金属诸如铝、钛、铬、镍、铜、钇、锆、钼、银、钽和钨或包含这些元素中的任一种作为主要成分的合金的单层结构或叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠钛膜的两层结构、在钨膜上层叠钛膜的两层结构、在铜-镁-铝合金膜上形成铜膜的两层结构、依次层叠有钛膜、铝膜、钛膜的三层结构。另外,可以使用包含氧化钪、氧化锡或氧化锌的透明导电材料。

[0136] 使用被平坦化的绝缘膜221及布线223a至223c,由此,可以降低后面形成的包括氧化物半导体层的晶体管的电特性的不均匀。另外,可以高成品率地形成包括氧化物半导体膜的晶体管。

[0137] 接着,优选进行加热处理或等离子体处理,以使包含于绝缘膜221及布线223a至223c的氢脱离。由此,在之后的加热处理中,可以防止氢扩散到后面形成的绝缘膜及氧化物半导体膜中。该加热处理以高于或等于 $100^{\circ}C$ 且低于衬底的应变点的温度在惰性气氛、减压气氛或干燥气氛中进行。此外,等离子体处理使用稀有气体、氧、氮或氧化氮(例如,一氧化二氮、一氧化氮、或二氧化氮)。

[0138] 接着,通过溅射法、CVD法等,在绝缘膜221及布线223a至223c上形成绝缘膜225。绝缘膜225使用含有氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铟、氧化钇、氧化铝、氧氮化铝中的一种或多种的单层或叠层。绝缘膜225优选使用通过加热而使氧的一部分脱离的氧化绝缘膜形成。作为通过加热而使氧的一部分脱离的氧化绝缘膜,使用含有超过化学计量比的氧的氧化绝缘膜。通过加热使氧从氧化绝缘膜脱离;由此通过之后的工序中进行的加热可以使氧扩散到氧化物半导体膜中。

[0139] 优选通过CMP处理等使绝缘膜225平坦化。绝缘膜225的表面的平均表面粗糙度(Ra)为1nm或更小,优选为0.3nm或更小,更优选为0.1nm或更小。

[0140] 注意,在本说明书等中,平均表面粗糙度(Ra)是以能够应用于测定表面的方式对由JISB0601:2001(ISO4287:1997)定义的中心线平均粗糙度(Ra)进行了三维扩展,且为从基准面到指定面的偏差的绝对值的平均值。

[0141] 当测量数据所示的面的测量面以 $Z=F(X,Y)$ 表示时,平均表面粗糙度(Ra)为从基准面到指定面的偏差的绝对值的平均值,且由如下算式(算式1)表示。

[0142] [算式1]

$$[0143] \quad R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X,Y) - Z_0| dXdY$$

[0144] 这里,指定面是测量粗糙度对象的面,且是由以坐标 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2) 表示的四点围绕的矩形区域。当指定面理想地平坦时, S_0 表示指定面的面积。此外,基准面是指在指定面的平均高度上平行于XY平面的面。也就是说,当指定面的高度的平均值由 Z_0 表示时,基准面的高度也由 Z_0 表示。通过使用原子力显微镜(AFM:Atomic Force Microscope),可以测量平均表面粗糙度(Ra)。

[0145] 上述CMP处理可以进行一次或多次。当多次进行CMP处理时,优选在进行高抛光率的初期抛光之后,进行低抛光率的最后抛光。通过组合进行抛光率不同的抛光步骤,可以进一步提高绝缘膜225表面的平坦性。

[0146] 另外,可以使用等离子体处理作为绝缘膜225的平坦化处理。以在真空处理室中引入惰性气体例如氩气体等稀有气体并施加电场将被处理面用作阴极的方式进行等离子体处理。该等离子体处理的原理与等离子体干蚀刻法相同,并在等离子体处理中使用惰性气体。也就是说,该等离子体处理是对被处理面照射惰性气体的离子并通过溅射效应减小表面的微细凹凸的处理。因此,该等离子体处理也可以称为“反溅射处理”。

[0147] 在该等离子体处理中,等离子体中存在电子和氩的阳离子并且在阴极方向上氩的阳离子被加速。被处理面由被加速的氩的阳离子溅射。此时,被处理面的凸部优先地被溅射。由溅射而产生的粒子从被处理面附着到被处理面的其他部分。此时,该粒子优先地附着到被处理面的凹部。像这样,通过减小凸部填充凹部,可以提高被处理面的平坦性。另外,通过组合等离子体处理和CMP处理,可以进一步使绝缘膜225平坦化。

[0148] 另外,通过该等离子体处理,利用溅射效果可以去除附着在绝缘膜225表面杂质,诸如氢、水分和有机物。

[0149] 优选的是,在形成氧化物半导体之前,通过进行成膜室的加热及排气,去除成膜室中的杂质诸如氢、水、具有羟基的化合物、以及氢化物。尤其重要的是,去除吸着在成膜室的内壁的这些杂质。这里,例如,可以在高于或等于100℃且低于或等于450℃的温度下进行加热处理。优选适当地组合干燥泵等粗真空泵和溅射离子泵、涡轮分子泵及低温泵等高真空泵进行成膜室的排气。涡轮分子泵在大分子的排气能力方面优秀,但是对氢和水的排气能力低。由此,涡轮分子泵与对水的排气能力高的低温泵或对氢的排气能力高的溅射离子泵的组合是有效的。此时,当导入惰性气体的同时去除杂质时,可以进一步提高仅靠排气而不容易脱离的水等的脱离速率。通过在形成氧化物半导体膜之前通过该处理去除成膜室中的杂质,可以防止氢、水、具有羟基的化合物、氢化物等混入到氧化物半导体中。

[0150] 在使用溅射装置形成氧化物半导体膜之前,可以将伪衬底搬入溅射装置中,并可以在伪衬底上形成氧化物半导体膜,以去除附着到靶材表面或防成模板的氢和水分。

[0151] 接着,通过溅射法、涂布法、印刷法、蒸镀法、PCVD法、PLD法、ALD法或MBE法等绝缘膜225上形成氧化物半导体膜227(参照图7B)。这里,作为氧化物半导体膜227,通过溅射法形成大于或等于1nm且小于或等于50nm,优选为大于或等于3nm且小于或等于30nm的厚度的氧化物半导体膜。当氧化物半导体膜227具有上述范围的厚度时,可以抑制由于晶体管的微细化而可能引起的短沟道效应。

[0152] 用作氧化物半导体膜227的氧化物半导体优选至少包含铟(In)或锌(Zn)。尤其是,优选包含In及Zn。作为用来降低包括该氧化物半导体的晶体管的电特性的不均匀性的稳定剂,优选还包含镓(Ga)。优选包含锡(Sn)作为稳定剂。优选包含铪(Hf)作为稳定剂。优选包含铝(Al)作为稳定剂。

[0153] 作为其他稳定剂,可以包含一种或多种镧系元素诸如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)或镱(Lu)。

[0154] 作为氧化物半导体,例如,可以使用如下任意氧化物半导体:氧化铟;氧化锡;氧化锌;二元金属氧化物如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物;三元金属氧化物如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及四元金属氧化物如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。此外,氧化硅可以包含在上述氧化物半导体中。在此,例如,In-Ga-Zn氧化物是指包含铟(In)、镓(Ga)、锌(Zn)作为主要成分的氧化物,对In:Ga:Zn的比率没有特别的限制。In-Ga-Zn氧化物可以含有In、Ga、Zn以外的金属元素。此时,在上述氧化物半导体中的氧量优选超过氧的化学计量比。当氧量超过化学计量比,可以抑制氧化物半导体膜中的氧缺陷所导致的载流子的生成。

[0155] 另外,由 $InM_3O_3(ZnO)_m$ ($m > 0$, 且 m 不是整数)表示的材料可以用作氧化物半导体。注意, M 表示选自Ga、Fe、Mn和Co中的一种或多种金属元素。此外,作为氧化物半导体,可以使用由 $In_3SnO_5(ZnO)_n$ ($n > 0$, 且 n 是整数)表示的材料。

[0156] 另外,在氧化物半导体膜227中的碱金属或碱土金属的浓度优选为低于或等于 1×10^{18} atoms/cm³,更优选为低于或等于 2×10^{16} atoms/cm³。当碱金属或碱土金属与氧化物半导体键合时,有时生成载流子,这导致晶体管的关态电流的上升。

[0157] 氧化物半导体膜227可以含有浓度为低于或等于 5×10^{18} atoms/cm³的氮。

[0158] 作为可以用作氧化物半导体膜227的氧化物半导体,使用与硅相比带隙宽且本征载流子密度低的宽带隙半导体。通过使用带隙宽的氧化物半导体,可以减少晶体管的关态电流。

[0159] 氧化物半导体膜227可以具有单晶结构或非单晶结构。在后者的情况下,氧化物半导体膜227可以具有非晶结构或多晶结构。另外,氧化物半导体膜227可以具有含有具有结

晶性的部分的非晶结构或非非晶结构。

[0160] 在非晶状态的氧化物半导体中,可以比较容易地得到平坦的表面,所以当使用该氧化物半导体制造晶体管时,可以减少界面散乱,并可以比较容易得到较高的迁移率。

[0161] 在具有结晶性的氧化物半导体中,可以进一步降低块体内缺陷,并且当表面的平坦性提高时,可以得到比非晶状态的氧化物半导体更高的迁移率。为了提高表面的平坦性,氧化物半导体优选形成在平坦的表面上。如上所述使绝缘膜225表面的平均面粗糙度(Ra)为1nm或更小,优选为0.3nm或更小,更优选为0.1nm或更小,并氧化物半导体膜227优选形成在其上。

[0162] 这里,通过溅射法形成氧化物半导体膜227。

[0163] 例如,作为溅射法中使用的靶材,可以举出如下:氧化铟;氧化锡;氧化锌;二元金属氧化物如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物;三元金属氧化物如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及四元金属氧化物如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0164] 当In-Ga-Zn-O类材料用作氧化物半导体时,例如,所使用的靶材可以具有原子数比为In:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3或3:1:4等的组成比。可以使用上述原子数比的In-Ga-Zn类氧化物或该组成附近的组成的氧化物的靶材。

[0165] 当In-Sn-Zn-O类材料用作氧化物半导体时,例如,所使用的靶材可以具有原子数比为In:Sn:Zn=1:1:1(=1/3:1/3:1/3)、In:Sn:Zn=2:1:3(=1/3:1/6:1/2)、In:Sn:Zn=2:1:5(=1/4:1/8:5/8)、In:Sn:Zn=1:2:2(=1/5:2/5:2/5)、In:Sn:Zn=20:45:35等的组成比。可以使用上述原子数比的In-Sn-Zn类氧化物或该组成附近的组成的氧化物的靶材。

[0166] 当In-Zn-O类材料用作氧化物半导体时,所使用的靶材的组成比在原子数比上为In:Zn=50:1至1:2(在摩尔数比上为In₂O₃:ZnO=25:1至1:4),优选在原子数比上为In:Zn=20:1至1:1(在摩尔数比上为In₂O₃:ZnO=10:1至1:2),更优选在原子数比上为In:Zn=15:1至1.5:1(在摩尔数比上为In₂O₃:ZnO=15:2至3:4)。例如,在用于形成In-Zn-O类氧化物半导体的原子数比为In:Zn:O=X:Y:Z的靶材中,满足Z>1.5X+Y的关系。可以使用上述原子数比的In-Zn-O类氧化物或该组成附近的组成的氧化物的靶材。

[0167] 但是,所公开的发明不局限于上述内容,根据所需要的半导体特性(例如,迁移率、阈值和不均匀性)可以使用具有适当的组成的材料。为了获得所需要的半导体特性,优选的是,适当地设定载流子密度、杂质浓度、缺陷密度、金属元素和氧的原子数比、原子间结合距离以及密度等。

[0168] 例如,通过使用In-Sn-Zn类氧化物,比较容易可得到高迁移率。但是,即使在使用In-Ga-Zn类氧化物的情况下,通过降低块体内缺陷密度也可以提高迁移率。

[0169] 此外,例如,“含有In、Ga、Zn的氧化物的在原子数比上的组成In:Ga:Zn=a:b:c(a+

b+c=1)位于含有In、Ga、Zn的氧化物的在原子数比上的组成In:Ga:Zn=a:b:c(a+b+c=1)的附近”是指a、b、c满足下述关系： $(a-A)^2+(b-B)^2+(c-C)^2\leq r^2$,r例如可以为0.05。其他氧化物也是同样的。

[0170] 作为溅射气体,适当地使用稀有气体(典型的是氩)气氛、氧气氛或稀有气体和氧的混合气体。当使用稀有气体和氧的混合气体时,氧气体的比例优选高于稀有气体的比例。另外,为了防止氢、水、羟基、氢化物等混入到氧化物半导体膜中作为溅射气体,优选的是,使用充分地去除氢、水、羟基、氢化物等的杂质的高纯度气体的气氛。

[0171] 在溅射法中,RF电源装置、AC电源装置、DC电源装置等可以适当地用作产生等离子体的电源装置。

[0172] 形成氧化物半导体膜的处理室的泄漏率优选为低于或等于 $1\times 10^{-10}\text{Pa}\cdot\text{m}^3/\text{秒}$,由此可以降低通过溅射法形成的膜中的杂质混入。如上所述,在氧化物半导体膜的形成工序中,更优选在氧化绝缘膜的形成工序中,通过控制处理室的压力、处理室的泄漏率等尽量抑制杂质的混入,由此能够减少对氧化物半导体膜中的含有氢的杂质侵入。此外,可以降低氢等的杂质从氧化物绝缘膜扩散到氧化物半导体膜。

[0173] 作为氧化物半导体膜227,可以使用具有结晶化部分的C轴取向结晶氧化物半导体(C Axis Aligned Crystalline Oxide Semiconductor:CAAC-OS)膜。

[0174] CAAC-OS膜不是完全的单晶,也不是完全的非晶。CAAC-OS膜是在非晶相中具有结晶部的结晶-非晶混合相结构的氧化物半导体膜。另外,大多情况下,该结晶部分可容纳于一个边长小于100nm的立方体内。另外,在使用透射电子显微镜(TEM:Transmission Electron Microscope)观察而得到的图像中,CAAC-OS膜中的非晶部与结晶部的边界不明确。另外,通过使用TEM,观察不到在CAAC-OS膜中的晶界(grain boundary)。因此,在CAAC-OS膜中,起因于晶界的电子迁移率的降低得到抑制。

[0175] 在包含于CAAC-OS膜中的结晶部中,c轴在平行于被形成CAAC-OS膜的表面的法线向量或CAAC-OS膜的表面的法线向量的方向上一致,在从垂直于ab面的方向看时形成有三角形或六角形的原子排列,且在从垂直于c轴的方向看时,金属原子排列为层状或者金属原子和氧原子排列为层状。另外,在结晶部之间,一个结晶部的a轴及b轴的方向可以不同于另一个结晶部的a轴及b轴的方向。在本说明书中,在只记载“垂直”时,包括从 85° 到 95° 的范围。另外,在只记载“平行”时,包括从 -5° 到 5° 的范围。

[0176] 在CAAC-OS膜中,结晶部的分布不一定必须具有均匀性。例如,在CAAC-OS膜的形成过程中,当从氧化物半导体膜的表面一侧进行结晶生长时,有时与被形成氧化物半导体膜的面附近相比氧化物半导体膜的表面附近的结晶部的比例更高。另外,当对CAAC-OS膜添加杂质时,有时在该杂质添加区中的结晶部成为非晶体。

[0177] 由于包含于CAAC-OS膜中的结晶部的c轴在平行于被形成CAAC-OS膜的表面的法线向量或CAAC-OS膜的表面的法线向量的方向上一致,所以根据CAAC-OS膜的形状(被形成CAAC-OS膜的表面的截面形状或CAAC-OS膜的表面的截面形状)c轴的方向可以彼此不同。另外,在形成CAAC-OS膜时,结晶部的c轴方向是平行于被形成CAAC-OS膜的表面的法线向量或CAAC-OS膜的表面的法线向量的方向。结晶部通过成膜或通过在成膜之后进行加热处理等结晶化的处理而形成。

[0178] 通过在晶体管中使用CAAC-OS膜,能够降低由可见光或紫外光的照射引起的晶体

管的电特性变动。因此,该晶体管的可靠性高。

[0179] 另外,包含在氧化物半导体膜中的氧的一部分可以用氮取代。

[0180] 在如CAAC-OS那样的具有结晶部分的氧化物半导体中,块体内缺陷可以进一步减少,当表面的平坦性提高时,可以得到比非晶状态的氧化物半导体的迁移率高的迁移率。为了提高表面的平坦性,氧化物半导体优选形成在平坦的表面上。具体地,优选在平均面粗糙度(Ra)为1nm或更小,优选为0.3nm或更小,更优选为0.1nm或更小的表面上形成氧化物半导体。

[0181] 参照图12A至12E、图13A至13C、图14A至图14C及图28A和28B详细说明CAAC-OS的结晶结构的例子。在没有特别的说明时,在图12A至12E、图13A至13C、图14A至图14C及图28A和28B中,垂直方向对应于c轴方向,并与c轴方向垂直的面对应于ab面。在只说“上半”和“下半”时,其是指以上述ab面的上方的上半和ab面的下方的下半(相对于ab面的上半和下半)。另外,在图12A至12E中,由圆圈包围的O表示四配位的O,由双圈包围的O表示三配位的O。

[0182] 图12A示出具有一个六配位In原子以及靠近In原子的六个四配位氧原子(以下称为四配位O)的结构。这里,包括一个金属原子及靠近其的氧原子的结构称为小组。图12A的结构实际上是八面体结构,但是为了简化示出平面结构。另外,在图12A中的上半及下半都有三个四配位O原子。在图12A所示的小组中,电荷为0。

[0183] 图12B示出具有一个五配位Ga原子、靠近Ga原子的三个三配位氧原子(以下称为三配位O)以及靠近Ga原子的两个四配位O原子的结构。所有三配位O原子存在于ab面上。在图12B中的上半及下半都有一个四配位O原子。因为In原子能够具有五个配体,所以In原子也可以具有图12B所示的结构。在图12B所示的小组中,电荷为0。

[0184] 图12C示出具有一个四配位Zn原子以及靠近Zn原子的四个四配位O原子的结构。在图12C中,上半有一个四配位O原子,下半有三个四配位O原子。或者,在图12C中的上半可以有三个四配位O原子,下半可以有一个四配位O原子。在图12C所示的小组中,电荷为0。

[0185] 图12D示出具有一个六配位Sn原子以及靠近Sn原子的六个四配位O原子的结构。在图12D中,上半和下半都有三个四配位O原子。在图12D所示的小组中,电荷为+1。

[0186] 图12E示出包括两个Zn原子的小组。在图12E中,上半和下半都有一个四配位O原子。在图12E所示的小组中,电荷为-1。

[0187] 在此,多个小组形成中组,多个中组形成大组(也称为晶胞)。

[0188] 在此,将说明该小组之间的键合规则。图12A的六配位In原子的上半的三个O原子的每一个在下方向上具有三个靠近的In原子,下半的三个O原子的每一个在上方向上具有三个靠近的In原子。图12B的五配位Ga原子的上半的一个O原子在下方向上具有一个靠近的Ga原子,下半的一个O原子在上方向上具有一个靠近的Ga原子。图12C的四配位Zn原子的上半的一个O原子在下方向上具有一个靠近的Zn原子,下半的三个O原子的每一个在上方向上分别具有三个靠近的Zn原子。像这样,金属原子的上方向上的四配位O原子的个数等于位于该四配位O原子的下方向上的靠近的金属原子的个数。与此同样,金属原子的下方向上的四配位O原子的个数等于位于该四配位O原子的上方向上的靠近的金属原子的个数。因为四配位O原子的配位数是4,所以位于O原子的下方向上的靠近的金属原子的个数和

位于O原子的上方向上的靠近的金属原子的个数的总和为4。因此,当位于一金属原子的上方向上的四配位O原子的个数和位于另一金属原子的下方向上的四配位O原子的个数的总和为4时,具有金属原子的两种小组可以彼此键合。例如,在六配位金属(In或Sn)原子通过下一半的四配位O原子键合时,其与五配位金属(Ga或In)原子或四配位金属(Zn)原子键合。

[0189] 配位数为4、5或6的金属原子在c轴方向上通过四配位O原子与另一金属原子键合。除此以外,以不同的方式,通过以使层结构的总和电荷为0的方式键合多个小组,来可以形成中组。

[0190] 图13A示出包含在In-Sn-Zn-O类的层结构中的中组的模型。图13B示出包含三个中组的大组。另外,图13C示出从c轴方向上观察图13B的层结构时的原子排列。

[0191] 在图13A中,为了简化,省略三配位O原子,四配位O原子由圆表示;圆中的数字表示四配位O原子的个数。例如,由圈住的3表示Sn原子的上半及下半都有三个四配位O原子。与此同样,在图13A中,由圈住的1表示In原子的上半及下半都有一个四配位O原子。与此同样,图13A示出在下一半与一个四配位O原子靠近而在上半与三个四配位O原子靠近的Zn原子、以及在上半与一个四配位O原子靠近而在下一半与三个四配位O原子靠近的Zn原子。

[0192] 在图13A的包含在In-Sn-Zn-O类层结构的中组中,从上面按顺序,在上半及下半都与三个四配位O原子靠近的Sn原子与在上半及下半都与一个四配位O原子靠近的In原子键合,该In原子与在上半与三个四配位O原子靠近的Zn原子键合,该Zn原子通过该Zn原子的下一半的一个四配位O原子与在上半及下半都与三个四配位O原子靠近的In原子键合;该In原子与在上半与一个四配位O原子靠近的包含两个Zn原子的小组键合,该小组通过该小组的下一半的一个四配位O原子与在上半及下半都与三个四配位O原子靠近的Sn原子键合。多个上述中组彼此键合而形成大组。

[0193] 这里,三配位O原子的一个键合的电荷及四配位O原子的一个键合的电荷分别可以被认为是 -0.667 及 -0.5 。例如,(六配位或五配位的)In原子的电荷、(四配位的)Zn原子的电荷以及(五配位或六配位的)Sn原子的电荷分别为 $+3$ 、 $+2$ 以及 $+4$ 。因此,包含Sn原子的小组的电荷为 $+1$ 。因此,为了形成包含Sn原子的层结构,需要消除电荷 $+1$ 的电荷 -1 。作为具有电荷 -1 的结构,可以举出图12E所示的包含两个Zn原子的小组。例如,通过使用一个包含两个Zn原子的小组,可以消除一个包含Sn原子的小组的电荷被,由此,层结构的总电荷可以为0。

[0194] 当重复图13B所示的大组时,可以得到In-Sn-Zn-O类结晶($\text{In}_2\text{SnZn}_3\text{O}_8$)。此外,所得到的In-Sn-Zn-O类的层结构可以由组成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是0或自然数)表示。

[0195] 上述机理也可以应用于下述氧化物:四元金属氧化物如In-Sn-Ga-Zn-O类氧化物;三元金属氧化物如In-Ga-Zn-O类氧化物(也表示为IGZO)、In-Al-Zn-O类氧化物、Sn-Ga-Zn-O类氧化物、Al-Ga-Zn-O类氧化物、Sn-Al-Zn-O类氧化物、In-Hf-Zn-O类氧化物、In-La-Zn-O类氧化物、In-Ce-Zn-O类氧化物、In-Pr-Zn-O类氧化物、In-Nd-Zn-O类氧化物、In-Sm-Zn-O类氧化物、In-Eu-Zn-O类氧化物、In-Gd-Zn-O类氧化物、In-Tb-Zn-O类氧化物、In-Dy-Zn-O类氧化物、In-Ho-Zn-O类氧化物、In-Er-Zn-O类氧化物、In-Tm-Zn-O类氧化物、In-Yb-Zn-O类氧化物、In-Lu-Zn-O类氧化物;二元金属氧化物如In-Zn-O类氧化物、Sn-Zn-O类氧化物、Al-Zn-O类氧化物、Zn-Mg-O类氧化物、Sn-Mg-O类氧化物、In-Mg-O类氧化物、In-Ga-O类氧化

物;等等。

[0196] 作为一个例子,图14A示出包含在In-Ga-Zn-O类的层结构中的中组的模型。

[0197] 在图14A中包含在In-Ga-Zn-O类层结构中的中组中,从上面按顺序,在上半和下一半都与三个四配位O原子靠近的In原子与在上半与一个四配位的O原子靠近的Zn原子键合,该Zn原子通过该Zn原子的下一半的三个四配位O原子与在上半及下一半都与一个四配位O原子靠近的Ga原子键合,该Ga原子通过该Ga原子的下一半的一个四配位O原子与在上半及下一半都与三个四配位O原子靠近的In原子键合。多个上述中组彼此键合而形成大组。

[0198] 图14B示出包括三个中组的大组。另外,图14C示出从c轴方向上观察图14B的层结构时的原子排列。

[0199] 在此,因为(六配位或五配位的)In原子的电荷、(四配位的)Zn原子的电荷、(五配位的)Ga原子的电荷分别是+3、+2、+3,所以包含In、Zn及Ga中的任一个的小组的电荷为0。其结果是,具有这些小组的组的中组的总电荷一直为0。

[0200] 为了形成In-Ga-Zn-O类层结构,既可以使用图14A所示的中组形成大组,又可以使用In原子、Ga原子、Zn原子的排列与图14A不同的中组形成大组。

[0201] 当重复图14B所示的大组时,可以得到In-Ga-Zn-O类结晶。此外,所得到的In-Ga-Zn-O类的层结构可以由组成式 $\text{InGaO}_3(\text{ZnO})_n$ (n是自然数)表示。

[0202] 当n=1(InGaZnO_4)时,例如,可以得到图28A所示的结晶结构。另外,在图28A的结晶结构中,因为如图12B所示那样Ga原子及In原子都具有五个配体,所以可以得到具有由In取代Ga的结构的结晶结构。

[0203] 此外,当n=2($\text{InGaZn}_2\text{O}_5$)时,例如,可以得到图28B所示的晶体结构。另外,在图28B的晶体结构中,因为如图12B所示那样Ga原子及In原子都具有五个配体,所以可以得到具有由In取代Ga的结构的结晶结构。

[0204] 在形成氧化物半导体膜227的期间中,将衬底加热到高于200°C且低于或等于700°C的温度,优选为高于300°C且低于或等于500°C,更优选为高于或等于400°C且低于或等于450°C的温度,以使氧化物半导体膜227包含CAAC-OS。通过上述方式,在加热衬底的同时形成氧化物半导体膜227,由此,可以使氧化物半导体膜227包含CAAC-OS。

[0205] 另外,还可以在上述温度范围内进行加热的同时形成厚度为大于或等于一原子层且小于或等于10nm,优选为大于或等于2nm且小于或等于5nm的薄的第一氧化物半导体膜,然后通过相同的方法,在进行加热的同时形成厚度厚的第二氧化物半导体膜;通过层叠第一氧化物半导体膜和第二氧化物半导体膜,来可以形成包含CAAC-OS的氧化物半导体膜227。

[0206] 为了形成具有非晶结构的氧化物半导体膜227,在形成氧化物半导体膜227时,不进行衬底的加热或者以衬底温度为低于200°C,更优选为低于180°C的方式加热衬底。通过像这样形成氧化物半导体膜227,可以使氧化物半导体膜227具有非晶结构。

[0207] 另外,可以使用如下方式形成CAAC-OS的氧化物半导体膜227:在通过上述方法形成具有非晶结构的氧化物半导体膜之后,以高于或等于250°C且低于或等于700°C,优选为高于或等于400°C,更优选为高于或等于500°C,进一步优选为高于或等于550°C的温度进行加热处理,以使该具有非晶结构的氧化物半导体膜的至少一部分晶化。另外,该加热处理可

以在惰性气氛下进行。该惰性气体气氛优选为包含氮或稀有气体(例如,氮、氖或氩)作为主要成分且不含有水、氢等的气氛。例如,引入热处理装置中的氮或稀有气体诸如氮、氖或氩的纯度为高于或等于6N(99.9999%),优选为高于或等于7N(99.99999%) (即,杂质浓度为低于或等于1ppm,优选为低于或等于0.1ppm)。后面所述的用来脱水化、脱氢化的加热处理可以用作上述加热处理。

[0208] 在形成氧化物半导体膜227之后,可以对氧化物半导体膜227进行加热处理。该加热处理可以进一步去除在氧化物半导体膜227中的包含氢原子的物质;由此,可以改善氧化物半导体膜227的结构,并可以降低能隙中的缺陷能级。在惰性气体气氛下,以高于或等于300℃且低于或等于700℃,优选为高于或等于450℃且低于或等于600℃的温度进行该加热处理。在衬底具有应变点时,以低于衬底的应变点的温度进行该加热处理。另外,惰性气体气氛优选为包含氮或稀有气体(例如,氮、氖或氩)作为主要成分且不含有水、氢等的气氛。例如,引入热处理装置中的氮或稀有气体诸如氮、氖或氩的纯度为高于或等于6N(99.9999%),优选为高于或等于7N(99.99999%) (即,杂质浓度为低于或等于1ppm,优选为低于或等于0.1ppm)。

[0209] 可以以如下方式进行该加热处理,例如,将半导体衬底201引入到使用电阻发热体等的电炉中,在氮气氛下以450℃加热1小时。

[0210] 另外,热处理装置不局限于电炉,可以使用通过来自被加热的气体等的介质的热传导或热辐射来加热被处理物的装置。例如,可以使用快速热退火(Rapid Thermal Anneal:RTA)装置如灯快速热退火(Lamp Rapid Thermal Anneal:LRTA)装置、气体快速热退火(Gas Rapid Thermal Anneal:GRTA)装置。LRTA装置是利用如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯的灯发射的光(电磁波)的辐射来加热被处理物的装置。GRTA装置是使用高温气体进行热处理的装置。作为气体,使用由于热处理不与被处理物起反应的惰性气体,例如氮或如氩的稀有气体。另外,当作为加热处理装置使用GRTA装置时,可以在加热到650℃至700℃的高温的惰性气体中加热衬底,因为其加热处理时间很短。

[0211] 此外,在通过上述加热处理加热氧化物半导体膜227之后,可以对相同的炉中引入高纯度的氧气体、高纯度的N₂O气体或超干燥空气(使用光腔衰荡光谱(cavity ring down laser spectroscopy:CRDS)方式的露点仪来测定时,水分浓度为低于或等于20ppm(换算到露点时为-55℃),优选为低于或等于1ppm,更优选为低于或等于10ppb)。尤其是,上述气体优选不包含水、氢等。引入到相同炉中的氧气体或N₂O气体的纯度优选为6N或更高,优选为7N或更高(即,氧气体或N₂O气体中的杂质浓度为1ppm或更低,优选为0.1ppm或更低)。通过氧气体或N₂O气体的作用,可以供应氧,该氧是氧化物半导体的主要成分之一且是在脱水化或脱氢化的杂质排除工序的同时被排除了的。

[0212] 此外,由于有去除氢或水等的效果的优点,所以可以将上述加热处理称为脱水化处理、脱氢化处理等。该热处理例如可以在将氧化物半导体层加工为岛状之前、在形成栅极绝缘膜之后等的时机进行。这样的脱水化处理、脱氢化处理可以进行一次或多次。

[0213] 接着,对氧化物半导体膜227的一部分进行选择性地蚀刻,来形成氧化物半导体膜229。然后,通过溅射法、CVD法等氧化物半导体膜229上形成绝缘膜231。然后,在绝缘膜231上形成栅电极233(参照图8A)。

[0214] 绝缘膜231可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧化钪、氧化镓

或Ga-Zn-O类金属氧化物膜等中的一种或多种的单层或叠层形成。绝缘膜231也可以使用如可用作绝缘膜225的膜那样的通过加热使氧脱离的氧化物绝缘膜。通过使用通过加热使氧脱离的膜作为绝缘膜231,可以通过后面的加热处理减少氧化物半导体膜229中产生的氧缺陷,并且可以抑制晶体管的电特性的劣化。

[0215] 当使用high-k材料例如硅酸铪(HfSiO_x)、添加有氮的硅酸铪($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的铝酸铪($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化铪或氧化钽来形成绝缘膜231时,即使栅极绝缘膜的厚度减小,也可以降低栅极泄漏电流。

[0216] 绝缘膜231的厚度优选为大于或等于10nm且小于或等于300nm,更优选为大于或等于5nm且小于或等于50nm,进一步优选为大于或等于10nm且小于或等于30nm。

[0217] 栅电极233可以使用选自铝、铬、铜、钽、钛、钼、钨中的金属元素;包含上述金属元素中的任一种作为成分的合金;组合上述金属元素的合金;等形成。此外,可以使用锰及钨中的一方或双方的金属元素。此外,栅电极233可以具有单层结构或者两层或更多层的叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜上层叠钨膜的两层结构、以及依次层叠钛膜、铝膜和钛膜的三层结构。此外,也可以使用包含铝与选自钛、钽、钼、铬、钨、钨中的一种或多种元素的膜、合金膜或氮化膜。

[0218] 另外,栅电极233可以使用透光导电材料诸如氧化铟锡、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌、添加有氧化硅的氧化铟锡而形成。也可以采用使用上述透光导电材料和上述金属元素形成的叠层结构。

[0219] 栅电极233通过印刷法或喷墨法形成。或者,通过溅射法、CVD法、蒸镀法等形成导电膜,然后对该导电膜的一部分进行选择性地蚀刻,来形成栅电极233。

[0220] 优选在栅电极233与绝缘膜231之间设置接触于绝缘膜231的材料层诸如包含氮的In-Ga-Zn-O膜、包含氮的In-Sn-O膜、包含氮的In-Ga-O膜、包含氮的In-Zn-O膜、包含氮的Sn-O膜、包含氮的In-O膜及金属氮化膜(如InN或ZnN)。这些膜都具有高于或等于5eV的功函数,优选具有高于或等于5.5eV的功函数;因此,晶体管的电特性的阈值电压可以为正值。由此,可以获得所谓的常关闭的开关元件。例如,当使用包含氮的In-Ga-Zn-O膜时,使用具有高于氧化物半导体膜229的氮浓度的In-Ga-Zn-O膜,具体地说使用包含高于或等于7atoms%的氮的In-Ga-Zn-O膜。

[0221] 这之后,优选进行加热处理。通过该加热处理,氧能够从绝缘膜225或绝缘膜231扩散至氧化物半导体膜229,以修复包括在氧化物半导体膜229中的氧缺陷;由此,能够减少氧缺陷。

[0222] 另外,在形成绝缘膜231之后,可以在惰性气体气氛下或在氧气氛下进行热处理(第二热处理)。热处理的温度优选为高于或等于200℃且低于或等于450℃,更优选为高于或等于250℃且低于或等于350℃。通过进行这样热处理,可以降低晶体管的电特性的偏差。此外,当氧包含在与氧化物半导体膜229接触的绝缘膜231或绝缘膜225中时,可以向氧化物半导体膜229供应氧且可以修复该氧化物半导体膜229的氧缺陷。如上所述,上述热处理具有供应氧的效果;因此,该热处理也可以称为氧供给。

[0223] 另外,在本实施方式中,在形成绝缘膜231之后进行氧供给的热处理;但是,氧供给

的热处理的时机不局限于此,可以在形成绝缘膜231之后适当地进行该处理。

[0224] 如上所述,进行脱水化或脱氢化的热处理和氧供给的热处理,以减少氧化物半导体膜229中的杂质并填补氧缺陷,由此,氧化物半导体膜229可以实现高纯度化,尽量地不包含其主要成分以外的杂质元素。

[0225] 接着,使用栅电极233作为掩模对氧化物半导体膜229进行添加掺杂剂的处理。其结果,如图8B所示,形成由栅电极233覆盖的没有添加有掺杂剂的第一区域235a、含有掺杂剂的一对第二区域235b和235c。由于使用栅电极233作为掩模添加掺杂剂,所以可以自对准地形成没有添加掺杂剂的第一区域235a、含有掺杂剂的一对第二区域235b及235c。与栅电极233重叠的第一区域235a用作沟道区。含有掺杂剂的一对第二区域235b和235c用作电场缓和区。第一区域235a、含有掺杂剂的一对第二区域235b及235c构成氧化物半导体膜235。

[0226] 在氧化物半导体膜235的第一区域235a中的氢浓度优选为低于 $5 \times 10^{18} \text{atoms/cm}^3$,优选为低于或等于 $1 \times 10^{18} \text{atoms/cm}^3$,更优选为低于或等于 $5 \times 10^{17} \text{atoms/cm}^3$,进一步优选为低于或等于 $1 \times 10^{16} \text{atoms/cm}^3$ 。通过氧化物半导体和氢的键合,所包含的氢的一部分用作供体,以产生载流子的电子。由于这个原因,通过降低氧化物半导体膜235的第一区域235a中的氢浓度,能够抑制阈值电压移位至负侧。

[0227] 一对第二区域235b及235c中的掺杂剂的浓度为高于或等于 $5 \times 10^{18} \text{atoms/cm}^3$ 且低于或等于 $1 \times 10^{22} \text{atoms/cm}^3$,优选为高于或等于 $5 \times 10^{18} \text{atoms/cm}^3$ 且低于 $5 \times 10^{19} \text{atoms/cm}^3$ 。

[0228] 因为一对第二区域235b及235c包含掺杂剂,所以可以增加载流子密度或缺陷。因此,其导电性可以为高于不包含掺杂剂的第一区域235a的导电性。另外,掺杂剂浓度的过剩增加导致因掺杂剂的载流子的移动阻碍,这导致包含掺杂剂的一对第二区域235b及235c的导电性的降低。

[0229] 包含掺杂剂的一对第二区域235b及235c的导电率为高于或等于 0.1S/cm 且低于或等于 1000S/cm ,优选为高于或等于 10S/cm 且低于或等于 1000S/cm 。

[0230] 由于在氧化物半导体膜235中存在有包含掺杂剂的一对第二区域235b及235c,可以缓和和对用作沟道区域的第一区域235a的端部施加的电场。因此,可以抑制晶体管的短沟道效应。

[0231] 作为对氧化物半导体膜229添加掺杂剂的方法,可以使用离子掺杂法或离子注入法。此外,作为掺杂剂,可以添加硼、氮、磷及砷。或者,可以添加氢、氘、氚、氦及氦中的一种。另外,作为掺杂剂,可以添加氢。另外,作为掺杂剂,可以以适当的组合添加硼、氮、磷及砷中的至少一种和氢、氘、氚、氦及氦中的至少一种以及氢。

[0232] 在由绝缘膜231覆盖氧化物半导体膜229状态下,对氧化物半导体膜229进行掺杂剂的添加;或者,可以在使氧化物半导体膜229露出的状态下进行掺杂剂的添加。

[0233] 再者,可以通过除了离子掺杂法或离子注入法等之外的方法添加掺杂剂。例如,可以通过如下方法添加掺杂剂:在包含要添加的元素的气体气氛下产生等离子体,对被添加掺杂剂的被处理物进行等离子体处理。作为产生等离子体的装置,可以使用干蚀刻装置、CVD装置或高密度CVD装置等。

[0234] 然后,可以进行加热处理。典型的是,在高于或等于 150°C 且低于或等于 450°C ,优选的是高于或等于 250°C 且低于或等于 325°C 的温度下进行该加热处理。在该加热处理中,可以使温度从 250°C 到 325°C 逐渐地上升。

[0235] 通过该加热处理,可以减少包含掺杂剂的一对第二区域235b及235c的电阻。在该加热处理中,包含掺杂剂的一对第二区域235b及235c可以为结晶状态或非晶状态。

[0236] 接着,如图8C所示那样,形成位于栅电极233的侧面上的侧壁绝缘膜237、栅极绝缘膜239、电极241a和电极241b。

[0237] 侧壁绝缘膜237的每一个例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝中的一种或多种的单层或叠层而形成。可以与绝缘膜225同样使用通过加热使氧的一部分脱离的氧化物绝缘膜形成侧壁绝缘膜237。

[0238] 下面对侧壁绝缘膜237的形成方法进行说明。

[0239] 首先,在绝缘膜231及栅电极233上形成在之后成为侧壁绝缘膜237的绝缘膜。通过溅射法、CVD法等形成该绝缘膜。另外,虽然对该绝缘膜的厚度没有特别的限制,但是根据栅电极233的形状考虑覆盖性而适当地选择该厚度。

[0240] 然后,通过对绝缘膜进行蚀刻来形成侧壁绝缘膜237。该蚀刻为各向异性高的蚀刻,通过对绝缘膜进行各向异性高的蚀刻可以自对准地形成侧壁绝缘膜237。

[0241] 在含有掺杂剂的一对第二区域235b及235c的每一个中用作缓和电场的区域的宽度对应于侧壁绝缘膜237的宽度,并且侧壁绝缘膜237的宽度对应于栅电极233的厚度。由此,可以以用来缓和电场的区域的宽度具有所希望的值的方式决定栅电极233的厚度。

[0242] 当形成侧壁绝缘膜237时,绝缘膜231也通过高各向异性蚀刻方法被蚀刻,并且氧化物半导体膜229的一部分露出,这样形成栅极绝缘膜239。

[0243] 一对电极241a及241b可以适当地使用与布线223a至223c相同的材料形成。另外,一对电极241a及241b可以用作布线。

[0244] 一对电极241a及241b通过印刷法或喷墨法形成。或者,在通过溅射法、CVD法、蒸镀法等形成导电膜,然后对该导电膜的一部分进行选择性地蚀刻,来形成一对电极241a及241b。

[0245] 优选以与侧壁绝缘膜237及栅极绝缘膜239的侧面接触的方式形成一对电极241a及241b。也就是说,优选的是,晶体管的一对电极241a及241b的端部位于侧壁绝缘膜237的上方,并且一对电极241a及241b的端部整体覆盖氧化物半导体膜235中的一对第二区域235b及235c的露出部分。其结果,与一对电极241a及241b接触的一对第二区域235b及235c用作源区及漏区,另一方面,一对第二区域235b及235c中的与栅极绝缘膜239及侧壁绝缘膜237重叠的区域用作电场缓和区。另外,由于可以通过侧壁绝缘膜237的长度控制电场缓和区的宽度,所以对用来形成一对电极241a及241b的掩模对准精度的要求不是很严格。因此,可以减少多个晶体管之间的不均匀性。

[0246] 另外,在本实施方式中以接触于栅电极233的侧面的方式设置侧壁绝缘膜237;但是本发明不局限于此,可以不设置侧壁绝缘膜237。虽然在本实施方式中在形成一对第二区域235b及235c之后形成侧壁绝缘膜237,但是本发明不局限于该结构,可以在形成侧壁绝缘膜237之后,形成一对第二区域235b、第二区域235c。通过上述结构,可以将第一区域235a扩展到与侧壁绝缘膜237的一部分重叠的区域。

[0247] 接着,如图9A所示,通过溅射法、CVD法、涂布法、印刷法等形成绝缘膜243及绝缘膜245。

[0248] 绝缘膜243、绝缘膜245可以使用包含氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化

铝、氧化铝、氮氧化铝、氮化铝等中的一种或多种的单层或叠层而形成。当使用防止氧向外部扩散的绝缘膜形成绝缘膜245时,可以将从绝缘膜243脱离的氧供给给氧化物半导体膜。作为防止氧向外部扩散的绝缘膜的典型例子包括氧化铝、氮氧化铝等的膜。当使用防止来自外部的氢扩散的绝缘膜形成绝缘膜245时,可以减少从外部向氧化物半导体膜的氢扩散,并且可以减少氧化物半导体膜的缺陷。作为防止来自外部的氢扩散的绝缘膜的典型例子,包括氮化硅、氮氧化硅、氮化铝、氮氧化铝等的膜。另外,当绝缘膜243具有通过加热氧的一部分脱离的氧化绝缘膜、防止氧向外部扩散的绝缘膜、以及氧化绝缘膜的三层结构时,可以有效地对氧化物半导体膜扩散氧的,抑制氧向外部脱离;因此,即使在高温度及高湿度的状态下,也可以降低晶体管特性的变动。

[0249] 通过上述工序,如图9A所示那样,可以制造具有氧化物半导体膜的晶体管110。此外,晶体管110包括具有i型(本征)或基本上i型的氧化物半导体膜235a的氧化物半导体膜235,因此,呈现极好的特性。

[0250] 虽然本实施方式的晶体管110具有顶栅结构,但是本发明不局限于顶栅结构,也可以采用底栅结构。另外,在本实施方式的晶体管110中,一对电极241a及241b与一对第二区域235b及235c的顶面的至少一部分接触;但是本发明不局限于该结构,例如,一对第二区域235b及235c可以与一对电极241a及241b的至少一部分接触。

[0251] 接着,对各绝缘膜215、绝缘膜217、绝缘膜221、绝缘膜225、绝缘膜243及绝缘膜245的一部分进行选择性地蚀刻,来形成开口部,以使各栅电极209a、电极241a及电极241b的一部分露出。接着,在开口部中形成导电膜之后,对该导电膜的一部分进行选择性地蚀刻;由此,形成接触于电极241a的布线249和接触于电极241b的布线250。布线249及布线250可以适当地使用与接触插头219a至219d相同的材料而形成。

[0252] 这里,布线249用作将晶体管110的源电极和漏电极的一方与晶体管112的栅电极209a电连接的节点FG。虽然在图9B中没有直接示出,布线249还与晶体管114的栅电极209b电连接。布线250用作晶体管110的源电极和漏电极的另一方并与图3A的数据线D电连接。另外,虽然在图9B中没有直接示出,晶体管110的栅电极233与图3A的字线W电连接。

[0253] 通过上述工序,可以制造包括晶体管110、晶体管112及晶体管114的可编程开关。

[0254] 在图26A及图26B中示出图9B的截面图中的可编程开关的平面图的例子。图26A是绝缘膜225下方的层的结构,即,晶体管112及晶体管114的平面图。图26B是绝缘膜225上方的层的结构,即,晶体管110的平面图。另外,为了便于理解,在图26A及26B中,对部分结构(例如,绝缘膜215)没有进行图示。另外,图6A至6D、图7A和7B、图8A至8C、图9A和9B的截面图沿着图26A及26B中的点划线A-B及点划线C-D截取。

[0255] 在图26A及26B的可编程开关中,如图9B所示那样,在显示在沿着点划线C-D的截面的区域中,晶体管110与晶体管112及114电连接。这里,晶体管110的至少一部分与晶体管112的至少一部分或晶体管114的至少一部分重叠。优选的是,氧化物半导体膜235的至少一部分与n型杂质区211a的至少一部分、n型杂质区211b的至少一部分、p型杂质区213a的至少一部分或p型杂质区213b的至少一部分重叠。通过使用这样的平面布局,可以抑制由于设置包含氧化物半导体那样的宽带隙半导体的晶体管而导致的可编程开关的占用面积的增大。由此,可以实现包含该可编程开关的可编程逻辑装置的高集成化。

[0256] 另外,如上所述那样,当使用单晶硅衬底等的半导体衬底制造晶体管112及晶体管

114并在其上层叠包括氧化物半导体膜等的晶体管110时,可以使用该半导体衬底制造对数据线D、字线W提供电位的驱动电路中的晶体管。图27示出设置有该驱动电路的可编程逻辑装置的结构。与图1A的可编程逻辑装置同样,图27的可编程逻辑装置也包括通过多个布线电连接的多个逻辑块10。为了便于理解,在图27中没有对对应于图1A的布线11进行图示。另外,与图1A的可编程逻辑装置同样,可以在行方向的布线与列方向的布线交叉的部分设置用来切换各布线之间连接的开关矩阵12。

[0257] 图27的可编程逻辑装置包括设置在图中的多个逻辑块10的上方的第一驱动电路14、设置在图中的多个逻辑块10的左侧的第二驱动电路15、与第一驱动电路14电连接的在列方向上延伸的多个第一布线16、以及与第二驱动电路15电连接的在行方向上延伸的多个第二布线17。在列方向延伸的第一布线16及在行方向上延伸的第二布线17与逻辑块10电连接。注意,第一驱动电路14及第二驱动电路15的结构不局限于上述结构;例如,可以将第一驱动电路14及第二驱动电路15设置在其它位置,或者可以设置3个或更多个驱动电路。

[0258] 在本实施方式中,可以使用第一布线16及第二布线17作为图1B及1C所示的数据线D及字线W,数据线D用来输入储存在存储部中的配置数据的电位,而字线W用来输入控制对存储部写入配置数据的信号。另外,第一驱动电路14及第二驱动电路15可以用作对数据线D提供电位的数据线驱动电路及对字线W提供电位的字线驱动电路。在本实施方式中,第一驱动电路14用作数据线D的驱动电路,第二驱动电路15用作字线W的驱动电路,第一布线16用作数据线D,第二布线17用作字线W;但是,本发明不局限于该结构。

[0259] 这里,包含在第一驱动电路14及第二驱动电路15中的晶体管可以具有与图6D及图26A的晶体管112及晶体管114同样的结构。因此,包含在第一驱动电路14及第二驱动电路15中的晶体管都使用如单晶硅的氧化物半导体以外的半导体形成,以实现高速工作。由此,能够形成可实现高速工作的驱动电路。作为第一布线16及第二布线17,可以使用形成在与图9B及图26B所示的布线249或布线250相同的层中的导电层、或者形成在比图9B及图26B所示的布线249或布线250更上的层中的导电膜。

[0260] 如上所述,将能够充分减小晶体管的关态电流的如氧化物半导体等宽带隙半导体用于可编程开关的存储部的晶体管,来可以制造制造即使在没有电源电位的供给的情况下也能够保持配置数据的可编程开关。另外,可以制造供给电源后的逻辑块的启动时间很短的可编程开关。因此,通过常关闭驱动方法能够实现可编程逻辑装置的耗电量的降低。

[0261] 在本实施方式中的结构、方法等可以互相组合,或者也可以与其他的实施方式中的结构、方法等适当地组合。

[0262] 实施方式3

[0263] 在本实施方式中,在理论上计算出上述实施方式中示出的包括氧化物半导体膜的晶体管的场效应迁移率,并从该场效应迁移率算出晶体管特性。

[0264] 不限于使用氧化物半导体的情况,实际测量的绝缘栅极型晶体管的场效应迁移率因各种原因而比本来的迁移率低。迁移率降低的原因之一是半导体内部的缺陷或半导体与绝缘膜之间的界面的缺陷。当使用Levinson模型时,可以在理论上算出假定在半导体内部没有缺陷时的场效应迁移率。

[0265] 在半导体的理想迁移率及所测量的场效应迁移率分别为 μ_0 及 μ ,并且在半导体中存在有位势垒(晶界等)的假定下,可以由下述算式2表示所测量的场效应迁移率。

[0266] [算式2]

$$[0267] \quad \mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0268] 在此,E表示位势垒的高度,k表示玻尔兹曼常数,T表示绝对温度。当假定位势垒由于缺陷而发生时,根据Levinson模型,可以由下述算式3表示位势垒的高度。

[0269] [算式3]

$$[0270] \quad E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0271] 在此,e表示元电荷,N表示沟道内的每单位面积的平均缺陷密度, ϵ 表示半导体的介电常数,n表示包括在每单位面积的沟道中的载流子数, C_{ox} 表示每单位面积的电容, V_g 表示栅电压,t表示沟道的厚度。在半导体层的厚度为小于或等于30nm的情况下,沟道的厚度可以视为与半导体层的厚度相同。在线性区中的漏极电流 I_d 可以由下述算式4表示。

[0272] [算式4]

$$[0273] \quad I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0274] 在此,L表示沟道长度,W表示沟道宽度,并且,这里L和W都是10 μ m。此外, V_d 表示漏极电压。当用 V_g 除上述算式4的两边,然后对两边取对数时,可以得到下述算式5。

[0275] [算式5]

$$[0276] \quad \ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0277] 算式5的右边是 V_g 的函数。从上述算式可知,可以根据以 $\ln(I_d/V_g)$ 为纵轴且以 $1/V_g$ 为横轴的直线的倾斜度求得缺陷密度N。也就是说,根据晶体管的 I_d-V_g 特性可以评价缺陷密度。铟(In)、锡(Sn)、锌(Zn)的比率为1:1:1的氧化物半导体的缺陷密度N是 $1 \times 10^{12}/\text{cm}^2$ 左右。

[0278] 基于以上述方式求得的缺陷密度等,根据算式2及算式3, μ_0 可以算出为120 cm^2/Vs 。含有缺陷的In-Sn-Zn氧化物的测量出来的迁移率为40 cm^2/Vs 左右。但是,在没有半导体内部及半导体与绝缘膜之间的界面的缺陷的假定下,氧化物半导体的迁移率 μ_0 预测为120 cm^2/Vs 。

[0279] 另外,即使在半导体内部没有缺陷,沟道与栅极绝缘物之间的界面中的散射也影响到晶体管的传输特性。换言之,离沟道与栅极绝缘物之间的界面有x的距离的位置的迁移率 μ_1 可以由下述算式6表示。

[0280] [算式6]

$$[0281] \quad \frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

[0282] 在此,D表示栅极方向上的电场,并且B和l是常数。B和l可以根据实际的测量结果求得;根据上述测量结果,B为 $4.75 \times 10^7 \text{cm/s}$,l为10nm(界面散射到达的深度)。当D增加(即,栅电压增高)时,算式6的第二项增加,因此,迁移率 μ_1 降低。

[0283] 图15示出一种晶体管的迁移率 μ_2 的计算结果,该晶体管的沟道使用半导体内部没有缺陷的理想氧化物半导体形成。在计算中,使用由Synopsys公司制造的器件模拟软件

Sentaurus Device,并且将氧化物半导体的带隙、电子亲和力、相对介电常数、厚度分别假定为2.8eV、4.7 eV、15、15nm。这些数值通过测定以溅射法形成的薄膜来得到。

[0284] 再者,将栅极的功函数、源极的功函数、漏极的功函数分别假定为5.5eV、4.6eV、4.6eV。将栅极绝缘物的厚度假定为100nm,并将相对介电常数假定为4.1。沟道长度和沟道宽度都假定为10 μ m,并将漏极电压 V_d 假定为0.1V。

[0285] 如图15所示,当栅电压为1V多时迁移率示出100cm²/Vs或更高的峰值,当栅电压更高时,由于界面散乱的影响增大,所以迁移率降低。另外,为了降低界面散乱,半导体膜的表面优选具有在原子级上的平坦性(Atomic Layer Flatness)。

[0286] 在图16A至16C、图17 A至17C、图18A至18C中示出对使用具有上述迁移率的氧化物半导体形成微型晶体管时的特性进行计算而得到的结果。图19A和19B示出用于计算的晶体管的截面结构。图19A和19B所示的晶体管在氧化物半导体层中包括具有n⁺导电型的第二区域1103b及1103c。第二区域1103b及1103c的电阻率为2 \times 10⁻³ Ω cm。

[0287] 图19A所示的晶体管形成在基底绝缘膜1101和埋入在基底绝缘膜1101中的由氧化铝形成的埋入绝缘物1102上。晶体管包括第二区域1103b、第二区域1103c、夹在第二区域1103b与1103c之间且用作沟道形成区的本征第一区域1103a、栅电极1105。栅电极1105的宽度为33nm。

[0288] 栅极绝缘膜1104形成在栅电极1105与第一区域1103a之间。侧壁绝缘膜1106a及侧壁绝缘膜1106b形成在栅电极1105的侧面,并且绝缘物1107形成在栅电极1105上,以防止栅电极1105与其他布线之间的短路。侧壁绝缘体的宽度为5nm。源电极1108a及漏电极1108b分别设置为接触于第二区域1103b及第二区域1103c设置有。另外,该晶体管的沟道宽度为40nm。

[0289] 图19B的晶体管与图19A的晶体管的相同之处是,形成在基底绝缘膜1101和由氧化铝形成的埋入绝缘物1102上并且包括第二区域1103b、第二区域1103c、设置在它们之间的本征第一区域1103a、宽度为33nm的栅电极1105、栅极绝缘膜1104、侧壁绝缘体1106a及侧壁绝缘体1106b、绝缘物1107以及源电极1108a及漏电极1108b。

[0290] 图19A的晶体管与图19B的晶体管之间的不同之处是,侧壁绝缘膜1106a及1106b下的半导体区的导电型。在图19A的晶体管中,侧壁绝缘膜1106a及侧壁绝缘膜1106b下的半导体区为具有n⁺导电型的第二区域1103b的一部分及具有n⁺导电型的第二区域1103c的一部分,而在图19B的晶体管中,侧壁绝缘膜1106a及侧壁绝缘膜1106b下的半导体区为本征的第一区域1103a的一部分。换言之,在图19B的半导体层中,设置有不仅与第二区域1103b(第二区域1103c)不重叠而且与栅电极1105不重叠的区域。该区域被称为偏置(offset)区且具有宽度 L_{off} ,该宽度 L_{off} 被称为偏置长度。如附图所示,偏置长度等于侧壁绝缘膜1106a(侧壁绝缘膜1106b)的宽度。

[0291] 用于计算的其他参数为如上所述的参数。在计算中,使用由Synopsys公司制造的器件模拟软件Sentaurus Device。图16A至16C示出图19A所示的结构的晶体管的漏极电流(I_d ,实线)及迁移率(μ ,虚线)的栅极电压(V_g ,栅极与源极的电位差)依赖性。在漏极电压(漏极与源极的电位差)为+1V的假定下进行计算而得到漏极电流 I_d ,并且在漏极电压为+0.1V的假定下进行计算而得到迁移率 μ 。

[0292] 图16A示出栅极绝缘膜的厚度为15nm的晶体管的栅极电压依赖性,图16B示出栅极

绝缘膜的厚度为10nm的晶体管的栅极电压依赖性,图16C示出栅极绝缘膜的厚度为5nm的晶体管的栅极电压依赖性。栅极绝缘膜越薄,尤其是关闭状态下的漏极电流 I_d (关态电流)越显著降低。另一方面,迁移率 μ 的峰值及导通状态时的漏极电流 I_d (导通电流)没有显著的变化。该图示出在栅电压为1V左右时,漏极电流超过存储元件等所需要的电流,即超过10 μ A。

[0293] 图17A至17C示出在具有图19B的结构且其偏置长度 L_{off} 为5nm的晶体管的漏极电流 I_d (实线)及迁移率 μ (虚线)的栅电压 V_g 依赖性。在漏极电压为+1V的假定下进行计算而得到漏极电流 I_d ,并且在漏极电压为+0.1V的假定下进行计算而得到迁移率 μ 。图17A示出栅极绝缘膜的厚度为15nm的晶体管的栅极电压依赖性,图17B示出栅极绝缘膜的厚度为10nm的晶体管,图17C示出栅极绝缘膜的厚度为5nm的晶体管。

[0294] 图18A至18C示出在具有图19B所示的结构且其偏置长度 L_{off} 为15nm的晶体管的漏极电流 I_d (实线)及迁移率 μ (虚线)的栅电压依赖性。在漏极电压为+1V的假定下进行计算而得到漏极电流 I_d ,并且在漏极电压为+0.1V的假定下进行计算而得到迁移率 μ 。图18A示出栅极绝缘膜的厚度为15nm的晶体管,图18B示出栅极绝缘膜的厚度为10nm的晶体管,图18C示出栅极绝缘膜的厚度为5nm的晶体管。

[0295] 综上所述,栅极绝缘膜越薄,关态电流越显著降低,但是迁移率 μ 的峰值和导通电流没有显著的变化。

[0296] 另外,在图16A至16C中迁移率 μ 的峰值为80 cm^2/Vs 左右,在图17A至17C中迁移率 μ 的峰值为60 cm^2/Vs 左右,且在图18A至18C中迁移率 μ 的峰值为40 cm^2/Vs ;因此,偏置长度 L_{off} 越增加,迁移率 μ 的峰值越降低。另外,关态电流也与此相同。导通电流也随着偏置长度 L_{off} 的增加而减少;但是该导通电流的减少与关态电流的降低相比则要平缓得多。另外,该图示出,在上述两个结构中,当栅电压为1V左右时漏极电流超过存储元件等所需要的电流,即超过10 μ A。因此,当该迁移率高的晶体管用于上述实施方式所示的可编程开关的存储部时,可以高速地进行配置数据的写入;因此,可以提供能够容易地进行动态配置的可编程逻辑装置。

[0297] 实施方式4

[0298] 在本实施方式中,作为上述实施方式所示的包括氧化物半导体膜的晶体管,尤其对包括含有In、Sn和Zn作为主要成分的氧化物半导体膜的晶体管进行说明。

[0299] 含有In、Sn、Zn作为主要成分的氧化物半导体用于沟道形成区的晶体管由于当形成该氧化物半导体时加热衬底或在形成氧化物半导体膜之后进行热处理可以具有良好的特性。另外,主要成分是指在组成中包含5atomic%或更多的元素。

[0300] 在形成含有In、Sn、Zn作为主要成分的氧化物半导体膜之后通过意图性地加热衬底,可以提高晶体管的场效应迁移率。另外,晶体管的阈值电压向正方向漂移,由此晶体管为常关闭型。下面,对包括含有In、Sn、Zn作为主要成分的氧化物半导体膜的晶体管的各种测量结果进行说明。

[0301] 首先,参照图25A和25B对本实施方式中的用于各种测量的晶体管的结构进行说明。图25A是该晶体管的平面图,图25B是沿着图25A的点划线A-B的截面图。

[0302] 图25B所示的晶体管包括衬底600;设置在衬底600上的基底绝缘膜602;设置在基底绝缘膜602上的氧化物半导体膜606;与氧化物半导体膜606接触的一对电极614;设置在氧化物半导体膜606及一对电极614上的栅极绝缘膜608;以隔着栅极绝缘膜608与氧化物半

导体膜606重叠的方式设置的栅电极610;以覆盖栅极绝缘膜608及栅电极610的方式设置的层间绝缘膜616;通过设置在栅极绝缘膜608及层间绝缘膜616中的开口部与一对电极614电连接的布线618;以及以覆盖层间绝缘膜616及布线618的方式设置的保护膜620。一对电极614用作该晶体管的源电极及漏电极。

[0303] 作为衬底600,使用玻璃衬底。作为基底绝缘膜602,使用氧化硅膜。作为氧化物半导体膜606,使用In-Sn-Zn-O膜。作为一对电极614,使用钨膜。作为栅极绝缘膜608,使用氧化硅膜。栅电极610具有氮化钽膜和钨膜的叠层结构。层间绝缘膜616具有氧氮化硅膜和聚酰亚胺膜的叠层结构。布线618都具有按顺序层叠有钛膜、铝膜、钛膜的叠层结构。作为保护膜620,使用聚酰亚胺膜。

[0304] 另外,在具有图25A所示的结构晶体管中,栅电极610与一对电极614的一方重叠的区域的宽度记为 L_{ov} 。同样地,一对电极614的不与氧化物半导体膜606重叠的区域的宽度记为 dW 。

[0305] 图20A至20C示出包括沟道长度 L 为 $3\mu\text{m}$ 、沟道宽度 W 为 $10\mu\text{m}$ 的氧化物半导体膜以及厚度为 100nm 的栅极绝缘膜的图25A和25B所示的晶体管的特性。这里, V_d 设定为 10V 。

[0306] 图20A是示出没有意图性地加热衬底而通过溅射法形成含有In、Sn、Zn作为主要成分的氧化物半导体膜的晶体管特性的图。该晶体管的场效应迁移率为 $18.8\text{cm}^2/\text{Vsec}$ 。另一方面,当意图性地加热衬底形成含有In、Sn、Zn作为主要成分的氧化物半导体膜时,可以提高场效应迁移率。图20B示出将衬底加热到 200°C 来形成含有In、Sn、Zn作为主要成分的氧化物半导体膜的晶体管的特性。该晶体管的场效应迁移率为 $32.2\text{cm}^2/\text{Vsec}$ 。

[0307] 通过在形成含有In、Sn、Zn作为主要成分的氧化物半导体膜之后进行热处理,可以进一步提高场效应迁移率。图20C示出在 200°C 下通过溅射法形成含有In、Sn、Zn作为主要成分的氧化物半导体膜,然后进行 650°C 的热处理的晶体管特性。该晶体管的场效应迁移率为 $34.5\text{cm}^2/\text{Vsec}$ 。

[0308] 该意图性的加热衬底被期待具有降低通过溅射法成膜中的水分被引入到氧化物半导体膜中的效果。此外,该成膜后的热处理可以从氧化物半导体膜中释放且去除氢、羟基或水分。如上述那样,可以提高场效应迁移率。上述场效应迁移率的提高可认为不仅是因为通过脱水化或脱氢化去除杂质,而且因为原子间距离由于密度的提高而减小的缘故。此外,通过从氧化物半导体去除杂质而使其高度纯化可以使氧化物半导体结晶化。当使用被高纯度化的非单晶氧化物半导体时,在理想上,可以期待实现超过 $100\text{cm}^2/\text{Vsec}$ 的场效应迁移率。

[0309] 可以以如下方式使含有In、Sn、Zn作为主要成分的氧化物半导体结晶化:对氧化物半导体注入氧离子,通过热处理释放该氧化物半导体所含有的氢、羟基或水分,通过该热处理或通过在该热处理之后的热处理使氧化物半导体晶化。通过上述晶化或再晶化的处理可以得到具有良好的结晶性的非单晶氧化物半导体。

[0310] 在成膜中进行的意图性的加热衬底的处理及/或在成膜后进行的加热衬底的处理,不仅有助于场效应迁移率的提高,而且还有助于使晶体管为常关闭型。在将没有意图性地加热衬底来形成的含有In、Sn、Zn作为主要成分的氧化物半导体膜用作沟道形成区的晶体管中,阈值电压有漂移到负一侧的倾向。然而,在使用通过意图性地加热衬底来形成的氧化物半导体膜时,可以解决该阈值电压的负漂移的问题。换言之,阈值电压以使晶体管成为

常关闭型的方式漂移;通过图20A和图20B的比较可以确认到该倾向。

[0311] 另外,也可以通过改变In、Sn及Zn的比率来控制阈值电压;当In、Sn和Zn的组成为2:1:3时,期待可形成常关闭型的晶体管。另外,通过将靶材的组成比设定为如下,可以获得结晶性高的氧化物半导体膜:In:Sn:Zn=2:1:3。

[0312] 意图性的衬底加热温度或热处理温度为150℃或更高,优选为200℃或更高,更优选为400℃或更高。当在高温下进行成膜或热处理时,晶体管可以为常关闭型。

[0313] 热处理可以在氧气氛中进行;或者,可以首先在氮、惰性气体或减压下进行热处理,然后在含有氧的气氛中进行热处理。通过在进行脱水化或脱氢化之后将氧添加到氧化物半导体,可以进一步提高热处理的效果。作为在脱水化或脱氢化之后添加氧的方法,可以采用通过电场加速氧离子并将氧离子注入到氧化物半导体膜中的方法。

[0314] 在氧化物半导体中或氧化物半导体膜与层叠膜之间的界面容易产生由氧缺陷导致的缺陷;但是,当通过该热处理使氧化物半导体中含有过剩的氧时,利用该过剩的氧可以补充不断产生的氧缺陷。过剩的氧主要是存在于晶格间的氧。当将该氧浓度设定为高于或等于 $1 \times 10^{16}/\text{cm}^3$ 且低于或等于 $2 \times 10^{20}/\text{cm}^3$ 时,可以不产生结晶畸变等的状态下使氧化物半导体中含有氧。

[0315] 当通过进行热处理至少在氧化物半导体的一部分含有结晶时,可以获得更稳定的氧化物半导体膜。例如,当对没有意图性地加热衬底而通过溅射法使用组成比为In:Sn:Zn=1:1:1的靶材来形成的氧化物半导体膜,通过利用X线衍射(XRD:X-Ray Diffraction)进行观察时,观察到光晕图案(halo pattern)。该所形成的氧化物半导体膜通过进行热处理而晶化。热处理的温度可以设定为适当的温度;例如当进行650℃的热处理时,通过利用X线衍射可以观察到明确的衍射峰值。

[0316] 进行In-Sn-Zn-O膜的XRD分析。通过使用由Bruker AXS公司制造的X线衍射器D8 ADVANCE而进行XRD衍射,并利用平面外(Out-of-Plane)法来进行测量。

[0317] 准备样品A及样品B,对这些样品进行XRD分析。以下,将说明样品A及样品B的制造方法。

[0318] 在被进行脱氢化处理后的石英衬底上形成厚度为100nm的In-Sn-Zn-O膜。

[0319] 在氧气氛下使用溅射装置以100W(DC)的功率来形成In-Sn-Zn-O膜。使用原子数比为In:Sn:Zn=1:1:1的In-Sn-Zn-O靶材作为靶材。另外,将成膜时的衬底加热温度设定为200℃。通过上述方式制造的样品用作样品A。

[0320] 接着,对以与样品A相同的方法制造的样品以650℃的温度进行加热处理。作为加热处理,首先在氮气氛下进行一个小时的加热处理,接着在不降低温度的状态下在氧气氛下再进行一个小时的加热处理。通过上述方式制造的样品用作样品B。

[0321] 图21示出样品A及样品B的XRD光谱。在样品A中没有观测到起因于结晶的峰值,但是在样品B中当 2θ 为35deg附近及37deg至38deg时观察到起因于结晶的峰值。

[0322] 如上所述,通过在形成含有In、Sn、Zn作为主要成分的氧化物半导体时意图性地进行加热及/或通过在成膜后进行加热处理,可以提高晶体管的特性。

[0323] 该衬底加热或热处理具有防止在膜中含有对于氧化物半导体来说是恶性杂质的氢或羟基的作用或者具有从膜中去除该杂质的作用。换言之,通过去除在氧化物半导体中成为施主杂质的氢来可以使氧化物半导体高度纯化,由此可以实现常关闭型的晶体管。通

过该氧化物半导体的高度纯化,可以使晶体管的关态电流为 $1\text{aA}/\mu\text{m}$ 或更小。在此,上述关态电流的每单位示出沟道宽度的每微米的电流值。

[0324] 图22示出晶体管的关态电流与测量时的衬底温度(绝对温度)的倒数的关系。在此,为了方便起见,横轴表示测量时的衬底温度的倒数乘以1000而得到的数值($1000/T$)。

[0325] 具体而言,如图22所示那样,当衬底温度为 125°C 及 85°C 时,关态电流分别为 $0.1\text{aA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$)或更小及 $10\text{zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{A}/\mu\text{m}$)或更小。根据关态电流的对数与温度的倒数之间的正比关系,室温(27°C)时的关态电流可以预想为 $0.1\text{zA}/\mu\text{m}$ ($1 \times 10^{-22}\text{A}/\mu\text{m}$)或更小。因此,当温度为 125°C 、 85°C 及室温时,关态电流可以分别为 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$)或更小、 $100\text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$)或更小及 $1\text{zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{A}/\mu\text{m}$)或更小。

[0326] 另外,为了防止当形成氧化物半导体膜时氢或水分混入到氧化物半导体膜中,优选的是,通过充分抑制来自成膜室外部的泄漏和来自成膜室内壁的脱气来使溅射气体高度纯化。例如,为了防止水分包含在膜中,作为溅射气体优选使用露点为 -70°C 或更低的气体。另外,优选使用不含有氢或水分等杂质的被高度纯化的靶材。虽然通过热处理可以从含有In、Sn、Zn为主要成分的氧化物半导体去除水分,但是与含有In、Ga、Zn作为主要成分的氧化物半导体相比水分的释放温度高,所以优选形成原本就不含有水分的膜。

[0327] 另外,对形成氧化物半导体膜之后进行 650°C 的加热处理的样品B的晶体管的衬底温度与电特性之间的关系进行评价。

[0328] 用于测量的晶体管的沟道长度 L 为 $3\mu\text{m}$,沟道宽度 W 为 $10\mu\text{m}$,单侧的 L_{ov} 为 $3\mu\text{m}$ (合计的 L_{ov} 为 $6\mu\text{m}$), dW 为 $0\mu\text{m}$ 。另外,将 V_{ds} 设定为 10V 。此外,衬底温度为 -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 及 150°C 。在此,在晶体管中,将栅电极与一对电极中的一方重叠的宽度称为 L_{ov} ,并且将一对电极的不与氧化物半导体膜重叠的部分的宽度称为 dW 。

[0329] 图23示出 I_{ds} (实线)及场效应迁移率(虚线)的 V_{gs} 依赖性。图24A示出衬底温度与阈值电压之间的关系,图24B示出衬底温度与场效应迁移率之间的关系。

[0330] 从图24A可知,衬底温度越高阈值电压越低。另外,在 -40°C 到 150°C 的范围内,阈值电压降低 1.09V 至 -0.23V 。

[0331] 从图24B可知,衬底温度越高场效应迁移率越低。另外,在 -40°C 到 150°C 的范围内,场效应迁移率降低 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此可知在上述温度范围内电特性变动很小。

[0332] 在将上述那样的含有In、Sn、Zn作为主要成分的氧化物半导体用于沟道形成区的晶体管中,可以在将关态电流保持为 $1\text{aA}/\mu\text{m}$ 或更小的状态下,可以实现 $30\text{cm}^2/\text{Vsec}$ 或更高,优选为 $40\text{cm}^2/\text{Vsec}$ 或更高,更优选为 $60\text{cm}^2/\text{Vsec}$ 或更高的场效应迁移率,这得到LSI所要求的导通电流。例如,在 L/W 为 $33\text{nm}/40\text{nm}$ 的FET中,当栅电压为 2.7V ,漏极电压为 1.0V 时,可以流过 $12\mu\text{A}$ 或更大的导通电流。

[0333] 由此,通过将关态电流极低的晶体管用于上述的实施方式所示的可编程开关的存储部中,即使在没有电源电位的供给的情况下也可以保持配置数据。由此,可以省略供给电源后的配置数据的写入,从而可以缩短逻辑块的启动时间。由此,可以提供通过常关闭驱动方法降低耗电量的可编程逻辑装置。

[0334] 另外,当将该迁移率高的晶体管用于上述实施方式所示的可编程开关的存储部中,可以高速地进行配置数据的写入;因此可以提供能够容易地进行动态配置的可编程逻辑装置。

[0335] 另外,通过使用具有上述特性的晶体管,可以提供即使将包含氧化物半导体的晶体管设置在使用Si半导体制造的集成电路中,也无需牺牲工作速度的可编程逻辑装置。

[0336] 实施方式5

[0337] 通过使用根据本发明的一个方式的可编程逻辑装置,可以提供耗电量低的电子设备。尤其是,在难以一直被供应电力的携带用的电子设备中,当作为装置的结构要素追加根据本发明的一个方式的低耗电量的半导体装置时,可以获得连续使用时间延长的优点。

[0338] 根据本发明的一个方式的使用可编程逻辑装置的半导体装置可以应用于显示装置、个人计算机、具备记录媒体的图像再现装置(典型的是,再现记录媒体如数字通用磁盘(DVD:Digital Versatile Disc)等并具有可以显示其图像的显示器的装置)。除上述之外,作为能够使用本发明的一个方式的半导体装置的电子设备,可以举出移动电话、包括便携式游戏机的游戏机、便携式信息终端、电子书阅读器、摄像机、数码相机、护目镜型显示器(头盔显示器)、导航系统、音频再现装置(例如,车载音响及数字音频播放器)、复印机、传真机、打印机、复合式打印机、自动取款机(ATM)、自动售货机等。

[0339] 以下说明包括根据本发明的一个方式的可编程逻辑装置的半导体装置应用于移动电话、智能手机或电子书阅读器等的便携式电子设备的情况。

[0340] 图10是便携式电子设备的方框图。图10所示的便携式电子设备包括RF电路421、模拟基带电路422、数字基带电路423、电池424、电源电路425、应用处理器426、闪存存储器430、显示控制器431、存储电路432、显示器433、触摸传感器439、音频电路437以及键盘438等。显示器433包括显示部434、源极驱动器435以及栅极驱动器436。应用处理器426具有CPU427、DSP428以及接口(IF)429。例如,当将上述实施方式中的可编程逻辑装置用于CPU427、数字基带电路423、存储电路432、DSP428、接口429、显示控制器431、音频电路437中的任一个或全部时,可以降低耗电量。

[0341] 图11是电子书阅读器的方框图。图11所示的电子书阅读器包括电池451、电源电路452、微处理器453、快闪存储器454、音频电路455、键盘456、存储电路457、触摸面板458、显示器459以及显示控制器460。微处理器453具有CPU461、DSP462以及接口463。例如,当将上述实施方式中的可编程逻辑装置用于CPU461、音频电路455、存储电路457、显示控制器460、DSP462、接口463中的任一个或全部时,可以降低耗电量。

[0342] 本实施方式可以与上述实施方式适当地组合。

[0343] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合。

[0344] 附图标记说明

[0345] 10:逻辑块、11:布线、12:开关矩阵、14:第一驱动电路、15:第二驱动电路、16:第一布线、17:第二布线、20:逻辑单元、20a:逻辑单元、20b:逻辑单元、22a:逻辑电路、22b:逻辑电路、22c:NAND电路、22D:NOR电路、22e:NAND电路、22f:NOR电路、22g:XOR电路、22h:NOT电路、30:可编程开关、30a:可编程开关、30b:可编程开关、30c:可编程开关、30d:可编程开关、32:存储部、32a:存储部、32b:存储部、32c:存储部、32d:存储部、34:开关部、34a:开关部、34b:开关部、34c:开关部、34d:开关部、40:晶体管、110:晶体管、112:晶体管、114:晶体管、116:电容器、118:缓冲器、120:反相器、130:晶体管、132:晶体管、134:晶体管、136:晶体管、138:晶体管、140:传输门、142:传输门、144:反相器、150:晶体管、152:晶体管、154:晶体管、

156:晶体管、158:晶体管、160:晶体管、162:传输门、164:传输门、201:半导体衬底、203:元件分离区、205:p阱区、207a:栅极绝缘膜、207b:栅极绝缘膜、209a:栅电极、209b:栅电极、211a:杂质区、211b:杂质区、213a:杂质区、213b:杂质区、215:绝缘膜、217:绝缘膜、219a:接触插头、219b:接触插头、219c:接触插头、219d:接触插头、221:绝缘膜、223a:布线、223b:布线、223c:布线、225:绝缘膜、227:氧化物半导体膜、229:氧化物半导体膜、231:绝缘膜、233:栅电极、235:氧化物半导体膜、235a:区域、235b:区域、235c:区域、237:侧壁绝缘膜、239:栅极绝缘膜、241a:电极、241b:电极、243:绝缘膜、245:绝缘膜、249:布线、250:布线、421:RF电路、422:模拟基带电路、423:数字基带电路、424:电池、425:电源电路、426:应用处理器、427:CPU、428:DSP、429:接口、430:闪存、431:显示器控制器、432:存储电路、433:显示器、434:表示部、435:源极驱动、436:栅极驱动、437:音频电路、438:键盘、439:触摸传感器、451:电池、452:电源电路、453:微处理器、454:闪存、455:音声电路、456:键盘、457:存储电路、458:触摸屏、459:显示器、460:显示器控制器、461:CPU、462:DSP、463:接口、600:衬底、602:基底绝缘膜、606:氧化物半导体膜、608:栅极绝缘膜、610:栅电极、614:电极、616:层间绝缘膜、618:布线、620:保护膜、1101:基底绝缘膜、1102:嵌入绝缘物、1103a:第一区域、1103b:第二区域、1103c:第二区域、1104:栅极绝缘膜、1105:栅电极、1106a:侧壁绝缘膜、1106b:侧壁绝缘膜、1107:绝缘物、1108a:源电极、1108b:漏电极。

[0346] 本申请基于2011年5月16日向日本专利局提交的日本专利申请第2011-109838号，其全部内容通过引用纳入本文。

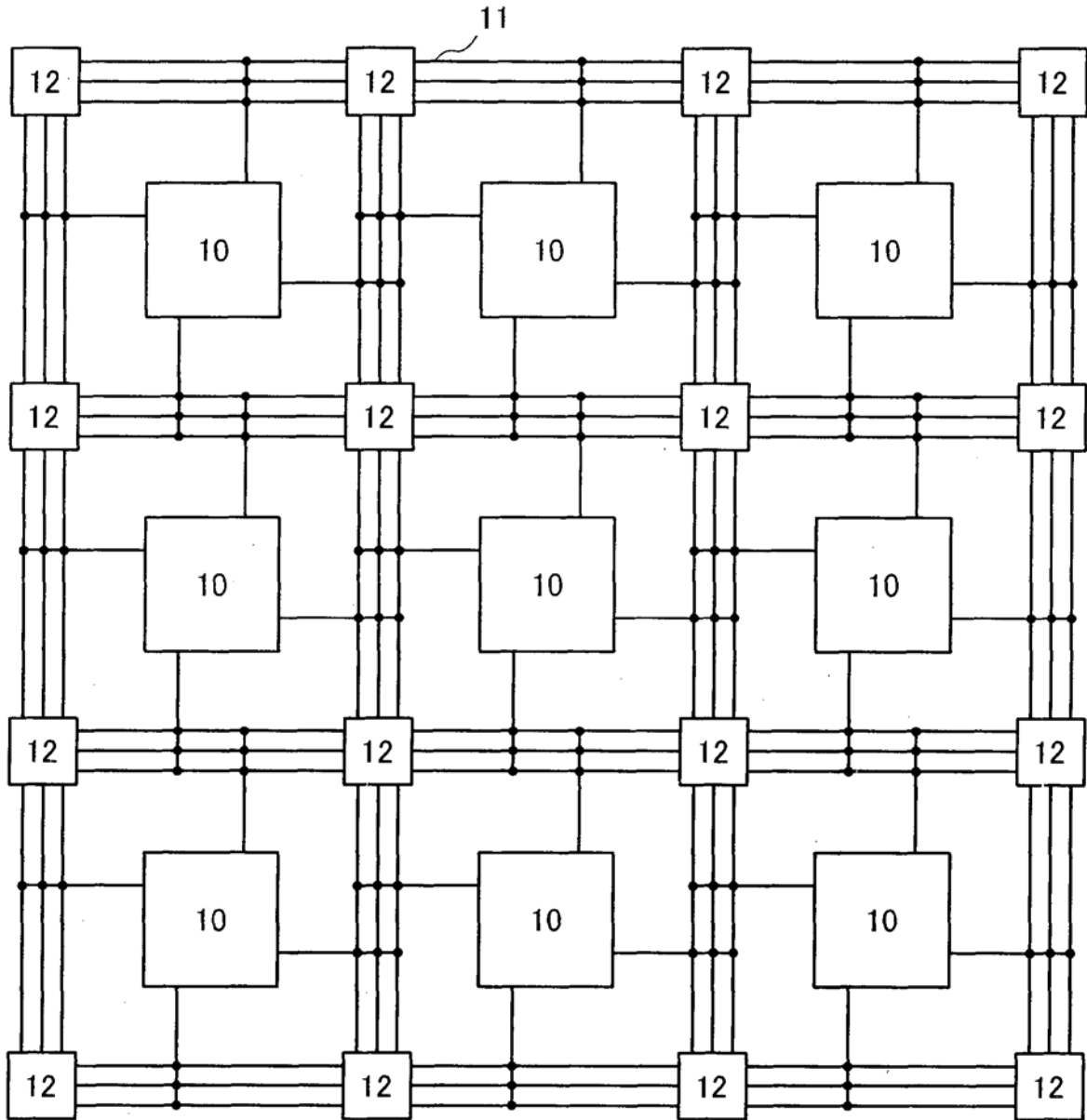


图 1A

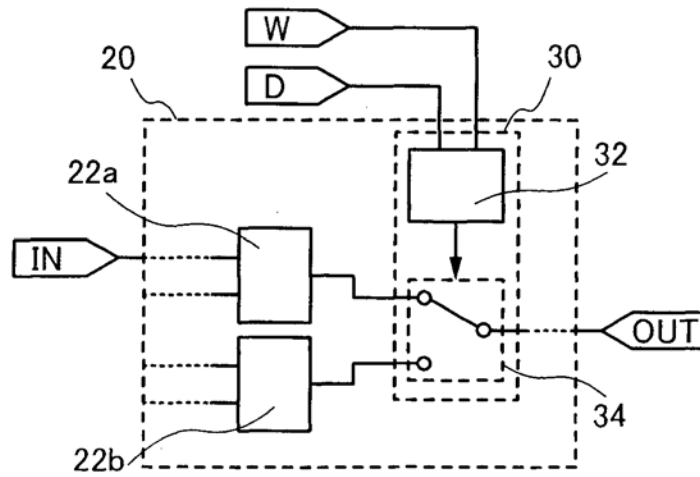


图 1B

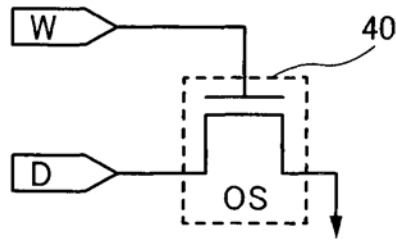


图 1C

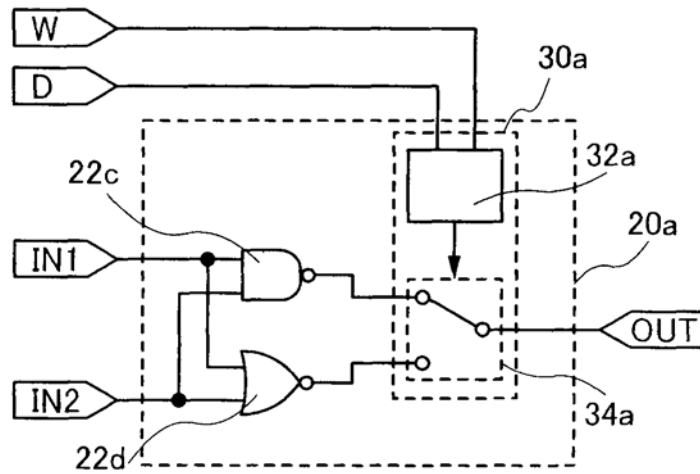


图 2A

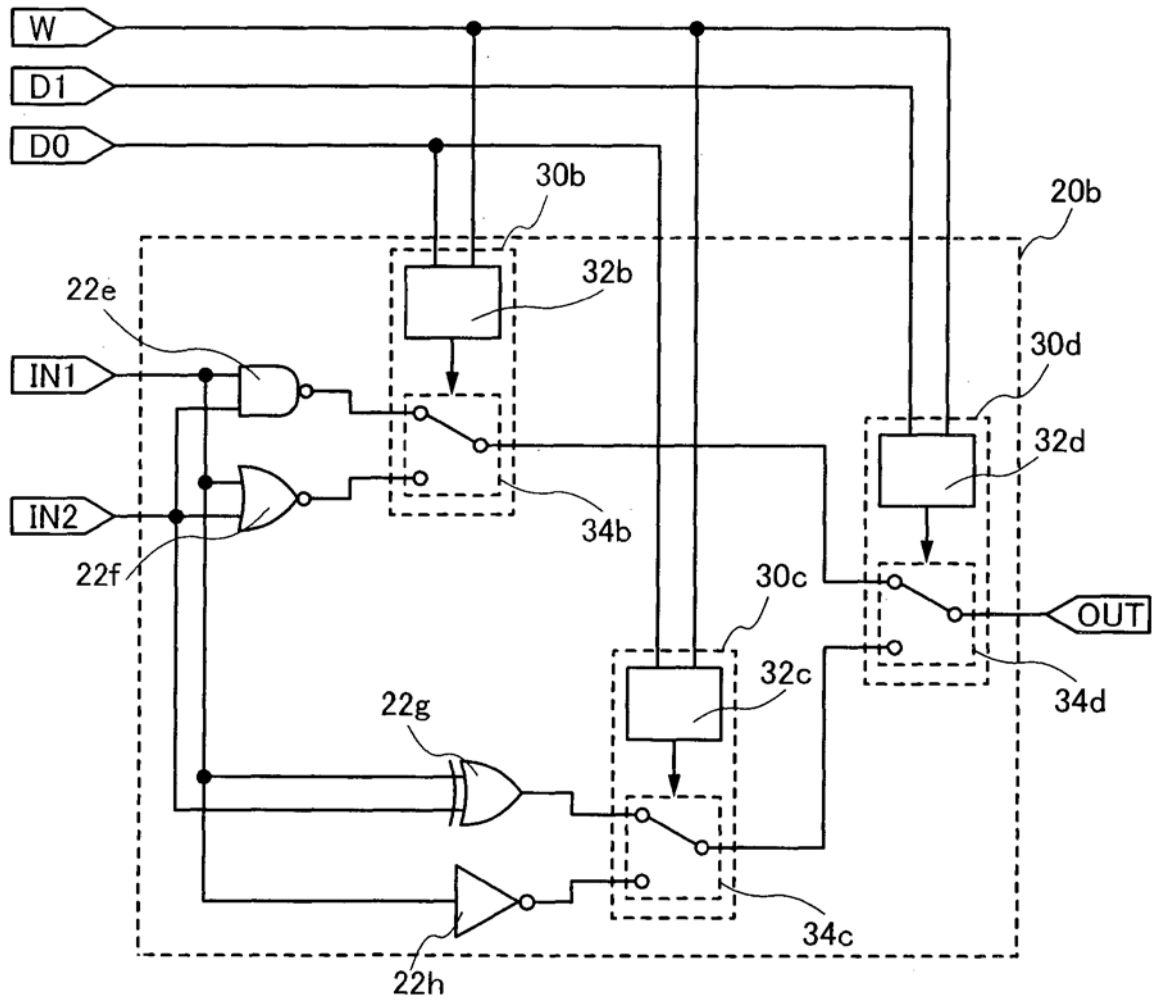


图 2B

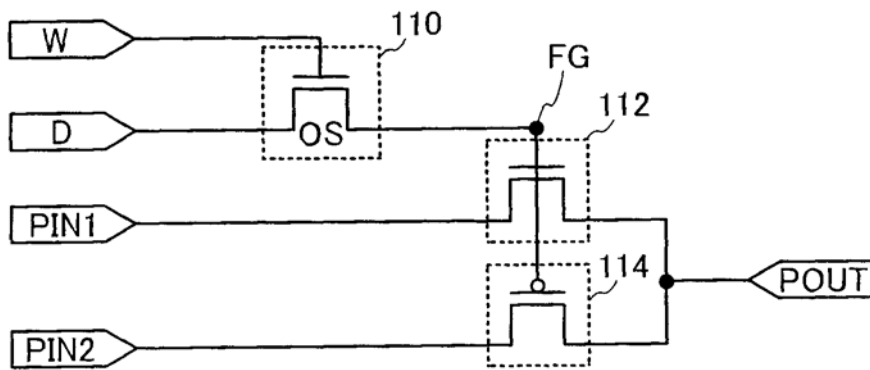


图 3A

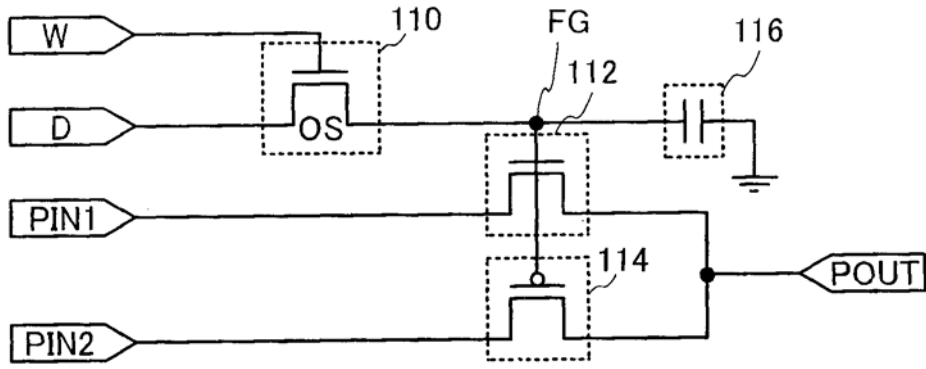


图 3B

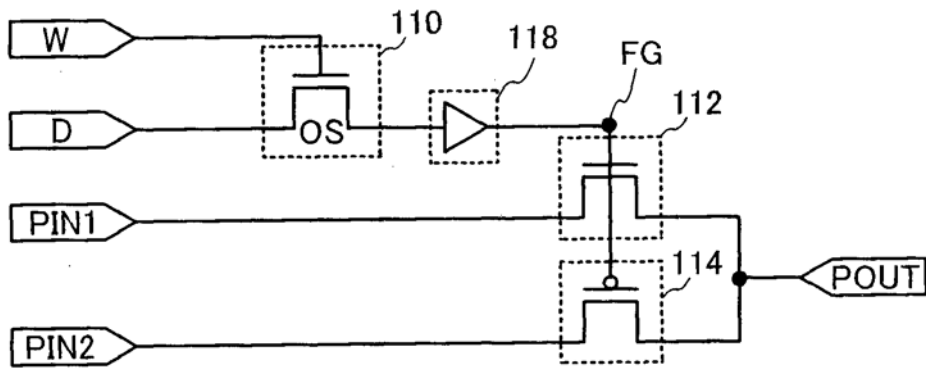


图 3C

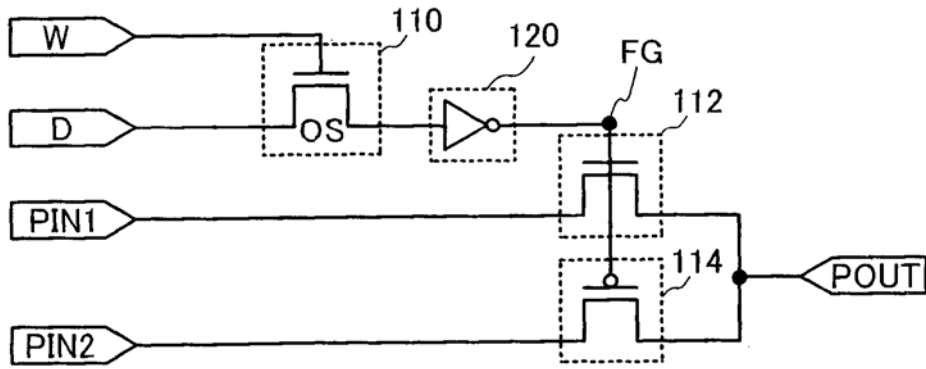


图 3D

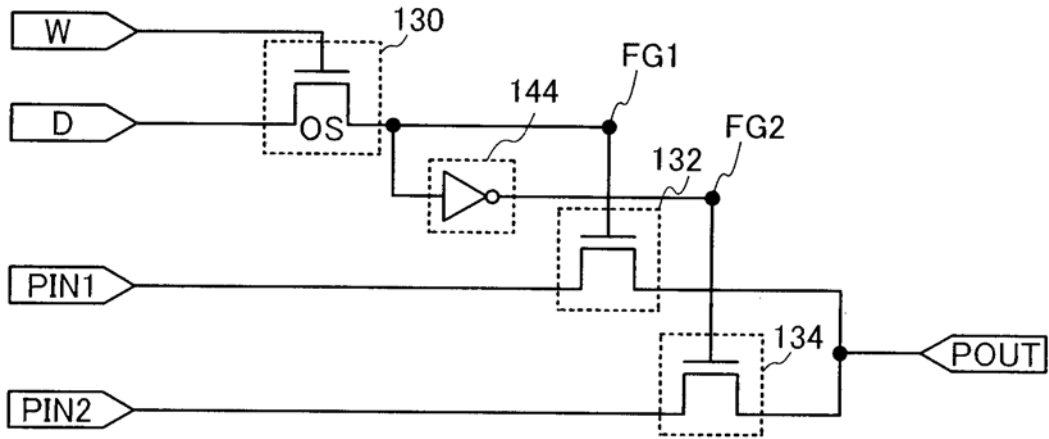


图 4A

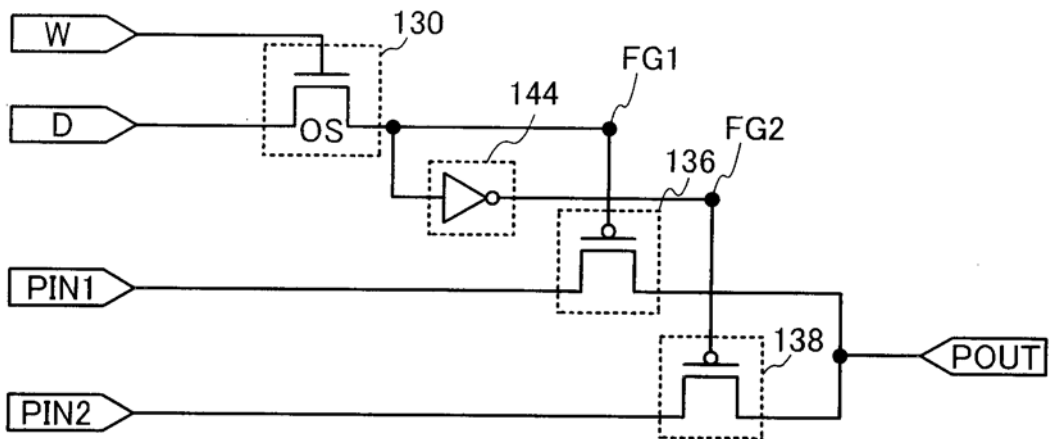


图 4B

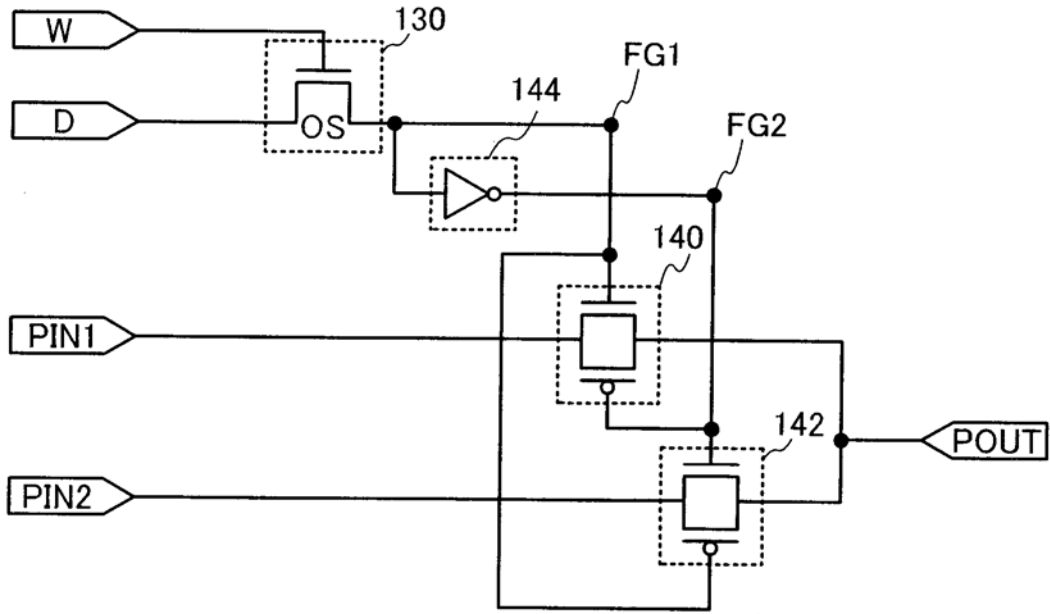


图 4C

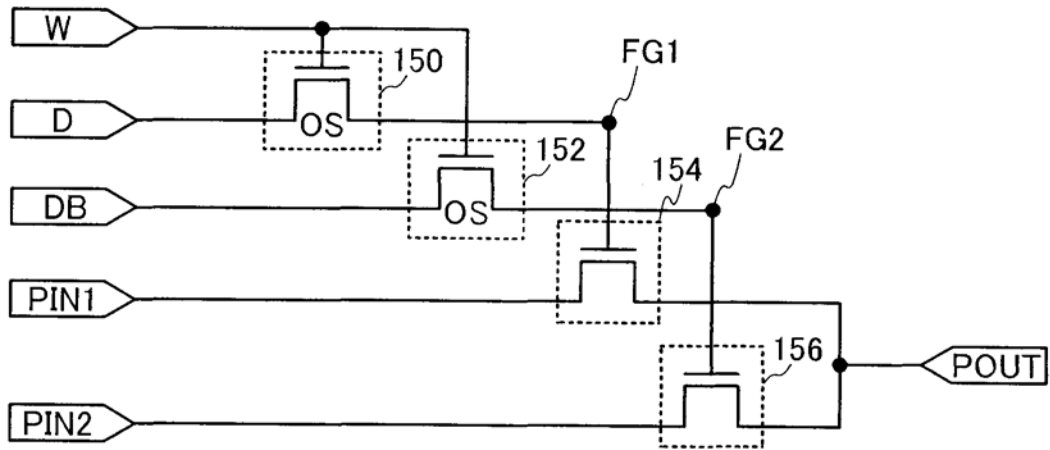


图 5A

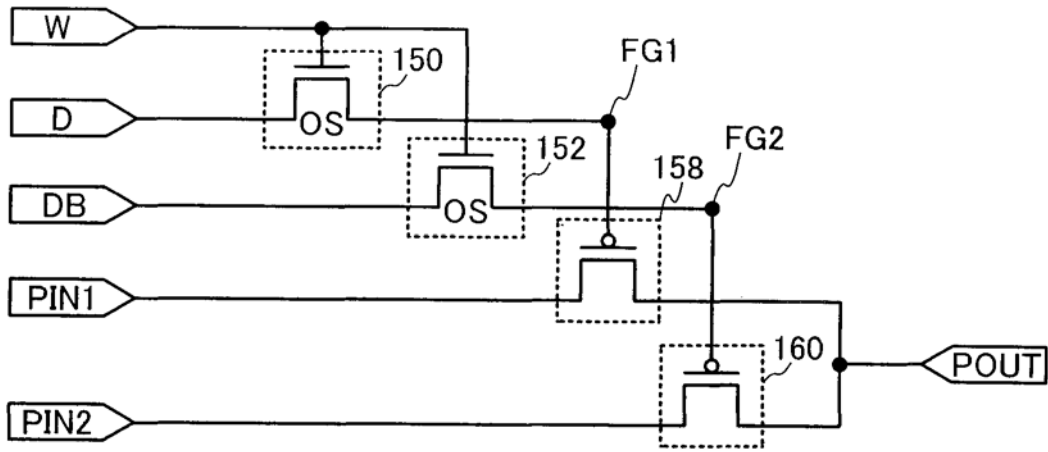


图 5B

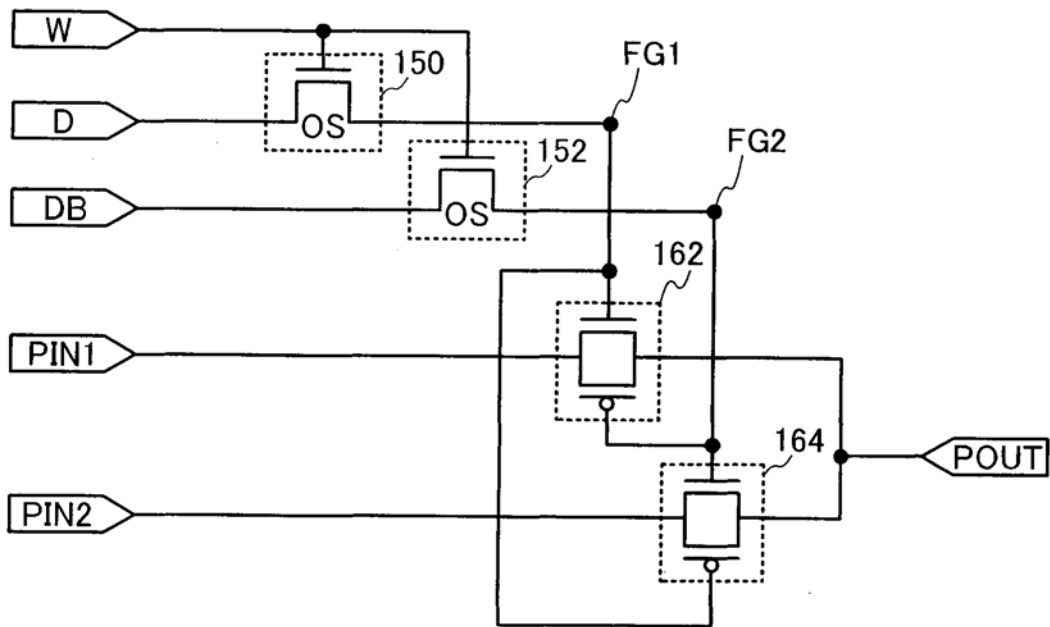


图 5C

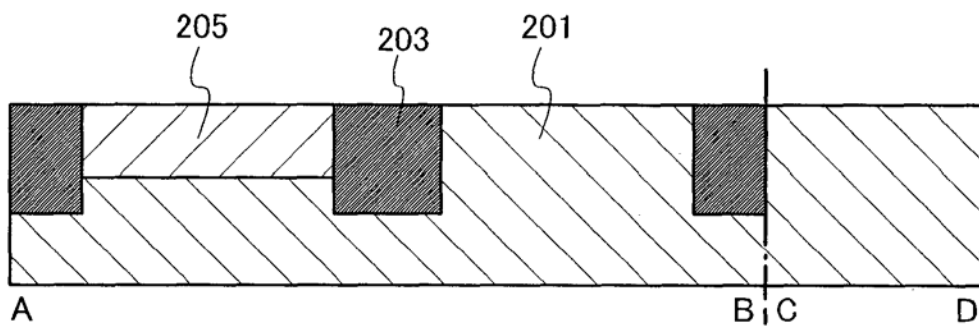


图 6A

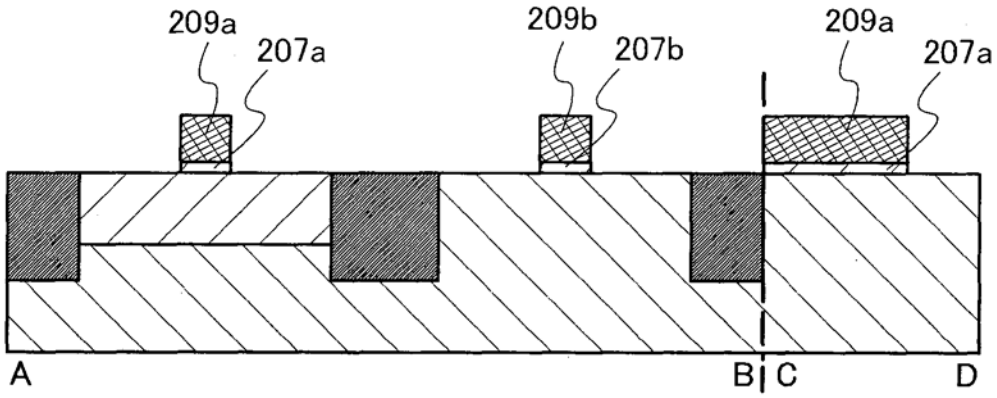


图 6B

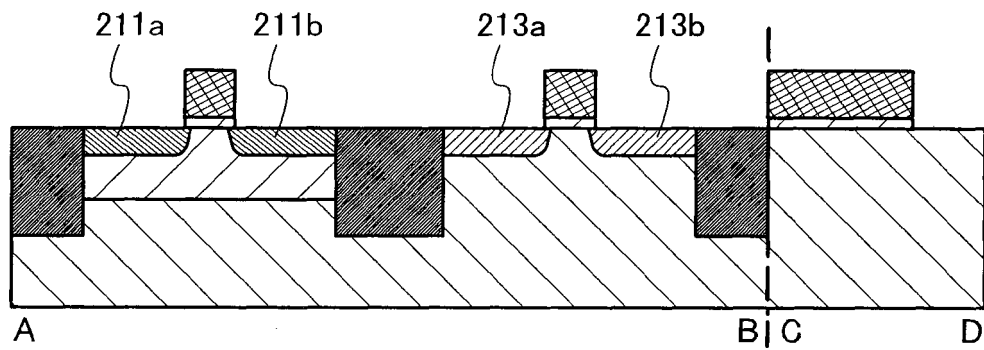


图 6C

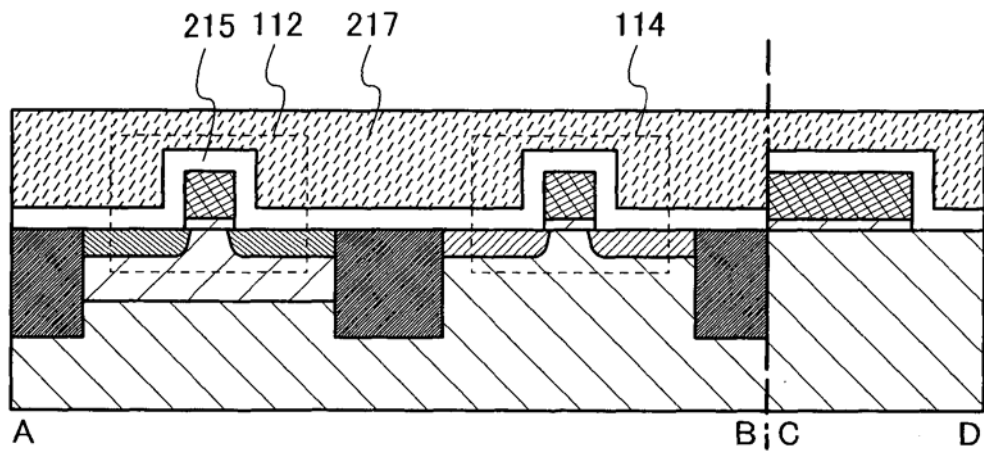


图 6D

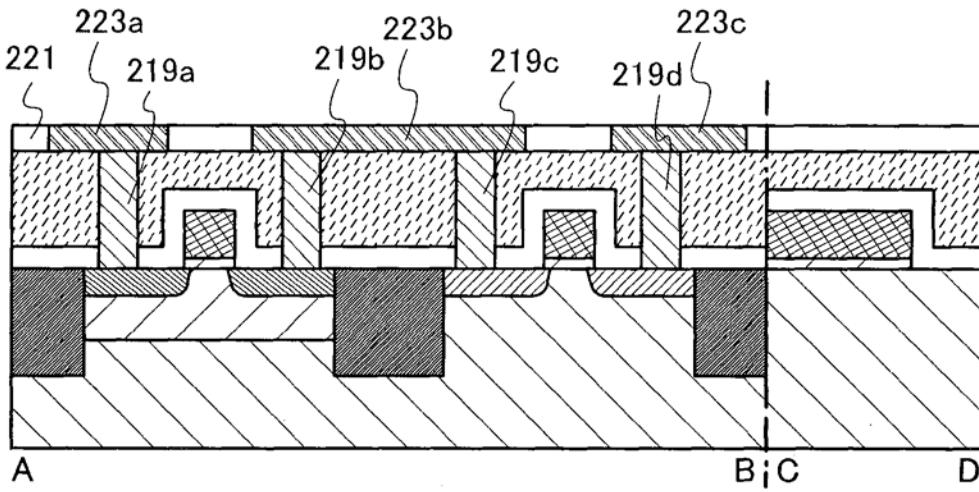


图 7A

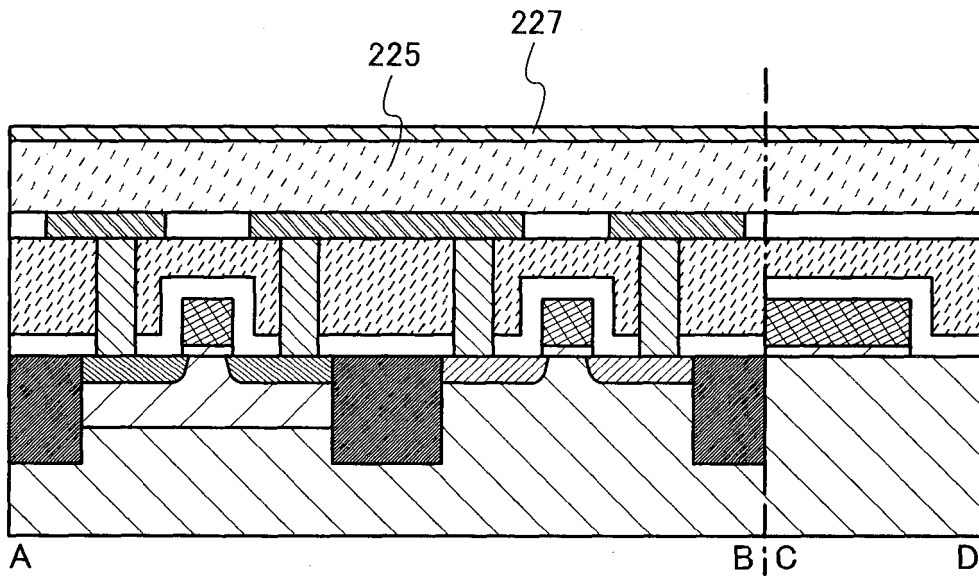


图 7B

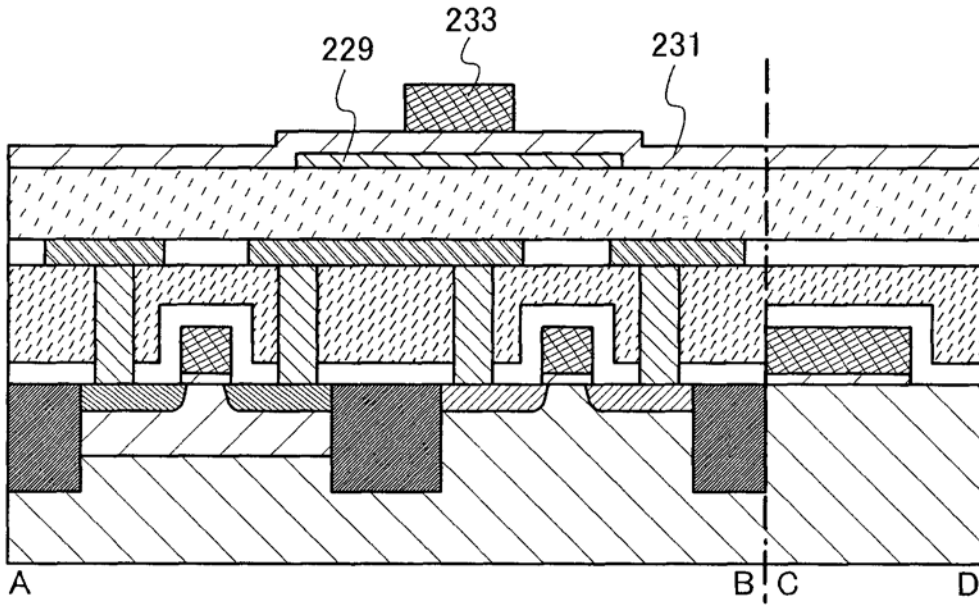


图 8A

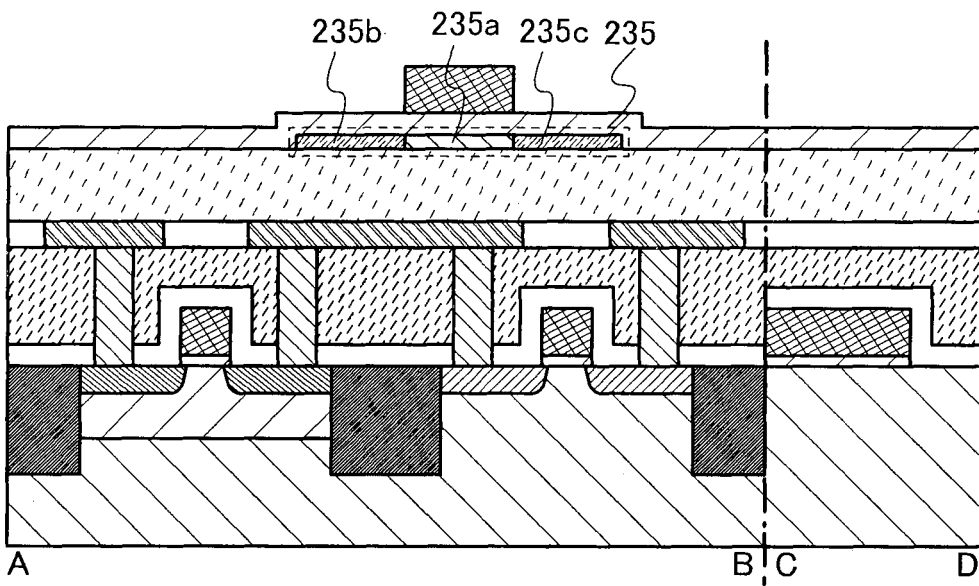


图 8B

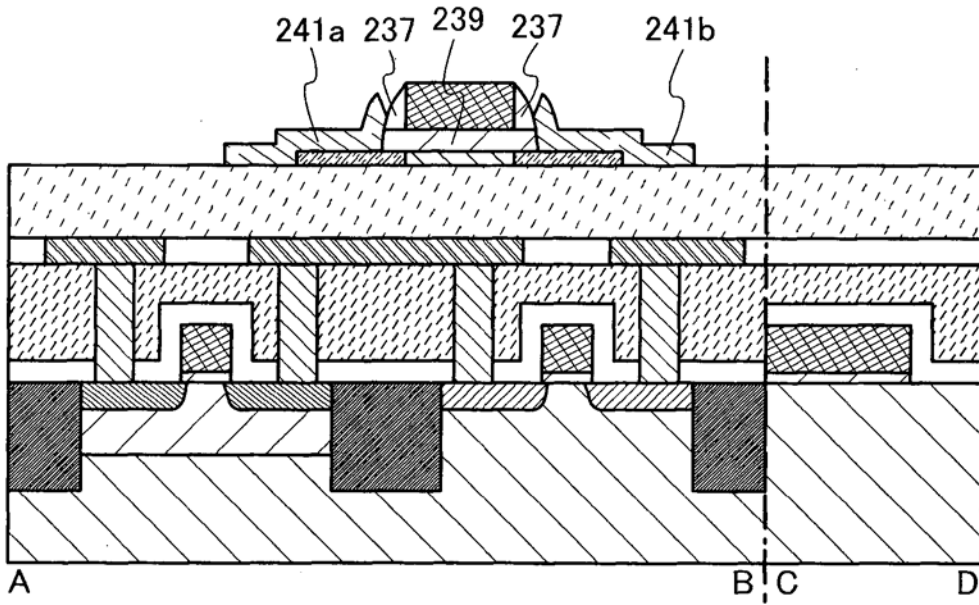


图 8C

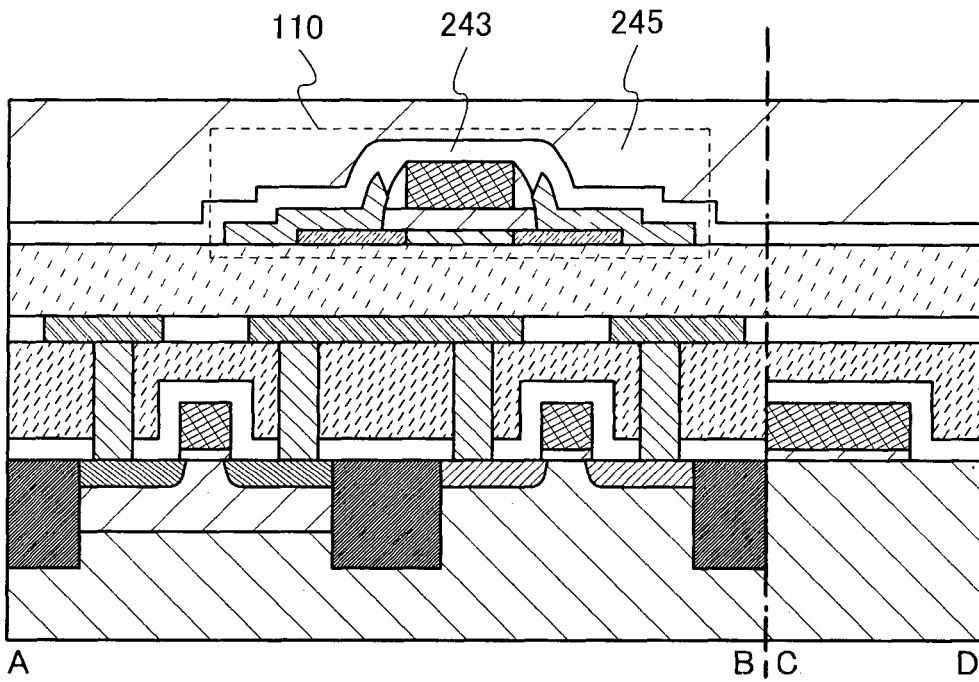


图 9A

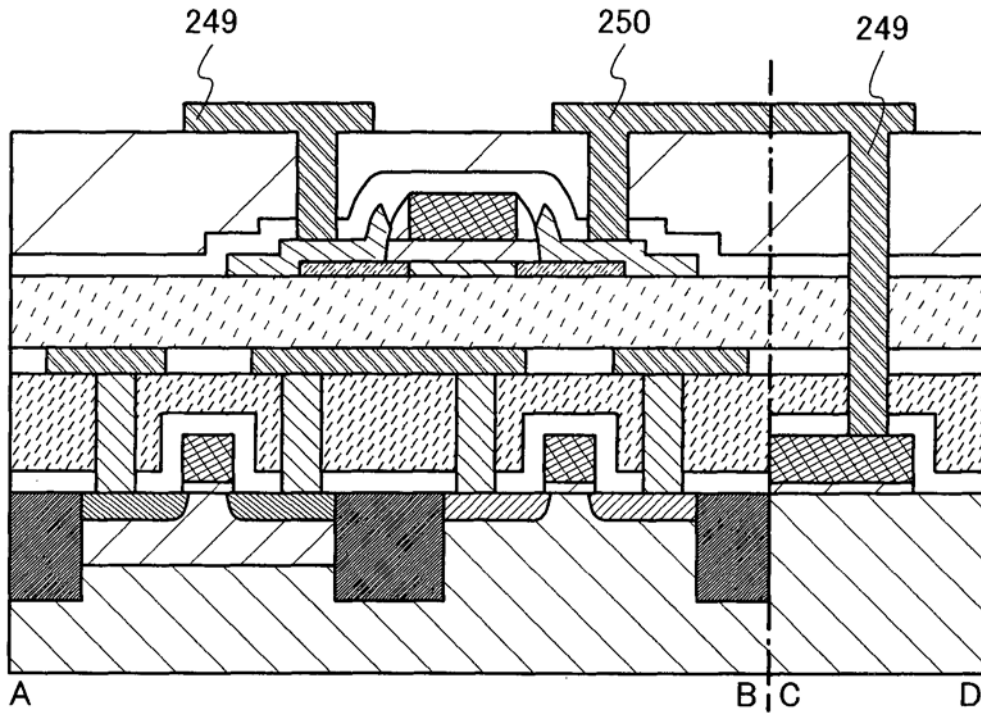


图 9B

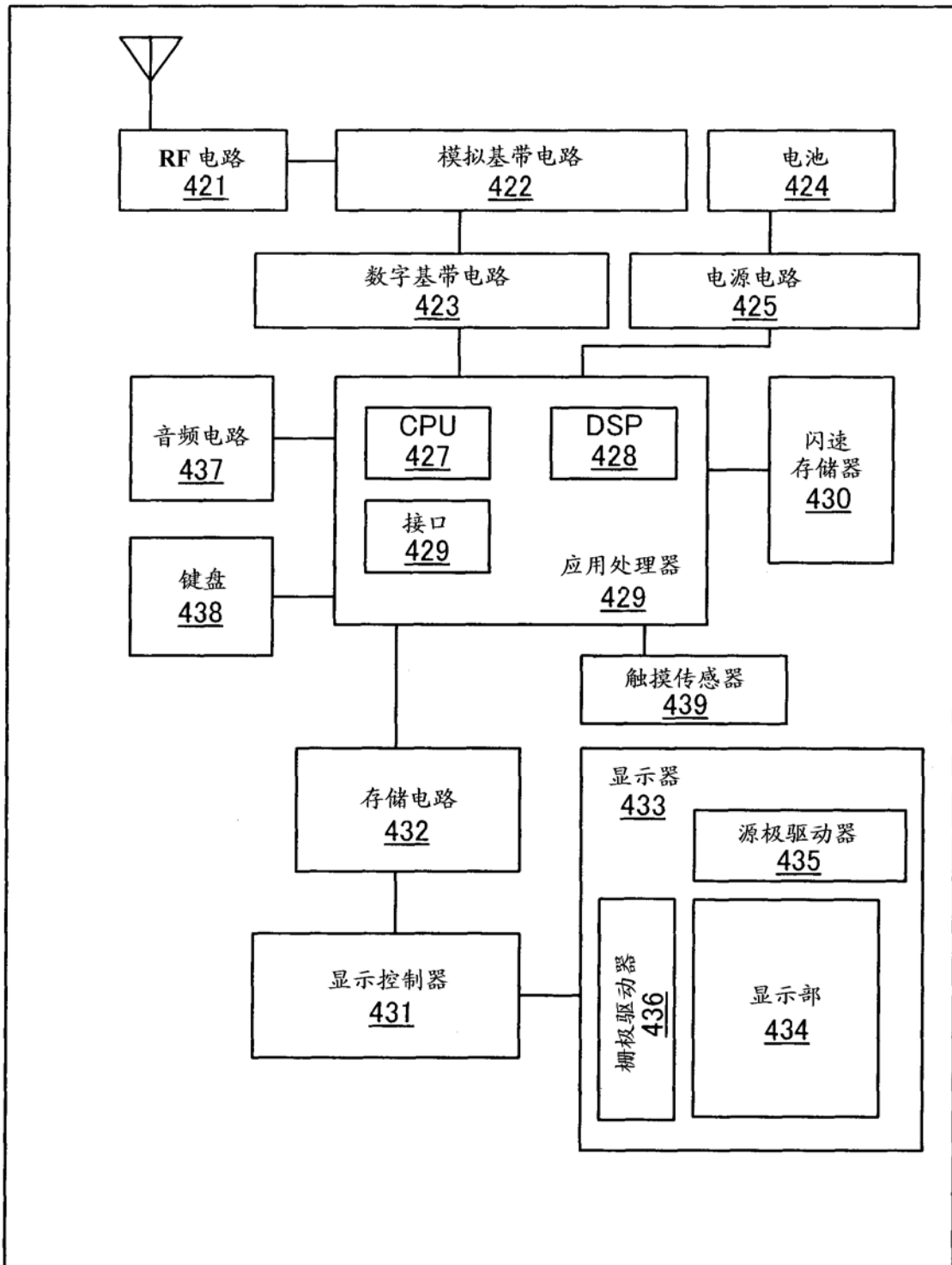


图 10

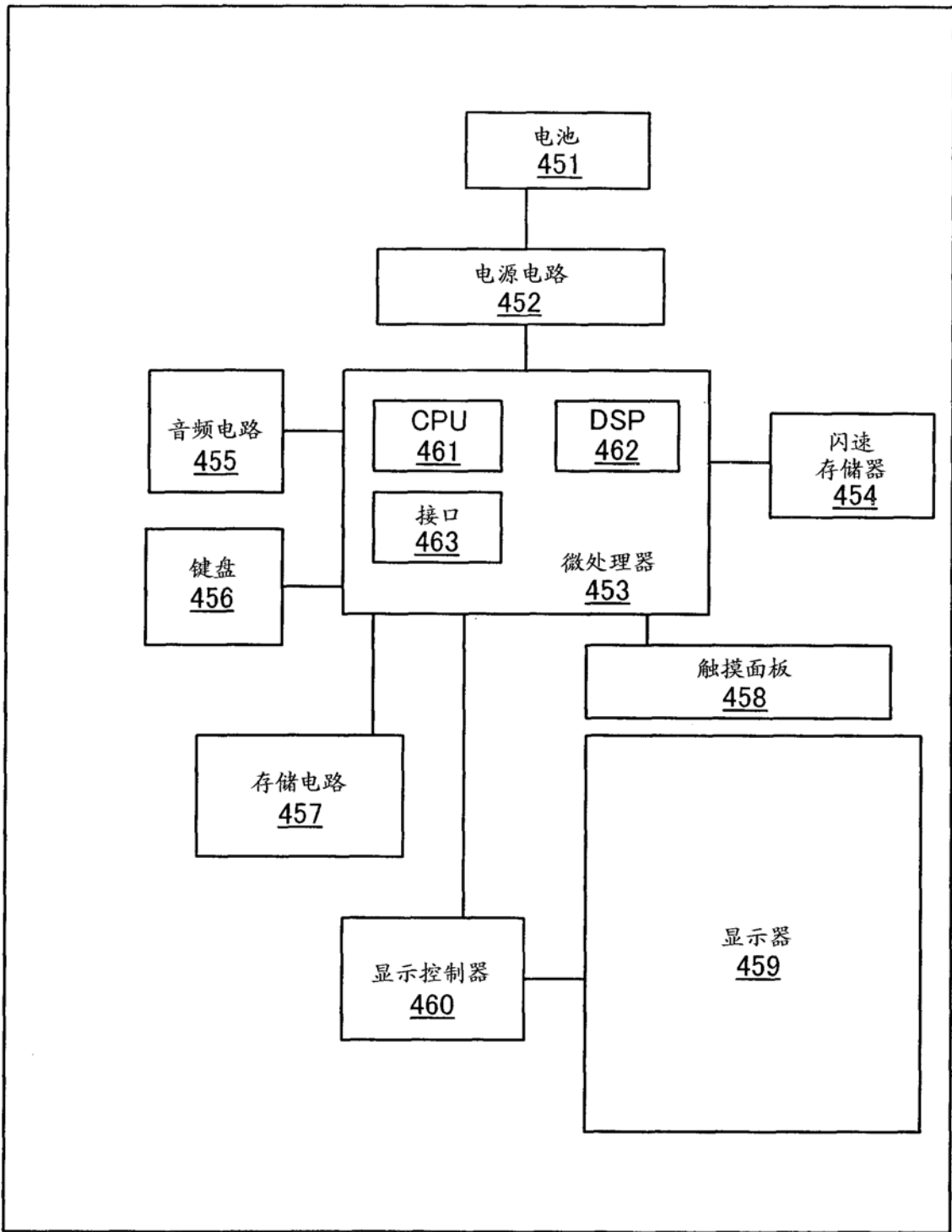


图 11

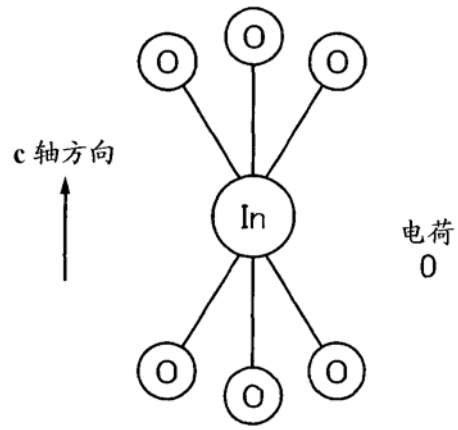


图 12A

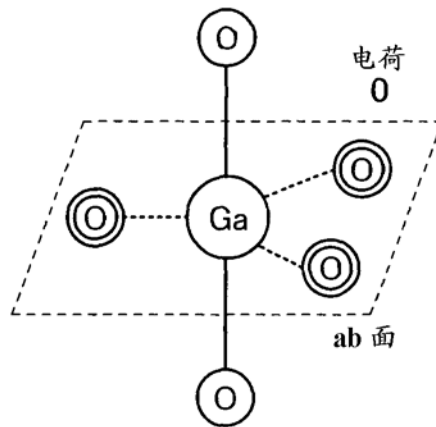


图 12B

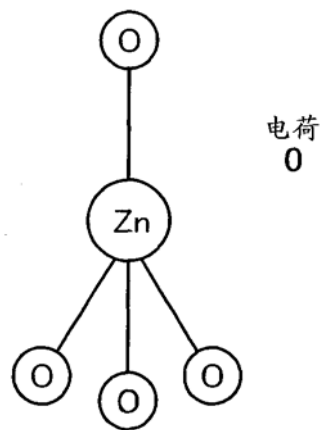


图 12C

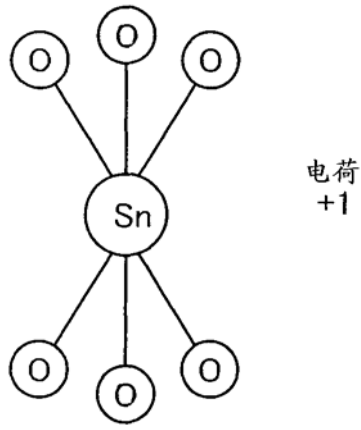


图 12D

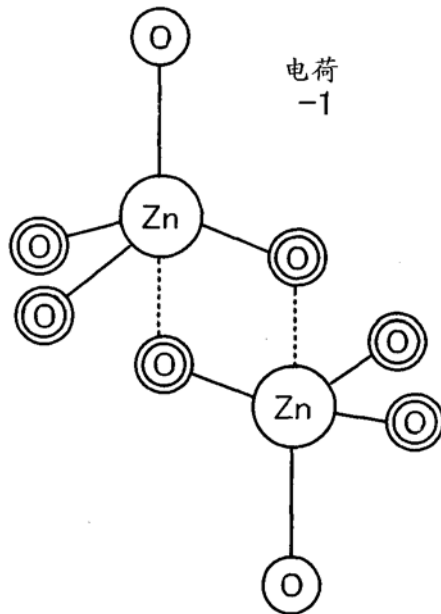


图 12E

图 13A

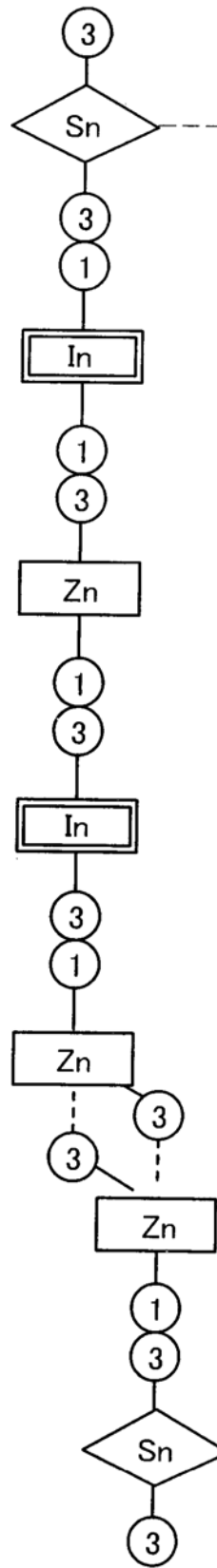
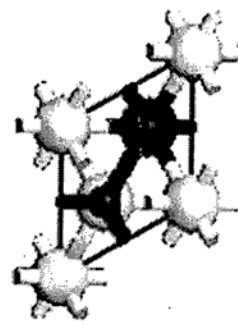


图 13B



图 13C



- In
- Sn
- Zn
- O

图 14A

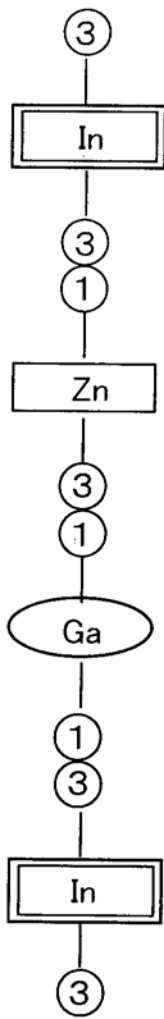


图 14B

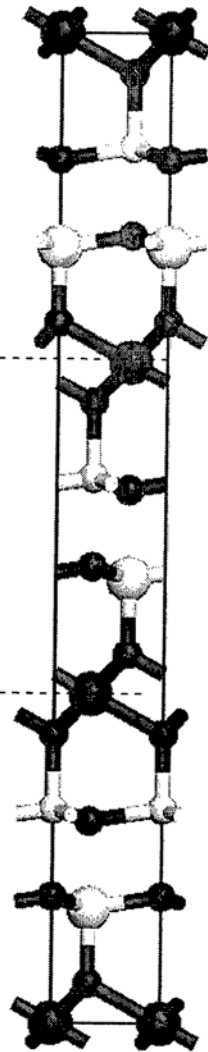
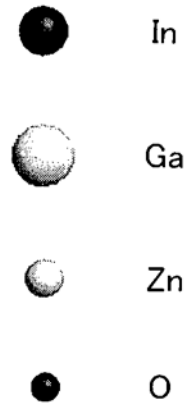
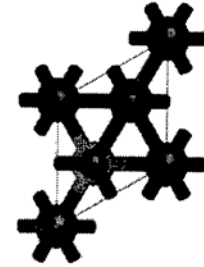


图 14C



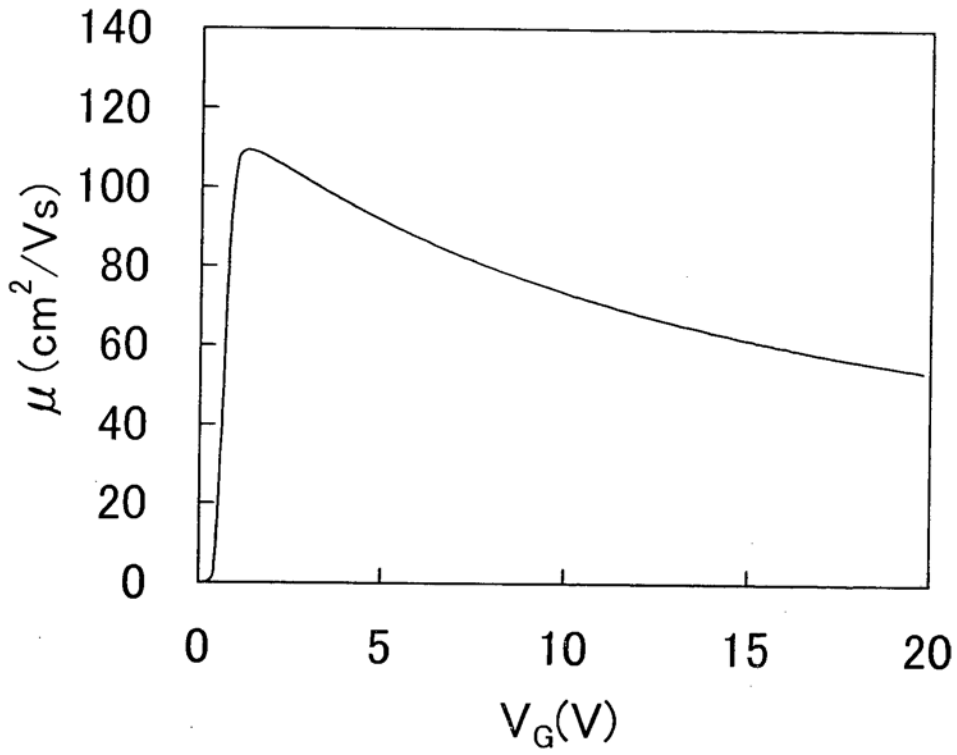


图 15

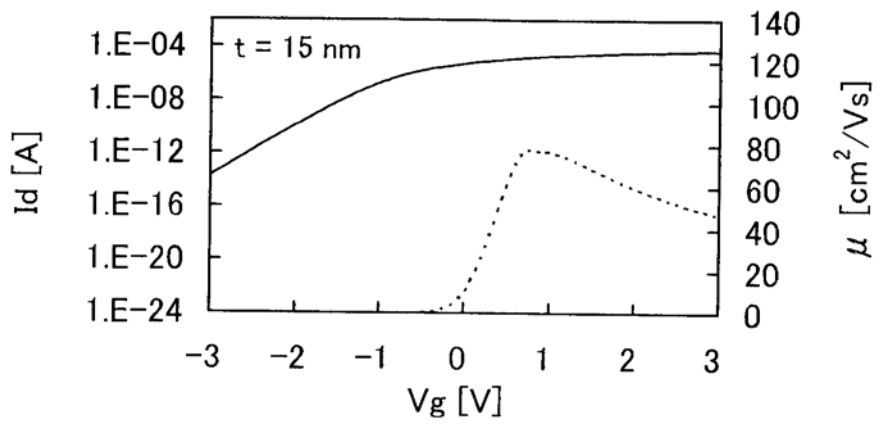


图 16A

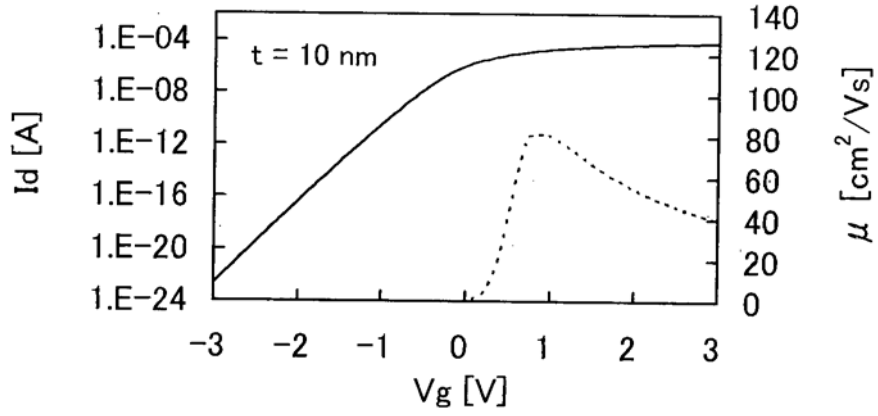


图 16B

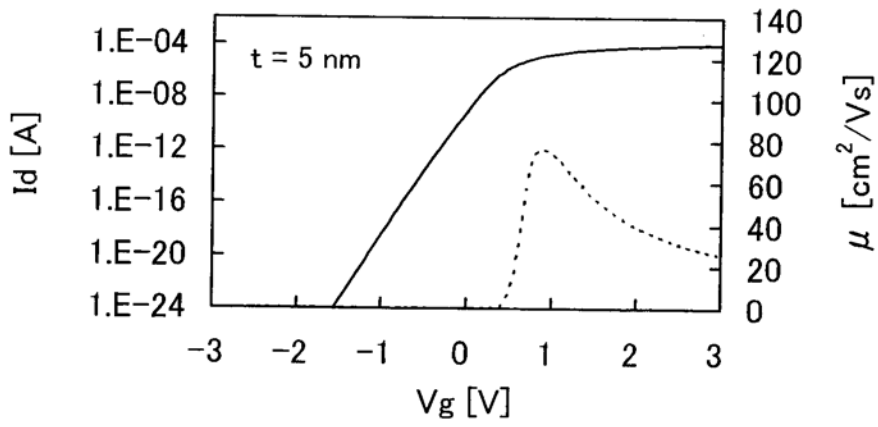


图 16C

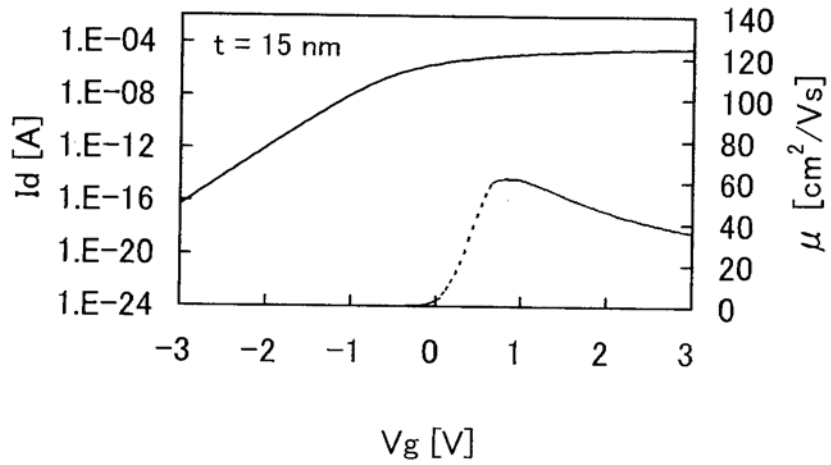


图 17A

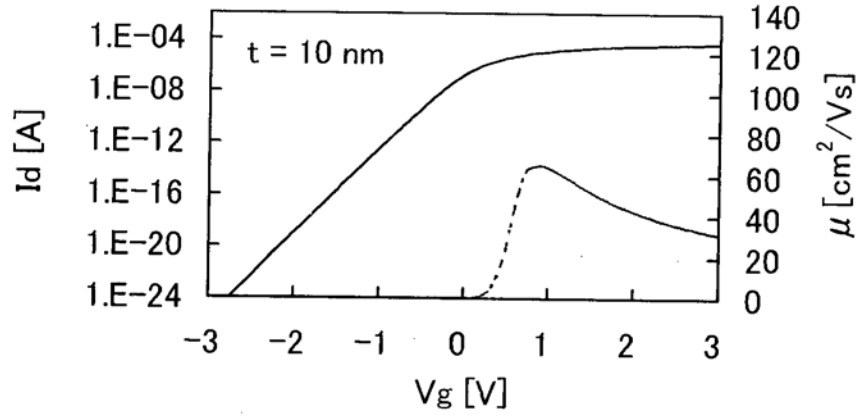


图 17B

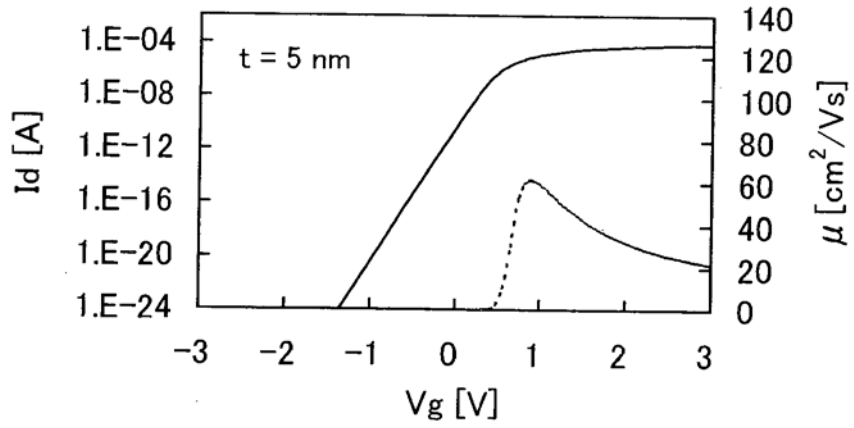


图 17C

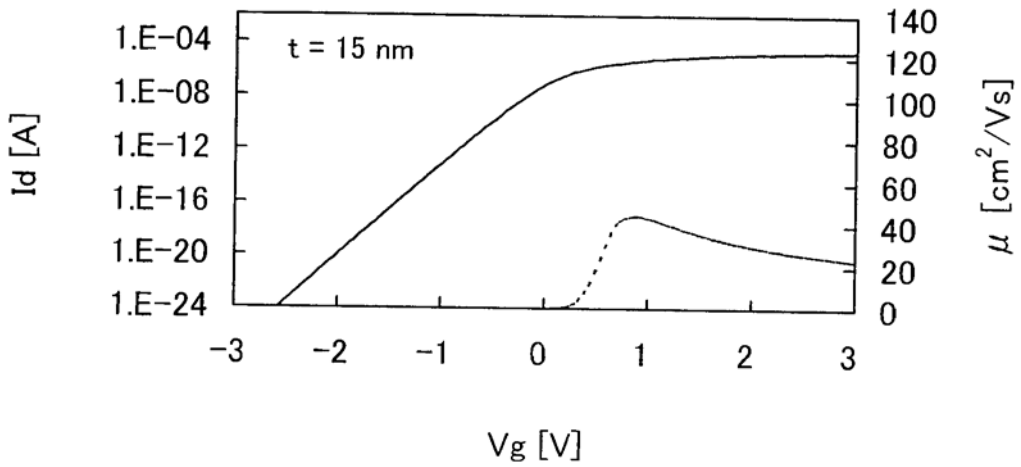


图 18A

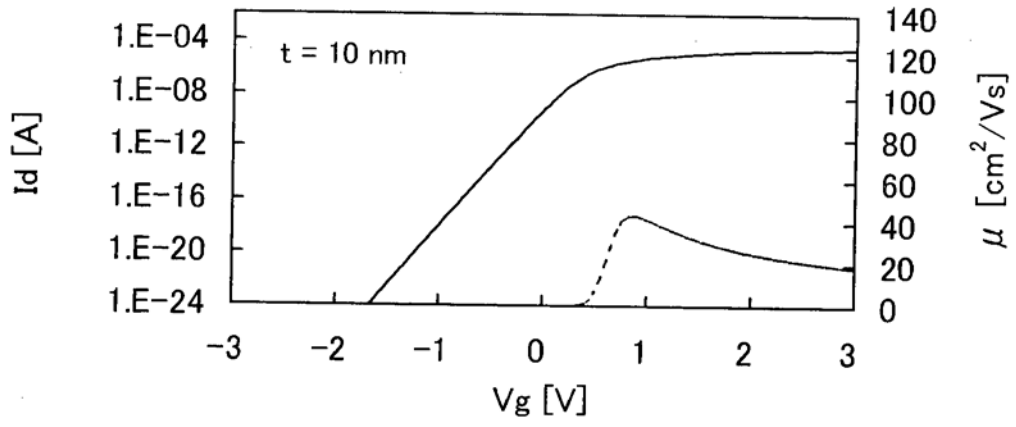


图 18B

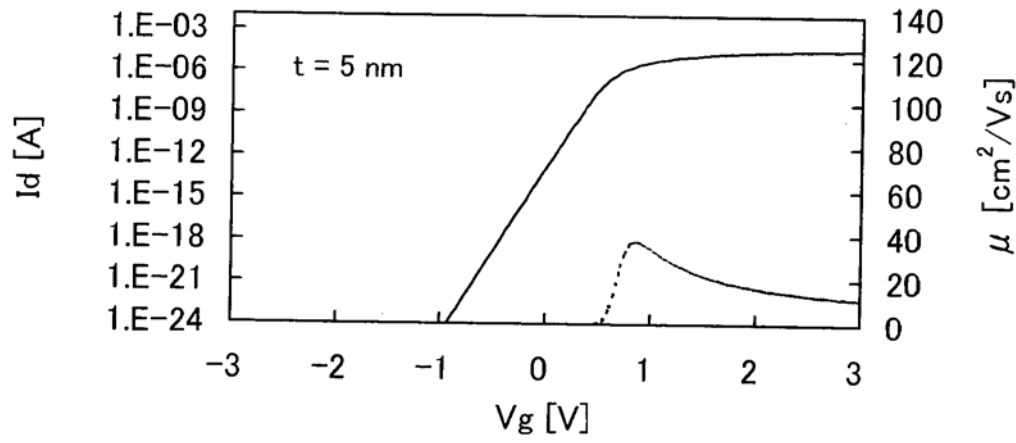


图 18C

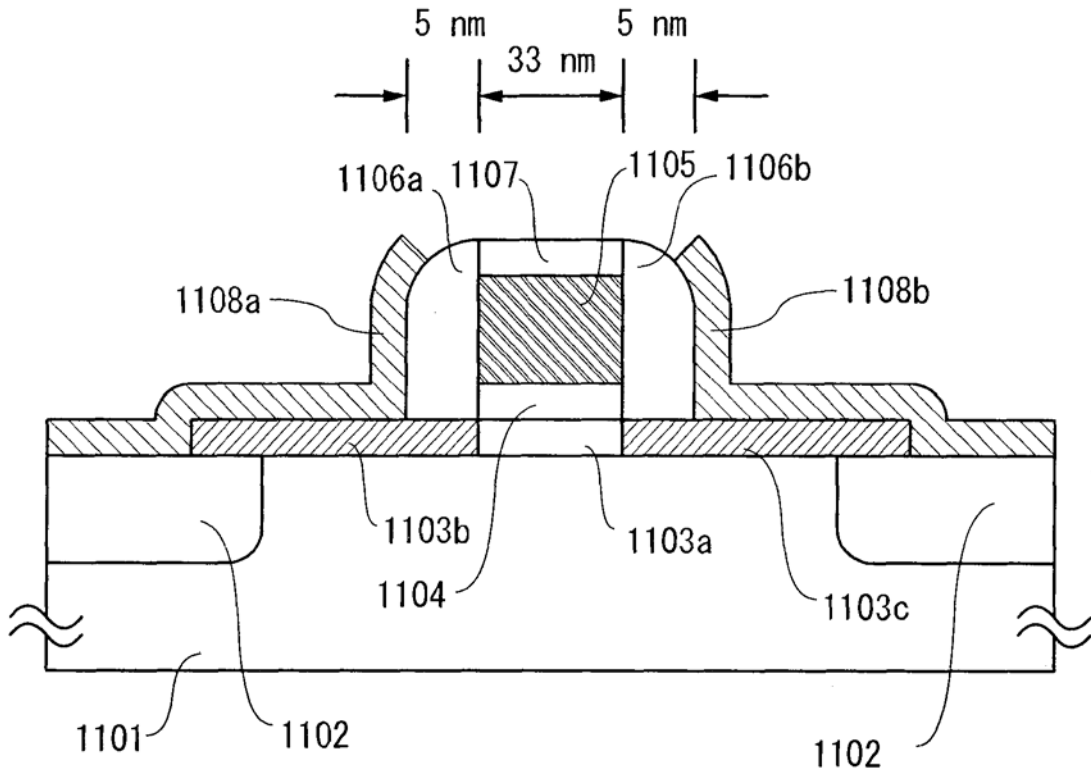


图 19A

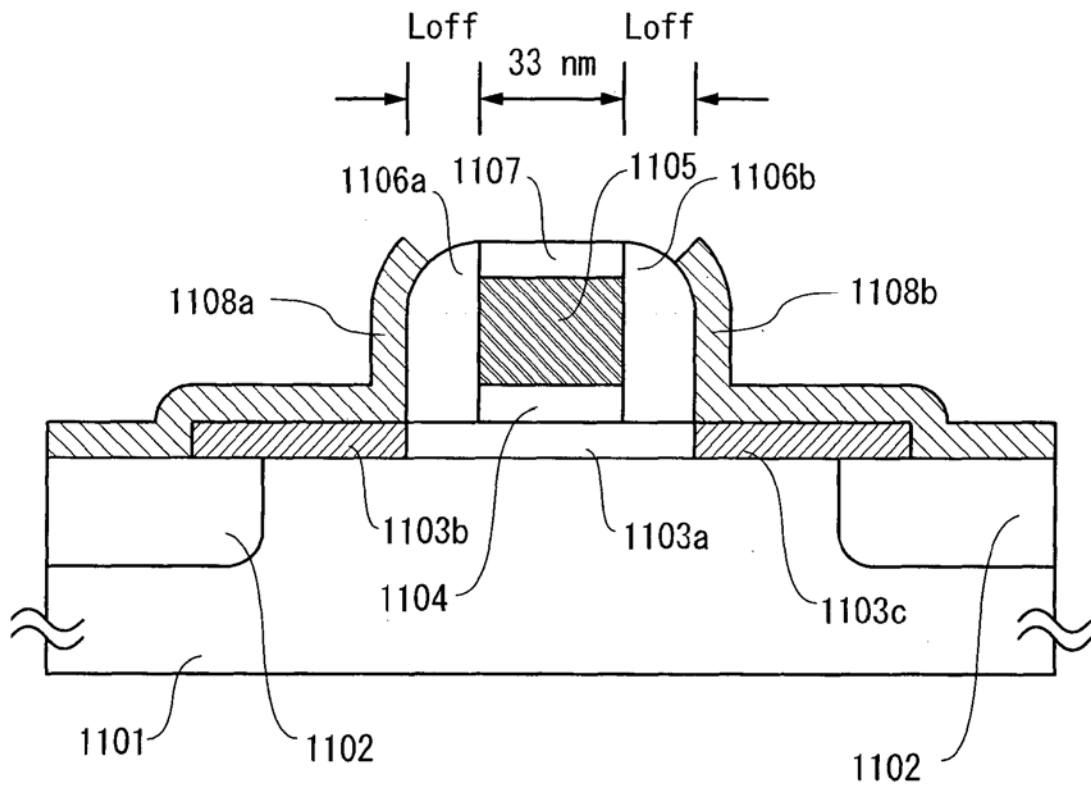


图 19B

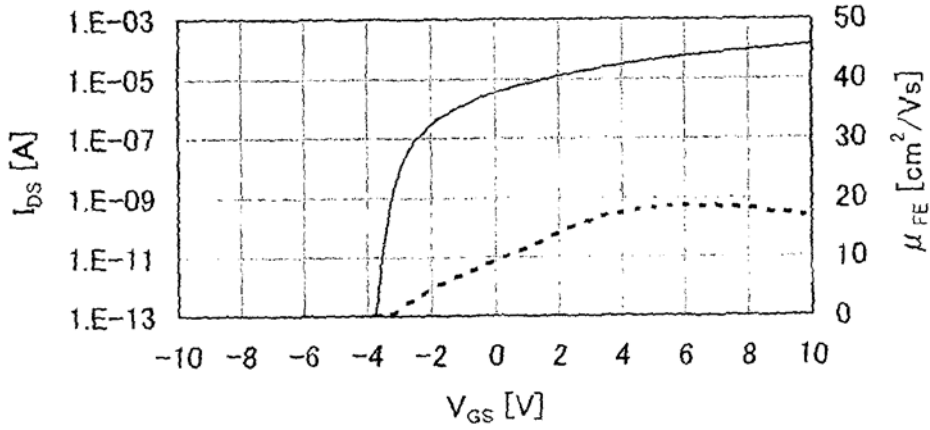


图 20A

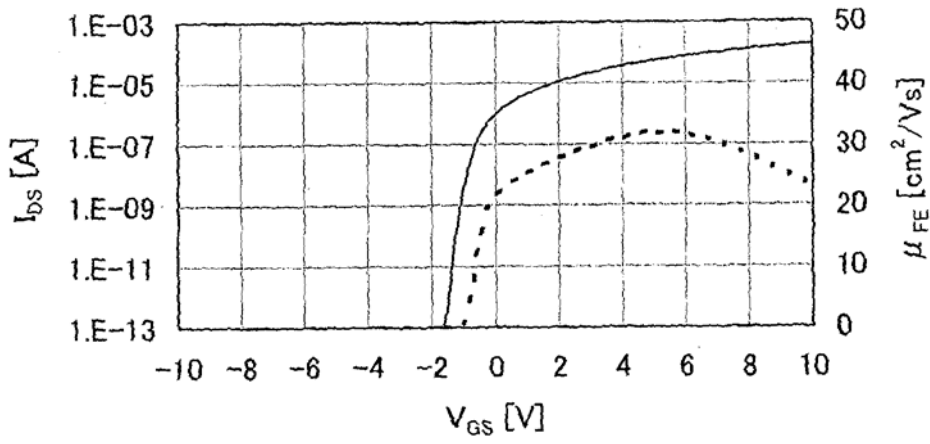


图 20B

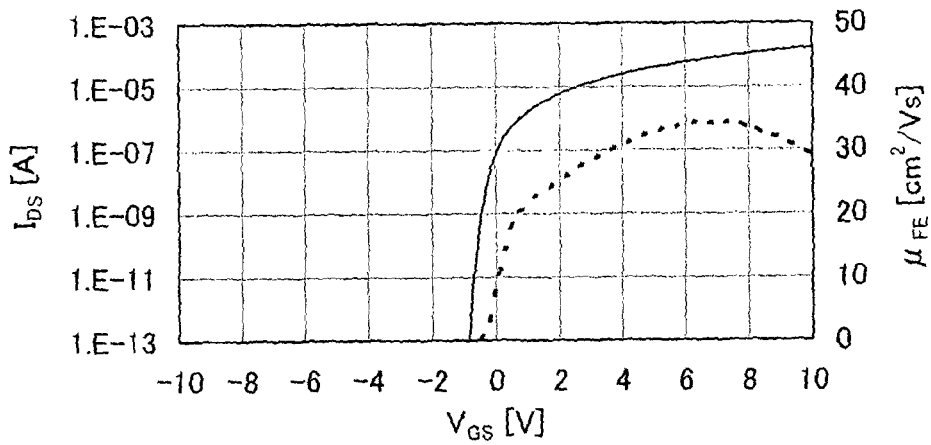


图 20C

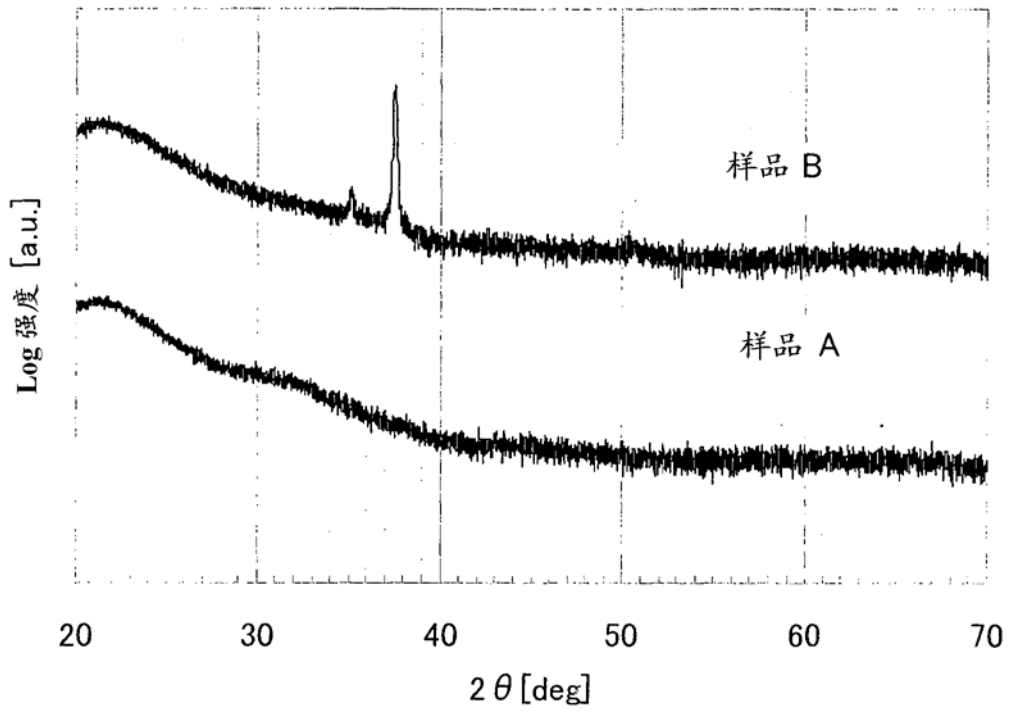


图 21

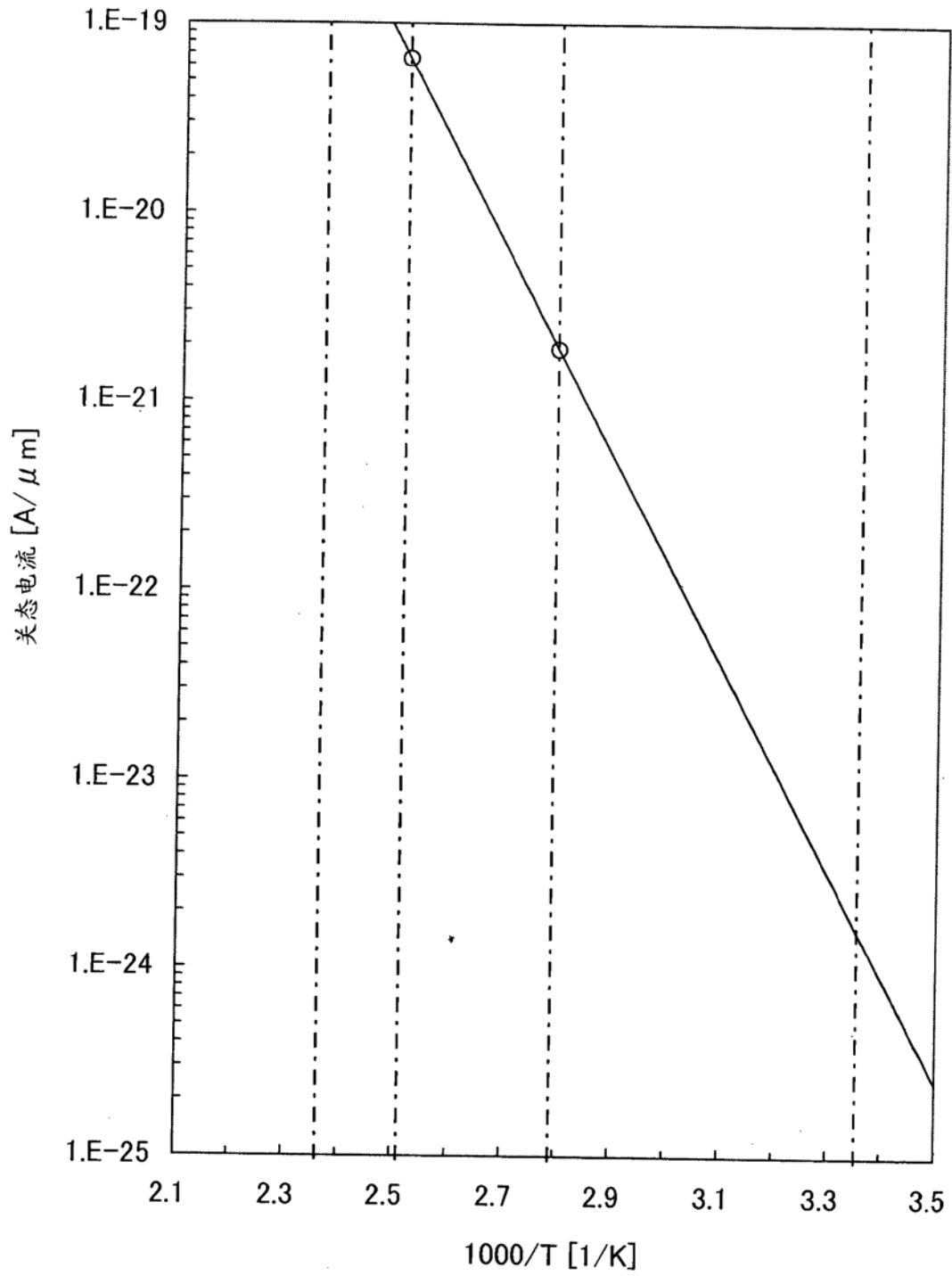


图 22

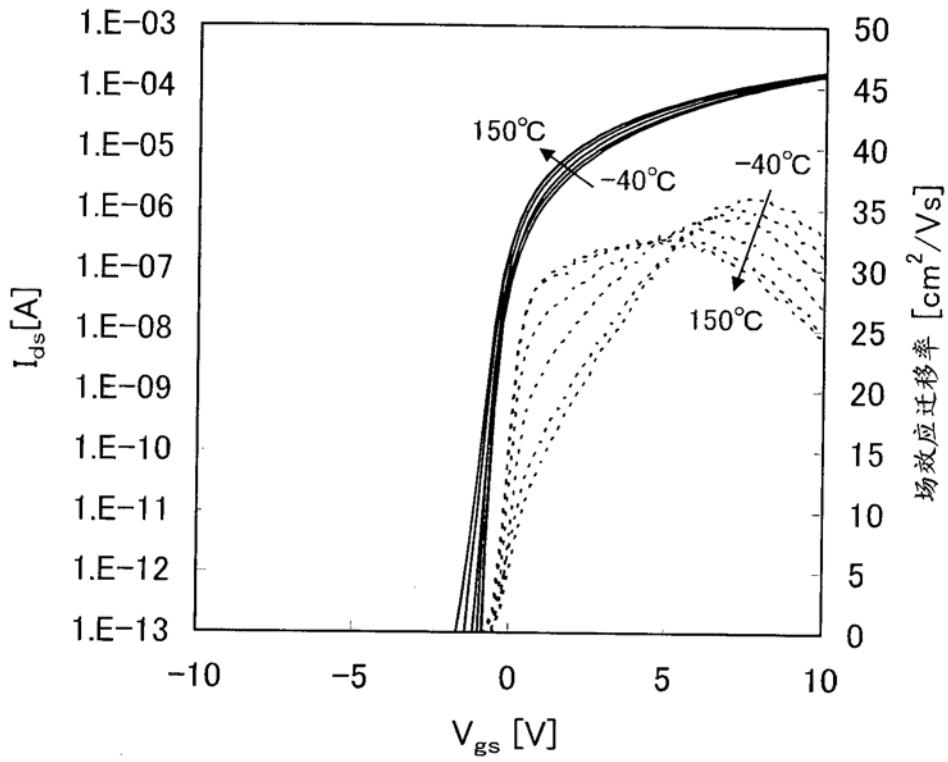


图 23

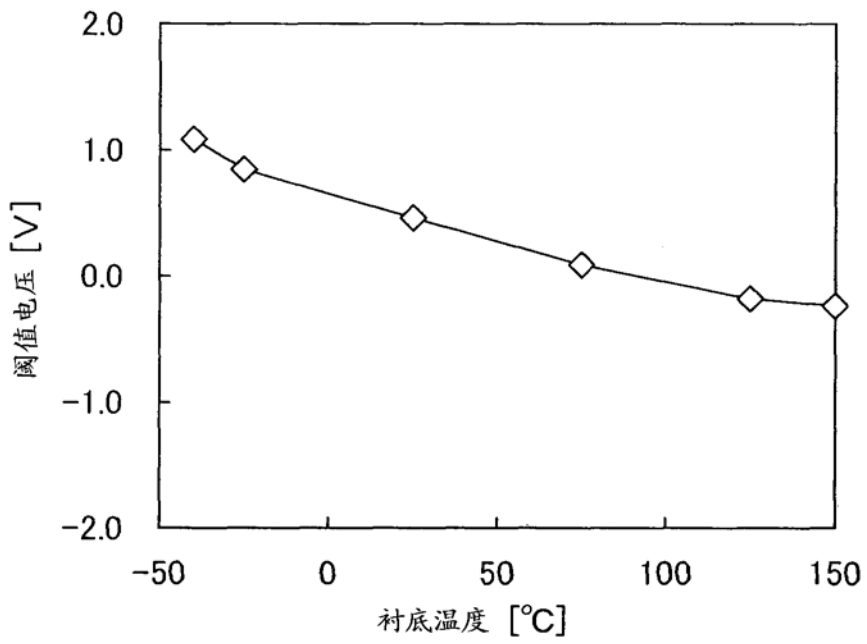


图 24A

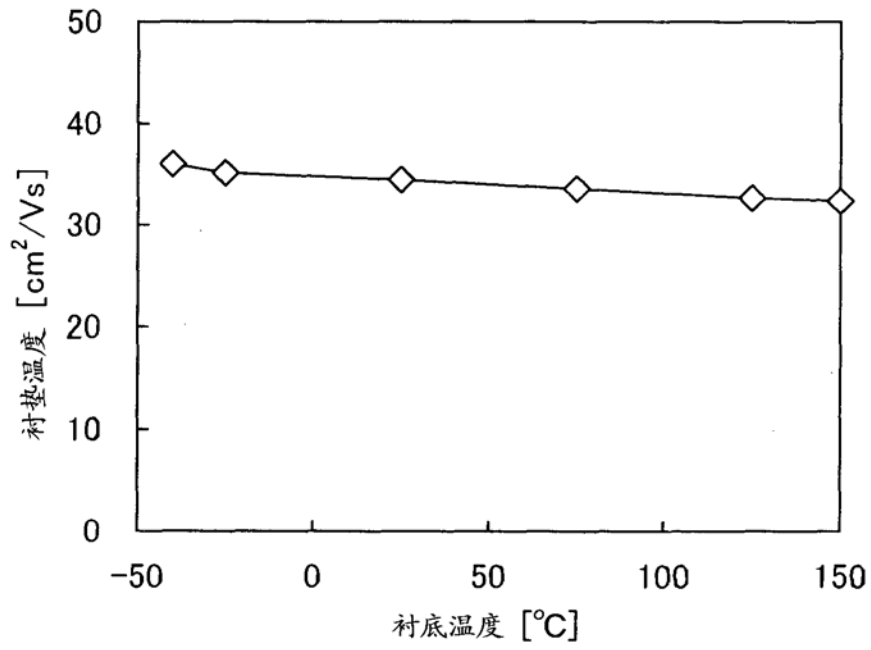


图 24B

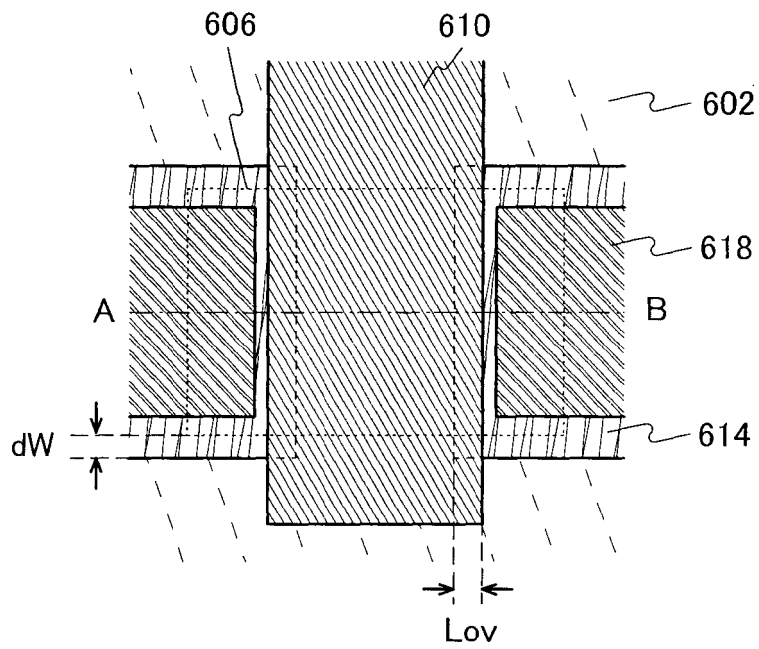


图 25A

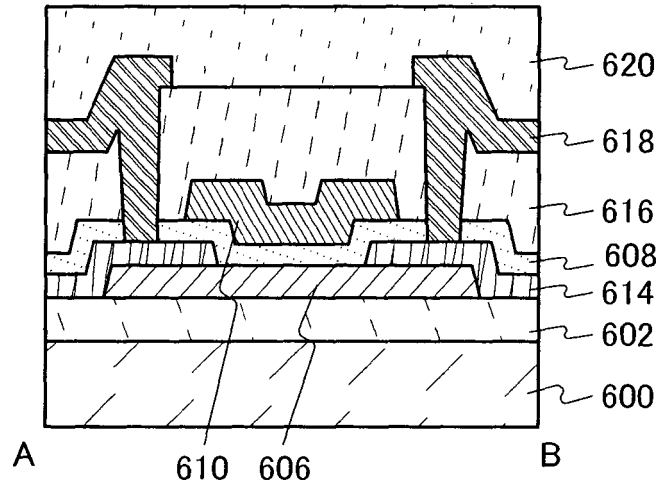


图 25B

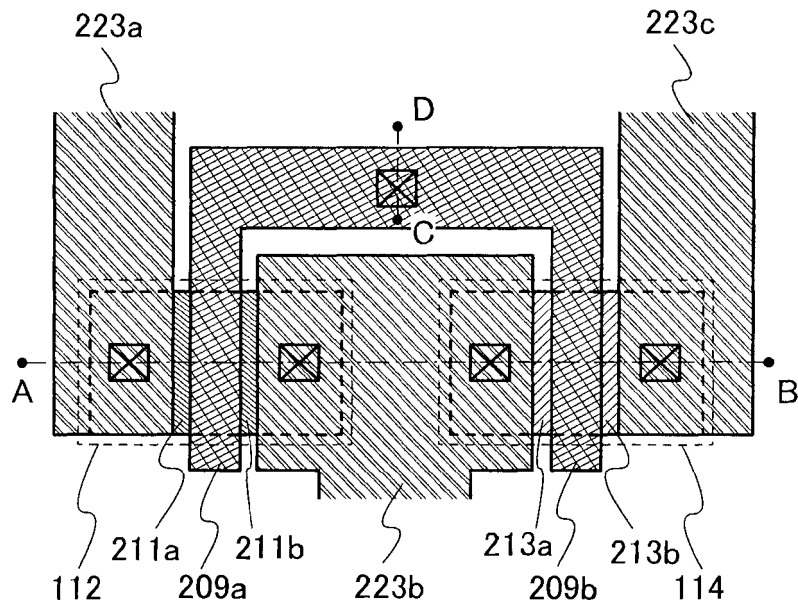


图 26A

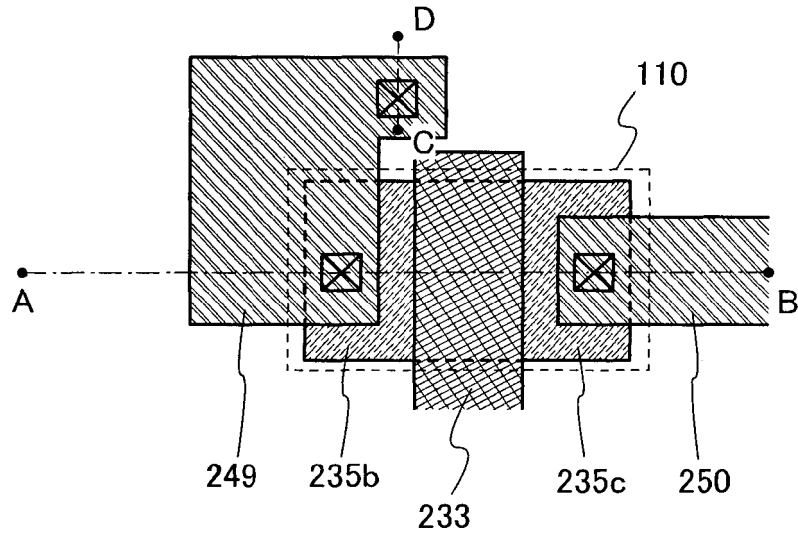


图 26B

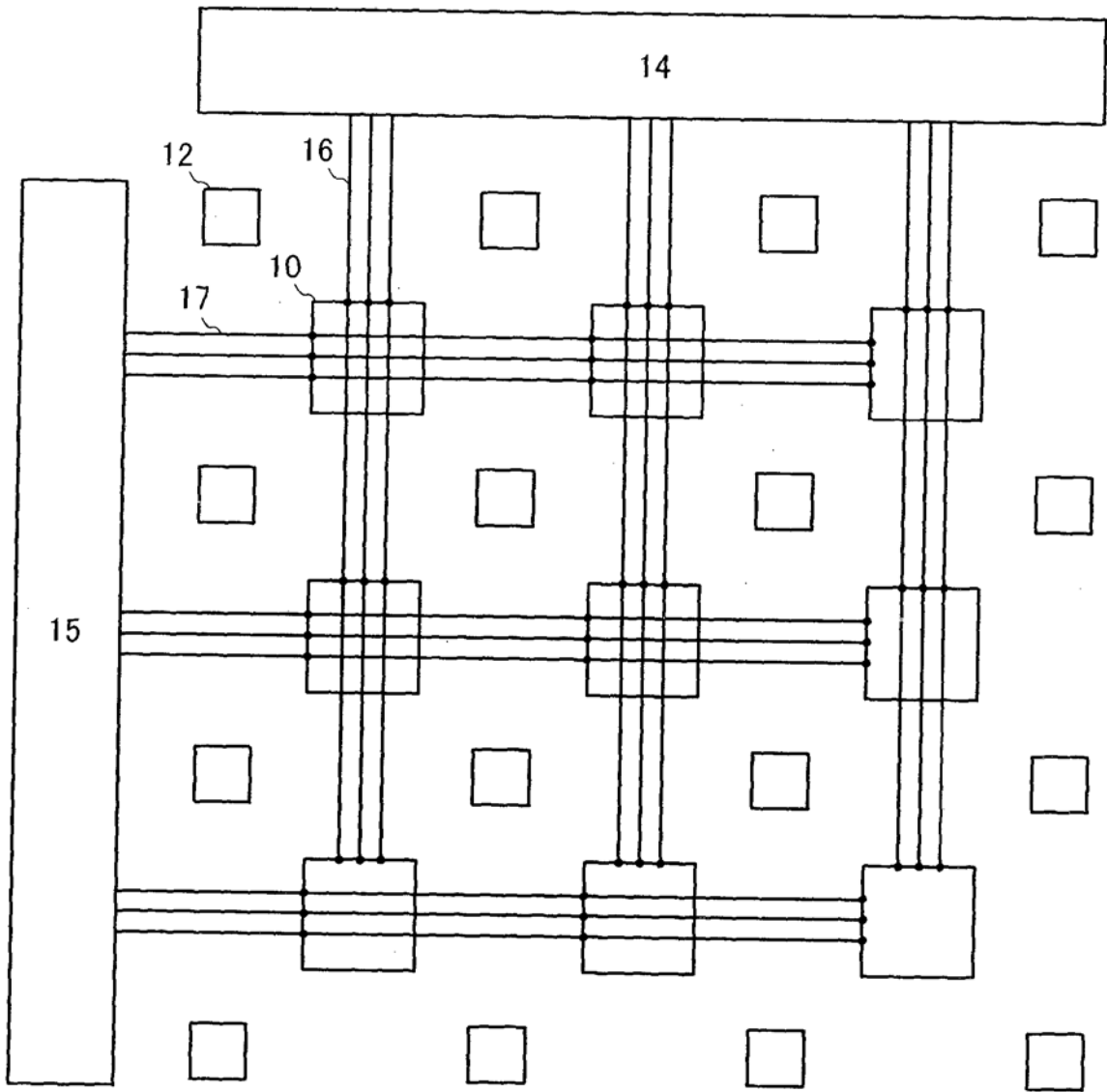


图 27

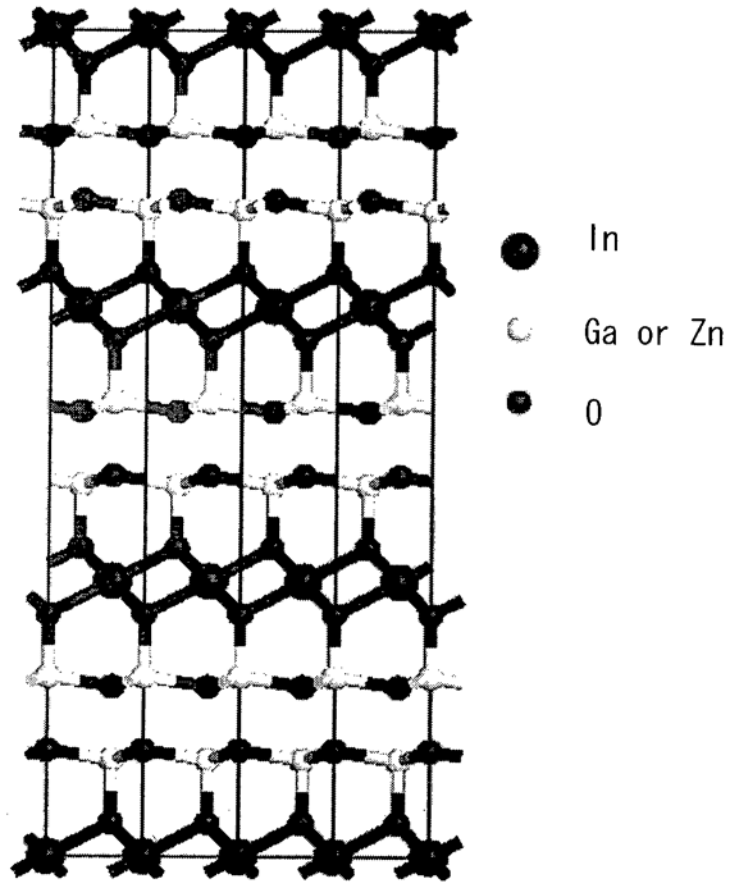


图 28A

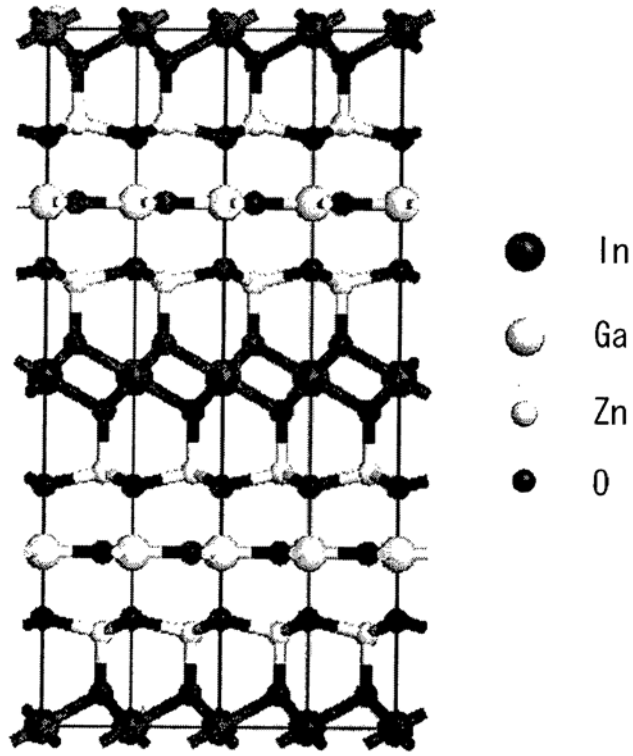


图 28B