

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5321657号
(P5321657)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月26日(2013.7.26)

(51) Int.Cl.	F I
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 B
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 O 1 X
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 V
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 W
	HO 1 L 29/78 3 O 1 D

請求項の数 4 (全 42 頁) 最終頁に続く

(21) 出願番号	特願2011-173584 (P2011-173584)	(73) 特許権者	000005234
(22) 出願日	平成23年8月9日(2011.8.9)		富士電機株式会社
(62) 分割の表示	特願2004-38698 (P2004-38698) の分割		神奈川県川崎市川崎区田辺新田1番1号
原出願日	平成16年2月16日(2004.2.16)	(74) 代理人	100150441
(65) 公開番号	特開2011-258970 (P2011-258970A)		弁理士 松本 洋一
(43) 公開日	平成23年12月22日(2011.12.22)	(72) 発明者	北村 睦美
審査請求日	平成23年8月9日(2011.8.9)		神奈川県川崎市川崎区田辺新田1番1号
(31) 優先権主張番号	特願2003-38602 (P2003-38602)	(72) 発明者	藤島 直人
(32) 優先日	平成15年2月17日(2003.2.17)		神奈川県川崎市川崎区田辺新田1番1号
(33) 優先権主張国	日本国(JP)		富士電機株式会社内
		審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】 双方向素子および半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型のウェル領域内に該ウェル領域の表面から形成されたトレンチにより、前記ウェル領域の表面層を分割して形成された第1、第2の分割半導体領域を備え、

前記トレンチから前記ウェル領域の表面に平行な一方向に前記第1の分割半導体領域および前記トレンチを備え、前記一方向と逆の方向に前記第2の分割半導体領域および前記トレンチを備えた、前記トレンチと前記第1、第2の分割半導体領域の繰り返し領域と、この繰り返し領域において、

前記第1の分割半導体領域の表面層に、前記第1の分割半導体領域の両側の前記トレンチの側壁および前記ウェル領域に接し、前記トレンチより浅く形成された第2導電型の第1オフセット領域と、

前記第1オフセット領域の表面層に、前記第1の分割半導体領域の両側の前記トレンチの側壁と接し、前記第1オフセット領域に接して形成された第1導電型の第1ソース領域と、

前記第1オフセット領域の表面層に、前記第1オフセット領域に接して形成された第2導電型の第1コンタクト領域と、

前記第1の分割半導体領域の該第1の分割半導体領域の両側の前記トレンチの側壁に、前記ウェル領域から前記第1ソース領域に渡って第1絶縁膜を介して形成された第1ゲート電極と、

前記第1ソース領域および前記第1コンタクト領域に接する第1ソース電極と、

10

20

前記第2の分割半導体領域の表面層に、前記第2の分割半導体領域の両側の前記トレンチの側壁および前記ウェル領域に接し、前記トレンチより浅く形成された第2導電型の第2オフセット領域と、

前記第2オフセット領域の表面層に、前記第2の分割半導体領域の両側の前記トレンチの側壁と接し、前記第2オフセット領域に接して形成された第1導電型の第2ソース領域と、

前記第2オフセット領域の表面層に、前記第2オフセット領域に接して形成された第2導電型の第2コンタクト領域と、

前記第2の分割半導体領域の該第2の分割半導体領域の両側の前記トレンチの側壁に、前記ウェル領域から前記第2ソース領域に渡って第2絶縁膜を介して形成された第2ゲート電極と、

前記第2ソース領域および前記第2コンタクト領域に接する第2ソース電極と、を備え、

前記第1ゲート電極は前記第1ゲート電極に制御信号を与えるための第1ゲート配線と、前記第2ゲート電極に接続され前記第2ゲート電極に制御信号を与えるための第2ゲート配線と、を備え、

前記第1ゲート電極と前記第2ゲート電極とが電氣的に絶縁されており、

前記ウェル領域をドレイン、前記第1オフセット領域をチャンネル、前記第1ソース領域をソースとする第1MOSFETと、前記ウェル領域をドレイン、前記第2オフセット領域をチャンネル、前記第2ソース領域をソースとする第2MOSFETと、が直列接続された双方向素子であり、

前記第1ソース電極と前記第2ソース電極との間で電流を流すための素子であることを特徴とする双方向素子。

【請求項2】

前記ウェル領域は、第2導電型半導体基板の表面層に選択的に形成された領域であることを特徴とする請求項1に記載の双方向素子。

【請求項3】

前記第1、第2の分割半導体領域を、それぞれ複数個備え、隣接する分割半導体領域間の前記トレンチ幅が、同じ領域間よりも広いことを特徴とする請求項1または2に記載の双方向素子。

【請求項4】

前記双方向素子と、該双方向素子を制御する制御用回路とを同一の半導体基板に形成した請求項1～3のいずれかに記載の双方向素子を含む半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明、双方向素子および双方向素子を有するパワー集積回路（パワーIC）などの半導体装置に関する。

【背景技術】

【0002】

バッテリーなどの電源装置では、バッテリーを充電する場合と、バッテリーを放電する場合（負荷へ電流を供給する場合）の双方を制御して、バッテリーの過充電や過放電を防止している。そのため、交流信号や交流電力のオン・オフできる双方向の半導体スイッチが必要となり、この双方向の半導体スイッチとして、単方向半導体素子を逆並列に接続した複合型の双方向素子が用いられている。

また、この複合型の双方向素子とこれを制御する制御用ICを同一の半導体基板に集積したパワーICを用いて電源装置を小型化することが行われている。

また、単一の双方向素子も開発されており、その一例として、双方向横型絶縁ゲートトランジスタ（LIGBT）が提案されている（例えば、非特許文献1参照）。つぎにこの双方向LIGBTについてその構造と動作を説明する。

10

20

30

40

50

【0003】

図30は、双方向LIGBTの要部断面図である。双方向LIGBTでは、n半導体層503の表面側に2つのp⁺ウェル領域504、505が形成され、p⁺ウェル領域504、505の中にn⁺エミッタ領域506、507が形成される。p⁺ウェル領域504、505はn半導体層503の表面に露出するように形成され且つ所定の耐圧を維持できるように所定距離（ドリフト距離）だけ離間して形成される。また、n⁺エミッタ領域506、507もn半導体層503の表面（p⁺ウェル領域504、505の表面）に露出するように形成される。

p⁺ウェル領域504、505のうちで2つのn⁺エミッタ領域506、507の間に位置する部位の上には、ゲート絶縁膜508、509を介してポリシリコン等からなる絶縁ゲート型のゲート電極510、511が形成される。また、p⁺ウェル領域504、505とn⁺エミッタ領域506、507とに跨がる形でエミッタ電極512、513が形成されている。この構造では、ゲート電極510、511への印加電圧を制御すれば、エミッタ電極512、513間を双方向に流れる主電流のオン・オフを制御できる。

10

【0004】

図31は、図30の双方向LIGBTの出力特性を示す図である。pn接合の内蔵電位に起因する立ち上がり電圧（0.6V）以上にならないと主電流は流れ始めないため、小さな電流領域ではオン電圧が高く、オン損失が大きくなる。

これを改善するために、立ち上がりで電圧が零VとなるMOSFETで双方向素子を形成した単一の双方向MOSFETがある（例えば、特許文献1参照）。その内容について

20

説明する。

図32は、従来の双方向MOSFETの要部断面図である。ここでは双方向LD MOSFET（Lateral Double-Diffused MOSFET）を例示する。前記の例と同様に、SOI構造を有しており、半導体基板101の上に絶縁層102を介してn半導体層103が形成される。n半導体層103の表面側には2つのn⁺⁺ドレイン領域104、105が形成されるとともに、両n⁺⁺ドレイン領域104、105の間でp⁺ウェル領域106が形成される。p⁺ウェル領域106は絶縁層102に達する深さに形成され、n半導体基板103を2つの領域に分割している。さらに、p⁺ウェル領域106の中には2つのn⁺⁺ソース領域107、108が形成されるとともに、両n⁺⁺ソース領域107、108の間でp⁺⁺ベースコンタクト109領域が形成される。n⁺⁺ドレイン領域104、105とp⁺ウェル領域106とはn半導体基板103の表面に露出し、n⁺⁺ソース領域107、108、p⁺⁺ベースコンタクト領域109はp⁺ウェル領域106の表面に露出する。p⁺ウェル領域106上には、ゲート絶縁膜110、111を介して絶縁ゲート型のゲート電極112、113が形成され、両ゲート電極112、113は共通に接続される。n⁺⁺ドレイン領域104、105にはそれぞれドレイン電極114、115が接続される。さらに、n⁺⁺ソース領域107、108とp⁺⁺ベースコンタクト領域109とに跨がる形でソース電極117が接続される。

30

【0005】

上述した双方向LD MOSFETをオン状態にするには、ゲート電極112、113とソース電極117の間にゲート電極112、113が正電位になるように電圧を印加する。このとき、p⁺ウェル領域106におけるゲート絶縁膜110、111の直下にチャンネルが形成される。ここで、ドレイン電極114、115間にドレイン電極114側が高電位になるように電圧が印加されているとすれば、ドレイン電極114 n⁺⁺ドレイン領域104 n半導体層103 ゲート電極112に対応するチャンネル n⁺⁺ソース領域107 ソース電極117 n⁺⁺ソース領域108 ゲート電極113に対応するチャンネル n半導体層103 n⁺⁺ドレイン領域105 ドレイン電極115の経路で電子電流が流れる。このとき、電流は電子電流が支配しており（つまりモノポーラであり）、電流通路に接合がないから低電位においてもオフセット成分が生じない。つまり、微小電流領域においても直線性がよい。ドレイン電極114、115に印加される電圧極性が逆になった場合には電流の向きが逆になるが同様に動作する。その結果、図33に示すように、交流

40

50

電流を流すことができるとともに、微小電流領域においても直線性のよい動作が期待できる。

【0006】

一方、上述した双方向LDMOSFETをオフ状態にするには、ゲート電極112、113とソース電極117を短絡させる。これによってp⁺ウェル領域106においてゲート絶縁膜110、111の直下に形成されていたチャンネルが消滅し電子電流が流れなくなり、オフ状態となるのである。オフ状態ではドレイン電極114、115間に正負いずれの電圧を印加しても電流は流れない。つまり交流電圧に対してオフ状態になる。ここに、耐圧は双方向LDMOSFETの片側部分の耐圧に等しい。

上述した双方向LDMOSFETをもちいる1チップで交流電力をオン・オフさせることができ、しかも、導通時には微小電流領域においても電圧・電流特性の直線性がよく、信号電流のオン・オフに用いることが可能となる。また、ゲート電極112、113は共通接続されソース電極117は1つであるから、ゲートに制御信号を与える駆動回路も1つでよく制御が容易である。

【0007】

前記のように、主電流はpn接合を通らずにチャンネルを通して流れるために、基本的に抵抗体を流れる電流と同じであり、電流は零電圧以上で流れ、小さな電流領域でのオン電圧は小さくなり、オン損失を小さくすることができる。

【特許文献1】特開平11-224950号公報

【非特許文献1】ISPSD(International Symposium on Power Semiconductor Devices and ICs)1997、pp37-40)

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、図32の双方向LDMOSFETは、耐圧は双方向LDMOSFETの一方のMOSFETの耐圧で維持するために、順逆耐圧を維持するためには両方のMOSFETでそれぞれ耐圧が必要で、占有面積が2倍必要になり、ドレイン領域間での占有面積は大きくなる。また、プレーナ構造であるため双方向LDMOSFETを構成するセルの微細化が困難であり、従って、オン電圧を改善することが難しい。

この発明の目的は、前記の課題を解決して、双方向素子のセル密度を上げてオン電圧を小さくできる高耐圧の双方向素子および双方向素子を有する半導体装置を提供することにある。

【課題を解決するための手段】

【0009】

前記の目的を達成するために、第1導電型のウェル領域内に該ウェル領域の表面から形成されたトレンチにより、前記ウェル領域の表面層を分割して形成された第1、第2の分割半導体領域を備え、

前記トレンチから前記ウェル領域の表面に平行な一方向に前記第1の分割半導体領域および前記トレンチを備え、前記一方向と逆の方向に前記第2の分割半導体領域および前記トレンチを備えた、前記トレンチと前記第1、第2の分割半導体領域の繰り返し領域と、この繰り返し領域において、

前記第1の分割半導体領域の表面層に、前記第1の分割半導体領域の両側の前記トレンチの側壁および前記ウェル領域に接し、前記トレンチより浅く形成された第2導電型の第1オフセット領域と、

前記第1オフセット領域の表面層に、前記第1の分割半導体領域の両側の前記トレンチの側壁と接し、前記第1オフセット領域に接して形成された第1導電型の第1ソース領域と、

前記第1オフセット領域の表面層に、前記第1オフセット領域に接して形成された第2導電型の第1コンタクト領域と、

10

20

30

40

50

前記第1の分割半導体領域の該第1の分割半導体領域の両側の前記トレンチの側壁に、前記ウェル領域から前記第1ソース領域に渡って第1絶縁膜を介して形成された第1ゲート電極と、

前記第1ソース領域および前記第1コンタクト領域に接する第1ソース電極と、

前記第2の分割半導体領域の表面層に、前記第2の分割半導体領域の両側の前記トレンチの側壁および前記ウェル領域に接し、前記トレンチより浅く形成された第2導電型の第2オフセット領域と、

前記第2オフセット領域の表面層に、前記第2の分割半導体領域の両側の前記トレンチの側壁と接し、前記第2オフセット領域に接して形成された第1導電型の第2ソース領域と、

前記第2オフセット領域の表面層に、前記第2オフセット領域に接して形成された第2導電型の第2コンタクト領域と、

前記第2の分割半導体領域の該第2の分割半導体領域の両側の前記トレンチの側壁に、前記ウェル領域から前記第2ソース領域に渡って第2絶縁膜を介して形成された第2ゲート電極と、

前記第2ソース領域および前記第2コンタクト領域に接する第2ソース電極と、を備え、

前記第1ゲート電極は前記第1ゲート電極に制御信号を与えるための第1ゲート配線と、前記第2ゲート電極に接続され前記第2ゲート電極に制御信号を与えるための第2ゲート配線と、を備え、

前記第1ゲート電極と前記第2ゲート電極とが電気的に絶縁されており、

前記ウェル領域をドレイン、前記第1オフセット領域をチャンネル、前記第1ソース領域をソースとする第1MOSFETと、前記ウェル領域をドレイン、前記第2オフセット領域をチャンネル、前記第2ソース領域をソースとする第2MOSFETと、が直列接続された双方向素子であり、

前記第1ソース電極と前記第2ソース電極との間で電流を流すための素子である構成とする。

【0010】

また、前記ウェル領域は、第2導電型半導体基板の表面層に選択的に形成された領域であるとよい。

また、前記第1、第2の分割半導体領域を、それぞれ複数個備え、隣接する分割半導体領域の間の前記トレンチ幅が、同じ領域間よりも広いとよい。

また、前記双方向素子と、該双方向素子を制御する制御用回路とを同一の半導体基板に形成するとよい。

【0011】

【0012】

【0013】

【発明の効果】

【0014】

この発明によれば、半導体基板にトレンチを形成し、このトレンチの側壁にゲート電極を形成し、トレンチ底面下にドレイン領域を形成し、そのドレイン領域上に絶縁膜を形成し、トレンチで囲まれた半導体領域に第1、第2ソース領域を形成を形成することで、双方向素子の高耐圧化と低オン電圧化を図ることができる。

また、トレンチで囲まれた半導体領域に第1、第2ソース領域とコンタクト領域を形成し、これらの上に第1、第2ソース電極を形成することで、双方向素子の安全動作領域を広くすることができる。

また、半導体基板にトレンチを形成し、このトレンチの側壁にゲート電極を形成し、トレンチ底面下に浮遊したソース領域を形成し、そのソース領域上に絶縁膜を形成し、トレンチで囲まれた半導体領域に第1、第2ドレイン領域を形成することで、双方向素子の高耐圧化と低オン電圧化を図ることができる。

10

20

30

40

50

【 0 0 1 5 】

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下の説明では第 1 導電形を n 形とし、第 2 導電形を p 形として説明したがこれを逆にしても構わない。

【 実施例 1 】

【 0 0 1 7 】

図 1、この発明の第 1 実施例の半導体装置の構成図であり、同図 (a) は要部平面図、同図 (b) は同図 (a) の A 部拡大図、同図 (c) は同図 (b) の X - X 線で切断した要部断面図である。ここでは双方向 L M O S F E T (双方向横型 M O S F E T) を例に挙げて説明する。この双方向 L M O S F E T の構造は T L P M (トレンチ・ラテラル・パワー・M O S F E T) 構造と類似している。

10

p 半導体基板 1 に n ウェル領域 2 を形成し、この n ウェル領域 2 にトレンチ 3 を形成し、このトレンチ底部 3 a 下に n ドレイン領域 4 を形成し、n ウェル領域 2 の表面層に p オフセット領域 5 を形成する。

トレンチ 3 内壁にゲート絶縁膜 6 を形成し、トレンチ側壁 3 b にゲート絶縁膜を介してゲート電極 7 を形成する。トレンチ 3 に囲まれた p オフセット領域 5 の表面にトレンチ 3 と接するように選択的に第 1 n ソース領域 9 と第 2 n ソース領域 1 0 を形成する。この第 1 n ソース領域 9 と第 2 n ソース領域 1 0 はトレンチ 3 を挟んで交互に形成される。ゲート電極 7 上とトレンチ 3 内部を層間絶縁膜 8 で充填し平坦化する。全面に層間絶縁膜 8 a を形成した後、この層間絶縁膜にコンタクトホールを開口して、第 1 n ソース領域 9 上と第 2 n ソース領域 1 0 上に第 1 ソース電極 1 1 と第 2 ソース電極 1 2 をそれぞれ形成する。第 1 ソース電極 1 1 同士、第 2 ソース電極 1 2 同士は第 1 ソース配線 1 3、第 2 ソース配線 1 4 でそれぞれ接続する。またゲート電極 7 は図示しないゲートパッドとゲート配線を介して接続する。

20

【 0 0 1 8 】

前記したように、n ドレイン領域 4 をトレンチ底部に形成されていることで、電界が緩和され 3 0 V 程度の高耐圧を確保することができる。

また、前記のように、ゲート電極 7 と n ドレイン領域 4 をトレンチ 3 底部に形成することで、耐圧がトレンチ 3 に沿って維持されるようになり、そのため、第 1 n ソース領域 9 と第 2 n ソース領域 1 0 の表面での間隔を狭くでき、セルの微細化ができる。その結果、オン電圧を低下させることができる。

30

尚、前記したように p 半導体基板 1 を用いることで、この基板 1 をグランド電位にすることができて、図示しない C M O S 回路などをこの基板 1 に形成することが容易になる。また、前記のトレンチ底部に形成される n 拡張 n ドレイン領域 4 は、離れて形成されているが、それぞれの n ドレイン領域 4 が接するように形成しても構わない。

【 0 0 1 9 】

また、図 2 に記載のような構成としても構わない。図 2 (a) は、n ウェル領域 2 が図 1 (c) における n ドレイン領域 4 を兼ねている構成である。図 2 (a) (b) は半導体基板が n 型の場合の構成であり、同図 (b) では、半導体基板 1 が図 1 (c) における n ドレイン領域 4 を兼ねている構成である。同図 (c) では、同図 (b) において n ドレイン領域 4 をさらに形成したものである。

40

また、図 1 (c) では、ゲート電極 7 がトレンチ 3 内に左右に分かれて形成されているが、図 2 のように 1 つとなっても構わない。

図 3 は、図 1 の双方向 L M O S F E T の等価回路図である。この双方向 L D M O S F E T 5 0 の動作について説明する。第 1 ソース端子 S 1 に対して第 2 ソース端子 S 2 に高電圧を印加し、第 2 ソース端子 S 2 より高い電圧をゲート端子 G に印加することで、図 1 の第 1、第 2 n ソース領域 9、1 0 と n ドレイン領域 4 に挟まれた p オフセット領域 5 側面にチャネルが形成されて第 2 ソース端子 S 2 から第 1 ソース端子 S 1 に電流が流れる。第 2 ソース端子 S 2 に対して第 1 ソース端子 S 1 に高電圧を印加し、第 1 ソース端子 S 1 よ

50

り高い電圧をゲート端子Gに印加することで、第1、第2 nソース領域9、10とnドレイン領域4に挟まれたpオフセット領域5側面にチャンネルが形成されて第1ソース端子S1から第2ソース端子S2に電流が流れる。このように、双方向に電流を流すことができる双方向LMOSFETとなる。

【0020】

一方、ゲート端子Gを第1、第2ソース端子S1、S2の内の低電位側の端子の電位にするか、グランド電位にすることで、pオフセット領域5に形成されたチャンネルを消滅させて双方向LMOSFETを阻止状態とすることができる。

【実施例2】

【0021】

図4は、この発明の第2実施例の半導体装置の構成図であり、同図(a)は図1(b)に相当する要部平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。図1との違いは、pオフセット領域5の表面層に第1および第2 nソース領域9、10に囲まれたpコンタクト領域15、16を形成し、第1 nソース領域9上と第2 nソース領域10上とそれぞれのpコンタクト15、16を形成している点である。動作は図3の説明と同じである。

前記のように、pコンタクト領域15、16を形成することで、pオフセット領域5の電位が安定し、双方向LMOSFETの安全動作領域が広がる。その他は第1実施例と同じである。

尚、この双方向LMOSFETはpコンタクト領域15、16が形成されることで寄生ダイオードが内蔵され、双方向IGBTとしての動作モードもある。そのため、ゲート電圧(ゲート電極7の電圧)が高電位側のソース電極の電圧より低い場合でも第1ソース電極11と第2ソース電極12の間に主電流を流すことができる。

【実施例3】

【0022】

図5は、この発明の第3実施例の半導体装置の構成図であり、同図(a)は要部平面図、同図(b)は同図(a)のB部拡大図、同図(c)は同図(b)のX-X線で切断した要部断面図である。ここでは双方向LMOSFETを例に挙げて説明する。

p半導体基板1にnウェル領域2を形成し、このnウェル領域2にトレンチ33を形成し、このトレンチ底面33a下にnソース領域34を形成し、nウェル領域2の表面層にpオフセット領域35を形成する。

トレンチ33内壁にゲート絶縁膜36を形成し、トレンチ側壁33bにゲート絶縁膜36を介してゲート電極37を形成する。トレンチ33に囲まれたpオフセット領域35の表面にトレンチ33と接するように第1 nドレイン領域39と第2 nドレイン領域40を形成する。この第1 nドレイン領域39と第2 nドレイン領域40はトレンチ33を挟んで交互に形成される。ゲート電極37上とトレンチ33内部を層間絶縁膜38で充填し平坦化する。この層間絶縁膜38にコンタクトホールを開口して、第1 nドレイン領域39上と第2 nドレイン領域40上に第1ドレイン電極41と第2ドレイン電極42をそれぞれ形成し、またnソース領域34の表面を露出させ、ピックアップ電極45を充填する。このピックアップ電極45はnソース領域が複数に分割されて形成されている場合等電位にする効果があり、また、制御電圧を印加して所定の電位とすることが可能である。例えば、装置のオフ時にグランド電位を印加しD1、D2間に電流が流れないようにすることができる。また、第1ドレイン電極41同士、第2ドレイン電極42同士は第1ドレイン配線43、第2ドレイン配線44でそれぞれ接続する。またゲート電極37は図示しないゲートパッドとゲート配線を介して接続する。

【0023】

nソース領域34をトレンチ底部に形成し、その上に層間絶縁膜38が被覆されていることで、電界が緩和され30V程度の高耐圧を確保することができる。

また、前記のように、ゲート電極37とpオフセット領域35をトレンチ内に形成することで、耐圧がトレンチ側壁33bに沿って維持されるようになり、そのため、第1 nド

10

20

30

40

50

レイン領域 39 と第 2 n ドレイン領域 40 の表面での間隔を狭くでき、セルの微細化ができる。その結果、オン電圧を低下させることができる。

尚、前記したように p 半導体基板 1 を用いることで、この基板 1 をグランド電位にすることができ、図示しない CMOS 回路などをこの基板 1 に形成することが容易になる。また、前記のトレンチ底部に形成される n ソース領域 34 は、離れて形成されているが、それぞれの n ドレイン領域 34 が接するように形成しても構わない。

【0024】

図 6 は、図 5 の双方向 L M O S F E T の等価回路図である。この双方向 L M O S F E T 60 の動作について説明する。第 1 ドレイン端子 D1 に対して第 2 ドレイン端子 D2 に高電圧を印加し、第 1 ドレイン端子 D1 より高い電圧をゲート端子 G に印加することで、図 5 に示す第 1、第 2 n ドレイン領域 39、40 と n ソース領域 34 に挟まれた p オフセット領域 35 側面にチャネルが形成されて第 2 ドレイン端子 D2 から第 1 ドレイン端子 D1 に電流が流れる。第 2 ドレイン端子 D2 に対して第 1 ドレイン端子 D1 に高電圧を印加し、第 2 ドレイン端子 D2 より高い電圧をゲート電極 G に印加することで、第 1、第 2 n ドレイン領域 39、40 と n ソース領域 34 に挟まれた p オフセット領域 35 側面にチャネルが形成されて第 1 ドレイン端子 D1 から第 2 ドレイン端子 D2 に電流が流れる。このように、双方向の L M O S F E T となる。

【0025】

一方、ゲート端子 G を第 1、第 2 ドレイン端子 D1、D2 の内低い電位と同じ電位にすることで、p オフセット領域 35 に形成されたチャネルを消滅させ、双方向 L M O S F E T を阻止状態とすることができる。

【実施例 4】

【0026】

図 7 は、この発明の第 4 実施例の半導体装置の構成図であり、同図 (a) は図 5 (b) に相当する要部平面図、同図 (b) は同図 (a) の X1 - X1 で切断した要部断面図、同図 (c) は同図 (a) の X2 - X2 で切断した要部断面図である。ここでは双方向 L M O S F E T を例に挙げて説明する。

図 5 との違いは、トレンチ底面 33a 下の n ソース領域 34 の隣に p ベースピックアップ領域 46 を形成し、この n ソース領域 34 と p ベースピックアップ領域 36 に接するようにピックアップ電極 45 を形成した点である。動作は図 5 で説明した内容と同じである。

このように、p ベースピックアップ領域 46 を形成し、この p ベースピックアップ領域 46 と n ソース領域 34 をピックアップ電極 45 で短絡することで、p オフセット領域 35 の電位が安定し、双方向 L M O S F E T の安全動作領域が広がる。その他は第 3 実施例と同じである。

【実施例 5】

【0027】

図 8 は、この発明の第 5 実施例の半導体装置の要部配置図である。ここでは、バッテリー装置に搭載されるパワー IC を例として示した。

このパワー IC は、同一半導体基板 91 に双方向 L M O S F E T 50 と駆動・保護回路部 51 と残量回路部 52 を形成する。駆動・保護回路部 51 と残量回路部 52 は電池セル 92 の電圧と、電池セル 92 に図示しないチャージャーから流入する充電電流と、電池セル 92 から負荷 (携帯機器など) へ流出する放電電流を抵抗 93 で検出して、双方向 L M O S F E T 50 を正常に制御し、過充電や過放電のような異常時の場合には双方向 L M O S F E T 50 をオフする信号を双方向 L M O S F E T 50 へ伝送する働きをする。尚、駆動・保護回路部 51 にはチャージポンプ回路 53 が入っており、双方向 L M O S F E T 50 の第 1、第 2 ソース端子 S1、S2 の電圧より高い電圧をゲート端子 G へ与えることができるようになっている。また、制御端子は電池セル 92 の電荷残量を外部から指定する端子である。

【実施例 6】

【 0 0 2 8 】

図 9 は、この発明の第 6 実施例の半導体装置の製造方法であり、同図 (a) から同図 (c) は工程順に示した要部製造工程断面図である。これは図 1 の双方向 L M O S F E T の製造方法である。

p 半導体基板 1 上に、n ウェル領域 2 を形成し、続いて、表面濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ の p オフセット領域 5 を形成し、酸化膜をマスクとして n ウェル領域 2 に幅 $1.5 \mu\text{m}$ のトレンチ 3 を形成し、トレンチ 3 の窓からトレンチ 3 の底面 3 a に表面濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ の n ドレイン領域 4 をイオン注入と熱処理 (ドライプ) で形成する (同図 (a))。ここでは、ウェル領域 2、p オフセット領域 5 を形成した後にトレンチ 3 を形成したが、トレンチ 3 を形成した後で形成してもよい。

つぎに、トレンチ側壁 3 b のチャンネル形成箇所に図示しないしきい値調整用のイオン注入をチルド角 45° で行い、表面濃度 $7 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さ $0.3 \mu\text{m}$ の拡散層を形成する。続いて、チャンネル形成箇所を清浄化しトレンチ内壁にゲート絶縁膜 6 (例えば、ゲート酸化膜) を形成し、このゲート絶縁膜 6 上にゲート電極 7 となるドーパドポリシリコンを $0.3 \mu\text{m}$ の厚さで堆積させ、異方性エッチングによりゲート電極 7 を形成する (同図 (b))。

【 0 0 2 9 】

つぎに、p オフセット領域 5 の表面層に第 1、第 2 n ソース領域 9、10 を形成し、層間絶縁膜 8 として酸化膜を堆積する。この工程でトレンチ内部は層間絶縁膜 8 が充填され、エッチバックにより層間絶縁膜 8 の表面を平坦化する。続いて、第 1、第 2 n ソース領域 9、10 にコンタクト抵抗低減のためのイオン注入を行い、この第 1、第 2 n ソース領域 9、10 上にアルミニウムなどで第 1、第 2 ソース電極 11、12 を形成する。続いて、図示しない第 1 ソース配線、第 2 ソース配線を形成する (同図 (c))。

【 実施例 7 】

【 0 0 3 0 】

図 10 は、この発明の第 7 実施例の半導体装置の製造方法であり、同図 (a) から同図 (c) は工程順に示した要部製造工程断面図である。これは図 3 の双方向 L M O S F E T の製造方法である。

図 9 と違うのは、図 10 (c) で、p コンタクト領域 15、16 を形成し、第 1、第 2 ソース電極 11、12 とこの p コンタクト領域 15、16 が接している点である。

【 実施例 8 】

【 0 0 3 1 】

図 11 は、この発明の第 8 実施例の半導体装置の製造方法であり、同図 (a) から同図 (c) は工程順に示した要部製造工程断面図である。これは図 5 の双方向 L M O S F E T の製造方法である。

p 半導体基板 1 上に、n ウェル領域 2 を形成し、図示しない酸化膜をマスクとして n ウェル領域 2 に幅 $3 \mu\text{m}$ のトレンチ 33 を形成し、トレンチ 33 の窓からトレンチの底面 33 a に表面濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ の n ソース領域 34 をイオン注入と熱処理 (ドライプ) で形成する。続いて、マスク酸化膜を除去し、表面濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ の p オフセット領域 35 を n ドレイン領域 34 と接するように、トレンチ 33 で分割された分離半導体領域 61 に形成する (同図 (a))。

つぎに、トレンチの側壁 33 b のチャンネル形成箇所に、図示しないしきい値調整用のイオン注入をチルド角 45° で行い、表面濃度 $7 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さ $0.3 \mu\text{m}$ の拡散層を形成する。続いて、チャンネル形成箇所を清浄化しトレンチ内壁にゲート絶縁膜 36 を形成し、このゲート絶縁膜 36 上にゲート電極 37 となるドーパドポリシリコンを $0.3 \mu\text{m}$ の厚さで堆積させ、異方性エッチングによりゲート電極 37 を形成する (同図 (b))。

【 0 0 3 2 】

つぎに、p オフセット領域 35 の表面層に第 1、第 2 n ドレイン領域 39、40 を形成し、層間絶縁膜 38 として酸化膜を堆積する。この工程では幅の広いトレンチ内部は層間

10

20

30

40

50

絶縁膜 38 で充填されず、エッチバックによりトレンチ底部の層間絶縁膜 38 がエッチングで除去され n ソース領域 34 の表面が露出する。続いて、トレンチの底面 33 に図示しないバリアメタルを形成し、タングステンなどのピックアップ電極 45 を埋め込み平坦化する。続いて、第 1、第 2 ドレイン領域 39、40 にコンタクト抵抗低減のためのイオン注入を行い、この第 1、第 2 n ドレイン領域 39、40 上にアルミニウムなどで第 1、第 2 ドレイン電極 41、42 を形成する。このとき、同時にピックアップ電極 45 上にもアルミニウム膜を形成する。続いて、図示しない第 1 ドレイン配線、第 2 ドレイン配線を形成する（同図（c））。

【実施例 9】

【0033】

図 12 は、この発明の第 9 実施例の半導体装置の製造方法であり、同図（a）、（b）は図 11（a）に相当する要部製造工程断面図、同図（c）、（d）は図 11（c）に相当する要部製造工程断面図である。尚、同図（a）、（c）は図 7（a）の X1 - X1 に相当する要部製造工程断面図、同図（b）、（d）は図 7（a）の X2 - X2 に相当する要部製造工程断面図である。これは図 7 の双方向 L M O S F E T の製造方法である。

図 11 と違うのは、図 12（a）で、トレンチ底部に p ベースピックアップ領域 46 を形成し、図 12（c）で、ピックアップ電極 45 とこの p ベースピックアップ領域 46 が接している点である。

【実施例 10】

【0034】

図 13 は、この発明の第 10 実施例の半導体装置の製造方法であり、同図（a）から同図（c）は工程順に示した要部製造工程断面図である。これは図 1 の双方向 L M O S F E T と C M O S を同一半導体基板に形成した製造方法である。C M O S は図 7 の駆動・保護回路や残量回路を形成するための基本素子である。

p 半導体基板 71 上に、n ウェル領域 72 を形成し、図示しない酸化膜をマスクとして n ウェル領域 72 に幅 $1.5 \mu\text{m}$ のトレンチ 73 を形成し、p ウェル領域 76 も形成し、トレンチ 73 の窓からトレンチの底面 73a に表面濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ の n ドレイン領域 74 をイオン注入と熱処理（ドライブ）で形成する。続いて、マスク酸化膜を除去し、表面濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ の p オフセット領域 75 を形成する（同図（a））。

【0035】

つぎに、L O C O S 工程により表面の素子分離を行い、C M O S 部のチャネル形成箇所およびトレンチ側壁 73b のチャネル形成箇所に図示しないしきい値調整用のイオン注入をチルド角 45 度で行い、表面濃度 $7 \times 10^{16} \text{cm}^{-3}$ 、拡散深さ $0.3 \mu\text{m}$ の拡散層を形成する。続いて、チャネル形成箇所を清浄化し、トレンチ内壁にゲート絶縁膜 79 を形成し、このゲート絶縁膜 79 上にゲート電極 80 となるドーパドポリシリコンを $0.3 \mu\text{m}$ の厚さで堆積させ、異方性エッチングにより C M O S 部とトレンチ内部のゲート電極 80 を形成する（同図（b））。

つぎに、p オフセット領域 75 の表面層に第 1、第 2 n ソース領域 81、82 を形成し、C M O S 部にソース/ドレイン領域 83、84 を形成し、層間絶縁膜 87 として酸化膜を堆積する。この工程でトレンチ内部は層間絶縁膜 87 が充填され、エッチバックにより層間絶縁膜 87 の表面を平坦化する。続いて、層間絶縁膜 87 にコンタクトホールを形成し、開口部にコンタクト抵抗低減のためのプラゲイオン注入を行い、第 1、第 2 n ソース領域 81、82 上にアルミニウムなどで第 1、第 2 ソース電極 85、86 を形成し、C M O S 部のソース/ドレイン領域 83、84 上にソース/ドレイン電極 88、89 を形成する（同図（c））。

【0036】

前記した本発明の半導体装置とは別の半導体装置であってゲート配線構造まで含めた実施例について説明する。ゲート配線とソース電極は同時に金属膜で形成される。ここでは、コンタクトホールで接続されソース領域の真上に配置されたものをソース電極とし、そ

10

20

30

40

50

れ以外の箇所をゲート配線とする。

【実施例 11】

【0037】

図 14 から図 17 は、この発明の第 11 実施例の半導体装置であって、ゲート配線構造まで含めた要部構成図であり、図 14 は平面図、図 15 は図 14 の X - X 線で切断した断面図、図 16 は図 14 の Y - Y 線で切断した断面図、図 17 は図 14 の Z - Z 線で切断した断面図である。図 14 は、表面から見た平面図であり、影に隠れた部分は点線で示す。また、層間絶縁膜 208a は図示していない。

図 1 と異なる点のみ説明すると、図 1 では一個の第 1 n ソース領域 9 と一個の第 2 n ソース領域 10 が交互に配置されていたが、この実施例では、第 1 n ソース領域 209 が隣接して複数個形成され、また第 2 n ソース領域 210 も隣接して複数個形成されている。また、p オフセット領域 205 が n ドレイン領域 204 と接していない。さらに、各ソース領域には図 4 と同様に p コンタクト領域 215、216 が形成されている。図 1 では図示しなかったゲート配線構造が図示されている。

【0038】

前記の、p オフセット領域 205 が n ドレイン領域 204 と接しない場合は、接する場合に比べ耐圧を高くすることができ、オン抵抗を下げることができる。しかしながら p オフセットの幅 (n ウェル領域 202 とソース領域 209 との間の幅) が狭いため製造時に高精度が要求される。

図 14 から図 17 に示すように、第 1 n ソース領域 209 と層間絶縁膜 208a に形成されたコンタクトホール 217 を介して接続した第 1 ソース電極 211 と、第 1 ソース電極 211 と接続する第 1 ソース配線 213 とは同時に金属膜で形成される。また、第 2 n ソース領域 210 と層間絶縁膜 208a に形成されたコンタクトホール 217 を介して接続した第 2 ソース電極 212 と、第 2 ソース電極 212 と接続する第 2 ソース配線 214 とは同時に金属膜で形成される。隣接した第 1 n ソース領域 209 同士および第 2 n ソース領域 210 同士の間はゲート絶縁膜 206 を介して形成されたゲート電極 207 で埋め込まれている。また第 1 n ソース領域 209 群と第 2 n ソース領域 210 群は互いに層間絶縁膜 208 を挟んで対峙している。トレンチ外周 203a を大きくして、この第 1 n ソース領域 209 群と第 2 n ソース領域 210 群を交互に多数配置することで電流容量を増加させることができる。

【0039】

ゲート電極 207 を形成するポリシリコンは、n ソース領域 209、210 が形成されているトレンチ外周 203a から岬のように突き出した細長いトレンチ 203b を形成し、そのトレンチ 203b の内壁に形成されたゲート絶縁膜 206 を介してポリシリコン配線 218 が形成され、このポリシリコン配線 218 は p 半導体基板 201 上に形成されたゲート絶縁膜 206 上にも形成される。このポリシリコン配線 218 と金属膜のゲート配線 219 とが層間絶縁膜 208a に開けたコンタクトホール 217 を介して接続する。

このように、前記した本発明の半導体装置では、トレンチ外周 203a の側壁全域に形成されるポリシリコン (ゲート電極 207) で繋がっているため、ゲート電極 207 は 1 個となる。

このようにゲート電極が 1 個の半導体装置を使った適用装置例を前記の図 8 に示した。

【0040】

図 18 は、図 8 の双方向 L M O S F E T と駆動・保護回路部を抜き書きした図であり、同図 (a) ~ 同図 (c) は電池セルが過充電されるときに時間的な経過を示した図である。

同図 (a) において、図 8 の電池セル 92 に図示しない負荷である携帯機器を接続した状態で充電している場合は、ゲート端子 G にオン信号を与え、左右の n チャネル M O S F E T をオン状態として、電池セル 92 に双方向 L M O S F E T 50 を介して右から左方向に充電電流 I1 が流れる。このとき、電池セル 92 から負荷へ放電電流 I2 が供給されて

10

20

30

40

50

いる。つまり、電池セル 9 2 は充電されなが放電も行っている。

同図 (b) において、電池セル 9 2 が過充電したとき、ゲート端子 G にオフ信号を与え、左右の n チャンネル MOS F E T をオフ状態にする。左右の n チャンネル MOS F E T がオフ状態になると、負荷と電池セル 9 2 は回路的に切り離され、電池セル 9 2 へ充電電流 I 1 が流れなくなり、過充電は停止する。またそれと同時に電池セル 9 2 から負荷へ放電電流 I 2 が供給されなくなる。この過充電期間に図 8 のバッテリーチャージャーのプラグが抜かれた場合は、負荷へ電流が全く供給されなくなり、負荷は動作不能に陥る。

【 0 0 4 1 】

これを避けるために、同図 (c) で示すように、ゲート端子 G に再度オン信号を与え双方向 L MOS F E T 5 0 をオン状態にして、電池セル 9 2 から負荷へ放電電流 I 2 を供給する。しかし、電池セル 9 2 の電圧が正常電圧になったことを検出してオン信号を駆動・保護回路 5 1 から出力するために、時間遅れが生じて、その間は電池セル 9 2 から負荷へ電流が供給されない状態、つまり、瞬断が生じる。

10

これを解決する方法として、左右の n チャンネル MOS F E T にそれぞれゲート電極を設けた双方向 L MOS F E T を用いる方法がある。

図 1 9 は、2 つのゲート電極を有する双方向 L MOS F E T の等価回路図である。これは前記の図 6 に相当する図である。

図 6 と異なる点は、ゲート電極が 2 つあるため、図 6 のゲート端子 G が第 1 ゲート端子 G 1 と第 2 ゲート端子 G 2 の 2 つの端子になっており、それぞれの n チャンネル MOS F E T 3 3 1、3 3 2 が個別に動作させることができるようにした点と、n チャンネル MOS F E T の寄生ダイオード 3 3 3、3 3 4 を動作に利用している点である。

20

【 0 0 4 2 】

この 2 つのゲート電極を有する双方向 L MOS F E T 3 0 0 を用いた動作モードをつぎに説明する。

図 2 0 は、図 1 8 に相当する図であり、同図 (a) ~ 同図 (c) は電池セルが過充電される際の時間的な経過を示した図である。

同図 (a) において、第 1、第 2 ゲート端子 G 1、G 2 に駆動・保護回路 5 1 からオン信号を与え、左右の n チャンネル MOS F E T 3 3 1、3 3 2 がオン状態となり、電池セル 9 2 へ充電電流 I 1 が流れる。このとき、電池セル 9 2 から負荷へ放電電流 I 2 が供給されている。つまり、電池セル 9 2 は充電されなが放電も行っている。

30

同図 (b) において、電池セル 9 2 が過充電したとき、第 1 ゲート端子 G 1 にオフ信号を与え、充電電流 I 1 を停止させる。このとき、第 2 ゲート端子 G 2 にはオン信号を与えたままにしておく。そうすると、充電電流 I 1 が停止しても、放電電流 I 2 が寄生ダイオード 3 3 3 と n チャンネル MOS F E T 3 3 2 を通って負荷へ流れるため、前記の瞬断は起こらない。

【 0 0 4 3 】

同図 (c) において、電池セル 9 2 が正常電圧に戻った時点で、第 1 ゲート端子 G 1 にオン信号が再び与えられて、左の n チャンネル MOS F E T 3 3 1 をオン状態とする。この状態で左右の n チャンネル MOS F E T 3 3 1、3 3 2 を介して、放電電流 I 2 が負荷へ供給され、正常動作に戻る。

40

このように、2 つのゲート電極を有する双方向 L MOS F E T 3 0 0 を用いることで、負荷への電流が途切れることなく供給されるようになる。

つぎに、2 つのゲート電極を有する半導体装置の構成について説明する。

【 実施例 1 2 】

【 0 0 4 4 】

図 2 1 から図 2 5 は、この発明の第 1 2 実施例の半導体装置であって、ゲート配線まで含めた要部構成図であり、図 2 1 は平面図、図 2 2 は図 2 1 の A - A 線で切断した断面図、図 2 3 は図 2 1 の B - B 線で切断した断面図、図 2 4 は図 2 1 の C - C 線で切断した断面図、図 2 5 は図 2 1 の D - D 線で切断した断面図である。図 2 1 は、表面から見た平面図であり、影に隠れた部分は点線で示し、層間絶縁膜 3 0 8 a は図示していない。トレン

50

チ内には柱状のトレンチ残し部分である島341、342が複数個あり、この図ではMOSFETとして動作する島341（デバイスセル）が6個（図の309と310が形成されている島）と、ゲート配線を形成する島342が2個ある。島341にはpオフセット領域305とnソース領域309、310およびソース電極311、312が形成される。図14から図17との違いは、ゲート電極が層間絶縁膜308でそれぞれ囲まれた第1ゲート電極307aと第2ゲート電極307bが独立してあり、これらのゲート電極307a、307bは、トレンチ外周303a側壁のポリシリコン307とは切り離されている点と、それぞれのゲート電極307a、307bがポリシリコン配線318を介して金属の第1ゲート配線319と第2ゲート配線320に接続している点である。

【0045】

このように、トレンチ外周303aに形成されたポリシリコン307と、第1ゲート電極307aおよび第2ゲート電極307bは層間絶縁膜308で分離されているため、第1nソース領域309を形成した島341と第2nソース領域310を形成した島341の間隔W1は、ゲート電極を形成するためのポリシリコンで埋まらない広さとする。一方、第1、第2nソース領域309、310を形成する島341同士の間隔Wg1は、ゲート電極を形成するポリシリコンで完全に埋まる広さにする。ゲート電極307a、307bを金属のゲート配線319、320と接続するためのポリシリコン配線318を形成する島342とnソース領域309、310を形成する島341の間隔Wg2もポリシリコンで埋まるようにするためにWg1と同じ間隔にする。

具体的な例で説明すると、例えば、ゲート電極を形成するポリシリコンの厚さを0.3μmとした場合はW1は1μm程度とし、Wg1、Wg2は0.5μm程度とする。また、表面を平坦化するためにはW1はソース領域を形成する島341の幅以下とするのが好ましい。

【0046】

このようにして、独立した第1ゲート電極307aと第2ゲート電極307bを形成することで、図20で説明した効果が得られる。

【実施例13】

【0047】

図26～図29は、この発明の第13実施例の半導体装置の製造方法を示す図であり、工程順に示した要部工程断面図である。各図において（a）は図22に相当する箇所の断面図、（b）は図23に相当する箇所の断面図、（c）は図24に相当する箇所の断面図である。

図26において、p半導体基板301の表面層に、例えば、表面濃度 $5 \times 10^{16} \text{ cm}^{-2}$ 、深さ4μm程度nウェル領域302を形成し、表面からnウェル領域302に達するトレンチ303をメッシュ状に深さ2μm程度に形成し、柱状にトレンチ残し部分、所謂島341、342を形成する。この島341、342は、後工程で第1、第2pオフセット領域、第1、第2nソース領域を形成する島341と、第1、第2ゲート電極、第1、第2ゲート配線と接続するポリシリコン配線318を形成する島342となる。

【0048】

島341同士の間隔Wg1と、島341と島342の間隔Wg2は等しく、0.5μm程度とすることで、ポリシリコンのエッチバック（ポリシリコンのパターニング）でもポリシリコンが切り離されず、間隔はポリシリコンで埋まる状態にできる。また、これらの島341、342とトレンチ外周303aの側壁の間隔W1および第1ソース領域309および第2ソース領域310を形成する島341同士の間隔W1を1μm以上とすることで、ポリシリコンのエッチバックで、ポリシリコンを完全に切り離すことができる。

図27において、ゲート絶縁膜306を形成し、30Vから50V程度の耐圧を持たせるために、トレンチ底面のnウェル領域302に $1 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度でnドレイン領域304を形成し、このnドレイン領域304と離してpオフセット領域305を形成する（接続する場合もある）。その後、0.3μm程度の厚さで第1、第2ゲート電極307a、307b、ポリシリコン配線318となるポリシリコンを全面に形成し、島

10

20

30

40

50

341同士の間、島341と島342の間をポリシリコンで完全に埋めた後、パターニングする。

【0049】

図28において、第1、第2ゲート電極307a、307bをマスクに $1 \times 10^{20} \text{ cm}^{-3}$ 以上の高濃度で第1、第2nソース領域309、310を形成し、この第1、第2ソース領域309、310を貫通してpオフセット領域305に達する高濃度のpコンタクト領域316を形成し、表面に層間絶縁膜308aを形成する。

図29において、層間絶縁膜308aにコンタクトホール317を形成し、このコンタクトホール317で第1、第2nソース領域309、310、pコンタクト領域315、316と接続する金属の第1、第2ソース電極311、312と、この第1、第2ソース電極311、312と同時に形成された第1、第2ソース配線313、314および第1、第2ゲート電極307a、307bと同時に形成されたポリシリコン配線318と接続する金属の第1、第2ゲート配線319、320を形成する。

【0050】

ゲート電極などのポリシリコンの厚さを $0.3 \mu\text{m}$ 程度としたとき、 $W1$ は $1 \mu\text{m}$ 以上とし、表面を平坦化するために島の幅以下とするとよい。また、 $Wg1 = Wg2$ は $0.5 \mu\text{m}$ 以下とするとよい。

【図面の簡単な説明】

【0051】

【図1】この発明の第1実施例の半導体装置の構成図であり、(a)は要部平面図、(b)は(a)のA部拡大図、(c)は(b)のX-X線で切断した要部断面図

【図2】図1と異なる構成の図であり、(a)は、nウェル領域が図1(c)におけるnドレイン領域4を兼ねている図、(b)は、半導体基板1が図1(c)におけるnドレイン領域を兼ねている図、(c)は、(b)においてnドレイン領域4をさらに形成した図

【図3】図1の双方向LMOSFETの等価回路図

【図4】この発明の第2実施例の半導体装置の構成図であり、(a)は図1(b)に相当する要部平面図、(b)は(a)のX-X線で切断した要部断面図

【図5】この発明の第3実施例の半導体装置の構成図であり、(a)は要部平面図、(b)は(a)のB部拡大図、(c)は(b)のX-X線で切断した要部断面図

【図6】図5の双方向LMOSFETの等価回路図

【図7】この発明の第4実施例の半導体装置の構成図であり、(a)は図5(b)に相当する要部平面図、(b)は(a)のX1-X1で切断した要部断面図、(c)は(a)のX2-X2で切断した要部断面図

【図8】この発明の第5実施例の半導体装置の要部配置図

【図9】この発明の第6実施例の半導体装置の製造方法であり、(a)から(c)は工程順に示した要部製造工程断面図

【図10】この発明の第7実施例の半導体装置の製造方法であり、(a)から(c)は工程順に示した要部製造工程断面図

【図11】この発明の第8実施例の半導体装置の製造方法であり、(a)から(c)は工程順に示した要部製造工程断面図

【図12】この発明の第9実施例の半導体装置の製造方法であり、(a)、(b)は図11(a)に相当する要部製造工程断面図、(c)、(d)は図11(c)に相当する要部製造工程断面図

【図13】この発明の第10実施例の半導体装置の製造方法であり、(a)から(c)は工程順に示した要部製造工程断面図

【図14】この発明の第11実施例の半導体装置の要部平面図

【図15】図14のX-X線で切断した断面図

【図16】図14のY-Y線で切断した断面図

【図17】図14のZ-Z線で切断した断面図

【図18】図8の双方向LMOSFETと駆動・保護回路部を抜き書きした図であり、(

a) ~ (c) は電池セルが過充電されるときに時間的な経過を示した図

【図19】2つのゲート電極を有する双方向L M O S F E Tの等価回路図

【図20】2つのゲート電極を有する双方向L M O S F E Tを用いた場合の図18に相当する図であり、(a) ~ (c) は電池セルが過充電されるときに時間的な経過を示した図

【図21】この発明の第12実施例の半導体装置の要部平面図

【図22】図21のA - A線で切断した断面図

【図23】図21のB - B線で切断した断面図

【図24】図21のC - C線で切断した断面図

【図25】図21のD - D線で切断した断面図

【図26】この発明の第13実施例の半導体装置の製造方法の要部工程断面図であり、(a) は図22に相当する箇所断面図、(b) は図23に相当する箇所断面図、(c) は図24に相当する箇所断面図

10

【図27】図26に続く、この発明の第13実施例の半導体装置の製造方法の要部工程断面図であり、(a) は図22に相当する箇所断面図、(b) は図23に相当する箇所断面図、(c) は図24に相当する箇所断面図

【図28】図27に続く、この発明の第13実施例の半導体装置の製造方法の要部工程断面図であり、(a) は図22に相当する箇所断面図、(b) は図23に相当する箇所断面図、(c) は図24に相当する箇所断面図

【図29】図28に続く、この発明の第13実施例の半導体装置の製造方法の要部工程断面図であり、(a) は図22に相当する箇所断面図、(b) は図23に相当する箇所断面図、(c) は図24に相当する箇所断面図

20

【図30】従来の双方向L I G B Tの要部断面図

【図31】図29の双方向L I G B Tの出力特性を示す図

【図32】従来の別の双方向M O S F E Tの要部断面図

【図33】図32の双方向L I G B Tの出力特性を示す図

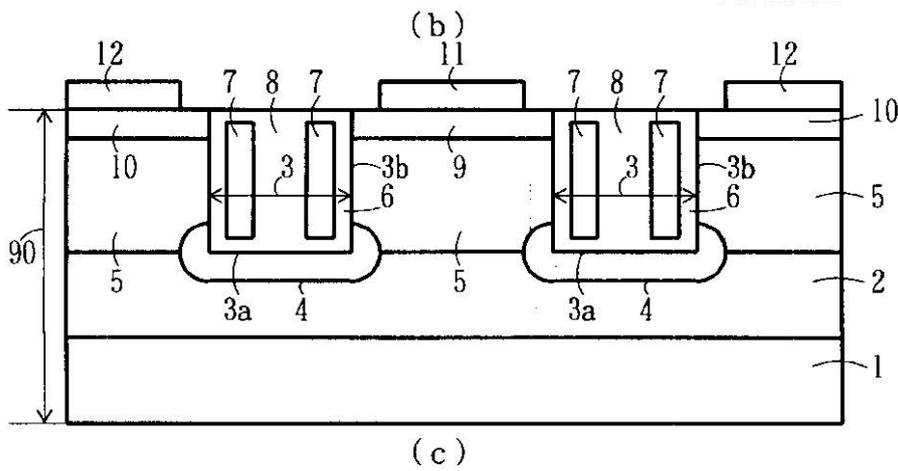
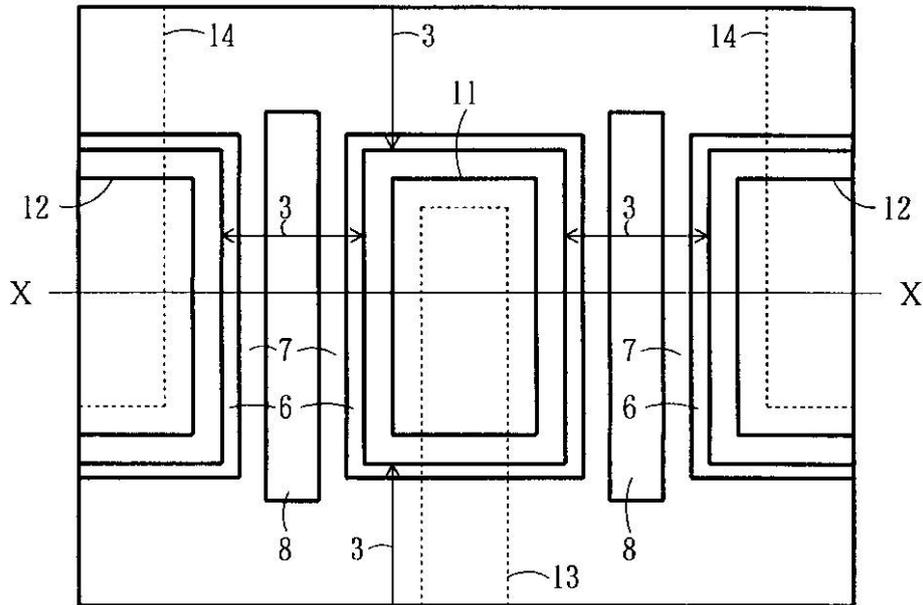
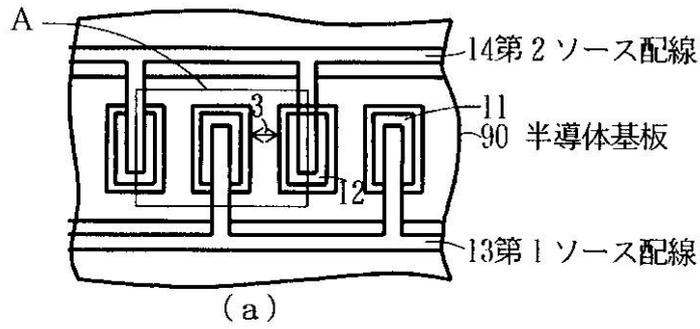
【符号の説明】

【0052】

- 1、71 201、301 p半導体基板
- 2、72 202、302 nウェル領域
- 3、33、73、203、303 トレンチ 30
- 3a、33a、73a 底面
- 3b、33b、73b 側面
- 4、74、204、304 nドレイン領域
- 5、35、75、205、305 pオフセット領域
- 6、36、79、206、306 ゲート絶縁膜
- 7、37、80、207 ゲート電極
- 8、38、87、208、208a、308、308a 層間絶縁膜
- 9、81、209、309 第1nソース領域
- 10、82、210、310 第2nソース領域
- 11、85、211、311 第1ソース電極 40
- 12、86、212、312 第2ソース電極
- 13、213、313 第1ソース配線
- 14、214、314 第2ソース配線
- 15、16、215、216、315、316 pコンタクト領域
- 34 nソース領域
- 39 第1nドレイン領域
- 40 第2nドレイン領域
- 41 第1ドレイン電極
- 42 第2ドレイン電極
- 43 第1ドレイン配線 50

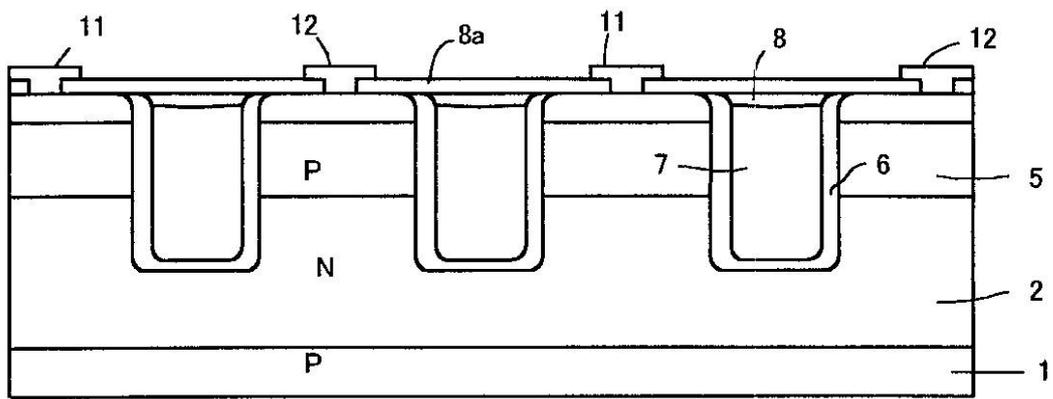
4 4	第 2 ドレイン配線	
4 5	ピックアップ電極	
4 6	p ベースピックアップ領域	
5 0、6 0	双方向 L M O S F E T	
5 1	駆動・保護回路部	
5 2	残量回路部	
5 3	チャージポンプ回路	
6 1	分割半導体領域	
7 0、9 0、9 1	半導体基板	
8 3、8 4	ソース/ドレイン領域	10
8 8、8 9	ソース/ドレイン電極	
9 2	バッテリー装置	
2 0 3 a、3 0 3 a	トレンチ外周	
2 0 3 b	突き出したトレンチ	
3 0 7	ポリシリコン	
2 1 7、3 1 7	コンタクトホール	
2 1 8、3 1 8	ポリシリコン配線	
2 1 9	ゲート配線	
3 0 0	双方向 L M O S F E T	
3 0 7 a	第 1 ゲート電極	20
3 0 7 b	第 2 ゲート電極	
3 1 9	第 1 ゲート配線	
3 2 0	第 2 ゲート配線	
3 3 1、3 3 2	n チャネル M O S F E T	
3 3 3、3 3 4	寄生ダイオード	
3 4 1、3 4 2	島	
S 1	第 1 ソース端子	
S 2	第 2 ソース端子	
G	ゲート端子	
G 1	第 1 ゲート端子	30
G 2	第 2 ゲート端子	
D 1	第 1 ドレイン端子	
D 2	第 2 ドレイン端子	

【図1】

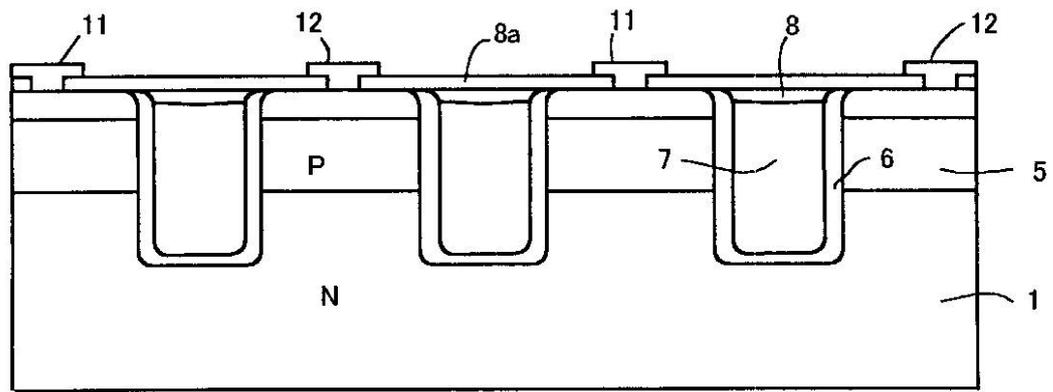


- | | |
|--------------------|---------------------|
| 1 . . . p 半導体基板 | 6 . . . ゲート絶縁膜 |
| 2 . . . n ウェル領域 | 7 . . . ゲート電極 |
| 3 . . . トレンチ | 8 . . . 層間絶縁膜 |
| 3a . . . 底面 | 9 . . . 第1 n ソース領域 |
| 3b . . . 側壁 | 10 . . . 第2 n ソース領域 |
| 4 . . . n 拡張ドレイン領域 | 11 . . . 第1 ソース電極 |
| 5 . . . p オフセット領域 | 12 . . . 第2 ソース電極 |

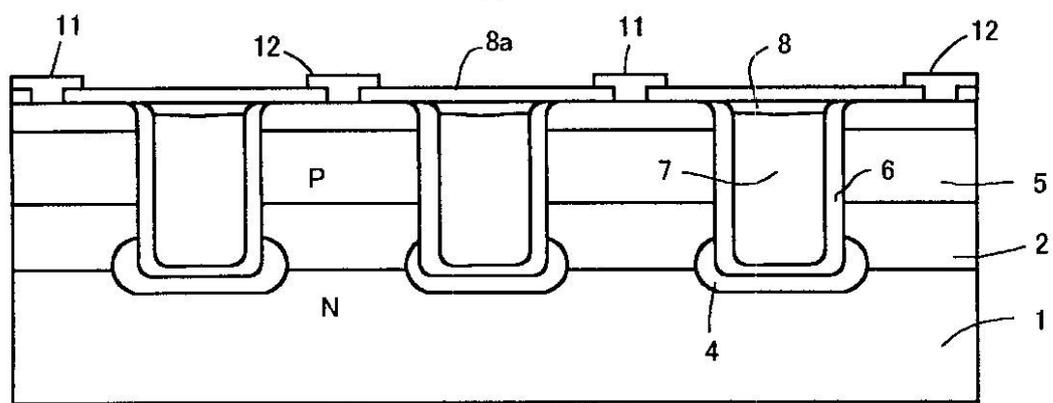
【図2】



(a)

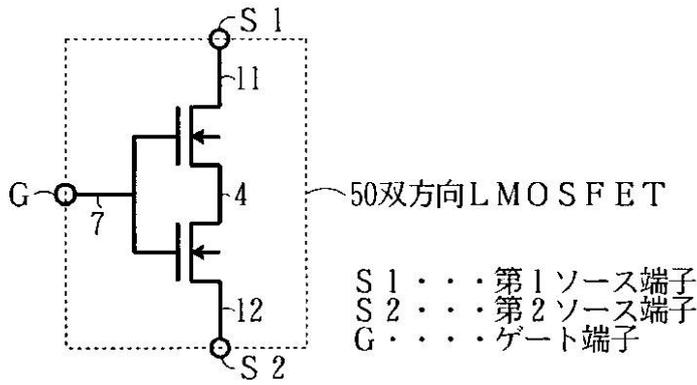


(b)

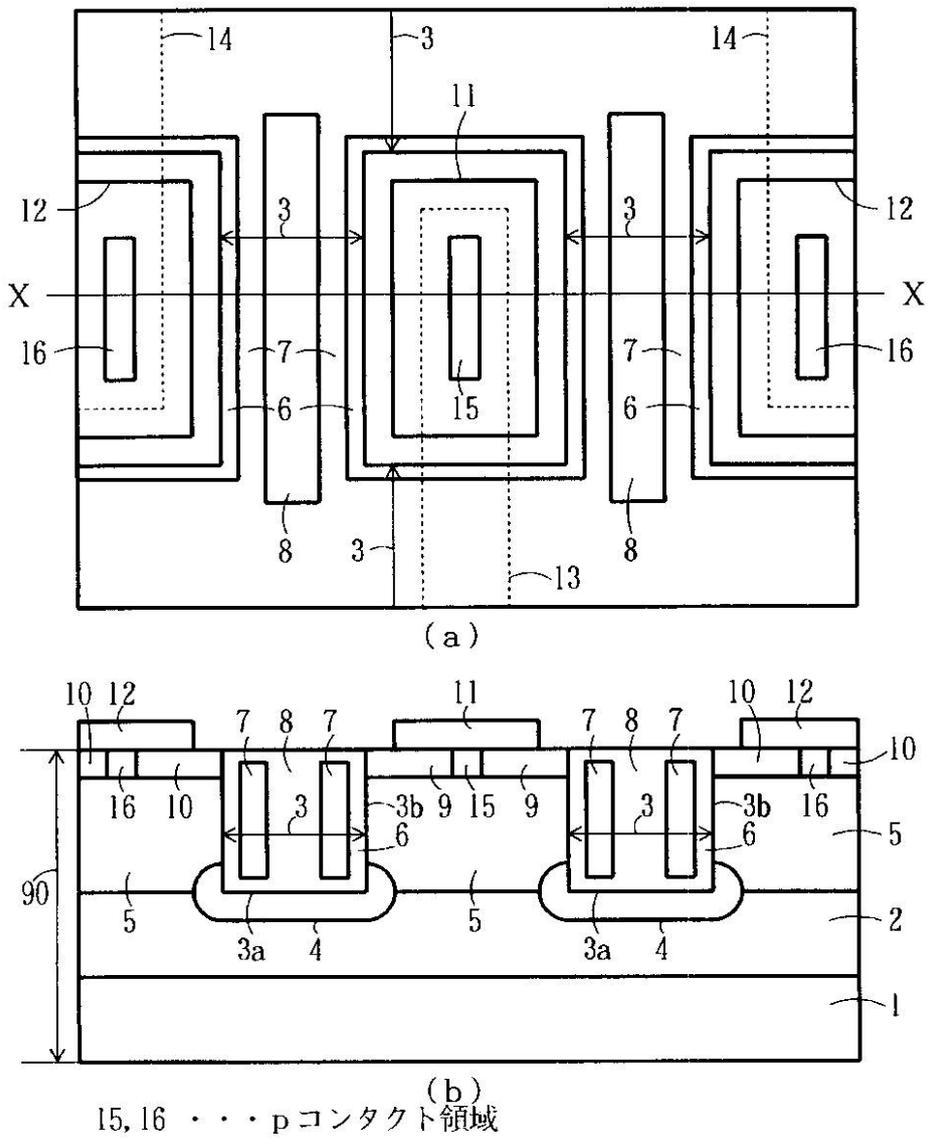


(c)

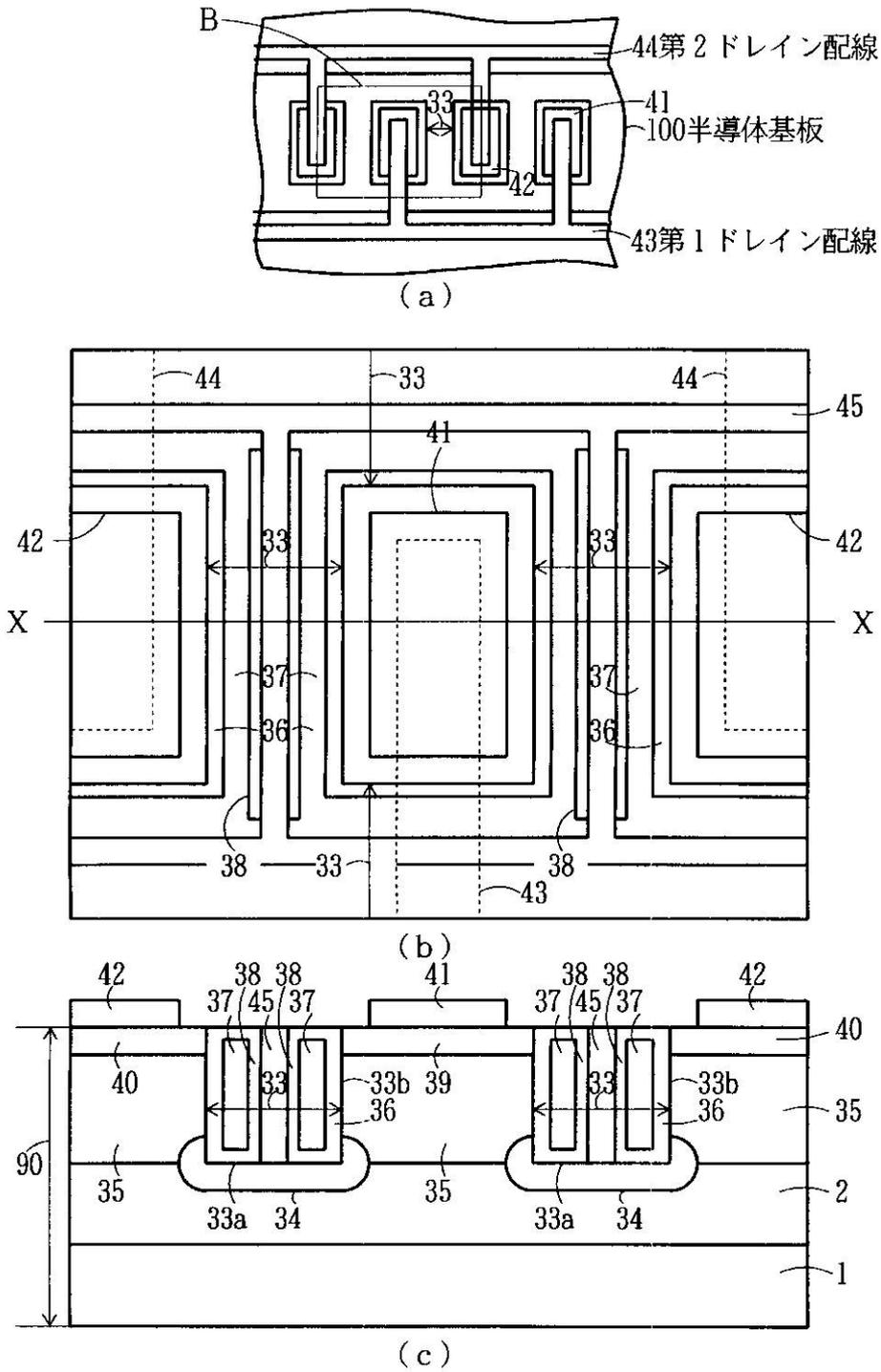
【図3】



【図4】

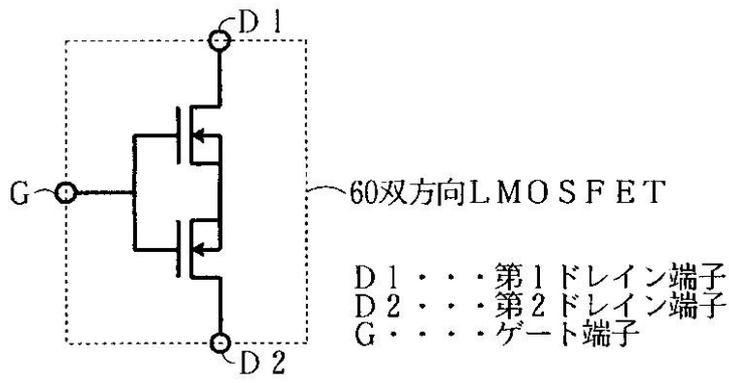


【図5】

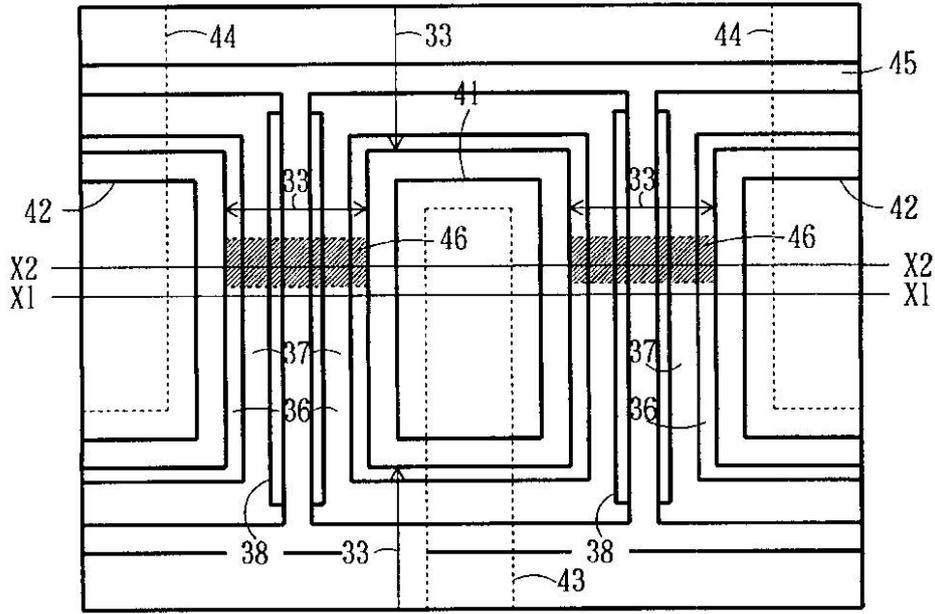


- | | |
|-------------------|---------------------|
| 33 . . . トレンチ | 38 . . . 層間絶縁膜 |
| 33a . . . 底面 | 39 . . . 第1 nドレイン領域 |
| 33b . . . 側壁 | 40 . . . 第2 nドレイン領域 |
| 34 . . . nソース領域 | 41 . . . 第1ドレイン電極 |
| 35 . . . pオフセット領域 | 42 . . . 第2ドレイン電極 |
| 36 . . . ゲート絶縁膜 | 45 . . . ピックアップ電極 |
| 37 . . . ゲート電極 | |

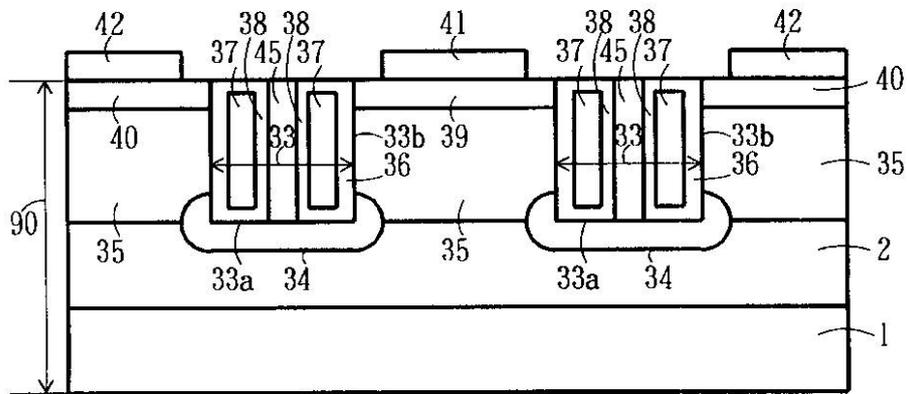
【図6】



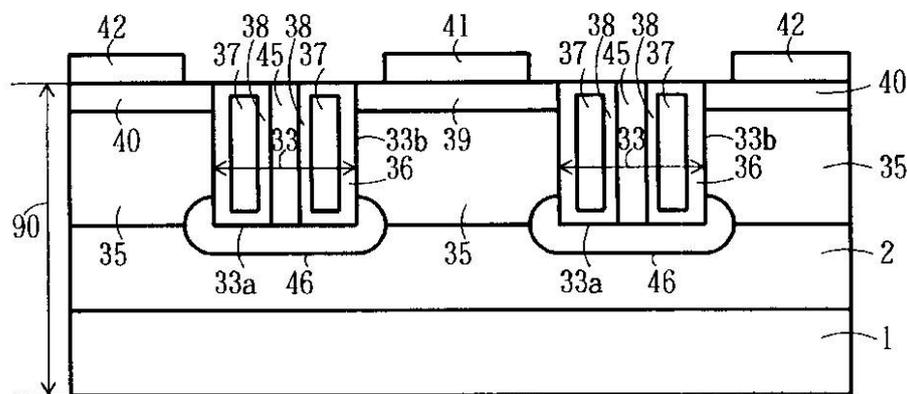
【図7】



(a)



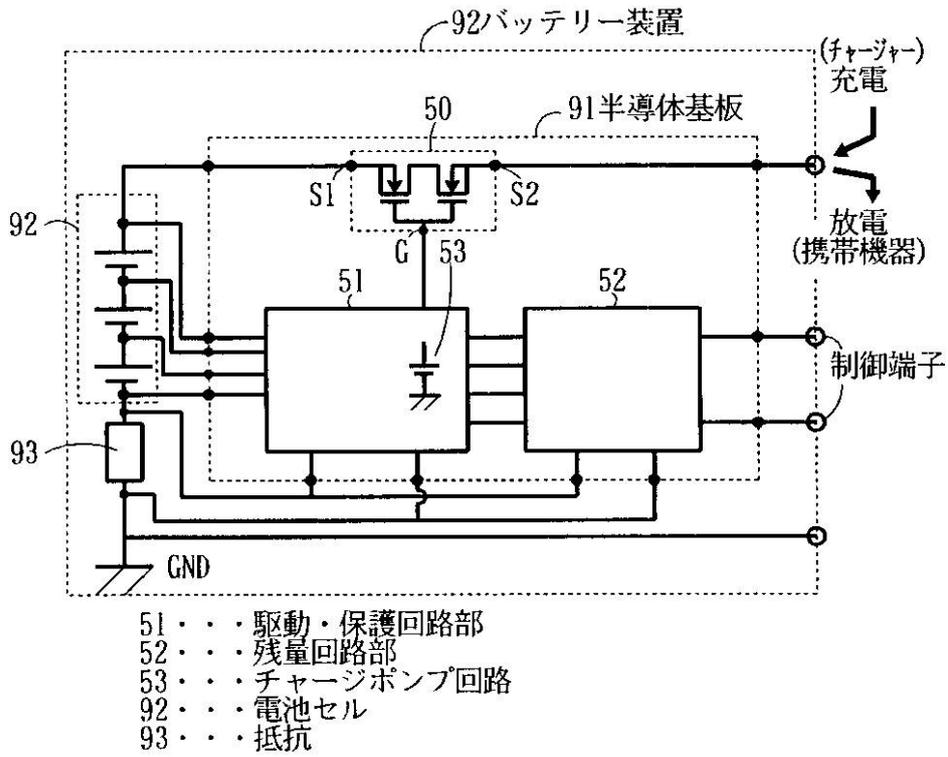
(b)



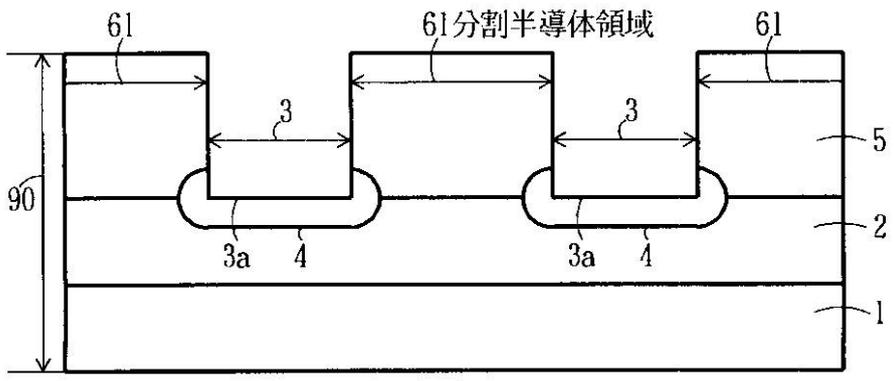
(c)

46・・・pベースピックアップ領域

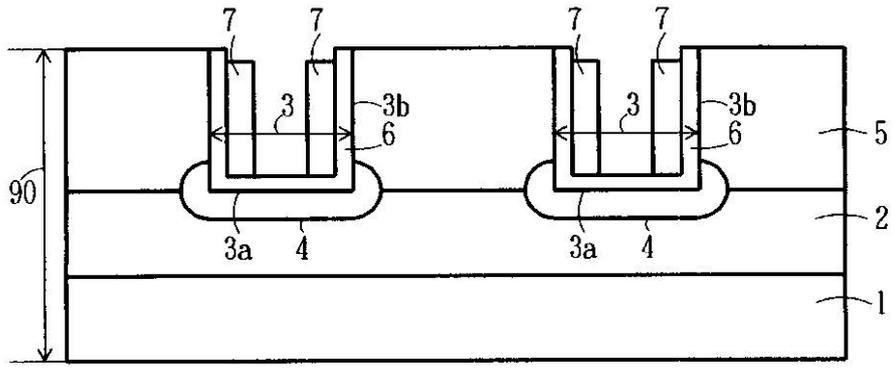
【図8】



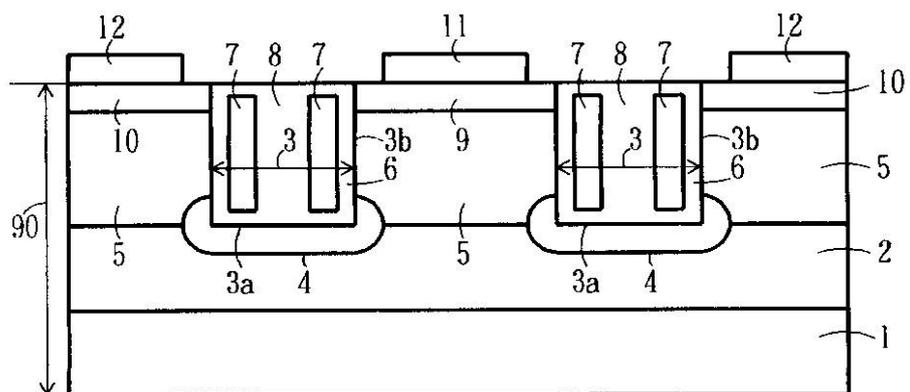
【図9】



(a)

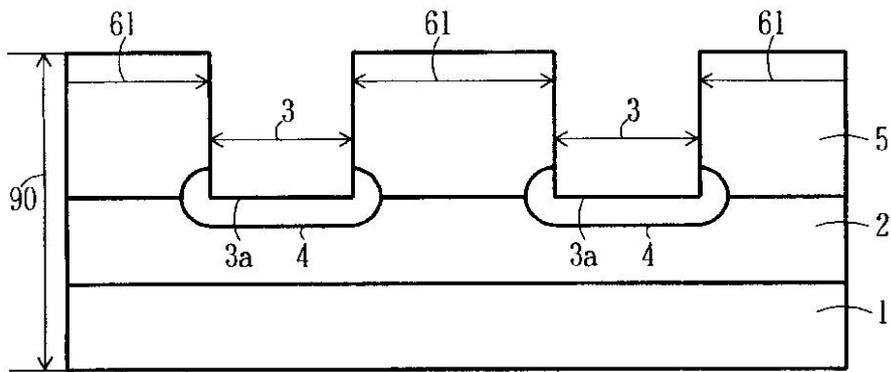


(b)

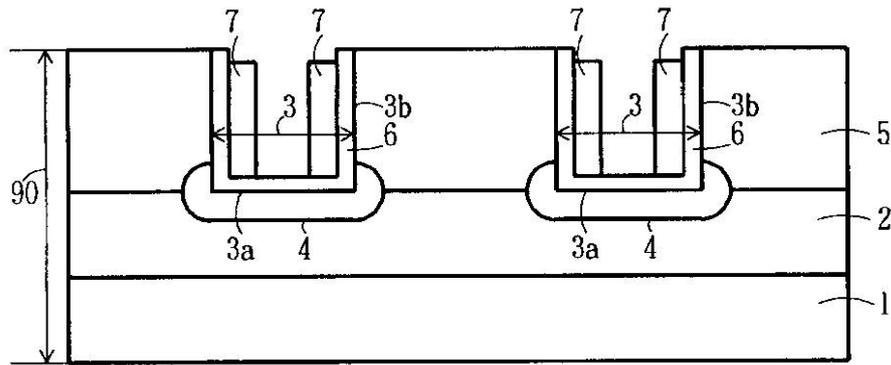


(c)

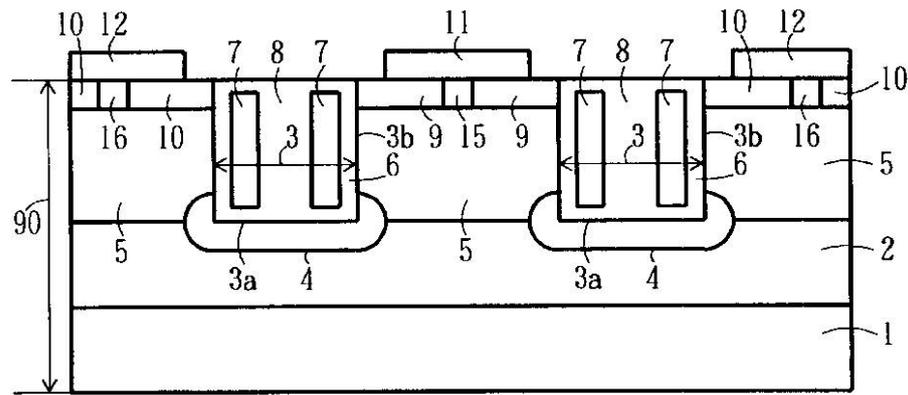
【図10】



(a)

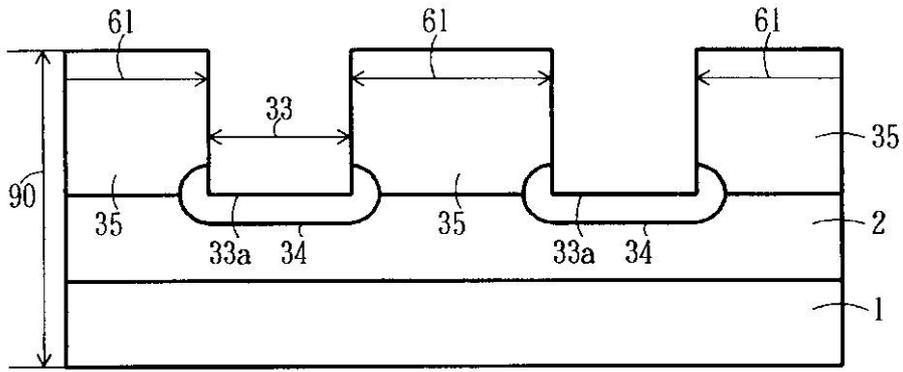


(b)

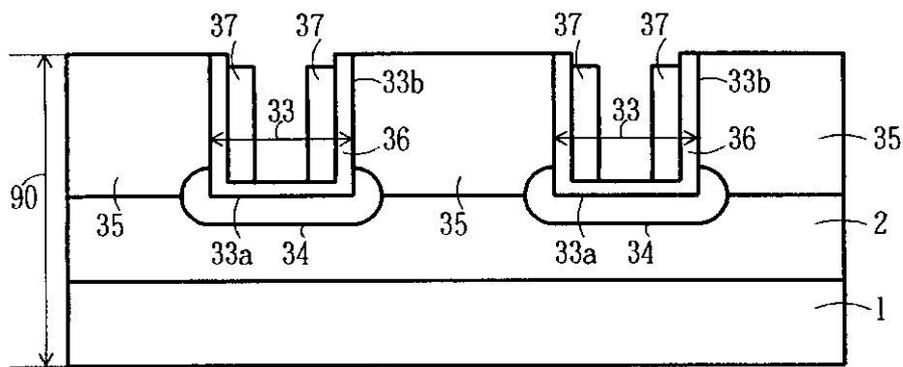


(c)

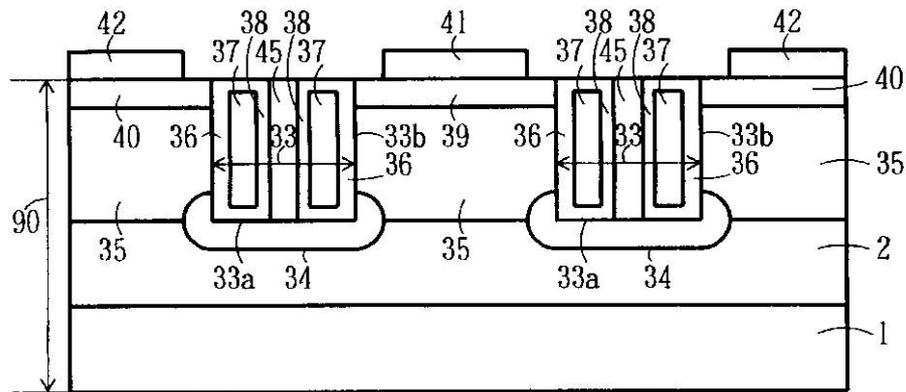
【図11】



(a)

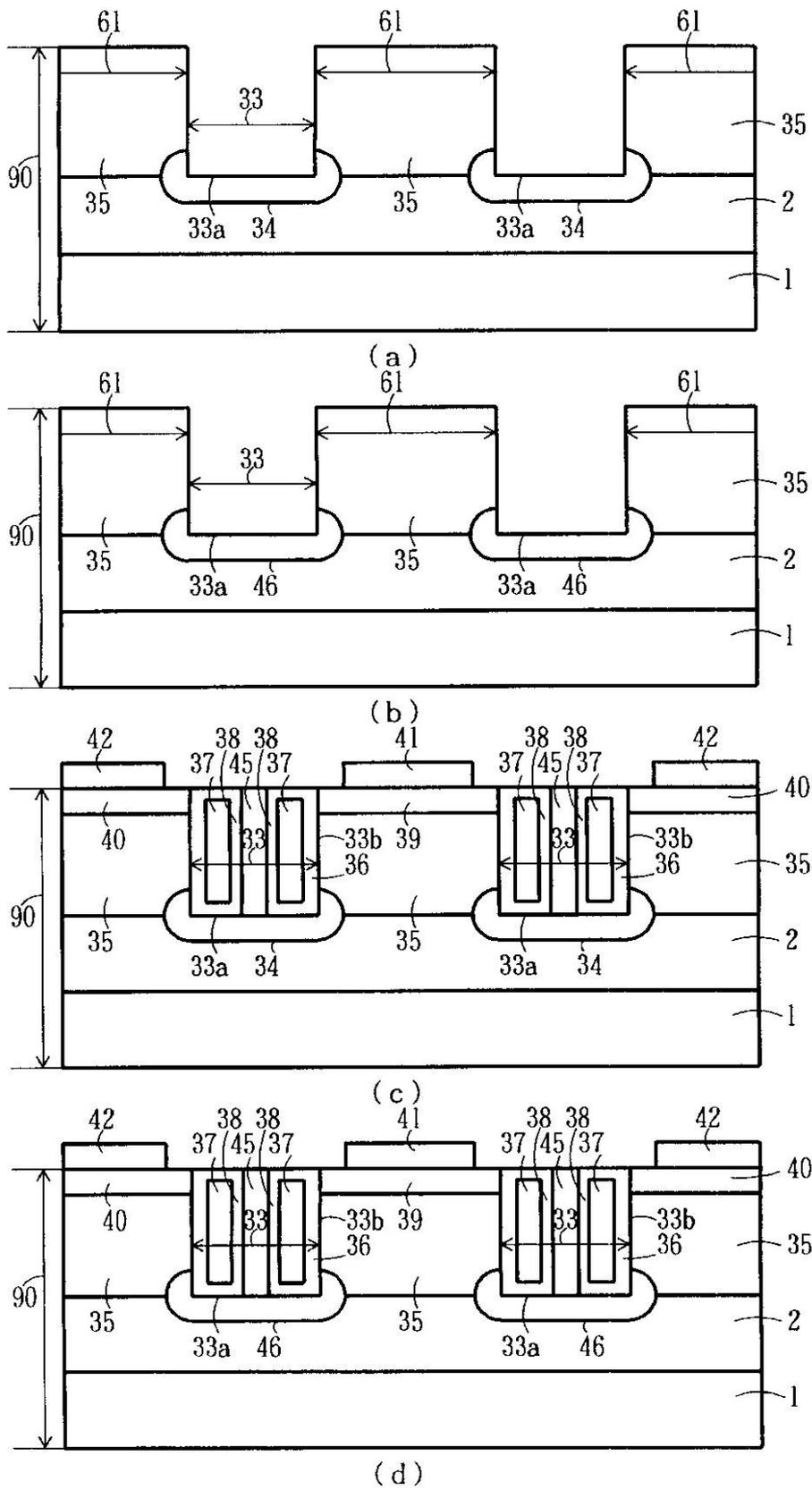


(b)

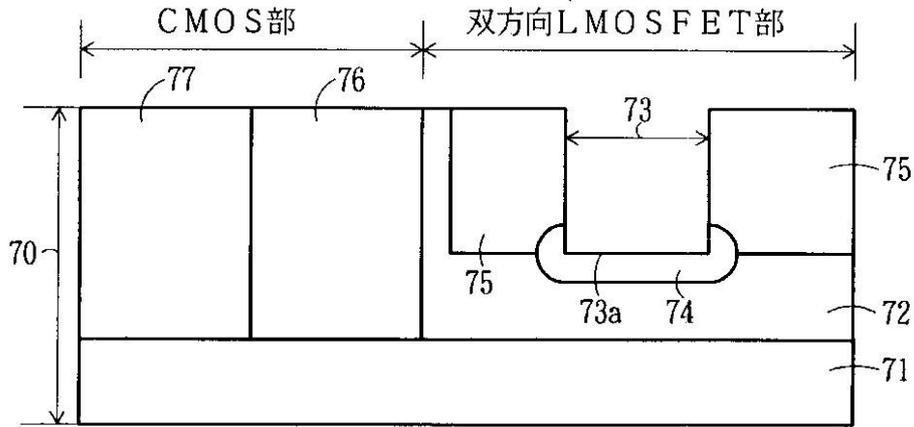


(c)

【図12】

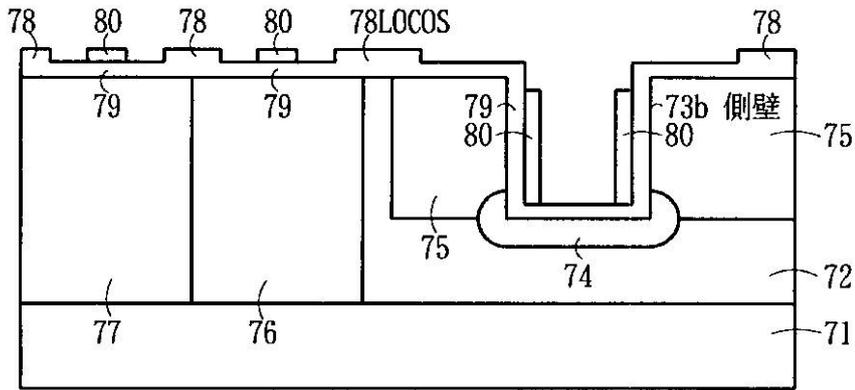


【図13】



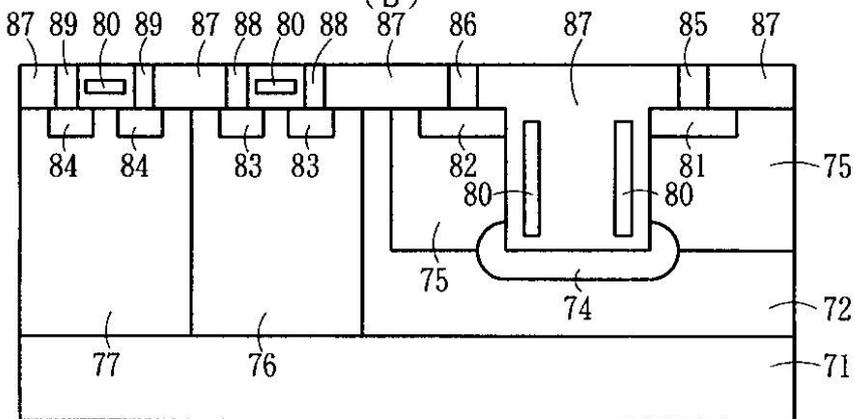
- 70・・・半導体基板
- 71・・・p半導体基板
- 72・・・nウェル領域
- 73・・・トレンチ
- 73a・・・底面
- 74・・・nドレイン領域
- 75・・・pオフセット領域
- 76・・・pウェル領域
- 77・・・nウェル領域

(a)



- 79・・・ゲート絶縁膜
- 80・・・ゲート電極

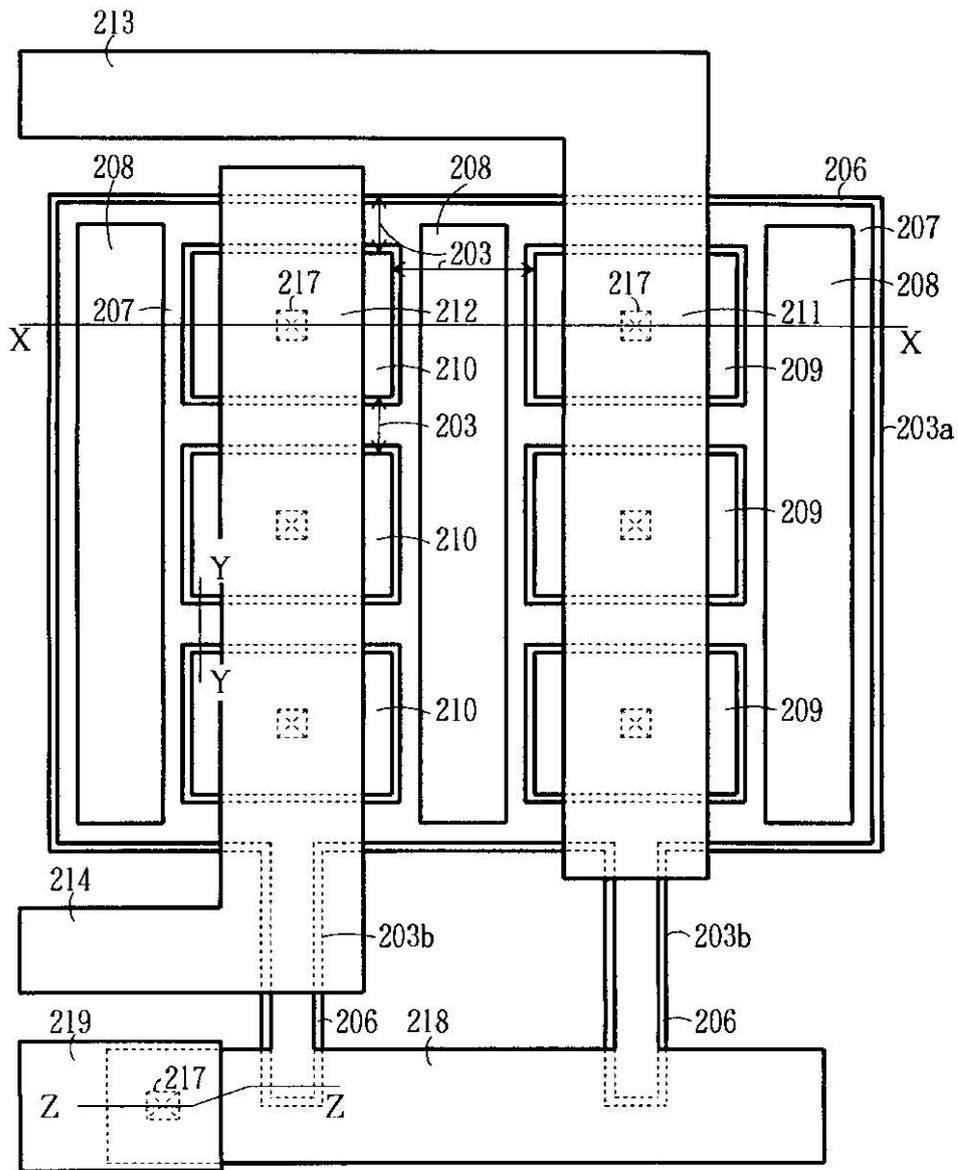
(b)



- 81・・・第1nソース領域
- 82・・・第2nソース領域
- 83・・・ソース/ドレイン領域
- 84・・・ソース/ドレイン領域
- 85・・・第1ソース電極
- 86・・・第2ソース電極
- 87・・・層間絶縁膜
- 88, 89・・・ソース/ドレイン電極

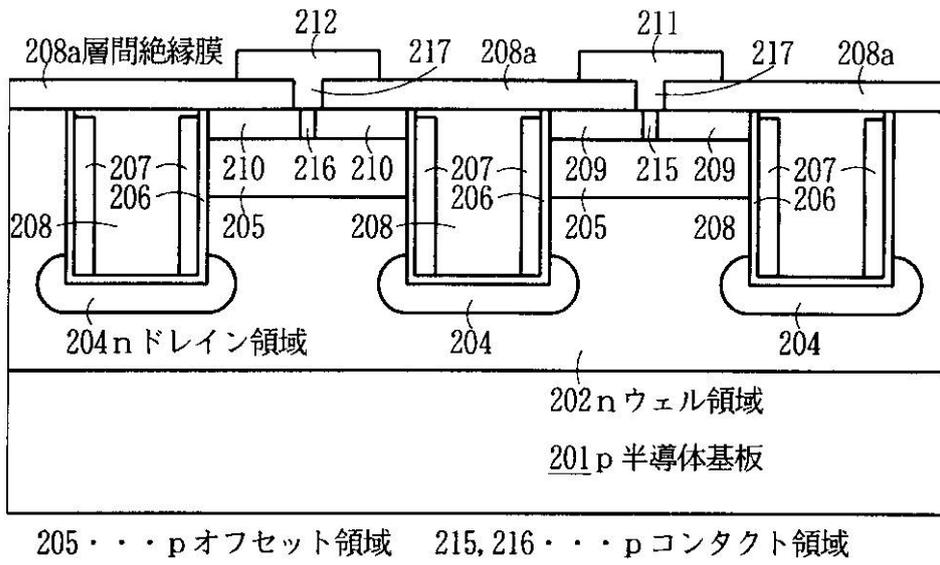
(c)

【図14】

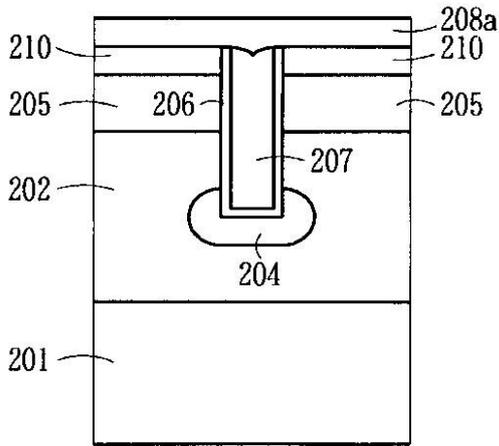


- | | |
|----------------------|--------------------|
| 203 . . . トレンチ | 211 . . . 第1ソース電極 |
| 203a . . . トレンチ外周 | 212 . . . 第2ソース電極 |
| 203b . . . 突き出したトレンチ | 213 . . . 第1ソース配線 |
| 206 . . . ゲート絶縁膜 | 214 . . . 第2ソース配線 |
| 207 . . . ゲート電極 | 217 . . . コンタクトホール |
| 208 . . . 層間絶縁膜 | 218 . . . ポリシリコン配線 |
| 209 . . . 第1nソース領域 | 219 . . . ゲート配線 |
| 210 . . . 第2nソース領域 | |

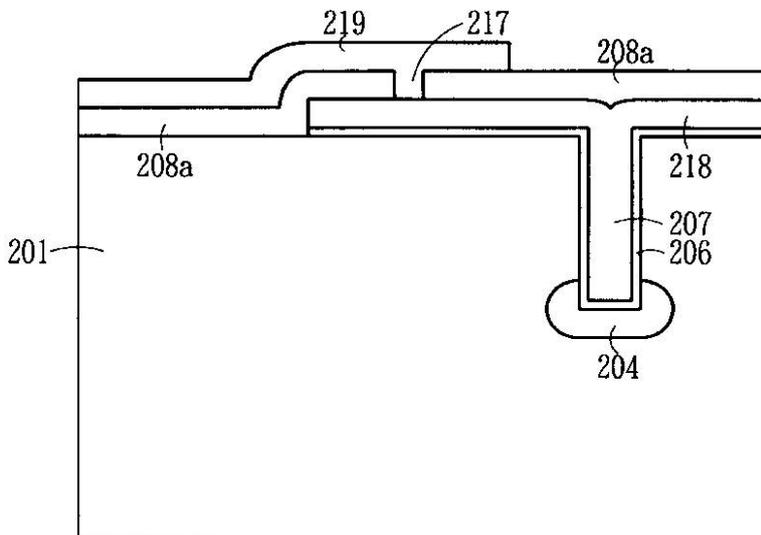
【図15】



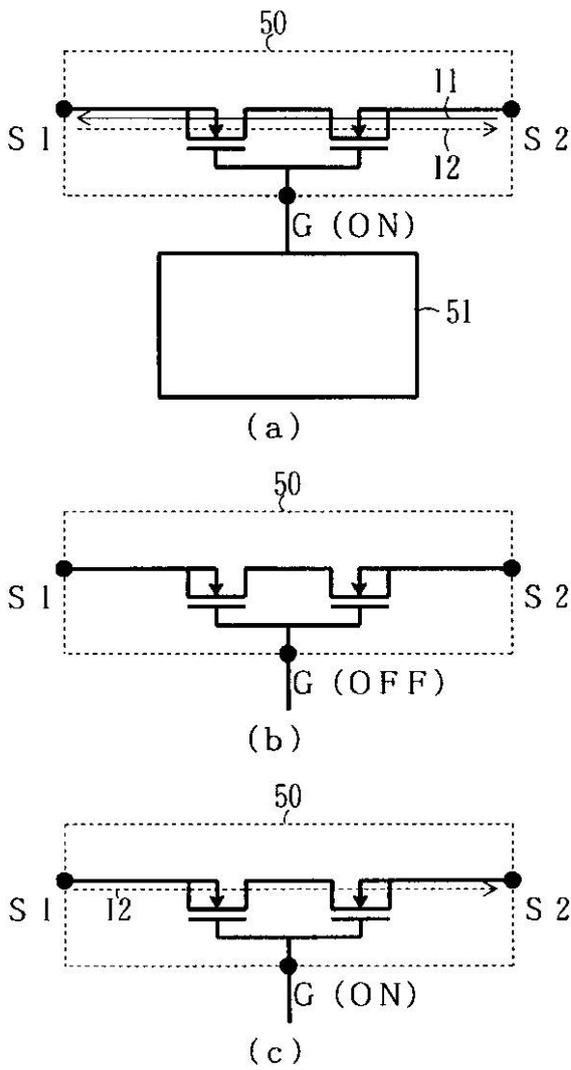
【図16】



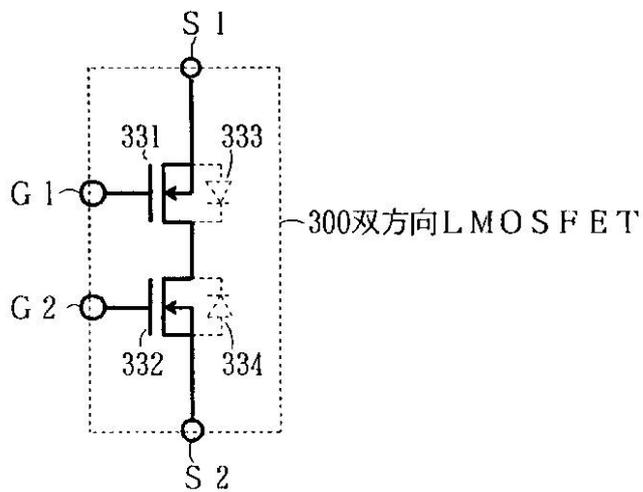
【図17】



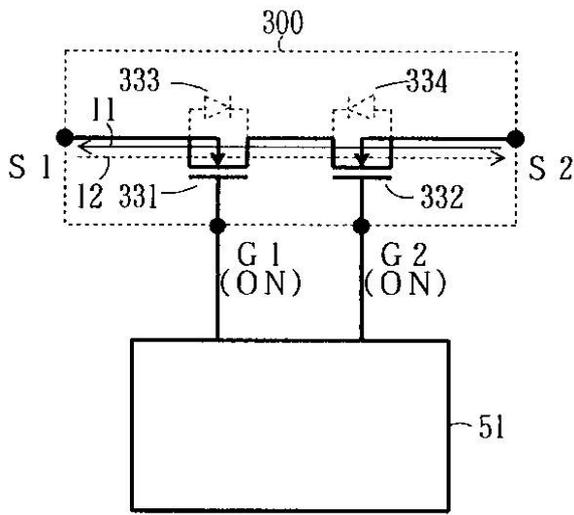
【 図 18 】



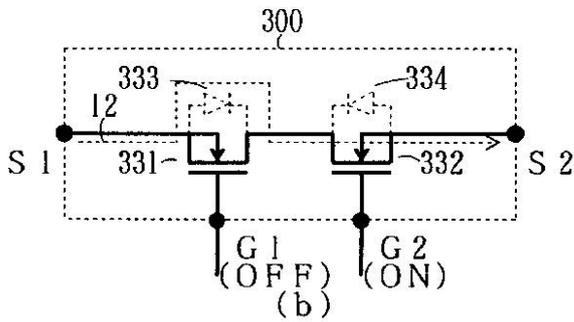
【 図 19 】



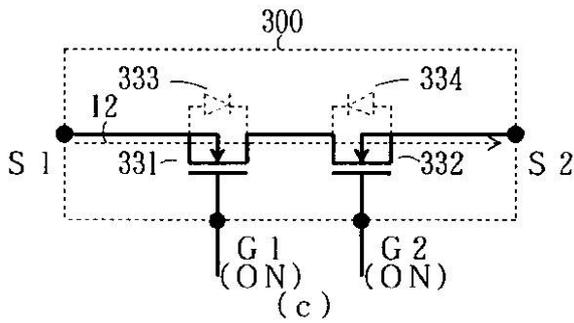
【 図 2 0 】



(a)

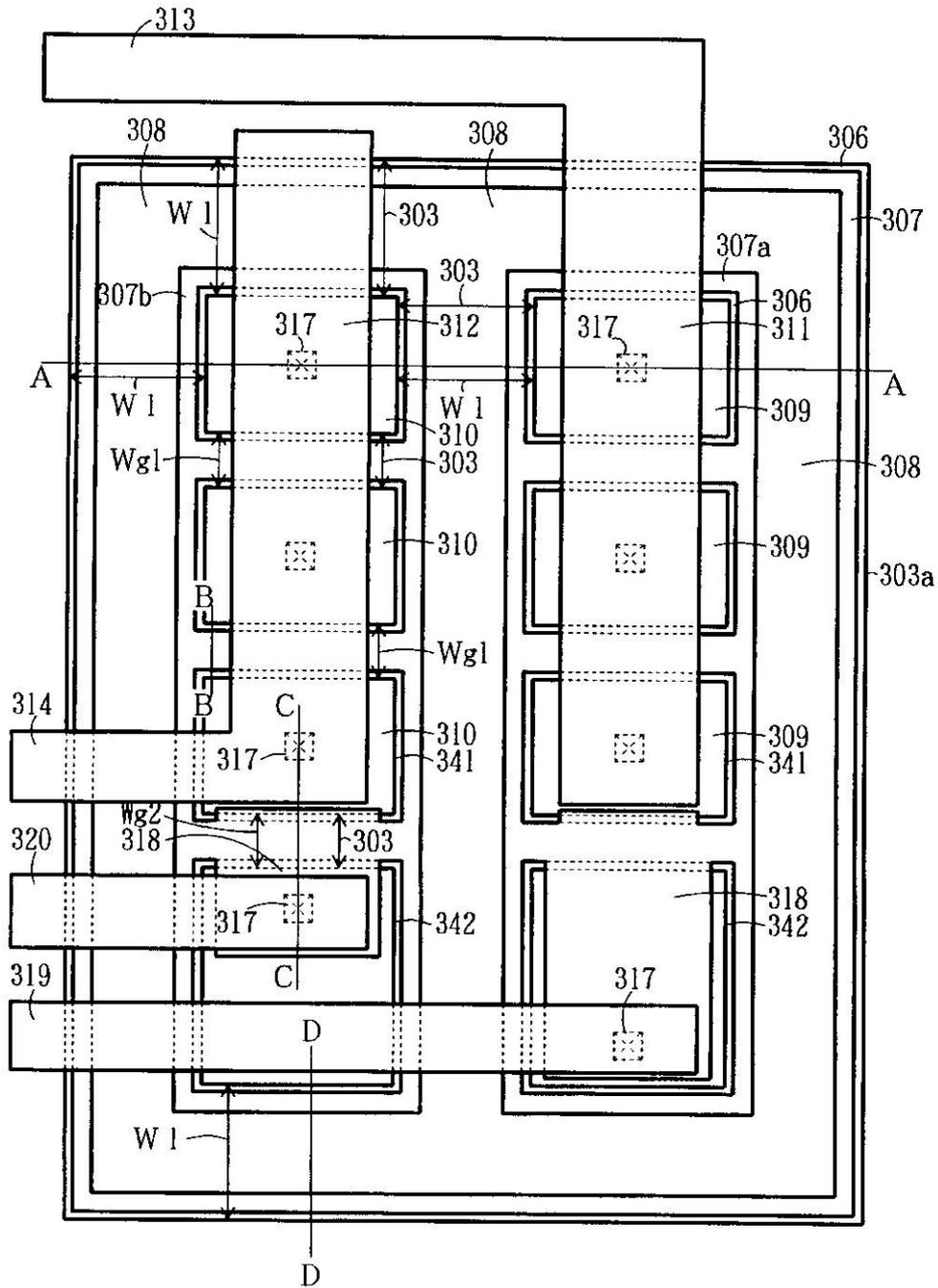


(b)



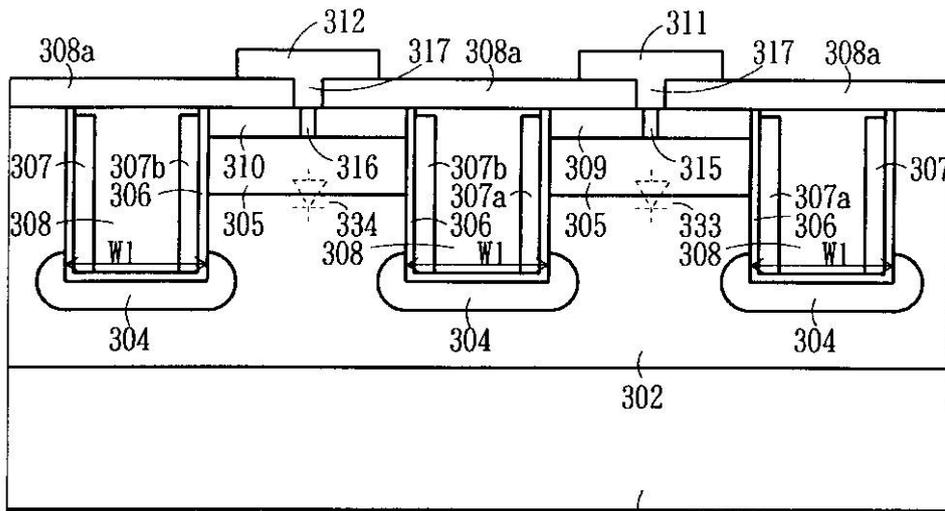
(c)

【図21】



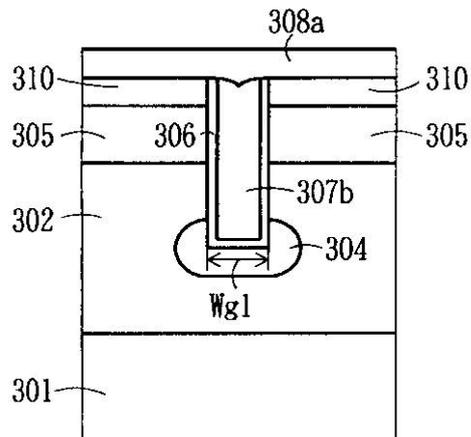
- | | | | |
|------------|----------|-----------|----------|
| 303 . . . | トレンチ | 311 . . . | 第1ソース電極 |
| 303a . . . | トレンチ外周 | 312 . . . | 第2ソース電極 |
| 306 . . . | ゲート絶縁膜 | 313 . . . | 第1ソース配線 |
| 307 . . . | ポリシリコン | 314 . . . | 第2ソース配線 |
| 307a . . . | 第1ゲート電極 | 317 . . . | コンタクトホール |
| 307b . . . | 第2ゲート電極 | 318 . . . | ポリシリコン配線 |
| 308 . . . | 層間絶縁膜 | 319 . . . | 第1ゲート配線 |
| 309 . . . | 第1nソース領域 | 320 . . . | 第2ゲート配線 |
| 310 . . . | 第2nソース領域 | 341 . . . | 島 |
| | | 342 . . . | 島 |

【図22】

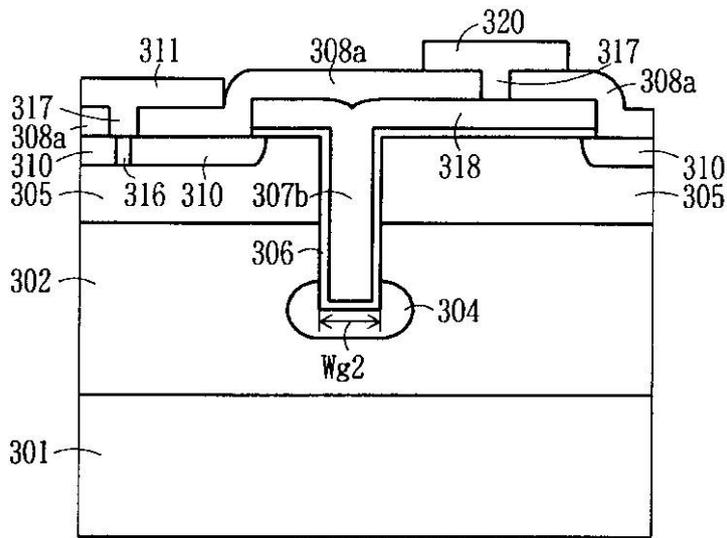


- | | |
|----------------------|---------------------|
| 301 . . . p 半導体基板 | 316 . . . p コンタクト領域 |
| 302 . . . n ウェル領域 | 308a . . . 層間絶縁膜 |
| 304 . . . n 拡張ドレイン領域 | 333 . . . 寄生ダイオード |
| 305 . . . p オフセット領域 | 334 . . . 寄生ダイオード |
| 315 . . . p コンタクト領域 | |

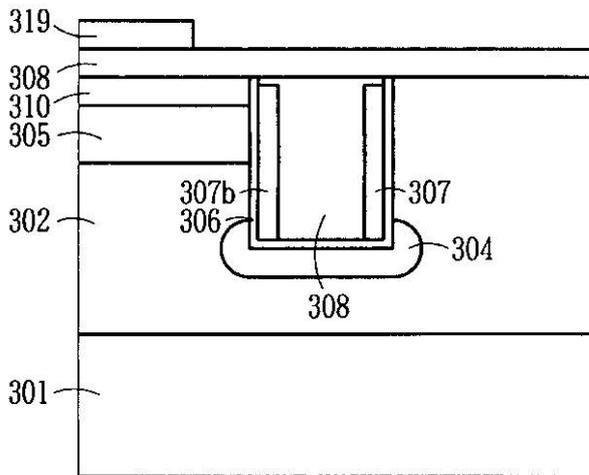
【図23】



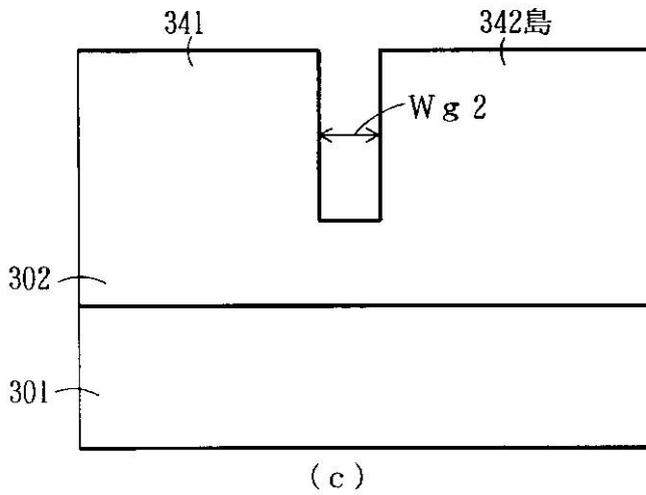
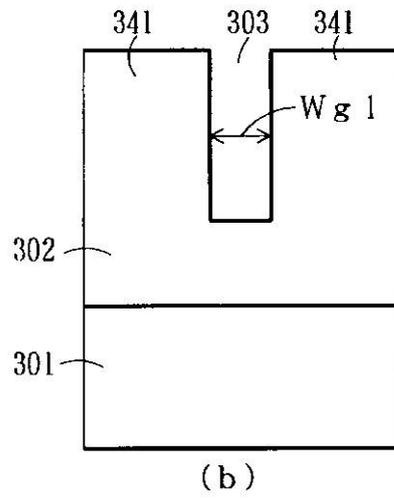
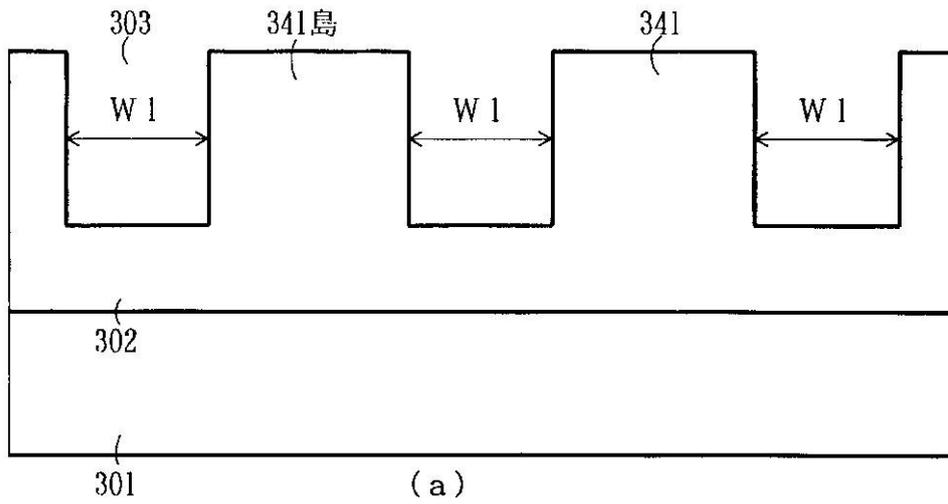
【 図 2 4 】



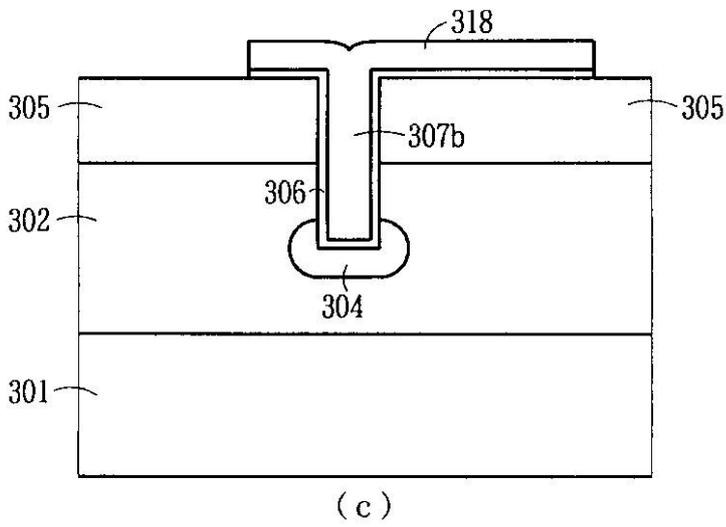
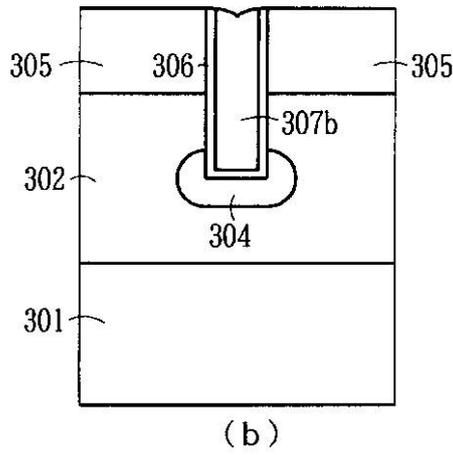
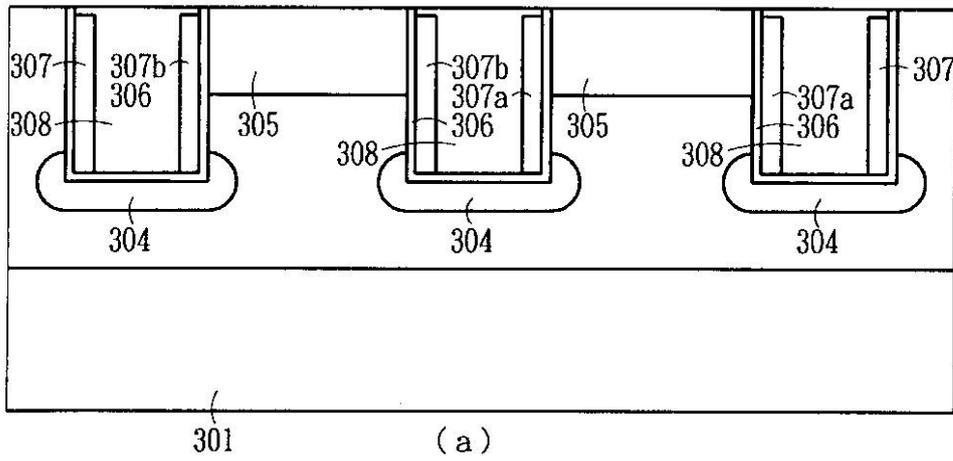
【 図 2 5 】



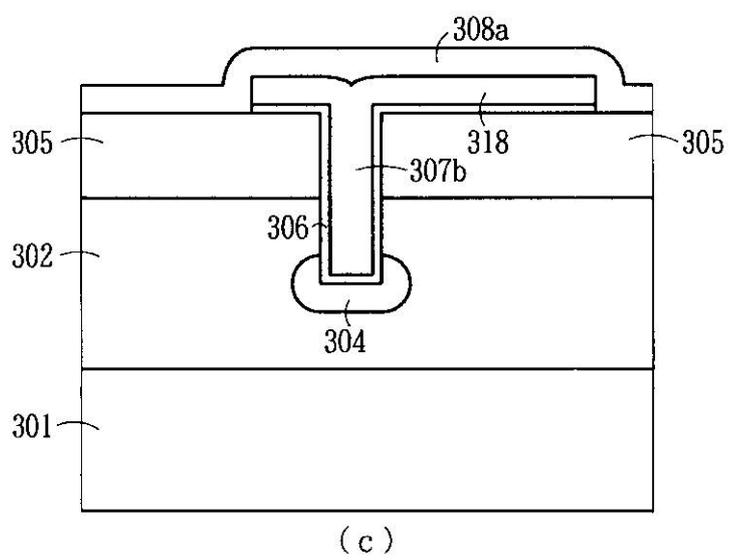
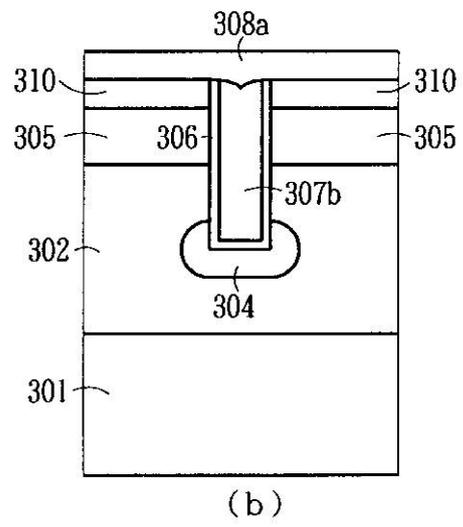
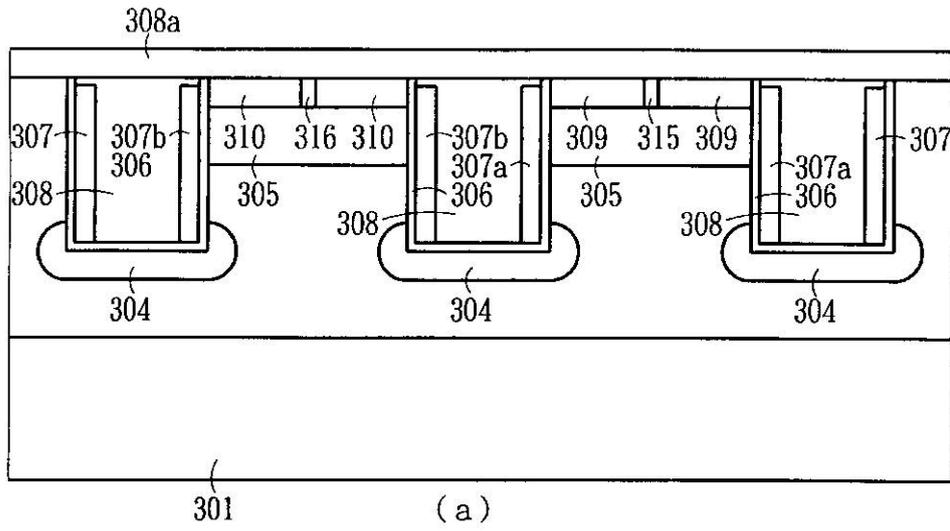
【図26】



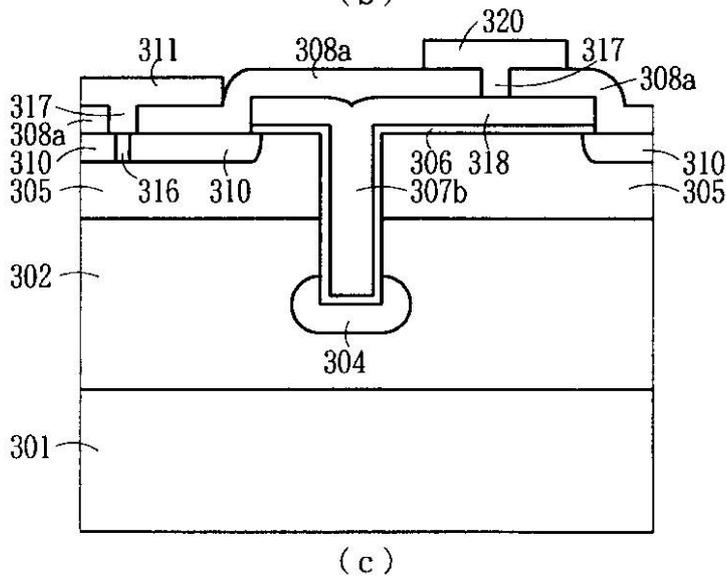
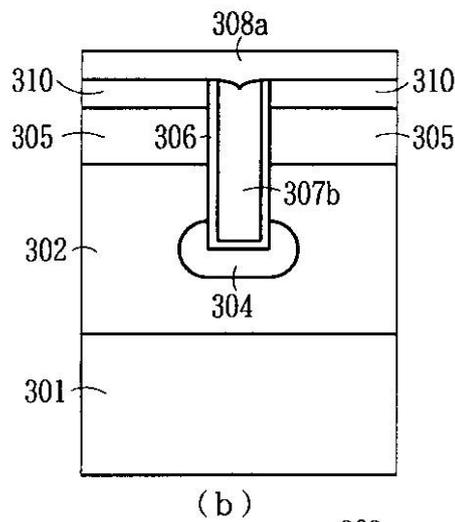
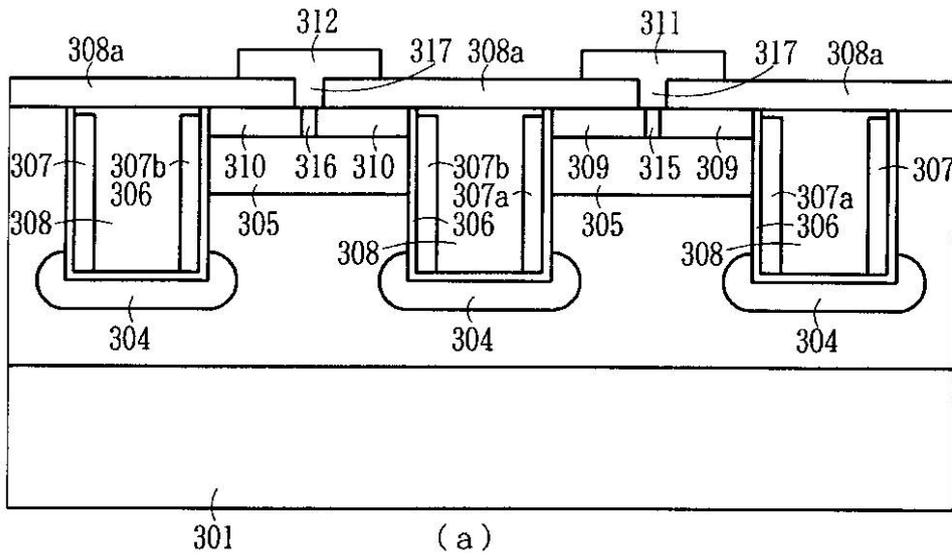
【 図 27 】



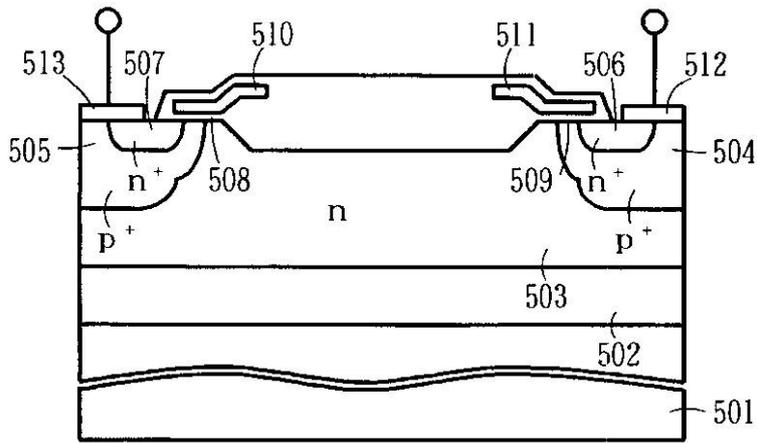
【 図 2 8 】



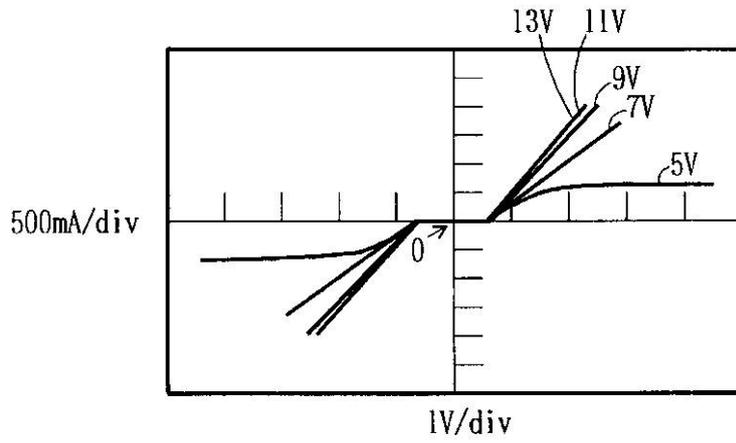
【図29】



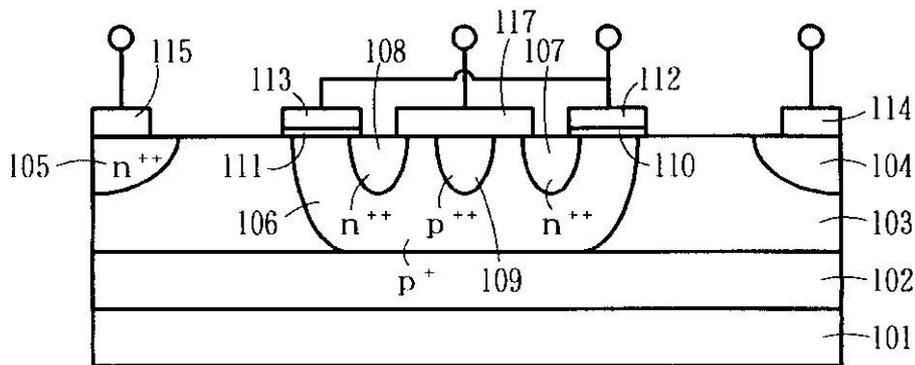
【 図 3 0 】



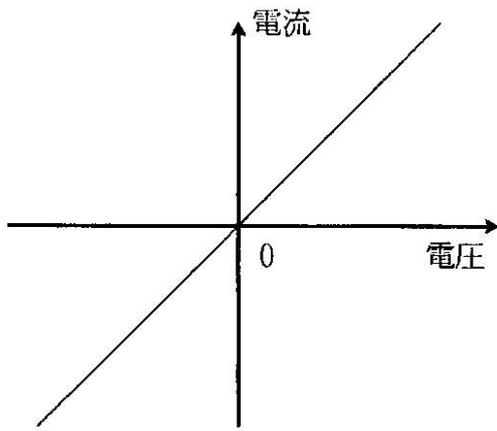
【 図 3 1 】



【 図 3 2 】



【図 3 3】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/08 1 0 2 C
H 0 1 L 27/08 1 0 2 E

(56)参考文献 特開昭62-031167(JP,A)
特開昭62-029171(JP,A)
特開昭62-032649(JP,A)
特開昭62-029173(JP,A)
特開2002-353447(JP,A)
特開平06-196695(JP,A)
特表2002-526930(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 9 / 7 8