



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월29일
(11) 등록번호 10-1269318
(24) 등록일자 2013년05월23일

(51) 국제특허분류(Int. Cl.)
H05K 3/46 (2006.01)
(21) 출원번호 10-2012-7000845(분할)
(22) 출원일자(국제) 2004년12월06일
심사청구일자 2012년01월11일
(85) 번역문제출일자 2012년01월11일
(65) 공개번호 10-2012-0025598
(43) 공개일자 2012년03월15일
(62) 원출원 특허 10-2010-7021824
원출원일자(국제) 2004년12월06일
심사청구일자 2010년09월29일
(86) 국제출원번호 PCT/JP2004/018526
(87) 국제공개번호 WO 2005/055684
국제공개일자 2005년06월16일
(30) 우선권주장
JP-P-2003-407501 2003년12월05일 일본(JP)
JP-P-2004-350731 2004년12월03일 일본(JP)
(56) 선행기술조사문헌
JP11260148 A*
JP2001044591 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
이비덴 가부시키키가이샤
일본 기후켄 오가키시 간다쵸 2쵸메 1반지
(72) 발명자
가리야 다카시
일본 기후켄 이비군 이비가와쵸 기타가타 1-1 이비덴 가부시키키가이샤 나이
모치다 아키라
일본 기후켄 이비군 이비가와쵸 기타가타 1-1 이비덴 가부시키키가이샤 나이
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 2 항

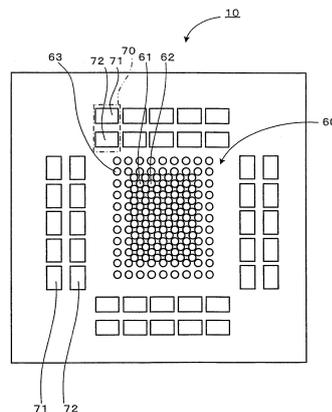
심사관 : 김종희

(54) 발명의 명칭 **다층 프린트 배선판**

(57) 요약

다층 프린트 배선판 (10) 은, 배선 패턴 (32) 등에 전기적으로 접속된 반도체 소자를 최상면에 실장시킨 실장부 (60); 및 세라믹으로 형성된 고 유전율 층 (43) 과 고 유전율 층 (43) 을 샌드위치하는 제 1 층 전극 및 제 2 층 전극 (41 및 42) 을 갖는 콘덴서부 (40) 를 포함한다. 제 1 층 전극 및 제 2 층 전극 (41 및 42) 중 하나의 전극은 반도체 소자의 전원 라인에 접속되고, 제 1 층 전극 및 제 2 층 전극 (41 및 42) 중 나머지 전극은 그라운드 라인에 접속된다. 이 다층 프린트 배선판 (10) 에 있어서, 전원 라인과 그라운드 라인 사이에 접속되는 층상 콘덴서부 (40) 에 포함된 고 유전율 층 (43) 은 세라믹으로 형성된다. 이 구조에서는, 층상 콘덴서부 (40) 의 정전용량이 커질 수 있고, 순시 전위 저하가 쉽게 발생하는 환경에서 조차 충분한 디커플링 효과를 나타낸다.

대표도 - 도1



특허청구의 범위

청구항 1

절연층을 사이에 두고 복수 적층된 배선 패턴끼리를 상기 절연층 내의 비아홀에 의해 전기적으로 접속시킴으로써 구성되는 빌드-업 부를 형성하는 단계;

상기 빌드-업 부 상에, 세라믹계의 고유전체층과 상기 고유전체층을 끼우는 제 1 및 제 2 층상 전극을 갖고, 상기 제 1 및 제 2 층상 전극의 일방이 반도체 소자의 전원 라인에, 타방이 그라운드 라인에 접속되는, 층상 콘덴서부를 형성하는 단계; 및

상기 배선 패턴과 전기적으로 접속되는 반도체 소자를 표면에 실장하는 실장부를 형성하는 단계를 포함하고,

상기 고유전체층은, 상기 빌드-업 부와는 별도로, 고유전체 재료를 소성하여 제조한 것이 상기 빌드-업 부 상에 접합되어 있으며,

상기 실장부는, 상기 반도체 소자의 전원 전극 및 그라운드 전극의 어느 일방에 접속되는 제 1 패드와 어느 타방에 접속되는 제 2 패드를 가지며,

상기 제 1 패드 중의 일부는 상기 제 2 층상 전극을 비접촉 방식으로 통과하고, 상기 제 1 패드 중의 일부에 전기적으로 접속되는 제 1 로드 단자를 갖고, 상기 제 1 로드 단자를 갖는 제 1 패드는, 상기 제 1 로드 단자를 사이에 두고 상기 제 1 층상 전극과 접속되고, 상기 제 1 로드 단자를 갖지 않는 제 1 패드는 상기 제 1 로드 단자를 갖는 제 1 패드와 실장부에 형성된 배선에 접속되고, 상기 제 1 로드 단자의 수는 상기 제 1 패드의 수보다 적으며,

상기 제 2 패드 중의 일부는 상기 제 1 층상 전극을 비접촉 방식으로 통과하는 제 2 로드 단자를 갖고, 상기 제 2 로드 단자를 갖는 제 2 패드는, 상기 제 2 로드 단자를 사이에 두고 상기 제 2 층상 전극과 접속되고, 상기 제 2 로드 단자를 갖지 않는 제 2 패드는 상기 제 2 로드 단자를 갖는 제 2 패드와 실장부에 형성된 배선에 접속되고, 상기 제 2 로드 단자의 수는 상기 제 2 패드의 수보다 적으며,

다이 아래의 상기 층상 콘덴서부의 용량이 0.5~10 μF인, 다층 프린트 배선판을 제조하는 방법.

청구항 2

제 1 항에 있어서,

상기 고유전체층은, 티탄산 바륨 (BaTiO₃), 티탄산 스트론튬 (SrTiO₃), 산화 탄탈 (TaO₃, Ta₂O₅), 티탄산 지르콘 산 납 (PZT), 티탄산 지르콘산 란탄납 (PLZT), 티탄산 지르콘산 니오브 납 (PNZT), 티탄산 지르콘산 칼슘 납 (PCZT), 및 티탄산 지르콘산 스트론튬 납 (PSZT) 으로 구성된 그룹으로부터 선택된 하나 또는 2 이상의 금속 산화물을 포함하는 원료를 소성함으로써 제조되는, 다층 프린트 배선판을 제조하는 방법.

청구항 3

삭제

명세서

기술분야

[0001] 본 발명은, 절연층을 사이에 두고 복수의 층으로 라미네이팅된 배선 패턴이 절연층 내부의 비아홀 (via hole) 에 의하여 서로 전기적으로 접속되는 빌드-업 부 (build up portion) 를 갖는 다층 프린트 배선판에 관한 것이다.

배경기술

[0002] 빌드-업 부를 갖는 다층 프린트 배선판에 대한 다양한 구조가 제안되어 왔다. 제안된 다층 프린트판의 빌드-업 부에서는, 절연층을 사이에 두고 복수의 층으로 라미네이팅된 배선 패턴이 절연층의 비아홀에 의하여 서로 전기적으로 접속된다. 이런 유형의 다층 프린트 배선판에서는, 실장된 반도체 소자가 고속으로 온 오프 스

위칭될 경우에, 스위칭 잡음으로 인해 전원 라인의 전위가 순시 저하될 수도 있다. 이러한 순시 전위 저하를 억제하기 위하여, 전원 라인과 그라운드 라인 사이의 콘덴서부의 접속에 의한 디커플링 (decoupling) 이 제안되고 있다. 이런 목적을 위한 콘덴서부로서, JP-A 2001-68858 은 다층 프린트 배선 판 내부에 층상 콘덴서부의 제공을 제안하였다.

발명의 내용

해결하려는 과제

[0003] 그러나, 상술된 공보의 층상 콘덴서부는 티탄산바륨 또는 다른 무기 필러 (filler) 가 배합된 유기 수지로 형성되는 유전체 층을 사용하기 때문에, 정전 용량이 충분히 크게 될 수 없고, 반도체 소자의 온/오프 주파수가 수 GHz 내지 수십 GHz 의 범위로 높은 상황 하에서 충분한 디커플링 효과가 나타내질 수 없기 때문에 순시 전위 저하가 발생되기 쉽다.

과제의 해결 수단

[0004] 본 발명은 상기 문제점을 고려하여 행해진 것으로, 본 발명의 목적은 충분한 디커플링 효과를 나타내는 다층 프린트 배선판을 제공하는 것이다.

[0005] 상술된 목적의 적어도 일부를 달성하기 위하여, 본 발명은 다음의 수단을 사용한다.

[0006] 본 발명은, 다층 배선 패턴이 절연층을 사이에 두고 층으로 라미네이팅되고 절연 층에 형성된 비아홀에 의하여 서로 전기적으로 접속되는 빌드-업 부를 갖는 다층 프린트 배선판을 제공한다. 다층 프린트 배선판은, 표면에, 상술된 배선 패턴에 전기적으로 접속된 반도체 소자가 실장된 실장부; 및 실장부와 빌드-업 부 사이에 배치되고 세라믹으로 형성된 고 유전율 층 및, 고 유전율 층을 샌드위치하는 제 1 층 전극 및 제 2 층 전극을 포함하는 층상 콘덴서부를 포함하며, 제 1 층 전극 및 제 2 층 전극 중 어느 하나는 상술된 반도체 소자의 전원 라인에 접속되고, 상술된 제 1 층 전극 및 제 2 층 전극 중 나머지 하나는 그라운드 라인에 접속된다.

[0007] 이 다층 프린트 배선판에서는, 전원 라인과 그라운드 라인 사이에 접속된 층상 콘덴서부의 고 유전율 층이 세라믹으로 형성된다. 이 구조에서는, 무기 필러와 배합된 유기 수지를 이용하는 종래 배열에서와 비교하여, 유전율이 높고 정전용량을 커질 수 있다. 따라서, 반도체 소자의 온/오프 주파수가 수 GHz 내지 수십 GHz (예를 들어, 3GHz 내지 20 GHz) 의 범위로 높을 경우라도 충분한 디커플링 효과를 나타낸다.

[0008] 본 발명의 다층 프린트 배선판에서, 고 유전율 층은, 빌드-업 부와 별도로 고 유전율 재료를 소성함으로써 제조되고 빌드-업 부에 접합되는 것이 바람직하다. 통상, 빌드-업 부는 200℃ 이하의 온도 조건에 따라 제조되고, 고 유전율 재료를 소성해서 세라믹으로 만들기 어렵다. 따라서, 빌드-업 부와 별도로, 고 유전율 재료를 소성시켜 세라믹으로 만드는게 바람직하다. 특별하게 제한하려는 것은 아니지만, 고 유전율 층은, 예를 들어, 티탄산 바륨 (BaTiO₃), 티탄산 스트론튬 (SrTiO₃), 산화 탄탈 (TaO₃, Ta₂O₅), 티탄산 지르콘산 납 (PZT), 티탄산 지르콘산 란탄납 (PLZT), 티탄산 지르콘산 니오브납 (PNZT), 티탄산 지르콘산 칼슘납 (PCZT), 및 티탄산 지르콘산 스트론튬납 (PSZT) 으로 이루어진 그룹으로부터 선택된 하나의 유형 또는 2 개 이상의 유형의 금속 산화물을 포함한 원료를 소성함으로써 제조되는 것이 바람직하다.

[0009] 본 발명의 다층 프린트 배선판에서, 제 1 층 전극은, 고 유전율 층의 하면측에, 제 2 층 전극에 접속된 로드 단자 (rod terminal) 가 비 접촉 방식으로 통과하는 통과 홀을 갖는 고체 패턴을 가질 수도 있고, 제 2 층 전극은, 고 유전율 층의 상면측에서, 제 1 층 전극에 접속된 로드 단자가 비 접촉 방식으로 통과하는 통과 홀을 갖는 고체 패턴을 가질 수도 있다. 이런 배열에 있어서는, 층상 콘덴서부의 제 1 층 전극 및 제 2 층 전극의 면적이 커질 수 있기 때문에, 층상 콘덴서부의 정전용량을 크게 할 수 있다. 또한, 짧은 배선 길이를 통해 층상 콘덴서부가 외부 전원 공급원으로부터의 전하로 충전될 수 있고, 층상 콘덴서부로부터 짧은 배선 길이를 통해 전원이 반도체 소자에 공급될 수 있기 때문에, 수 GHz 내지 수십 GHz (예를 들어, 3GHz 내지 20 GHz) 의 짧은 온/오프 간격의 반도체 소자에서도 충분한 디커플링 효과가 제공될 수 있고 불충분한 전원 공급이 발생하지 않을 것이다. 각각의 고체 패턴은, 고 유전율 층의 상면 또는 하면의 일부에 또는 전체에 걸쳐 제공될 수도 있다.

[0010] 본 발명의 프린트 배선판에서, 실장부는 반도체 소자의 전극에 접속된 복수의 패드를 가질 수도 있고, 제 1 층 전극과 동일한 전위의 패드에 전기적으로 접속되고 비 접촉 방식으로 제 2 층 전극을 통과하고 있는 로드 단자의 수가 제 1 층 전극과 동일한 전위의 패드의 수보다 적어질 수도 있다. 로드 단자가 제 1 층 전극과 동일

한 전위의 패드에 접속되고 비 접촉 방식으로 제 2 층 전극을 통과하는 통과 홀의 수가 적어지게 된다. 따라서, 제 2 층 전극의 면적이 커질 수 있고 층상 콘덴서부의 정전용량이 커질 수 있다.

[0011] 본 발명의 프린트 배선판에서, 실장부는 반도체 소자의 전극에 접속된 복수의 패드를 가질 수도 있고, 제 2 층 전극과 동일한 전위의 패드에 전기적으로 접속되어 비 접촉 방식으로 제 1 층 전극을 통과하고 있는 로드 단자의 수가, 제 2 층 전극과 동일한 전위의 패드의 수보다 적어질 수도 있다. 로드 단자가 제 2 층 전극과 동일한 전위의 패드에 접속되고 비 접촉 방식으로 제 1 층 전극을 통과하고 있는 통과 홀의 수가 적어지게 된다. 따라서, 제 1 층 전극의 면적이 커질 수 있고 층상 콘덴서부의 정전용량이 커질 수 있다. 여기서, 제 2 층 전극과 동일한 전위의 패드에 접속되는 로드 단자는 비 접촉 방식으로, 제 1 층 전극을 통과할 수 있을 뿐만 아니라 제 2 층 전극을 통과할 수도 있다.

[0012] 상술된 2 개의 유형의 로드 단자 (즉, 제 1 층 전극과 동일한 전위의 패드에 접속되고, 비 접촉 방식으로 제 2 층 전극을 통과하는 로드 단자, 및 제 2 층 전극과 동일한 전위의 패드에 접속되고, 비 접촉 방식으로 제 1 층 전극을 통과하는 로드 단자)의 일부는, 격자형 또는 지그재그 방식으로 적어도 부분적으로 교번하여 정렬될 수도 있다. 이런 배열에 있어서는, 루프 인덕턴스가 낮아지게 되고 전원 전위의 순시 저하가 보다 쉽게 방지될 수 있다.

[0013] 본 발명의 다층 프린트 배선판의 하나의 변형 구조에 있어서, 실장부는, 반도체 소자의 전원 전극과 그라운드 전극 둘 중 어느 하나의 전극에 접속되는 제 1 패드, 및 나머지 전극에 접속되는 제 2 패드를 가질 수도 있다. 이 구조에 있어서, 제 1 패드의 일부는 비 접촉 방식으로, 제 2 층 전극을 통과하는 제 1 로드 단자를 가지며, 제 1 로드 단자를 통해, 외부 전원의 전극들 중 하나의 전극 및 제 1 층 전극에 전기적으로 접속되는 반면, 제 1 패드의 나머지는 그 자체에 제 1 로드 단자를 갖지 않고 제 1 로드 단자를 갖는 제 1 패드에 전기적으로 접속된다. 제 2 패드의 일부는 비 접촉 방식으로, 제 1 층 전극을 통과하는 제 2 로드 단자를 가지며, 제 2 로드 단자를 통해, 외부 전원의 다른 전극들 및 제 2 층 전극에 전기적으로 접속되는 반면, 제 2 패드의 나머지는 그 자체에 제 2 로드 단자를 갖지 않고 제 2 로드 단자를 갖는 제 2 패드에 전기적으로 접속된다. 이러한 배열에 있어서는, 제 1 로드 단자와 제 2 로드 단자의 수가 제한될 수 있고, 이들 로드 단자들이 제 1 층 전극과 제 2 층 전극을 통과하는 통과홀의 수가 적어지게 된다. 따라서, 제 1 층 전극 및 제 2 층 전극의 면적이 커질 수 있고 층상 콘덴서부의 정전용량이 커질 수 있다. 예를 들어, 실질적으로 고체 패턴으로서 제 1 층 전극 및 제 2 층 전극을 배열하는 것이 가능하다. 또한, 이러한 배열에 의해, 층상 콘덴서부가 짧은 배선 길이를 통해 외부 전원 공급원으로부터의 전하로 충전될 수 있고 짧은 배선 길이를 통해 층상 콘덴서부로부터 반도체 소자로 전원이 공급될 수 있다. 따라서, 수 GHz 내지 수십 GHz (예를 들어, 3 GHz 내지 20 GHz)의 짧은 온/오프 간격의 반도체 소자에서도 충분한 디커플링 효과가 제공될 수 있고 불충분한 전원이 발생하지 않을 것이다.

[0014] 본 발명의 다층 프린트 배선판의 또 다른 변형 구조에 있어서, 실장부는, 반도체 소자의 전원 전극과 그라운드 전극 중 어느 하나에 접속되는 제 1 패드, 및 나머지 전극에 접속되는 제 2 패드를 가질 수도 있다. 이 구조에 있어서, 제 1 패드의 일부는 비 접촉 방식으로, 제 2 층 전극을 통과하는 제 1 로드 단자를 가지며, 제 1 로드 단자를 통해, 외부 전원의 전극들 중 하나의 전극 및 제 1 층 전극에 전기적으로 접속되는 반면, 제 1 패드의 나머지는, 그 자체에 제 1 로드 단자를 갖지 않고 제 1 로드 단자를 갖는 제 1 패드에 전기적으로 접속된다. 제 2 패드의 일부는 비 접촉 방식으로, 제 1 층 전극과 제 2 층 전극 모두를 통과하는 제 2 로드 단자를 가지며, 제 2 로드 단자를 통해, 외부 전원의 다른 전극들에 접속되고, 제 2 패드의 나머지는 그 자체에 제 2 로드 단자를 갖지 않고 제 2 로드 단자를 갖는 제 2 패드 및 제 2 층 전극 중 적어도 어느 하나에 전기적으로 접속된다. 이러한 배열에 의해, 제 1 로드 단자와 제 2 로드 단자의 수가 제한될 수 있고, 이들 로드 단자가 제 1 층 전극과 제 2 층 전극을 통과하는 통과 홀의 수가 적어지게 된다. 따라서, 제 1 층 전극 및 제 2 층 전극의 면적이 커질 수 있고, 층상 콘덴서부의 정전용량이 커질 수 있다. 예를 들어, 실질적으로 고체 패턴으로서 제 1 층 전극 및 제 2 층 전극을 배열하는 것이 가능하다. 또한, 이러한 배열에 의해, 층상 콘덴서부가 짧은 배선 길이를 통해 외부 전원 공급원으로부터의 전하로 충전될 수 있고, 짧은 배선 길이를 통해 층상 콘덴서부로부터 반도체 소자로 전원이 공급될 수 있다. 따라서, 수 GHz 내지 수십 GHz (예를 들어, 3GHz 내지 20 GHz)의 짧은 온/오프 간격의 반도체 소자에서도 충분한 디커플링 효과가 제공될 수 있고 불충분한 전원이 발생하지 않을 것이다.

[0015] 제 1 로드 단자와 제 2 로드 단자가 제공되는 상기 구조를 갖는 다층 프린트 배선판에 있어서, 제 1 로드 단자와 제 2 로드 단자의 적어도 일부가, 격자형 또는 지그재그 방식으로 교번하여 정렬될 수도 있다. 이러한

배열에 의해, 루프 인덕턴스가 낮아지게 되고, 전원 전위의 순시 저하가 보다 쉽게 방지될 수 있다.

- [0016] 본 발명의 다층 프린트 배선판에 있어서, 실질적으로 층상 콘덴서부에 단락이 발생하지 않도록, 제 1 층 전극 및 제 2 층 전극 사이의 거리가 10 μ m 이하로 세팅될 수도 있다. 이러한 배열에 의해, 층상 콘덴서부의 전극들 사이의 거리가 충분히 작고, 이러한 층상 콘덴서부의 정전용량이 커질 수 있다.
- [0017] 본 발명의 다층 프린트 배선판에 있어서, 콘덴서부는 실장부에 실장된 반도체 소자 아래에 형성되는 것이 바람직하다. 이러한 배열에 의해, 최소 배선 길이를 통해 반도체 소자에 전원이 공급될 수 있다.
- [0018] 다층 프린트 배선판은, 실장부가 배치되고 제 1 층 전극 및 제 2 층 전극에 접속되는 최상면층에 설치된 칩 콘덴서를 가질 수도 있다. 층상 콘덴서부만으로는 정전용량이 불충분한 경우에, 칩 콘덴서에 의해 불충분한 정전용량이 보충될 수 있다. 칩 콘덴서와 반도체 소자 사이의 배선이 길수록 디커플링 효과가 저하되지만, 실장부가 배치되는 최상면층에 칩 콘덴서가 설치되기 때문에, 이러한 배열에 있어서, 반도체 소자로의 배선이 짧아질 수 있고, 디커플링 효과의 저하가 억제될 수 있다. 또한, 칩 콘덴서와 반도체 소자가 층상 콘덴서부를 통해 접속되기 때문에, 이러한 배열에 있어서, 칩 콘덴서로부터 반도체 소자로의 전원 손실이 적어지게 된다.
- [0019] 본 발명의 다층 프린트 배선판은, 탄성 재료로 형성되고 실장부와 층상 콘덴서부 사이에 배치된 응력 완화부를 가질 수도 있다. 이 구조에서는, 실장부에 실장된 반도체 소자와, 층상 콘덴서부 또는 빌드-업 부 사이의 열 팽창 차이로 인해 응력이 발생하는 경우라도, 응력 완화부가 그 응력을 흡수한다. 따라서, 접속의 신뢰성, 절연의 신뢰성 등이 쉽게 저하되지 않는다. 또한, 층상 콘덴서부의 고 유전율 층이 얇고 무르기 때문에, 쉽게 균열 (crack) 이 발생할 수 있지만, 응력 완화부의 존재로 균열의 형성이 방지될 수 있다. 여기서, 응력 완화부는, 상술된 실장부에 실장된 반도체 소자 아래에만 형성될 수도 있다. 열 팽창 차이로 인한 응력이 주로, 반도체 소자 아래에서 문제가 되기 때문에, 반도체 소자 아래에 응력 완화부를 형성함으로써 재료 비용이 낮게 유지될 수 있다. 특별하게 제한하는 것은 아니지만, 이러한 응력 완화부의 재료는, 변성 에폭시계 수지 시트, 폴리페닐렌 에테르계 수지 시트, 폴리이미드계 수지 시트, 시아노에스테르계 수지 시트, 이미드계 수지 시트, 및 다른 유기계 수지 시트일 수도 있다. 이러한 유기계 수지 시트는, 폴리올레핀계 수지 또는 폴리이미드계 수지와 같은 열가소성 수지, SBR, NBR, 우레탄 등과 같은 고무계 수지 또는 실리콘 수지와 같은 열경화성 수지를 포함할 수도 있고, 실리카, 알루미늄, 지르코니아 등의, 섬유형, 필러형, 또는 평탄한 무기계 재료를 포함할 수도 있다. 바람직하게, 응력 완화부는 10 내지 1000MPa 의 범위의 영률 (Young's modulus) 을 갖는다. 실장부에 실장된 반도체 소자와 층상 콘덴서부 사이의 열 팽창 계수 차이로 인해 응력이 발생할 경우, 이 범위내의 응력 완화부가 그 응력을 충분히 완화시킬 수 있다.

발명의 효과

- [0020] 수 GHz 내지 수십 GHz (예를 들어, 3 GHz 내지 20 GHz) 의 짧은 온/오프 간격의 반도체 소자에서도 충분한 디커플링 효과가 제공될 수 있고 불충분한 전원이 발생하지 않을 것이다.

도면의 간단한 설명

- [0021] 도 1 은 일 실시예 1 의 다층 프린트 배선판 (10) 의 평면도이다.
- 도 2 는 다층 프린트 배선판 (10) 의 종단면도 (중심 라인의 좌측만을 도시함) 이다.
- 도 3 은 층상 콘덴서부 (40) 의 개략적인 투시도이다.
- 도 4 는 다층 프린트 배선판 (10) 을 제조하기 위한 프로세스의 설명도이다.
- 도 5 는 다층 프린트 배선판 (10) 을 제조하기 위한 프로세스의 설명도이다.
- 도 6 은 다층 프린트 배선판 (10) 을 제조하기 위한 프로세스의 설명도이다.
- 도 7 은 다층 프린트 배선판 (10) 을 제조하기 위한 프로세스의 설명도이다.
- 도 8 은 일 실시예 2 의 다층 프린트 배선판 (110) 의 종단면도이다.
- 도 9 는 다층 프린트 배선판 (110) 을 제조하기 위한 프로세스의 설명도이다.
- 도 10 은 다층 프린트 배선판 (110) 을 제조하기 위한 프로세스의 설명도이다.

- 도 11 은 다층 프린트 배선판 (110) 을 제조하기 위한 프로세스의 설명도이다.
- 도 12 는 코너부를 갖는 고 유전율 시트 (520) 의 설명도이다.
- 도 13 은 일 실시예 3 의 다층 프린트 배선판 (210) 의 종단면도이다.
- 도 14 는 층상 콘덴서부 (240) 의 개략적인 투시도이다.
- 도 15 는 다층 프린트 배선판 (210) 을 제조하기 위한 프로세스의 설명도이다.
- 도 16 은 다층 프린트 배선판 (210) 을 제조하기 위한 프로세스의 설명도이다.
- 도 17 은 다층 프린트 배선판 (210) 을 제조하기 위한 프로세스의 설명도이다.
- 도 18 은 또 다른 다층 프린트 배선판 (210) 의 제조 프로세스의 설명도이다.

발명을 실시하기 위한 구체적인 내용

[0022] [실시예 1]

[0023] 다음으로, 도면을 참조하여 본 발명의 실시형태를 설명한다. 도 1 은 본 발명의 일 실시예인 다층 프린트 배선판 (10) 의 평면도이고, 도 2 는 다층 프린트 배선판 (10) 의 종단면도 (중심 라인의 좌측만을 도시함) 이며, 도 3 은 층상 콘덴서부 (40) 의 개략적인 투시도이다. 도 2 에 도시된 바와 같이, 본 실시예의 다층 프린트 배선판 (10) 은 코어 기판 (20), 그 코어 기판 (20) 상의 빌드-업 부 (30), 및 층상 콘덴서부 (40) 를 포함한다. 코어 기판 (20) 에 있어서, 표리면에 형성된 배선 패턴 (22) 은, 스루홀 도체 (through hole conductor; 24) 를 통해 서로 전기적으로 접속된다. 빌드-업 부 (30) 에 있어서, 수지 절연 층 (36) 을 사이에 끼고, 코어 기판 (20) 의 상면에 복수의 층으로 라미네이팅되는 배선 패턴 (32, 22) 은, 비아홀 (via hole; 34) 에 의하여 서로 전기적으로 접속된다. 층상 콘덴서부 (40) 는, 고 유전율 층 (43) 및, 그 고 유전율 층 (43) 을 샌드위치하는 제 1 층 전극 및 제 2 층 전극 (41 과 42) 을 포함한다. 다층 프린트 배선판 (10) 은 탄성 재료로 형성된 응력 완화부 (50), 반도체 소자가 실장되는 실장부 (60), 및 실장부 (60) 의 주변에 배치되는 칩 콘덴서 배치 영역 (chip capacitor positioning region; 70) 을 더 포함한다.

[0024] 코어 기판 (20) 은 BT (비스말레이미드 트리아진) 수지 또는 글라스 에폭시 기판 등으로 형성된 코어 기판 본체 (21) 의 표리 양면에 구리로 형성된 배선 패턴 (22), 및 코어 기판 본체 (21) 의 최상부로부터 배면으로 통과하는 스루홀의 내주면에 구리로 형성된 스루홀 도체 (24) 를 갖는다. 각각의 표면에서의 배선 패턴 (22) 은 스루홀 도체 (24) 를 통해 전기적으로 접속된다.

[0025] 빌드-업 부 (30) 는 코어 기판 (20) 의 표리면에 수지 절연 층 (36) 과 배선 패턴 (32) 을 교번하여 적층함으로써 형성되고, 각각의 배선 패턴 (32) 은 절연 수지 층 (36) 의 최상부로부터 배면으로 통과하는 비아홀 (34) 을 통해 전기적으로 접속된다. 이러한 빌드-업 부 (30) 는 임의의 공지된 서브트랙티브 방법 (subtractive method) 및 애더티브 (additive) 방법 (세미-애더티브 방법 및 풀 애더티브 방법을 포함함) 의 어떤 하나의 방법으로 형성되고, 예를 들어, 다음과 같이 형성된다. 우선, 수지 절연 층 (36) 이 될 수지 시트가 코어 기판 (20) 의 표리면에 각각 접촉된다. 여기서, 각각의 수지 절연 층 (36) 의 실온에서의 영율은 2 내지 7 GPa 이다. 각각의 수지 시트는, 변성 에폭시계 시트, 폴리페닐렌 에테르계 수지 시트, 폴리이미드계 수지 시트, 또는 시아노에스테르계 수지 시트 등으로 형성되고, 이것의 두께는 대략 20 내지 80 μm 이다. 이 수지 시트는, 실리카, 알루미늄, 지르코니아, 또는 그 안에 분산되는 다른 무기 성분을 가질 수도 있다. 그 후, 각각의 접촉된 수지 시트는, 이산화 탄소 가스 레이저, UV 레이저, YAG 레이저, 엑시머 레이저 (excimer laser) 등에 의하여 내부에 스루홀을 형성함으로써 수지 절연 층 (36) 으로 되고, 수지 절연 층 (36) 의 표면 및 스루홀의 내부는 무전해 구리 도금을 시행하여 도체층으로 된다. 그 후, 도금 레지스트가 도체층에 형성되고, 도금 레지스트가 형성되지 않은 부분에 전해 구리 도금을 시행한 이후, 에칭 용액에 의해 레지스트 아래의 무전해 구리 도금을 제거하여 배선 패턴 (32) 을 형성한다. 스루홀의 내부에서의 도체층이 비아홀 (34) 이 된다. 그 후, 이 절차가 반복되어, 빌드-업 부 (30) 를 형성한다.

[0026] 층상 콘덴서부 (40) 는 고온으로 세라믹 계 고 유전율 재료를 소성함으로써 형성된 고 유전율 층 (43), 및 고 유전율 층 (43) 을 샌드위치하는 제 1 층 전극 (41) 과 제 2 층 전극 (42) 을 포함한다. 이들 층상 콘덴서부 (40) 중에서, 제 1 층 전극 (41) 은 실장부 (60) 의 그라운드 패드 (61) 에 전기적으로 접속되는 구리 전극이고, 제 2 층 전극 (42) 은 실장부 (60) 의 전원 패드 (62) 에 전기적으로 접속되는 구리 전극이다. 따라서, 제 1 층 전극 및 제 2 층 전극 (41 및 42) 은 실장부에 실장된 반도체 소자의 그라운드 라인과 전원 라인에

각각 접속된다. 제 1 층 전극 (41) 은, 고 유전율 층 (43) 의 하면에 형성된 고체 패턴이고, 전원 패드 (62) 에 접속된 비아홀 (62b) 이 비 접촉 방식으로 통과하는 통과 홀 (41a) 을 갖는다. 각각의 전원 패드 (62) 가 비아홀 (62a) 을 통해 제 2 층 전극 (42) 에 접속되지만, 비아홀 (62b) 은 비아홀 (62a) 의 일부에 대응하여 배치된다. 이것은, 각각의 비아홀 (62a) 이 제 2 층 전극 (42) 에 접속되고, 따라서 제 2 층 전극 (42) 으로부터 아래로 연장하는 적어도 하나의 비아홀 (62b) 이 존재하면, 그라운드 라인으로의 접속이 그 비아홀 (62b) 을 통해 달성될 수 있기 때문이다. 제 2 층 전극 (42) 은 고 유전율 층 (43) 의 상면에 형성된 고체 패턴이고, 그라운드 패드 (61) 에 접속되는 비아홀 (61a) 이 비 접촉 방식으로 통과하는 통과 홀 (42a) 을 갖는다. 제 1 층 전극 및 제 2 층 전극 (41 및 42) 사이의 거리는, 실질적으로 단락이 발생하지 않는, 10 μm 이하의 거리로 세팅된다. 고 유전율 층 (43) 은, BaTiO₃, SrTiO₃, TaO₃, Ta₂O₅, PZT, PLZT, PNZT, PCZT, 및 PSZT 로 이루어진 그룹으로부터 선택된 하나의 유형 또는 2 개 이상의 유형의 금속 산화물을 포함하는 고 유전율 재료를 0.1 내지 10 μm 의 박막으로 만든 이후, 고 유전율 재료를 소성하여 세라믹으로 되게 함으로써 형성된다. 층상 콘덴서부 (40) 를 제조하기 위한 프로세스에 대해 상세히 후술된다.

[0027] 다음으로, 상술된 것과 부분적으로 오버랩되지만, 층상 콘덴서부 (40) 를 더 상세히 기술한다. 층상 콘덴서부 (40) 에 있어서, 제 1 층 전극 (41) 은, 비아홀 (61a) 을 통해 실장부 (60) 의 그라운드 패드 (61) 에 전기적으로 접속되고, 제 2 층 전극 (42) 은 비아홀 (62a) 을 통해 실장부 (60) 의 전원 패드 (62) 에 전기적으로 접속된다. 따라서, 제 1 층 전극 및 제 2 층 전극 (41 및 42) 은, 실장부 (60) 에 실장된 반도체 소자의 그라운드 라인과 전원 라인에 각각 접속된다. 제 1 층 전극 (41) 은, 고 유전율 층 (43) 의 하면에 형성된 고체 패턴이고, 제 2 층 전극 (42) 에 접속된 비아홀 (62b) 이 비 접촉 방식으로 통과하는 통과 홀 (41a) 을 갖는다. 비아홀 (62b) 이 모든 전원 패드 (62) 에 대응하여 제공될 수도 있지만, 여기서, 비아홀 (62b) 은 전원 패드 (62) 의 일부에 대응하여 제공된다. 이것은, 제 2 층 전극 (42) 이 각각의 비아홀 (62a) 을 통해 각각의 전원 패드 (62) 에 접속되고, 따라서, 제 2 층 전극 (42) 으로부터 아래로 연장하는 적어도 하나의 비아홀 (62b) 이 존재하면, 모든 전원 패드 (62) 가 그 비아홀 (62b) 을 통해 외부 전원 라인에 접속될 수 있기 때문이다. 따라서, 전원 패드 (62) 의 일부에 대응하여 비아홀 (62b) 을 제공함으로써, 제 1 층 전극 (41) 에 제공될 통과 홀 (41a) 의 수는 적어질 수 있고 제 1 층 전극 (41) 의 면적이 커질 수 있기 때문에, 층상 콘덴서부 (40) 의 정전용량이 커질 수 있다. 통과 홀 (41a) 이 형성될 위치는, 층상 콘덴서부 (40) 의 정전용량, 비아홀 (62a) 의 배치 등에 따라 결정된다. 제 2 층 전극 (42) 은 고 유전율 층 (43) 의 상면에 형성된 고체 패턴이고, 그라운드 패드 (61) 에 접속된 비아홀 (61a) 이 비 접촉 방식으로 통과하는 통과 홀 (42a) 을 갖는다. 통과 홀 (42a) 이 모든 그라운드 패드 (61) 에 대응하여 제공될 수도 있지만, 여기서, 복수의 그라운드 패드 (61) 는 제 2 층 전극 (42) 의 상부 측에 함께 접속되고, 비아홀 (61a) 은 이들 그라운드 패드 (61) 의 일부에만 형성되어, 비 접촉 방식으로 제 2 층 전극 (42) 의 통과 홀 (42a) 을 통과하게 한다. 따라서, 그라운드 패드 (61) 의 일부에 대응하여 비아홀 (61a) 을 제공함으로써, 제 2 층 전극 (42) 에 제공될 통과 홀 (42a) 의 수는 적어질 수 있고, 제 2 층 전극 (42) 의 면적이 커질 수 있기 때문에, 층상 콘덴서부 (40) 의 정전용량이 커질 수 있다. 통과 홀 (42a) 이 형성될 위치는, 층상 콘덴서부 (40) 의 정전용량, 비아홀 (62a) 의 배치 등에 따라 결정된다.

[0028] 응력 완화부 (50) 는 탄성 재료로 형성된다. 탄성 재료는 특별하게 제한하려는 것은 아니지만, 변성 에폭시계 수지 시트, 폴리페닐렌 에테르계 수지 시트, 폴리이미드계 수지 시트, 시아노에스테르계 수지 시트, 이미드계 수지 시트, 및 예로서 설명될 수 있는 다른 유기계 수지 시트일 수도 있다. 이러한 유기계 수지 시트는, 폴리올레핀계 수지 또는 폴리이미드계 수지와 같은 열가소성 수지, 또는 SBR, NBR, 우레탄 등과 같은 고무계 수지 또는 실리콘 수지와 같은 열경화성 수지를 포함할 수도 있고, 실리카, 알루미늄, 지르코니아 등의 섬유형, 필러형 또는 평탄형 무기계 재료를 포함할 수도 있다. 바람직하게, 응력 완화부 (50) 는 10 내지 1000MPa 의 낮은 영률을 갖는다. 실장부 (50) 에 실장된 반도체 소자와 층상 콘덴서부 사이의 열 팽창 계수 차이로 인해 응력이 발생할 경우, 이 범위내의 응력 완화부 (50) 의 영률이 그 응력을 충분히 완화시킬 수 있다.

[0029] 실장부 (60) 는, 반도체 소자가 실장되고 다층 프린트 배선판 (10) 의 최상면에 형성되는 영역이다. 이 실장부 (60) 에 대해서는, 그라운드 패드 (61), 전원 패드 (62), 및 신호 패드 (63) 가, 격자형 또는 지그재그 방식으로 정렬된다 (도 1 참조). 그라운드 패드 (61) 와 전원 패드 (62) 는 센터 근처에, 격자형 또는 지그재그 방식으로 정렬될 수도 있고, 신호 패드 (63) 는 주변에, 격자형 방식, 지그재그 방식, 또는 랜덤하게 정렬될 수도 있다. 그라운드 패드 (61) 와 전원 패드 (62) 는 교번하여 정렬되는 것이 바람직하다. 실장부 (60) 의 단자 수는 1000 내지 300000 이다. 실장부 (60) 의 주변에, 복수의 칩 콘덴서 배치 영역 (70; 도 1 참조) 을 형성한다. 칩 콘덴서 (73) 의 그라운드 단자 및 전원 단자 각각과 접속되도록, 칩 콘덴서 배치

영역 (70) 에, 그라운드 패드 (71) 와 전원 패드 (72) 의 복수의 쌍을 형성한다. 각각의 그라운드 패드 (71) 는, 층상 콘덴서부 (40) 의 제 1 층 전극 (41) 을 통해, 외부 전원의 음극에 접속되고, 각각의 전원 패드 (72) 는 제 2 층 전극 (42) 을 통해, 외부 전원의 양극에 접속된다.

[0030] 다음으로, 상술된 다층 프린트 배선판 (10) 의 이용 실시예에 대해 설명한다. 우선, 칩 콘덴서 (73) 의 전원 단자와 그라운드 단자는 칩 콘덴서 배치 영역 (70) 의 그라운드 패드 (71) 와 전원 패드 (72) 각각에 솔더링함으로써 접합된다. 그 후, 배면에 복수의 솔더 범프 (solder bump) 를 정렬시킨 반도체 소자가 실장부 (60) 에 세팅된다. 이 프로세스에서, 반도체 소자의 그라운드 단자, 전원 단자, 및 신호 단자는, 각각, 실장부 (60) 의 그라운드 패드 (61), 전원 패드 (62), 및 신호 패드 (63) 와 접촉하여 놓이게 된다. 그 후, 리플로우 방법 (reflow method) 에 의해 솔더링함으로써, 각각의 단자가 접합된다. 그 후, 마더 보드의 또 다른 프린트 배선판에 솔더링함으로써 다층 프린트 배선판 (10) 이 접합된다. 이 프로세스에서, 솔더 범프는 다층 프린트 배선판 (10) 의 배면에 형성된 패드에 미리 형성된 후, 또 다른 프린트 배선판의 대응하는 패드를 접촉시킨 상태에서 리플로우에 의해 접합된다.

[0031] 다음으로, 본 실시예의 다층 프린트 배선판 (10) 을 제조하기 위한 절차를 기술한다. 코어 기판 (20) 과 빌드-업 부 (30) 를 제조하기 위한 절차가 널리 공지되어 있기 때문에, 여기서는, 층상 콘덴서부 (40) 와 응력 완화부 (50) 를 제조하기 위한 절차에 대해 주로 설명한다. 도 4 내지 도 7 은, 이들 절차의 설명도이다.

[0032] 우선, 도 4a 에 도시된 바와 같이, 적어도 하나의 표면에 빌드-업 부 (30) 가 형성된 코어 기판 (20) 이 제조되었다. 진공 라미네이터를 이용하여, 빌드-업 부 (30) 에, 층간 절연 층 (410) 이, 50 내지 150 °C 의 온도 및 0.5 내지 1.5 MPa 의 압력의 라미네이션 조건에 따라 접착되었다. 그 후, 진공 라미네이터를 이용하여, 미리 제조한 고 유전율 시트 (420) 가, 50 내지 150 °C 의 온도 및 0.5 내지 1.5 MPa 의 압력의 라미네이션 조건에 따라 층간 절연 층 (410) 에 접착된 후, 150 °C 에서 3 시간 동안 경화되었다 (도 4b 참조). 여기서, 고 유전율 시트 (420) 는 다음과 같이 제조된다. 즉, BaTiO₃, SrTiO₃, TaO₃, Ta₂O₅, PZT, PLZT, PNZT, PCZT, 및 PSZT 로 이루어진 그룹으로부터 선택되는 하나의 유형 또는 2 개 이상의 유형의 금속 산화물을 포함한 고 유전율 재료는, 롤 코터, 닥터 블레이드 또는 다른 프린팅 장치를 이용하여 12 μm 두께의 구리 박 (422; copper foil; 후에 제 1 층 전극 (41) 이 됨) 에 0.1 내지 10 μm 두께의 박막 형태로 프린팅되어, 그로 인해, 미 소성층으로 된다. 프린팅 이후에, 이러한 미 소성층은, 진공중 또는 600 내지 950 °C 의 온도 범위에서, N₂ 가스 등의 비-산화 분위기에 따라 소성되고, 고 유전율 층 (424) 으로 된다. 그 후에, 스퍼터기 또는 다른 진공 증착 장치를 이용하여, 고 유전율 층 (424) 에 구리, 백금, 금등의 금속 층이 형성되고, 전해 도금 등에 의해 구리, 니켈, 주석 또는, 다른 금속의 대략 10 μm 을 이 금속 층에 부가함으로써, 상부 금속 층 (426; 후에, 제 2 층 전극 (42) 의 일부를 형성함) 을 형성한다. 따라서, 고 유전율 시트 (420) 가 획득될 수 있다.

[0033] 그 후, 시판되는 드라이 필름 (430) 이, 그 위에 라미네이팅된 고 유전율 시트 (420) 를 갖는 기판에 접착되고 (도 4c 참조), 그 후, 고 유전율 시트 (420) 의 패턴 형성은, 다층 프린트 배선판의 패턴 형성에 있어서 통상 행해지는, 노광 및 현상 (도 4d 참조), 에칭 (도 4e 참조), 및 필름 박리 (도 4f 참조) 를 행함으로써 수행되었다. 에칭 프로세스에 있어서, 염화 제 2 구리 에칭 용액이 이용되었다.

[0034] 그 후, 드라이 필름 (440) 은, 고 유전율 시트 (420) 의 패턴 형성이 수행되는 제조 도중에 기판에 다시 접착되고 (도 5a 참조), 그 후, 고 유전율 시트 (420) 상의, 금속 층 (426) 과 고 유전율 층 (424) 의 패턴 형성은, 노광과 현상 (도 5b 참조), 에칭 (도 5c 참조), 및 필름 박리 (도 5d 참조) 를 행함으로써 수행되었다. 에칭 프로세스에 염화 제 2 구리 에칭 용액이 이용되었지만, 금속 층 (426) 과 고 유전율 층 (424) 을 에칭한 이후에, 구리 박 (422) 만이 약간, 에칭되도록 짧은 시간, 프로세스가 행해졌다.

[0035] 그 후, 금속 층 (426) 과 고 유전율 층 (424) 의 패턴 형성이 수행되는 제조 도중에, 기판은 스퀴지 (squeegee) 를 이용하여 층간 충전 수지 (450) 로 충전되고 100 °C 에서 20 분 동안 드라이되었다. 여기서, 층간 충전 수지 (450) 는, 비스페놀 F 에폭시 모노머 (Yuka Shell Epoxy Co., Ltd 에 의해 만들어짐; 상품명: YL983U; 분자량: 310) 의 100 중량부, 실란 커플링제가 표면에 코팅된 1.6 μm 의 평균 입경, 15 μm 이하의 최대 입경의 SiO₂ 구상 입자 (Adtec Co., Ltd. 에 의해 만들어짐; 상품명: CRS1101-CE) 의 72 중량부, 및 콘테이너의 레벨링제 (SAN NOPCO LTD 에 의해 만들어짐; 상품명: Pellenol S4) 의 1.5 중량부를 두고 이것들을 교반하여 혼합함으로써 제조되었다. 여기서, 23±1°C 에서의 점도 (viscosity) 는 30 내지 60 Pa/s 가 되었다. 경화제로서, 이미다졸 경화제 (Shikoku Corp. 에 의해 만들어짐; 상품명: 2E4MZ-CN) 의 6.5 중량부가 이용되었다. 수지 (450) 를 충전한 다음 드라이한 이후에, 제조 도중의 기판의 최상면은, 상부 금속 층 (426) 의 표면이 노

출될 때까지 폴리싱되고 평탄화되었고, 그 수지 (450) 는 그 후, 100 °C 에서 1 시간 및 150 °C 에서 1 시간 동안 가열함으로써 경화되어, 고 유전율 층간 충전 층 (452) 으로 되었다 (도 5f 참조).

[0036] 그 후, 고 유전율 층간 충전 층 (452) 이 형성되는 제조 도중, 기관의 최상면의 소정의 위치에, 이산화 탄소 가스 레이저, UV 레이저, YAG 레이저, 또는 엑시머 레이저 등에 의하여, 빌드-업 부 (30) 의 배선 패턴 (32) 의 최상면에 도달하는 스루홀 (454) 을 형성하였다 (도 6a 참조). 또한, 그 제조 도중, 그 기관의 최상면에 무전해 도금 촉매를 부가한 이후, 무전해 구리 도금 수용액에 기관을 침지하여, 스루홀 (454) 의 내벽, 고 유전율 시트 (420) 의 표면, 및 고 유전율 층간 충전 층 (452) 에 0.6 내지 3.0 μm 두께의 무전해 구리 도금 필름 (456) 을 형성시켰다 (도 6b 참조). 이용된 무전해 도금 수용액의 조성은, 황산 구리: 0.03mol/L, EDTA: 0.200mol/L, HCHO: 0.1g/L, NaOH: 0.1mol/L, a, a'-비피리딘 : 100mg/L, 및 폴리에틸렌 글리콜 (PEG) : 0.1g/L 이었다.

[0037] 그 후, 시판되는 드라이 필름 (460) 이 무전해 구리 도금 필름 (456) 에 접촉되고 (도 6c 참조), 노광/현상 및 에칭에 의해 스루홀 (462) 이 형성되며 (도 6d 참조), 25μm 의 전해 구리 도금 필름 (464) 이 스루홀 (462) 의 표면에 형성되었다 (도 6e 참조). 이용된 전해 구리 도금 용액의 조성은, 황산: 200g/L, 황산구리: 80g/L 및 첨가제 (ATOTECH Japan Co., Ltd 에 의해 만들어진 큐프라이드 GL) : 19.5ml/L 이었다. 전해 구리 도금 은, 1A/dm² 의 전류 밀도, 115 분의 지속기간, 및 23±2°C 의 조건에 따라 행해졌다. 그 후, 드라이 필름 (460) 이 박리되고, 드라이 필름 (460) 이 남아 있는 부분, 즉, 전해 구리 도금 필름 (464) 의 부분들 사이에 존재하는 무전해 구리 도금 필름 (456) 의 부분, 및 고 유전율 시트 (420) 의 상부 금속 층 (426) 의 노출된 부분이 황산-1 과산화 수소계 에칭 용액에 의해 에칭되었다 (도 6f 참조). 이런 단계를 통하여, 빌드-업 부 (30) 에 층상 콘덴서부 (40) 를 형성하였다. 즉, 구리 박 (422) 은 제 1 층 전극 (41) 에 대응하고, 고 유전율 층 (424) 은 고 유전율 층 (43)에 대응하며, 상부 금속 층, 무전해 구리 도금 필름 (456) 및 전해 구리 도금 필름 (464) 은 제 2 층 전극 (42) 에 대응한다.

[0038] 또한, 전해 구리 도금 필름 (464) 이 형성되고 있는 제조 도중의 기관은, NaOH (10g/L), NaClO₂ (40g/L), 및 Na₃PO₄ (6g/L) 를 포함하는 수용액인 흑화액 (blackening bath; 산화 액) 에서의 흑화 처리, 및 NaOH (10 g/L) 및 NaBH₄ (6g/L) 을 포함하는 수용액인 환원액에서의 환원 처리를 시행하여, 전해 구리 도금 필름 (464; 도시되지 않음) 의 표면을 조면화 (rough) 시킨다. 그 이후에, 50 내지 150 °C 의 온도와 0.5 내지 1.5 MPa 의 압력의 라미네이션 조건에 따라, 진공 라미네이터에 의해 수지 절연 시트 (470) 가 층상 콘덴서부 (40) 에 접촉되고, 150 °C 에서의 경화가 3 시간 동안 행해지게 된다 (도 7a 참조). 이 수지 절연 시트 (470) 는, 변성 에폭시계 수지 시트, 폴리페닐렌 에테르계 수지 시트, 폴리이미드계 수지 시트, 시아노에스테르계 수지 시트, 또는 이미드계 수지 시트이고, 폴리에테르계 수지 또는 폴리이미드계 수지와 같은 열가소성 수지, SBR, NBR, 우레탄 등과 같은 고무계 수지 또는 실리콘 수지와 같은 열경화성 수지를 포함할 수도 있고, 실리카, 알루미늄, 지르코니아 등의 첨유형, 필러형, 평탄형 무기계 재료를 그 안에 분산시킬 수도 있다. 바람직하게, 이 수지 절연 시트 (470) 의 영률은 10 내지 1000MPa 이다. 이 범위내의 수지 절연 시트 (470) 의 영률은 반도체 소자와 기관 사이의 열 팽창 계수 차이로 인해 발생하는 응력을 충분히 완화시킬 수 있다.

[0039] 그 후, CO₂ 레이저를 이용하여, 65μm 의 스루홀 (472) 이 2.0mj 의 에너지 밀도와 1 샷의 조건에 따라 수지 절연 시트 (470) 에 형성되었다 (도 7b 참조). 그 후, 60g/L 의 과망간산을 포함하는 80 °C 의 용액에 10 동안 침지가 수행되어, 수지 절연 시트 (470) 의 표면을 조면화시킨다. 그 후, 조면화 되고 있는 제조 도중에, 그 기관을 중화 용액 (Shipley Company L.L.C 에 의해 만들어진, 상품명: Circuposit MLB Neutralizer) 에 침지하고 나서, 물로 세척한다. 또한, 팔라듐 금속을 침전시키기 위해, 그 기관을 염화 팔라듐 (PdCl₂) 및 염화 제 1 주석 (SnCl₂) 을 포함하는 촉매 용액에 침지시킴으로써, 수지 절연 시트 (470) 의 표면 (스루홀 (472) 의 내벽을 포함함) 에 팔라듐 촉매를 부가한다. 그 후, 그 기관을 무전해 구리 도금 수용액에 침지시키고, 34 °C 의 용액 온도로 40 분 동안 처리하여, 수지 절연 시트 (470) 의 표면 및 스루홀 (472; 도시되지 않음) 의 벽 표면에 0.6 내지 3.0 μm 두께의 무전해 구리 도금 필름을 형성시킨다. 이용된 무전해 도금 수용액의 조성은, 황산 구리: 0.03mol/L, EDTA : 0.200mol/L, HCHO: 0.1g/L, NaOH: 0.1mol/L, a, a'-비피리딘: 100mg/L, 및 폴리에틸렌 글리콜 (PEG): 0.1g/L 이었다. 그 후, 무전해 구리 도금 필름에 드라이 필름이 형성되었고, 25 μm 두께의 전해 구리 도금 필름이 다음의 조건에 따라 형성되었다 (도시되지 않음). 이용된 전해 구리 도금 용액의 조성은, 황산: 200g/L, 황산 구리 80g/L, 및 첨가제 (ATOTECH Japan Co., Ltd 에 의해 만들어진 큐프라이드 GL) : 19.5ml/L 이었다. 1A/dm₂ 의 전류 밀도, 115 분의 지속기간, 및 23±2 °C 의 온도의 조건에 따

라 전해 구리 도금이 행해졌다. 그 후, 드라이 필름 (460) 이 박리되었고, 도 1 및 도 2 에 도시된 바와 같은 다층 프린트 배선판 (10) 이 획득되었다 (도 7c). 수지 절연 시트 (470) 는 응력 완화부 (50) 에 대응한다. 스루홀 (472) 을 충전하는 구리 도금 필름 (474) 은 다양한 단자 (61, 62 및 63) 에 대응한다.

[0040] 그 후에, 시판되는 솔더 레지스트 조성을 코팅하여 드라이하고, 크롬층이 형성된 층을 솔더 레지스트 층과 밀착시켜 배치하기 위해, 솔더 레지스트 개구부의 원형 패턴 (마스크 패턴) 이 크롬층에 의해 드로잉되는 소다 라임 글라스 기판을 세팅하고, 자외선으로 노광 및 현상을 행한 뒤 가열하여 각각의 단자 (61, 62 및 63) 의 상면이 개방되는 솔더 레지스트 층 패턴을 형성하고, 무전해 니켈 도금 및 무전해 금 도금을 수행하여 니켈 도금 층과 금 도금 층을 형성하고, 솔더 페이스트를 프린팅한 후, 리플로우를 행함으로써 솔더 범프가 형성될 수도 있다. 솔더 레지스트 층은 형성될 수도 있고 형성되지 않을 수도 있다.

[0041] 상세히 상술된 다층 프린트 배선판 (10) 에 대해서는, 전원 라인과 그라운드 라인 사이에 접속된 층상 콘덴서부 (40) 의 고 유전율 층 (43) 이 세라믹으로 되기 때문에, 무기 필러가 배합된 유기 수지를 이용하는 종래의 경우와 비교하여, 유전율이 높게 될 수 있고, 층상 콘덴서부 (40) 의 정전 용량이 커질 수 있다. 따라서, 반도체 소자의 온/오프 주파수가 수 GHz 내지 수십 GHz (예를 들어, 3 GHz 내지 20 GHz) 의 범위내로 높게 되는 경우라도 충분한 디커플링 효과가 제공될 수 있고 순시 전위 저하가 발생되기 어렵다.

[0042] 통상, 빌드-업 부 (30) 는, 200 °C 이하의 온도 조건에 따라 제조되기 때문에, 빌드-업 부 (30) 를 형성하는 도중에, 고 유전율 재료를 소성시켜 그것을 세라믹으로 하기는 어렵다. 그러나, 상술된 실시예에서, 층상 콘덴서부 (40) 의 고 유전율 층 (43) 이 빌드-업 부 (30) 와 별도로, 고 유전율 재료를 소성함으로써 세라믹으로 제조되기 때문에, 유전율이 충분히 쉽게 높아지게 될 수 있다.

[0043] 층상 콘덴서부 (40) 를 구성하는 제 1 층 전극 (41) 은, 고 유전율 층 (43) 의 각각의 표면 중, 실장부 (60) 로부터 멀리 있는 제 1 표면, 즉, 고 유전율 층 (43) 의 하면에 형성되는 고체 패턴이다. 제 2 층 전극 (42) 은, 실장부 (60) 에 가깝고 제 1 층 전극 (41) 에 접속된 비아홀 (61a) 이 비 접촉 방식으로 통과하는 통과 홀 (42a) 을 갖는 제 2 표면, 즉, 고 유전율 층 (43) 의 상면에 형성되는 고체 패턴이다. 따라서, 각각의 층상 전극 (41 및 42) 의 면적은 충분히 커질 수 있고 층상 콘덴서부 (40) 의 정전용량이 커질 수 있다. 제 1 층 전극 (41) 에 접속된 비아 홀 (61a) 및 제 2 층 전극 (42) 에 접속된 비아홀 (62a) 은 교번하여, 격자 형태로 정렬되고, 루프 인덕턴스는 낮고 순시 전위 저하가 쉽게 방지될 수 있다. 비아홀 (61a) 및 비아홀 (62a) 은 교번하여 지그재그 방식으로 정렬될 수도 있고, 또한, 이 경우에서와 동일한 효과가 획득될 수 있다.

[0044] 또한, 층상 콘덴서부 (40) 에서, 제 1 전극 및 제 2 전극 (41 및 42) 사이의 거리는, 실제적으로 단락 (shorting) 이 발생하지 않는 10 μm 이하의 거리로 세팅된다. 층상 콘덴서부 (40) 의 전극들 사이의 거리는 충분히 작고 층상 콘덴서부 (40) 의 정전용량은 커질 수 있다.

[0045] 층상 콘덴서부 (40) 만으로는 정전용량이 불충분한 경우에, 그 불충분한 정전용량을 보충하기 위해 칩 콘덴서 (73) 가 제공될 수 있다. 즉, 칩 콘덴서 (73) 는 필요에 따라 설치될 수도 있다. 칩 콘덴서 (73) 와 반도체 소자 사이의 배선이 길어질수록 디커플링 효과가 저하된다. 그러나, 상술된 실시예에서, 실장부 (60) 가 배치되는 최상면측에 칩 콘덴서 (73) 가 설치된다. 반도체 소자로의 배선이 짧아 질 수 있고 디커플링 효과의 저하가 억제될 수 있다.

[0046] 또한, 실장부 (60) 에 실장된 반도체 소자와, 층상 콘덴서 (40) 또는 빌드-업 부 (30) 사이의 열 팽창 차이로 인해 응력이 발생하더라도, 응력 완화부 (50) 가 충분히 그 응력을 흡수한다. 응력 완화부 (50) 는 실장부 (60) 에 실장된 반도체 소자 아래에만 형성될 수도 있다. 열 팽창 차이로 인한 응력은 주로, 반도체 소자 아래에서 문제가 되기 때문에, 이 부분에 응력 완화부 (50) 를 형성함으로써 재료 비용을 저하시킬 수 있다.

[0047] 본 발명은, 결코 상술된 실시예로 제한되지 않으며, 본 발명의 기술적 범위내에서 다양한 형태로 명백히 실행될 수도 있다.

[0048] [실시예 2]

[0049] 도 8 은 실시예 2 의 다층 프린트 배선판 (110) 의 종단면 (중심 라인의 좌측만을 도시함) 이다. 도 8 에 도시된 바와 같이, 본 실시예의 다층 프린트 배선판 (110) 은 실시예 1 과 동일한 코어 기판 (20), 코어 기판 (20) 의 상면에 수지 절연층 (36) 을 사이에 두고 라미네이팅된 배선 패턴 (32 및 22) 이 비아홀 (34) 에 의해 전기적으로 접속되는 빌드-업 부 (30), 빌드-업 부 (30) 에 라미네이팅된 층간 절연 층 (120), 층간 절연 층 (120) 에 라미네이팅되고 고 유전율 층 (143) 및, 고 유전율 층 (143) 을 샌드위치하는 제 1 층 전극 및 제 2 층 전극 (141 및 142) 으로 배열되는 층상 콘덴서부 (140), 고 유전율 층 (143) 에 라미네이팅되고 탄성 재료로

형성된 응력 완화부 (150), 반도체 소자가 실장되는 실장부 (160), 및 실장부 (160) 주변에 제공된 칩 콘텐서 배치 영역 (170) 을 갖는다.

[0050] 본 실시예의 층상 콘텐서부 (140) 에 있어서, 제 1 층 전극 (141) 은, 비아홀 (161a) 을 통해, 실장부 (160) 의 그라운드 패드 (161) 에 전기적으로 접속되는 구리 전극이고, 제 2 층 전극 (142) 은, 비아홀 (162a) 을 통해 실장부 (160) 의 전원 패드 (162) 에 전기적으로 접속되는 구리 전극이다. 따라서, 제 1 층 전극 및 제 2 층 전극 (141 및 142) 은, 실장부 (160) 에 실장된 반도체 소자의 그라운드 라인과 전원 라인에 각각 접속된다.

[0051] 제 1 층 전극 (141) 은 고 유전율 층 (143) 의 하면에 형성되는 고체 패턴이고, 제 2 층 전극 (142) 에 접속된 비아홀 (162b) 이 비 접촉 방식으로 통과하는 통과 홀 (141a) 을 갖는다. 비아홀 (162b) 이 모든 전원 패드 (162) 에 대응하여 제공될 수도 있지만, 여기서, 비아홀 (162b) 은 전원 패드 (162) 의 일부에 대응하여 제공된다. 이것에 대한 이유는 다음과 같다. 즉, 모든 전원 패드 (162) 중, 일부 전원 패드 (162) 는 비아홀 (162a) 을 통해 제 2 층 전극 (142) 에 접속되고, 나머지 전원 패드 (162) 는 비아홀 (162a) 을 통해 제 2 층 전극 (142) 에 전기적으로 접속되는 다른 전원 패드 (162) 와 도시되지 않은 배선 (예를 들어, 실장부 (160) 에 제공된 배선) 에 의해, 전기적으로 접속되며, 그로 인해, 모든 전원 패드 (162) 가 제 2 층 전극에 접속되게 되기 때문에, 제 2 층 전극 (142) 으로부터 아래로 연장하는 적어도 하나의 비아홀 (162b) 이 존재하면, 모든 전원 패드 (162) 는 그 비아홀 (162b) 을 통해 외부 전원 라인에 접속될 수 있다. 전원 패드 (162) 의 일부에 대응하여 비아홀 (162b) 을 제공함으로써, 제 1 층 전극 (141) 에 제공될 통과 홀 (141a) 의 수가 적어질 수 있기 때문에, 제 1 층 전극 (141) 의 면적이 커질 수 있고, 층상 콘텐서부 (140) 의 정전용량이 커질 수 있다. 통과 홀 (141a) 의 수 및 통과 홀 (141a) 이 형성될 위치가, 층상 콘텐서부 (140) 의 정전용량, 비아홀 (162a) 의 배치 등에 따라 결정된다.

[0052] 제 2 층 전극 (142) 은, 고 유전율 층 (143) 의 상면에 형성된 고체 패턴이고, 그라운드 패드 (161) 에 접속된 비아홀 (161a) 이 비 접촉 방식으로 통과하는 통과 홀 (142a) 을 갖는다. 비아홀 (161a) 이 모든 그라운드 패드 (161) 에 대응하여 제공될 수도 있지만, 여기서, 이것들은 그라운드 패드 (161) 의 일부에 대응하여 제공된다. 이것에 대한 이유는 다음과 같다. 즉, 그라운드 패드 (161) 가 비 도시된 배선 (예를 들어, 실장부 (160) 에 제공된 배선) 에 의해 서로 전기적으로 접속되기 때문에, 그라운드 패드 (161) 로부터 아래로 연장하고 제 2 층 전극 (142) 의 접촉 없이 제 1 층 전극 (141) 에 접촉하는 적어도 하나의 비아홀 (161a) 이 존재하면, 모든 그라운드 패드 (161) 는 그 비아홀 (161a) 을 통해 외부 그라운드 라인에 접속될 수 있다. 그라운드 패드 (161) 의 일부에 대응하여 비아홀 (161a) 을 제공함으로써, 제 2 층 전극 (142) 에 제공될 통과 홀 (142a) 의 수가 적어질 수 있기 때문에, 제 2 층 전극 (142) 의 면적이 커질 수 있고, 층상 콘텐서부 (140) 의 정전용량이 커질 수 있다. 통과 홀 (142a) 의 수 및 통과 홀 (142a) 이 형성될 위치는, 층상 콘텐서부 (140) 의 정전용량, 비아홀 (161a) 의 배치 등에 따라 결정된다.

[0053] 따라서, 층상 콘텐서부 (140) 의 정전용량이 커질 수 있기 때문에, 충분한 디커플링 효과를 나타낼 수 있고, 실장부 (160) 에 실장된 반도체 소자 (IC) 의 트랜지스터가 전원 부족되기는 어렵다. 바로 아래에 비아홀을 갖지 않는 그라운드 패드 (161) 를, 바로 아래에 비아홀을 갖는 그라운드 패드 (161) 에 전기적으로 접속하는 배선, 및 바로 아래에 비아홀을 갖지 않는 전원 패드 (162) 를, 바로 아래에 비아홀을 갖는 전원 패드 (162) 에 전기적으로 접속하는 배선이 실장부 (60) 에 제공될 수도 있고, 코어 기관 (20) 의 최상면에 또는 빌드-업 부 (30) 에 제공될 수도 있다. 또한, 층상 콘텐서부 (140) 와 실장부 (160) 사이에 배치된 배선 층에 의해 접속될 수도 있다.

[0054] 응력 완화부 (150) 는 실시예 1 과 동일한 탄성 재료로 형성된다. 또한, 실장부 (160) 에 배치된 그라운드 패드 (161), 전원 패드 (162), 및 신호 패드 (163) 는 격자형 또는 지그재그 방식으로 정렬된다 (도 1 참조). 그라운드 패드 (161) 와 전원 패드 (162) 는 중심 근처에, 격자형 또는 지그재그 방식으로 정렬될 수도 있고, 신호 패드 (163) 는 그 주변에, 격자형 방식, 지그재그 방식, 또는 랜덤하게 정렬될 수도 있다. 실장부 (60) 의 단자 수는 1000 내지 300000 이다. 복수의 칩 콘텐서 배치 영역 (170) 은, 실장부 (160) 주변에 형성된다. 칩 콘텐서 (173) 의 그라운드 단자 및 전원 단자와 각각, 접속되도록, 그라운드 패드 (171) 와 전원 패드 (172) 의 복수의 쌍이 칩 콘텐서 배치 영역 (170) 에 형성된다.

[0055] 각각의 그라운드 패드 (171) 는, 층상 콘텐서부 (140) 의 제 1 층 전극 (141) 을 통해 외부 전원의 음극에 접속되고, 각각의 전원 패드 (172) 는, 제 2 층 전극 (142) 을 통해 외부 전원의 양극에 접속된다. 본 실시예에서, 그라운드 패드 (161) 와 전원 패드 (162) 는, 각각, 청구항 8 의 제 1 패드와 제 2 패드에 대응하며, 비아홀 (161a) 과 비아홀 (162b) 은 각각, 청구항 8 의 제 1 로드 단자와 제 2 로드 단자에 대응한다.

- [0056] 다음으로, 본 실시예의 다층 프린트 배선판 (110) 을 제조하는 절차를 도 9 내지 도 11 을 참조하여 기술한다.
- [0057] 우선, 도 9a 에 도시된 바와 같이, 코어 기관 (20) 의 적어도 하나의 표면에 빌드-업 부 (30) 를 형성시킨 기관 (500) 이 제조되었고, 진공 라미네이터를 이용하여, 층간 절연 층 (510; 도 8 의 층간 수지 층 (120) 이 됨; 열경화성 수지 필름; AJINOMOTO Co., Inc 에 의해 만들어진 ABF-45SH) 은, 50 내지 150 °C 의 온도 및 0.5 내지 1.5 MPa 의 압력의 라미네이션 조건에 따라, 빌드-업 부 (30) 에 접착되었다. 그 후, 미리, 제조되고 고 유전율 층 (524) 이 구리 박 (522) 과 구리 박 (526) 사이에 샌드위치되는 구조를 갖는 고 유전율 시트 (520) 가 진공 라미네이터를 이용하여, 50 내지 150 °C 의 온도 및 0.5 내지 1.5 MPa 의 압력의 라미네이션 조건에 따라, 층간 절연 층 (510) 에 접착된 이후에, 150 °C 에서 1 시간 동안 드라이잉이 수행되었다 (도 9b 참조). 라미네이션 단계에서, 고 유전율 시트 (520) 의 구리 박 (522 및 526) 모두는, 내부에 형성되는 회로를 갖지 않는 고체 층인 것이 바람직하다. 구리 박 (522 및 526) 의 부분들이 에칭 등에 의해 제거될 경우, (i) 표리면에서 금속 잔존물이 다른 부분과, 금속이 박리되는 부분이, 고 유전율 시트를 구부리거나 깎이게 하는 기점이 되고, (ii) 구리 박 부분의 제거로 인한 코너 부 (도 12 참조) 의 존재 및 이러한 부분으로의 응력의 집중, (iii) 고 유전율 층과 라미네이터의 직접 접촉 등으로 인해, 고 유전율 층에 쉽게 균열이 형성되고, 그러한 균열 부분이 다음의 도금 단계에서 도금으로 충전되는 경우에, 각각의 구리박에 걸쳐, 단락이 발생할 수도 있다. 또한, 전극의 부분들이 라미네이션 이전에 제거될 경우, 고 유전율 시트의 정전용량이 감소하고, 고 유전율 시트를 라미네이션하는 단계에서, 고 유전율 시트와 빌드-업 부를 위치시킨 후 접착시킬 필요가 있다. 또한, 고 유전율 시트가 얇고, 강성을 갖지 않기 때문에, 구리 박의 일부가 제거될 경우 위치 정밀도가 나빠진다. 또한, 구리 박의 부분들이 정렬 정밀도를 고려하여 제거되어야 하기 때문에, 일부 큰 면적의 구리 박이 제거되어야 하고, 고 유전율 시트가 얇기 때문에 정렬 정밀도가 나빠진다. 이상으로 인해, 라미네이션 단계에서, 고 유전율 시트 (520) 의 2 개의 구리 박 (522 및 526) 모두는, 회로가 형성되지 않는 고체 층인 것이 바람직하다.
- [0058] 다음으로, 고 유전율 시트 (520) 를 제조하는 절차를 기술한다.
- [0059] (1) 드라이잉 질소 중에서, 농도 1.0 moles/liter 를 제공하도록 칭량 (weighted out) 되는 디에톡시 바륨 및 비테트라이소프로폭시드 티탄 (titanium bitetraisopropoxide) 이 탈수한 메탄올과 2-메톡시에탄올 (체적비 3:2) 의 혼합 용매에서 용해되었고, 질소 분위기 하에서, 실온에서 3 일 동안 교반을 수행하여, 알콕시드 전구체 조성물 용액을 제조하였다. 그 후, 이 전구체 조성물 용액은, 0 °C 로 유지하면서 교반되고, 미리 탈탄산된 물이 질소 기류중에서 0.5 마이크로리터/분 의 레이트로 스프레이되어 가수분해를 행하였다.
- [0060] (2) 따라서, 제조된 졸 겔 (sol-gel) 용액은 0.2 마이크론 필터를 통과하게 되어 석출물등을 여과시켰다..
- [0061] (3) 상기 (2) 에서 제조된 여과액은 12 μm 두께의 구리 박 (522; 후에, 제 1 층 전극 (141) 이 됨) 에, 1 분 동안 1500 rpm 으로 스핀 코팅되었다. 그 후, 그 용액이 스핀 코팅된 기관은 150 °C 로 유지된 핫 플레이트 (hot plate) 위에서 3 분 동안 유지하면서 드라이닝된다. 그 후, 그 기관은 850 °C 로 유지된 전기 오븐으로 삽입되어 15 분 동안 소성되었다. 여기서, 1 회 스핀 코팅, 드라이닝, 및 소성 이후에 획득된 필름 두께가 0.03 μm 이 되도록, 졸 겔 용액의 점도를 조정하였다. 구리 대신에, 니켈, 백금, 금, 또는 은 등이 제 1 층 전극 (141) 으로서 이용될 수도 있다.
- [0062] (4) 스프링 코팅, 드라이닝, 및 소성이 40 회 반복되어, 1.2 μm 의 고 유전율 층 (524) 이 획득되었다.
- [0063] (5) 그 이후에, 스퍼터기, 또는 다른 진공 증착 장치를 이용하여, 고 유전율 층 (524) 에 구리 층이 형성되었고, 전해 도금 등에 의해 대략 10 μm 의 구리를 구리층에 더 부가함으로써, 구리 박 (526; 이후에, 제 2 층 전극 (142) 의 일부를 형성함) 을 형성하였다. 따라서, 고 유전율 시트 (520) 가 획득되었다. 1 kHz 의 주파수, 25 °C 의 온도, 및 1V 의 OSC 레벨의 조건에 따라, 임피던스/이득 페이스 분석기 (Hewlett-Packard Development Company, L.P. 에 의해 만들어짐, 상품명: 4194A) 를 이용하여 유전 특성을 측정함으로써, 비 유전율이 1,850 임을 알게 되었다. 백금, 금 등의 금속 층이, 구리 층 대신에, 진공 증착에 의해 형성될 수도 있고, 니켈, 주석 등의 금속 층이, 구리 층 대신에, 전해 도금에 의해 형성될 수도 있다. 또한, 고 유전율 층이 티탄산 바륨으로 형성될 수도 있지만, 고 유전율 층은, 대신, 또 다른 졸 겔 용액을 이용함으로써, 티탄산 스트론튬 (SrTiO₃), 산화 탄탈 (TaO₃, Ta₂O₅), 티탄산 지르콘산 납 (PZT), 티탄산 지르콘산 란탄 납 (PLZT), 티탄산 지르콘산 니오브 납 (PNZT), 티탄산 지르콘산 칼슘 납 (PCZT), 및 티탄산 지르콘산 스트론튬 납 (PSZT) 중 임의의 것으로 형성될 수도 있다.
- [0064] 또한, 고 유전율 시트 (520) 를 제조하는 또 다른 방법으로서, 다음과 같은 방법이 존재한다. 즉, 티탄산

바륨 분말 (Fuji Titanium Industry Co., Ltd 에 의해 만들어짐, HPBT Series) 이 결합 용액에 분산되며, 티탄 산 바륨 분말의 총 중량에 대하여, 폴리비닐 알코올의 5 중량부, 순수의 50 중량부, 및 용매계 가소제로서 프탈 산 디옥틸 (dioctyl phthalate) 또는 프탈산 디부틸 (dibutyl phthalate) 의 1 중량부가 혼합된다. 그 후, 롤 코터, 닥터 블레이드, a-코터 또는 다른 프린팅 장치를 이용하여, 12 μm 두께의 구리 박 (522; 후에, 제 1 층 전극 (141) 이 됨) 에 대략 5 내지 7 μm 두께의 박막으로서 분산이 프린팅된 후, 60 $^{\circ}\text{C}$ 에서 1 시간, 80 $^{\circ}\text{C}$ 에서 3 시간, 100 $^{\circ}\text{C}$ 에서 1 시간, 120 $^{\circ}\text{C}$ 에서 1 시간, 및 150 $^{\circ}\text{C}$ 에서 3 시간 동안, 드라이되어, 비 소성 층으로 된다. BaTiO₃ 이외에, SrTiO₃, TaO₃, Ta₂O₅, PZT, PLZT, PNZT, PCZT, 및 PSZT 로 이루어진 그룹으로부터 선택된 하나의 유형 또는 2 개 이상의 유형의 금속 산화물을 포함하는 페이스트가, 롤 코터, 닥터 블레이드 또는 다른 프린팅 장치를 이용하여, 0.1 내지 10 μm 두께의 박막으로서 프린팅된 후, 드라이되어 비 소성 층이 될 수도 있다. 프린팅 이후에, 비소성 층은 600 내지 950 $^{\circ}\text{C}$ 의 온도 범위에서 소성되어, 고 유전율 층 (524) 으로 된다. 그 이후에, 스퍼터기, 또는 다른 진공 증착 장치를 이용하여, 고 유전율 층 (524) 에 구리 층이 형성되고, 전해 도금 등에 의해 대략 10 μm 의 구리를 구리 층에 더 부가함으로써, 구리 박 (526; 후에, 제 2 층 전극 (142) 의 일부를 형성함) 을 형성한다. 백금, 금 등의 금속 층이, 구리 층 대신, 진공 증착에 의해 형성될 수도 있고, 니켈, 주석 등의 금속 층이, 구리 층 대신에, 전해 도금에 의해 형성될 수도 있다. 타겟으로서 티탄산 바륨을 이용하는 스퍼터링 단계가 사용될 수도 있다.

[0065] 또한, 고 유전율 시트 (520) 가 형성되고 있는 제조 도중에, 기관의 최상면의 소정의 위치에, 이산화 탄소 가스 레이저, UV 레이저, YAG 레이저, 엑시머 레이저 등에 의하여 스루홀 (530 및 531) 을 형성하였다 (도 9c 참조). 깊은 깊이의 스루홀 (530) 은, 고 유전율 시트 (520) 및 층간 절연 층 (510) 을 통과하고, 빌드-업 부 (30) 의 배선 패턴 (32) 의 최상면에 도달하는 스루홀이다. 얇은 깊이의 스루홀 (531) 은, 구리 박 (526) 및 고 유전율 층 (524) 을 통과하고 구리 박 (522) 의 최상면에 도달하는 스루홀이다. 여기서, 스루홀 형성에 있어서, 우선, 깊은 스루홀 (530) 이 형성된 후, 얇은 스루홀 (531) 을 형성하였다. 그 깊이는 레이저 샷의 횡수를 변경함으로써 조정되었다. 특히, 3 내지 10 W 의 출력, 30 내지 60 kHz 의 주파수, 및 4 회의 샷 조건에서, Hitachi Via Mechanics, Ltd. 에 의해 만들어진 UV 레이저를 이용하여, 스루홀 (531) 이 형성되었고, 스루홀 (530) 은, 31 로 세팅될 샷 수 이외에, 동일한 조건으로 형성되었다. 그 후, 스루홀 (530 및 531) 의 내부는, 이하에 기술될 스루홀 충전 수지 (532) 로 충전된 후, 80 $^{\circ}\text{C}$ 에서 1 시간, 120 $^{\circ}\text{C}$ 에서 1 시간, 150 $^{\circ}\text{C}$ 에서 30 분 동안 드라이되었다 (도 9d 참조). 스루홀 (530 및 531) 은, 도 8 에 도시된 모든 (3000000) 전원 패드 (162) 및 그라운드 패드 (161) 에 대응하도록 형성되지 않았다.

[0066] 스루홀 충전 수지는 다음과 같이 제조되었다. 비스페놀 F 에폭시 모노머 (Yuka Shell Epoxy Co., Ltd 에 의해 만들어짐; 상품명 : E-807; 분자량: 310) 의 100 중량부가 이미다졸 경화제 (Shikoku Corp. 에 의해 만들어짐; 상품명: 2E4MZ-CN) 의 6 중량부와 혼합된 후, 1.6 μm 의 평균 입径의 SiO₂ 구상 입자의 170 중량부가 이 혼합물로 혼합되고, 삼본밀 (three-roll mill) 을 이용하여 반죽함으로써, 그 혼합물의 23 \pm 1 $^{\circ}\text{C}$ 에서의 점도가 45000 내지 49000 cps 로 조정되었다. 따라서, 스루홀 충전 수지가 획득되었다.

[0067] 그 후, 스루홀 (530a 및 531a) 은, 이전 단계에서 충전된 스루홀 충전 수지 (532) 에 형성되고, 과망간산 용액에 침지시킴으로써 조면화되며, 170 $^{\circ}\text{C}$ 에서 3 시간 동안 드라이 및 경화함으로써 완전 경화가 행해졌다 (도 9e 참조). 스루홀 (530a) 은 스루홀 충전 수지 (532) 를 통과하고 빌드-업 부 (30) 의 배선 패턴 (32) 의 최상면에 도달하는 스루홀이다. 다른 스루홀 (531a) 은, 스루홀 충전 수지 (532), 구리 박 (422), 및 층간 절연 층 (510) 을 통과하고 빌드-업 부 (30) 의 배선 패턴 (32) 의 최상면에 도달하는 스루홀이다. CO₂ 레이저를 이용하여, 1.4mmf 의 마스크 직경을 거쳐, 2.0mj 의 에너지 밀도 및 2 샷의 조건에서 스루홀 (530a) 이 형성되었고, UV 레이저를 이용하고 52 로 세팅될 샷 수를 제외하고는 동일한 조건으로 스루홀 (531a) 을 형성하였다 (출력: 3 내지 10 W ; 주파수: 30 내지 60 kHz).

[0068] 그 이후에, 무전해 구리 도금 촉매가 기관의 최상면에 부가되고, 하술되는 무전해 도금 용액에 침지시킴으로써, 0.6 내지 3.0 μm 의 무전해 구리 도금 필름 (540) 이 기관의 최상면에 형성되었다 (도 10a 참조). 이용된 무전해 도금 수용액의 조성은, 황산 구리: 0.03mol/L, EDTA: 0.200mol/L, HCHO: 0.1g/L, NaOH: 0.1mol/L, a, a'-비피리딘: 100mg/L, 및 폴리에틸렌 글리콜 (PEG): 0.1g/L 이었다.

[0069] 또한, 무전해 구리 도금 필름 (540) 에 시판되는 드라이 필름을 접착시키고 노광 및 현상을 수행함으로써 도금 레지스트 (541) 가 형성되었고 (도 10b 참조), 도금 레지스트가 형성되지 않은 부분에 25 μm 두께의 전해 구리 도금 필름 (542) 을 형성하였다 (도 10c 참조). 이용된 전해 구리 도금 용액의 조성은, 황산 : 200g/L, 황산 구리: 80g/L, 및 첨가제 (ATOTHECH Japan Co. Ltd. 에 의해 만들어진 큐프라시드 GL) : 19.5ml/L 이었다.

전해 구리 도금은, $1A/dm^2$ 의 전류 밀도, 115 분의 지속 기간, 및 $23 \pm 2^\circ C$ 의 온도의 조건에 따라 행해졌다.

그 후, 도금 레지스트 (541)가 박리되었고, 도금 레지스트 (541)가 남아있는 부분, 즉, 전해 구리 도금 필름 (542)의 부분들 사이에 존재하는 무전해 구리 도금 필름 (540)의 부분이 황산 1 과산화 수소계 에칭 용액에 의해 에칭 (빠른 에칭)되어, 상부 전극 (543)과 구리 박 (522)에 접속되는 랜드 (544)를 형성한다 (도 10 d 참조).

[0070] 그 후, 응력 완화 시트 (550; 도 8에서 응력 완화부 (150)가 됨)가 50 내지 $150^\circ C$ 의 온도 및 0.5 내지 1.5MPa의 압력의 라미네이션 조건에 따라, 상부 전극 (543) 및 랜드 (544)에 접촉된 후, $150^\circ C$ 에서 1 시간 동안 드라이잉이 행해졌다 (도 10 e 참조).

[0071] 응력 완화 시트 (550)는 다음과 같이 제조되었다. 즉, 나프탈렌형 에폭시 수지 (NIPPON KAYAKU CO., LTD에 의해 만들어짐; 상품명: NC-7000L)의 100 중량부, 페놀-자일렌 글리콜 축합 수지 (Mitsui Chemicals Inc.에 의해 만들어짐; 상품명: XLC-LL)의 20 중량부, 가교 고무 입자로서 $-50^\circ C$ 의 T_g 를 갖는 카르복실산 변성 NBR (JSR Co., Ltd.에 의해 만들어짐; 상품명: XER-91)의 90 중량부, 및 유산 에틸 (ethyl lactate)의 300 중량부의 1 시아노에틸-2-에틸-4-메틸이미다졸의 4 중량부를 용해시킴으로써 제조된 수지 조성은, 롤 코터 (Cermatronics Boeki Co., Ltd.에 의해 만들어짐)를 이용하여, 42 내지 $45 \mu m$ 두께의 폴리메틸렌텐 (TPX; Mitsui Petrochemical Industries Ltd.에 의해 만들어짐; 상품명: Opulan X-88)에 코팅된 후, $80^\circ C$ 에서 2 시간, $120^\circ C$ 에서 1 시간, $150^\circ C$ 에서 30 분 동안 드라이빙되어, $40 \mu m$ 두께의 응력 완화 시트를 획득한다. 이 응력 완화 시트는 $30^\circ C$ 에서 500 Mpa의 영률을 갖는다.

[0072] 그 후, 1.4mmf의 마스크 직경을 거쳐, 2.0mj의 에너지 밀도 및 1 샷의 조건에서 CO_2 레이저를 이용하여, 응력 완화 시트 (550)의 소정의 위치에 비아홀 (560)을 형성하였다 (도 11a 참조). 그 후, 조면화가 행해진 후, $150^\circ C$ 에서 3 시간 동안 드라이빙하고 경화함으로써 응력 완화 시트 (550)가 완전하게 경화되었다. 그 후, 촉매 부가, 화학 구리 도금, 도금 레지스트 형성, 전기 구리 도금, 구리 레지스트 박리, 및 빠른 에칭의 단계를 적용함으로써, 비아홀 (560)은 금속으로 충전되고 패드 (그라운드 패드 (161), 전원 패드 (162), 및 신호 패드 (163))는 최상위 표면에서 각각의 비아홀 (560)의 상면에 형성되고, 이로 인해, 실장부 (160)를 갖는 다층 프린트 배선판 (110)이 획득되었다 (도 11b). 랜드 (544)와 구리 박 (542)에 접속된 그라운드 패드 (161)는 그라운드 라인에 접속되고, 상부 전극 (543)에 접속된 전원 패드 (162)는 전원 라인에 접속된다. 신호 패드 (163)는 신호 라인에 접속된다. 여기서, 구리 박 (522)은 제 1 층 전극 (141)에 대응하고, 구리 박 (526) 및 상부 전극 (543)은 제 2 층 전극 (142)에 대응하며, 고 유전율 층 (524)은 고 유전체 층 (143)에 대응하고, 이들은 층상 콘덴서부 (140)를 구성한다.

[0073] 이 단계에서, 솔더 범프는 실장부 (60; 형성 방법에 대해 실시예 1을 참조하여 설명)의 각각의 단자에 형성될 수도 있다. 또한, 도 8에 도시된 바와 같이 칩 콘덴서 (173)를 실장하기 위해, 칩 콘덴서 (173)의 하나의 단자가 도체 (562)에 의해 제 1 층상 전극 (141)에 전기적으로 접속되도록, 에칭 단계 (소위, 텐팅법 (tenting))가 도 9b의 단계 이후에 수행되었다. 에칭 프로세스에서, 염화 제 2 구리 에칭 용액이 이용되었지만, 금속 층 (526) 및 고 유전체 층 (524)을 에칭한 이후에, 구리 박 (522)이 오직 얇게 에칭되도록, 그 프로세스는 짧은 시간, 행해졌다. 마지막으로, 이 구리 박 (522)에 접속된 금속 층은 응력 완화 시트 (550)에 배치되고, 패드 (171)는 금속 층의 상면에 배치되었다. 칩 콘덴서 (172)의 다른 단자에 접속된 패드 (172)는 응력 완화 시트 (550)에 형성된 비아홀 (560)중 하나에 충전되는 금속의 상면에 형성되었다.

[0074] 상술된 실시예 2의 다층 프린트 배선판 (110)은 실시예 1의 것과 동일한 효과를 제공한다. 본 실시예에서, 제 1 층 전극 (141)과 제 2 층 전극 (142)의 대향 면적 (S)은, 층상 콘덴서부 (140)의 정전용량 (C)이 다이 아래에서 $05 \mu F$ 가 되도록 결정되었고, 이 대향 면적 (S)에 기초하여, 제 1 층 전극 (141)의 통과홀 (141a)의 수와 위치 및 제 2 층 전극 (142)의 통과홀 (142a)의 수와 위치가 결정되었다. 여기서, 대향 면적 (S)은 $C = \epsilon_0 \cdot \epsilon_r \cdot d/S$ 로부터 계산되었다. 즉, 고 유전율 층 (142)의 비 유전율 (ϵ_r)이 1850 이고, 이것의 두께가 $1.2 \mu m$ 이기 때문에, 상기 등식에 이들 값을 대입하고, 정전용량 (C)로서 $0.5 \mu F$ 을 대입함으로써, 대향 면적 (S)이 계산되었다. ϵ_0 는 진공의 유전율 (상수)이다.

[0075] [실시예 3]

[0076] 도 13은 실시예 3의 다층 프린트 배선판 (210)의 종단면 (중심 라인의 좌측에서만 도시함)이다. 도 13에 도시된 바와 같이, 본 실시예의 다층 프린트 배선판 (210)은 실시예 1과 동일한 코어 기판 (20), 수지

절연 층 (36) 을 사이에 두고, 코어 기관 (20) 의 상면에 라미네이팅된 배선 패턴 (22 및 32) 이 비아홀 (34) 에 의하여 전기적으로 접속되는 빌드-업 부 (30), 빌드-업 부 (30) 에 라미네이팅되는 층간 절연 층 (220), 층간 절연 층 (220) 에 라미네이팅되고 고 유전율 층 (243) 및, 고 유전율 층 (243) 을 샌드위치하는 제 1 및 제 2 전극 (241 및 242) 으로 배열되는 층상 콘덴서부 (240), 층상 콘덴서부 (240) 에 라미네이팅된 층간 절연 층 (245), 탄성 재료로 형성되고 층간 절연 층 (245) 에 라미네이팅된 응력 완화부 (250), 반도체 소자가 실장되는 실장부 (260), 및 실장부 (260) 의 주변에 제공되는 칩 콘텐서 배치 영역 (270) 을 갖는다.

[0077] 본 실시예의 층상 콘덴서부 (240) 에 있어서, 제 2 층 전극 (241) 은, 고 유전율 층 (243) 의 하면에 형성되고 실장부 (260) 의 그라운드 패드 (261) 에 전기적으로 접속되는 고체 패턴 구리 전극이다. 설명을 위하여, 그라운드 패드 (261) 는 그라운드 패드 (261x) 와 그라운드 패드 (261y) 의 2 개의 유형으로 분류된다. 이것들 중, 그라운드 패드 (261x) 는 비아홀 (261a) 을 통해 랜드 (266x) 에 전기적으로 접속된다. 이들 랜드 (266x) 는 바로 아래에 비아홀을 갖지 않는다. 그라운드 패드 (261y) 는 비아홀 (261a) 을 통해 랜드 (266y) 에 접속되고, 랜드 (266y) 는 비아홀 (261b) 을 통해 빌드-업 부 (30) 의 배선 패턴 (32) 의 그라운드 배선 및 제 1 층 전극 (241) 에 전기적으로 접속된다. 비아홀 (32) 에 접속되는 랜드 (268) 는 제 2 층 전극 (242) 에 전기적으로 독립한다. 그라운드 패드 (261x) 에 접속된 랜드 (266x) 및 그라운드 패드 (261y) 에 접속된 랜드 (266y) 는 배선 (246) 에 의해 전기적으로 접속된다 (도 14 참조). 따라서, 모든 그라운드 패드 (261) 는 동일한 전위로 세팅된다. 따라서, 제 1 층 전극 (241) 은 빌드-업 부 (30) 의 배선 패턴 (32) 의 그라운드 배선 및 각각의 그라운드 패드 (261) 에 접속되고 이 그라운드 배선을 통해 외부 그라운드 라인에 접속된다. 또한, 제 1 층 전극 (241) 이, 후술될 비아홀 (262c) 이 비 접촉 방식으로 통과하는 통과홀 (241a) 을 갖지만, 비아홀 (262c) 이 후술되는 바와 같이 제한된 수의 전원 패드 (262y) 에 대응하여 제공되기 때문에, 통과홀 (241a) 의 수가 많아질 필요가 없다. 따라서, 제 1 층 전극 (241) 의 면적이 커질 수 있고, 층상 콘덴서부 (240) 의 정전용량이 커질 수 있다. 통과홀 (241a) 의 수 및 통과 홀 (241a) 이 형성될 위치는, 층상 콘덴서부 (240) 등의 정전용량에 따라 결정된다.

[0078] 제 2 층 전극 (242) 은 고 유전율 층 (243) 의 상면에 형성되고 실장부 (260) 의 전원 패드 (262) 에 전기적으로 접속된 고체 패턴 구리 전극이다. 설명을 위하여, 전원 패드 (262) 는 전원 패드 (262x) 와 전원 패드 (262y) 의 2 개의 유형으로 분류된다. 이들 중, 전원 패드 (262x) 는 비아홀 (262a) 을 통해, 랜드 (267x) 에 전기적으로 접속되고, 랜드 (267x) 는 비아홀 (262b) 을 통해 제 2 층 전극 (242) 에 전기적으로 접속된다. 전원 패드 (262y) 는 비아홀 (262a) 을 통해 랜드 (267y) 에 접속되고, 랜드 (267y) 는 비아홀 (262c) 을 통해, 제 1 층 전극 및 제 2 층 전극 (241 및 242) 의 접촉 없이, 빌드-업 부 (30) 의 배선 패턴 (32) 의 전원 배선에 전기적으로 접속된다. 전원 패드 (262x) 에 접속된 랜드 (267x) 및 전원 패드 (262y) 에 접속된 랜드 (267y) 는 배선 (247) 에 의해 전기적으로 접속된다 (도 14 참조). 따라서, 모든 전원 패드 (262) 는 동일한 전위로 세팅된다. 따라서, 제 2 층 전극 (242) 은 빌드-업 부 (30) 의 배선 패턴 (32) 의 전원 배선 및 각각의 전원 패드 (262) 에 접속되며, 이 전원 배선을 통하여 외부 전원 라인에 접속된다. 따라서, 비아홀 (262c), 배선 (274), 및 비아홀 (262b) 을 통해, 빌드-업 부 (30) 의 배선 패턴 (32) 의 전원 배선으로부터의 전원이 제 2 층 전극 (242) 으로 공급된다. 또한, 제 2 층 전극 (242) 은, 비아홀 (262c) 이 비 접촉 방식으로 통과하는 통과홀(242a), 및 랜드 (268) 와 관련하여 절연을 보장하는 통과홀 (242b) 을 갖지만, 비아홀 (262c) 이 전원 패드 (262) 의 일부인 전원 패드 (262y) 용으로 제공되고, 통과홀 (242b) 이 그라운드 패드 (261) 의 일부인 그라운드 패드 (261y) 에 대응하여 제공되기 때문에, 통과홀 (242a 및 242b) 의 수가 많아질 필요가 없다. 따라서, 제 2 층 전극 (242) 의 면적이 커질 수 있고 층상 콘덴서부 (240) 의 정전용량이 커질 수 있다. 통과홀 (242a 및 242b) 의 수 및 통과홀 (242a 및 242b) 이 형성될 위치가, 층상 콘덴서부 (240) 의 정전용량 등에 따라 결정된다.

[0079] 따라서, 층상 콘덴서부 (240) 의 정전용량이 커질 수 있기 때문에, 충분한 디커플링 효과를 나타낼 수 있고, 실장부 (260) 에 실장된 반도체 소자 (IC) 의 트랜지스터가 전원 부족이 되기 어렵다. 그라운드 패드 (261x) 및 그라운드 패드 (261y) 는 층간 절연 층 (245) 의 배선 (246) 에 의해 접속되고, 전원 패드 (262x) 및 전원 패드 (262y) 는 층간 절연 층 (245) 의 배선 (247) 에 의해 접속되지만, 이들 배선이, 제 2 층 전극 보다 위에 또는 코어 기관 (20) 의 최상면에 또는 빌드-업 부 (30) 에 위치하게 되는 임의의 층 (실장부를 포함함) 에 제공될 수도 있다. 또한, 임의의 층에서 배선에 의해, 그라운드 패드 (261x) 를 그라운드 패드 (261y) 와 접속하고, 전원 패드 (262x) 를 전원 패드 (262y) 와 접속함으로써, 비아홀 (261a) 이 모든 그라운드 패드 (261) 아래에 배치될 필요가 없으며, 비아홀 (262a) 이 모든 전원 패드 (262) 아래에 배치될 필요가 없다. 따라서, 실장부 아래의 층의 랜드 수가 감소될 수 있다. 따라서, 제공될 필요가 있는 비아홀의 수 및 랜드

수가 감소되기 때문에, 고 밀도가 실현될 수 있다.

[0080] 응력 완화부(250)는 실시예 1에서와 동일한 탄성 재료로 형성된다. 또한, 실장부(260)에 배치된, 그라운드 패드(261), 전원 패드(262), 및 신호 패드(263)는 실시예 1과 동일한 방식으로 격자형 또는 지그재그 방식으로 정렬되고(도 1 참조), 이들의 수는 실시예 1의 수와 동일하다. 여기서, 신호 패드(263)는, 층상 콘덴서부(240)의 제 1층 전극 및 제 2층 전극(241 및 242)의 어떤 것에도 접촉하지 않는다. 그라운드 패드(261) 및 전원 패드(262)는 중심 부근에 격자형 또는 지그재그 방식으로 정렬될 수도 있고, 신호 패드(263)는 주변에, 격자형 방식, 지그재그 방식, 또는 랜덤하게 정렬될 수도 있다. 복수의 칩 콘덴서 배치 영역(270)은 실장부(260)의 주변에 형성된다. 칩 콘덴서(273)의 그라운드 단자와 전원 단자와 각각 접촉되도록, 칩 콘덴서 배치 영역(270)에, 그라운드 패드(271) 및 전원 패드(272)의 복수의 쌍이 형성된다.

[0081] 각각의 그라운드 패드(271)는 층상 콘덴서부(240)의 제 1층 전극(241)을 통해 외부 전원의 음극에 접속되고, 각각의 전원 패드(272)는 제 2층 전극(242)을 통해 외부 전원의 양극에 접속된다. 본 실시예에서, 그라운드 패드(261) 및 전원 패드(262) 각각은, 청구항 9의 제 1 패드 및 제 2 패드에 대응하고, 비아홀(261b) 및 비아홀(262c)은 각각, 청구항 9의 제 1 로드 단자와 제 2 로드 단자에 대응한다.

[0082] 각각의 그라운드 패드(271)는 층상 콘덴서부(240)의 제 1층 전극(241)을 통해 외부 전원의 음극에 접속되고, 각각의 전원 패드(272)는 제 2층 전극(242)을 통해 외부 전원의 양극에 접속된다. 본 실시예에서, 그라운드 패드(261) 및 전원 패드(262) 각각은 청구항 6의 제 1 패드 및 제 2 패드에 대응하고, 비아홀(261a, 261b) 및 비아홀(262a 및 262b) 각각은, 청구항 6의 제 1 로드 단자 및 제 2 로드 단자에 대응한다.

[0083] 다음으로, 본 실시예의 다층 프린트 배선판(210)을 제조하는 절차를 도 15 내지 도 17을 참조하여 기술한다. 도 13 및 도 14는 반도체 소자 아래의 부분, 즉, 전원 패드(261) 및 그라운드 패드(262)가, 격자형 또는 지그재그 방식으로 교번하여 정렬되는 다이 아래의 부분을 절단함으로써 얻어진 부분이고, 도 15 및 도 17은 전원 패드(261) 및 그라운드 패드(262)가 교번으로 정렬되지 않는 부분에서 절단함으로써 얻어진 부분이다.

[0084] 우선, 도 15a에서 도시된 바와 같이, 빌드-업 부(30)를 코어 기관(20)의 적어도 하나의 표면에 형성시킨 기관(600)이 제조되었고, 진공 라미네이터를 이용하여, 층간 절연 층(610; AJINOMOTO Co., Inc.에 의해 만들어짐; 열경화성 절연 필름: ABF-45SH)이 50 내지 150 °C의 온도 및 0.5 내지 1.5MPa의 압력의 라미네이션 조건에 따라 빌드-업 부(30)에 접촉되었다. 그 후, 미리 제조되어진 고 유전율 시트(620; 실시예 2의 고 유전율 시트(520)의 것과 동일한 제조 절차)는 진공 라미네이터를 이용하여, 50 내지 150 °C의 온도 및 0.5 내지 1.5MPa의 압력의 라미네이션 조건에 따라 층간 절연 층(610; 도 13의 층간 절연 층(220)이 됨)에 접촉되었고, 그 후, 150 °C에서 1시간 동안 드라이잉이 행해졌다(도 15b 참조). 고 유전율 시트(620)의 구리 박(622 및 626)은 그 안에 형성되는 회로 없이 고체 층으로서 모두 배열되었다. 그 후, 텐팅 방법에 의해 고 유전율 시트(620)가 에칭되었다. 염화 제 2 구리 에칭 용액이 에칭 프로세스에서 이용되었지만, 구리 박(626) 및 고 유전체 층(624)을 에칭한 이후에, 구리 박(622)이 오직 얇게 에칭되도록, 그 프로세스는 짧은 시간 행해졌다(도 15c 참조). 도 15c에서, 구리 박(626)의 부분들은 고립 랜드(626a; 도 13의 랜드(268)가 됨)를 형성하기 위해 에칭하여 분리되었다. 그 이후에, 층간 절연 층(628; AJINOMOTO Co., Inc.에 의해 만들어짐; 열경화성 절연 필름: ABF-45SH; 층간 절연 층(245)이 됨)은 고 유전율 시트(620)에 라미네이팅되었다(도 15d). 그 후, 스루홀(630)은, 층간 절연 층(628)이 형성되는 제조 도중에 기관의 소정의 위치에서, 이산화 탄소 가스 레이저, UV 레이저, YAG 레이저, 또는 엑시머 레이저 등에 의하여 형성되었다(도 15e 참조). 스루홀(630)은 층간 절연 층(628), 고 유전율 시트(620) 및 층간 절연 층(610)을 통과하고 빌드-업 부(30)의 배선 패턴(32)의 최상면에 도달하도록 형성되었다. 레이저 조건에 관하여, Hitachi Via Mechanics, Ltd.에 의해 만들어진 UV 레이저는 3 내지 10 W의 출력, 30 내지 60 kHz의 주파수에서 이용되었으며 샷의 수는 54로 세팅되었다.

[0085] 스루홀(630)을 형성한 이후에, 이들 스루홀(630)은 스루홀 충전 수지(640; 실시예 2의 스루홀 충전 수지(532)와 동일한 제조 절차)로 충전된 후, 드라이빙되었다(도 16a 참조). 그 후, 이산화 탄소 가스 레이저, UV 레이저, YAG 레이저, 또는 엑시머 레이저 등에 의하여, 스루홀(651, 652, 및 653)이 제조 도중, 기관의 소정의 위치에 형성되었다(도 16b 참조). 스루홀(651)은, 스루홀 충전 수지(640)를 통과하고 빌드-업 부(30)의 배선 패턴(32)의 최상면에 도달하도록 형성되었고, 스루홀(652)은, 층간 절연 층(628)을 통과하고 구리 박(626)의 최상면에 도달하도록 형성되었으며, 스루홀(653)은, 층간 절연 층(628), 고 유전율 시트(620; 랜드(626a)), 고 유전율 층(624) 및 구리 박(622), 및 층간 절연 층(610)을 통과하고 빌드-업

부 (30) 의 배선 패턴 (32) 의 최상면에 도달하도록 형성되었다. 이들 스루홀 (651, 652 및 653) 의 형성은 스루홀 (651) 후, 스루홀 (652 및 653) 의 순으로 수행되었다. 스루홀의 깊이는, 레이저 유형 및 레이저 샷의 수를 변경함으로써 조정되었다. 예를 들어, 스루홀 (651) 은, CO₂ 레이저를 이용하여, 1.4mmf 의 마스크 직경을 거쳐, 2.0mj 의 에너지 밀도 및 3 샷의 조건에서 형성되었고, 스루홀 (652) 은 1 인 샷의 수를 제외하고는, 동일한 조건에 따라 형성되었으며, 스루홀 (653) 은 UV 레이저 및 56 외의 샷을 이용하는 것을 제외하고는 동일한 조건에 따라 형성되었다 (출력: 3 내지 10 W; 주파수:30 내지 60 kHz). 스루홀 (630) 이 도 13 에 도시된 모든 전원 패드 (262) 에 대응하여 형성되는 것이 아니라, 일부, 즉, 전원 패드 (262y) 에 대응하여 형성되었고, 스루홀 (653) 은 도 13 에 도시된 모든 그라운드 패드 (261) 에 대응하여 형성되는 것이 아니라, 일부, 즉, 그라운드 패드 (261y) 에 대응하여 형성되었다.

[0086] 그 이후에, 완전 경화는 170 °C 에서 3 시간 동안 드라이하고 경화함으로써 행해졌다. 그 후, 촉매가 기관의 최상면에 부가되고, 통상의 세미-에더티브 (semi-additive) 방법은 금속으로 스루홀 (651, 652 및 653) 을 각각 충전하도록 적용되어, 비아홀 (262c, 262b, 및 261b) 을 형성하고, 랜드 (267y, 267x, 및 266y) 를 이들 비아홀 (262c, 262b, 및 261b) 의 상면에 형성하며, 또한, 랜드 (267x) 및 랜드 (267y) 를 연결하는 배선 (247) 이 또한 형성되었다 (도 16c 참조). 이 배선 (247) 에 의해, 빌드-업 부 (30) 의 배선 패턴 (32) 과 구리 박 (626; 제 2 층 전극 (242) 됨) 이 접속된다. 또한, 여기에 도시하는 것을 생략하였지만, 도 14 의 랜드 (266x) 및 배선 (246) 은 동시에 형성되었다. 그 후, 응력 완화 시트 (670; 응력 완화부 (250) 가 됨; 제조 절차에 관해서 실시예 2 의 응력 완화 시트 (550) 를 참조) 가 라미네이팅되었다 (도 16d 참조).

[0087] 또한, 스루홀 (680) 은 응력 완화 시트 (670) 중, 각각의 랜드 (267y, 267x, 및 266y) 바로 위의 위치에 형성되어 (도 17a 참조), 조면화, 완전 경화, 촉매 부가, 화학 구리 도금, 도금 레지스트 형성, 전기 구리 도금, 도금 레지스트 박리, 및 빠른 에칭을 적용함으로써 형성되었고, 각각의 스루홀 (680) 이 금속으로 충전되었으며, 패드는 충전 금속의 상면에 형성되었다 (도 17b 참조). 그 때문에, 비아홀 (262a) 및 전원 패드 (262y) 가 랜드 (267y) 에 형성되었고, 비아홀 (262a) 및 전원 패드 (262x) 가 랜드 (267x) 에 형성되었으며, 비아홀 (261a) 및 그라운드 패드 (261y) 가 랜드 (266y) 에 형성되었다. 또한, 여기에 도시하는 것을 생략하였지만, 비아홀 (261a) 및 그라운드 패드 (261x) 는 도 13 및 도 14 의 랜드 (266x) 에 형성되었다. 따라서, 도 13 의 다층 프린트 배선판 (210) 이 획득되었다. 구리 박 (622) 은 제 1 층 전극 (241) 에 대응하고, 구리박 (626) 은 제 2 층 전극 (242) 에 대응하며, 고 유전율 층 (624) 은 고 유전율 층 (243) 에 대응하며, 이들이 층상 콘덴서부 (240) 를 구성한다. 실시예 3 에서, 그라운드 패드 (261x) 가 임의의 층 (예를 들어, 실장부 (260)) 에서, 그라운드 패드 (261y) 에 접속되는 경우, 비아홀 (261a) 및 랜드 (266x) 는 불필요하다. 또한, 전원 패드 (262x) 가 임의의 층 (예를 들어, 실장부 (260)) 에서, 전원 패드 (262y) 에 접속되는 경우, 전원 패드 (262x) 바로 아래의, 비아홀 (262a) 과 랜드 (267x), 및 비아홀 (262b) 은 불필요하다. 따라서, 비아홀 및 랜드가 감소될 수 있다.

[0088] 그 이후에, 솔더 범프는 실장부 (260) 의 각각의 단자에 형성될 수도 있다 (형성 방법에 관한 실시예 1 참조). 칩 콘덴서 (273) 가 도 13 에 도시된 바와 같이 실장될 경우, 패드 (271 및 272) 는 실시예 2 에서와 동일한 방식으로 형성된다.

[0089] 상세히 상술된 다층 프린트 배선판 (110) 에 있어서, 상술된 실시예 1 에서와 동일한 효과가 획득될 수 있다. 또한, 본 실시예에서는, 층상 콘덴서부 (240) 주위를 우회하지 않고 빌드-업 부 (30) 로부터 비아홀 (262c 및 262b) 을 통해 고 유전율 시트 (620) 에 외부 전원 공급원으로부터의 전하가 충전되기 때문에, 외부 전원 공급원을, 층상 콘덴서부 (240) 의 전원 전극인 제 2 층 전극 (242) 및 층상 콘덴서부 (240) 의 그라운드 전극인 제 1 층 전극에 접속하는 배선의 길이가 짧아지기 때문에, 고속으로 구동되는 반도체 소자 (IC) 가 실장부 (260) 에 실장되는 경우라도 층상 콘덴서부 (240) 는 전하가 부족되지 않을 것이다.

[0090] 본 실시예에 있어서는, 제 1 층 전극 (241) 및 제 2 층 전극 (242) 의 대향 면적 (S) 은, 층상 콘덴서부 (240) 의 정전용량 (C) 이 다이 아래에서 0.5 μF 가 되도록 결정되며, 이 대향 면적 (S) 에 기초하여, 제 1 층 전극 (241) 의 통과홀 (241a) 의 수와 위치 및, 제 2 층 전극 (242) 의 통과홀 (242a) 의 수와 위치가 결정되었다. 여기서, 대향 면적 (S) 은 $C = \epsilon_0 \cdot \epsilon_r \cdot d/S$ 로부터 계산되었다. 즉, 고 유전율 층 (242) 의 비 유전율 (ϵ_r) 은 1850 이고, 이것의 두께 (d) 는 1.2 μm 이기 때문에, 상기 등식에 이들 값을 대입하고, 정전용량 (C) 으로서 0.5 μF 을 대입함으로써, 대향 면적 (S) 이 계산되었다. ϵ_0 는 진공의 유전율 (상수) 이다.

[0091] 상술된 제조 절차에 있어서, 층간 절연 층 (628) 은, 도 15c 의 단계 이후에, 라미네이팅되었고 (도 15d 참조),

스루홀 (630) 은, 층간 절연 층 (628) 의 소정의 위치에 형성되었으며 (도 15e 참조), 스루홀 (630) 을 스루홀 충전 수지 (640) 로 충전하고 드라이한 이후에 (도 16a 참조), 스루홀 (651) 은 스루홀 충전 수지 (640) 에 형성되었다 (도 16b 참조). 이런 단계 대신에 다음의 단계가 행해질 수도 있다. 즉, 도 15c 의 단계 이후에, 기관의 최상면에 시판되는 드라이 필름이 접촉되고, 텐팅 방법에 의해, 비아홀 (262c) 보다 더 큰 사이즈로, 비아홀 (262c; 도 16c 참조) 이 형성될 위치에, 고 유전율 시트 (620) 의 일부를 에칭에 의해 제거하여, 확대 홀 (632 ; 도 18a 참조) 을 형성하고, 그 후, 층간 절연 층 (628) 이 이전의 에칭 제거에 의해 형성되었던 확대 홀 (632) 에도 충전되도록, 층간 절연 층 (628) 이 고 유전율 시트 (620) 에 라미네이팅된 이후에, 드라이된다 (도 18b). 그 후에, 스루홀 (651, 652 및 653) 을 형성하는 단계로부터 실시예 3 의 단계가 적용될 수도 있다. 스루홀 (630) 을 충전하는 단계가 제거될 수 있다.

[0092] [실시예 4]

[0093] 실시예 2 에서, 모든 스루홀 (530) 및 스루홀 (531) 은 전원 패드와 그라운드 패드에 대응하는 위치에 형성되었다. 결과로서, 층상 콘덴서부의 정전용량은 0.4 μF 가 된다.

[0094] [실시예 5]

[0095] 실시예 3 에서, 모든 스루홀 (630) 및 스루홀 (653) 은 전원 패드와 그라운드 패드에 대응하는 위치에 형성되었다. 결과로서, 층상 콘덴서부의 정전용량은 0.4 μF 가 된다.

[0096] [실시예 6]

[0097] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중, 스핀 코팅, 드라이, 및 소성의 반복 횟수가 20 으로 변경되고, 그로 인해, 0.6 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 층상 콘덴서부의 정전용량은 1.0 μF 가 된다.

[0098] [실시예 7]

[0099] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 20 으로 변경되고, 그로 인해, 0.6 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 층상 콘덴서부의 정전용량은 1.0 μF 가 된다.

[0100] [실시예 8]

[0101] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 1 로 변경되고, 그로 인해, 0.03 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 층상 콘덴서부의 정전용량은 20 μF 가 된다.

[0102] [실시예 9]

[0103] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 1 로 변경되고, 그로 인해, 0.03 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 층상 콘덴서부의 정전용량은 20 μF 가 된다.

[0104] [실시예 10]

[0105] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 4 로 변경되고, 그로 인해, 0.12 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 층상 콘덴서부의 정전용량은 5 μF 가 된다.

[0106] [실시예 11]

[0107] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 4 로 변경되고, 그로 인해, 0.12 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 층상 콘덴서부의 정전용량은 5 μF 가 된다.

[0108] [실시예 12]

[0109] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 2 로 변경되고, 그로 인해, 0.06 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 10 μF 가 된다.

- [0110] **[실시예 13]**
- [0111] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이 및 소성의 반복 횟수는 2 로 변경되고, 그로 인해, 0.06 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량이 10 μF 가 된다.
- [0112] **[실시예 14]**
- [0113] 실시예 8 에서, 모든 스루홀 (530) 및 스루홀 (531) 은 전원 패드와 그라운드 패드에 대응하는 위치에 형성되었다. 결과로서, 정전용량은 16 μF 가 된다.
- [0114] **[실시예 15]**
- [0115] 실시예 9 에서, 모든 스루홀 (630) 및 스루홀 (653) 은, 전원 패드와 그라운드 패드에 대응하는 위치에 형성되었다. 결과로서, 정전용량은 16 μF 가 된다.
- [0116] **[실시예 16]**
- [0117] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 330 으로 변경되었고, 그로 인해, 10 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 0.06 μF 가 된다.
- [0118] **[실시예 17]**
- [0119] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이 및 소성의 반복 횟수는 330 으로 변경되었고, 그로 인해, 10 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 0.06 μF 가 된다.
- [0120] **[실시예 18]**
- [0121] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이 및 소성의 반복 횟수는 10 으로 변경되었고, 그로 인해, 0.3 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 2.0 μF 가 된다.
- [0122] **[실시예 19]**
- [0123] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 10 으로 변경되었고, 그로 인해, 0.3 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 2.0 μF 가 된다.
- [0124] **[실시예 20]**
- [0125] 실시예 2 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 25 로 변경되었고, 그로 인해, 0.75 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 0.8 μF 가 된다.
- [0126] **[실시예 21]**
- [0127] 실시예 3 에서, 고 유전율 시트의 제조 절차 (4) 중 스핀 코팅, 드라이, 및 소성의 반복 횟수는 25 로 변경되었고, 그로 인해, 0.75 μm 의 고 유전율 층이 획득되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 0.8 μF 가 된다.
- [0128] **[실시예 22]**
- [0129] 실시예 3 에서, 고 유전율 시트는 미리, 에칭 프로세스를 실시해, 구리 박 (626) 및 고 유전율 층 (624) 의 부분들을 제거하였다. 그 이후에, 고 유전율 시트는, 층간 절연 층 (610) 을 사이에 두고, 빌드-업 부 (30) 를 그 위에 형성시킨 기관 (600) 에 접착되었다. 즉, 실시예 3 의 고 유전율 시트 접착 단계 및 고 유전율 시트 에칭 단계가 번갈아 일어나게 되었다. 다음의 단계는 실시예 3 에서와 동일하였다.
- [0130] **[실시예 23]**
- [0131] 칩 콘텐서는 실시예 4 의 다층 프린트 배선판에 실장되었다.

- [0132] **[실시예 24]**
- [0133] 칩 콘덴서는 실시예 5 의 다층 프린트 배선판에 실장되었다.
- [0134] **[실시예 25]**
- [0135] 실시예 2 에서, 층간 절연 층 (510; 도 9a 참조) 은 응력 완화부 (150) 의 적소에 이용되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다.
- [0136] **[실시예 26]**
- [0137] 실시예 3 에서, 층간 절연 층 (610; 도 15a 참조) 은, 응력 완화부 (250) 의 적소에 이용되었다. 이 외에는, 실시예 3 에서와 동일한 절차가 행해졌다.
- [0138] **[실시예 27 내지 실시예 49]**
- [0139] 다층 프린트 배선판은, 실시예 2 내지 실시예 24 의 각각에 있어서, 응력 완화부의 적소에 층간 절연 층을 이용하여 제조되었고, 실시예 27 내지 실시예 49 로서 각각 나타내졌다.
- [0140] **[비교 실시예]**
- [0141] 비교 실시예의 고 유전율 시트는 실시예 2 에 기술된 다른 형태의 고 유전율 시트의 제조 절차에 기초하여 제조되었다. 그러나, 소성 단계는 수행되지 않고 전극이 드라잉 이후에, 비소성 층상에 형성되었다. 이 외에는, 실시예 2 에서와 동일한 절차가 행해졌다. 결과로서, 다이 아래의 정전용량은 0.001 μF 미만이 된다.
- [0142] **[평가 테스트 1]**
- [0143] 3.6 GHz 의 구동 주파수 및 1066MHz 의 FSB 를 갖는 IC 칩이 실시예 2 내지 실시예 49 의 각각의 다층 프린트 회로판에 실장되었고, 동시에 스위칭 단계가 10 회 반복되었으며, 펄스 패턴 생성기/에러 검출기 (ADVANTEST CORPORATION 에 의해 만들어짐; 상품명: D3186/3286) 를 이용하여, 잘못된 동작이 발생되었는지 여부가 체크되었다.
- [0144] **[평가 테스트 2: HAST]**
- [0145] 실시예 2 내지 실시예 49 의 각각의 다층 프린트 회로 판은, 제 1 층 전극과 제 2 층 전극에 걸쳐 3.3 V 의 전압을 가하면서, 총 50 시간 동안, 85 $^{\circ}\text{C} \times 85\%$ 로 세팅된 환경 테스터 (tester) 에 배치되었다. 이 시간 동안, 방전 (discharge) 이 2 시간마다 행해졌다. 그 이후에, 3.6 GHz 의 구동 주파수 및 1066MHz 의 FSB 를 갖는 IC 칩이 실장되었고, 동시에 스위칭 단계가 100 회 반복되었으며 상술된 플러스 패턴 생성기/에러 검출기를 이용하여, 잘못된 동작이 발생되었는지 여부가 체크되었다.
- [0146] **[평가 테스트 3: HAST]**
- [0147] *평가 테스트 2 를 행한 각각의 다층 프린트 회로판은, 평가 테스트 2 에서와 같이, 제 1 층 전극 및 제 2 층 전극에 걸쳐 3.3 V 의 전압을 가하면서, 총 50 시간 동안, 85 $^{\circ}\text{C} \times 85\%$ 로 세팅된 환경 테스터에 배치되었다. 이 시간 동안, 방전이 2 시간마다 행해졌다. 그 이후에, 3.6 GHz 의 주파수 및 1066 MHz 의 FSB 를 갖는 IC 칩이 실장되었고, 동시에 스위칭 단계가 100 회 반복되었으며, 상술된 펄스 패턴 생성기/에러 검출기를 이용하여, 잘못된 동작이 발생되었는지 여부가 체크되었다.
- [0148] **[평가 테스트 4: 가열 사이클]**
- [0149] 다음의 가열 사이클 테스트는 실시예 2 내지 실시예 26 각각의 다층 프린트 회로판에 대해 행해졌다. 가열 사이클 테스트 조건은, -55 $^{\circ}\text{C} \times 30$ 분 및 125 $^{\circ}\text{C} \times 30$ 분의 사이클이 100 회 또는 500 회 반복되었다는 것이다. 그 이후에, 3.6 GHz 의 구동 주파수 및 1066MHz 의 FSB 를 갖는 IC 칩이 실장되었고, 동시에 스위칭 단계가 100 회 반복되었으며, 상술된 펄스 패턴 생성기/에러 검출기를 이용하여, 잘못된 동작이 발생되었는지 여부가 체크되었다.
- [0150] **[평가 테스트 5]**
- [0151] 평가 테스트 1 의 3.6 GHz 의 구동 주파수 및 1066 MHz 의 FSB 를 갖는 IC 칩의 배치에 있어서, 5.7 GHz 의 구동 주파수 및 1066MHz 의 FSB 를 갖는 IC 칩이 실장되었고, 평가 테스트 1 에서와 동일한 테스트가 수행되었다.

결과로서 잘못된 동작은, 다이 아래의 정전용량이 1.0 μF 이상인, 다층 프린트 배선판에서는 발생하지 않았다.

[0152] [평가 결과]

[0153] 평가 테스트 1 내지 4 의 결과가 테이블 1 에 도시된다. 테이블 1 에서, ○ 은, 잘못된 동작이 관측되지 않았다는 것을 나타내고, × 는 잘못된 동작이 관측되었다는 것을 나타낸다. 다이 아래의 정전용량 및 실시예 27 내지 실시예 49 에 대한 평가 테스트 1 내지 3 의 평가 결과는, 테이블 1 에 도시되진 않았지만, 각각, 실시예 2 내지 실시예 24 의 것과 동일하다.

테이블 1

실시예	단자에 대응하는 TH 의 수	고 유전율 (pm) 의 필름 두께	다이 바로 아래의 용량 (μF)	C/C *1 장착	평가 테스트 결과				
					1	2	3	4*2	4*3
실시예 2	일부	1.2	0.5	없음	○	○	×	○	×
실시예 3	일부	1.2	0.5	없음	○	○	×	○	×
실시예 4	전부	1.2	0.4	없음	○	×	×	○	×
실시예 5	전부	1.2	0.4	없음	○	×	×	○	×
실시예 6	일부	0.6	1.0	없음	○	○	○	○	○
실시예 7	일부	0.6	1.0	없음	○	○	○	○	○
실시예 8	일부	0.03	20	없음	○	-	-	○	×
실시예 9	일부	0.03	20	없음	○	-	-	○	×
실시예 10	일부	0.12	5	없음	○	○	○	○	○
실시예 11	일부	0.12	5	없음	○	○	○	○	○
실시예 12	일부	0.06	10	없음	○	○	×	○	×
실시예 13	일부	0.06	10	없음	○	○	×	○	×
실시예 14	전부	0.03	16	없음	○	×	×	○	×
실시예 15	전부	0.03	16	없음	○	×	×	○	×
실시예 16	일부	10	0.06	없음	○	×	×	○	×
실시예 17	일부	10	0.06	없음	○	×	×	○	×
실시예 18	일부	0.3	2.0	없음	○	○	○	○	○
실시예 19	일부	0.3	2.0	없음	○	○	○	○	○
실시예 20	일부	0.75	0.8	없음	○	○	○	○	○
실시예 21	일부	0.75	0.8	없음	○	○	○	○	○
실시예 22	일부	1.2	0.3	없음	○	-	-	○	×
실시예 23	전부	1.2	0.4	있음	○	○	○	○	○
실시예 24	전부	1.2	0.4	있음	○	○	○	○	○
실시예 25	일부	1.2	0.5	없음	○	-	-	○	×
실시예 26	일부	1.2	0.5	없음	○	-	-	○	×
비교 실시예1	일부	5	<0.01	없음	×	-	-	×	-

*1 C/C = 칩 콘텐서
 *2 100 사이클 이후
 *3 500 사이클 이후

[0154]

[0155] 평가 테스트 1 의 결과는, 고 유전율 재료를 이용함으로써, 빌드-업 부와 별개로 소성되어, 세라믹으로 된 고 유전율 층으로서, 유전율이 충분히 높게 될 수 있고 전기 전위의 순시 저하가 이로 인해, 억제될 수 있다는 것을 나타낸다.

[0156] 또한, 평가 테스트 4 의 결과는, 비교 실시예가 100 사이클 이후에 IC 칩의 순시 전위 저하를 수반할 수 없다는 것을 도시한다. 원인은 분명하지 않지만, 고유전율 입자의 약한 결합으로 인해, 균열이 나타나고 콘텐서 기능의 손실을 야기한다고 추정된다.

[0157] 또한, 빌드-업 부에의 접착 이전에 회로가 고 유전율 시트에 형성되는 실시예 22 는, 가열 사이클 테스트를 행한 이후에, IC 칩의 순시 전위 저하를 수반할 수 없다. 원인이 분명하지 않지만, 가열 사이클 테스트로 인해, 압력이 라미네이트 프로세스에서 집중하는 부분으로부터 균열이 나타난다고 추정된다.

[0158] 또한, 응력 완화부를 갖지 않는 실시예 25 와 실시예 26 은 가열 사이클 테스트를 행한 이후에, IC 칩의 순시 전위 저하를 수반할 수 없다. 원인은 분명하지 않지만, 응력 완화부가 제공되지 않기 때문에, IC 칩과 다층 프린트 배선판 사이의 열팽창 계수 차이로부터 발생하는 응력으로 인해, 균열 또는 균열의 시점이 고 유전율 층에 형성되었다고 추정된다. 균열의 시점이 가열 사이클 테스트에서 형성되는 경우, 동시에 스위칭 테스트에서 고 유전율 층의 반복 충전 및 방전 단계는, 이 프로세스에서 입자의 변위로 인해 균열의 형성을 야기하게 된

다.

- [0159] 또한, 다이 아래의 정전용량이 0.4 μF 이하인 실시예 4 및 실시예 5 는 평가 테스트 2 를 시행한 이후, IC 칩의 순시 전위 저하를 수반할 수 없다. 원인은 분명하지 않지만, HAST 테스트로 인해, 고 유전율층이 저하되어 비 유전율이 낮아지기 때문에, 충분한 디커플링 효과를 나타낼 수 없다고 추정된다. 또한, 다이 아래의 정전용량이 0.5 μF 이하가 되는 경우, IC 칩의 순시 전위 저하가 평가 테스트 2 이후에, 수반될 수 없는 반면, 문제가 실시예 4 및 실시예 5 와 다이 아래의 동일한 정전용량을 갖는 실시예 23 및 실시예 24 에서 발생할 수 없다. 그 원인은 분명하지 않지만, IC 칩의 순시 전위 저하는 칩 콘덴서로부터 추가적인 전원을 수반한다고 추정된다. 또한, 정전용량이 큰 실시예 14 및 실시예 15 에서 조차, 평가 테스트 2 이후에 IC 칩의 순시 전위 저하가 수반될 수 없다. 원인은 분명하지 않지만, 고 정전용량으로 인해, 보다 쉽게 HAST 테스트의 영향을 받게 되고, 따라서, 고 유전체 층은 유전체 열화 또는 유전체 파괴를 견디게 된다고 추정된다.
- [0160] 고 정전용량을 갖는 실시예 12 내지 15 에 있어서, 평가 테스트 4^{*3} 의 결과는 × 이다. 유전체 재료로 인해, 충전 및 방전이 반복되고 열 사이클에 수반된 응력이 변위로 인해 이 응력에 부가되는 경우 크리스탈 변위가 발생하고, 고 유전율 층의 비 유전율이 저하되고, 그로 인해 × 결과를 야기하는 것으로 추정된다. 또한, 평가 테스트 4^{*3} 의 결과는, 정전용량이 상대적으로 낮은 실시예 2 내지 5, 16 및 17 에 대해 × 이다. 이것은, 가열 사이클 테스트에 유전체 재료의 팽창 및 집중으로 인해 저하되고 다이 아래의 정전용량을 감소시키는 고 유전율의 비 유전율로 인해, × 결과를 야기하는 것으로 추정된다.
- [0161] 테이블 1 의 결과는, 다이 아래의 정전용량이 0.8 내지 5 μF 일 경우, 환경 테스트 이후에 조차 IC 의 트랜지스터의 순시 전압 저하가 수반될 수 있고, HAST 테스트 또는 가열 사이클 테스트를 수행한 이후 조차 문제가 발생하지 않기 때문에, 절연 신뢰성 및 접속 신뢰성이 매우 높아진다는 것을 나타낸다.
- [0162] 모든 실시예에서, 제 1 층 전극이 그라운드 용으로 이용되고 제 2 층 전극이 전원 용으로 이용되지만, 이 관계는 역으로 될 수도 있다.

산업상 이용가능성

- [0163] 본 발명의 다층 프린트 배선판은 IC 칩 또는 다른 반도체 소자를 실장하기 위해 이용되고, 예를 들어, 전기 관련 산업 및 통신 관련 산업용으로 이용될 수 있다.

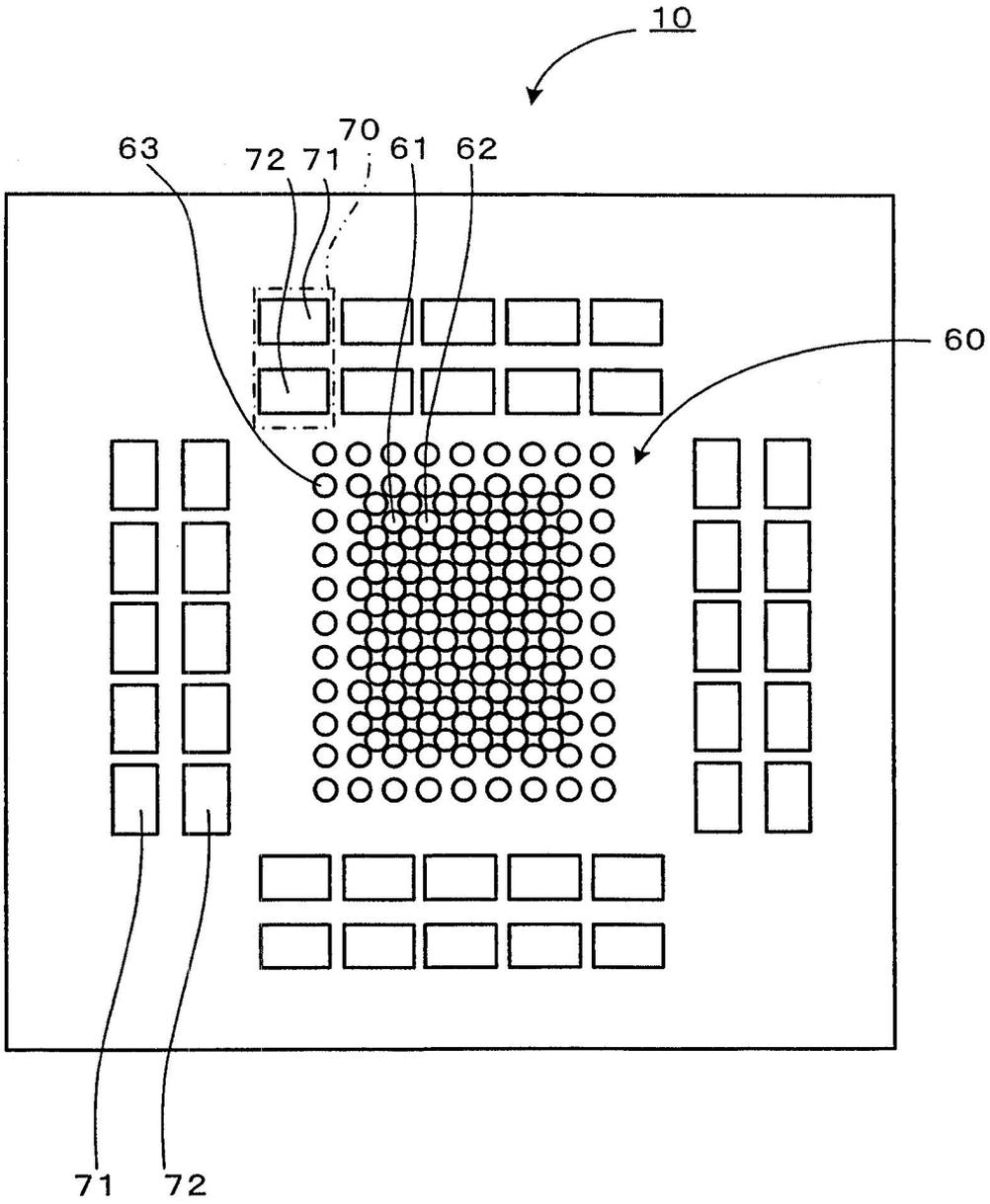
부호의 설명

- [0164] * 도면의 주요 부호에 대한 설명

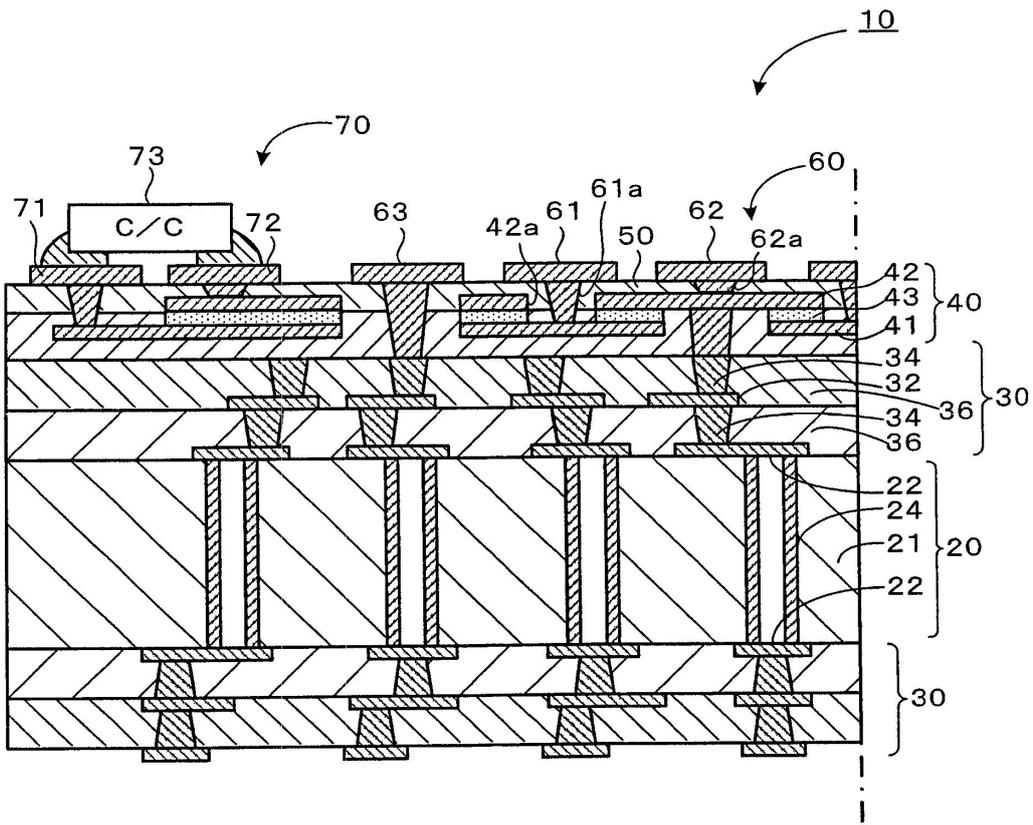
71 : 그라운드 패드	72 : 전원 패드
70 : 칩 콘덴서 배치 영역	61 : 그라운드 패드
62 : 전원 패드	63 : 신호 패드
60 : 실장부	10 : 다층 프린트 배선판

도면

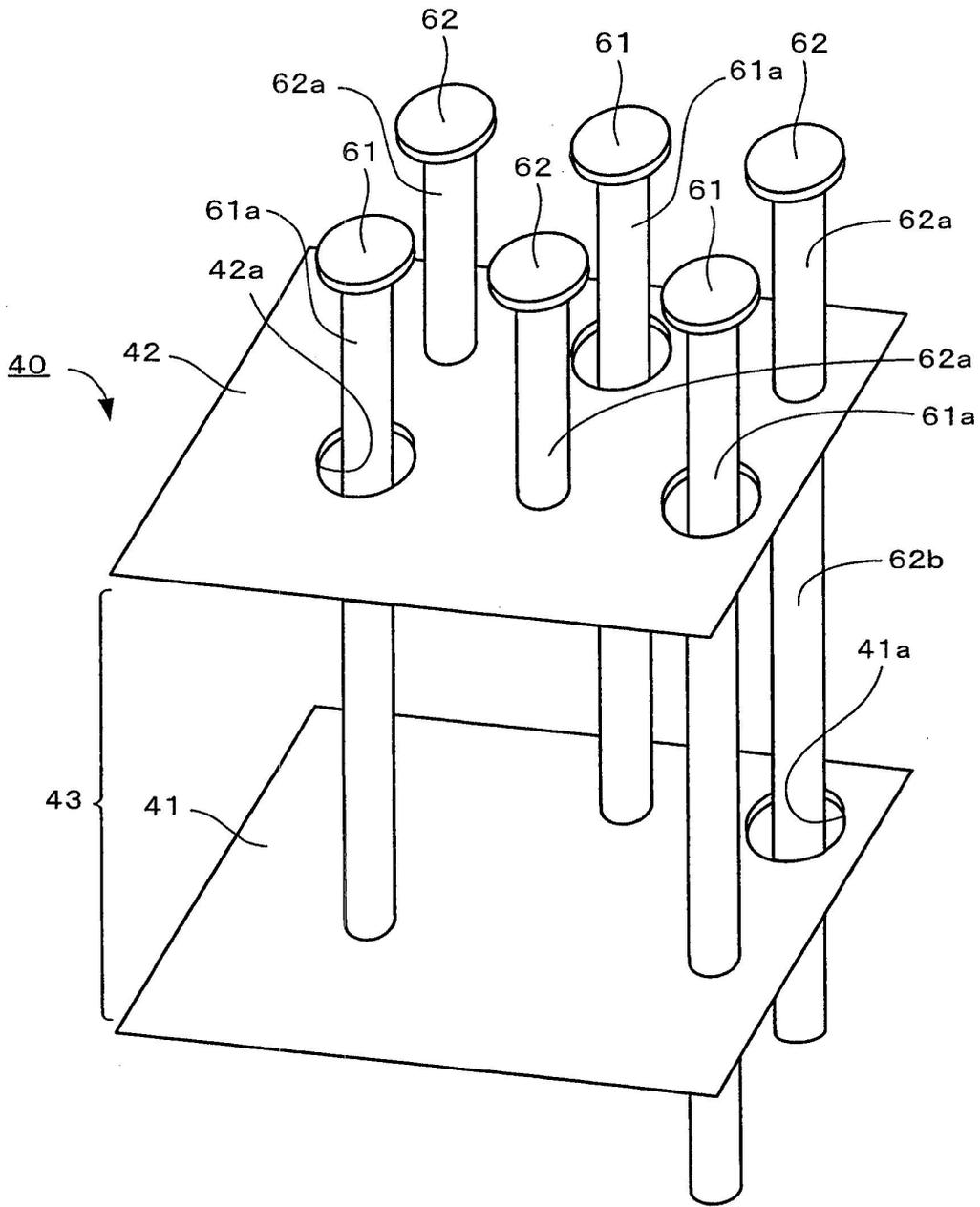
도면1



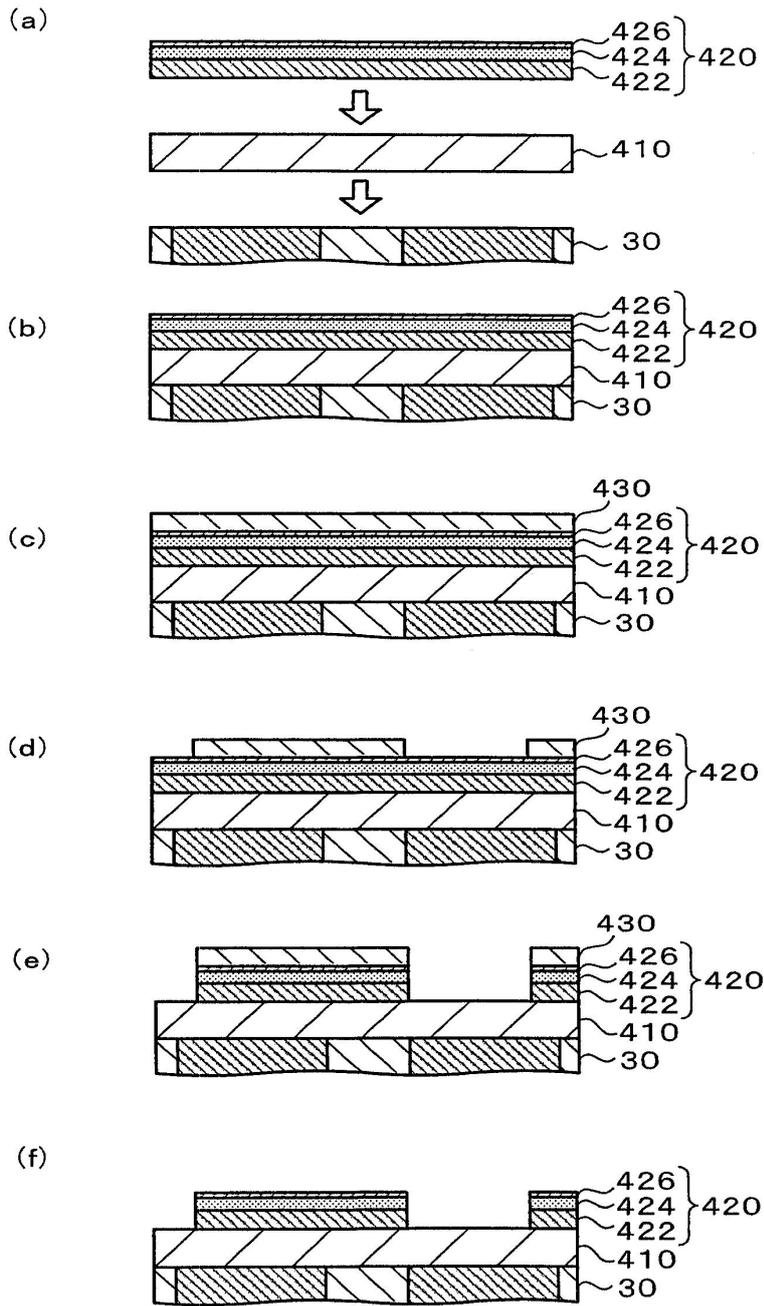
도면2



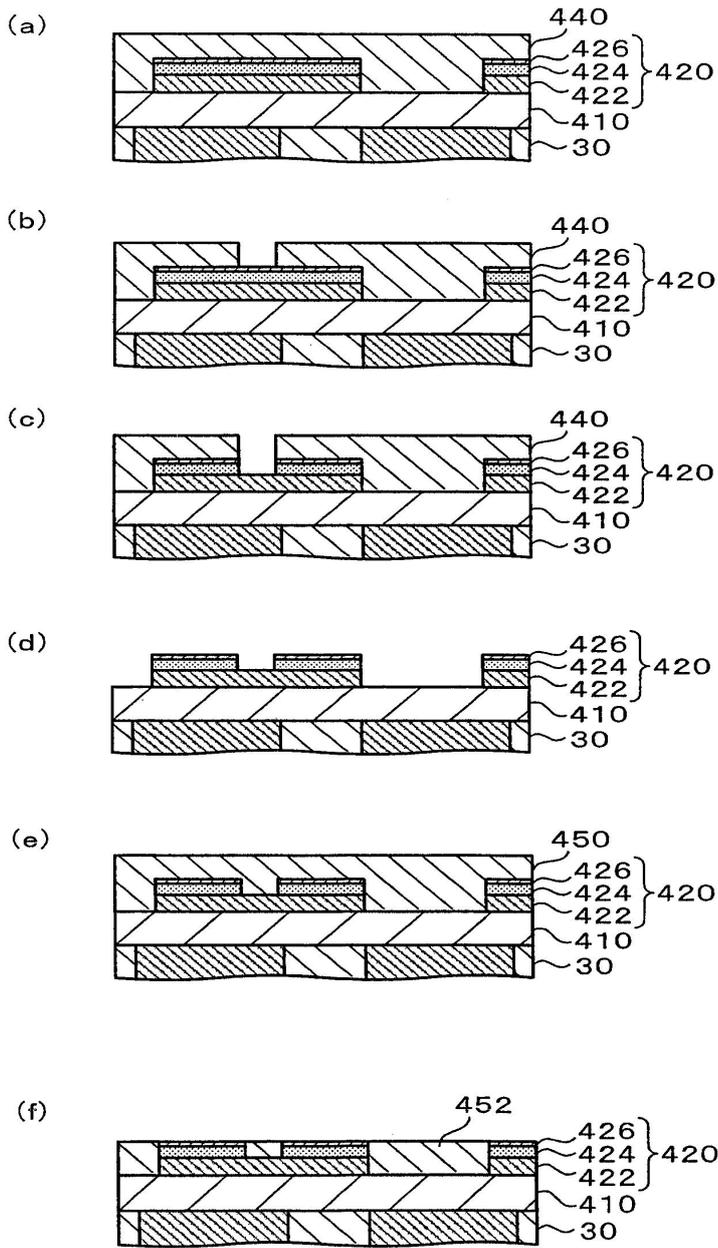
도면3



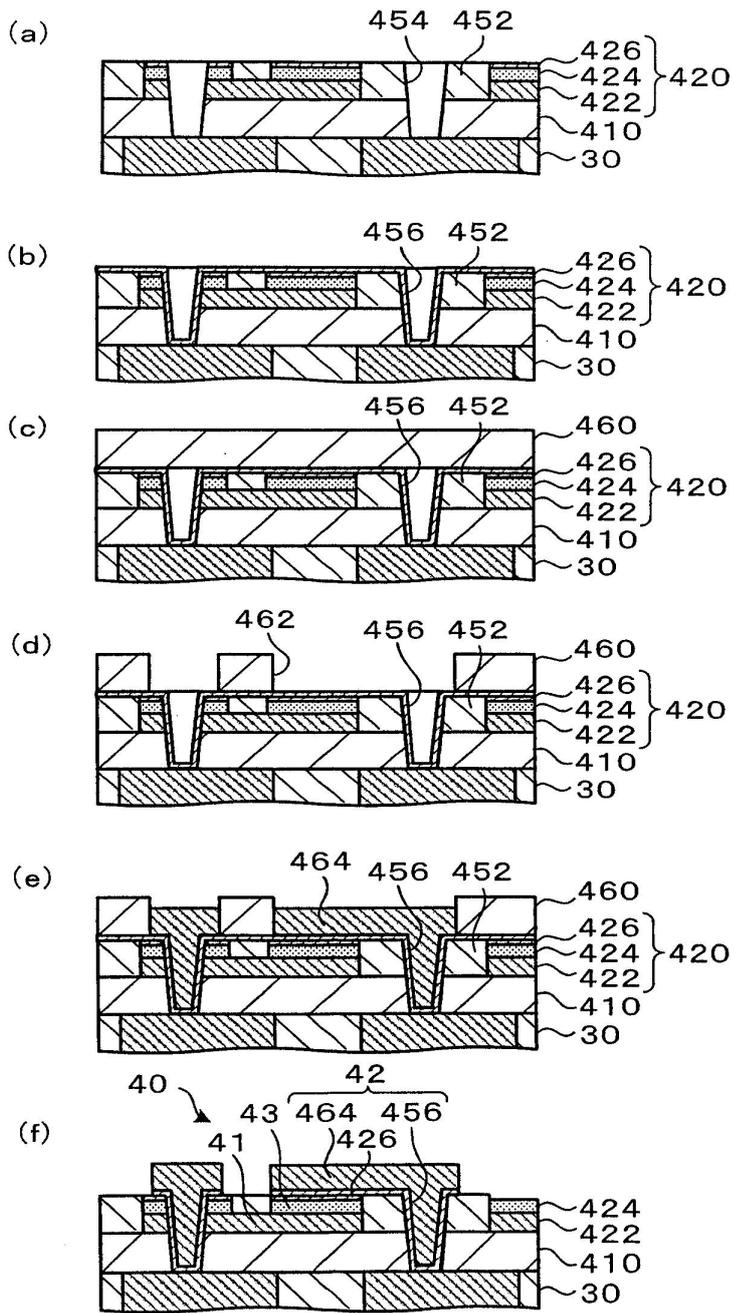
도면4



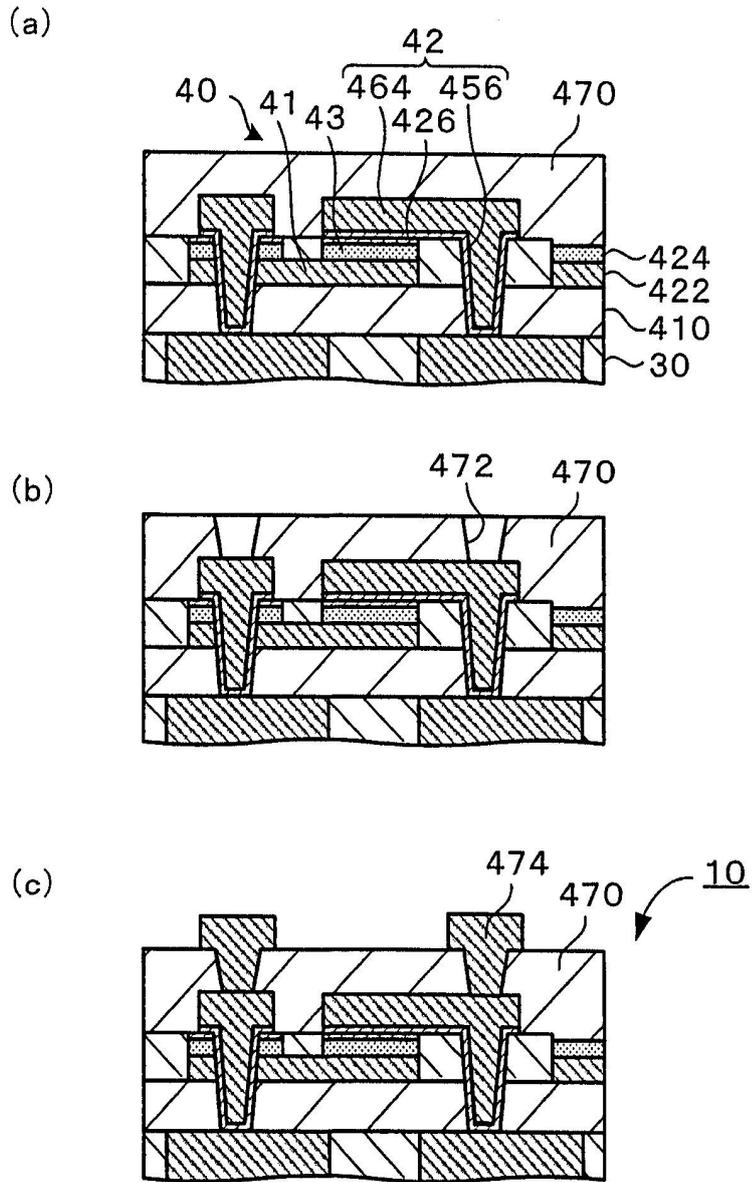
도면5



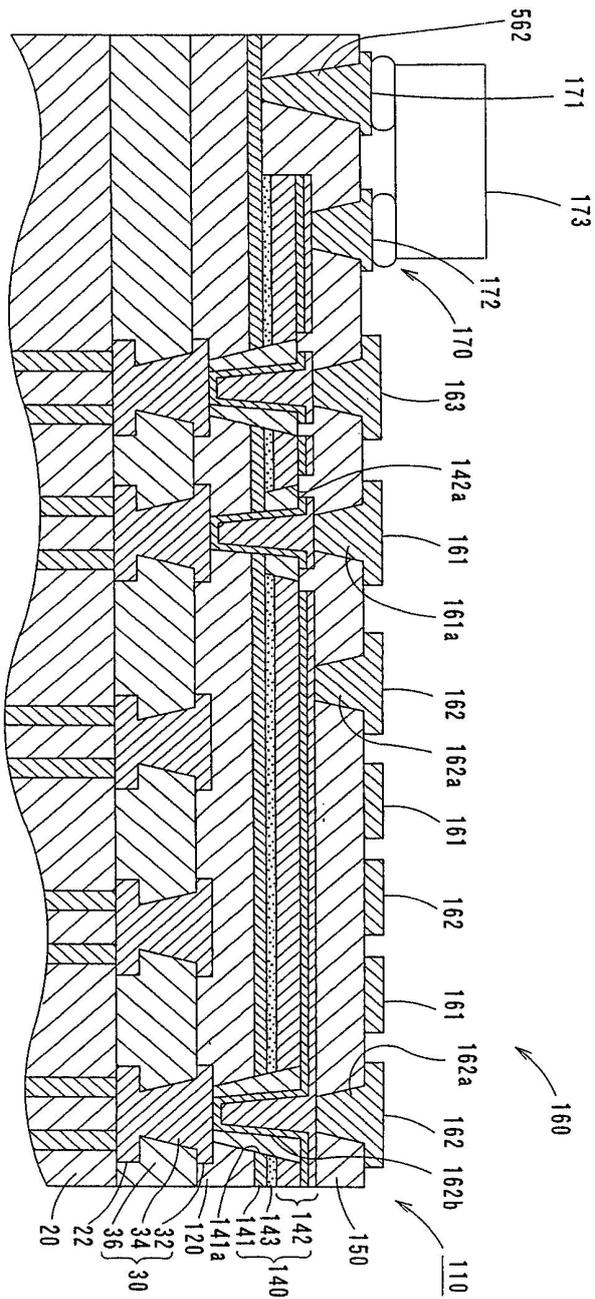
도면6



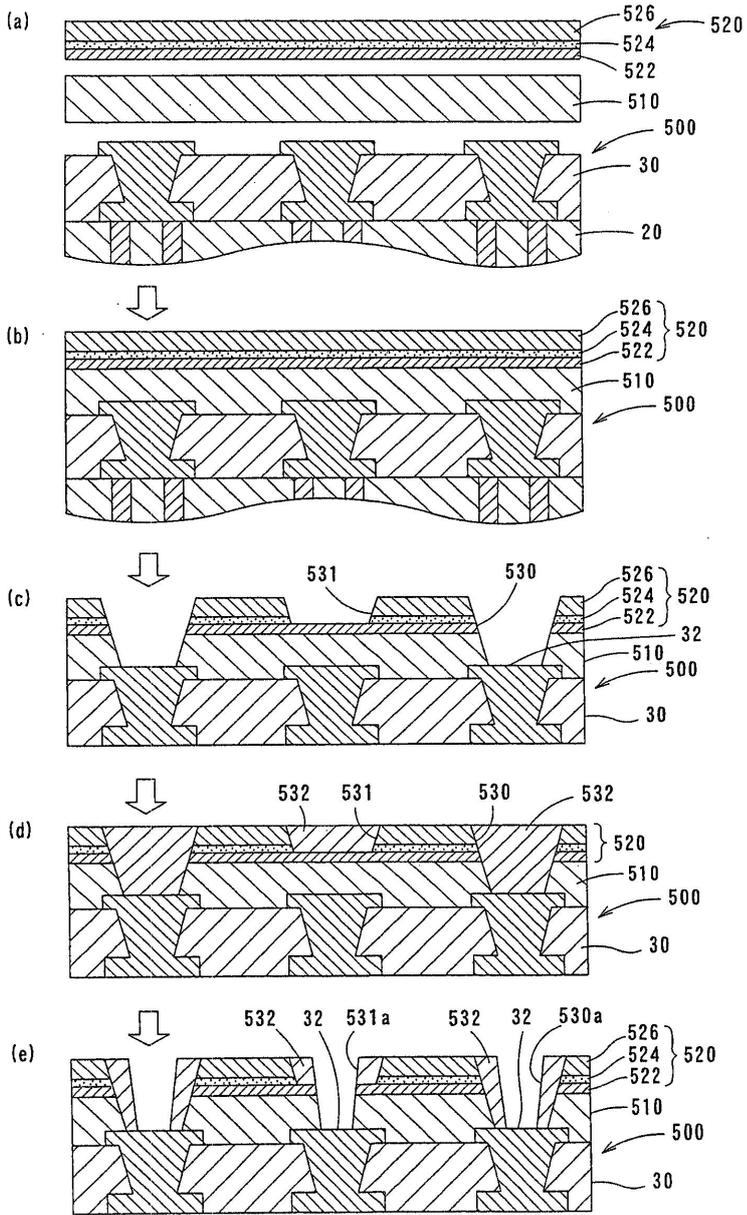
도면7



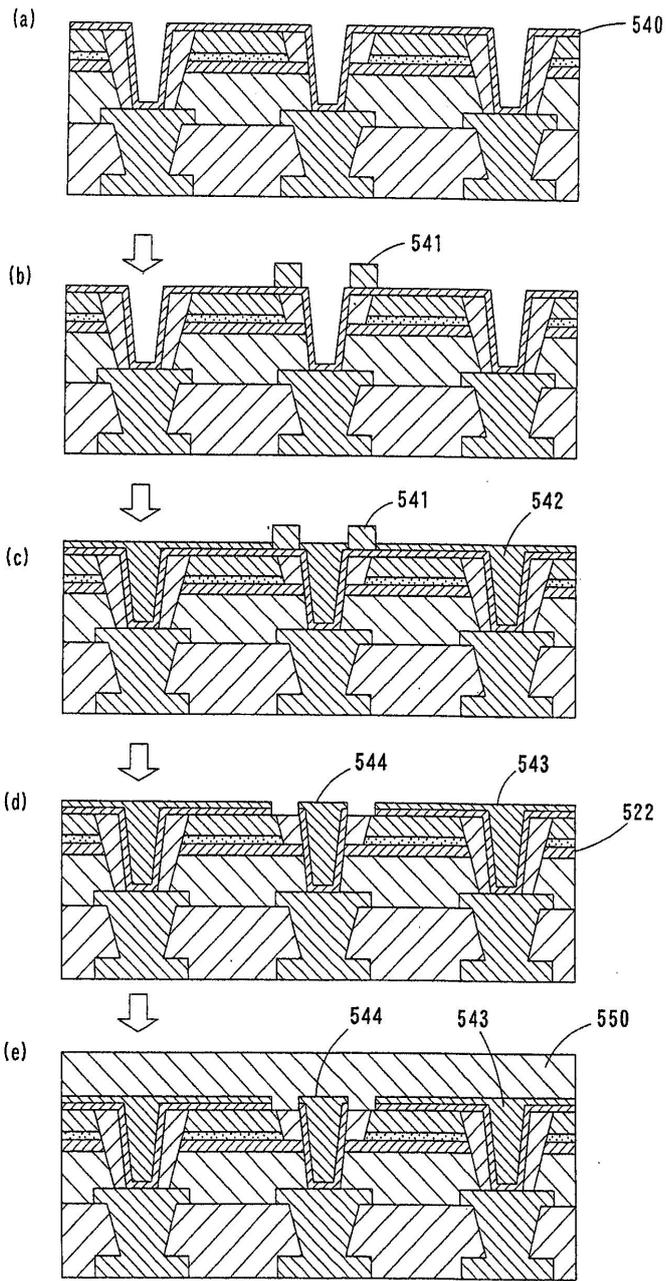
도면8



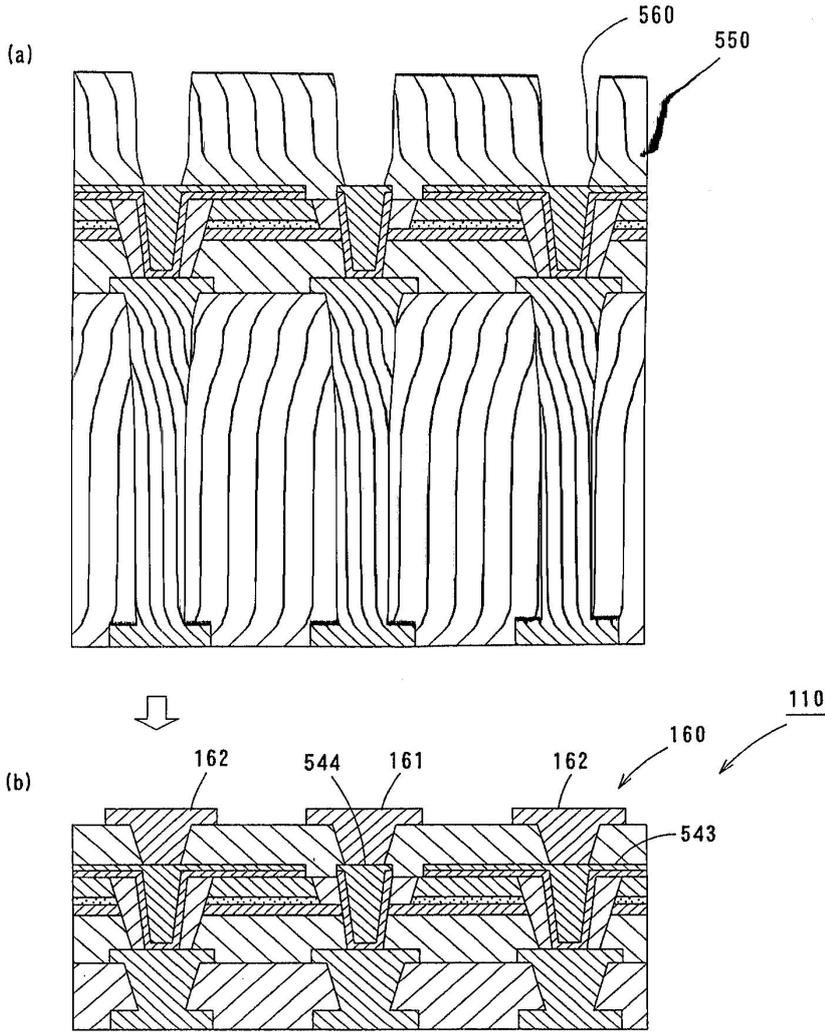
도면9



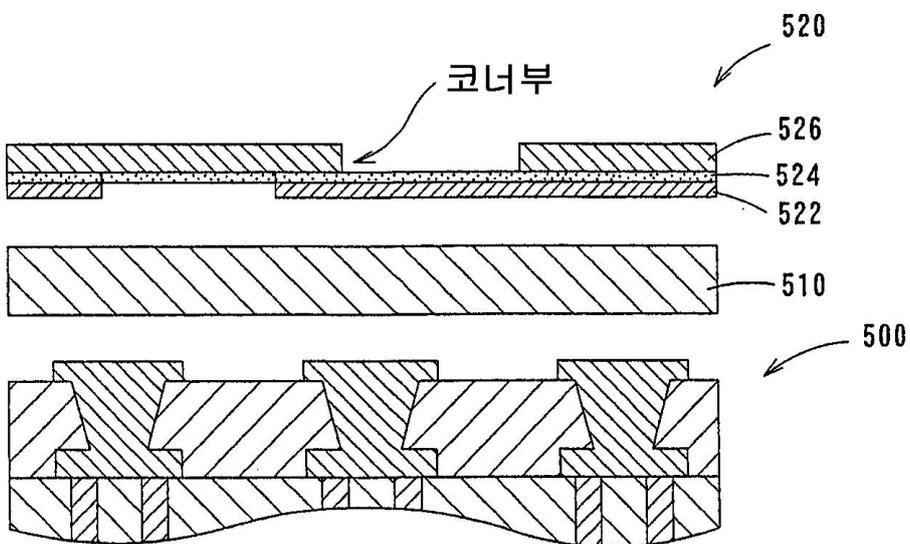
도면10



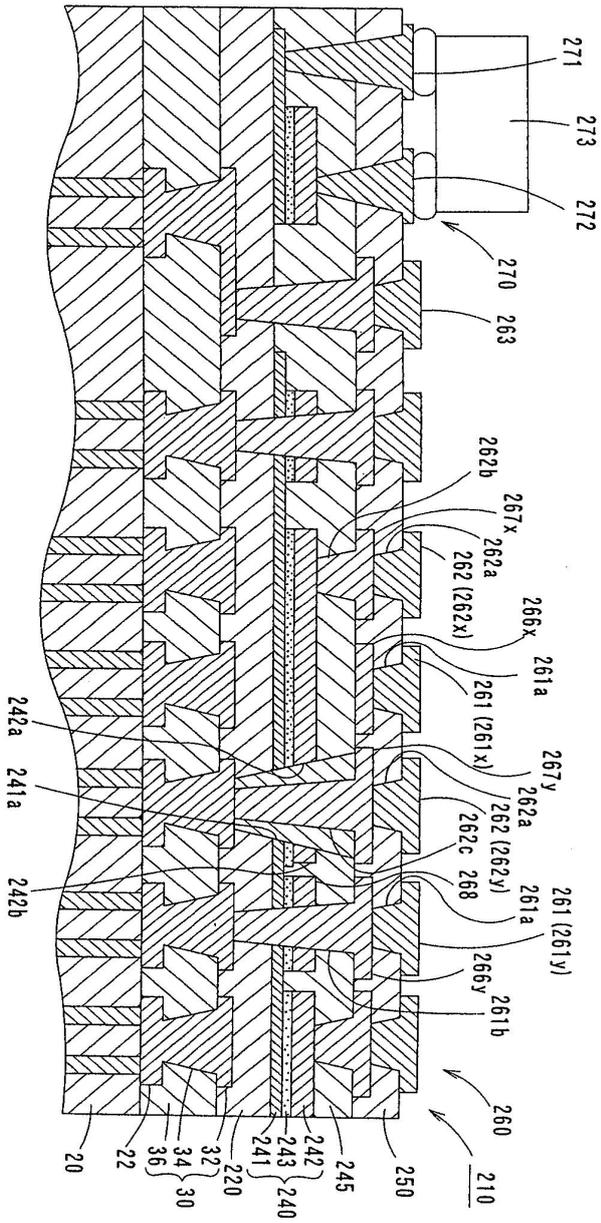
도면11



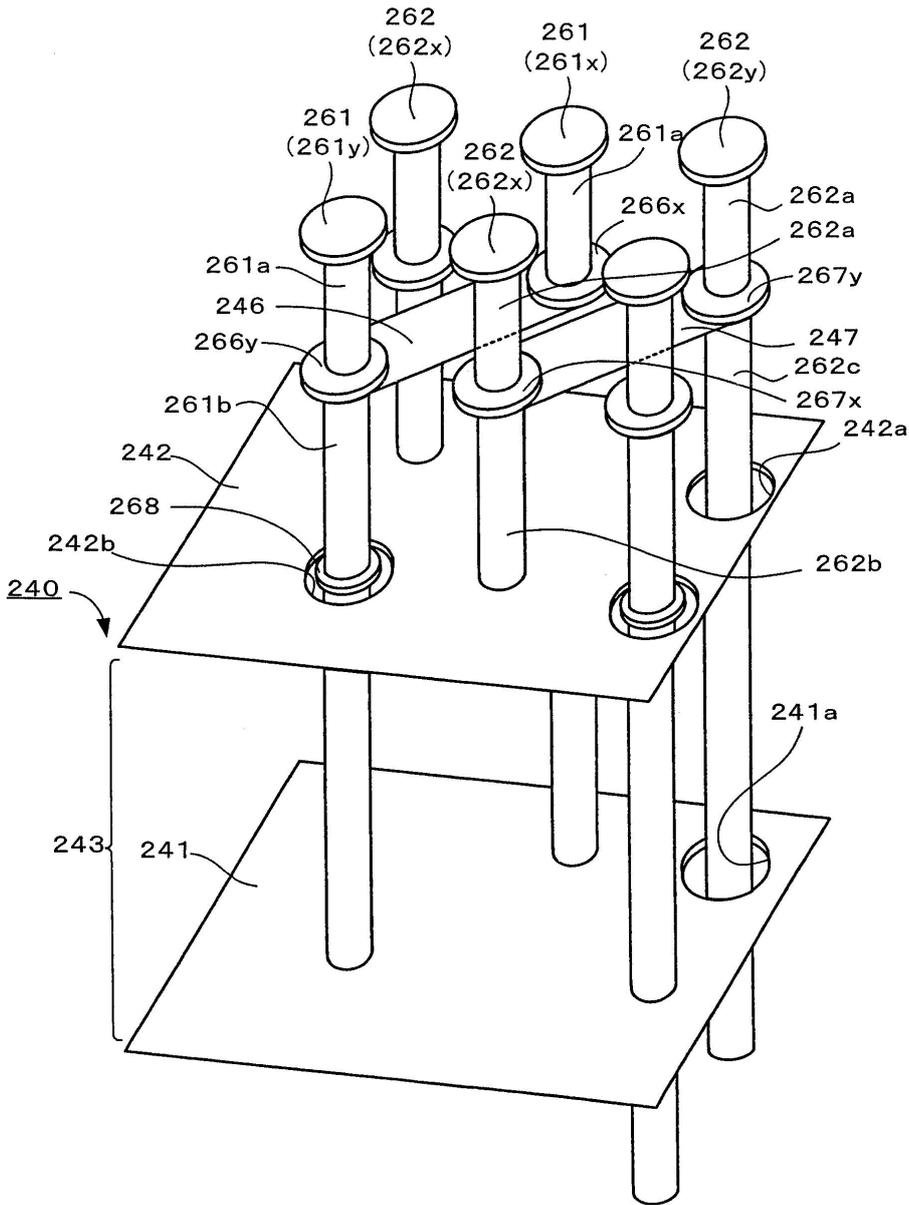
도면12



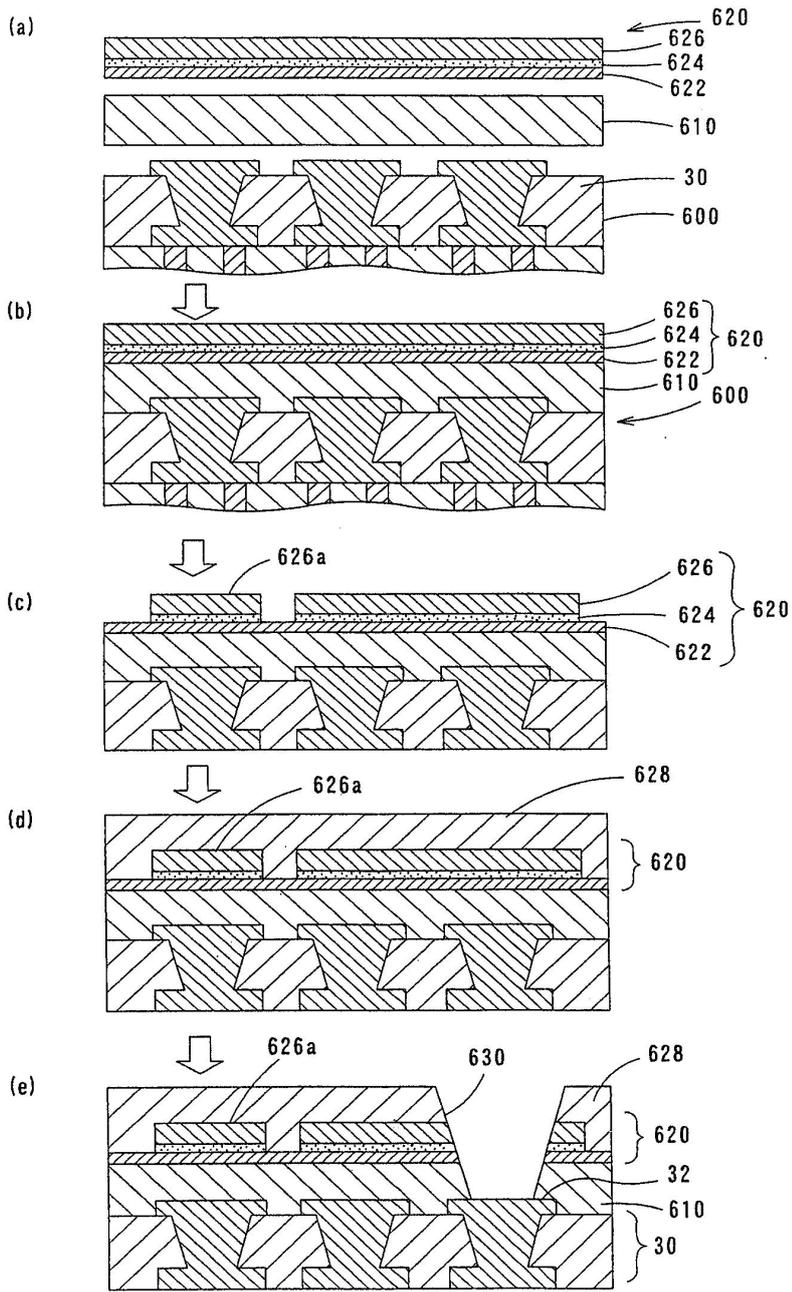
도면13



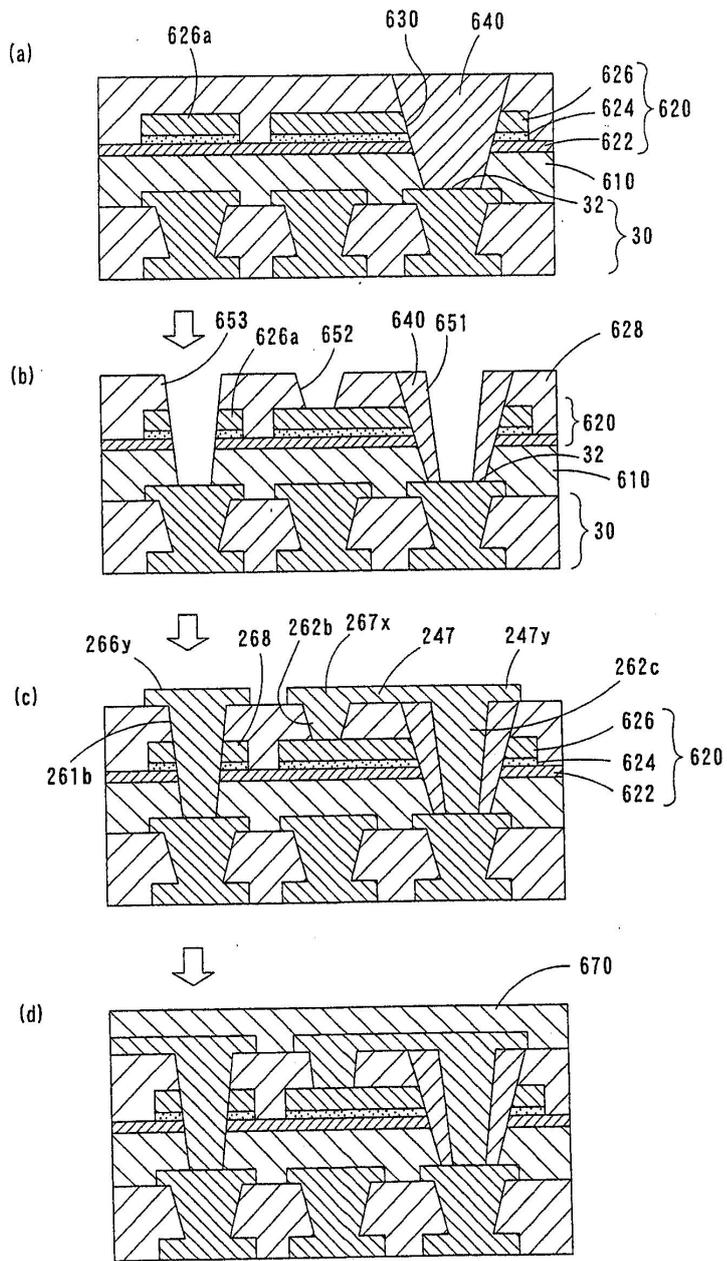
도면14



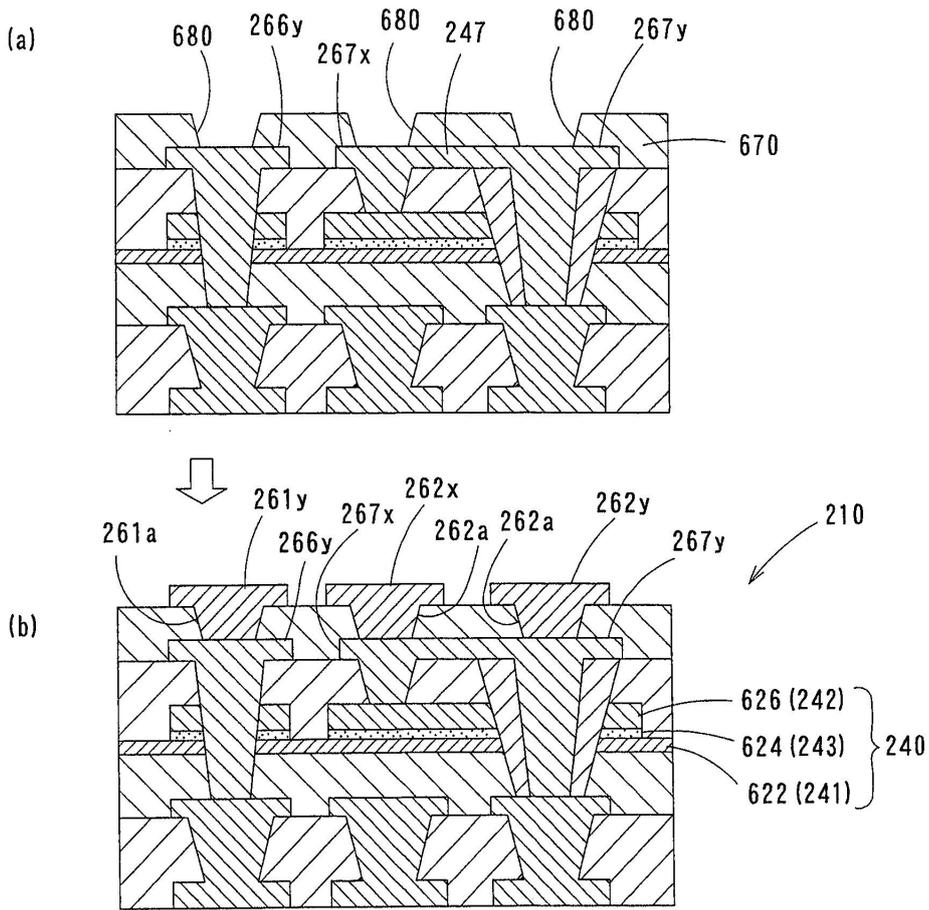
도면15



도면16



도면17



도면18

