



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월16일 10-0669766 2007년01월10일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0093508 2004년11월16일 2004년11월16일	(65) 공개번호 (43) 공개일자	10-2006-0053463 2006년05월22일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자            삼성에스디아이 주식회사  
                              경기 수원시 영통구 신동 575

(72) 발명자                박준영  
                              서울특별시 서초구 방배3동 삼익아파트 3-310

                              김재중  
                              경기 화성시 태안읍 반월리 신영통현대4차아파트 404동 104호

                              이정열  
                              경기 수원시 장안구 율전동 525-4 101호

                              민경욱  
                              서울 관악구 신림13동 650-42

(74) 대리인                리앤목특허법인  
                              이혜영

심사관 : 추장희

전체 청구항 수 : 총 13 항

(54) 유기전계 발광표시장치

(57) 요약

본 발명은 캐소드전극을 분할하여 캐소드전압의 전압강하에 따른 휘도 불균일을 개선하고, 이웃하는 분할된 캐소드전극에 대응하는 화소를 대칭적으로 배열하여 공정마진을 향상시킬 수 있는 유기전계 발광표시장치를 개시한다.

본 발명의 유기전계 발광표시장치는 기관의 화상표시부에 배열되어, 스캔신호와 데이터신호에 따라서 구동되는 다수의 화소와; 상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 스캔신호 및 데이터신호를 제공하기 위한 게이트 드라이버 및 데이터 드라이버와; 상기 화상표시부의 외곽부상에 배열되어, 상기 다수의 화소로 제1전압을 제공하기 위한 전원공급라인과; 상기 기관의 화상표시부 상부에 배열되어, 상기 화상표시부에 배열된 다수의 화소로 제2전압을 제공하기 위한 전극을 포함하며, 상기 전극은 2이상의 전극패턴으로 분할되어, 각 전극패턴은 상기 화상표시부에 배열된 다수의 화소중 대응하는 화소에 각각 상기 제2전압을 제공하며, 상기 이웃하는 전극패턴에 대응하여 배열되는 화소는 전체적으로 대칭되도록 배열된다.

대표도

도 4

특허청구의 범위

청구항 1.

화상표시부를 구비하는 기관과;

상기 기관의 화상표시부에 배열되어, 스캔신호와 데이터신호에 따라서 구동되는 다수의 화소와;

상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 스캔신호를 제공하기 위한 게이트 드라이버와;

상기 화상표시부의 외곽부에 배열되어, 상기 화상표시부에 배열된 다수의 화소로 데이터신호를 제공하기 위한 데이터 드라이버와;

상기 화상표시부의 외곽부상에 배열되어, 상기 다수의 화소로 제1전압을 제공하기 위한 전원공급라인과;

상기 기관의 화상표시부 상부에 배열되어, 상기 화상표시부에 배열된 다수의 화소로 제2전압을 제공하기 위한 전극을 포함하며,

상기 전극은 다수의 전극패턴으로 분할되어, 각 전극패턴은 상기 화상표시부에 배열된 다수의 화소중 대응하는 화소에 각각 상기 제2전압을 제공하며,

상기 이웃하는 전극패턴에 대응하여 배열되는 화소는 전체적으로 대칭되도록 배열되는 것을 특징으로 하는 유기전계 발광 표시장치.

청구항 2.

제1항에 있어서, 상기 각 전극패턴에 대응하여 배열되는 화소는 모두 동일한 구조로 배열되는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 3.

제1항에 있어서, 상기 전극의 분할된 전극패턴에는 동일한 레벨의 제2전압이 외부로부터 각각 인가되는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 4.

제1항에 있어서, 각 화소는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터, 캐패시터 및 EL 소자를 포함하며,

상기 다른 전극패턴에 인접하여 배열되는 화소는 상기 스위칭 박막 트랜지스터 및 상기 구동 박막 트랜지스터와 캐패시터는 캐소드전극의 분할된 부분에 인접하여 배열되고, 상기 EL소자는 캐소드전극의 분할된 부분과 떨어져 배열되는 구조를 갖는 것을 특징으로 하는 유기전계 발광표시장치.

청구항 5.

제1항에 있어서, 상기 전극은 제2전압이 상기 전극으로 인가되는 방향과 교차하는 방향을 따라 분할되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 6.

화상표시부를 구비하는 기관과;

상기 기관의 화상표시부에 배열되어, 스캔신호와 데이터신호에 따라서 구동되는 다수의 화소와;

상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 스캔신호를 제공하기 위한 게이트 드라이버와;

상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 데이터신호를 제공하기 위한 데이터 드라이버와;

상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 소정의 제1전압을 제공하기 위한 전원공급라인과;

상기 화상표시부에 대응하는 기관상부에 배열되어, 상기 다수의 화소로 소정의 제2전압을 제공하기 위한 전극과;

상기 화상표시부의 적어도 일측에 배열되어, 외부로부터 제공되는 상기 제2전압을 상기 전극으로 제공하기 위한 전극라인을 포함하며,

상기 전극은 다수의 전극패턴으로 분할되고,

상기 전극라인은 다수의 라인패턴으로 분할되어, 상기 전극의 전극패턴에 각각 대응하여 배열되며,

상기 전극라인의 라인패턴은 콘택홀을 통해 상기 전극의 전극패턴과 각각 전기적으로 콘택되어, 상기 화상표시부에 배열된 다수의 화소중 대응하는 화소에 각각 상기 제2전압을 제공하며,

상기 이웃하는 전극패턴에 대응하여 배열되는 화소는 전체적으로 대칭되도록 배열되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 7.

제6항에 있어서, 상기 각 전극패턴에 대응하여 배열되는 화소는 모두 동일한 구조로 배열되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 8.

제6항에 있어서, 상기 전극은 상기 전극라인의 길이방향으로 분할되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 9.

제7항에 있어서, 상기 전극라인의 라인패턴은 상기 화상표시부의 일측에 모두 배열되거나 또는 화상표시부의 양측에 각각 배열되어 상기 콘택홀을 통해 상기 전극패턴의 일측과 전기적으로 콘택되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 10.

제9항에 있어서, 상기 전극의 전극패턴에는 각각의 전극라인의 라인패턴을 통해 외부로부터 동일한 레벨의 제2전압이 인가되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 11.

제7항에 있어서, 상기 전극라인의 라인패턴은 상기 화상표시부의 양측에 각각 배열되어, 각각의 콘택홀을 통해 상기 전극패턴의 양측과 동시에 전기적으로 콘택되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 12.

제11항에 있어서, 상기 전극의 전극패턴에는 각각의 전극라인의 라인패턴을 통해 외부로부터 동일한 레벨의 제2전압이 각 전극패턴의 양측으로부터 동시에 인가되는 것을 특징으로 하는 유기전계 발광표시장치.

### 청구항 13.

제7항에 있어서, 각 화소는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터, 캐패시터 및 EL 소자를 포함하며,

상기 다른 전극패턴에 인접하여 배열되는 화소는 상기 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터와 캐패시터는 캐소드전극의 분할된 부분에 인접하여 배열되고, 상기 EL소자는 캐소드전극의 분할된 부분과 떨어져 배열되는 구조를 갖는 것을 특징으로 하는 유기전계 발광표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 캐소드전극이 분할된 유기전계 발광표시장치에 관한 것이다.

유기전계 발광표시장치는 자발광형 유기전기 발광표시장치로서, 표시영역내에 다수의 화소가 배열되는데, 각 화소는 적어도 하나의 스위칭 트랜지스터와 하나의 구동 트랜지스터 그리고 캐패시터와 EL소자를 구비한다. 상기 EL소자는 애노드전극과 캐소드전극 그리고 이들 전극사이에 개재된 발광층을 구비하는 유기막층을 구비한다.

이러한 유기전계 발광표시장치는 화소영역에 배열된 각 화소의 EL소자의 발광층으로부터 발광되는 광이 방출되는 방향에 따라 배면발광구조와 전면발광구조를 갖는다. 전면발광형 유기전계 발광표시장치는 화소의 유기발광층으로부터 발광되는 광이 화소가 배열되는 TFT 어레이기판과 반대방향으로 방출되는 소자로서, 화소가 배열된 TFT 어레이기판쪽으로 광이 방출되는 배면발광구조에 비하여 개구율면에서 유리하다.

유기전계 발광표시장치에서, 상부전극인 캐소드전극은 전면전극형태로 형성되어 화소영역에 배열된 다수의 화소에 공통적으로 캐소드전압을 제공한다. 이와같이 전면전극형태로 형성된 캐소드전극은 저항성분에 의한 전압강하로 인하여 화소영역에 배열되는 위치에 따라 각 화소에 인가되는 캐소드전압이 불균일하였다.

이를 해결하기 캐소드전극하부에 별도로 캐소드전원라인을 형성하고, 캐소드전원라인을 캐소드전극과 연결하여 캐소드전극의 전압강하를 보상하기 위한 기술이 제안되었다.

도 1은 종래의 유기전계 발광표시장치의 평면도를 도시한 것이다.

도 1을 참조하면, 종래의 유기전계 발광표시장치는 기관(100)의 화상표시부(110)에 배열된 화소(10)로 데이터신호를 제공하기 위한 데이터 드라이버(130)가 상기 화상표시부(110)의 외곽부에 배열된다. 또한, 상기 화상표시부(110)에 배열된 화소(10)로 스캔신호를 제공하기 위한 게이트 드라이버(120)가 상기 화상표시부(110)의 외곽부에 배열된다.

상기 화상표시부(110)의 상부에는 캐소드전극(140)이 전면전극형태로 배열되고, 단자부(170)를 통해 상기 캐소드전극(140)으로 소정의 캐소드전압을 제공하기 위한 캐소드 전원라인(160)이 배열된다. 상기 캐소드 전원라인(160)은 상기 캐소드전극(140)과의 연결을 위한 콘택홀(165)을 구비하여, 상기 캐소드전극(140)과 전기적으로 콘택된다.

또한, 종래의 유기전계 발광표시장치는 상기 화상표시부(110)의 화소로 전원전압을 제공하기 위한 전원공급라인(150)을 구비한다. 상기 전원공급라인(150)은 화상표시부(110)에 배열되는 다수의 배선라인(151)을 구비한다.

도 2는 종래의 유기전계 발광표시장치의 회로구성도를 도시한 것이다.

도 2를 참조하면, 종래의 유기전계 발광표시장치는 화상표시부(110)에 다수의 화소(10)가 열과 행의 매트릭스형태로 배열된다. 각 화소(10)는 다수의 게이트라인(G1-Gm)중 해당하는 하나의 게이트라인, 다수의 데이터라인(D1-Dn)중 해당하는 하나의 데이터라인 및 다수의 전원라인(V1-Vn)중 해당하는 하나의 전원라인에 각각 연결된다.

상기 화소(10)는 스위칭 박막 트랜지스터(11), 캐패시터(12), 구동 박막 트랜지스터(13) 및 유기전계 발광소자(14)를 구비한다. 종래의 유기전계 발광표시장치는 각 게이트라인, 데이터라인 및 전원라인에 연결되는 각 화소(10)가 동일하게 배열되어, 캐소드전극(140)으로부터 동일한 캐소드전압(Vss)이 각 화소(10)로 제공된다.

도 3은 도 1에 도시된 종래의 유기전계 발광표시장치에 있어서, 화상표시부(110)에서의 캐소드전극(140)의 전압분포를 도시한 것이다. 도 3에서, V11 내지 V17은 캐소드 전원라인(160)이 화상표시부(110)의 좌측 외곽부에 배열된 경우 단자부(170)로부터 캐소드전극(140)에 제공되는 캐소드전압을 나타낸 것으로서, V11에서 V17로 갈수록 전압강하에 의해 캐소드전압의 전압값이 작아진다.

도 3을 참조하면, 종래의 유기전계 발광표시장치는 캐소드전압의 전압강하로 인하여, 단자부(170)에 인접하는 부분에 배열된 화소보다 단자부(170)에서 멀리 떨어져 있는 부분에 배열된 화소에 인가되는 캐소드전압이 낮아지게 된다. 이와 같이 화상표시부(110)중 상측으로 갈수록 그리고 좌측으로 갈수록 캐소드전압이 낮아지게 되어, 화상표시부(110)에 배열된 다수의 화소에 인가되는 캐소드전압이 화상표시부(110)내의 화소가 배열되는 위치에 따라 불균일하게 되어 휘도 불균일을 초래하게 되는 문제점이 있었다.

또한, 종래의 유기전계 발광표시장치에서, 캐소드전원라인(160)의 캐소드전압은 외부로부터 캐소드전압이 제공되는 단자부(170)로부터 거리가 멀수록 캐소드전원라인의 저항값이 증가한다. 그러므로, 캐소드전원라인(160)중 단자부(170)로부터 멀리 떨어진 부분은 캐소드전원라인(160)의 저항성분에 의해 단자부(170)에 인접한 부분보다 상대적으로 낮은 캐소드전압이 분포하게 된다.

따라서, 도 3에 도시된 바와 같이, 캐소드전원라인(160)에서의 전압강하로 인하여 화상표시부(110)에 배열된 화소로 제공되는 전압이 상이하여 단자부(170)에 인접하는 부분과 멀리 떨어져 있는 부분에 배열된 화소에 인가되는 캐소드전압이 불균일하게 되고, 이로 인하여 휘도불균일이 초래되는 문제점이 있었다.

게다가, 유기전계 발광표시장치가 대면적화되면 될 수록 캐소드전압의 전압강하에 의하여 화소의 배열위치에 따른 캐소드전압의 불균일이 더욱 더 심해지고, 이에 따라 휘도 불균일 문제가 더욱 더 심각해지는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 캐소드전극을 분할하여 캐소드전압강하를 방지하여 휘도균일도를 개선시킬 수 있는 유기전계 발광표시장치를 제공하는 데 그 목적이 있다.

### 발명의 구성

상기 목적을 달성하기 위하여, 화상표시부를 구비하는 기관과; 상기 기관의 화상표시부에 배열되어, 스캔신호와 데이터신호에 따라서 구동되는 다수의 화소와; 상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 스캔신호를 제공하기 위

한 게이트 드라이버와; 상기 화상표시부의 외곽부에 배열되어, 상기 화상표시부에 배열된 다수의 화소로 데이터신호를 제공하기 위한 데이터 드라이버와; 상기 화상표시부의 외곽부상에 배열되어, 상기 다수의 화소로 제1전압을 제공하기 위한 전원공급라인과; 상기 기관의 화상표시부 상부에 배열되어, 상기 화상표시부에 배열된 다수의 화소로 제2전압을 제공하기 위한 전극을 포함하며, 상기 전극은 2이상의 전극패턴으로 분할되어, 각 전극패턴은 상기 화상표시부에 배열된 다수의 화소중 대응하는 화소에 각각 상기 제2전압을 제공하며, 상기 이웃하는 전극패턴에 대응하여 배열되는 화소는 전체적으로 대칭되도록 배열되는 유기전계 발광표시장치를 제공하는 것을 특징으로 한다.

상기 각 전극패턴에 대응하여 배열되는 화소는 모두 동일한 구조로 배열되고, 상기 전극의 분할된 전극패턴에는 동일한 레벨의 제2전압이 외부로부터 각각 인가된다.

각 화소는 적어도 2개의 박막 트랜지스터, 캐패시터 및 EL 소자를 포함하며, 상기 다른 전극패턴에 인접하여 배열되는 화소는 상기 박막 트랜지스터와 캐패시터는 캐소드전극의 분할된 부분에 인접하여 배열되고, 상기 EL소자는 캐소드전극의 분할된 부분과 떨어져 배열되는 구조를 갖는다.

상기 전극은 제2전압이 상기 전극으로 인가되는 방향과 교차하는 방향을 따라 분할된다.

또한, 본 발명은 화상표시부를 구비하는 기관과; 상기 기관의 화상표시부에 배열되어, 스캔신호와 데이터신호에 따라서 구동되는 다수의 화소와; 상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 스캔신호를 제공하기 위한 게이트 드라이버와; 상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 데이터신호를 제공하기 위한 데이터 드라이버와; 상기 화상표시부의 외곽부에 배열되어, 상기 다수의 화소로 소정의 제1전압을 제공하기 위한 전원공급라인과; 상기 화상표시부에 대응하는 기관상부에 배열되어, 상기 다수의 화소로 소정의 제2전압을 제공하기 위한 전극과; 상기 화상표시부의 적어도 일측에 배열되어, 외부로부터 제공되는 상기 제2전압을 상기 전극으로 제공하기 위한 전극라인을 포함하며, 상기 전극은 2이상의 전극패턴으로 분할되고, 상기 전극라인은 2이상의 라인패턴으로 분할되어, 상기 전극의 전극패턴에 각각 대응하여 배열되며, 상기 전극라인의 라인패턴은 콘택홀을 통해 상기 전극의 전극패턴과 각각 전기적으로 콘택되어, 상기 화상표시부에 배열된 다수의 화소중 대응하는 화소에 각각 상기 제2전압을 제공하며, 상기 이웃하는 전극패턴에 대응하여 배열되는 화소는 전체적으로 대칭되도록 배열되는 유기전계 발광표시장치를 제공하는 것을 특징으로 한다.

상기 각 전극패턴에 대응하여 배열되는 화소는 모두 동일한 구조로 배열된다. 상기 전극은 상기 전극라인의 길이방향으로 분할된다.

상기 전극라인의 라인패턴은 상기 화상표시부의 일측에 모두 배열되거나 또는 화상표시부의 양측에 각각 배열되어 상기 콘택홀을 통해 상기 전극패턴의 일측과 전기적으로 콘택된다. 상기 전극의 전극패턴에는 각각의 전극라인의 라인패턴을 통해 외부로부터 동일한 레벨의 제2전압이 인가된다.

상기 전극라인의 라인패턴은 상기 화상표시부의 양측에 각각 배열되어, 각각의 콘택홀을 통해 상기 전극패턴의 양측과 동시에 전기적으로 콘택된다. 상기 전극의 전극패턴에는 각각의 전극라인의 라인패턴을 통해 외부로부터 동일한 레벨의 제2전압이 각 전극패턴의 양측으로부터 동시에 인가된다.

이하 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 4는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 것이다.

도 4를 참조하면, 본 발명의 일 실시예에 따른 유기전계 발광표시장치는 다수의 화소(20)가 배열되는 화상표시부(210)를 구비하는 기관(200), 데이터 드라이버(230) 및 게이트 드라이버(220)를 구비한다. 상기 화상표시부(210)에는 하나의 화소만을 도시하였으나, 도 5에 도시된 바와 같이 상기 다수의 화소(20)가 열과 행의 매트릭스형태로 상기 화상표시부(210)에 배열된다. 상기 데이터 드라이버(230)는 화상표시부(210)에 배열된 화소(20)로 데이터신호를 제공하기 위한 것으로서, 상기 화상표시부(210)의 하측 외곽부에 배열된다. 상기 게이트 드라이버(220)는 상기 화상표시부(210)에 배열된 화소(20)로 스캔신호를 제공하기 위한 것으로서, 상기 화상표시부(210)의 외곽부 일측에 배열된다.

본 발명의 유기전계 발광표시장치는 전원공급라인(250), 캐소드전극(240) 및 캐소드전원라인(260)을 더 구비한다. 상기 전원공급라인(250)은 상기 화소(20)로 전원전압을 제공하기 위한 것으로서, 상기 화상표시부(210)의 외곽부에 배열된다. 상기 전원공급라인(250)은 화상표시부(210)에 배열되는 다수의 배선라인(251)을 구비한다. 상기 배선라인(251)은 도 5의 V1-Vn에 대응한다.

상기 캐소드전극(240)은 상기 화상표시부(210)의 상부에 배열되며, 적어도 2개의 전극패턴(241), (242)으로 분할된다. 상기 캐소드 전원라인(260)은 상기 캐소드전극(240)의 분할된 전극패턴(241), (242)에 각각 대응하여 2개의 라인패턴(261), (262)으로 분할되어 전극패턴(241), (242)에 대응하여 배열된다. 상기 캐소드전원라인(260)은 상기 캐소드 전극(240)의 전극패턴(241), (242)중 제1전극패턴(241)에 대응하여 배열되는 제1라인패턴(261)과 상기 제2전극패턴(242)에 대응하여 배열되는 제2라인패턴(262)을 구비한다.

상기 캐소드 전원라인(260)중 제1라인패턴(261)은 상기 캐소드전극(240)중 제1전극패턴(241)과의 연결을 위한 콘택홀(265)을 구비한다. 상기 캐소드전원라인(260)중 제1라인패턴(261)은 상기 캐소드전극(240)의 제1전극패턴(241)과 콘택홀(265)을 통해 전기적으로 콘택되어, 외부로부터 단자부(270)를 통해 제공되는 소정의 캐소드 전압( $V_{ss1}$ )을 상기 캐소드전극(240)중 제1전극패턴(241)으로 제공한다.

상기 캐소드 전원라인(260)중 제2라인패턴(262)은 상기 캐소드전극(240)중 제2전극패턴(242)과의 연결을 위한 콘택홀(266)을 구비한다. 상기 캐소드전원라인(260)중 제2라인패턴(262)은 상기 캐소드전극(240)의 제2전극패턴(242)과 콘택홀(266)을 통해 전기적으로 콘택되어, 외부로부터 단자부(270)를 통해 제공되는 소정의 캐소드 전압( $V_{ss2}$ )을 상기 캐소드전극(240)중 제2전극패턴(242)으로 제공한다.

이때, 상기 캐소드전극(240)은 캐소드 전원라인(260)의 길이방향을 따라 2분할된다. 즉, 캐소드전압이 캐소드전극에 인가되는 방향과 교차하는 방향을 따라 2분할된다. 상기 캐소드전극(240)중 제1전극패턴(241)은 화상표시부(210)의 상측부분에 대응하여 배열되고, 상기 제2전극패턴(242)은 상기 화상표시부(210)의 하측부분에 대응하여 배열된다.

따라서, 상기 화상표시부(210)에 배열된 다수의 화소(20)중 상측에 배열된 화소에는, 외부로부터 단자부(270)를 통해 캐소드 전원라인(260)중 제1라인패턴(261)으로 제공되는 제1캐소드전압( $V_{ss1}$ )이 상기 캐소드전극(240)중 제1전극패턴(241)을 통해 제공된다. 또한, 상기 화상표시부(210)에 배열된 다수의 화소(20)중 하측에 배열된 화소에는 외부로부터 단자부(270)를 통해 캐소드 전원라인(260)중 제2라인패턴(262)으로 제공되는 제2캐소드전압( $V_{ss2}$ )이 상기 캐소드전극(240)중 제2전극패턴(242)을 통해 제공된다.

도 4에 도시된 바와 같이, 단자부(270)로부터 제1캐소드 전압( $V_{ss1}$ )이 캐소드 전원라인(260)의 제1라인패턴(261)을 통해 캐소드전극(240)의 제1전극패턴(241)으로 인가되는 거리와 단자부(270)로부터 제2캐소드전압( $V_{ss2}$ )이 제2라인패턴(262)을 통해 제2전극패턴(242)에 인가되는 거리가 동일하게 되도록 캐소드 전원라인(260)의 제1라인패턴(261)과 제2라인패턴(262)이 배열되는 것이 바람직하다.

또한, 단자부(270)로부터 제1라인패턴(261)을 통해 캐소드전극(240)의 제1전극패턴(241)으로 인가되는 제1캐소드 전압( $V_{ss1}$ )과 단자부(270)로부터 제2라인패턴(262)을 통해 제2전극패턴(242)으로 인가되는 제2캐소드 전압( $V_{ss2}$ )이 동일하게 되도록 캐소드 전원라인(260)의 제1라인패턴(261)과 제2라인패턴(262)의 전압강하는 동일한 것이 바람직하다.

이 경우, 단자부(270)로부터 제1라인패턴(261)에 인가되는 캐소드전압( $V_{ss1}$ )과 단자부(270)로부터 제2라인패턴(262)에 인가되는 캐소드전압( $V_{ss2}$ )은 동일한 캐소드 전압을 인가하는 것이 바람직하다. 따라서, 도 6에 도시된 바와 같이 캐소드전극(240)의 제1전극패턴(241)과 제2전극패턴(242)에서의 캐소드 전압분포가 동일하게 되도록 배열하는 것이 바람직하다.

한편, 단자부(270)로부터 제1캐소드 전압( $V_{ss1}$ )이 캐소드 전원라인(260)의 제1라인패턴(261)을 통해 캐소드전극(240)의 제1전극패턴(241)에 인가되는 거리와 단자부(270)로부터 제2캐소드전압( $V_{ss2}$ )이 제2라인패턴(262)을 통해 제2전극패턴(242)에 인가되는 거리가 다르게 캐소드 전원라인(260)의 제1라인패턴(261)과 제2라인패턴(262)이 배열되는 경우, 단자부(270)로부터 제1라인패턴(261)을 통해 캐소드전극(240)의 제1전극패턴(241)으로 인가되는 제1캐소드 전압( $V_{ss1}$ )과 단자부(270)로부터 제2라인패턴(262)을 통해 제2전극패턴(242)으로 인가되는 제2캐소드 전압( $V_{ss2}$ )은 서로 상이하게 된다.

이 경우, 제1라인패턴(261)을 통해 발생하는 전압강하와 제2라인패턴(261)을 통해 발생하는 전압강하를 고려하여 단자부(270)로부터 제1라인패턴(261)으로 제공되는 제1캐소드전압( $V_{ss1}$ )과 단자부(270)로부터 제2라인패턴(262)으로 제공되는 제2캐소드전압( $V_{ss2}$ )을 설정하는 것이 바람직하다. 결과적으로, 상기 제1라인패턴(261)을 통해 캐소드전극(240)의 제1전극패턴(241)에 최종적으로 인가되는 제1캐소드전압( $V_{ss1}$ )과 제2라인패턴(262)을 통해 제2전극패턴(242)에 최종적으로 인가되는 제2캐소드전압( $V_{ss2}$ )이 동일하게 만들어 줌으로써, 도 6에서와 같이 캐소드전극(240)의 제1전극패턴(241)과 제2전극패턴(242)의 전압분포가 동일하게 되도록 하는 것이 바람직하다.

도 6은 도 4에 도시된 본 발명의 유기전계 발광표시장치에 있어서, 화상표시부(210)에서의 캐소드전극(240)의 전압분포를 도시한 것이다. 도 6에서, V21 내지 V24은 캐소드 전원라인(260)이 화상표시부(210)의 좌측 외곽부에 배열된 경우 단자부(270)로부터 캐소드전극(240)에 제공되는 캐소드전압을 나타낸 것으로서, V21에서 V24로 갈수록 캐소드전압의 전압값이 작아진다.

본 발명의 유기전계 발광표시장치는 단자부(270)로부터 캐소드 전원라인(260)의 제1라인패턴(261) 및 제2라인패턴(262)을 통해 각각 캐소드전극(240)의 제1전극패턴(241)과 제2전극패턴(242)으로 제공되는 제1캐소드전압(V<sub>ss1</sub>)과 제2캐소드전압(V<sub>ss2</sub>)이 동일하게 인가되므로, 화상표시부(210)의 상측부분에 배열되는 화소와 하측부분에 배열되는 화소에 인가되는 캐소드전압이 도 6에서와 같이 분포하게 된다.

따라서, 종래의 전면전극형태의 캐소드전극에 인가되는 캐소드전압은 V11에서 V17까지의 전압편차가 존재함에 비하여 본 발명의 분할된 캐소드전극에서의 캐소드전압은 V21에서 V24까지의 전압편차가 존재하게 된다. 그러므로, 캐소드전극을 분할함에 따라 전압 균일도가 개선되어 휘도불균일 문제를 해결할 수 있다.

또한, 본 발명의 유기전계 발광표시장치에서는 캐소드전극이 캐소드 전원라인을 따라 2분할되므로, 캐소드전원라인의 제1라인패턴(261)과 제2라인패턴(262)의 길이를 종래의 캐소드전원라인(160)의 길이보다 짧게 배열하는 것이 가능하다. 그러므로, 캐소드전원라인을 통한 전압강하를 종래보다 감소시킬 수 있어 화상표시부(210)에 배열되는 화소의 위치에 따른 캐소드전압의 균일도를 개선할 수 있다.

도 5는 본 발명의 실시예에 따른 유기전계 발광표시장치의 회로구성도를 도시한 것이다.

도 5를 참조하면, 본 발명의 실시예에 따른 유기전계 발광표시장치는 화상표시부(210)에 열과 행의 매트릭스형태로 배열되는 다수의 화소(20)를 구비하고, 또한 게이트 드라이버(220)로부터 스캐닝신호를 상기 화소(20)로 제공하기 위한 다수의 게이트라인(G1 - Gm)과, 상기 데이터 드라이버(230)로부터 데이터신호를 화소(20)로 제공하기 위한 다수의 데이터라인(D1 - Dn) 및 상기 전원라인(250)으로부터 전원전압을 화소(20)로 제공하기 위한 전원라인(V1-Vn)을 구비한다.

각 화소(20)는 다수의 게이트라인(G1-Gm)중 해당하는 하나의 게이트라인, 다수의 데이터라인(D1-Dn)중 해당하는 하나의 데이터라인 및 다수의 전원라인(V1-Vn)중 해당하는 하나의 전원라인에 각각 연결된다. 예를 들면, 다수의 화소(20)중 20k-1번째 열 및 제1행에 배열된 화소(20k-1)는 다수의 게이트라인(G1-Gm)중 해당하는 하나의 게이트라인(G<sub>k</sub>-1), 다수의 데이터라인(D1-Dn)중 해당하는 하나의 데이터라인(D1) 및 다수의 전원라인(V1-Vn)중 해당하는 하나의 전원라인(V1)에 각각 연결된다. 20k번째 열 및 제1행에 배열된 화소(20k)는 다수의 게이트라인(G1-Gm)중 해당하는 하나의 게이트라인(G<sub>k</sub>), 다수의 데이터라인(D1-Dn)중 해당하는 하나의 데이터라인(D1) 및 다수의 전원라인(V1-Vn)중 해당하는 하나의 전원라인(V1)에 각각 연결된다.

또한, 다수의 화소(20)중 20k+1번째 열 및 제1행에 배열된 화소(20k+1)는 다수의 게이트라인(G1-Gm)중 해당하는 하나의 게이트라인(G<sub>k</sub>+1), 다수의 데이터라인(D1-Dn)중 해당하는 하나의 데이터라인(D1) 및 다수의 전원라인(V1-Vn)중 해당하는 하나의 전원라인(V1)에 각각 연결된다. 20k+2번째 열과 제1행에 배열된 화소(20k+2)는 다수의 게이트라인(G1-Gm)중 해당하는 하나의 게이트라인(G<sub>k</sub>+2), 다수의 데이터라인(D1-Dn)중 해당하는 하나의 데이터라인(D1) 및 다수의 전원라인(V1-Vn)중 해당하는 하나의 전원라인(V1)에 각각 연결된다.

상기 화상 표시부(210)에 배열된 다수의 화소(20)중 화상표시부(210)의 상측에 배열된 다수의 화소 즉, 제1게이트라인(G1)부터 제k게이트라인(G<sub>k</sub>)에 연결되는 다수의 화소는 캐소드전극(240)의 제1전극패턴(241)과 제2전극패턴(242)중 제1전극패턴(241)에 연결되어 제1캐소드전압(V<sub>ss1</sub>)이 제공되고, 상기 화상표시부(210)의 하측에 배열된 다수의 화소 즉, 제k+1게이트라인(G<sub>k</sub>+1)부터 제m게이트라인(G<sub>m</sub>)에 연결되는 다수의 화소는 제2전극패턴(242)에 연결되어 제2캐소드전압(V<sub>ss2</sub>)이 제공된다.

각 화소(20)는 2개의 박막 트랜지스터와 하나의 캐패시터 및 유기전계 발광소자(EL 소자)를 구비한다. 상기 박막 트랜지스터는 상기 데이터라인으로부터 제공되는 데이터신호를 전달하기 위한 스위칭 박막 트랜지스터와, 상기 스위칭 박막 트랜지스터를 통해 제공되는 데이터 신호에 반응하여 상기 EL 소자를 구동시켜 주기 위한 구동 박막 트랜지스터를 구비한다.



예를 들어, 상기 화소(20k-1)의 스위칭 박막 트랜지스터(21k-1)는 상기 다수의 게이트 라인(G1 - Gm)중 해당하는 하나의 게이트라인(Gk-1)에 게이트가 연결되고, 상기 다수의 데이터라인(D1 - Dn)중 해당하는 하나의 데이터라인(D1)에 소오스가 연결되며, 상기 캐패시터(22k-1)의 하나의 전극에 드레인이 연결된다.

상기 구동 박막 트랜지스터(23k-1)는 상기 캐패시터(22k-1)의 하나의 전극에 게이트가 연결되고, 상기 다수의 전원라인(V1 - Vn)중 해당하는 하나의 전원라인(V1)과 캐패시터(22k-1)의 다른 전극에 소오스가 연결된다.

상기 EL소자(24k-1)는 하나의 전극, 예를 들어 애노드전극이 상기 구동 박막 트랜지스터(23k-1)의 드레인 전극에 연결되고, 다른 전극, 예를 들어 캐소드전극이 제1캐소드전압(Vss1)에 연결된다. 즉, 상기 EL소자(24k-1)의 캐소드전극에는 상기 캐소드전극(240)의 제1전극패턴(241)으로부터 제1캐소드전압인 제1접지전압(Vss1)에 제공된다.

화소(20k)의 스위칭 박막 트랜지스터(21k)는 상기 다수의 게이트 라인(G1 - Gm)중 해당하는 하나의 게이트라인(Gk)에 게이트가 연결되고, 상기 다수의 데이터라인(D1 - Dn)중 해당하는 하나의 데이터라인(D1)에 소오스가 연결되며, 상기 캐패시터(22k)의 하나의 전극에 드레인이 연결된다.

상기 구동 박막 트랜지스터(23k)는 상기 캐패시터(22k)의 하나의 전극에 게이트가 연결되고, 상기 다수의 전원라인(V1 - Vn)중 해당하는 하나의 전원라인(V1)과 캐패시터(22k)의 다른 전극에 소오스가 연결된다.

상기 EL소자(24k)는 하나의 전극, 예를 들어 애노드전극이 상기 구동 박막 트랜지스터(23k)의 드레인 전극에 연결되고, 다른 전극, 예를 들어 캐소드전극이 제2접지전압(Vss2)에 연결된다. 즉, 상기 EL소자(24k)의 캐소드전극에는 상기 캐소드전극(240)의 제2전극패턴(242)으로부터 제2캐소드전압인 제2접지전압(Vss2)에 제공된다.

화소(20k+ 1)의 스위칭 박막 트랜지스터(21k+ 1)는 상기 다수의 게이트 라인(G1 - Gm)중 해당하는 하나의 게이트라인(Gk+ 1)에 게이트가 연결되고, 상기 다수의 데이터라인(D1 - Dn)중 해당하는 하나의 데이터라인(D1)에 소오스가 연결되며, 상기 캐패시터(22k+ 1)의 하나의 전극에 드레인이 연결된다.

상기 구동 박막 트랜지스터(23k+ 1)는 상기 캐패시터(22k+ 1)의 하나의 전극에 게이트가 연결되고, 상기 다수의 전원라인(V1 - Vn)중 해당하는 하나의 전원라인(V1)과 캐패시터(22k+ 1)의 다른 전극에 소오스가 연결된다.

상기 EL소자(24k+ 1)는 하나의 전극, 예를 들어 애노드전극이 상기 구동 박막 트랜지스터(23k+ 1)의 드레인 전극에 연결되고, 다른 전극, 예를 들어 캐소드전극이 제2접지전압(Vss2)에 연결된다. 즉, 상기 EL소자(24k+ 1)의 캐소드전극에는 상기 캐소드전극(240)의 제2전극패턴(242)으로부터 제2캐소드전압인 제2접지전압(Vss2)에 제공된다.

화소(20k+ 2)의 스위칭 박막 트랜지스터(21k+ 2)는 상기 다수의 게이트 라인(G1 - Gm)중 해당하는 하나의 게이트라인(Gk+ 2)에 게이트가 연결되고, 상기 다수의 데이터라인(D1 - Dn)중 해당하는 하나의 데이터라인(D1)에 소오스가 연결되며, 상기 캐패시터(22k+ 2)의 하나의 전극에 드레인이 연결된다.

상기 구동 박막 트랜지스터(23k+ 2)는 상기 캐패시터(22k+ 2)의 하나의 전극에 게이트가 연결되고, 상기 다수의 전원라인(V1 - Vn)중 해당하는 하나의 전원라인(V1)과 캐패시터(22k+ 2)의 다른 전극에 소오스가 연결된다.

상기 EL소자(24k+ 2)는 하나의 전극, 예를 들어 애노드전극이 상기 구동 박막 트랜지스터(23k+ 2)의 드레인 전극에 연결되고, 다른 전극, 예를 들어 캐소드전극이 제2접지전압(Vss2)에 연결된다. 즉, 상기 EL소자(24k+ 2)의 캐소드전극에는 상기 캐소드전극(240)의 제2전극패턴(242)으로부터 제2캐소드전압인 제2접지전압(Vss2)에 제공된다.

도 5를 참조하면, 캐소드전극(240)의 제1전극패턴(241)에 대응하여 배열되는 화소와, 제2전극패턴(242)에 대응하여 배열되는 화소는 서로 대칭적인 구조를 갖는다.

즉, 캐소드전극(240)의 제1전극패턴(241)에 대응하여 배열되는 화소와 제2전극패턴(242)에 대응하여 배열되는 화소는 대칭적인 구조로 배열된다. 즉, 캐소드전극(240)중 제1전극패턴(241)에 대응하여 배열되는 화소 즉, 제1게이트라인(G1) 내지 제k게이트라인(Gk)에 배열되는 화소는 동일한 구조로 배열되고, 또한 제2전극패턴(242)에 대응하여 배열되는 화소 즉, 제k+ 1게이트라인(Gk+ 1) 내지 제m게이트라인(Gm)에 배열되는 화소는 동일한 구조로 배열되며, 제1전극패턴(241)에 대응하여 배열되는 화소와 제2전극패턴(242)에 대응하여 배열되는 화소는 전체적으로 대칭되도록 배열된다.

도 7은 본 발명의 실시예에 따른 유기전계 발광표시장치의 단면구조를 도시한 것이다. 도 7에서는 화상 표시부(210)에 배열된 다수의 화소중 캐소드전극(240)의 제1전극패턴(241)과 제2전극패턴(242)에 각각 인접하게 배열되는 4개의 화소(20k-1), (20k), (20k+1), (20k+2) 즉, 제k-1게이트라인(Gk-1)에 연결된 화소(20k-1), 제k게이트라인(Gk)에 연결된 화소(20k), 제k+1게이트라인(Gk+1)에 연결된 화소(20k+1) 및 제k+2게이트(Gk+2)에 연결된 화소(20k+2)에 한정하여 도시한 것이다. 도 7에는 각 화소중 유기전계 발광소자(EL 소자)와, 상기 EL 소자를 구동하기 위한 구동 박막 트랜지스터에 한정하여 도시한 것이다. 이때, 화상표시부(210)에 배열된 나머지 화소들도 도 7에 도시된 바와 같은 단면구조를 갖는다.

도 7을 참조하면, 본 발명의 실시예에 따른 유기전계 발광표시장치는 기관(300)상에 4개의 화소(20k-1), (20k), (20k+1), (20k+2)가 배열된다. 즉, 기관(300)의 버퍼층(305)상에 각 화소(20k-1), (20k), (20k+1), (20k+2)의 제1 내지 제4반도체층(310, 320, 330, 340)이 형성된다.

제1화소(20k)를 위한 제1반도체층(310)은 소정 도전형, 예를 들어 p형 불순물이 도핑된 제1소오스/드레인 영역(311, 315)을 구비한다. 제2화소(20k)를 위한 제2반도체층(320)은 p형 불순물이 도핑된 제2소오스/드레인 영역(321, 325)을 구비한다. 제3화소(20k+1)를 위한 제3반도체층(330)은 p형 불순물이 도핑된 제3소오스/드레인 영역(331, 335)을 구비한다. 제4화소(20k+2)를 위한 제4반도체층(340)은 p형 불순물이 도핑된 제4소오스/드레인 영역(341, 345)을 구비한다.

기관상에 게이트 절연막(350)이 형성되고, 게이트 절연막(350)상에 제1 내지 제4화소(20k-1), (20k), (20k+1), (20k+2)를 위한 게이트 전극(361, 363, 365, 367)이 제1 내지 제4반도체층(310, 320, 330, 340)에 대응하여 형성된다. 이때, 상기 게이트전극(361, 363, 365, 367)의 일측에는 상기 게이트전극(361, 363, 365, 367)이 연결되는 게이트라인(362, 364, 366, 368)이 형성된다. 상기 게이트라인(362)은 도 5에서 제k-1게이트라인, 이트라인(364)는 제k게이트라인, 게이트라인(366)은 제k+1게이트라인 및 게이트라인(368)은 제k+2게이트라인을 각각 나타낸다.

기관상에 층간 절연막(360)이 형성된다. 상기 게이트 절연막(350)과 층간 절연막(360)에 제1 내지 제4반도체층(310, 320, 330, 340)의 소오스/드레인 영역(311, 315), (321, 325), (331, 335) 및 (341, 345)을 각각 노출시키는 콘택홀(351, 352), (353, 354), (355, 356), (357, 358)이 형성된다.

상기 층간 절연막(360)상에는 상기 콘택홀(351, 352), (353, 354), (355, 356), (357, 358)을 통해 각각 제1 내지 제4반도체층(310, 320, 330, 340)의 소오스/드레인 영역(311, 315), (321, 325), (331, 335), (341, 345)에 전기적으로 콘택되는 제1 내지 제4화소(20k-1), (20k), (20k+1), (20k+2)를 위한 소오스/드레인 전극(371, 375), (381, 385), (391, 395), (401, 405)이 형성된다. 이때, 도면상에는 도시되지 않았으나, 다수의 데이터라인 및 전원공급라인(250)의 다수의 배선라인(251)이 형성된다.

기관상에 보호막(410)이 형성된다. 상기 보호막(410)은 상기 각 화소(20k-1), (20k), (20k+1), (20k+2)의 소오스/드레인 전극(371, 375), (381, 385), (391, 395), (401, 405)중 드레인 전극(375, 385, 395, 405)의 일부분을 노출시키는 비어홀(411, 413, 415, 417)을 구비한다.

상기 보호막(410)상에 상기 비어홀(411, 413, 415, 417)을 통해 각각 상기 제1 내지 제4화소(20k-1), (20k), (20k+1), (20k+2)의 박막 트랜지스터의 드레인 전극(375, 385, 395, 405)에 연결되는 제1 내지 제4화소(20k-1, 20k, 20k+1, 20k+2)의 화소전극(421, 423, 425, 427)이 형성된다.

기관상에 화소분리막(430)이 형성된다. 상기 화소분리막(430)은 상기 제1 내지 제4화소(20k-1, 20k, 20k+1, 20k+2)의 화소전극(421, 423, 425, 427)를 각각 노출시키는 개구부(431, 433, 435, 437)를 구비한다.

상기 개구부(431, 433, 435, 437)내의 화소전극(421, 423, 425, 427)상에 유기막층(441, 443, 445, 447)이 각각 형성된다. 상기 유기막층(441, 443, 445, 447)은 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층 및 정공억제층으로부터 선택되는 적어도 하나의 유기막층을 포함한다.

기관상에 캐소드전극(450)이 형성된다. 상기 캐소드전극(450)은 2개의 전극패턴(451, 452)으로 분할되어, 상기 제1 내지 제4화소(20k-1, 20k, 20k+1, 20k+2)중 제1 및 제2화소(20k-1, 20k)에 대응하는 부분에는 제1전극패턴(451)이 형성되고, 제3 및 제4화소(20k+1, 20k+2)에 대응하는 부분에는 제2전극패턴(452)이 형성된다. 상기 캐소드전극(450)은 도 5의 캐소드전극(240)에 대응하고, 제1전극패턴(451) 및 제2전극패턴(452)은 각각 도 5의 제1전극패턴(241)과 제2전극패턴(242)에 대응한다.

그러므로, 상기 제1화소(20k-1)의 EL소자(24k-1)는 애노드전극(421) 및 제1전극패턴(451)으로 된 캐소드전극과 두 전극사이에 개재된 유기막층(441)을 포함하고, 상기 제2화소(20k)의 EL 소자(24k)는 애노드전극(423) 및 제1전극패턴(451)으로 된 캐소드전극과 두 전극사이에 개재된 유기막층(443)을 포함한다.

한편, 상기 제3화소(20k+1)의 EL소자(24k+1)는 애노드전극(425) 및 제2전극패턴(452)으로 된 캐소드전극과 두 전극사이에 개재된 유기막층(445)을 포함하고, 상기 제4화소(20k+2)의 EL 소자(24k+2)는 애노드전극(427) 및 제2전극패턴(452)으로 된 캐소드전극과 두 전극사이에 개재된 유기막층(447)을 포함한다.

도 5에 도시된 바와 같이 화상표시부(210)에 배열되는 다수의 화소(20)중 제1전극패턴(241)에 대응하여 배열되는 다수의 화소 즉, 제1게이트라인(G1) 내지 제k-1게이트라인(Gk-1)에 배열된 화소는 서로 동일한 레이아웃으로 배열되고, 제2전극패턴(242)에 대응하여 배열되는 다수의 화소 즉, 제k+2게이트라인(Gk+2) 내지 제m게이트라인(Gm)는 서로 동일한 레이아웃으로 배열된다. 또한, 제1전극패턴(241)에 대응하여 제1게이트라인(G1) 내지 제k게이트라인(Gk)에 연결된 화소와 제2전극패턴(242)에 대응하여 제k+1게이트라인(Gk+1) 내지 제m게이트라인(Gm)에 연결된 화소는 전체적으로 대칭되는 레이아웃으로 배열된다.

이때, 제k게이트라인(Gk)에 배열된 화소와 제k+1게이트라인(Gk+1)에 배열된 화소에 있어서, 박막 트랜지스터 및 캐패시터(21k, 23k, 22k)와 (21k+1, 23k+1, 22k+1)이 캐소드전극의 분할된 부분에서 서로 인접하게 배열되고 상기 EL소자의 화소전극인 애노드전극은 캐소드전극의 분할된 부분에서 보다 떨어져서 배열되는 것이 바람직하다. 그러므로, 캐소드전극이 분할되는 부분에 인접하는 2개의 게이트라인에 연결되는 화소를 대칭적으로 배열시켜 줌으로써, 공정마진을 확보하는데 유리하다.

도 8은 본 발명의 다른 실시예에 따른 유기전계 발광표시장치에 대한 평면구조를 개략적으로 도시한 것이다. 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 제1실시예에 도시된 유기전계 발광표시장치와 구조가 거의 유사하다. 다만, 캐소드전원라인(560)이 화상표시부(510)의 양측에 배열되는 것만 다르다.

도 8을 참조하면, 본 발명의 다른 실시예에 따른 유기전계 발광표시장치는 캐소드전극(540)이 2개의 전극패턴(541), (542)으로 분할되고, 2개의 전극패턴(541), (542)중 제1전극패턴(541)은 다수의 화소가 배열되는 화상표시부(510)의 상측에 대응하여 배열되고, 제2전극패턴(542)은 상기 화상표시부(510)의 하측에 대응하여 배열된다.

상기 화상표시부(510)의 양측 상부에는 캐소드전원라인(560)중 제1라인패턴(561, 563)이 각각 배열되어 상기 캐소드전극(540)의 제1전극패턴(541)의 양단부에서 각각 콘택홀(565, 567)을 통해 전기적으로 콘택되어진다. 또한, 화상표시부(510)의 양측 하부에는 제2라인패턴(562, 564)이 각각 배열되어 상기 캐소드전극(540)의 제2전극패턴(542)의 양단부에서 각각 콘택홀(566, 568)을 통해 전기적으로 콘택되어진다.

본 발명의 다른 실시예에서는 캐소드전극(540)의 제1전극패턴(541), (542)의 양측에서 각각 캐소드전압을 공급함으로써, 캐소드전극의 전압강하에 따른 캐소드전압의 불균일에 따른 휘도불균일을 보다 더 개선할 수 있다.

도 9는 본 발명의 다른 실시예에 따른 유기전계 발광표시장치에 대한 평면구조를 개략적으로 도시한 것이다. 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치는 제1실시예에 도시된 유기전계 발광표시장치와 구조가 거의 유사하다. 다만, 캐소드전원라인(560)이 화상표시부(610)의 양측에 배열되는 것만 다르다.

도 9를 참조하면, 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치는 캐소드전극(640)이 2개의 전극패턴(641), (642)으로 분할되고, 2개의 전극패턴(641), (642)중 제1전극패턴(641)은 다수의 화소가 배열되는 화상표시부(610)의 상측에 대응하여 배열되고, 제2전극패턴(642)은 상기 화상표시부(610)의 하측에 대응하여 배열된다.

상기 화상표시부(610)의 양측 상부에는 캐소드전원라인(660)의 제1라인패턴(661)과 제2라인패턴(662)이 각각 배열된다. 상기 화상표시부(610)의 상부 일측에는 상기 제1라인패턴(661)이 배열되어, 상기 캐소드전극(640)의 제1전극패턴(641)의 일단부와 콘택홀(665)을 통해 전기적으로 콘택되어진다. 또한, 화상표시부(610)의 하부의 일측에는 상기 캐소드전원라인(660)중 제1라인패턴(661)과 대향하는 일측에 제2라인패턴(662)이 각각 배열되어 상기 캐소드전극(640)의 제2전극패턴(642)의 일단부에서 콘택홀(666)을 통해 전기적으로 콘택되어진다.

본 발명의 실시예에서는 캐소드전극이 캐소드전원라인에 콘택홀을 통해 전기적으로 콘택되는 구조를 갖는 유기전계 발광 표시장치에 대하여 설명하였으나, 캐소드전원라인을 구비하지 않은 유기전계 발광표시장치에 적용하는 경우에도 캐소드 전압의 전압강하에 따른 휘도불균일 문제를 개선할 수 있다.

또한, 본 발명의 실시예에서는 각 화소를 구성하는 구동 박막 트랜지스터와 EL 소자가 도 6에 도시된 바와같은 단면구조를 갖는 것으로 예시하였으나, 이에 반드시 국한되는 것이 아니라 다양한 단면구조를 가질 수 있다. 또한, 도 6에는 배면발광구조를 소자에 대하여 예시하였으나, 전면 및 양면발광구조를 갖는 소자에 모두 적용가능하다.

본 발명의 실시예에서는 캐소드전극을 2개의 전극패턴으로 분할 구성하였으나, 필요에 따라서 다수의 전극패턴으로 분할 구성하는 것이 가능하다. 또한, 본 발명의 실시예에서는 상기 캐소드전극을 상, 하로 분할 구성하는 것을 예시하였으나, 유기전계 발광표시장치를 구성하는 구성요소의 배열에 따라 좌, 우로 분할 구성하는 것도 가능하다.

또한, 본 발명의 실시예는 유기전계 발광표시장치에 있어서, 캐소드전극을 분할 구성하는 것을 예시하였으나, 이에 반드시 한정되는 것이 아니라 전면전극형태의 전극구조를 구비하는 표시장치에는 모두 적용가능하다.

### 발명의 효과

상기한 바와같은 본 발명의 실시예에 따르면, 캐소드전극을 분할하여 각각의 분할된 전극패턴으로 캐소드전압을 각각 인가하여 줌으로써, 캐소드전압의 전압강하에 의한 휘도불균일 문제를 해결하여 화질을 향상시킬 수 있는 이점이 있다. 또한, 캐소드전극이 분할된 부분에 배열되는 화소를 대칭적인 레이아웃을 갖도록 배열하여 줌으로써 공정마진을 향상시킬 수 있는 이점이 있다. 본 발명의 캐소드전극을 다수의 전극패턴으로 분할하여 각각에 캐소드전압을 제공하는 유기전계 발광표시장치는 대면적의 표시장치에 보다 유리한 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

도 1은 종래의 유기전계 발광표시장치의 평면도,

도 2는 종래의 유기전계 발광표시장치의 등가회로도,

도 3은 종래의 유기전계 발광표시장치에 있어서, 캐소드전극의 전압 분포를 나타낸 도면,

도 4는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 평면도,

도 5는 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 등가회로도,

도 6은 본 발명의 일 실시예에 따른 유기전계 발광표시장치에 있어서, 캐소드전극의 전압 분포를 나타낸 도면,

도 7은 본 발명의 일 실시예에 따른 유기전계 발광표시장치의 단면 구조도,

도 8은 본 발명의 다른 실시예에 따른 유기전계 발광표시장치의 개략적인 평면도,

도 9는 본 발명의 또 다른 실시예에 따른 유기전계 발광표시장치의 개략적인 평면도,

\* 도면의 주요 부분에 대한 부호의 설명 \*

200, 300 : 기관 210 : 화상 표시부

220 : 게이트 드라이버 230 : 데이터 드라이버

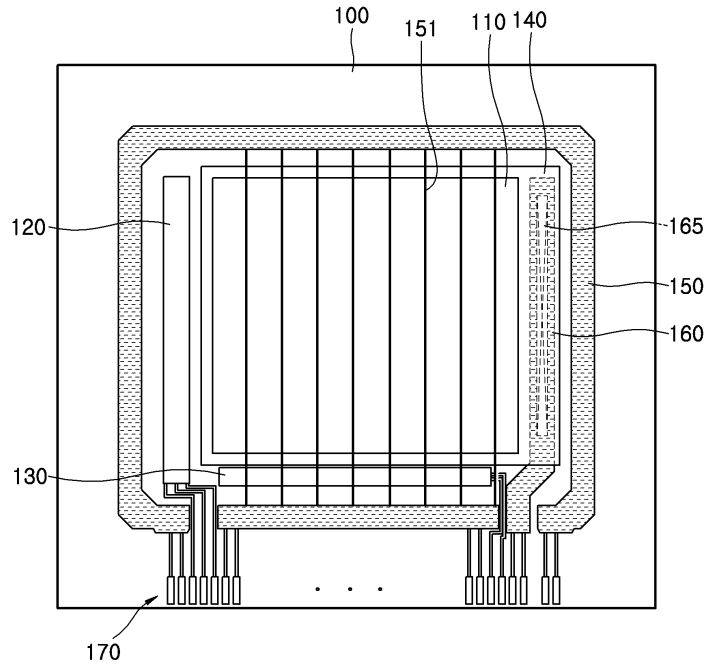
240, 540, 640 : 캐소드전극 250 : 전원공급라인

260, 561, 562, 563, 564, 661, 662 : 캐소드 전원라인

270 : 단자부

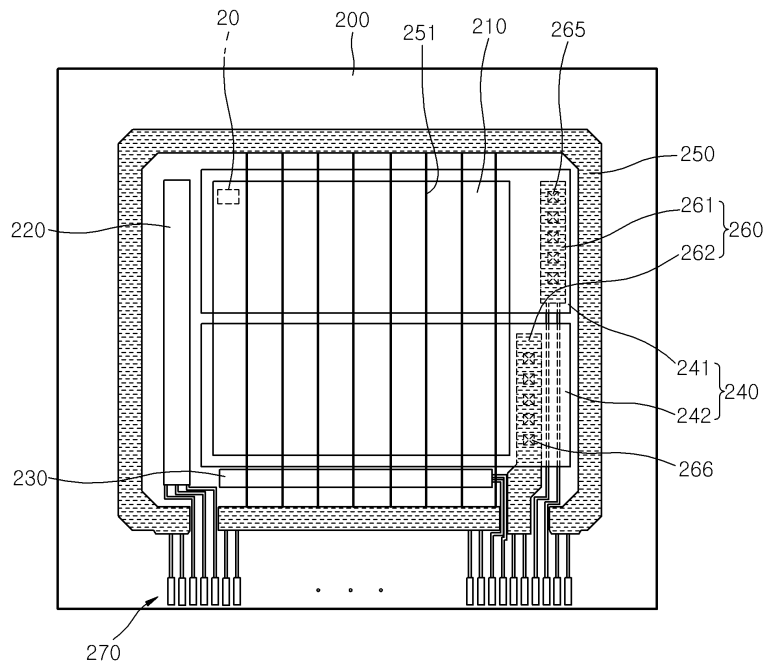
도면

도면1

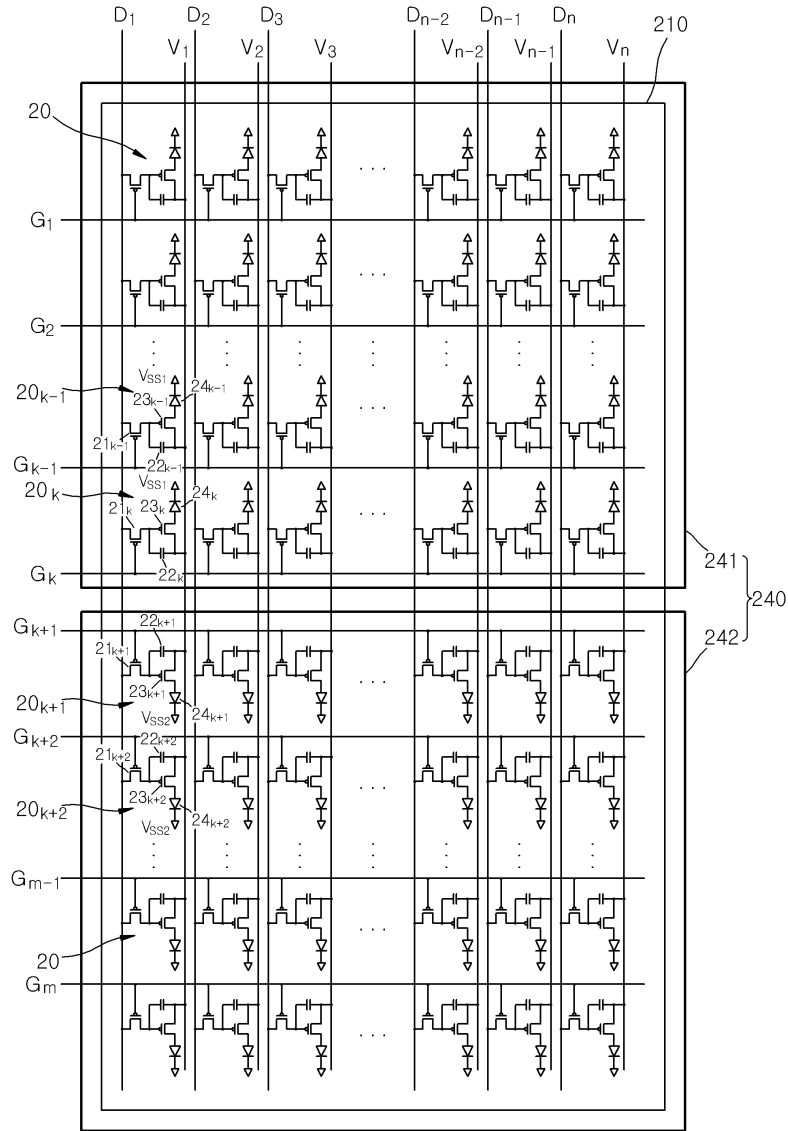




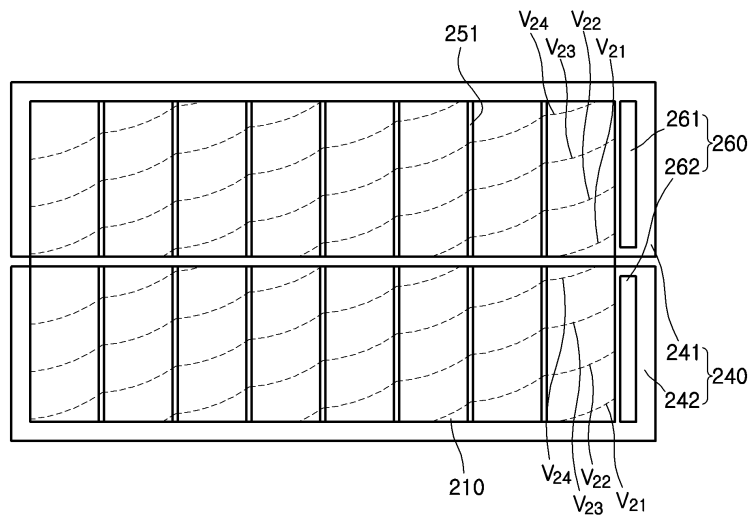
도면4



도면5

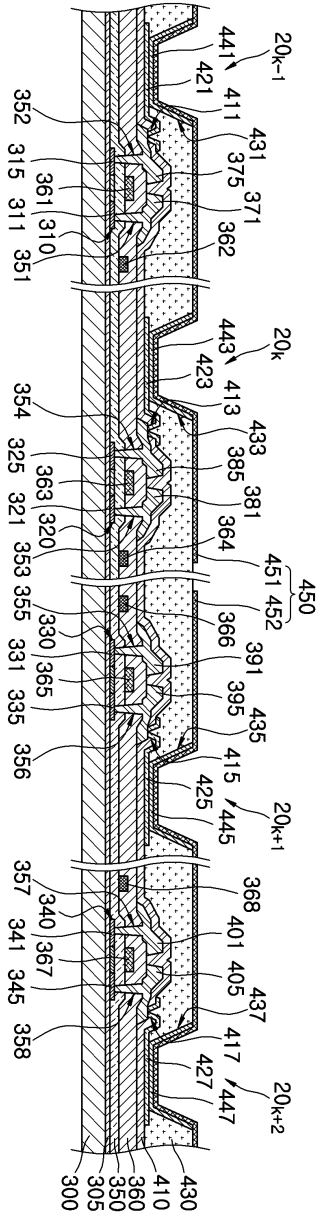


도면6

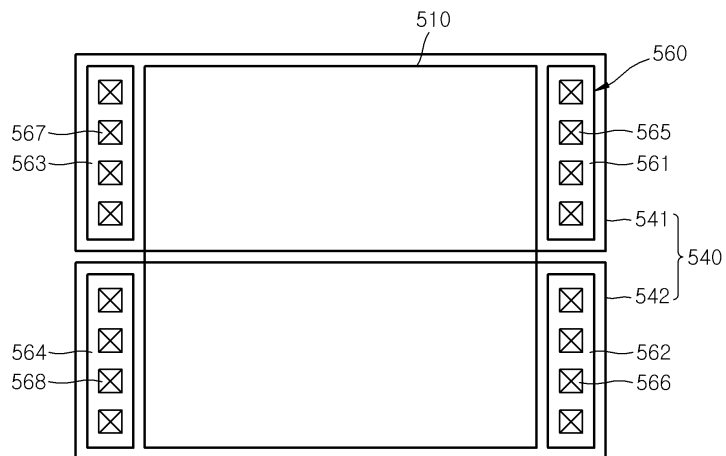




도면7



도면8



도면9

