

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5933188号
(P5933188)

(45) 発行日 平成28年6月8日(2016.6.8)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.	F I
HO 1 L 21/205 (2006.01)	HO 1 L 21/205
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 E
C 2 3 C 16/24 (2006.01)	HO 1 L 29/78 6 1 8 Z
	C 2 3 C 16/24

請求項の数 11 (全 32 頁)

(21) 出願番号 特願2011-103505 (P2011-103505)
 (22) 出願日 平成23年5月6日(2011.5.6)
 (65) 公開番号 特開2011-258937 (P2011-258937A)
 (43) 公開日 平成23年12月22日(2011.12.22)
 審査請求日 平成26年4月16日(2014.4.16)
 (31) 優先権主張番号 特願2010-112164 (P2010-112164)
 (32) 優先日 平成22年5月14日(2010.5.14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100110858
 弁理士 柳瀬 睦肇
 (74) 代理人 100100413
 弁理士 渡部 温
 (72) 発明者 手塚 祐朗
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 微結晶シリコン膜及びその作製方法、並びに半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁膜上に、第1の条件によりシリコン結晶子及びアモルファスシリコンを含む混相粒を有する第1の微結晶シリコン膜をプラズマCVD法で形成し、

前記第1の微結晶シリコン膜上に、第2の条件により第2の微結晶シリコン膜をプラズマCVD法で形成する作製方法であって、

前記第1の条件は、処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を67Pa以上1333Pa以下とする条件であり、

前記第2の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上13332Pa以下とする条件であることを特徴とする微結晶シリコン膜の作製方法。

【請求項2】

請求項1において、

前記第2の条件により前記第2の微結晶シリコン膜を形成した後に、前記第2の微結晶シリコン膜上に第3の条件により第3の微結晶シリコン膜をプラズマCVD法により形成するものであり、

前記第3の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体

と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量の比を前記第2の条件より高くして堆積性気体を希釈し、且つ前記処理室内の圧力を1333 Pa以上13332 Pa以下とする条件であることを特徴とする微結晶シリコン膜の作製方法。

【請求項3】

請求項1または2において、

前記第1の条件は、核となる混相粒を形成し、且つ混相粒の粒密度が100個/ μm^2 以上10000個/ μm^2 以下となるような条件であり、

前記第2の条件は、前記微結晶シリコン膜の密度が1.9 g/ cm^3 より大であり2.3 g/ cm^3 以下となるような条件であることを特徴とする微結晶シリコン膜の作製方法。

10

【請求項4】

請求項1乃至3のいずれか一項において、

前記第1の条件、前記第2の条件及び前記第3の条件の少なくとも一つに用いられる前記原料ガスには希ガスが含まれていることを特徴とする微結晶シリコン膜の作製方法。

【請求項5】

請求項1乃至4のいずれか一項において、

前記第1の条件は、前記第2の条件に比べて、混相粒の結晶性が高くなり、且つ混相粒の成長速度が低くなる条件であることを特徴とする微結晶シリコン膜の作製方法。

【請求項6】

ゲート電極、ソース領域、ドレイン領域及びチャネル領域を有する薄膜トランジスタを備えた半導体装置の作製方法であって、

20

前記チャネル領域は、微結晶シリコン膜を用いて形成され、

前記微結晶シリコン膜は、

絶縁膜上に、第1の条件によりシリコン結晶子及びアモルファスシリコンを含む混相粒を有する第1の微結晶シリコン膜をプラズマCVD法により形成し、

前記第1の微結晶シリコン膜上に、第2の条件により第2の微結晶シリコン膜をプラズマCVD法により形成することにより作製され、

前記第1の条件は、処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を67 Pa以上1333 Pa以下とする条件であり、

30

前記第2の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333 Pa以上13332 Pa以下とする条件であることを特徴とする半導体装置の作製方法。

【請求項7】

請求項6において、

前記微結晶シリコン膜は、

前記第2の条件により前記第2の微結晶シリコン膜を形成した後に、前記第2の微結晶シリコン膜上に第3の条件により第3の微結晶シリコン膜をプラズマCVD法により形成することにより作製され、

40

前記第3の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量の比を前記第2の条件より高くして堆積性気体を希釈し、且つ前記処理室内の圧力を1333 Pa以上13332 Pa以下とする条件であることを特徴とする半導体装置の作製方法。

【請求項8】

絶縁膜上に形成された、シリコン結晶子及びアモルファスシリコンを含む混相粒を有する微結晶シリコン膜であって、

前記混相粒の粒径が、2 nm以上200 nm以下であり、

前記微結晶シリコン膜の密度が1.9 g/ cm^3 より大であり2.3 g/ cm^3 以下で

50

あり、

前記微結晶シリコン膜の抵抗率が $1.0 \times 10^5 \cdot \text{cm}$ 以上 $1.0 \times 10^8 \cdot \text{cm}$ 以下であり、

前記微結晶シリコン膜は、第1の微結晶シリコン膜上に第2の微結晶シリコン膜が積層された膜であり、

前記第1の微結晶シリコン膜は、核となる混相粒を有し、且つ混相粒の粒密度が 100 個/ μm^2 以上 10000 個/ μm^2 以下となるものであり、

前記第2の微結晶シリコン膜は、前記第1の微結晶シリコン膜の混相粒の隙間を埋めるものであることを特徴とする微結晶シリコン膜。

【請求項9】

10

請求項8において、

前記微結晶シリコン膜の活性化エネルギーは、 $0.5 \sim 0.6 \text{ eV}$ であることを特徴とする微結晶シリコン膜。

【請求項10】

ゲート電極、ソース領域、ドレイン領域及びチャネル領域を有する薄膜トランジスタを備えた半導体装置であって、

前記チャネル領域は、シリコン結晶子及びアモルファスシリコンを含む混相粒を有する微結晶シリコン膜を用いて形成され、

前記混相粒の粒径が、 2 nm 以上 200 nm 以下であり、

前記微結晶シリコン膜の密度が 1.9 g/cm^3 より大であり 2.3 g/cm^3 以下であり、

20

前記微結晶シリコン膜の抵抗率が $1.0 \times 10^5 \cdot \text{cm}$ 以上 $1.0 \times 10^8 \cdot \text{cm}$ 以下であり、

前記微結晶シリコン膜は、第1の微結晶シリコン膜上に第2の微結晶シリコン膜が積層された膜であり、

前記第1の微結晶シリコン膜は、核となる混相粒を有し、且つ混相粒の粒密度が 100 個/ μm^2 以上 10000 個/ μm^2 以下となるものであり、

前記第2の微結晶シリコン膜は、前記第1の微結晶シリコン膜の混相粒の隙間を埋めるものであることを特徴とする半導体装置。

【請求項11】

30

請求項10において、

前記微結晶シリコン膜の活性化エネルギーは、 $0.5 \sim 0.6 \text{ eV}$ であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微結晶シリコン膜及びその作製方法、その微結晶シリコン膜を用いた半導体装置及びその作製方法に関する。

【背景技術】

【0002】

40

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成されたシリコン膜を用いてチャネル領域が形成される薄膜トランジスタが知られている。薄膜トランジスタのチャネル領域に用いられるシリコン膜に、非晶質シリコン、微結晶シリコン及び多結晶シリコンを用いる技術が開示されている（特許文献1乃至5参照）。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。

【0003】

非晶質シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、電界効果移動度及びオン電流が低いといった問題がある。一方、微結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、非晶質シリコン膜でチャネル領域が形成される薄

50

膜トランジスタと比較して、電界効果移動度は向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。

【0004】

多結晶シリコン膜がチャネル領域となる薄膜トランジスタは、上記二種類の薄膜トランジスタよりも電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。この薄膜トランジスタは、その特性により、画素に設けられるスイッチング用のトランジスタとして使用できることに加えて、高速動作が要求されるドライバ回路をも構成することができる。

【0005】

しかし、多結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタの作製工程は、非晶質シリコン膜を用いてチャネル領域が形成される薄膜トランジスタを作製する場合に比べ、シリコン膜の結晶化工程が必要となり、製造コストが増大することが問題となっている。例えば、多結晶シリコン膜の製造のために必要なレーザアニール技術は、レーザビームの照射面積が小さく、大画面の液晶パネルを効率良く生産することができないといった問題がある。

10

【0006】

ところで、表示パネルの製造に用いられているガラス基板は、第3世代(550mm×650mm)、第3.5世代(600mm×720mm、または620mm×750mm)、第4世代(680mm×880mm、または730mm×920mm)、第5世代(1100mm×1300mm)、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm、または2450mm×3050mm)、第10世代(2950mm×3400mm)へと大面積化が進んでいる。ガラス基板の大型化はコストミニマム設計の思想に基づいている。

20

【0007】

これに対して、第10世代(2950mm×3400mm)におけるような大面積のマザーガラス基板に、高速動作が可能な薄膜トランジスタを、生産性良く製造することができる技術は依然として確立されておらず、そのことが産業界の問題となっている。

【先行技術文献】

【特許文献】

30

【0008】

【特許文献1】特開2001-053283号公報

【特許文献2】特開平5-129608号公報

【特許文献3】特開2005-049832号公報

【特許文献4】特開平7-131030号公報

【特許文献5】特開2005-191546号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様は、結晶性の高い微結晶シリコン膜を作製する方法を提供することを課題とする。また、本発明の一態様は、電気特性が良好な半導体装置を、生産性高く作製する方法を提供することを課題とする。

40

【課題を解決するための手段】

【0010】

本発明の一態様は、混相粒の粒密度が低く、且つ混相粒の結晶性が高くなるような第1の条件により第1の微結晶シリコン膜を形成した後、前記第1の微結晶シリコン膜上に、第1の微結晶シリコン膜の混相粒の隙間を埋めつつ、且つ結晶成長を促す第2の条件で、第2の微結晶シリコン膜を積層形成する微結晶シリコン膜の作製方法である。

【0011】

混相粒の粒密度が低く、且つ混相粒の結晶性が高くなるような第1の条件は、シリコン

50

を含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上1333Pa以下とする条件であり、第1の微結晶シリコン膜の混相粒の隙間を埋めつつ、且つ結晶成長を促す第2の条件は、シリコンを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を1333Pa以上13332Pa以下とする条件である。

【0012】

また、本発明の一態様は、上記積層された第1の微結晶シリコン膜及び第2の微結晶シリコン膜を用いてチャンネル領域を形成する薄膜トランジスタを有する半導体装置の作製方法である。

10

【0013】

本発明の一態様は、絶縁膜上に、第1の条件によりシリコン結晶子及びアモルファスシリコンを含む混相粒を有する第1の微結晶シリコン膜をプラズマCVD法で形成し、前記第1の微結晶シリコン膜上に、第2の条件により第2の微結晶シリコン膜をプラズマCVD法で形成する作製方法であって、前記第1の条件は、処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を67Pa以上1333Pa以下とする条件であり、前記第2の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上13332Pa以下とする条件であることを特徴とする微結晶シリコン膜の作製方法である。なお、プラズマを生成させるパワーは、シリコンを含む堆積性気体の流量に対する水素の流量の比に合わせて適宜選択することが好ましい。

20

【0014】

また、本発明の一態様において、前記第2の条件により前記第2の微結晶シリコン膜を形成した後に、前記第2の微結晶シリコン膜上に第3の条件により第3の微結晶シリコン膜をプラズマCVD法により形成するものであり、前記第3の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量の比を前記第2の条件より高くして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上13332Pa以下とする条件であることも可能である。

30

【0015】

また、本発明の一態様において、前記第1の条件は、核となる混相粒を形成し、且つ混相粒の粒密度が低くなるような条件であり、前記第2の条件は、第2の微結晶シリコン膜の密度が高くなるような条件であることが好ましい。

【0016】

また、本発明の一態様において、前記第1の条件、前記第2の条件及び前記第3の条件の少なくとも一つに用いられる前記原料ガスには希ガスが含まれていることも可能である。

40

【0017】

本発明の一態様は、核となる混相粒を形成し、且つ混相粒の粒密度が低くなるような第1の条件により、複数の混相粒を有する第1の微結晶シリコン膜を絶縁膜上にプラズマCVD法により形成し、前記第1の微結晶シリコン膜上に、前記第1の微結晶シリコン膜の混相粒の隙間を埋めつつ、且つ第2の微結晶シリコン膜の密度が高くなるような第2の条件により、第2の微結晶シリコン膜をプラズマCVD法により形成するものであり、前記混相粒はシリコン結晶子及びアモルファスシリコンを含むことを特徴とする微結晶シリコン膜の作製方法である。

【0018】

また、本発明の一態様において、前記第1の条件は、前記第2の条件に比べて、混相粒

50

の結晶性が高くなり、且つ混相粒の成長速度が低くなる条件であることが好ましい。

【0019】

本発明の一態様は、ゲート電極、ソース領域、ドレイン領域及びチャネル領域を有する薄膜トランジスタを備えた半導体装置の作製方法であって、前記チャネル領域は、微結晶シリコン膜を用いて形成され、前記微結晶シリコン膜は、絶縁膜上に、第1の条件によりシリコン結晶子及びアモルファスシリコンを含む混相粒を有する第1の微結晶シリコン膜をプラズマCVD法により形成し、前記第1の微結晶シリコン膜上に、第2の条件により第2の微結晶シリコン膜をプラズマCVD法により形成することにより作製され、前記第1の条件は、処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を67Pa以上1333Pa以下とする条件であり、前記第2の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上13332Pa以下とする条件であることを特徴とする半導体装置の作製方法である。

10

【0020】

また、本発明の一態様において、前記微結晶シリコン膜は、前記第2の条件により前記第2の微結晶シリコン膜を形成した後に、前記第2の微結晶シリコン膜上に第3の条件により第3の微結晶シリコン膜をプラズマCVD法により形成することにより作製され、前記第3の条件は、前記処理室内に供給する原料ガスとしてシリコンを含む堆積性気体と水素が含まれたガスを用い、前記堆積性気体の流量に対する水素の流量の比を前記第2の条件より高くして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上13332Pa以下とする条件であることも可能である。

20

【0021】

本発明の一態様は、ゲート電極、ソース領域、ドレイン領域及びチャネル領域を有する薄膜トランジスタを備えた半導体装置の作製方法であって、前記チャネル領域は、微結晶シリコン膜を用いて形成され、前記微結晶シリコン膜は、核となる混相粒を形成し、且つ混相粒の粒密度が低くなるような第1の条件により、複数の混相粒を有する第1の微結晶シリコン膜を絶縁膜上にプラズマCVD法により形成し、前記第1の微結晶シリコン膜上に、前記第1の微結晶シリコン膜の混相粒の隙間を埋めつつ、且つ第2の微結晶シリコン膜の密度が高くなるような第2の条件により、第2の微結晶シリコン膜をプラズマCVD法により形成することにより作製されることを特徴とする半導体装置の作製方法である。

30

【0022】

本発明の一態様は、絶縁膜上に形成された、シリコン結晶子及びアモルファスシリコンを含む混相粒を有する微結晶シリコン膜であって、前記混相粒の粒径が、2nm以上200nm以下（好ましくは10nm以上80nm以下、より好ましくは、20nm以上50nm以下、さらに好ましくは25nm以上33nm以下）であり、前記微結晶シリコン膜の密度が 1.9 g/cm^3 より大であり 2.3 g/cm^3 以下であり、前記微結晶シリコン膜の抵抗率が $1.0 \times 10^5 \cdot \text{cm}$ 以上 $1.0 \times 10^8 \cdot \text{cm}$ 以下、好ましくは $5 \times 10^6 \cdot \text{cm}$ 以上 $5.0 \times 10^7 \cdot \text{cm}$ 以下であることを特徴とする微結晶シリコン膜である。また、前記微結晶シリコン膜の導電率の活性化エネルギーは、0.5~0.6eVである。

40

【0023】

また、本発明の一態様において、前記微結晶シリコン膜は、第1の微結晶シリコン膜上に第2の微結晶シリコン膜が積層された膜であり、前記第1の微結晶シリコン膜は、核となる混相粒を形成し、且つ混相粒の粒密度が低くなるよう第1の条件によりプラズマCVD法で形成されており、前記第2の微結晶シリコン膜は、前記第1の微結晶シリコン膜の混相粒の隙間を埋めつつ、且つ第2の微結晶シリコン膜の密度が高くなるような第2の条件によりプラズマCVD法で形成されていることが好ましい。

50

【 0 0 2 4 】

本発明の一態様は、ゲート電極、ソース領域、ドレイン領域及びチャネル領域を有する薄膜トランジスタを備えた半導体装置であって、前記チャネル領域は、シリコン結晶子及びアモルファスシリコンを含む混相粒を有する微結晶シリコン膜を用いて形成され、前記混相粒の粒径が、2 nm以上200 nm以下（好ましくは10 nm以上80 nm以下、より好ましくは20 nm以上50 nm以下、さらに好ましくは25 nm以上33 nm以下）であり、前記微結晶シリコン膜の密度が 1.9 g/cm^3 より大であり 2.3 g/cm^3 以下であり、前記微結晶シリコン膜の抵抗率が $1.0 \times 10^5 \cdot \text{cm}$ 以上 $1.0 \times 10^8 \cdot \text{cm}$ 以下、好ましくは $5 \times 10^6 \cdot \text{cm}$ 以上 $5.0 \times 10^7 \cdot \text{cm}$ 以下であることを特徴とする半導体装置である。また、前記微結晶シリコン膜の活性化エネルギーは

10

【発明の効果】

【 0 0 2 5 】

本発明の一態様を適用することで、結晶性の高い微結晶シリコン膜を作製することができる。また、本発明の一態様を適用することで、電気特性が良好な半導体装置を、生産性高く作製することができる。

【図面の簡単な説明】

【 0 0 2 6 】

【図1】(A)、(B)は本発明の一態様の結晶性の高い微結晶シリコン膜の作製方法を説明する断面図。

20

【図2】本発明の一態様の結晶性の高い微結晶シリコン膜の作製方法を説明する断面図。

【図3】(A)～(D)は本発明の一態様の半導体装置の作製方法を説明する断面図。

【図4】(A)、(B)は本発明の一態様の半導体装置の作製方法を説明する断面図。

【図5】(A)～(C)は本発明の一態様の半導体装置の作製方法を説明する断面図。

【図6】本発明の一態様である半導体装置に形成される薄膜トランジスタの作製方法を説明する断面図。

【図7】試料3の薄膜トランジスタの電気特性の測定結果を示す図。

【図8】微結晶シリコン膜の混相粒密度と、当該微結晶シリコン膜を用いて形成した薄膜トランジスタの電界効果移動度を示す図。

【図9】(A)は試料15のSEM写真、(B)は試料16のSEM写真、(C)は試料17のSEM写真。

30

【図10】(A)は試料16のTEM像（倍率50万倍）、(B)は試料16のTEM像（倍率200万倍）。

【図11】(A)は試料17のTEM像（倍率50万倍）、(B)は試料17のTEM像（倍率200万倍）。

【図12】試料18乃至試料26それぞれの微結晶シリコン膜を用いて形成した薄膜トランジスタの電界効果移動度(μFE)を測定し、その結果と成膜圧力の関係を示す図。

【発明を実施するための形態】

【 0 0 2 7 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【 0 0 2 8 】

(実施の形態1)

本実施の形態では、結晶性の高い微結晶シリコン膜の作製方法について、図1を用いて説明する。

【 0 0 2 9 】

図1(A)に示すように、基板51上に絶縁膜55を形成し、絶縁膜55上にシリコン結晶子及びアモルファスシリコンを含む混相粒57aを有する第1の微結晶シリコン膜5

50

7をプラズマCVD法により形成する。

【0030】

基板51としては、ガラス基板、セラミック基板等を用いることができる。なお、基板51のサイズに限定はなく、例えば上述のフラットパネルディスプレイの分野でよく使われる第3世代乃至第10世代のガラス基板を用いることができる。

【0031】

絶縁膜55は、CVD法またはスパッタリング法等を用いて、窒化シリコン膜、窒化酸化シリコン膜を、単層でまたは積層して形成することができる。

【0032】

第1の微結晶シリコン膜57は、混相粒57aの粒密度(面内における混相粒の存在割合)が低く、且つ混相粒57aの結晶性が高いことを特徴とする。このため、第1の微結晶シリコン膜57は、混相粒57aが隣接せず、隣り合う混相粒57aの間に隙間57bを有するものも含まれる。第1の微結晶シリコン膜57の厚さは、1nm以上10nm以下であることが好ましく、混相粒57aが隣接せず、隣り合う混相粒57aの間に隙間57bを有する部分は、隣接しない混相粒57aの最も低い高さが1nm以上であり且つ最も高い高さが10nm以下であることが好ましい。なお、混相粒57aは、アモルファスシリコン領域と、単結晶とみなせる微小結晶である結晶子を複数有する。また、混相粒57aは双晶を有する場合もある。

【0033】

第1の微結晶シリコン膜57は、プラズマCVD装置の処理室内において、核となる混相粒を形成し、且つ混相粒の粒密度が低く、且つ混相粒の結晶性が高くなるような第1の条件を用いて、原料ガスとしてシリコンを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、シリコンを含む堆積性気体と、水素と、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、シリコンを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上1333Pa以下(0.5Torr以上10Torr以下)とする第1の条件により、微結晶シリコンを形成する。このときの堆積温度は、室温~300とすることが好ましく、より好ましくは150~280とすることとする。なお、プラズマCVD装置の上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。第1の条件を用いて形成することで、結晶成長が促進され、混相粒57aの結晶性が高まる。即ち、混相粒57aに含まれる結晶子の大きさが増大する。また、隣り合う混相粒57aの間に隙間57bができ、混相粒57aの粒密度が低下する。

【0034】

シリコンを含む堆積性気体の代表例としては、 SiH_4 、 Si_2H_6 等がある。

【0035】

第1の微結晶シリコン膜57の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合することで、第1の微結晶シリコン膜57の成膜速度が高まる。また、成膜速度が高まることで、第1の微結晶シリコン膜57に混入される不純物量が低減するため、第1の微結晶シリコン膜57の結晶性を高めることができる。

【0036】

第1の微結晶シリコン膜57を形成する際のグロー放電プラズマの生成は、3MHzから30MHz、代表的には13.56MHz、27.12MHzのHF帯の高周波電力、または30MHzより大きく300MHz程度までのVHF帯の高周波電力、代表的には、60MHzを印加することで行われる。なお、プラズマを生成させるパワーは、シリコンを含む堆積性気体の流量に対する水素の流量の比に合わせて適宜選択することが好ましい。

【0037】

次に、図1(B)に示すように、第1の微結晶シリコン膜57上に第2の微結晶シリコン膜59を形成する。第2の微結晶シリコン膜59は、第1の微結晶シリコン膜57の混

10

20

30

40

50

相粒 57a の隙間 57b を埋めつつ、且つ結晶成長を促す条件で形成することを特徴とする。なお、第 2 の微結晶シリコン膜 59 の厚さは、30 nm 以上 100 nm 以下が好ましい。

【0038】

第 2 の微結晶シリコン膜 59 は、プラズマ CVD 装置の処理室内において、第 2 の条件により、原料ガスとしてシリコンを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第 2 の条件により、シリコンを含む堆積性気体と、水素と、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、シリコンを含む堆積性気体の流量に対する水素の流量を 100 倍以上 2000 倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を 1333 Pa 以上 13332 Pa 以下 (10 Torr 以上 100 Torr 以下) とする第 2 の条件により、微結晶シリコンを形成する。この結果、第 2 の微結晶シリコン膜 59 は、非晶質半導体に対する結晶領域の割合が増加し、結晶性が高まる。このときの堆積温度は、室温 ~ 300 とすることが好ましく、より好ましくは 150 ~ 280 とする。なお、プラズマ CVD 装置の上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。また、第 1 の微結晶シリコン膜の混相粒の隙間に、新たに第 2 の微結晶シリコン膜の混相粒が発生することで、混相粒の大きさが小さくなってしまうため、第 1 の微結晶シリコン膜の混相粒の発生頻度に対して、第 2 の微結晶シリコン膜の混相粒の発生頻度は少ない方が好ましい。

【0039】

第 2 の微結晶シリコン膜 59 の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合することで、第 1 の微結晶シリコン膜 57 と同様に、第 2 の微結晶シリコン膜 59 の結晶性を高めることができる。

【0040】

第 2 の微結晶シリコン膜 59 を形成する際の、グロー放電プラズマの生成は、第 1 の微結晶シリコン膜 57 の条件を適宜用いることができる。なお、第 1 の微結晶シリコン膜 57 及び第 2 の微結晶シリコン膜 59 のグロー放電プラズマの生成は、同じ条件であることでスループットを向上させることができるが、異なってもよい。

【0041】

微結晶シリコン膜の混相粒の粒密度は第 1 の微結晶シリコン膜 57 の混相粒 57a の粒密度に依存するため、第 1 の微結晶シリコン膜 57 の混相粒 57a の粒密度は、100 個 / μm^2 以上 10000 個 / μm^2 以下が好ましく、更には 500 個 / μm^2 以上 2500 個 / μm^2 以下がより好ましい。第 1 の微結晶シリコン膜 57 の混相粒 57a の粒密度が上記範囲内であると、混相粒 57a の粒密度が低く、混相粒 57a が分散するため、微結晶シリコン膜の混相粒の大粒径化が可能である。

【0042】

本実施の形態において、第 1 の微結晶シリコン膜 57 及び第 2 の微結晶シリコン膜 59 を積層することで、混相粒の間に隙間が無く、結晶性の高い微結晶シリコン膜を形成することができる。なお、第 2 の微結晶シリコン膜 59 は、第 1 の微結晶シリコン膜 57 に比べて、絶縁膜 55 との密着性が低く、電界効果移動度が高い膜である。また、微結晶シリコン膜の密度は 1.9 g/cm^3 より大であり 2.3 g/cm^3 以下であり、通常の単結晶シリコンの密度 (2.35 g/cm^3) に近づいていることから、微結晶シリコン膜は混相粒が密に詰まっていることが分かる。微結晶シリコン膜の抵抗率は $1.0 \times 10^5 \cdot \text{cm}$ 以上 $1.0 \times 10^8 \cdot \text{cm}$ 以下、好ましくは $5 \times 10^6 \cdot \text{cm}$ 以上 $5.0 \times 10^7 \cdot \text{cm}$ 以下である。また、電圧が印加されない状態での微結晶シリコン膜の導電率の活性化エネルギーは、0.5 ~ 0.6 eV であり、i 型である。

【0043】

第 1 の微結晶シリコン膜 57 及び第 2 の微結晶シリコン膜 59 は、微結晶シリコンで形成される。微結晶シリコンとは、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造の半導体である。微結晶シリコンは、自由エネルギー的に安定な第 3 の状態を有する

10

20

30

40

50

半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、混相粒径が2 nm以上200 nm以下、好ましくは10 nm以上80 nm以下、より好ましくは20 nm以上50 nm以下、さらに好ましくは25 nm以上33 nm以下の柱状または針状の混相粒が基板表面に対して法線方向に成長している。このため、柱状または針状の混相粒界面には、粒界が形成される場合もある。なお、ここでの混相粒径は、基板表面に対して平行な面における混相粒の最大直径をいう。

【0044】

微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶シリコンが得られる。このような微結晶シリコンに関する記述は、例えば、米国特許4,409,134号で開示されている。

10

【0045】

本実施の形態により、混相粒の隙間を低減することで結晶性を高めた微結晶シリコン膜を作製することができる。

【0046】

(実施の形態2)

本実施の形態では、実施の形態1より結晶性の高い微結晶シリコン膜の作製方法について、図1及び図2を用いて説明する。

20

【0047】

実施の形態1と同様に、図1の工程を経て、第1の微結晶シリコン膜57及び第2の微結晶シリコン膜59を形成する。

【0048】

次に、図2に示すように、第2の微結晶シリコン膜59上に、第3の微結晶シリコン膜61を形成する。

【0049】

第3の微結晶シリコン膜61は、プラズマCVD装置の処理室内において、第3の条件により、原料ガスとしてシリコンを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第3の条件により、原料ガスとしてシリコンを含む堆積性気体と、水素と、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスとを混合し、グロー放電プラズマにより形成する。シリコンを含む堆積性気体の流量に対する水素の流量の比を、第2の条件より高くして堆積性気体を希釈し、且つ処理室内の圧力を第2の条件と同様である 1333 Pa 以上 13332 Pa 以下(10 Torr 以上 100 Torr 以下)とする第3の条件により、第3の微結晶シリコン膜を形成する。このときの堆積温度は、室温 ~ 300 とすることが好ましく、より好ましくは $150\sim 280$ とする。

30

【0050】

シリコンを含む堆積性気体の流量に対する水素の流量の比を第2の条件より高くすることで、第3の微結晶シリコン膜61の結晶性を更に高めることが可能であり、実施の形態1より表面において結晶性の高い微結晶シリコン膜を形成することができる。

40

【0051】

(実施の形態3)

本実施の形態では、本発明の一態様である半導体装置に形成される薄膜トランジスタの作製方法について、図3乃至図5を参照して説明する。なお、薄膜トランジスタは、p型よりもn型の方が、キャリアの移動度が高い。本実施の形態では、n型の薄膜トランジスタの作製方法について説明する。

【0052】

50

図3(A)に示すように、基板101上にゲート電極103を形成する。次に、ゲート電極103(以下、「第1のゲート電極」ともいう。)を覆うゲート絶縁膜105を形成し、ゲート絶縁膜105上に第1の微結晶シリコン膜107を形成する。

【0053】

基板101としては、実施の形態1に示す基板51を適宜用いることができる。

【0054】

ゲート電極103は、基板101上に、スパッタリング法または真空蒸着法を用いて、Mo、Ti、Cr、Ta、W、Al、Cu、Nd、Sc及びNiのいずれかの金属材料により導電膜を形成し、該導電膜上にフォトリソグラフィ法によりマスクを形成し、該マスクを用いて導電膜をエッチングして形成することができる。なお、ゲート電極103と、基板101との密着性向上を目的として、上記の金属材料の窒化物膜を、基板101と、ゲート電極103との間に設けてもよい。ここでは、基板101上に導電膜を形成し、フォトリソグラフィ工程により形成したレジストで形成されるマスクを用いて、当該導電膜をエッチングする。

10

【0055】

なお、ゲート電極103の側面は、テーパ形状とすることが好ましい。これは、後の工程で、ゲート電極103上に形成される絶縁膜、シリコン膜及び配線が、ゲート電極103の段差箇所において切断しないためである。ゲート電極103の側面をテーパ形状にするためには、レジストで形成されるマスクを後退させつつエッチングを行えばよい。

【0056】

ゲート絶縁膜105は、実施の形態1に示す絶縁膜55を適宜用いて形成することができる。

20

【0057】

ゲート絶縁膜105は、CVD法またはスパッタリング法等を用いて形成することができる。

【0058】

なお、ゲート絶縁膜105を窒化シリコン膜または窒化酸化シリコン膜で形成する場合、薄膜トランジスタのしきい値電圧がマイナスシフトするため、ゲート絶縁膜105の表面を酸化ガス雰囲気プラズマに曝す酸素プラズマ処理を行ってもよい。酸化ガス雰囲気は、酸素、オゾン、一酸化二窒素などのいずれか一以上を含む雰囲気である。当該酸素プラズマ処理により、ノーマリーオフの薄膜トランジスタを作製することができる。

30

【0059】

第1の微結晶シリコン膜107は、実施の形態1に示す第1の微結晶シリコン膜57と同様に、混相粒の粒密度が低く、且つ混相粒の結晶性が高くなるような第1の条件で形成することができる。

【0060】

第1の微結晶シリコン膜107の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合することで、第1の微結晶シリコン膜107の結晶性を高めることができる。このため、薄膜トランジスタのオン電流及び電界効果移動度が高まると共に、スループットを高めることができる。

40

【0061】

次に、図3(B)に示すように、第1の微結晶シリコン膜107上に第2の微結晶シリコン膜109を形成する。第2の微結晶シリコン膜109は、実施の形態1に示す第2の微結晶シリコン膜59と同様に、第1の微結晶シリコン膜107の混相粒の隙間を埋めつつ、且つ結晶成長を促す第2の条件を用いて形成することができる。

【0062】

第2の微結晶シリコン膜109の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合することで、第1の微結晶シリコン膜107と同様に、第2の微結晶シリコン膜109の結晶性を高めることができる。このため、薄膜トランジスタのオン電流及び電界効果移動度が高まると共に、スループットを高めることができる。

50

【0063】

次に、図3(C)に示すように、第2の微結晶シリコン膜109上にシリコン膜111を形成する。シリコン膜111は、微結晶シリコン領域111a及びアモルファスシリコン領域111bで構成される。次に、シリコン膜111上に、不純物シリコン膜113を形成する。次に、不純物シリコン膜113上にレジストで形成されるマスク115を形成する。

【0064】

第2の微結晶シリコン膜109を種結晶として、部分的に結晶成長させる条件(結晶成長を低減させる条件)で、微結晶シリコン領域111a及びアモルファスシリコン領域111bを有するシリコン膜111を形成することができる。

10

【0065】

シリコン膜111は、プラズマCVD装置の処理室内において、シリコンを含む堆積性気体と、水素と、窒素を含む気体とを混合し、グロー放電プラズマにより形成する。窒素を含む気体としては、アンモニア、窒素、フッ化窒素、塩化窒素等がある。グロー放電プラズマの生成は、第1の微結晶シリコン膜107と同様にすることができる。

【0066】

このとき、シリコンを含む堆積性気体と、水素との流量比は、第1の微結晶シリコン膜107または第2の微結晶シリコン膜109と同様に微結晶シリコン膜を形成する流量比を用い、さらに原料ガスに窒素を含む気体を用いる条件とすることで、第1の微結晶シリコン膜107及び第2の微結晶シリコン膜109の堆積条件よりも、結晶成長を低減することができる。具体的には、シリコン膜111の堆積初期においては、原料ガスに窒素を含む気体が含まれるため、部分的に結晶成長が抑制され、錐形状の微結晶シリコン領域が成長すると共に、アモルファスシリコン領域が形成される。さらに、堆積中期または後期では、錐形状の微結晶シリコン領域の結晶成長が停止し、アモルファスシリコン領域のみが堆積される。この結果、シリコン膜111において、微結晶シリコン領域111a、及び欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高いシリコン膜で形成されるアモルファスシリコン領域111bを形成することができる。

20

【0067】

ここでは、シリコン膜111を形成する条件の代表例は、シリコンを含む堆積性気体の流量に対する水素の流量が10~2000倍、好ましくは10~200倍である。なお、通常のアモルファスシリコン膜を形成する条件の代表例は、シリコンを含む堆積性気体の流量に対する水素の流量は0~5倍である。

30

【0068】

また、シリコン膜111の原料ガスに、ヘリウム、ネオン、アルゴン、キセノン、またはクリプトン等の希ガスを導入することで、成膜速度を高めることができる。

【0069】

シリコン膜111の厚さは、50~350nmとすることが好ましく、さらに好ましくは120~250nmとする。

【0070】

ここで、図3(C)に示すゲート絶縁膜105と、不純物シリコン膜113との間の拡大図を、図4に示す。

40

【0071】

図4(A)に示すように、シリコン膜111の微結晶シリコン領域111aは凹凸状であり、凸部はゲート絶縁膜105からアモルファスシリコン領域111bに向かって、先端が狭まる(凸部の先端が鋭角である)凸状(錐形状)である。なお、微結晶シリコン領域111aの形状は、ゲート絶縁膜105からアモルファスシリコン領域111bに向かって幅が広がる凸状(逆錐形状)であってもよい。

【0072】

第1の微結晶シリコン膜107、第2の微結晶シリコン膜109、及び微結晶シリコン

50

領域 1 1 1 a の厚さ、即ち、ゲート絶縁膜 1 0 5 との界面から、微結晶シリコン領域 1 1 1 a の突起（凸部）の先端までの距離を、5 nm 以上 3 1 0 nm 以下とすることで、薄膜トランジスタのオフ電流を低減することができる。

【 0 0 7 3 】

また、シリコン膜 1 1 1 に含まれる酸素の二次イオン質量分析法によって計測される濃度を、 1×10^{18} atoms / cm³ 未満とすることで、微結晶シリコン領域 1 1 1 a の結晶性を高めることができるため好ましい。また、二次イオン質量分析法によって計測される半導体膜 1 1 1 の窒素濃度プロファイルのピーク濃度は、 1×10^{20} atoms / cm³ 以上 1×10^{21} atoms / cm³ 以下、好ましくは 2×10^{20} atoms / cm³ 以上 1×10^{21} atoms / cm³ 以下である。

10

【 0 0 7 4 】

アモルファスシリコン領域 1 1 1 b は、窒素を有する非晶質半導体で形成される。窒素を有する非晶質半導体に含まれる窒素は、例えば NH 基または NH₂ 基として存在していてもよい。非晶質半導体としては、アモルファスシリコンを用いることができる。

【 0 0 7 5 】

窒素を含むアモルファスシリコンは、従来の非晶質半導体と比較して、CPM (Constant photocurrent method) やフォトルミネッセンス分光測定で測定される Urbach 端のエネルギーが小さく、欠陥吸収スペクトル量が少ない半導体である。即ち、窒素を含むアモルファスシリコンは、従来の非晶質半導体と比較して、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い半導体である。窒素を含むアモルファスシリコンは、価電子帯のバンド端における準位のテール（裾）の傾きが急峻であるため、バンドギャップが広くなり、トンネル電流が流れにくい。このため、窒素を含むアモルファスシリコンを微結晶シリコン領域 1 1 1 a 及び不純物シリコン膜 1 1 3 の間に設けることで、薄膜トランジスタのオフ電流を低減することができる。また、窒素を含むアモルファスシリコンを設けることで、オン電流と電界効果移動度を高めることが可能である。

20

【 0 0 7 6 】

さらに、窒素を含むアモルファスシリコンは、低温フォトルミネッセンス分光によるスペクトルのピーク領域が、1.31 eV 以上 1.39 eV 以下である。なお、微結晶シリコンを低温フォトルミネッセンス分光により測定したスペクトルのピーク領域は、0.98 eV 以上 1.02 eV 以下であり、窒素を含むアモルファスシリコンは、微結晶シリコンとは異なるものである。

30

【 0 0 7 7 】

また、アモルファスシリコン領域 1 1 1 b の他に、微結晶シリコン領域 1 1 1 a にも、NH 基または NH₂ 基を有してもよい。

【 0 0 7 8 】

また、図 4 (B) に示すように、アモルファスシリコン領域 1 1 1 b に、粒径が 1 nm 以上 1 0 nm 以下、好ましくは 1 nm 以上 5 nm 以下のシリコン結晶粒 1 1 1 c を含ませることで、更にオン電流と電界効果移動度を高めることが可能である。

【 0 0 7 9 】

ゲート絶縁膜 1 0 5 からアモルファスシリコン領域 1 1 1 b に向かって、先端が狭まる凸状（錐形状）の微結晶シリコンは、微結晶シリコンが堆積する条件で第 2 の微結晶シリコン膜を形成した後、結晶成長を低減する条件で結晶成長させると共に、アモルファスシリコンを堆積することで、このような構造となる。

40

【 0 0 8 0 】

シリコン膜 1 1 1 の微結晶シリコン領域 1 1 1 a は、錐形状または逆錐形状であるため、オン状態でソース電極及びドレイン電極の間に電圧が印加されたときの縦方向（膜厚方向）における抵抗、即ち、シリコン膜 1 1 1 の抵抗を下げる事が可能である。また、微結晶シリコン領域 1 1 1 a と不純物シリコン膜 1 1 3 との間に、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い、窒素を含むア

50

モルファスシリコンを有するため、トンネル電流が流れにくくなる。以上のことから、本実施の形態に示す薄膜トランジスタは、オン電流及び電界効果移動度を高めるとともに、オフ電流を低減することができる。

【0081】

不純物シリコン膜113は、リンが添加されたアモルファスシリコン、リンが添加された微結晶シリコン等で形成する。また、リンが添加されたアモルファスシリコン及びリンが添加された微結晶シリコンの積層構造とすることもできる。なお、薄膜トランジスタとして、pチャネル型薄膜トランジスタを形成する場合は、不純物シリコン膜113は、ボロンが添加された微結晶シリコン、ボロンが添加されたアモルファスシリコン等で形成する。

10

【0082】

不純物シリコン膜113は、プラズマCVD装置の処理室内において、原料ガスとしてシリコンを含む堆積性気体と、水素と、ホスフィン（水素希釈またはシラン希釈）とを混合し、グロー放電プラズマにより形成する。シリコンを含む堆積性気体を水素で希釈して、リンが添加されたアモルファスシリコン、またはリンが添加された微結晶シリコンを形成する。なお、p型の薄膜トランジスタを作製する場合は、不純物シリコン膜113として、ホスフィンの代わりに、ジボランを用いて、グロー放電プラズマにより形成すればよい。

【0083】

レジストで形成されるマスク115はフォトリソグラフィ工程により形成することができる。

20

【0084】

次に、図3(D)に示すように、レジストで形成されるマスク115を用いて、第1の微結晶シリコン膜107、第2の微結晶シリコン膜109、シリコン膜111、及び不純物シリコン膜113をエッチングする。この工程により、第1の微結晶シリコン膜107、第2の微結晶シリコン膜109、シリコン膜111、及び不純物シリコン膜113を素子毎に分離し、シリコン積層体117、及び不純物シリコン膜121を形成する。なお、シリコン積層体117は、第1の微結晶シリコン膜107、第2の微結晶シリコン膜109、及びシリコン膜111それぞれの一部であり、第1の微結晶シリコン膜107、第2の微結晶シリコン膜109、及びシリコン膜111の微結晶シリコン領域それぞれ一部を含む微結晶シリコン領域117aと、シリコン膜111のアモルファスシリコン領域の一部を含むアモルファスシリコン領域117bとを有する。この後、レジストで形成されるマスク115を除去する。

30

【0085】

次に、図5(A)に示すように、不純物シリコン膜121上に導電膜127を形成する。導電膜127は、CVD法、スパッタリング法または真空蒸着法を用いて形成する。

【0086】

次に、図5(B)に示すように、フォトリソグラフィ工程によりレジストで形成されるマスク（図示せず）を形成し、当該レジストで形成されるマスクを用いて導電膜127をエッチングして、ソース電極及びドレイン電極として機能する配線129a、129bを形成する。導電膜127のエッチングはドライエッチングまたはウェットエッチングを用いることができる。なお、配線129a、129bの一方は、ソース電極またはドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、信号線とソース電極及びドレイン電極とは別に設けてもよい。

40

【0087】

次に、不純物シリコン膜121及びシリコン積層体117の一部をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物シリコン膜131a、131bを形成する。また、微結晶シリコン領域133a及び一対のアモルファスシリコン領域133bを有するシリコン積層体133を形成する。このとき、微結晶シリコン領域133aが露出されるようにシリコン積層体117をエッチングすることで、配線129a、12

50

9 bで覆われる領域では微結晶シリコン領域133 a及びアモルファスシリコン領域133 bが積層され、配線129 a、129 bで覆われず、かつゲート電極と重なる領域においては、微結晶シリコン領域133 aが露出するシリコン積層体133となる。

【0088】

次に、ドライエッチングを行ってもよい。ドライエッチングの条件は、露出している微結晶シリコン領域133 a及びアモルファスシリコン領域133 bにダメージが入らず、且つ微結晶シリコン領域133 a及びアモルファスシリコン領域133 bに対するエッチングレートが低い条件を用いる。つまり、露出している微結晶シリコン領域133 a及びアモルファスシリコン領域133 b表面にほとんどダメージを与えず、且つ露出している微結晶シリコン領域133 a及びアモルファスシリコン領域133 bの厚さがほとんど減少しない条件を用いる。エッチングガスとしては、代表的には Cl_2 、 CF_4 、または N_2 等を用いる。

10

【0089】

次に、微結晶シリコン領域133 a及びアモルファスシリコン領域133 bの表面にプラズマ処理を行ってもよい。プラズマ処理により、露出した微結晶シリコン領域133 a及びアモルファスシリコン領域133 b上に存在する残渣などの不純物を除去すると共に、微結晶シリコン領域133 aの欠陥を低減することができる。また、プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁を確実なものにすることができ、完成する薄膜トランジスタのオフ電流を低減し、電気的特性のばらつきを低減することができる。

20

【0090】

以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。また、オフ電流が低く、オン電流及び電界効果移動度が高いシングルゲート型の薄膜トランジスタを生産性高く作製することができる。なお、本実施の形態では、本発明の一態様に係る半導体装置としてゲート電極がチャネル領域の下方に位置する薄膜トランジスタについて説明しているが、本発明の他の一態様に係る半導体装置としてチャネル領域の上方に後述するバックゲート電極が位置するデュアルゲート型の薄膜トランジスタに適用しても良い。

【0091】

次に、シリコン積層体133及び配線129 a、129 bの上に絶縁膜137を形成する。絶縁膜137は、ゲート絶縁膜105と同様に形成することができる。

30

【0092】

次に、フォトリソグラフィ工程により形成したレジストで形成されるマスクを用いて絶縁膜137に開口部(図示せず)を形成する。次に、絶縁膜137上にバックゲート電極139を形成する(図5(C)参照)。以上の工程により、デュアルゲート型の薄膜トランジスタを作製することができる。

【0093】

バックゲート電極139は、配線129 a、129 bと同様に形成することができる。また、バックゲート電極139は、透光性を有する導電性材料を用いて形成することができる。

40

【0094】

バックゲート電極139は、ゲート電極103と平行に形成することができる。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とを、それぞれ任意に制御することが可能である。このため、薄膜トランジスタのしきい値電圧を制御することができる。また、キャリアが流れる領域、即ちチャネル領域が、微結晶シリコン領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0095】

また、バックゲート電極139は、ゲート電極103に接続させることができる。即ち、ゲート絶縁膜105及び絶縁膜137に形成した開口部(図示せず)において、ゲート

50

電極 103 及びバックゲート電極 139 が接続する構造とすることができる。この場合、バックゲート電極 139 に印加する電位と、ゲート電極 103 に印加する電位とは、等しい。この結果、シリコン膜において、キャリアが流れる領域、即ちチャネル領域が、微結晶シリコン領域のゲート絶縁膜 105 側、及び絶縁膜 137 側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0096】

また、バックゲート電極 139 は、ゲート電極 103 と接続せず、フローティングでもよい。バックゲート電極 139 に電位を印加せずとも、チャネル領域が、微結晶シリコン領域のゲート絶縁膜 105 側、及び絶縁膜 137 側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

10

【0097】

さらには、バックゲート電極 139 は、絶縁膜 137 を介して配線 129a、129b と重畳してもよい。

【0098】

以上の工程により、オン電流及び電界効果移動度が高く、オフ電流を低減したシングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタを作製することができる。また、ゲート絶縁膜を酸素プラズマに曝した後、実施の形態 1 に示すように、活性化エネルギーが 0.5 ~ 0.6 eV の i 型である微結晶シリコン膜をチャネル領域に形成することで、上記効果を有し、更にノーマリーオフの薄膜トランジスタを作製することができる。

20

【0099】

(実施の形態 4)

本実施の形態では、本発明の一態様である半導体装置に形成される薄膜トランジスタの作製方法について、図 6 を参照して説明する。図 6 は、図 5 (B) に示す工程に対応する工程である。

【0100】

実施の形態 3 と同様に、図 3 (A) ~ (D) 及び図 5 (A) の工程を経て、導電膜 127 を形成する。

【0101】

次に、図 6 に示すように、実施の形態 3 と同様に、配線 129a、129b を形成し、不純物シリコン膜 121 及びシリコン積層体 117 の一部をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物シリコン膜 131a、131b を形成する。また、微結晶シリコン領域 143a 及びアモルファスシリコン領域 143b を有するシリコン積層体 143 を形成する。このとき、アモルファスシリコン領域 143b が露出されるようにシリコン積層体 117 をエッチングすることで、配線 129a、129b で覆われる領域では微結晶シリコン領域 143a 及びアモルファスシリコン領域 143b が積層され、配線 129a、129b で覆われず、かつゲート電極と重なる領域においては、微結晶シリコン領域 143a が露出せず、アモルファスシリコン領域 143b が露出するシリコン積層体 143 となる。なお、ここでのシリコン積層体 117 のエッチング量は図 5 (B) より少ないものとする。

30

40

【0102】

この後の工程は、実施の形態 3 と同様である。以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。この薄膜トランジスタは、バックチャネル側が非晶質であるため、図 5 (B) に示す薄膜トランジスタに比べてオフ電流を低減することができる。

【0103】

また、本実施の形態では、図 6 に示す工程の後に、図 5 (C) に示す工程と同様に、絶縁膜 137 を介してバックゲート電極 139 を形成しても良い。

【実施例】

【0104】

50

(実施例1)

本実施例では、実施の形態1で説明した第1の条件のみで微結晶シリコン膜を形成した薄膜トランジスタ(試料1)と、実施の形態1で説明した第2の条件のみで微結晶シリコン膜を形成した薄膜トランジスタ(試料2)と、第1の条件で第1の微結晶シリコン膜を形成した後、第2の条件で第2の微結晶シリコン膜を積層形成した薄膜トランジスタ(試料3)の電気特性について説明する。

【0105】

本実施例の薄膜トランジスタの作製方法について、図3及び図5を参照して説明する。

【0106】

まず、基板101上に下地絶縁膜(ここでは図示しない。)を形成し、下地絶縁膜上にゲート電極103を形成した。

【0107】

ここでは、基板101として、ガラス基板(コーニング製EAGLE XG)を用いた。

【0108】

ゲート電極103は、アルミニウム層をチタン層により挟持した構造とした。具体的には、まず、チタンターゲットをアルゴンイオンでスパッタリングして、厚さ50nmの第1のチタン膜を下地絶縁膜上に形成した。このとき、導入するアルゴンの流量は20sccmとし、処理室内の圧力は0.1Paとした。そして、その上にアルミニウムターゲットをアルゴンイオンでスパッタリングして、厚さ100nmのアルミニウム膜を形成した。このとき、導入するアルゴンの流量は50sccmとし、処理室内の圧力は0.4Paとした。そして、その上にチタンターゲットをアルゴンイオンでスパッタリングして、厚さ120nmの第2のチタン膜を形成した。このとき、導入するアルゴンの流量は20sccmとし、処理室内の圧力は0.1Paとした。

【0109】

次に、第2のチタン膜上にレジストを塗布し、第1のフォトマスクを用いて露光した後、現像してレジストで形成されたマスクを形成した。

【0110】

次に、当該レジストで形成されるマスクを用いてエッチング処理を行って、ゲート電極103を形成した。ここでは、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)装置を用いて2段階のエッチングを行った。すなわち、ICPパワー600W、バイアスパワー250W、エッチングガスとして塩化ボロンを流量60sccmで導入し、塩素を流量20sccmで導入して処理室内の圧力を1.2Paとし、第1のエッチングを行った後、ICPパワー500W、バイアスパワー50W、圧力2.0Pa、エッチングガスとしてフッ化炭素を流量80sccmで導入して処理室内の圧力を2.0Paとし、第2のエッチングを行った。その後、該レジストで形成されたマスクを除去した。

【0111】

次に、ゲート電極103及び下地絶縁膜上に、ゲート絶縁膜105を形成した。

【0112】

ゲート絶縁膜105は、窒化シリコン膜により形成した。厚さ300nmの窒化シリコン膜を形成した。窒化シリコン膜は、プラズマCVD法によって堆積させて形成した。

【0113】

窒化シリコン膜の堆積は、シランの流量を15sccm、水素の流量を200sccm、窒素の流量を180sccm、アンモニアの流量を500sccmとして原料ガスを導入して安定させ、処理室内の圧力を100Pa、基板の温度を250とし、RF電源周波数を13.56MHz、RF電源の電力を200Wとしてプラズマ放電を行った。

【0114】

次に、ゲート絶縁膜105に対してプラズマ処理を行った。ここで、試料1のプラズマ処理は、水素の流量を400sccmとして導入して処理室内の圧力を60Paとして安

10

20

30

40

50

定させ、300Wでプラズマ処理を行った。その後、一酸化二窒素(N_2O)の流量を400sccmとして導入して処理室内の圧力を60Paとして安定させ、300Wでプラズマ放電を行った。試料2及び試料3のプラズマ処理は、一酸化二窒素の流量を400sccmとして導入して処理室内の圧力を60Paとして安定させ、300Wでプラズマ放電を行った。なお、上記プラズマ処理は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を250、下部電極温度を290とした。

【0115】

次に、ゲート絶縁膜105上に微結晶シリコン膜を形成した。

【0116】

ここで、微結晶シリコン膜として、試料1では第1の条件のみで、厚さ30nmの微結晶シリコン膜を成膜した。また、試料2では第2の条件のみで、厚さ30nmの微結晶シリコン膜を成膜した。試料3では、第1の条件で厚さ5nmの第1の微結晶シリコン膜を成膜の後に、第2の条件を用いて、厚さ85nmの第2の微結晶シリコン膜を成膜した。

【0117】

微結晶シリコン膜の堆積の第1の条件としては、シランの流量を4sccm、水素の流量を750sccm、アルゴンの流量を750sccmとして原料ガスを導入して安定させ、処理室内の圧力を532Pa、RF電源周波数を13.56MHz、RF電源の電力を150Wとしてプラズマ放電を行う、プラズマCVD法を用いた。なお、ここで、微結晶シリコン膜の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を250、下部電極温度を290とした。

【0118】

微結晶シリコン膜の堆積の第2の条件としては、シランの流量を1.8sccm、水素の流量を750sccm、アルゴンの流量を750sccmとして原料ガスを導入して安定させ、処理室内の圧力を5000Paとし、RF電源周波数を13.56MHzとしてプラズマ放電を行う、プラズマCVD法を用いた。

【0119】

次に、微結晶シリコン膜上にシリコン膜111を形成し、シリコン膜111上に不純物シリコン膜113を形成した。シリコン膜111及び不純物シリコン膜113は、プラズマCVD法によって堆積させて形成した。

【0120】

シリコン膜111の堆積条件としては、試料1及び試料2では、厚さ175nmのシリコン膜を形成した。また、試料3では、厚さ80nmのシリコン膜を形成した。このときの堆積条件は、シランの流量を20sccm、1000ppmアンモニア(水素希釈)の流量を50sccm、水素の流量を700sccm、アルゴンの流量を750sccmとして原料ガスを導入して安定させ、処理室内の圧力を350Paとし、RF電源周波数を13.56MHz、RF電源の電力を60Wとしてプラズマ放電を行った。なお、ここで、シリコン膜111の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を250、下部電極温度を290とした。

【0121】

不純物シリコン膜113としては、厚さ50nmのリンが添加されたアモルファスシリコン膜を形成した。このときの堆積条件は、シランの流量を20sccm、0.5%ホスフィン(水素希釈)の流量を170sccm、水素の流量を100sccmとして原料ガスを導入して安定させ、処理室内の圧力を170Pa、RF電源周波数を13.56MHz、RF電源の電力を60Wとしてプラズマ放電を行った。なお、ここで、不純物シリコン膜の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を250、下部電極温度を290とした。

【0122】

次に、不純物シリコン膜113上にレジストを塗布した後、第2のフォトリソを用いて露光し、現像してレジストで形成されたマスク115を形成した。ここまでの工程を図3(C)に示す。

10

20

30

40

50

【0123】

次に、レジストで形成されたマスク115を用いて、微結晶シリコン膜、シリコン膜111、不純物シリコン膜113をエッチングして、微結晶シリコン領域117a及びアモルファスシリコン領域117bを有するシリコン積層体117及び不純物シリコン膜121を形成した。

【0124】

ここでは、ICP装置を用いて、ICPパワー1000W、バイアスパワー80W、エッチングガスとして塩素を流量100sccmで導入し、処理室内の圧力を1.51Paとしてエッチングを行った。その後、レジストで形成されたマスク115を除去した。(図3(D)参照。)

10

【0125】

次に、図5(A)に示すように、ゲート絶縁膜105上に、シリコン積層体117、不純物シリコン膜121を覆って導電膜127を形成した。

【0126】

ここでは、導電膜127は、アルミニウム層をチタン層により挟持した構造とし、ゲート電極103と同様に形成した。ただし、第1のチタン膜の厚さを50nmとし、アルミニウム膜の厚さを200nmとし、第2のチタン膜の厚さを50nmとした。

【0127】

次に、導電膜127上にレジストを塗布した後、第3のフォトマスクを用いて露光し、現像してレジストで形成されたマスク(図示せず)を形成した。当該レジストで形成されたマスクを用いて導電膜127をドライエッチングして、配線129a及び配線129bを形成した。次に、不純物シリコン膜121をドライエッチングしてソース領域及びドレイン領域として機能する一対の不純物シリコン膜131a、131bを形成し、更には、シリコン積層体117を一部エッチングし、微結晶シリコン領域133a及び一対のアモルファスシリコン領域133bを有するシリコン積層体133を形成した。

20

【0128】

ここでは、ICP装置を用いて、ICPパワー450W、バイアスパワー100W、エッチングガスとして塩化ホウ素を流量60sccmで導入し、塩素を100sccmで導入し、処理室内の圧力を1.9Paとしてエッチングを行った。

【0129】

なお、試料1及び試料2においては、シリコン積層体117の表面から20~40nmをエッチングした。また、試料3においては、シリコン積層体117の表面から100~120nmをエッチングした。なお、本実施例では、ソース電極及びドレイン電極として機能する配線129a、129bの平面形状は、直線型である。

30

【0130】

次に、シリコン積層体133の表面をフッ化炭素プラズマ処理し、シリコン積層体133表面に残留する不純物を除去した。ここでは、ICP装置を用いて、ICPパワー1000W、バイアスパワー0Wとしてフッ化炭素を流量100sccmで導入し、処理室内の圧力を0.67Paとしてプラズマ処理を行った。

【0131】

次に、試料3において、シリコン積層体133表面に水プラズマを照射し、シリコン積層体133表面の欠陥を低減すると共に、ソース領域及びドレイン領域の絶縁性を高めた。ここでは、ICPパワー1800W、圧力66.5Pa、流量300sccmの水蒸気の導入により発生したプラズマをシリコン積層体133に照射した。

40

【0132】

その後、レジストで形成されたマスクを除去した。試料1及び試料2におけるここまでの工程を図6に示し、試料3におけるここまでの工程を、図5(B)に示す。

【0133】

次に、絶縁膜137として、厚さ300nmの窒化シリコン膜を形成した。このときの堆積条件は、シランの流量を20sccm、アンモニアの流量を220sccm、窒素の

50

流量を450 s c c m、水素の流量を450 s c c mとして原料ガスを導入し、処理室内の圧力を160 P a、基板の温度を250 とし、R F電源周波数を13.56 M H z、R F電源の電力を200 Wとしてプラズマ放電を行った。

【0134】

次に、絶縁膜137上にレジストを塗布した後、第4のフォトマスクを用いて露光し、現像してレジストで形成されたマスク(図示せず)を形成した。当該レジストで形成されたマスクを用いて絶縁膜の一部をドライエッチングして、ソース電極及びドレイン電極として機能する配線129a、129bを露出させた。また、絶縁膜137及びゲート絶縁膜105の一部をドライエッチングして、ゲート電極103を露出した。その後、レジストで形成されたマスクを除去した。

10

【0135】

以上の工程により、試料1及び試料2を作製した。

【0136】

次に、絶縁膜137上に導電膜を形成した後、該導電膜上にレジストを塗布し、第5のフォトマスクを用いて露光し、現像してレジストで形成されたマスク(図示せず)を形成した。当該レジストで形成されたマスクを用いて導電膜の一部をウェットエッチングして、バックゲート電極139を形成した。

【0137】

ここでは、導電膜として、スパッタリング法により厚さ50nmのインジウム錫酸化物を形成した後、ウェットエッチング処理によりバックゲート電極139を形成した。なお、ここでは図示しないが、バックゲート電極139は、ゲート電極103と接続されている。その後、レジストで形成されたマスクを除去した。

20

【0138】

以上の工程により、試料3のデュアルゲート型薄膜トランジスタを作製した(図5(C)参照)。

【0139】

図7に試料3の薄膜トランジスタの電気特性の測定結果を示す。なお、図7においてVgは、ゲート電極103に印加した電圧を示す。図7より、本実施例により、オン電流及び電界効果移動度が高く、オフ電流の低い薄膜トランジスタを作製した。

【0140】

次に、試料1乃至試料3それぞれにおいて、16点の薄膜トランジスタの電界効果移動度の平均値(μFE_ave)及び標準偏差を表1に示す。

30

【0141】

【表1】

	μFE_ave (cm ² /Vs)	標準偏差
試料1	0.22	0.01
試料2	0.30	0.15
試料3	0.88	0.02

40

【0142】

表1より、試料2と比較して、試料3は電界効果移動度のばらつきが小さいことがわかる。以上のことから、第1の条件で第1の微結晶シリコン膜を形成した後、第2の条件で第2の微結晶シリコン膜を積層形成することで、薄膜トランジスタの電気特性のばらつきを低減することが可能である。

【0143】

(実施例2)

50

本実施例では、実施の形態 1 により形成した微結晶シリコン膜の混相粒密度と、当該微結晶シリコン膜と同様の条件により形成した微結晶シリコン膜を用いて形成した薄膜トランジスタの電界効果移動度に関して、図 8 を用いて説明する。

【 0 1 4 4 】

はじめに、混相粒密度を測定するための試料 4 ~ 試料 8 それぞれの作製方法について説明する。

【 0 1 4 5 】

基板上に、実施例 1 のゲート絶縁膜 1 0 5 と同様の条件を用いて、窒化シリコン膜を形成した。次に、実施の形態 1 に示す第 1 の条件により、厚さ 5 n m の第 1 の微結晶シリコン膜を形成した後、実施の形態 1 に示す第 2 の条件により第 2 の微結晶シリコン膜を 2 5 n m 積層して、合計 3 0 n m の微結晶シリコン膜を形成した。

【 0 1 4 6 】

試料 4 乃至試料 8 の第 1 の微結晶シリコン膜を形成する第 1 の条件としては、シランを下記の流量、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m として原料ガスを導入して安定させ、処理室内の圧力を 5 3 2 P a、上部電極の温度 2 5 0、下部電極の温度を 2 9 0 とし、R F 電源周波数を 1 3 . 5 6 M H z、電極間隔距離 1 5 m m として、R F 電源の電力を適宜設定し、プラズマ放電を行う、プラズマ C V D 法を用いた。また、各試料におけるシランの流量及び R F 電源の電力を以下に示す。

・試料 4・・・シランの流量 4 s c c m (シランの流量に対する水素の流量は 1 8 6 倍)、R F 電源の電力を 1 5 0 W。

・試料 5・・・シランの流量 5 s c c m (シランの流量に対する水素の流量は 1 5 0 倍)、R F 電源の電力を 1 5 0 W。

・試料 6・・・シランの流量 6 s c c m (シランの流量に対する水素の流量は 1 2 5 倍)、R F 電源の電力を 2 0 0 W。

・試料 7・・・シランの流量 6 s c c m (シランの流量に対する水素の流量は 1 2 5 倍)、R F 電源の電力を 2 5 0 W。

・試料 8・・・シランの流量 6 s c c m (シランの流量に対する水素の流量は 1 2 5 倍)、R F 電源の電力を 3 0 0 W。

【 0 1 4 7 】

第 2 の微結晶シリコン膜を形成する第 2 の条件としては、実施例 1 で説明した試料 3 の第 2 の条件と同様とした (2 ステップ)。

【 0 1 4 8 】

また、電界効果移動度を測定するための試料 4 乃至試料 8 それぞれの微結晶シリコン膜を用いた薄膜トランジスタの作製方法は、第 1 の微結晶シリコン膜の作製工程以外の作製方法が実施例 1 に示す試料 3 と同様である。第 1 の微結晶シリコン膜の成膜条件は上記の試料 4 乃至試料 8 それぞれの条件を用いた。

【 0 1 4 9 】

次に、比較例としての試料 9 乃至試料 1 4 それぞれの薄膜トランジスタの作製方法について図 3 及び図 5 を参照しつつ説明する。

【 0 1 5 0 】

図 3 (A) に示すゲート電極 1 0 3 を形成する工程までは実施例 1 で説明した試料 1 乃至 3 と同様である。

【 0 1 5 1 】

次に、ゲート電極 1 0 3 及び下地絶縁膜上に、ゲート絶縁膜 1 0 5 を形成した。

【 0 1 5 2 】

ゲート絶縁膜 1 0 5 は、厚さ 1 1 0 n m の窒化シリコン膜上に厚さ 1 1 0 n m の酸化窒化シリコン膜を積層した絶縁膜により形成した。窒化シリコン膜及び酸化窒化シリコン膜は、プラズマ C V D 法によって堆積させて形成した。

【 0 1 5 3 】

窒化シリコン膜の成膜条件は、シランの流量を 4 0 s c c m、水素の流量を 5 0 0 s c

10

20

30

40

50

cm、窒素の流量を550 sccm、アンモニアの流量を140 sccmとして原料ガスを導入して安定させ、処理室内の圧力を100 Pa、RF電源周波数13.56 MHz、RF電源の電力を370 Wとしてプラズマ放電を行った。上部電極及び下部電極の温度を280 とした。酸化窒化シリコン膜の成膜条件は、シランの流量を5 sccm、N₂Oの流量を600 sccmとして原料ガスを導入して安定させ、処理室内の圧力を25 Pa、RF電源周波数13.56 MHz、RF電源の電力を30 Wとしてプラズマ放電を行った。上部電極及び下部電極の温度を280 とした。

【0154】

次に、ゲート絶縁膜105上に、下記の条件により厚さ30 nmの微結晶シリコン膜を形成した。

試料9乃至試料14の微結晶シリコン膜を形成する条件としては、シランを下記の流量、水素の流量を1500 sccm、アルゴンの流量を1500 sccmとして原料ガスを導入して安定させ、処理室内の圧力を280 Pa、RF電源周波数を13.56 MHz、RF電力を50 W、処理室温度を280 とし、プラズマ放電を行う、プラズマCVD法を用いた(1ステップ)。

- ・試料9・・・シランの流量5 sccm(シランの流量に対する水素の流量は300倍)
- ・試料10・・・シランの流量6 sccm(シランの流量に対する水素の流量は250倍)
- ・試料11・・・シランの流量7 sccm(シランの流量に対する水素の流量は214倍)
- ・試料12・・・シランの流量8 sccm(シランの流量に対する水素の流量は187倍)
- ・試料13・・・シランの流量9 sccm(シランの流量に対する水素の流量は166倍)
- ・試料14・・・シランの流量10 sccm(シランの流量に対する水素の流量は150倍)

【0155】

次に、微結晶シリコン膜上に厚さ175 nmのシリコン膜111を形成し、シリコン膜111上に不純物シリコン膜113を形成した。シリコン膜111及び不純物シリコン膜113は、プラズマCVD法によって堆積させて形成した。

【0156】

シリコン膜111の堆積条件としては、シランの流量を40 sccm、水素の流量を1475 sccm、アルゴンの流量を1500 sccm、1000 ppmアンモニア(水素希釈)の流量を25 sccmとして原料ガスを導入して安定させ、処理室内の圧力を280 Paとし、RF電源周波数13.56 MHz、RF電源の電力を50 Wとしてプラズマ放電を行った。上部電極及び下部電極の温度を280 とした。

【0157】

不純物シリコン膜113としては、厚さ50 nmのリンが添加されたアモルファスシリコン膜を形成した。このときの堆積条件は、シランの流量を100 sccm、0.5%ホスフィン(水素希釈)の流量を170 sccmとして原料ガスを導入して安定させ、処理室内の圧力を170 Pa、RF電源周波数13.56 MHz、RF電源の電力を60 Wとしてプラズマ放電を行った。上部電極及び下部電極の温度を280 とした。

【0158】

この後の工程は、実施例1と同様とした。詳細には、導電膜127の形成工程は、実施例1の試料1乃至3と同様とし、シリコン積層体117のエッチング工程は、実施例1の試料1及び2と同様とし、絶縁膜137の形成工程は、実施例1の試料1乃至3と同様とした。

【0159】

次に、試料4乃至試料8の平面を観察したSEM写真を用いて混相粒子数を求めた。このときの、SEM写真の大きさは、縦630 μm、横440 μmであった。次に、SEM

10

20

30

40

50

写真の面積及び混相粒子数から、混相粒密度、混相粒の平均面積、混相粒の平均直径を計算した。これらの結果を表2に示す。また、試料4乃至試料8それぞれの薄膜トランジスタの電界効果移動度を表2に示す。また、試料9乃至試料14についても試料4乃至試料8と同様の方法で混相粒密度を測定し、これらの結果を表3に示す。また、試料9乃至試料14それぞれの薄膜トランジスタの電界効果移動度を表3に示す。

【0160】

【表2】

	試料4	試料5	試料6	試料7	試料8
混相粒子数 (個)	327	527	579	525	419
混相粒密度 (個/ μm^2)	1180	1901	2089	1894	1512
平均面積 (nm^2)	848	526	479	528	662
平均直径 (nm)	32.9	25.9	24.7	25.9	29.0
電界効果移動度 (cm^2/Vs)	0.88	0.71	0.67	0.72	0.74

測定面積 $630\mu\text{m} \times 440\mu\text{m}$

【0161】

【表3】

	試料9	試料10	試料11	試料12	試料13	試料14
粒密度 (個/ μm^2)	36	266	680	1503	1837	2258
電界効果移動度 (cm^2/Vs)	0.34	0.33	0.49	0.67	0.74	0.72

面積 = $625\text{nm} \times 445\text{nm}$

【0162】

図8に、表2及び表3の混相粒密度及び電界効果移動度の関係を示す。

【0163】

図8によれば、比較例の試料9乃至14では混相粒密度が少ないほど電界効果移動度が下降しているのに対し、実施例の試料4乃至試料8では混相粒密度が少ないほど電界効果移動度が上昇していることがわかる。このことから、本実施例では、混相粒を大粒径化することで、電界効果移動度が上昇することがわかる。

【0164】

(実施例3)

本実施例では、実施の形態1で説明した第1の条件で第1の微結晶シリコン膜を形成した後、実施の形態1で説明した第2の条件で第2の微結晶シリコン膜を積層することにより、微結晶シリコン膜を形成した試料を作製し、その試料によって、第1の微結晶シリコン膜の混相粒が分散していること、微結晶シリコン膜の混相粒の粒径が均一であり、且つ凸凹していないこと、微結晶シリコン膜には密に接した混相粒が形成されることを確認した。以下に詳細に説明する。

【0165】

はじめに、試料15乃至試料17の作製方法について説明する。

【0166】

ガラス基板(コーニング製EAGLE XG)上に厚さ300nmの窒化シリコン膜を形成し、この窒化シリコン膜に N_2O プラズマ処理を施した後に、その上に微結晶シリコン膜を成膜する。ここでの窒化シリコン膜は、実施例1の試料1乃至試料3と同様の条件

10

20

30

40

50

で形成され、 N_2O プラズマ処理は実施例1の試料2及び試料3と同様の条件で行われる。

【0167】

比較例としての試料15及び試料16の微結晶シリコン膜は第1の条件のみによって成膜される(1ステップ)。第1の条件としては、シランの流量を4 s c c m、水素の流量を750 s c c m、アルゴンの流量を750 s c c mとして原料ガスを導入して安定させ、処理室内の圧力を532 Pa、RF電源周波数を13.56 MHz、RF電源の電力を150 W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。各試料における成膜時間を以下に示す。

・試料15・・・成膜時間27秒

・試料16・・・成膜時間60秒

10

【0168】

実施例としての試料17の微結晶シリコン膜は、第1の条件によって厚さ5 nmの第1の微結晶シリコン膜を成膜した後、その上に第2の条件によって厚さ25 nmの第2の微結晶シリコン膜を成膜したものである(2ステップ)。

【0169】

第1の条件としては、シランの流量を4 s c c m、水素の流量を750 s c c m、アルゴンの流量を750 s c c mとして原料ガスを導入して安定させ、処理室内の圧力を532 Pa、RF電源周波数を13.56 MHz、RF電源の電力を150 W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。

20

【0170】

第2の条件としては、シランの流量を1.8 s c c m、水素の流量を750 s c c m、アルゴンの流量を750 s c c mとして原料ガスを導入して安定させ、処理室内の圧力を5000 Pa、RF電源周波数を13.56 MHz、RF電源の電力を125 W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。

【0171】

次に、比較例の試料15及び試料16、実施例の試料17それぞれについて走査型電子顕微鏡によって微結晶シリコン膜を撮影し、そのSEM写真(倍率20万倍)を図9に示す。図9(A)は試料15のSEM写真であり、図9(B)は試料16のSEM写真であり、図9(C)は試料17のSEM写真である。

30

【0172】

図9(A)に示す532 Paの圧力で27秒間成膜した微結晶シリコン膜は、その混相粒が分散していることが分かる。また、図9(B)に示す532 Paの圧力で60秒間成膜した微結晶シリコン膜(比較例)は、その混相粒の粒径が不揃いであり、その表面が凸凹していることが分かる。これに対し、図9(C)に示す第1の微結晶シリコン膜を532 Paで成膜し、第2の微結晶シリコン膜を5000 Paで成膜する2ステップによって形成した微結晶シリコン膜(実施例)は、その混相粒の粒径の均一性が高いことが分かり、図9(B)に比較して混相粒が隣接していることが分かる。

40

【0173】

次に、比較例の試料16及び実施例の試料17と同様の条件で形成した微結晶シリコン膜それぞれについて透過型電子顕微鏡によって微結晶シリコン膜を撮影し、そのTEM像を図10及び図11に示す。図10(A)は試料16のTEM像(倍率50万倍)であり、図10(B)は試料16のTEM像(倍率200万倍)である。図11(A)は試料17のTEM像(倍率50万倍)であり、図11(B)は試料17のTEM像(倍率200万倍)である。

【0174】

図10(A)、(B)に示す532 Paの圧力で成膜した厚さ40 nmの微結晶シリコン膜(比較例)は、その混相粒の間に隙間があることが分かる。これに対し、図11(A)

50

), (B) に示す第1の微結晶シリコン膜を532 Paで5 nm成膜し、第2の微結晶シリコン膜を5000 Paで35 nm成膜する2ステップによって形成した微結晶シリコン膜(実施例)は、図10(A), (B)に比較して混相粒が隣接していることが分かる。

【0175】

次に、試料16及び試料17それぞれの微結晶シリコン膜の混相粒の密度をX線反射率法(XRR: X-ray Reflectometer)によって測定し、その結果を表4に示す。

【0176】

【表4】

	密度(g/cm ³)
試料16	1.9
試料17	2.2

10

【0177】

試料17の2ステップを用いて形成した微結晶シリコン膜の密度は、単結晶シリコンの密度(2.35 g/cm³)に近づいていることから、混相粒が緻密であることが分かる。

【0178】

(実施例4)

本実施例では、実施の形態1で説明した1ステップのみで微結晶シリコン膜を形成した薄膜トランジスタ(試料18乃至試料20)、及び1ステップで第1の微結晶シリコン膜を形成した後、2ステップで第2の微結晶シリコン膜を積層形成した薄膜トランジスタ(試料21乃至試料26)それぞれの電界効果移動度と微結晶シリコン膜を成膜する際の成膜圧力の関係を確認した。以下に詳細に説明する。

【0179】

はじめに、試料18乃至試料26それぞれの薄膜トランジスタの作製方法について説明する。

【0180】

試料18乃至試料26それぞれの薄膜トランジスタの作製方法は、微結晶シリコン膜の作製工程以外の作製方法が実施例1に示す試料3と同様である。微結晶シリコン膜の成膜条件は下記の試料18乃至試料26それぞれの条件を用いた。

【0181】

比較例としての試料18乃至試料20の微結晶シリコン膜は1ステップのみによって成膜される。成膜条件としては、シランを下記の流量、水素を下記の流量、アルゴンを下記の流量として原料ガスを導入して安定させ、処理室内を下記の圧力、RF電源周波数を13.56 MHz、RF電源を下記の電力、上部電極及び下部電極を下記の温度として、プラズマ放電を行う、プラズマCVD法を用いた。

・試料18・・・シランの流量8 sccm、水素の流量1500 sccm、アルゴンの流量1500 sccm、処理室内の圧力280 Pa(試料12と同様の圧力)、RF電源の電力50 W、上部電極の温度280、下部電極の温度280、微結晶シリコン膜の厚さ30 nm

40

・試料19・・・シランの流量2.5 sccm、水素の流量750 sccm、アルゴンの流量750 sccm、処理室内の圧力1237 Pa、RF電源の電力120 W、上部電極の温度200、下部電極の温度300、微結晶シリコン膜の厚さ70 nm

・試料20・・・シランの流量2.5 sccm、水素の流量750 sccm、アルゴンの流量750 sccm、処理室内の圧力5000 Pa(試料2と同様の圧力)、RF電源の電力300 W、上部電極の温度250、下部電極の温度290、微結晶シリコン膜の厚さ30 nm

50

【 0 1 8 2 】

比較例としての試料 2 1 及び試料 2 5、並びに実施例としての試料 2 2 乃至試料 2 4、及び試料 2 6 の微結晶シリコン膜は、第 1 の条件によって第 1 の微結晶シリコン膜を成膜した後、その上に第 2 の条件によって第 2 の微結晶シリコン膜を成膜したものである（2 ステップ）。

【 0 1 8 3 】

試料 2 1 乃至試料 2 6 の第 1 の条件としては、シランを下記の流量、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m として原料ガスを導入して安定させ、R F 電源周波数を 1 3 . 5 6 M H z、R F 電源を下記の電力、上部電極の温度を 2 5 0 （試料 2 6 は 2 0 0 ）、下部電極の温度を 2 9 0 （試料 2 6 は 3 0 0 ）として、プラズマ放電を行う、プラズマ C V D 法を用いた。また、試料 2 1 乃至試料 2 5 の処理室内の圧力を 5 3 2 P a （試料 3 と同様の圧力）とし、試料 2 6 の処理室内の圧力を 1 2 5 0 P a とした。

・試料 2 1・・・シランの流量 6 s c c m、R F 電源の電力 2 5 0 W、第 1 の微結晶シリコン膜の厚さ 5 n m

・試料 2 2・・・シランの流量 4 s c c m、R F 電源の電力 2 0 0 W、第 1 の微結晶シリコン膜の厚さ 5 n m

・試料 2 3・・・シランの流量 4 s c c m、R F 電源の電力 1 5 0 W、第 1 の微結晶シリコン膜の厚さ 5 n m

・試料 2 4・・・シランの流量 4 s c c m、R F 電源の電力 1 5 0 W、第 1 の微結晶シリコン膜の厚さ 5 n m

・試料 2 5・・・シランの流量 6 s c c m、R F 電源の電力 2 5 0 W、第 1 の微結晶シリコン膜の厚さ 5 n m

・試料 2 6・・・シランの流量 2 . 5 s c c m、R F 電源の電力 1 2 0 W、第 1 の微結晶シリコン膜の厚さ 5 n m

【 0 1 8 4 】

第 2 の条件としては、シラン、水素、及びアルゴンを下記の流量として原料ガスを導入して安定させ、処理室内を下記の圧力、R F 電源周波数を 1 3 . 5 6 M H z、R F 電源を下記の電力、上部電極の温度を 2 5 0 （試料 2 6 は 2 0 0 ）、下部電極の温度を 2 9 0 （試料 2 6 は 3 0 0 ）として、プラズマ放電を行う、プラズマ C V D 法を用いた。

・試料 2 1・・・シランの流量 4 s c c m、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m、処理室内の圧力 5 3 2 P a、R F 電源の電力 2 5 W、第 2 の微結晶シリコン膜の厚さ 2 5 n m

・試料 2 2・・・シランの流量 1 . 8 s c c m、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m、処理室内の圧力 5 0 0 0 P a （試料 3 と同様の圧力）、R F 電源の電力 1 2 5 W、第 2 の微結晶シリコン膜の厚さ 6 5 n m

・試料 2 3・・・シランの流量 2 s c c m、水素の流量を 1 5 0 0 s c c m、アルゴンの流量を 1 5 0 0 s c c m、処理室内の圧力 3 0 0 0 P a、R F 電源の電力 5 0 W、第 2 の微結晶シリコン膜の厚さ 8 0 n m

・試料 2 4・・・シランの流量 2 s c c m、水素の流量を 1 5 0 0 s c c m、アルゴンの流量を 1 5 0 0 s c c m、処理室内の圧力 1 0 0 0 0 P a、R F 電源の電力 3 5 0 W、第 2 の微結晶シリコン膜の厚さ 8 0 n m

・試料 2 5・・・シランの流量 3 s c c m、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m、処理室内の圧力 1 2 3 7 P a、R F 電源の電力 1 0 0 W、第 2 の微結晶シリコン膜の厚さ 2 5 n m

・試料 2 6・・・シランの流量 1 . 5 s c c m、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m、処理室内の圧力 1 0 0 0 0 P a、R F 電源の電力 3 0 0 W、第 2 の微結晶シリコン膜の厚さ 6 5 n m

【 0 1 8 5 】

次に、試料 1 8 乃至試料 2 6 それぞれの微結晶シリコン膜の電界効果移動度（ $\mu F E$ ）

を測定し、その結果と成膜圧力（微結晶シリコン膜の成膜条件における1ステップ又は2ステップの成膜圧力）の関係を図12に示す。

【0186】

図12に示す1ステップの圧力280 Paは試料18のデータであり、1ステップの圧力1237 Paは試料19のデータであり、1ステップの圧力5000 Paは試料20のデータであり、1ステップ目の圧力532 Pa、2ステップ目の圧力532 Paは試料21のデータであり、1ステップ目の圧力532 Pa、2ステップ目の圧力5000 Paは試料22のデータであり、1ステップ目の圧力532 Pa、2ステップ目の圧力3000 Paは試料23のデータであり、1ステップ目の圧力532 Pa、2ステップ目の圧力10000 Paは試料24のデータであり、1ステップ目の圧力532 Pa、2ステップ目の圧力1237 Paは試料25のデータであり、1ステップ目の圧力1250 Pa、2ステップ目の圧力10000 Paは試料26のデータである。なお、図12は、各試料における複数のサンプルの中の電界効果移動度のトップデータをプロットしている。

10

【0187】

図12によれば、2ステップを用い、1ステップ目の成膜圧力を1250 Pa以下とし、且つ2ステップ目の成膜圧力を1237 Paより高くすることで、更には3000 Pa以上とすることで、電界効果移動度が飛躍的に向上することが分かる。

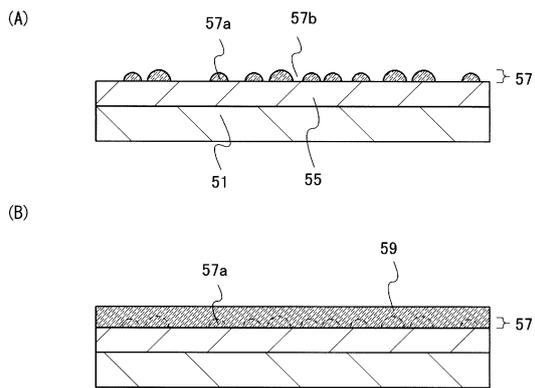
【符号の説明】

【0188】

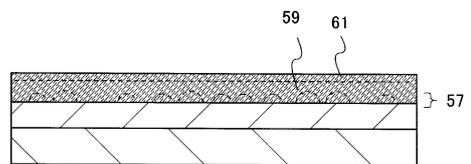
5 1	基板	20
5 5	絶縁膜	
5 7	微結晶シリコン膜	
5 9	微結晶シリコン膜	
6 1	微結晶シリコン膜	
1 0 1	基板	
1 0 3	ゲート電極	
1 0 5	ゲート絶縁膜	
1 0 7	微結晶シリコン膜	
1 0 9	微結晶シリコン膜	
1 1 1	シリコン膜	30
1 1 3	不純物シリコン膜	
1 1 5	マスク	
1 1 7	シリコン積層体	
1 2 1	不純物シリコン膜	
1 2 7	導電膜	
1 3 3	シリコン積層体	
1 3 7	絶縁膜	
1 3 9	バックゲート電極	
1 4 3	シリコン積層体	
5 7 a	混相粒	40
5 7 b	隙間	
1 1 1 a	微結晶シリコン領域	
1 1 1 b	アモルファスシリコン領域	
1 1 1 c	シリコン結晶粒	
1 1 7 a	微結晶シリコン領域	
1 1 7 b	アモルファスシリコン領域	
1 2 9 a	配線	
1 2 9 b	配線	
1 3 1 a	不純物シリコン膜	
1 3 3 a	微結晶シリコン領域	50

- 1 3 3 b アモルファスシリコン領域
- 1 4 3 a 微結晶シリコン領域
- 1 4 3 b アモルファスシリコン領域

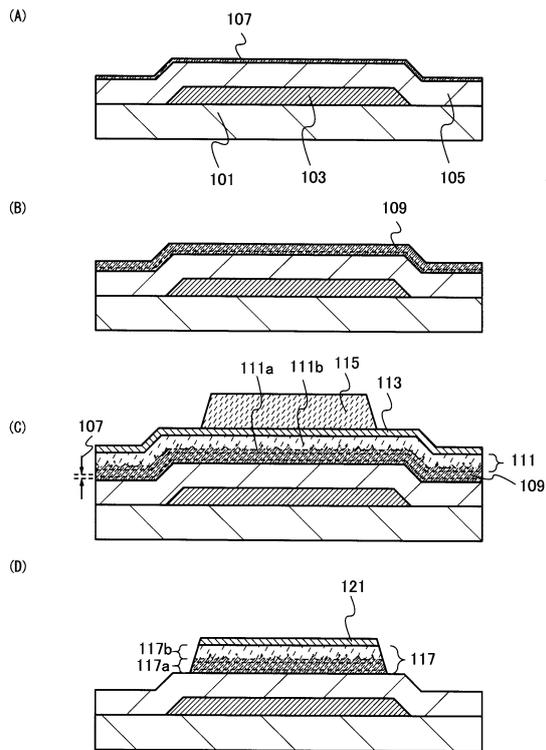
【図 1】



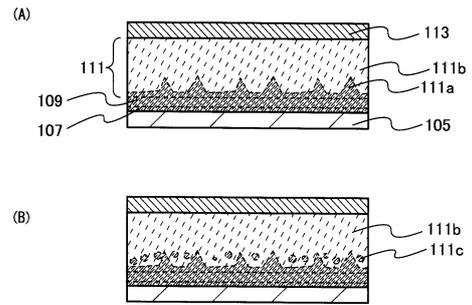
【図 2】



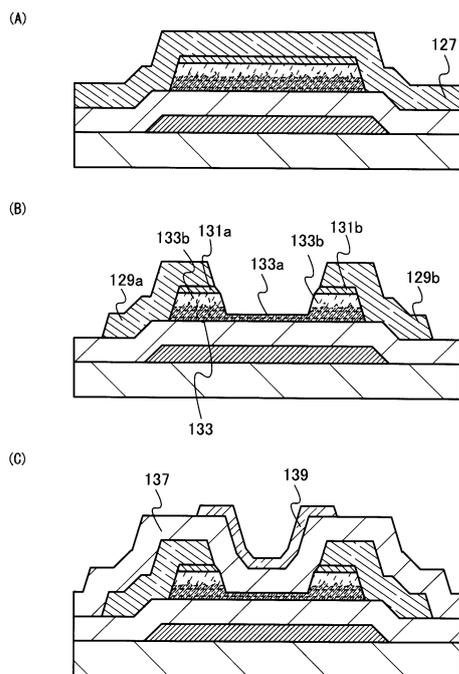
【図3】



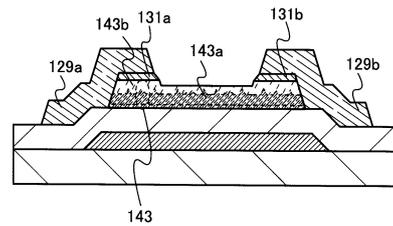
【図4】



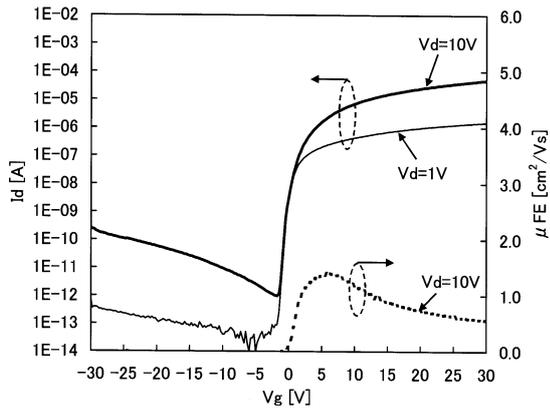
【図5】



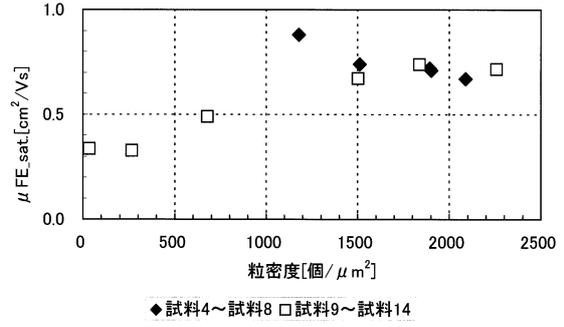
【図6】



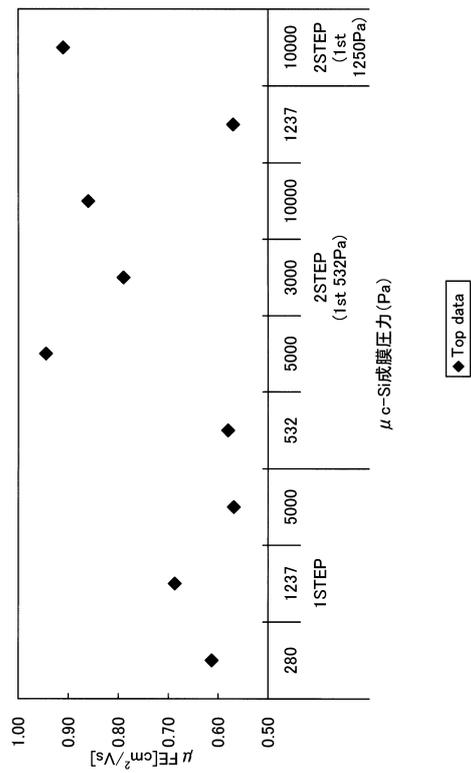
【 図 7 】



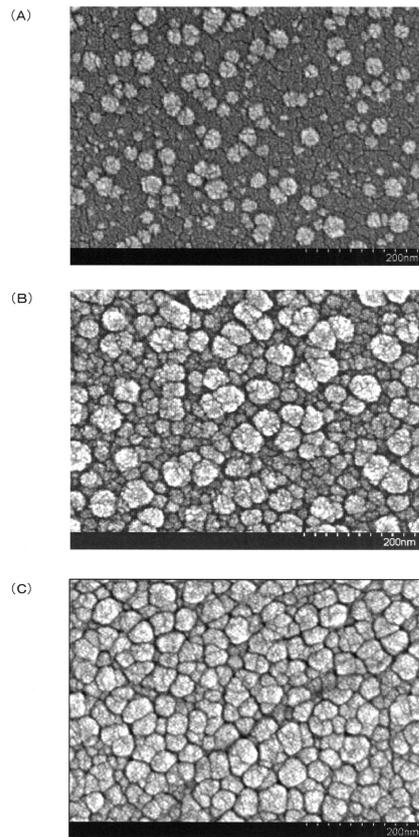
【 図 8 】



【 図 1 2 】

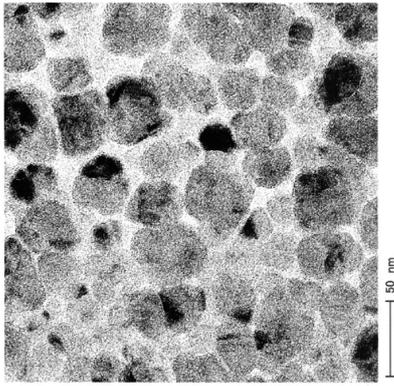


【 図 9 】

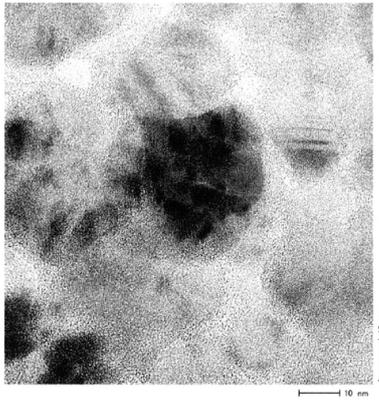


【 \otimes 1 0】

(A)

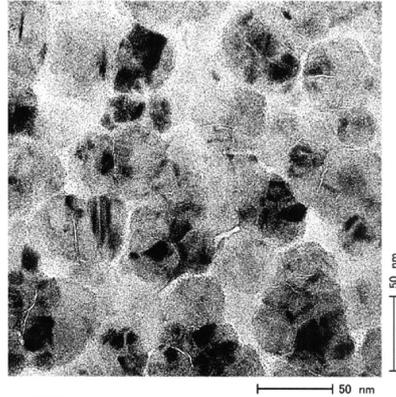


(B)

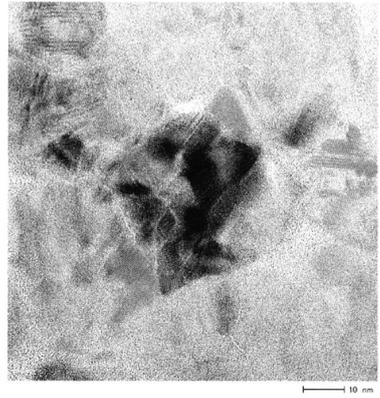


【 \otimes 1 1】

(A)



(B)



フロントページの続き

- (72)発明者 神保 安弘
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 佐々木 俊成
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 宮入 秀和
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 神崎 庸輔
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
- (72)発明者 守口 正生
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 正山 旭

- (56)参考文献 特開2009-088501(JP,A)
特開2009-111364(JP,A)
特開2008-135718(JP,A)
特開2001-053283(JP,A)
特開平05-129608(JP,A)
特開2005-049832(JP,A)
特開平07-131030(JP,A)
特開2005-191546(JP,A)
特開2009-158947(JP,A)
特開平08-070128(JP,A)
特開平10-189977(JP,A)
特開平07-066412(JP,A)
特開2002-009318(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/205
C23C 16/24
H01L 21/336
H01L 29/786