

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-139556
(P2006-139556A)

(43) 公開日 平成18年6月1日(2006.6.1)

(51) Int. Cl. F I テーマコード (参考)
G06K 19/077 (2006.01) G06K 19/00 K 5B035

審査請求 未請求 請求項の数 12 O L (全 21 頁)

(21) 出願番号	特願2004-328846 (P2004-328846)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成16年11月12日 (2004.11.12)		東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

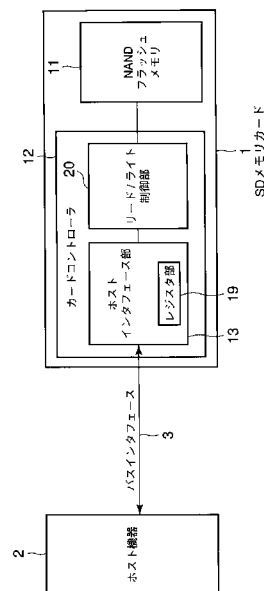
(54) 【発明の名称】 メモリカード及びそのカードコントローラ

(57) 【要約】

【課題】エラーが発生したかどうかを確認するためのコマンドを発行することなく、メモリカードにおけるエラーの発生をホスト機器へ通知でき、メモリカードの制御方法の簡素化及び制御効率の向上を図る。

【解決手段】ホストインタフェース部13は、ホスト機器2との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行う。リード/ライト制御部20は、コマンドのデコード結果に従ってデータの書き込みまたは読み出しを行う。エラー検出部は、インタフェース部13によるデータの送受信及びリード/ライト制御部20によるデータの書き込みまたは読み出しにおいてエラーが発生したか否かを検出する。エラー検出部がエラーの発生を検出したとき、インタフェース部13は、インタフェース部13がデータの送受信を行っていない期間にホスト機器2へ割り込み信号を出力する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

割り込みを検出可能なホスト機器に装着して使用するメモリカードに搭載されるカードコントローラにおいて、

前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、

前記コマンドのデコード結果に従ってデータの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、

前記インタフェース部による前記データの送受信及び前記リード/ライト制御部による前記データの書き込み及び読み出しの少なくともいずれか一方においてエラーが発生したか否かを検出するエラー検出部と、

前記エラー検出部がエラーの発生を検出したとき、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号を出力する信号処理部と、

を具備することを特徴とするカードコントローラ。

【請求項 2】

割り込みを検出可能なホスト機器に装着して使用するメモリカードに搭載されるカードコントローラにおいて、

外部デバイスとの間で情報の送受信を行う通信部と、

前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、

前記コマンドのデコード結果に従ってデータの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、

前記通信部から発生した所定情報を、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号として出力する信号処理部と、

を具備することを特徴とするカードコントローラ。

【請求項 3】

前記インタフェース部は、前記ホスト機器から所定のコマンドが入力されたとき、前記割り込み信号の出力を停止して割り込みサイクルを終了させることを特徴とする請求項 1 または 2 に記載のカードコントローラ。

【請求項 4】

前記インタフェース部は、前記ホスト機器から入力される所定のコマンドにより、前記割り込み信号を出力するモードと、前記割り込み信号を出力しないモードとを切り換えることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載のカードコントローラ。

【請求項 5】

前記所定情報は、前記通信部が通信を開始または終了したことを示す情報であることを特徴とする請求項 2 に記載のカードコントローラ。

【請求項 6】

前記エラー検出部がエラーの発生を検出したとき、前記エラーの発生を示すエラー情報を保持するレジスタをさらに具備し、

前記割り込み信号を前記ホスト機器が受け取ったとき、前記ホスト機器が前記レジスタに保持された前記エラー情報を読み出すことにより、前記ホスト機器が前記エラーの発生を認知することを特徴とする請求項 1 に記載のカードコントローラ。

【請求項 7】

割り込みを検出可能なホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードにおいて、

前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、

前記データを記憶するメモリと、

10

20

30

40

50

前記コマンドのデコード結果に従って前記メモリに対して前記データの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、

前記インタフェース部による前記データの送受信及び前記リード/ライト制御部による前記データの書き込み及び読み出しの少なくともいずれか一方においてエラーが発生したか否かを検出するエラー検出部と、

前記エラー検出部がエラーの発生を検出したとき、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号を出力する信号処理部と、

を具備することを特徴とするメモリカード。

【請求項 8】

10

割り込みを検出可能なホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードにおいて、

外部デバイスとの間で情報の送受信を行う通信部と、

前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、

前記データを記憶するメモリと、

前記コマンドのデコード結果に従って前記メモリに対して前記データの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、

前記通信部から発生した所定情報を、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号として出力する信号処理部と、

20

を具備することを特徴とするメモリカード。

【請求項 9】

前記インタフェース部は、前記ホスト機器から所定のコマンドが入力されたとき、前記割り込み信号の出力を停止して割り込みサイクルを終了させることを特徴とする請求項 7 または 8 に記載のメモリカード。

【請求項 10】

前記インタフェース部は、前記ホスト機器から入力される所定のコマンドにより、前記割り込み信号を出力するモードと、前記割り込み信号を出力しないモードとを切り換えることを特徴とする請求項 7 乃至 9 のいずれか 1 つに記載のメモリカード。

30

【請求項 11】

前記所定情報は、前記通信部が通信を開始または終了したことを示す情報であることを特徴とする請求項 8 に記載のメモリカード。

【請求項 12】

前記エラー検出部がエラーの発生を検出したとき、前記エラーの発生を示すエラー情報を保持するレジスタをさらに具備し、

前記割り込み信号を前記ホスト機器が受け取ったとき、前記ホスト機器が前記レジスタに保持された前記エラー情報を読み出すことにより、前記ホスト機器が前記エラーの発生を認知することを特徴とする請求項 7 に記載のメモリカード。

【発明の詳細な説明】

40

【技術分野】

【0001】

この発明は、記憶素子を有するメモリカード及びそのカードコントローラに関するものであり、例えば、ホスト機器からのアクセスによりデータの書き込み及び読み出しを行う SD メモリカード及びそのカードコントローラに関するものである。

【背景技術】

【0002】

近年、パーソナルコンピュータ、PDA、カメラ、携帯電話等の様々な携帯用電子機器においては、リムーバブル記憶デバイスの 1 つであるメモリカードが多く用いられている。メモリカードとしては、PC カード、及び小型の SD カードが注目されている（例えば

50

、特許文献1参照)。SDカードは、フラッシュメモリを内蔵したメモリカードであり、特に小型化、大容量化、及び高速化の要求に見合うように設計されている。

【0003】

ホスト機器からSDカードへのアクセスにおいてエラーが発生した場合、ホスト機器がエラーの発生を知るためには、書き込み及び読み出しなどのアクセスコマンド発行後、さらにホスト機器からSDカードへエラーが発生したかどうかを確認するためのコマンドを発行し、そのレスポンス信号によりエラーが発生したかどうかを確認する必要があった。

【0004】

しかしながら、まれにしか発生しないエラーを確認するために、アクセスコマンド発行後、エラー確認用のコマンドを発行する必要があり、ホスト機器にとってメモリカードの制御方法の簡素化を妨げるものとなっていた。また、他に無線通信手段あるいは有線通信手段を持つメモリカードの場合、無線通信あるいは有線通信によって発生した情報をホスト機器に通知する手段が必要となるが、ホスト機器から定期的にポーリングする以外にホスト機器が無線通信あるいは有線通信によって発生した情報を知る手段がなかった。

10

【特許文献1】特開2003-91703号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこでこの発明は、前記事情に鑑みてなされたものであり、エラーが発生したかどうかを確認するためのコマンドを発行することなく、メモリカードにおけるエラーの発生をホスト機器へ通知でき、メモリカードの制御方法の簡素化及び制御効率の向上を図ることができるメモリカード及びそのカードコントローラを提供することを目的とする。また、無線通信あるいは有線通信によって発生した情報を、ホスト機器に通知する手段を具備するメモリカード及びそのカードコントローラを提供することを目的とする。

20

【課題を解決するための手段】

【0006】

前記目的を達成するために、この発明の一実施形態のカードコントローラは、割り込みを検出可能なホスト機器に装着して使用するメモリカードに搭載されるカードコントローラにおいて、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記コマンドのデコード結果に従ってデータの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記インタフェース部による前記データの送受信及び前記リード/ライト制御部による前記データの書き込み及び読み出しの少なくともいずれか一方においてエラーが発生したか否かを検出するエラー検出部と、前記エラー検出部がエラーの発生を検出したとき、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号を出力する信号処理部とを具備することを特徴とする。

30

【0007】

また、この発明の他の実施形態のカードコントローラは、割り込みを検出可能なホスト機器に装着して使用するメモリカードに搭載されるカードコントローラにおいて、外部デバイスとの間で情報の送受信を行う通信部と、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記コマンドのデコード結果に従ってデータの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記通信部から発生した所定情報を、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号として出力する信号処理部とを具備することを特徴とする。

40

【0008】

また、この発明の一実施形態のメモリカードは、割り込みを検出可能なホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードにおいて、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記データを記憶するメモリと、前記コマンドのデコード結果に従って前記

50

メモリに対して前記データの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記インタフェース部による前記データの送受信及び前記リード/ライト制御部による前記データの書き込み及び読み出しの少なくともいずれか一方においてエラーが発生したか否かを検出するエラー検出部と、前記エラー検出部がエラーの発生を検出したとき、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号を出力する信号処理部とを具備することを特徴とする。

【0009】

また、この発明の他の実施形態のメモリカードは、割り込みを検出可能なホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードにおいて、外部デバイスとの間で情報の送受信を行う通信部と、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記データを記憶するメモリと、前記コマンドのデコード結果に従って前記メモリに対して前記データの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記通信部から発生した所定情報を、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号として出力する信号処理部とを具備することを特徴とする。

10

【発明の効果】

【0010】

この発明によれば、エラーが発生したかどうかを確認するためのコマンドを発行することなく、メモリカードにおけるエラーの発生をホスト機器へ通知でき、メモリカードの制御方法の簡素化及び制御効率の向上を図ることができるメモリカード及びそのカードコントローラが提供できる。また、無線通信あるいは有線通信によってイベントが発生したことを、ホスト機器に通知する手段を具備するメモリカード及びそのカードコントローラが提供できる。

20

【発明を実施するための最良の形態】

【0011】

以下、図面を参照してこの発明の実施形態のメモリカードについて説明する。ここでは、メモリカードとして、SDメモリカードを例に取る。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

30

【0012】

[第1の実施形態]

まず、この発明の第1の実施形態のSDメモリカードについて説明する。

【0013】

図1は、第1の実施形態のSDメモリカードの構成を示す概略図である。SDメモリカード1は、ホスト機器2とバスインタフェース3を介して情報の授受を行う。SDメモリカード1は、NAND型フラッシュメモリチップ11、このNAND型フラッシュメモリチップ11を制御するカードコントローラ12、及び複数の信号ピン(ピン1乃至ピン9)13を備えている。

【0014】

これら複数の信号ピン13は、カードコントローラ12と電氣的に接続されている。複数の信号ピン13におけるピン1乃至ピン9に対する信号の割り当ては、例えば図2に示すようになっている。データ0乃至データ3は、ピン7、ピン8、ピン9、及びピン1にそれぞれ割り当てられている。ピン1は、またカード検出信号に対しても割り当てられている。さらに、ピン2はコマンドに割り当てられ、ピン3及びピン6は接地電位V_{ss}に、ピン4は電源電圧V_{dd}に、ピン5はクロック信号に割り当てられている。

40

【0015】

また、SDメモリカード1は、ホスト機器2に設けられたスロットに対して挿抜可能なように形成されている。ホスト機器2に設けられたホストコントローラ(図示せず)は、これらピン1乃至ピン9を介してSDメモリカード1内のカードコントローラ12と各種

50

信号及びデータを通信する。例えば、SDメモリカード1にデータが書き込まれる際には、ホストコントローラは書き込みコマンドを、ピン2を介してカードコントローラ12にシリアルな信号として送出する。このとき、カードコントローラ12は、ピン5に供給されているクロック信号に応答して、ピン2に与えられる書き込みコマンドを取り込む。ここで、前述したように、書き込みコマンドは、ピン2のみを利用してカードコントローラ12にシリアルに入力される。コマンドの入力に割り当てられているピン2は、図2に示すように、データ3用のピン1と接地電位V_{ss}用のピン3との間に配置されている。前記複数の信号ピン13とそれに対するインタフェース3は、ホスト機器2内のホストコントローラとSDメモリカード1とが通信するのに使用される。

【0016】

これに対し、NAND型フラッシュメモリ11とカードコントローラ12との間の通信は、NAND型フラッシュメモリ用のインタフェースを採用する。したがって、ここでは図示しないが、NAND型フラッシュメモリ11とカードコントローラ12とは8ビットの入出力(I/O)線により接続されている。例えば、カードコントローラ12がNAND型フラッシュメモリ11にデータを書き込む際には、カードコントローラ12は、これらI/O線を介してデータ入力コマンド80H、カラムアドレス、ページアドレス、データ、及びプログラムコマンド10HをNAND型フラッシュメモリ11に順次入力する。ここで、コマンド80Hの“H”は16進数を示すものであり、実際には“10000000”という8ビットの信号が、8ビットのI/O線に平行に与えられる。つまり、このNAND型フラッシュメモリ用のインタフェースは、複数ビットのコマンドが平行に与えられるものである。また、NAND型フラッシュメモリ用のインタフェースでは、NAND型フラッシュメモリ11に対するコマンドとデータが同じI/O線を共用して通信されている。このように、ホスト機器2内のホストコントローラとSDメモリカード1とが通信するインタフェースと、NAND型フラッシュメモリ11とカードコントローラ12とが通信するインタフェースとは異なるものとなっている。

【0017】

図3は、第1の実施形態のSDメモリカードのハード構成を示すブロック図である。

【0018】

ホスト機器2は、バスインタフェース3を介して接続されるSDメモリカード1に対しアクセスを行うためのハードウェア及びソフトウェアを備えている。SDメモリカード1は、ホスト機器2に接続された時に電源供給を受けて動作し、ホスト機器2からのアクセスに応じた処理を行う。

【0019】

SDメモリカード1は、前述したように、NAND型フラッシュメモリ11及びカードコントローラ12を含む。NAND型フラッシュメモリ11は、消去時の消去ブロックサイズ(消去単位のブロックサイズ)が所定サイズ(例えば、256kByte)に定められている。また、このNAND型フラッシュメモリ11は、ページと称する単位(例えば、2kByte)でデータの書き込みおよび読み出しが行われるようになっている。カードコントローラ12は、NAND型フラッシュメモリ11内部の物理状態(例えば、何処の物理ブロックアドレスに、何番目の論理セクタアドレスデータが含まれているか、あるいは、何処のブロックが消去状態であるか)を管理する。このカードコントローラ12は、ホストインタフェースモジュール13、MPU(Micro processing unit)14、フラッシュコントローラ15、ROM(Read-only memory)16、RAM(Random access memory)17、及びバッファ18を有している。

【0020】

ホストインタフェースモジュール13は、カードコントローラ12とホスト機器2との間のインタフェース処理を行うものであり、レジスタ部19を含む。図4に、レジスタ部19の詳細な構成を示す。レジスタ部19は、カードステータスレジスタ、及びCID、RCA、DSR、CSD、SCR、OCRの各種レジスタを有する。

【0021】

10

20

30

40

50

これらレジスタは、以下のように定義されている。カードステータスレジスタは、通常動作において使用され、例えば後述するエラー情報が記憶される。C I D、R C A、D S R、C S D、S C R、及びO C Rは、主にS Dメモリカードの初期化時に使用される。C I D (Card identification number)には、S Dメモリカードの個体番号が記憶される。R C A (Relative card address)には、相対カードアドレス(初期化時にホスト機器が動的に決める)が記憶される。D S R (Driver stage register)には、S Dメモリカードのバス駆動力等が記憶される。C S D (Card specific data)には、S Dメモリカードの特性パラメータ値が記憶される。S C R (SD configuration data register)には、S Dメモリカードのデータ配置が記憶される。さらに、O C R (Operation condition register)には、動作範囲電圧に制限のあるS Dメモリカードの場合の動作電圧が記憶される

10

【0022】

M P U 1 4 は、S Dメモリカード1全体の動作を制御するものである。M P U 1 4 は、例えばS Dメモリカード1が電源供給を受けたときに、R O M 1 6 に格納されているファームウェア(制御プログラム)をR A M 1 7 上に読み出して所定の処理を実行することにより、各種のテーブルをR A M 1 7 上に作成する。M P U 1 4 は、またホスト機器2から書き込みコマンド、読み出しコマンド、消去コマンドを受け取り、N A N D型フラッシュメモリ11に対して所定の処理を実行したり、バッファ18を通じたデータ転送処理を制御したりする。

【0023】

R O M 1 6 は、M P U 1 4 により制御される制御プログラムなどを格納するメモリである。R A M 1 7 は、M P U 1 4 の作業エリアとして使用され、制御プログラムや各種のテーブルを記憶するメモリである。さらに、フラッシュコントローラ15は、カードコントローラ12とN A N D型フラッシュメモリ11との間のインタフェース処理を行うものである。

20

【0024】

バッファ18は、ホスト機器2から送られてくるデータをN A N D型フラッシュメモリ11へ書き込む際に、一定量のデータ(例えば、1ページ分)を一時的に記憶したり、N A N D型フラッシュメモリ11から読み出されるデータをホスト機器2へ送り出す際に、一定量のデータを一時的に記憶したりするものである。

30

【0025】

図5は、S Dメモリカード内のN A N D型フラッシュメモリ11におけるデータ配置を示している。N A N D型フラッシュメモリ11の各ページは、 $2112 \text{ Byte} ((512 \text{ Byte分のデータ記憶部} + 10 \text{ Byte分の冗長部}) \times 4 + 24 \text{ Byte分の管理データ記憶部})$ を有しており、128ページ分が1つの消去単位($256 \text{ kByte} + 8 \text{ kByte}$ (ここで、kは1024))となる。なお、以下の説明においては、便宜上、このN A N D型フラッシュメモリ11の消去単位を256 kByteと呼ぶ。

【0026】

また、N A N D型フラッシュメモリ11は、フラッシュメモリへのデータ入出力を行うためのページバッファ11Aを備えている。このページバッファ11Aの記憶容量は、 $2112 \text{ Byte} (2048 \text{ Byte} + 64 \text{ Byte})$ である。データ書き込みなどの際には、ページバッファ11Aは、フラッシュメモリに対するデータ入出力処理を自身の記憶容量に相当する1ページ分の単位で実行する。

40

【0027】

N A N D型フラッシュメモリ11の記憶容量が例えば1 Gビットである場合、256 kByteブロック(消去単位)の数は、512個となる。

【0028】

また、図5においては消去単位が256 kByteブロックである場合を例示しているが、消去単位が例えば16 kByteブロックとなるように構築することも実用上有効である。この場合、各ページは $528 \text{ Byte} (512 \text{ Byte分のデータ記憶部} + 16 \text{ Byte分の冗長部})$ を

50

有しており、32ページ分が1つの消去単位(16kByte+0.5kByte(ここで、kは1024))となる。

【0029】

NAND型フラッシュメモリ11のデータが書き込まれる領域(データ記憶領域)は、図3に示すように、保存されるデータに応じて複数の領域に区分けされている。NAND型フラッシュメモリ11は、データ記憶領域として、ユーザデータを格納するユーザデータ領域34と、主にSDメモリカードに関する管理情報を格納するための管理データ領域31と、機密データを格納する機密データ領域32と、重要なデータを格納するための保護データ領域33とを備えている。

【0030】

ユーザデータ領域34は、SDメモリカード1を使用するユーザが自由にアクセス及び使用することが可能な領域である。保護データ領域33は、SDメモリカード1に接続されたホスト機器2との相互認証によりホスト機器2の正当性が証明された場合にのみアクセスが可能となる領域である。

【0031】

管理データ領域31は、SDメモリカード1のセキュリティ情報やメディアIDなどのカード情報が格納されている領域である。機密データ領域32は、暗号化に用いる鍵情報や認証時に使用する機密データが保存されており、ホスト機器2からはアクセス不可能な領域である。

【0032】

また、この第1の実施形態及び後述する第2の実施形態では、SDメモリカード1の動作モードがSD4bitモードである場合を例に説明するが、SD1bitモード、SPIモードである場合にも適用できる。図6に、SD4bitモード、SD1bitモード、及びSPIモードにおける信号ピンに対する信号割り当てを示す。

【0033】

SDメモリカードの動作モードは、SDモードとSPIモードに大別される。SDモードにおいては、SDメモリカードはホスト機器からのバス幅変更コマンドによって、SD4bitモードまたはSD1bitモードに設定される。

【0034】

ここで、4つのデータ0ピン(DAT0)乃至データ3ピン(DAT3)に着目すると、4ビット幅単位でデータ転送を行うSD4bitモードでは、4つのデータ0ピン乃至データ3ピンが全てデータ転送に用いられるが、1ビット幅単位でデータ転送を行うSD1bitモードでは、データ0ピン(DAT0)のみがデータ転送に使用され、データ1ピン(DAT1)、データ2ピン(DAT2)は全く使用されない。また、データ3ピン(DAT3)は例えばSDメモリカードからホスト機器への非同期割り込み等のために使用される。SPIモードでは、データ0ピン(DAT0)がSDメモリカードからホスト機器へのデータ信号線(DATA OUT)に用いられる。コマンドピン(CMD)はホスト機器からSDメモリカードへのデータ信号線(DATA IN)に用いられる。データ1ピン(DAT1)、データ2ピン(DAT2)は全く使用されない。また、SPIモードでは、データ3ピン(DAT3)は、ホスト機器からSDメモリカードへのチップセレクト信号CSの送信に用いられる。

【0035】

次に、この発明の第1の実施形態のSDメモリカードの動作について説明する。

【0036】

図7は、第1の実施形態のSDメモリカードの構成を示す機能ブロック図である。

【0037】

SDメモリカード1は、バスインタフェース3を介してホスト機器2からアクセスされ、書き込み及び読み出しなどの動作を行う。SDメモリカード1は、NAND型フラッシュメモリ11、及びカードコントローラ12を含む。カードコントローラ12は、ホストインタフェース部13、及びリード/ライト制御部20を有する。

10

20

30

40

50

【0038】

ホスト機器2がNAND型フラッシュメモリ11にアクセスする場合、バスインタフェース3を介してアクセスコマンドをホストインタフェース部13へ送信する。ホストインタフェース部13は、アクセスコマンドをデコードし、リード/ライト制御部20内のMPU14に、NAND型フラッシュメモリ11へのアクセス処理を行うように指示を出す。MPU14は、リード/ライト制御部20内のフラッシュコントローラ15を介して、NAND型フラッシュメモリ11にアクセスする。MPU14は、またエラー検出部を有する。エラー検出部は、データの転送中やNAND型フラッシュメモリ11へのアクセス中にエラーが発生したか否かを検出する。ここで、エラー検出部によりエラーの発生が検出された場合、MPU14はホストインタフェース部13内にあるレジスタ部19のカードステータスレジスタにエラーの発生を示すエラー情報を保持する。レジスタ部19にエラー情報が保持されたとき、ホストインタフェース部(信号処理部)13はバスインタフェース3を介してホスト機器2へエラー信号(割り込み信号)を出力し、エラーが発生したことを通知する。その通知方法として、SDIO規格で定義された割り込みを用いることにより、従来との互換性を維持しながらSDIO規格に対応したホスト機器2によりホストインタフェース部13から出力されるエラー信号の検出が可能になる。ホスト機器2は、割り込みによるエラー信号を検出した場合、ホストインタフェース部13内のレジスタ部19のカードステータスレジスタに保持されたエラー情報を読み出すコマンドにより、エラーの発生を認知することができる。さらに、カードステータスレジスタに、どこで発生したエラーなのかを示すエラーステータス情報を保持しておけば、ホスト機器2は、割り込みによるエラー信号を検出した場合、カードステータスレジスタに保持されたエラーステータス情報を読み出すことにより、より詳しいエラーに関する情報を取得することができる。なお、ホスト機器2は、エラー信号を検出しない正常動作時には、このレジスタ部19を読み出す必要はない。

【0039】

また、ホストインタフェース部13は、モード切り換え手段を有する。このモード切り換え手段は、エラー信号を出力するモードとエラー信号を出力しないモードとを切り換えるものである。例えば、SDメモリカード1の初期化時において、モード切り換え手段はモード設定コマンドが入力されたときエラー信号を出力するモードに切り換え、モード設定コマンドが入力されないときはエラー信号を出力しないモードに設定する。

【0040】

図8は、書き込みにおけるホスト機器2とSDメモリカード1との間の信号授受を示すタイミングチャートであり、バスインタフェース3を通過する信号のタイミングを示している。この図8を用いて、SDメモリカードに対してデータ入出力を行うためのSDIO規格におけるデータサイクルと割り込みサイクルについて説明する。

【0041】

データ0(DAT0)~データ3(DAT3)のラインは、書き込みにおいて、時分割でデータサイクルと割り込みサイクルに使用される。データサイクルは、データ0~データ3のラインをデータの送受信に使用するコマンドがSDメモリカード1に入力された場合に設定される。図8に示すように、書き込みコマンドW1の入力終了後から、最終のデータブロックに対するCRCステータス信号がSDメモリカード1から出力される直前までがデータサイクルとなる。その他の期間は割り込みサイクルとなる。なお、2つ目のコマンドC1は、データ0~データ3のラインを使用しないコマンドの場合であり、このコマンドC1の入力によるデータサイクルは存在しない例を示している。SDメモリカード1は、割り込みサイクルの期間、いつでも割り込みをホスト機器2へ出すことができる。

【0042】

次に、第1の実施形態のSDメモリカードにおける書き込みにおいて、エラーが発生した場合の動作を述べる。

【0043】

まず、1つのライトコマンドの入力により、1つのデータブロックがリード/ライト制

御部 20 により NAND 型フラッシュメモリ 11 に書き込まれるシングルライトについて述べる。

【0044】

図 9 は、4 ビットのデータ線を用いてシングルライトを行う場合のホスト機器 2 と SD メモリカード 1 との間の信号授受を示すタイミングチャートであり、バスインタフェース 3 を通過する信号のタイミングを示している。

【0045】

ホスト機器 2 からコマンド (CMD) ラインを介してホストインタフェース部 13 へライトコマンド W1 が入力されると、ホストインタフェース部 13 からレスポンス信号 (Res) がホスト機器 2 へ返信される。続いて、ホスト機器 2 からデータ 0 (DAT0) ~ データ 3 (DAT3) のラインを介してホストインタフェース部 13 へデータブロックが転送される。ホストインタフェース部 13 は、データブロックを受信した段階で、データ転送中にエラーが発生したかどうかのエラー発生状況を通知する CRC ステータス信号を、データ 0 ラインよりホスト機器 2 へ返信する。さらに、このデータブロックがリード/ライト制御部 20 により NAND 型フラッシュメモリ 11 に書き込まれるまで、データ 0 ラインは書き込み中であることを示すビジー (Busy) 状態 ("L") となる。

【0046】

ここで、データブロックの書き込み時にエラーが発生した場合、データ 1 ライン (DAT1) はエラーがあることを示すエラー (Error) 状態 ("L") となる。データブロックの書き込みが終了すると、データ 0 ラインは書き込みが終了したことを示す状態 ("H") に設定される。ホスト機器 2 は、データ 0 ラインにおいてビジー状態 ("L") から "H" への立ち上がりを検出したとき、データ 1 ラインの状態を見ることにより、データブロックの書き込みにおいてエラーが発生したかどうかを検出する。

【0047】

その後、ホスト機器 2 からコマンド C1 がホストインタフェース部 13 へ入力され、ホストインタフェース部 13 からレスポンス信号 (Res) がホスト機器 2 へ返信される。エラー状態となったデータ 1 ラインは、このコマンド C1 に応答してエラー状態 ("L") から "H" へ立ち上げられ、その後、トライステート状態 (ハイインピーダンス状態) となる。すなわち、エラーが発生したことを示すエラー状態は、ホスト機器 2 からのコマンド C1 の入力によってクリアされる。コマンド C1 は、コマンドの入力に対してレスポンス信号を返信可能なコマンドであればよく、すなわちコマンド入力に対してレスポンス信号の返信を伴うコマンドであればよく、例えば、書き込みコマンド、読み出しコマンド、またはその他のコマンドであってもよい。なお、データ 0 ラインも書き込みが終了したことを示す状態 ("H") に設定された後、トライステート状態となる。

【0048】

データ 1 ライン (DAT1) は SDIO 規格により割り込み線として定義されており、図 9 は、SD メモリカード 1 がエラー発生を検出したため、データ 1 ラインを "L" (エラー状態) に駆動してホスト機器 2 に通知している様子を表している。SD メモリカード 1 は、エラーを検出した時点でいつでもエラー情報をホスト機器 2 へ通知できる。すなわち、図 9 ではデータ 0 ラインがビジー状態 ("L") から "H" に立ち上がる直前に、データ 1 ラインを "L" (エラー状態) にしているが、CRC ステータス信号の返信開始後であればいつでもデータ 1 ラインを "L" (エラー状態) に駆動し、エラー情報を通知することができる。

【0049】

次に、1 つのライトコマンドの入力により、複数回 (ここでは、3 回) に亘ってデータブロックがリード/ライト制御部 20 により NAND 型フラッシュメモリ 11 に書き込まれるマルチブロックライトについて述べる。

【0050】

図 10 及び図 11 は、4 ビットのデータ線を用いてマルチブロックライトを行う場合のホスト機器 2 と SD メモリカード 1 との間の信号授受を示すタイミングチャートであり、

10

20

30

40

50

バスインタフェース3を通過する信号のタイミングを示している。

【0051】

まず、図10に示すタイミングチャートを用いて、マルチブロックライトの一例について説明する。

【0052】

ホスト機器2からコマンド(CMD)ラインを介してホストインタフェース部13へライトコマンドW1が入力されると、ホストインタフェース部13からレスポンス信号がホスト機器2へ返信される。続いて、ホスト機器2からデータ0(DAT0)~データ3(DAT3)のラインを介してホストインタフェース部13へデータブロックD1が転送される。ホストインタフェース部13は、データブロックD1を受信した段階で、データ転送中のエラー発生状況を通知するCRCステータス信号を、データ0ラインよりホスト機器2へ返信する。続いて、データ0(DAT0)~データ3(DAT3)のラインからデータブロックD2が転送される。ホストインタフェース部13は、データブロックD2を受信した段階で、データ転送中のエラー発生状況を通知するCRCステータス信号を、データ0ラインよりホスト機器2へ返信する。

10

【0053】

さらに、データ0(DAT0)~データ3(DAT3)のラインからデータブロックD3が転送される。ホストインタフェース部13は、データブロックD3を受信した段階で、データ転送中のエラー発生状況を通知するCRCステータス信号を、データ0ラインよりホスト機器2へ返信する。ここで、データブロックD3が転送されると同時に、ホスト機器2からコマンド(CMD)ラインを介してホストインタフェース部13へコマンドC1が入力される。このコマンドC1は、ホスト機器2からホストインタフェース部13へのデータブロックの転送が最後であることを示すものである。すなわち、ホスト機器2からホストインタフェース部13への書き込みデータの転送はコマンドC1の入力によって終了する。最後のCRCステータス信号を返信した後、データブロックD1~D3がリード/ライト制御部20によりNAND型フラッシュメモリ11に書き込まれるまで、データ0ラインは書き込み中であることを示すビジー(Busy)状態("L")となる。

20

【0054】

コマンドC1が入力されると、ホストインタフェース部13からレスポンス信号S1が返信される。ここでは、レスポンス信号S1を返信するまでにエラーが発生していないため、コマンドC1に対するレスポンス信号S1にエラーは表示されない。

30

【0055】

その後、NAND型フラッシュメモリ11へのデータブロックD1~D3の書き込み時、すなわちビジー状態中にエラーが発生した場合、データ1ライン(DAT1)はエラーがあることを示すエラー状態("L")となり、データ1ラインにエラー割り込みが発生する。データブロックの書き込みが終了すると、データ0ラインは書き込みが終了したことを示す状態("H")に設定される。ホスト機器2は、データ0ラインにおいてビジー状態("L")から"H"への立ち上がりを検出したとき、データ1ラインの状態を見ることにより、データブロックD1~D3の書き込みにおいてエラーが発生したかどうかを検出する。

40

【0056】

その後、ホスト機器2からコマンドC2がホストインタフェース部13へ入力され、ホストインタフェース部13からレスポンス信号(Res)S2がホスト機器2へ返信される。このとき、コマンドC1に対するレスポンス信号S1の返信後にエラーが発生しているため、コマンドC2に対するレスポンス信号S2にエラーが表示される。言い換えると、ホスト機器2は、コマンドC2により、レジスタ部19内のカードステータスレジスタに保持されたエラー情報を読み出し、そのエラー情報をレスポンス信号S2にて受け取る。エラー状態を示すデータ1ラインは、このコマンドC2に対するレスポンス信号S2に回答してエラー状態("L")から"H"へ立ち上げられ、その後、トライステート状態(ハイインピーダンス状態)となる。すなわち、エラーが発生したことを示すエラー状態

50

は、ホスト機器 2 からのコマンド C 2 の入力によってクリアされる。なお、データ 0 ラインも書き込みが終了したことを示す状態（“H”）に設定された後、トライステート状態となる。

【0057】

次に、図 11 に示すタイミングチャートを用いて、マルチブロックライトの他の例について説明する。

【0058】

図 10 ではコマンド C 2 に対するレスポンス信号 S 2 にエラー情報を表示する例を示したが、図 11 ではコマンド C 1 に対するレスポンス信号 S 1 にエラー情報を表示する例を示す。

10

【0059】

図 10 に示した例と同様に、ホストインタフェース部 13 へデータブロック D 1 ~ D 3 が転送される。データブロック D 3 の転送と同時に、コマンド C 1 が入力されると、ホストインタフェース部 13 からレスポンス信号 S 1 が返信される。ここでは、レスポンス信号 S 1 を返信するまでにエラーが発生していたため、コマンド C 1 のレスポンス信号 S 1 にエラーが表示される。言い換えると、ホスト機器 2 は、コマンド C 1 により、レジスタ部 19 内のカードステータスレジスタに保持されたエラー情報を読み出し、そのエラー情報をレスポンス信号 S 1 にて受け取る。

【0060】

また、このエラー表示と同期して、データ 1 ライン（DAT 1）はエラーがあることを示すエラー状態（“L”）となり、データ 1 ラインにエラー割り込みが発生する。データブロックの書き込みが終了すると、データ 0 ラインは書き込みが終了したことを示す状態（“H”）に設定される。ホスト機器 2 は、データ 0 ラインにおいてビジー状態（“L”）から“H”への立ち上がりを検出したとき、データ 1 ラインの状態を見ることにより、データブロック D 1 ~ D 3 の書き込みにおいてエラーが発生したかどうかを検出する。

20

【0061】

その後、ホスト機器 2 からコマンド C 2 がホストインタフェース部 13 へ入力され、ホストインタフェース部 13 からレスポンス信号（Res）S 2 がホスト機器 2 へ返信される。このとき、コマンド C 1 に対するレスポンス信号 S 1 にエラー情報は表示され、このコマンド C 2 に対するレスポンス信号 S 2 にはエラーは表示されていない。エラー状態となったデータ 1 ラインは、このコマンド C 2 に対するレスポンス信号 S 2 に応答してエラー状態（“L”）から“H”へ立ち上げられ、その後、トライステート状態（ハイインピーダンス状態）となる。すなわち、エラーが発生したことを示すエラー状態は、ホスト機器 2 からのコマンド C 2 の入力によってクリアされる。このマルチブロックライトでは、データの転送中にエラーが検出されたとき、データブロックの受信後にデータ 0 ラインにより返信される CRC ステータス信号によってエラー情報が通知される。CRC ステータス信号は、バスインタフェース 3 からホストインタフェース部 13 にデータが正常に受け取られたかどうかを示す情報である。なお、CRC ステータス信号は、エラー情報を表示する以外に、CRC ステータス信号を返さないことによってエラー発生を通知する機能も持つ。

30

40

【0062】

図 9、図 10、及び図 11 に示した動作では、書き込み時においてエラーが発生した場合、レジスタ部 19 内のカードステータスレジスタにエラー情報が記憶される。そして、割り込みサイクルにおいてデータ 1 ラインからエラー信号をホスト機器 2 へ出力すると共に、コマンドに対するレスポンス信号にエラー情報を表示する。また、ホスト機器 2 からホストインタフェース部 13 へのデータ転送時にエラーが発生した場合、レジスタ部 19 内のカードステータスレジスタにエラー情報が記憶されると共に、データ受信後に返信される CRC ステータス信号にエラー情報を表示して、ホスト機器 2 へ通知する。これにより、ホスト機器 2 は、エラーが発生したかどうかを確認するコマンドを SD メモリカード 1 に送信することなく、エラー発生の有無を検出することができる。このように、ホスト

50

機器 2 はエラーが発生したかどうかを確認するコマンドを発行する必要がないため、エラー発生がない通常動作での S D メモリカードの制御方法が簡素化でき、さらにこれによりコマンド発行回数を削減できるため、制御効率を向上させることができる。また、エラーの発生によってデータ 1 ラインから出力されるエラー信号は、ホスト機器 2 から送信されるコマンドによりクリアできるため、速やかに次の動作へ移行することができる。

【 0 0 6 3 】

前記第 1 の実施形態では、S D I O として定義されている割り込みを利用してエラー発生をホスト機器へ伝えることにより、ホスト機器は割り込みを検知するだけでエラー発生を監視することができるため、ホスト機器による S D メモリカードの制御を簡素化でき、通常のアクセス動作を効率化できる。

【 0 0 6 4 】

[第 2 の実施形態]

次に、この発明の第 2 の実施形態の S D メモリカードについて説明する。前記第 1 の実施形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【 0 0 6 5 】

図 1 3 は、第 2 の実施形態の S D メモリカードの構成を示す概略図である。S D メモリカード 2 1 は、ホスト機器 2 とバスインタフェース 3 を介して情報の授受を行う。S D メモリカード 2 1 は、非接触通信用のアンテナに接続されるピン 1 0 及びピン 1 1 を有する。

【 0 0 6 6 】

これらピン 1 0、1 1 は、I C カードコントローラ 2 2 と電氣的に接続されている。複数の信号ピン 2 3 におけるピン 1 乃至ピン 1 1 に対する信号の割り当ては、例えば図 1 4 に示すようになっている。

【 0 0 6 7 】

図 1 5 は、第 2 の実施形態の S D メモリカードの構成を示す機能ブロック図である。

【 0 0 6 8 】

S D メモリカード 2 1 は、バスインタフェース 3 を介してホスト機器 2 からアクセスされ、ホスト機器 2 と情報の授受を行う。S D メモリカード 2 1 は、N A N D 型フラッシュメモリ 1 1、カードコントローラ 1 2、及び I C カードコントローラ 2 2 を含む。ホスト機器 2 には非接触通信用アンテナ（無線通信部）2 4 が設けられており、ホスト機器 2 のカードスロットに S D メモリカード 2 1 が装着されることによりピン 1 0、1 1 が非接触通信用アンテナ 2 4 に接続される。この非接触通信用アンテナ 2 4 は、発信媒体に接触することなく、各種信号及びデータなどの情報を受信し、I C カードコントローラ 2 2 に伝達する。I C カードコントローラ 2 2 は、非接触通信用アンテナ 2 4 を用いた無線通信により発生した情報（非接触通信用アンテナ 2 4 にて受信した情報あるいは受信中であるとの情報（例えば、通信の開始及び終了を示す情報））を、割り込みサイクル期間にホストインタフェース部 1 3 によりバスインタフェース 3 を介してホスト機器 2 へ出力する。さらに、ホストインタフェース部 1 3 は、前記第 1 の実施形態と同様に、モード切り換え手段を有する。このモード切り換え手段は、前記情報を出力するモードと前記情報を出力しないモードとを切り換えるものである。例えば、S D メモリカード 2 1 の初期化時において、モード切り換え手段は所定のコマンドが入力されたとき前記情報を出力するモードに切り換え、所定のコマンドが入力されないときは前記情報を出力しないモードに設定する。また、ホストインタフェース部 1 3 は、前記第 1 の実施形態と同様に、所定コマンドが入力されたとき、前記情報の出力を停止する機能も持つ。

【 0 0 6 9 】

無線通信機能を持つ S D メモリカード 2 1 においては、バスインタフェース 3 以外から N A N D 型フラッシュメモリ 1 1 をアクセスする要因が存在する。従来はホスト機器 2 がコマンドを発行しポーリングを行わないと S D メモリカードの状態は検出できなかった。この第 2 の実施形態では、無線通信による S D メモリカードの状況、あるいは無線通信に

10

20

30

40

50

より得た情報を割り込みでホスト機器 2 へ通知することにより、ホスト機器 2 によるポーリングを行うことなく、SDメモリカードから情報を得ることができる。

【0070】

図16に、第2の実施形態の第1変形例の構成を、図17に第2変形例の構成をそれぞれ示す。図16は、非接触通信用アンテナ(無線通信部)24Aがメモリカード21に設けられた例である。また、図17は、有線通信部24Bがメモリカード21内に設けられた例である。図17における有線通信部24Bは、外部デバイス25との間でバスインタフェース26を介して通信を行う。その他主要な構成及び動作は、前記第2の実施形態のメモリカードと同様である。

【0071】

なお、以上の各実施形態ではメモリカードがSDメモリカードである場合を例に挙げて説明したが、メモリカードはSDメモリカードに限定されるものではない。また、以上の各実施形態では割り込みとしてSDIOで定義されたものを例に挙げて説明したが、この割り込みはSDIOで定義されたものに限られない。

【0072】

また、この発明は以下の実施態様を取りうる。

【0073】

(1) 割り込みを検出可能なホスト機器に装着して使用するメモリカードに搭載されるカードコントローラにおいて、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記コマンドのデコード結果に従ってデータの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記インタフェース部による前記データの送受信及び前記リード/ライト制御部による前記データの書き込み及び読み出しの少なくともいずれか一方においてエラーが発生したか否かを検出するエラー検出部と、前記エラー検出部がエラーの発生を検出したとき、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号を出力する信号処理部とを具備することを特徴とするカードコントローラ。

【0074】

(2) 割り込みを検出可能なホスト機器に装着して使用するメモリカードに搭載されるカードコントローラにおいて、外部デバイスとの間で情報の送受信を行う通信部と、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記コマンドのデコード結果に従ってデータの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記通信部から発生した所定情報を、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号として出力する信号処理部とを具備することを特徴とするカードコントローラ。

【0075】

(3) 前記インタフェース部は、前記ホスト機器から所定のコマンドが入力されたとき、前記割り込み信号の出力を停止して割り込みサイクルを終了させることを特徴とする(1)または(2)に記載のカードコントローラ。

【0076】

(4) 前記インタフェース部は、前記ホスト機器から入力される所定のコマンドにより、前記割り込み信号を出力するモードと、前記割り込み信号を出力しないモードとを切り換えることを特徴とする(1)乃至(3)のいずれか1つに記載のカードコントローラ。

【0077】

(5) 前記所定情報は、前記通信部が通信を開始または終了したことを示す情報であることを特徴とする(2)に記載のカードコントローラ。

【0078】

(6) 前記エラー検出部がエラーの発生を検出したとき、前記エラーの発生を示すエラー情報を保持するレジスタをさらに具備し、前記割り込み信号を前記ホスト機器が受け取っ

10

20

30

40

50

たとき、前記ホスト機器が前記レジスタに保持された前記エラー情報を読み出すことにより、前記ホスト機器が前記エラーの発生を認知することを特徴とする(1)に記載のカードコントローラ。

【0079】

(7) 割り込みを検出可能なホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードにおいて、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記データを記憶するメモリと、前記コマンドのデコード結果に従って前記メモリに対して前記データの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記インタフェース部による前記データの送受信及び前記リード/ライト制御部による前記データの書き込み及び読み出しの少なくともいずれか一方においてエラーが発生したか否かを検出するエラー検出部と、前記エラー検出部がエラーの発生を検出したとき、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号を出力する信号処理部とを具備することを特徴とするメモリカード。

10

【0080】

(8) 割り込みを検出可能なホスト機器に装着され、前記ホスト機器からアクセスされるメモリカードにおいて、外部デバイスとの間で情報の送受信を行う通信部と、前記ホスト機器との間でコマンドの受信とデコード及びレスポンスの送信及びデータの送受信を行うインタフェース部と、前記データを記憶するメモリと、前記コマンドのデコード結果に従って前記メモリに対して前記データの書き込み及び読み出しの少なくともいずれか一方を行うリード/ライト制御部と、前記通信部から発生した所定情報を、前記インタフェース部がデータの送受信を行っていない期間に、前記インタフェース部を介して前記ホスト機器へ割り込み信号として出力する信号処理部とを具備することを特徴とするメモリカード。

20

【0081】

(9) 前記インタフェース部は、前記ホスト機器から所定のコマンドが入力されたとき、前記割り込み信号の出力を停止して割り込みサイクルを終了させることを特徴とする(7)または(8)に記載のメモリカード。

【0082】

(10) 前記インタフェース部は、前記ホスト機器から入力される所定のコマンドにより、前記割り込み信号を出力するモードと、前記割り込み信号を出力しないモードとを切り換えることを特徴とする(7)乃至(9)のいずれか1つに記載のメモリカード。

30

【0083】

(11) 前記所定情報は、前記通信部が通信を開始または終了したことを示す情報であることを特徴とする(8)に記載のメモリカード。

【0084】

(12) 前記エラー検出部がエラーの発生を検出したとき、前記エラーの発生を示すエラー情報を保持するレジスタをさらに具備し、前記割り込み信号を前記ホスト機器が受け取ったとき、前記ホスト機器が前記レジスタに保持された前記エラー情報を読み出すことにより、前記ホスト機器が前記エラーの発生を認知することを特徴とする(7)に記載のメモリカード。

40

【0085】

また、前述した各実施形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【図面の簡単な説明】

【0086】

【図1】この発明の第1の実施形態のSDメモリカードの構成を示す概略図である。

【図2】前記第1の実施形態のSDメモリカードにおける信号ピンに対する信号割り当て

50

を示す図である。

【図 3】前記第 1 の実施形態の S D メモリカードのハード構成を示すブロック図である。

【図 4】前記第 1 の実施形態の S D メモリカードにおけるレジスタ部の詳細な構成を示す図である。

【図 5】前記第 1 の実施形態の S D メモリカード内の N A N D 型フラッシュメモリにおけるデータ配置を示す図である。

【図 6】各動作モードにおける信号ピンに対する信号割り当てを示す図である。

【図 7】前記第 1 の実施形態の S D メモリカードの構成を示す機能ブロック図である。

【図 8】S D メモリカードにおける書き込み時のデータサイクルと割り込みサイクルを示すタイミングチャートである。

10

【図 9】前記第 1 の実施形態の S D メモリカードにおけるシングルライト時のホスト機器と S D メモリカードとの間の信号授受を示すタイミングチャートである。

【図 10】前記第 1 の実施形態の S D メモリカードにおけるマルチブロックライト時のホスト機器と S D メモリカードとの間の信号授受を示すタイミングチャートである。

【図 11】前記第 1 の実施形態の S D メモリカードにおけるマルチブロックライト時のホスト機器と S D メモリカードとの間の信号授受を示す他の例のタイミングチャートである。

【図 12】この発明の第 2 の実施形態の S D メモリカードの構成を示す概略図である。

【図 13】前記第 2 の実施形態の S D メモリカードにおける信号ピンに対する信号割り当てを示す図である。

20

【図 14】前記第 2 の実施形態の S D メモリカードの構成を示す機能ブロック図である。

【図 15】前記第 2 の実施形態の第 1 変形例の S D メモリカードの構成を示す機能ブロック図である。

【図 16】前記第 2 の実施形態の第 2 変形例の S D メモリカードの構成を示す機能ブロック図である。

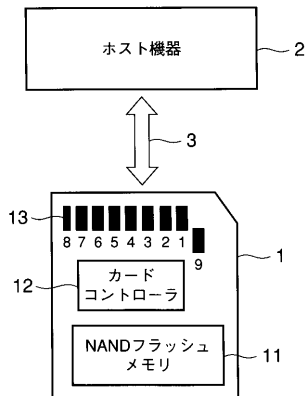
【符号の説明】

【0087】

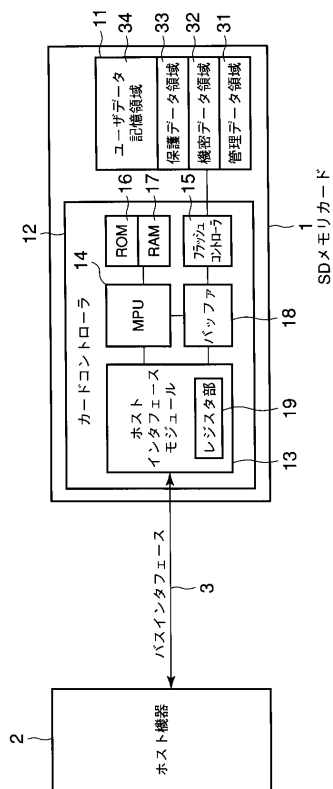
1 ... S D メモリカード、 2 ... ホスト機器、 3 ... バスインタフェース、 11 ... N A N D 型フラッシュメモリ、 12 ... カードコントローラ、 13 ... ホストインタフェース部、 14 ... M P U、 15 ... フラッシュコントローラ、 16 ... R O M、 17 ... R A M、 18 ... バッファ、 19 ... レジスタ部、 20 ... リード/ライト制御部。

30

【 図 1 】



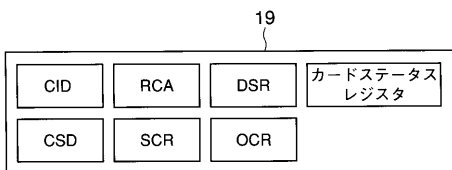
【 図 3 】



【 図 2 】

ピン No.	信 号
ピン 1	カード検出 / データ 3 (DAT 3)
ピン 2	コマンド (CMD)
ピン 3	Vss
ピン 4	Vdd
ピン 5	クロック (CLK)
ピン 6	Vss
ピン 7	データ 0 (DAT 0)
ピン 8	データ 1 (DAT 1)
ピン 9	データ 2 (DAT 2)

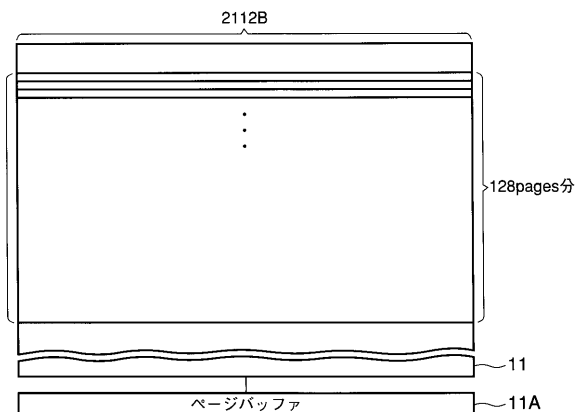
【 図 4 】



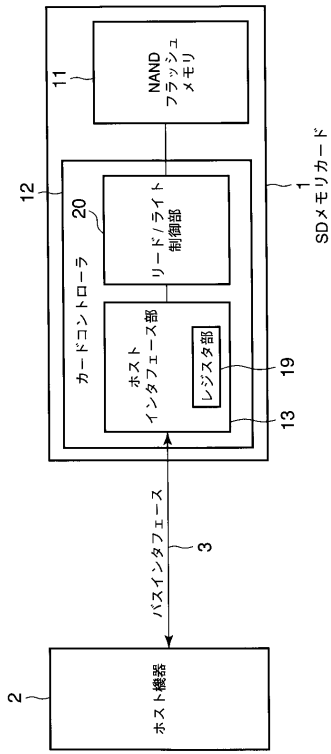
【 図 6 】

動作モード	ピン名	内 容
SDモード 4 bit	DAT 3	CD / DATA
	DAT 2	DATA
	DAT 1	DATA
	DAT 0	DATA
	CMD	コマンド / レスポンス
	CLK	クロック
SDモード 1 bit	DAT 3	予約
	DAT 2	非使用
	DAT 1	非使用
	DAT 0	DATA
	CMD	コマンド / レスポンス
	CLK	クロック
SPIモード	DAT 3	チップセレクト CS
	DAT 2	非使用
	DAT 1	非使用
	DAT 0	DATA OUT
	CMD	DATA IN
	CLK	クロック

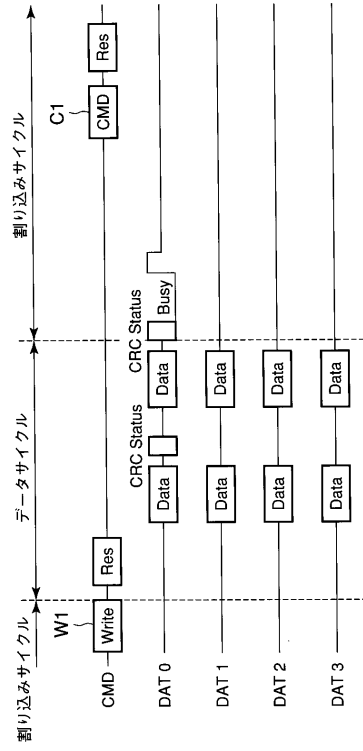
【 図 5 】



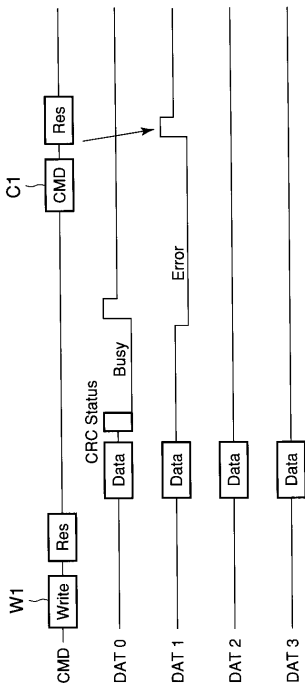
【 図 7 】



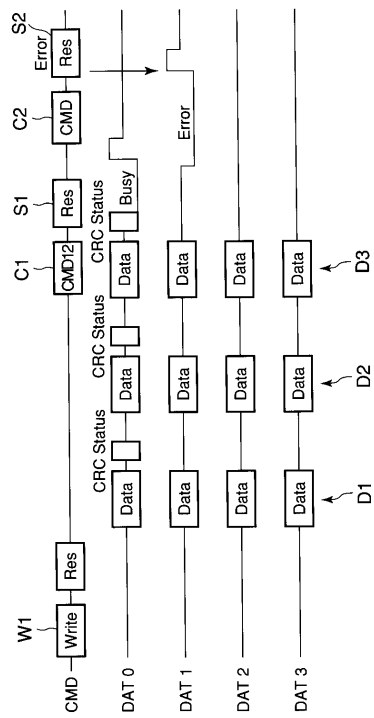
【 図 8 】



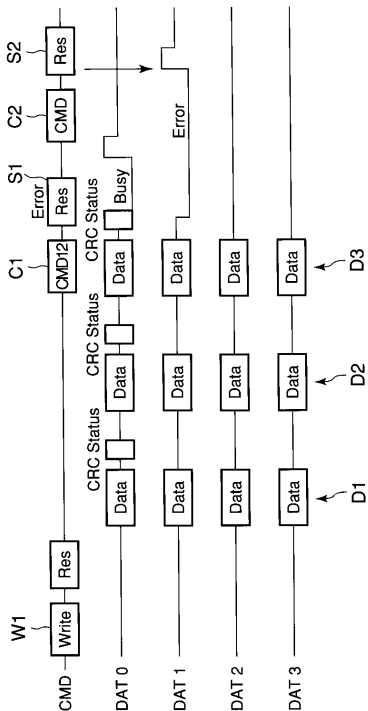
【 図 9 】



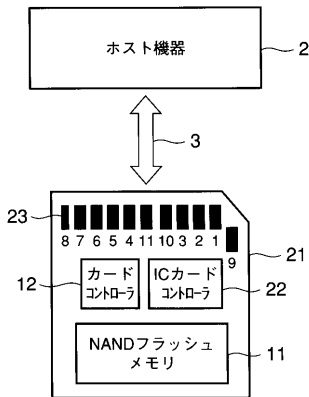
【 図 10 】



【図 1 1】



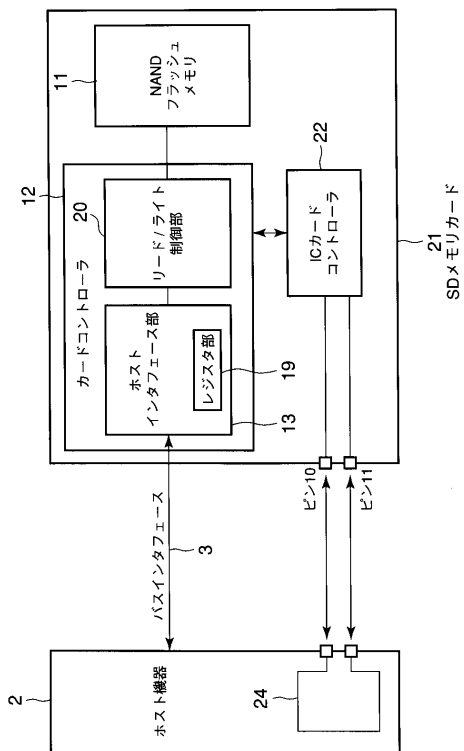
【図 1 2】



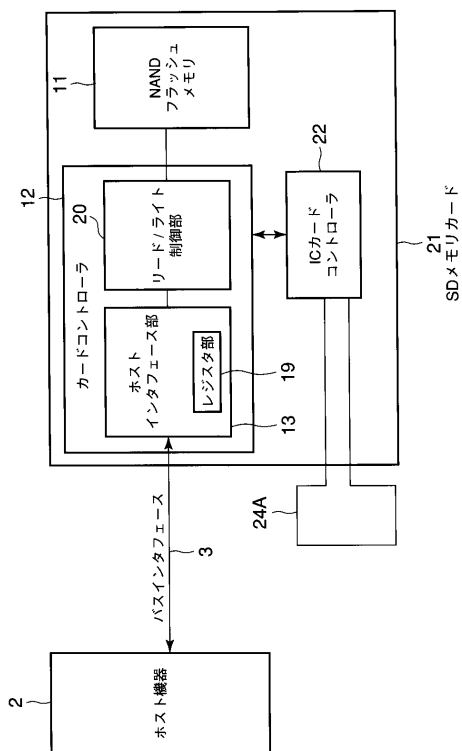
【図 1 3】

ピン No.	信号
ピン 1	カード検出 / データ 3 (DAT 3)
ピン 2	コマンド (CMD)
ピン 3	Vss
ピン 4	Vdd
ピン 5	クロック (CLK)
ピン 6	Vss
ピン 7	データ 0 (DAT 0)
ピン 8	データ 1 (DAT 1)
ピン 9	データ 2 (DAT 2)
ピン 10	アンテナ
ピン 11	アンテナ

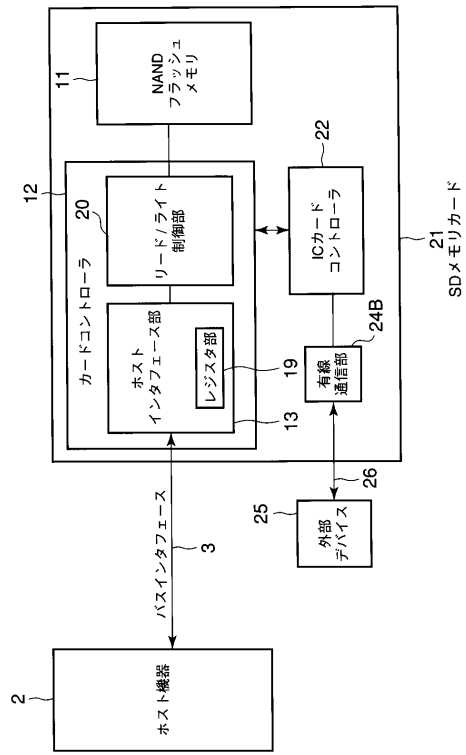
【図 1 4】



【図 1 5】



【図 16】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 藤本 曜久

東京都青梅市末広町 2 丁目 9 番地 株式会社東芝青梅事業所内

Fターム(参考) 5B035 AA11 CA22 CA32