



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월14일
(11) 등록번호 10-1938010
(24) 등록일자 2019년01월07일

(51) 국제특허분류(Int. Cl.)
H01L 21/329 (2006.01) H01L 29/861 (2006.01)
(21) 출원번호 10-2012-0133123
(22) 출원일자 2012년11월22일
심사청구일자 2017년02월07일
(65) 공개번호 10-2014-0065980
(43) 공개일자 2014년05월30일
(56) 선행기술조사문헌
JP2006140293A
(뒷면에 계속)

(73) 특허권자
전북대학교산학협력단
전라북도 전주시 덕진구 백제대로 567 (덕진동1가)
(72) 발명자
이철로
전라북도 전주시 덕진구 권삼득로 308, 4호관
4109호(덕진동, 전북대학교 공대)
박지현
전라북도 전주시 덕진구 권삼득로 308, 4호관
4109호(덕진동, 전북대학교 공대)
(74) 대리인
특허법인 천지

전체 청구항 수 : 총 8 항

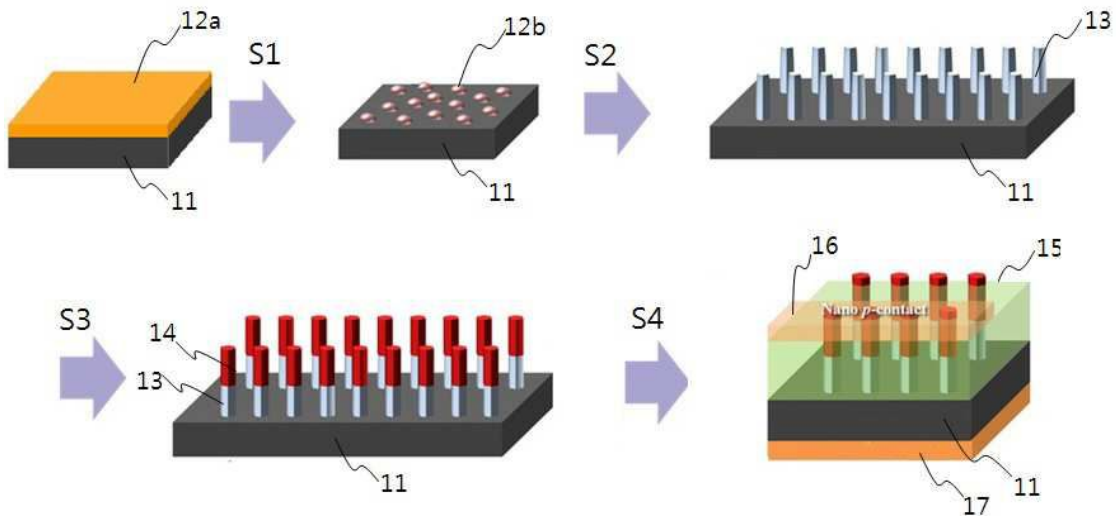
심사관 : 박부식

(54) 발명의 명칭 **다이오드의 제조방법**

(57) 요약

본 발명에서는 저비용으로 단시간에 간단하게 원하는 크기의 나노와이어를 성장시켜 고결정질의 균일한 p-n 접합 나노와이어 또는 p-n 접합 나노와이어 어레이를 포함하는 다이오드를 제조하는 방법을 제공한다.

대표도 - 도1



(56) 선행기술조사문헌

W02008149548A1

JP2009542560 A*

KR1020060094862 A*

US20090233124 A1

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 2012H1B8A2025513

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 2012 - 지역혁신인력양성사업

연구과제명 고효율/장수명/초저가 백색 LED 소자, package 및 조명용 lamp 제조기술 개발

기여율 1/1

주관기관 전북대학교

연구기간 2012.05.01 ~ 2015.03.31

명세서

청구범위

청구항 1

기판 위에 금속 촉매와 III족 원소의 합금을 포함하는 드로플렛을 형성하는 단계;

상기 드로플렛에 대해 펄스 성장법으로 740 내지 980℃의 온도 및 400 내지 600torr의 압력 조건 하에서 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어를 형성하는 단계;

상기 n형 III-V족계 반도체 화합물의 나노와이어에 대해 펄스 성장법으로 670 내지 850℃의 온도 및 400 내지 600torr의 압력 조건 하에서 p형 도펀트로 도핑된 III-V 반도체 화합물층을 형성하여 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이를 제조하는 단계; 그리고

상기 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이에 대해 금속 접합층을 형성하는 단계를 포함하며,

상기 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이를 제조하는 단계에서의 온도는 상기 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어를 형성하는 단계에서의 온도 보다 높은 것인 다이오드의 제조방법.

청구항 2

제1항에 있어서,

상기 드로플렛 형성 단계는 기판 위에 금속 촉매층을 형성한 후, III족 원소의 전구체를 공급하면서 상기 금속 촉매층이 형성된 기판을 열처리하는 방법에 의해 실시되는 것인 다이오드의 제조방법.

청구항 3

제2항에 있어서,

상기 금속 촉매는 금(Au), 니켈(Ni), 은(Ag), 플래티늄(Pt), 구리(Cu) 및 철(Fe)로 이루어진 군에서 선택되는 것인 다이오드의 제조방법.

청구항 4

제2항에 있어서,

상기 금속 촉매층이 형성된 기판에 대한 열처리는 수소분위기하에 400 내지 700℃의 온도 범위에서 10초 내지 20분 동안 실시되는 것인 다이오드의 제조방법.

청구항 5

제1항에 있어서,

상기 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어 형성 단계는 III족 및 V족 원소의 전구체를 교대로 주입하여 III-V족계 반도체 화합물을 펄스 성장시키는 동안에 n형 도펀트의 전구체를 주입하여 도핑시키는 방법에 의해 실시되는 것인 다이오드의 제조방법.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 p형 도펀트로 도핑된 III-V 반도체 화합물층을 형성하는 단계는 III족 및 V족의 전구체를 교대로 주입하여

III-V 반도체 화합물층을 펄스 성장시키는 동안에 p형 도펀트의 전구체를 주입하여 도핑시키는 방법에 의해 실시되는 것인 다이오드의 제조방법.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 금속 접합층을 형성하는 단계는 나노와이어들 사이의 빈 공간에 폴리머를 충전하고 경화시켜 폴리머 매트릭스를 형성하고, 상기 폴리머 매트릭스에 대해 p-n 접합 나노와이어가 노출될 때까지 식각액을 이용하여 화학적으로 에칭한 후, 에칭에 의해 노출된 p-n 접합 나노와이어를 덮도록 금속을 증착하여 금속 접합층을 형성하는 공정에 의해 실시되는 것인 다이오드의 제조방법.

청구항 10

제1항에 따른 제조방법에 의해 제조된 다이오드.

발명의 설명

기술 분야

[0001] 본 발명은 다이오드의 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 질화갈륨(GaN) 등의 III-V족 계열 반도체 화합물은 부식 또는 고온 환경하에서 동작하는 디바이스에 유용한 화학적 안정성, 큰 띠틈간격 및 높은 녹는점을 제공할 수 있고, 또한, GaN 및 관련 합금의 더 넓은 띠틈간격은 디스플레이 및 조명 용도에 유용한 가시 범위의 광원의 제조를 허용하기 때문에, 고품질 단파장 발광다이오드 및 레이저다이오드를 실현할 수 있는 소자로서 주목받고 있다. 이에 따라 III-V족 계열 반도체 화합물의 기하학적 모양, 위치 및 결정성의 정밀하고 균일한 제어를 통해 고품질의 III-V족 계열 반도체 구조물을 제조하기 위한 방법에 대한 많은 연구가 이루어지고 있다.

[0003] 종래 III-V족 계열 반도체에서는 2D 에피탁시(epitaxy) 성장을 통한 광전기적 소자 개발이 주로 이루어졌지만, 에피탁시 형태의 소자 개발은 에피(epi)라는 구조적 한계가 있어 최근에는 나노와이어 형태 또는 퀀텀 닷 형태의 새로운 구조를 갖는 소자에 대한 연구개발이 이루어지고 있다.

[0004] 결정 가공 기술은 크게 구별하여, 결정 성장 후에 결정을 가공하는 톱-다운형(top-down type)과, 결정 성장 전에 기판을 가공하고, 결정 성장과 동시에 구조가 제작되는 바텀-업형(bottom-up type)이 있다.

[0005] 톱-다운형의 방법으로는 포토리소그래피(photo-lithography), 나노임프린트(nano-imprint), 홀로리소그래피(holo-lithography) 등의 방법이 있다. 그러나 이와 같은 톱-다운 방식에 의한 나노와이어의 제조방법은 고가이고 제조시간이 길며, 또한 가공시 결정에 결함이 발생하기 쉬운 문제점이 있다. 특히 미세한 구조에서는 표면적이 넓어지기 때문에 이 같은 결함 발생은 심각한 문제가 된다.

[0006] 한편, 바텀-업형의 제작법으로는 산화규소 등의 마스크를 사용하는 방법이 있다. 기판에 패터닝한 마스크의 개구 부분에 선택적으로 결정 성장하는 이 방법은 기상 성장법에서는 실용적으로 사용되고 있는 수법이나, 구조의 제어 및 결정 품질을 확보하기가 어려운 문제점이 있다. 특히 분자선 에피탁시법(이하, MBE로 약기한다)에 있어서는 마스크 상에 다결정이 석출되어 버리는 문제점이 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국공개특허 제2007-0021671호(2007. 02. 23 공개)

(특허문헌 0002) 한국공개공개 제2012-0097241호(2012. 09. 03 공개)

비특허문헌

- [0008] (비특허문헌 0001) Growth of nanowires, Materials Science and Engineering R 60 (2008)
- (비특허문헌 0002) InGaN/GaN Multiple Quantum Wells Grown on Nonpolar Facets of Vertical Gan Nanorod Arrays, Nanoletter-12-3257 (2012)
- (비특허문헌 0003) Catalyst-Free InGaN/GaN Nanowire Light Emitting Diodes Grown on (001) Silicon by Molecular Beam Epitaxy, Nanoletter-10-3355 (2010)

발명의 내용

해결하려는 과제

- [0009] 본 발명의 목적은 균일하고 고결정질의 p-n 접합 나노와이어를 포함하여 개선된 성능을 나타낼 수 있는 다이오드의 제조방법 및 이에 따라 제조된 다이오드를 제공하는 것이다.

과제의 해결 수단

- [0010] 본 발명의 일 구현예에 따르면, 기판 위에 금속 촉매와 III족 원소의 합금을 포함하는 드로플렛을 형성하는 단계; 상기 드로플렛에 대해 펄스 성장법으로 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어를 형성하는 단계; 상기 n형 III-V족계 반도체 화합물의 나노와이어에 대해 펄스 성장법으로 p형 도펀트로 도핑된 III-V 반도체 화합물층을 형성하여 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이를 제조하는 단계; 그리고 상기 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이에 대해 금속 접합층을 형성하는 단계를 포함하는 다이오드의 제조방법을 제공한다.
- [0011] 상기 드로플렛 형성 단계는 기판 위에 금속 촉매층을 형성한 후, III족 원소의 전구체를 공급하면서 상기 금속 촉매층이 형성된 기판을 열처리하는 방법에 의해 실시될 수 있다.
- [0012] 상기 금속 촉매는 금(Au), 니켈(Ni), 은(Ag), 플래티늄(Pt), 구리(Cu) 및 철(Fe)로 이루어진 군에서 선택되는 것일 수 있다.
- [0013] 상기 금속 촉매층이 형성된 기판에 대한 열처리는 수소분위기하에 400 내지 700℃의 온도 범위에서 10초 내지 20분 동안 실시되는 것이 바람직할 수 있다.
- [0014] 상기 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어 형성 단계는 III족 및 V족 원소의 전구체를 교대로 주입하여 III-V족계 반도체 화합물을 펄스 성장시키는 동안에 n형 도펀트의 전구체를 주입하여 도핑시키는 방법에 의해 실시될 수 있다.
- [0015] 상기 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어 형성 단계는 740 내지 980℃의 온도 및 400 내지 600torr의 압력 조건 하에서 실시되는 것이 바람직할 수 있다.
- [0016] 상기 p형 도펀트로 도핑된 III-V 반도체 화합물층을 형성하는 단계는 III족 및 V족의 전구체를 교대로 주입하여 III-V 반도체 화합물층을 펄스 성장시키는 동안에 p형 도펀트의 전구체를 주입하여 도핑시키는 방법에 의해 실시될 수 있다.
- [0017] 상기 p형 도펀트로 도핑된 III-V 반도체 화합물층을 형성하는 단계는 670 내지 850℃의 온도 및 400 내지 600torr의 압력 조건 하에서 실시될 수 있다.
- [0018] 상기 금속 접합 공정은 나노와이어들 사이의 빈 공간에 폴리머를 충전하고 경화시켜 폴리머 매트릭스를 형성하고, 상기 폴리머 매트릭스에 대해 p-n 접합 나노와이어가 노출될 때까지 식각액을 이용하여 화학적으로 에칭한 후, 에칭에 의해 노출된 p-n 접합 나노와이어를 덮도록 금속을 증착하여 금속 접합층을 형성하는 공정에 의해 실시될 수 있다.

[0019] 본 발명의 또 다른 일 구현예에 따르면 상기 제조방법에 의해 제조된 다이오드를 제공한다.

[0020] 기타 본 발명의 구현예들의 구체적인 사항은 이하의 상세한 설명에 포함되어 있다.

발명의 효과

[0021] 본 발명의 제조방법에 따르면 저비용으로 단시간에 간단하게 균일하고 고결정질의 구조의 p-n 접합 나노와이어 또는 p-n 접합 나노와이어의 어레이를 포함하는 다이오드를 제조할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 구현예에 따른, 다이오드의 제조공정을 개략적으로 나타낸 공정도이다.

도 2는 실시예 1에서 제조한 p-n접합 나노와이어의 미세구조를 전계방사형 주사전자현미경(field emission scanning electron microscope, FE-SEM)을 이용하여 관찰한 사진이다.

도 3은 실시예 1에서 다이오드의 제조시 폴리실라잔의 화학적 에칭 후 드러난 p형 도펀트로 도핑된 GaN 화합물 반도체층에 대한 FE-SEM 관찰 사진이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명의 구현예를 상세히 설명하기로 한다. 다만, 이는 예시로서 제시되는 것으로, 이에 의해 본 발명이 제한되지는 않으며 본 발명은 후술할 청구항의 범주에 의해 정의될 뿐이다.

[0024] 본 명세서에서, 나노란 약 1 μ m 미만의, 바람직하게는 100nm 이하의 치수(dimension)를 의미한다.

[0025] 본 명세서에서 나노와이어란 500nm 이하의 두께 또는 직경을 가지고, 10보다 큰, 바람직하게는 100보다 큰 종횡 비(길이:폭의 비)를 갖는 나노구조물을 의미한다.

[0026] 본 발명에서는 바텀-업(bottom-up) 방식을 이용하여 저비용으로 단시간에 간단하게 원하는 크기로 p-n 접합 나노와이어를 성장시켜 고결정질의 균일한 나노와이어 또는 나노와이어 어레이를 포함하는 다이오드를 제조하는 것을 특징으로 한다.

[0027] 즉, 본 발명의 일 구현예에 따른 다이오드의 제조방법은,

[0028] 기판 위에 금속 촉매와 III족 원소의 합금을 포함하는 드로플렛을 형성하는 단계;

[0029] 상기 드로플렛에 대해 펄스 성장법으로 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어를 형성하는 단계;

[0030] 상기 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어에 대해 펄스 성장법으로 p형 도펀트로 도핑된 III-V 반도체 화합물층을 형성하여 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이를 제조하는 단계; 그리고

[0031] 상기 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이에 대해 금속 접합층을 형성하는 단계를 포함한다.

[0032] 도 1은 본 발명의 일 구현예에 따른 나노와이어의 제조공정을 개략적으로 나타낸 공정도이다. 도 1은 본 발명을 설명하기 위한 일 예일 뿐 본 발명이 도 1에 한정되는 것은 아니다. 이하 도 1을 참조하여 각 단계별로 상세히 설명한다.

[0033] 단계 1은 기판(11) 위에 금속 촉매와 III족 원소의 합금을 포함하는 드로플렛(12b)을 형성하는 단계이다(S1).

[0034] 본 발명에서는 III-V족계 반도체 화합물의 나노와이어를 성장시키기 위해 금속 촉매법을 이용하는데, 단계 1은 상기 금속 촉매법을 이용하기 위한 준비 단계이다. 구체적으로 상기 단계 1은 기판(11) 위에 금속 촉매층(12a)을 형성한 후, III족 원소의 전구체를 기체상으로 공급하면서 상기 금속 촉매층이 형성된 기판을 열처리하여 기판(11) 위에 금속 촉매와 III족 원소의 합금을 포함하는 드로플렛(12b)을 반구 형상으로 형성함으로써 실시될 수 있다.

[0035] 상기 기판(11)으로는 통상 반도체 기판으로서 사용되는 것이라면 특별한 제한없이 사용가능하다. 구체적으로는 실리콘(Si), 실리콘 카바이드(SiC), GaN 또는 GaAs, 사파이어(sapphire), 유리, 세라믹 등을 사용할 수 있으며,

바람직하게는 실리콘 기판, 보다 바람직하게는 Si(111) 기판을 사용할 수 있다.

- [0036] 상기 금속 촉매층(12a)은 통상 금속 촉매법에서 사용되는 금(Au), 니켈(Ni), 은(Ag), 플래티늄(Pt), 구리(Cu) 또는 철(Fe) 등의 금속 촉매를 스퍼터링, 바람직하게는 직류 스퍼터링(DC sputtering)하여 기판 위에 증착시킴으로써 형성될 수 있다.
- [0037] 이때 스퍼터링 시간을 조절함으로써 금속 촉매의 증착 두께, 즉 금속 촉매층(12a)의 두께를 다양하게 변화시킬 수 있다. 금속 촉매층(12a)의 두께는 이후 형성되는 드로플렛(12b)의 크기를 결정하고, 최종적으로는 나노와이어의 지름을 결정하므로, 나노와이어 성장에 적절한 시드 역할을 할 수 있는 드로플렛(12b) 크기를 고려하여 상기 금속 촉매층(12a)의 두께를 결정하는 것이 바람직하다. 구체적으로는 금속 촉매층(12a)의 두께는 1 내지 100nm인 것이 바람직하고, 1 내지 30nm인 것이 바람직하다.
- [0038] 또한, 상기한 두께 범위의 금속 촉매층(12a)이 형성되도록 상기 스퍼터링 공정은 10 내지 300초 동안 실시되는 것이 바람직하며, 보다 바람직하게는 10초 동안 스퍼터링 공정을 실시하는 것이 좋다.
- [0039] 이어서 상기 금속 촉매층(12a)이 형성된 기판(11)에 대해 III족 원소의 전구체를 공급하면서 열처리를 실시한다.
- [0040] 구체적으로는, 상기 금속 촉매층(12a)이 형성된 기판(11)을 유기금속 화학증착(Metal Organic Chemical Vapor Deposition, MOCVD)용 반응 챔버에 넣고 캐리어 가스로서 수소가스를 사용하며 III족 원소의 전구체를 기체상으로 하여 챔버 내로 흘러주면서 열처리를 실시한다. 이와 같은 열처리의 결과로 기판(11) 위에는 금속 촉매와 III족 원소의 합금을 포함하는 드로플렛(12b)이 형성된다.
- [0041] 상기 III족 원소 전구체는 금속 촉매와 합금을 형성하여 나노와이어의 성장시 원소를 끌어드리는 작용을 하는 것으로, 상기 III족 원소는 Ga, In 또는 Al가 될 수 있다. 이에 따라 상기 III족 원소를 제공하는 전구체로 구체적으로는 트리메틸갈륨(TMGa), 트리에틸갈륨(TEGa), 트리메틸인듐(TMIIn) 또는 트리메틸알루미늄(TMAI)을 사용할 수 있다. 일례로, 금속 촉매로서 Au를 사용하고, III족 원소의 전구체로서 TMGa 기체를 사용하는 경우, AuGa의 합금(Au_xGa_y, x 및 y는 정수)을 포함하는 드로플렛이 형성된다.
- [0042] 상기 드로플렛(12b)은 나노와이어 성장을 위한 씨드(seed)로서의 역할을 하며, 형성되는 드로플렛(12b)의 크기에 따라 나노와이어의 두께와 크기가 결정된다. 이에 따라 상기 드로플렛(12)은 최종 제조되는 나노와이어의 두께를 고려하여 1 내지 300nm의 직경을 갖는 것이 바람직하다.
- [0043] 이와 같이 상기 드로플렛(12b)의 크기와 모양은 금속 촉매층의 두께 및 금속 촉매층에 대한 열처리 공정시의 공정 조건, 즉 분위기, 온도 또는 열처리 실시 시간에 따라 조절되기 때문에, 이후 형성되는 III-V족계 반도체 화합물의 나노와이어의 두께와 크기를 고려하여 금속 촉매층의 두께 및 열처리 공정시의 공정 조건을 조절하는 것이 바람직하다. 구체적으로 금속촉매층의 두께는 앞서 설명한 바와 동일하며, 상기 열처리 공정은 수소 분위기 하에서 실시되는 것이 바람직하고, 400 내지 700℃의 온도 범위에서 10초 내지 20분 동안 실시되는 것이 바람직하다. 이 같은 공정 조건에서 1nm 두께의 Au 금속 촉매층을 열처리를 할 경우 10nm 직경의 드로플렛이 형성되고, Au 금속 촉매층의 두께가 5nm, 10nm, 20nm 및 30nm로 증가함에 따라 각각 50nm, 100nm, 200nm, 300nm의 직경을 갖는 드로플렛이 형성된다. 보다 구체적으로 직경이 약 100nm의 드로플렛을 형성하기 위해서는 수소 분위기하에 550내지 700℃에서 10분동안 유지하면서 열처리 하는 것이 바람직하다.
- [0044] 단계 2는 상기 단계 1에서 형성된 드로플렛(12b)에 대해 n형 도펀트로 도핑된 III-V족계 반도체 화합물을 펄스 성장법에 의해 나노와이어 형태로 수직 성장시켜 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)를 형성하는 단계이다(S2).
- [0045] 상기 III-V 반도체 화합물의 성장 공정은 금속-유기 화학 기상 증착(MOCVD), 분자-빔 에피택시(MBE), 가스 소스 MBE(GSMBE), 금속-유기 MBE (MOMBE), 원자층 에피택시(ALE), 또는 수소화물 기상 에피택시(HVPE) 등의 다양한 결정 성장 기술에 의해 실시될 수 있으나, 본 발명에서는 III족 및 V족 원소의 전구체를 가스상으로 결정성장 반응기내에 교대로 도입하여 III-V족계 반도체 화합물을 형성함으로써 결정 구조내 결점 발생을 억제할 수 있는 펄스 MOCVD법에 의해 실시하는 것이 바람직하다.
- [0046] 구체적으로 펄스 성장 모드에서, 일정한 시간 주기 동안 지정 유속으로 III족 원소의 전구체 가스를 도입하고, 그 후, 시간 주기 동안 지정 유속으로 V족 원소의 전구체 가스를 도입하는 시퀀스로 III족 및 V족 원소의 전구체 가스를 교대로 도입함으로써, III-V족계 반도체 화합물을 나노와이어 형태로 성장시키며, 상기 나노와이어의 성장 동안에 n형 도펀트의 전구체를 사용하여 n형 도펀트를 주입시켜 n형 도펀트로 도핑된 III-V족계 반도체 화

합물의 나노와이어(13)를 형성할 수 있다. 이때, III족 원소의 전구체 가스는 0.2 내지 3sccm의 일정한 유속으로 주입하는 것이 바람직하고, V족 원소의 전구체 가스는 1 내지 5SLM의 유속으로 주입되는 것이 바람직하다. 또한, 상기 V족/III 족 원소의 비율은, 최종 제조되는 III-V족 반도체 화합물을 고려하여 적절히 조절할 수 있는데, 구체적으로는 약 100 내지 약 1000의 몰비로 주입되는 것이 바람직하다.

[0047] 상기 III족 원소를 제공하는 전구체로는 Ga, In 또는 Al의 III족원소를 포함하는 화합물을 사용할 수 있으며, 구체적으로는 트리메틸갈륨(TMGa), 트리에틸갈륨(TEGa), 트리메틸인듐(TMIn) 또는 트리메틸알루미늄(TMAI)을 사용할 수 있다. 또한 상기 V족 원소를 제공하는 전구체로는 N, P 또는 As의 V족 원소를 포함하는 화합물을 사용할 수 있으며, 구체적으로는 암모니아(NH₃), t-부틸포스핀(tertiarybutyl phosphine, TBP) 또는 AsH₃을 사용할 수 있다.

[0048] 또한, 상기 n형 도펀트로는 주기율표의 3족(그룹 III) 및 5족(그룹 V) 원소, 예를 들면 Si, Al, In, 및 O 로 이루어진 군에서 선택되는 n형 도펀트; 또는 Si, Ge, Sn, In, Al, O, S, Se 및 Te 로 이루어진 그룹으로부터 선택된 n형 도펀트가 될 수 있으며, 이들의 전구체로는 SiH₄, 실란(SiH₄), 디실란(Si₂H₆), 테트라에톡시실란(Si(OEt)₄),를 사용할 수 있다. 상기 n형 도펀트의 전구체는 5 내지 10sccm의 유속으로 흘려주는 것이 바람직하다.

[0049] 그 결과로, 상기 단계 1에서 적절한 직경을 갖도록 형성된 드로플렛(12b)을 씨드로 하여 두께가 일정하고 성장 길이가 비슷한 수직성의 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)가 성장된다.

[0050] 상기 공정은 740 내지 980℃, 바람직하게는 750 내지 980℃의 온도 조건 및 400 내지 600torr, 바람직하게는 500 내지 600torr의 압력 조건 하에서 실시되는 것이 균일하고 고결정질의 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)를 수직으로 성장시킬 수 있어 바람직하다.

[0051] 종래 나노와이어의 성장 방법은 고온 및 고압에서 높은 생성비율을 나타내었으나, 낮은 온도에서는 NH₃ 등 V족 원소의 전구체 물질의 분해가 이루어지지 않고, 너무 높은 온도에서는 Ga, In 등 III족 원소의 전구체 물질의 대류(convection)가 발생하는 문제가 있었다. 그러나 펄스법에 의한 나노와이어 형태의 성장은 NH₃의 분해를 원활하게 하고, Ga 대류를 방지하여 최적의 나노와이어 어레이를 형성하도록 한다.

[0052] 또한, 성장된 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)의 두께는, 금속 촉매층(12a)의 두께에 의해 조절되는 드로플렛(12b)의 직경에 의존하며, 상기 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)의 길이는 성장 시간에 비례하여 증가한다. 따라서, n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)의 두께는 금속 촉매층(12a)의 두께를 조절함으로써 용이하게 제어할 수 있고, 그리고 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)의 성장 시간을 조절함으로써 용도에 따라 적절한 길이를 갖도록 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어의 길이를 용이하게 제어할 수 있다.

[0053] 단계 3은 상기 단계 2에서 형성한 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)에 대해 p형 도펀트로 도핑된 III-V 반도체 화합물을 성장시켜 p형 도펀트로 도핑된 III-V 반도체 화합물층(14)을 형성하여 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이를 형성하는 단계이다(S3)

[0054] 상기 단계 3에서의 p형 도펀트로 도핑된 III-V 반도체 화합물층(14) 형성 방법은 단계 2에서의 n형 도펀트로 도핑된 III-V족계 반도체 화합물의 나노와이어(13)의 성장 공정시의 실시 온도에 비해 고온의 온도 조건에서 실시하는 것을 제외하고는, 단계 2에서와 동일하게 수소가스를 캐리어 가스로 사용하여 III족 원소의 전구체 가스 및 V족 원소의 전구체 가스를 펄스 방식을 이용하여 교대로 공급하여 III-V족계 반도체 화합물을 성장시키며, 이와 동시에 상기 III-V족계 반도체 화합물의 성장동안에 p형 도펀트를 주입하여 도핑시키는 방법으로 실시될 수 있다.

[0055] 상기 온도 조건은 670 내지 850℃인 것이 바람직하고, 보다 바람직하게는 700 내지 850℃이다. 압력 조건은 400 내지 600torr인 것이 바람직하다.

[0056] 또한, 상기 p형 도펀트로는 주기율표 3족(그룹 III) 원소, 예를 들면 B, Al, Ga 및 In으로 이루어진 군에서 선택되는 p형 도펀트; 주기율표의 2족(그룹 II) 원소, 예를 들면 Mg, Zn, Be, Cd 및 Hg로 이루어진 군에서 선택되는 p형 도펀트; 또는 주기율표의 4족(그룹 IV) 원소, 예를 들면 C 및 Si로 이루어진 군에서 선택되는 p형 도펀트를 들 수 있다. 상기 도펀트의 전구체로는 구체적으로 비스-사이클로펜타디에닐마그네슘(Cp₂Mg), 이오딘화메틸마그네슘(MeMgI) 및 디메틸마그네슘(Et₂Mg) 등을 사용할 수 있다.

- [0057] 구체적으로는 Cp2Mg를 사용하여 III-V 반도체 화합물로서 GaN 반도체 화합물층의 성장 동안에 도펀트로서 Mg를 주입시켜 상기 단계 2에서 성장시킨 n형 도펀트로 도핑된 III-V 반도체 화합물의 나노와이어(13) 위에 균일하고 고결정질의 p-형 GaN 반도체 화합물층(14)을 형성할 수 있다. 이때 주입되는 도펀트, 구체적으로 Cp2Mg의 플로우(flow)량은 3 내지 15 sccm 인 것이 바람직하다.
- [0058] 성장된 p형 도펀트로 도핑된 III-V 반도체 화합물층(14)의 두께 또는 길이는 성장 시간에 비례하여 증가한다. 또한 상기 p형 도펀트로 도핑된 III-V 반도체 화합물의 성장이 진행됨에 따라 나노와이어 말단 부분의 p형 도펀트로 도핑된 III-V 반도체 화합물층이 인접한 III-V 반도체 화합물층과 서로 합쳐져 나노와이어의 어레이를 형성할 수 있으며, 합쳐진 p형 도펀트로 도핑된 III-V 반도체 화합물층은 반응이 진행됨에 따라 2차원(2-dimension)적으로 더욱 성장하여 일종의 박막을 형성할 수도 있다. 이때 박막의 두께 역시 p형 도펀트로 도핑된 III-V 반도체 화합물의 성장시간에 비례하여 증가한다.
- [0059] 결과로 제조된 나노와이어는 1:9 내지 9:1의 중형비를 갖는 것이 바람직하며, 구체적으로는 상기 10 내지 1 μ m의 직경 및 1.5 내지 2 μ m의 길이 범위내에서 상기 중형비를 충족하는 것이 바람직하다. 또한 p형 도펀트로 도핑된 III-V 반도체 화합물층의 경우 n형 도펀트로 도핑된 III-V 반도체 화합물의 나노와이어에 비해 성장 및 결정성 제어가 어려우므로, p형 도펀트로 도핑되는 III-V 반도체 화합물층은 적어도 10nm 이상의 두께 또는 길이로 형성되는 것이 바람직하다.
- [0060] 단계 4는 상기 단계 3에서 제조한 p-n 접합 나노와이어 또는 이를 포함하는 나노와이어 어레이에 대해 금속 접합층을 형성하는 단계이다(S4).
- [0061] 상기 금속 접합 공정은 p-n 접합 나노와이어들 사이의 빈 공간에 폴리머를 충전한 후 경화시켜 폴리머 매트릭스(15)를 형성한 후 상기 폴리머 매트릭스에 대해 p-n 접합 나노와이어가 노출될 때까지 식각액을 이용하여 화학적으로 에칭하고, 상기 에칭에 의해 노출된 p-n 접합 나노와이어를 덮도록 금속을 증착하여 금속 접합층(16)을 형성하는 공정을 순차적으로 실시함으로써 실시될 수 있다.
- [0062] 이때, 상기 폴리머로는 빠른 시간내에 충전 가능한 폴리실라잔이 바람직하다. 또한 상기 식각액으로는 불산 또는 BOE(buffered oxide etch)와 같은 통상의 식각액을 사용할 수 있으며, 이중에서도 폴리실라잔에 대한 에칭이 용이한 BOE가 바람직하다.
- [0063] 상기 금속 접합층 형성용 금속으로는 발광 다이오드에서의 통상의 금속 전극 형성용 재료로 사용되는 것이라면 특별한 한정없이 사용할 수 있으며, 구체적으로는 금, 은, 니켈, 알루미늄, 철, 구리, 등 및 이를 합성한 합금 등을 사용할 수 있다.
- [0064] 동일하게 p-n 접합 나노와이어가 형성된 기판의 반대측에 대해서도 금속 접합 공정을 실시하여 금속접합층(17)을 형성함으로써 p-n접합 다이오드를 제조할 수 있다.
- [0065] 본 발명의 제조방법은 반도체 기판상에 금속-유기 화학 기상 증착법(metal-organic chemical vapor deposition, MOCVD)를 이용하여 펄스 방식으로 기존에 대면적화 하기 어려운 III-V족계 반도체 화합물의 나노와이어를 수직 형태로 대면적화할 수 있으며, 여기에 폴리실라잔을 이용함으로써 용이하게 상기 나노와이어와 금속 접합을 형성하여 p-n접합 다이오드를 제작할 수 있다.
- [0066] 또한 본 발명의 제조방법은 씨드 역할을 하는 드로플렛의 크기에 따라 n형 도펀트로 도핑된 III-V 반도체 화합물의 나노와이어의 두께와 크기를 용이하게 조절할 수 있고, 또한 각 단계에서의 온도와 압력을 조절함으로써 성장하는 나노와이어의 균일성 및 고결정질을 용이하게 제어할 수 있다. 이에 따라 본 발명의 제조방법에 따르면 저비용으로 단시간에 간단하게 원하는 크기의 나노와이어를 균일하고 고결정질의 구조로 제조할 수 있다.
- [0067] 본 발명에 따른 다이오드는 p-n 접합 GaN 다이오드가 적용되는 모든 분야에 적용가능하다.
- [0068] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0069] **실시예 1**
- [0070] Si(111) 기판을 DC 스퍼터링 시스템안의 홀더 기판 위에 두고 10초 동안 스퍼터링을 실시하여 기판 위에 두께 10 mm의 금(Au) 촉매층을 증착시켰다. 금 촉매층이 형성된 Si(111) 기판을 MOCVD 챔버에 넣고 캐리어 가스로서 H₂를 사용하여 TMGa를 챔버내로 흘려주면서 450℃의 온도로 15분 동안 유지하였다. 그 결과 Si(111) 기판 위에

반구 모양의 AuGa 합금의 드로플렛이 형성되었으며, 드로플렛의 직경은 약 100nm 이었다.

[0071] 상기 AuGa 드로플렛이 형성된 Si(111) 기판에 대해 캐리어 가스로서 H₂ 를 사용하여 TMGa와 NH₃를 각각 1sccm 및 5SLM의 속도로 각각 1분씩 교대로 흘려주었다. 이때 압력은 500torr, 온도는 750℃로 하였으며, TMGa 주입 후 NH₃ 주입을 1 사이클이라고 할 때 60분 동안에 30사이클을 실시하였다. 또한 n형 도핑을 위하여 GaN 나노와이어의 성장 동안에 SiH₄를 5sccm 흘려주었다.

[0072] 이어서 상기 n형 GaN 나노와이어가 형성된 Si(111) 기판에 대해 캐리어 가스로서 H₂ 를 사용하여 TMGa와 NH₃를 각각 1sccm 및 3SLM의 속도로 각각 1분씩 교대로 흘려 상기 다중양자우물구조 위에 GaN 반도체 화합물층을 형성하였다. 이때 압력은 600torr, 온도는 800℃로 하였으며, TMGa 주입 후 NH₃ 주입을 1 사이클이라고 할 때 30분 동안에 15사이클을 실시하였다. 또한 p형 도핑을 위하여 상기 GaN 반도체 화합물층 형성 동안에 Cp2Mg를 7sccm 흘려주었다. 결과로, p-n 접합 GaN 나노와이어를 형성하였다.

[0073] 상기 p-n 접합 GaN 나노와이어가 형성된 Si(111) 기판에 대해 폴리실라잔을 스펀코팅하여 나노와이어 사이의 빈 공간을 충전한 후 여분의 폴리실라잔을 BOE를 이용하여 화학적으로 에칭하였다. 금을 증착하여 나노와이어 위에 금 박막을 형성하여 p-n 접합 GaN 나노와이어 어레이 다이오드를 제조하였다.

[0074] **시험예**

[0075] 실시예 1에서 제조된 p-n접합 나노와이어를 전계방사형 주사전자현미경(field emission scanning electron microscope, FE-SEM)을 이용하여 관찰하였다. 그 결과를 도 2에 각각 나타내었다.

[0076] 도 2로부터 n-GaN 나노와이어 위에 p-GaN 나노와이어층이 형성되어 p-n접합을 형성하고 있음을 확인할 수 있다. 또한 형성된 p-n접합 나노와이어가 고결정성을 가짐을 확인할 수 있다.

[0077] **시험예 2**

[0078] 상기 실시예 1에서 다이오드의 제조시 폴리실라잔의 화학적 에칭 후 드러난 p-n접합 나노와이어의 p-GaN 반도체 화합물층 부분을 FE-SEM으로 관찰하고, 그 결과를 도 3에 나타내었다.

[0079] 도 3으로부터 축방향으로 균일하게 성장한 p-n접합 나노와이어로 인해 폴리실라잔의 화학적 에칭 후에도 균일한 길이로 드러난 p-GaN 반도체 화합물층을 확인할 수 있다.

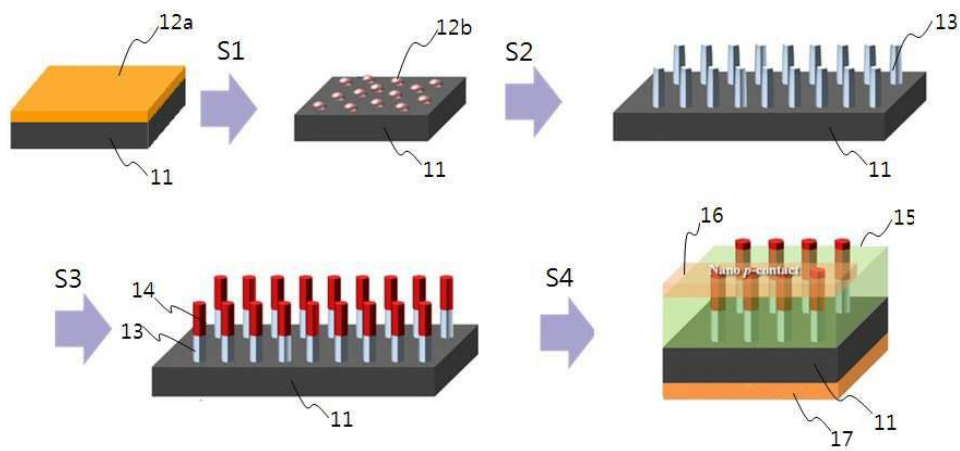
[0080] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

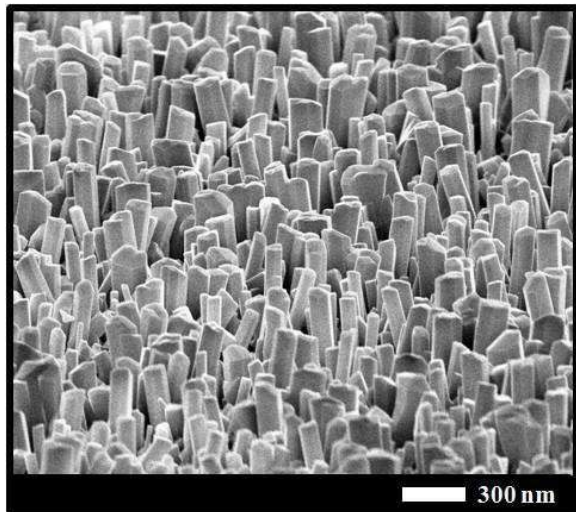
- [0081] 11 기판
- 12a 금속 촉매층
- 12b 드로플렛
- 13 III-V족계 반도체 화합물의 나노와이어
- 14 III-V족계 반도체 화합물층
- 15 폴리머 매트릭스
- 16, 17 금속접합층

도면

도면1



도면2



도면3

