

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5105690号  
(P5105690)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

(51) Int. Cl. F I  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 6 K  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 9 A

請求項の数 2 (全 25 頁)

<p>(21) 出願番号 特願2003-79416 (P2003-79416)                  (22) 出願日 平成15年3月24日(2003.3.24)                  (65) 公開番号 特開2004-241750 (P2004-241750A)                  (43) 公開日 平成16年8月26日(2004.8.26)                      審査請求日 平成18年3月24日(2006.3.24)                      審判番号 不服2011-16490 (P2011-16490/J1)                      審判請求日 平成23年8月1日(2011.8.1)                  (31) 優先権主張番号 特願2002-86655 (P2002-86655)                  (32) 優先日 平成14年3月26日(2002.3.26)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 石川 明                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                   合議体                  審判長 北島 健次                  審判官 恩田 春香                  審判官 早川 朋一</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に形成された第1の容量電極及び第2の容量電極を有する第1の容量素子と、前記第2の容量電極及び第3の容量電極を有する第2の容量素子と、薄膜トランジスタとを有する半導体装置の作製方法であって、

絶縁表面上に半導体膜を形成した後、該半導体膜をエッチングして前記薄膜トランジスタの活性領域及び前記第1の容量電極を形成し、

前記活性領域及び前記第1の容量電極上に第1の絶縁膜及び第1の導電膜を順に形成し、

前記第1の導電膜をエッチングして前記薄膜トランジスタのゲート電極及び前記第2の容量電極を形成し、

前記薄膜トランジスタのゲート電極及び前記第2の容量電極上に第2の絶縁膜及び第2の導電膜を順に形成し、

前記第2の導電膜、前記第2の絶縁膜、前記第1の絶縁膜をエッチングして、前記活性領域の一部を露出させ、

金属膜を形成して、前記金属膜と前記活性領域とを接続し、

前記第2の導電膜及び前記金属膜をエッチングして前記薄膜トランジスタの接続配線、及び前記第3の容量電極を形成し、

前記第2の導電膜は、結晶性半導体膜又は非晶質半導体膜であり、

前記第2の導電膜の厚さは、10～100nm(ただし、100nmを除く。)である

10

20

ことを特徴とする半導体装置の作製方法。

【請求項 2】

絶縁表面上に形成された第 1 の容量電極及び第 2 の容量電極を有する第 1 の容量素子と、前記第 2 の容量電極及び第 3 の容量電極を有する第 2 の容量素子と、薄膜トランジスタとを有する半導体装置の作製方法であって、

絶縁表面上に半導体膜を形成した後、該半導体膜をエッチングして前記薄膜トランジスタの活性領域及び前記第 1 の容量電極を形成し、

前記活性領域及び前記第 1 の容量電極上に第 1 の絶縁膜を形成し、

前記第 1 の容量電極の上面が露出されるように、レジストを用いて前記第 1 の絶縁膜を部分的にエッチングした後、前記第 1 の容量電極に不純物元素を導入し、

前記第 1 の絶縁膜及び上面が露出された前記第 1 の容量電極上に、第 2 の絶縁膜及び第 1 の導電膜を順に形成し、

前記第 1 の導電膜をエッチングして前記薄膜トランジスタのゲート電極及び前記第 2 の容量電極を形成し、

前記薄膜トランジスタのゲート電極及び前記第 2 の容量電極上に第 3 の絶縁膜及び第 2 の導電膜を順に形成し、

前記第 2 の導電膜、前記第 3 の絶縁膜、前記第 2 の絶縁膜、及び前記第 1 の絶縁膜をエッチングして、前記活性領域の一部を露出させ、

金属膜を形成して、前記金属膜と前記活性領域とを接続し、

前記第 2 の導電膜及び前記金属膜をエッチングして前記薄膜トランジスタの接続配線、及び前記第 3 の容量電極を形成し、

前記第 2 の導電膜は、結晶性半導体膜又は非晶質半導体膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTという）及び容量素子（キャパシタ）で構成された半導体装置およびその作製方法に関する。また、TFT及び容量素子で構成された半導体装置を有する表示装置、特に液晶表示装置、EL表示装置及びプロジェクターを部品として搭載した電子機器およびその作製方法に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、半導体回路および電子機器は全て半導体装置である。

【0002】

【従来の技術】

近年、絶縁表面を有する基板上に形成された薄膜（厚さ数～数百nm程度）を用いてTFTを構成し、このTFTで形成した集積回路を有する半導体装置の開発が進んでいる。その代表例として、アクティブマトリクス型の液晶表示装置が知られている。特に、結晶性珪素膜を活性領域として用いるTFTは電界効果移動度が高いことから、様々な機能回路を形成することも可能である。

【0003】

例えば、アクティブマトリクス型の液晶表示装置においては、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路を一枚の基板上に形成することが可能であり、該回路をTFTで形成することが可能である。

【0004】

また、アクティブマトリクス型の液晶表示装置に代表される半導体装置が使用される場がますます広がっており、それに伴って便利性が求められ、小型化、高輝度化、高精細化並びに低価格化などを進めるための開発が続けられている。

【0005】

例えば、液晶プロジェクターや電子機器の表示部に用いられるアクティブマトリクス型液

10

20

30

40

50

晶表示装置の画素部は数百万個の画素により構成されており、各画素にはT F Tが設けられている。液晶を挟んだ対向基板側には対向電極が設けられ、液晶を誘電体とした一種のコンデンサを形成している。次に、T F Tのスイッチング機能によりこのコンデンサに蓄積される電荷を制御する。これにより、各画素に印加する電位を制御して液晶を駆動し、透過又は反射される光量を制御して画像を表示する仕組みになっている。

**【 0 0 0 6 】**

特に、液晶プロジェクターに用いられるような小型で高精細な透過型液晶表示装置において、小型化と同時に高精細化が求められる限り、画素サイズの縮小化が続くことは十分予想される。例えば、対角0.7インチ型の液晶表示装置で、X G A ( 1 0 2 4 × 7 6 8 画素 ) という高精細な表示を実現するためには、画素のひとつひとつのサイズが、14 μ m × 14 μ mという極めて小さな面積となっている。

10

**【 0 0 0 7 】**

透過型液晶表示装置においては、画素部に容量配線を用いて容量素子を形成して十分な容量を確保しようとする、開口率を犠牲にしなければならない。現在、高輝度化のためには開口率を上昇させ、また高精細化のためには画素数を増加させることでこれらの問題に対応してきているが、画素サイズが小型化し続けるなかで、開口率の向上および画素数の増加を同時に満たし、かつ十分な容量の確保が可能な画素構造の設計をすることは、極めて難しい問題である。

**【 0 0 0 8 】**

上記課題の解決方法として、開口率を上昇させるために、デッドスペースとなるT F Tの面積及び容量素子の面積の縮小、ゲート電極及びソース配線の幅の縮小、T F T基板と対向基板の貼り合せマージンの縮小化などの改良がなされている。特に、容量素子の面積を縮小するためにスタックキャパシタを用いることは上記解決方法として有効である。(特許文献1)

20

**【 0 0 0 9 】**

スタックキャパシタとは、2層以上の誘電体を介して3層以上の容量電極を積層した構造の容量素子のことである。本明細書では、容量電極が3層の場合のみを説明するが、該構造のみに限定されず、それ以上の複数の容量電極を有してもよい。また、本明細書では、第1の容量電極がT F Tの半導体層と同時に、第2の容量電極がゲート電極と同時にそれぞれ形成され、両者を隔てる誘電体層がゲート絶縁膜である場合を中心に説明するが、必ずしもこの構成のみに限定されない。

30

**【 0 0 1 0 】**

従来のスタックキャパシタの作製方法を図2に示す。パターニングとエッチングに関する公知の技術を用いて、基板上に形成された半導体膜を選択的にエッチングして、T F Tの半導体膜14とスタックキャパシタの第1の容量電極15を形成した後、第1の誘電体となる絶縁膜13を形成する。次に、ゲート電極32及び第2の容量電極33を形成する。第2の容量電極33は、その電位が接地電位等に固定された容量配線となる。その後、第2の誘電体となる第2の絶縁膜34を形成する。(図2(A))。

**【 0 0 1 1 】**

第1の絶縁膜及び第2の絶縁膜の一部をエッチングしてコンタクトホール40を形成した後、接続配線であるソース電極、ドレイン電極及び第3の容量電極となる第2の導電膜35をT F Tの半導体膜14と接続するように形成する。(図2(C))。

40

**【 0 0 1 2 】**

続いて、第2の導電膜をエッチングしてソース電極、ドレイン電極41及び第3の容量電極42を形成した後、ソース電極及びドレイン電極、第2の絶縁膜及び第3の容量電極を覆って第3の絶縁膜36を形成する。(図2(D))。この後、第3の絶縁膜の一部をエッチングし、ソース電極及びドレイン電極に達するコンタクトホールを形成した後、第3の導電膜を成膜し、選択的にエッチングして接続配線38を形成する。(図2(E))。図1では図示しないが、第1の容量電極15と第3の容量電極42は電気的に接続され、所定の電圧を与えられるように他の配線又はT F Tと接続されている。

50

## 【 0 0 1 3 】

容量素子において、誘電体の膜厚を薄くすることで、より多くの容量電荷を保持することが可能である。

## 【 0 0 1 4 】

しかし、誘電体の膜厚を薄く形成すると、スパッタリング法によって後の導電膜を成膜する際、スパッタリングの衝撃を受け、誘電体に欠陥が生じやすい。具体的には、第2の容量電極33及び第3の容量電極42を形成する際、それらの電極に接している第1の誘電体13及び第2の誘電体34に欠陥が生じてしまい、この結果、第1の容量電極15と第2の容量電極33との間、又は第2の容量電極33と第3の容量電極42との間で短絡する可能性がある。

10

## 【 0 0 1 5 】

また、誘電体である絶縁膜34上に第2の導電膜35を形成すると、導電膜35の応力により、TFTの半導体膜14や第1の容量電極15が割れ、亀裂が入るといった問題が生じる。

## 【 0 0 1 6 】

この問題の対策として、第2の導電膜を形成する際、下部構造に過大な応力が加わらない材料を使用することが挙げられる。しかしこの場合、第2の導電膜の材料に制限がある。例えば、第2の導電膜35として、不純物元素にリンを導入した半導体膜を用いる場合について述べる。リンを導入した半導体膜と、nチャネル型TFTを形成する半導体膜とは電氣的に接続できるが、pチャネル型TFTを形成する半導体膜においてはpn接合が形成されてしまい、導通がとれなくなってしまう。このため、nチャネル型TFTの容量電極とpチャネル型TFTの容量電極とでは、異なる材料からなる導電膜を成膜しなければならない。これは、工程数が増加するという問題の要因となる。

20

## 【 0 0 1 7 】

## 【特許文献1】

特開平5 243519号公報(第2頁~第3頁、第1図)

## 【 0 0 1 8 】

## 【発明が解決しようとする課題】

本発明は、上記の課題を鑑みたものであり、TFTと複数の容量素子とを有する半導体装置に関し、従来より開口率が高く、高輝度かつ高精細な表示が可能な半導体装置を、歩留まり高く作製することを課題とする。

30

## 【 0 0 1 9 】

## 【課題を解決するための手段】

本発明は、絶縁表面上に縦に積層された複数の容量素子及び薄膜トランジスタを有する半導体装置であって、容量素子の誘電体と容量電極の間にバッファ層を設けることを特徴とする。

## 【 0 0 2 0 】

すなわち、絶縁表面上に形成された薄膜トランジスタ、第1の容量素子、及び第2の容量素子を有する半導体装置であって、前記第1の容量素子と前記第2の容量素子は、前記絶縁表面に対して縦方向に積層され、前記第1の容量素子は、第1の誘電体を介して形成された第1の容量電極及び第2の容量電極を有し、前記第2の容量素子は、第2の誘電体を介して形成された前記第2の容量電極及び第3の容量電極を有し、前記薄膜トランジスタは、半導体膜で形成される活性領域とゲート電極、前記活性領域に接続する接続配線、及び前記ゲート電極と前記接続配線の間形成された第1の絶縁膜を有し、前記第2の誘電体及び前記第3の容量電極の間、並びに前記第1の絶縁膜及び前記接続配線の間バッファ層が形成されていることを特徴とする。

40

## 【 0 0 2 1 】

なお、前記バッファ層は、前記第3の容量電極及び前記接続配線を形成する際に生じる応力を緩和する膜である。代表的には、結晶性半導体膜、又は非晶質半導体膜等で形成され、膜厚は、10~100nmである。

50

## 【 0 0 2 2 】

また、前記バッファ層は、前記薄膜トランジスタの活性領域に接していない。なお、接続配線は、ソース電極及びドレイン電極であって、前記薄膜トランジスタの活性領域に接続している。

## 【 0 0 2 3 】

また、本発明は、絶縁表面上に形成された第1の容量電極及び第2の容量電極を有する第1の容量素子と、前記第2の容量電極及び第3の容量電極を有する第2の容量素子と、薄膜トランジスタとを有する半導体装置の作製方法であって、絶縁表面上に半導体膜を形成した後、該半導体膜をエッチングして前記薄膜トランジスタの活性領域及び前記第1の容量電極を形成し、前記活性領域及び前記第1の容量電極上に第1の絶縁膜及び第1の導電膜を順に形成し、前記第1の導電膜をエッチングして前記薄膜トランジスタのゲート電極及び前記第2の容量電極を形成した後、第3の絶縁膜及び第2の導電膜を形成し、前記第2の導電膜、前記第3の絶縁膜、前記第2の絶縁膜をエッチングして、前記薄膜トランジスタの活性領域の一部を露出した後、第3の導電膜を形成して前記第3の導電膜と前記薄膜トランジスタの活性領域とを接続し、前記第2の導電膜及び前記第3の導電膜をエッチングして接続配線、及び前記第3の容量電極を形成することを特徴とする。

10

## 【 0 0 2 4 】

## 【発明の実施の形態】

本発明により作製することができる半導体装置の作製工程を、図1を用いて説明する。

## 【 0 0 2 5 】

基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や合成石英ガラス基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、処理温度に耐えうるプラスチック基板を用いてもよい。下地絶縁膜11には、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を用いる。ここでは下地絶縁膜11として単層構造を用いる例を示したが、絶縁膜を2層以上積層させた構造を用いても良い。なお、該下地絶縁膜は、基板からの不純物元素の拡散を抑制するものであるため、石英ガラス基板等を基板に用いた場合は、下地絶縁膜を形成しなくてもよい。

20

## 【 0 0 2 6 】

次いで、下地絶縁膜上に半導体膜を形成する。半導体膜を、公知の手段（スパッタリング法、LPCVD法、またはプラズマCVD法等）により25～200nm（好ましくは30～100nm）の厚さで成膜した後、半導体膜を所望の形状にエッチングしてTFETの活性領域14と容量素子の第1の容量電極となる半導体膜15を形成する。なお、図1ではTFETの活性領域の半導体膜と、容量素子の半導体膜とに分離して形成しているが、これらを分離せず、繋げたままでもよい。また、図1(A)において、第1の容量素子は、半導体膜に不純物を添加して導電膜としているが、これに限られるものではない。すなわち、導電性を有する膜であればよい。

30

## 【 0 0 2 7 】

また、公知の手段によって成膜された半導体膜が非晶質構造を有する場合には、公知の結晶化処理（レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って結晶性半導体膜としてから、所望の形状にエッチングするのが望ましい。なお、半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。

40

## 【 0 0 2 8 】

次に、半導体膜14及び15を覆う第1の絶縁膜13を形成する。第1の絶縁膜は、ゲート絶縁膜として機能する。第1の絶縁膜を、公知の手段（プラズマCVD法、スパッタリング法など）により、厚さを40～150nmとして絶縁膜の単層または積層構造で形成する。

## 【 0 0 2 9 】

次に、第1の導電膜を成膜し、公知の技術を用いて、第1の導電膜を選択的にエッチング

50

してゲート電極 3 2 と第 2 の容量電極 3 3 を形成する。第 2 の容量電極は、その電位が接地電位等に固定された容量配線となる。第 1 の導電膜の材料としては、T a、W、T i、M o、A l、C u から選ばれた元素、またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。また、リン等の不純物元素をドーピングした結晶性珪素膜に代表される半導体膜を用いてもよい。ここでは、第 1 の導電膜を単層構造としているが、2 層以上積層させてもよい。

#### 【 0 0 3 0 】

次に、ゲート電極 3 2 と第 1 の容量電極 3 3 を覆うように第 2 の絶縁膜 3 4 を形成する。第 2 の絶縁膜 3 4 は公知の手段（プラズマ C V D 法、スパッタリング法など）により、厚さを 4 0 ~ 1 5 0 n m とし

10

#### 【 0 0 3 1 】

次に、ゲート電極 3 2 をマスクとして、半導体膜 1 4 に選択的に不純物元素を導入し、不純物領域 1 6 を形成する。不純物元素としては、n 型を付与する不純物元素、又は p 型を付与する不純物元素を導入する。図 1 では、p 型不純物を導入した例を示す。続いて、熱処理を行って、不純物元素の活性化を行う。（図 1 ( A )）

#### 【 0 0 3 2 】

次に、第 2 の絶縁膜 3 4 上に第 2 の導電膜 2 0 を形成する（図 1 ( B )）。図 1 では、2 層の導電膜を積層する場合について示す。バッファ層（図 1 ( B )における第 2 の絶縁膜 3 4 上に形成される第 2 の導電膜 2 0）は、後に成膜される上層の導電膜 2 1 から加えられる応力を緩和するために成膜する。このため、第 2 の導電膜は、応力を緩和することが可能な材質を用いて成膜する。例えば、リンを添加した結晶性珪素膜は、導電性を有し、段差被覆性の良好な L P C V D 法で成膜でき、且つ金属元素膜に比べて柔軟なので上層の導電膜 2 1 が第 2 の絶縁膜 3 4 に加える応力を緩和することが出来る。図 1 では、リン添加した結晶性珪素膜を第 2 の導電膜とするが、これに必ずしも限定されず、非晶質珪素膜を用いることもできる。また、有機導電材料（例えば、ポリフェニレンビニレン誘導体、ポリフルオレン誘導体、ポリチオフェン誘導体、ポリフェニレン誘導体およびこれらの共重合体、オリゴフェニレン、オリゴチオフェン、ペンタセン、テトラセン、銅フタロシアニン、フッ素置換フタロシアニン、ペリレン誘導体等）を用いることもできる。なお、図 1 において、T F T の不純物添加領域（ソース領域及びドレイン領域）は p 型であるが、第 2 の導電膜 2 0 は、リンを添加した結晶性珪素膜であり、n 型半導体であるため、第 2 の導電膜と T F T の不純物添加領域とを直接接続することが出来ない。従って、第 2 の導電膜と T F T の半導体膜とを直接接続するコンタクトホールを開口する前に、第 2 の導電膜を成膜している。

20

30

#### 【 0 0 3 3 】

次に、半導体膜 1 4 に達するコンタクトホールを形成するためのエッチング処理を行う。エッチング処理は、以下の第 1 のエッチング条件乃至第 3 のエッチング条件により行う。もちろん、同じ材料で積層されている場合は、同じ条件でエッチングを行うことが可能であり、異なる材料であっても、同じ条件でエッチングを行うことができる場合もある。なお、いずれのエッチング条件も R I E（Reactive ion etching）法や E C R（Electron Cyclotron Resonance）法などに代表されるドライエッチング法により行うのが望ましい。これは、ドライエッチングの方がウエットエッチングよりも異方性エッチングを行い易いためである。

40

#### 【 0 0 3 4 】

まず、第 1 のエッチング条件により第 2 の導電膜 2 0 を部分的にエッチングし、第 2 の絶縁膜 3 4 を部分的に露呈させる。次に、レジストからなるマスクをそのままの状態にし、第 2 のエッチング条件により第 2 の絶縁膜 3 4 をエッチングして第 1 の絶縁膜 1 3 を部分的に露呈させる。更に、第 3 のエッチング条件により第 1 の絶縁膜 1 3 をエッチングし、半導体膜 1 4 の一部を露呈させる。以上のような処理により、半導体膜 1 4 に達するコンタクトホールを形成する。

#### 【 0 0 3 5 】

50

次に、第2の導電膜20上に第3の導電膜21を形成する。第3の導電膜21は、TF Tのp型不純物領域、n型不純物領域の両方と接続可能にするため、金属元素膜であることが望ましい。また、TF Tの半導体膜と反応しにくい材料からなる膜であることが望ましい。代表的には、Ta、W、Ti、Mo、Al、Cu、Cr、Nd等の元素を含む金属元素膜を用いることができる。本実施の形態では、タングステン膜を形成する。(図1(C))。

#### 【0036】

次に、第2の導電膜20及び第3の導電膜30を選択的にエッチングして、TF Tの接続配線であるソース電極及びドレイン電極22及び第3の容量電極23を形成した後、第3の絶縁膜24を形成する。なお、ソース電極、ドレイン電極22及び第3の容量電極を形成する際のエッチングは、ゲート電極の段差を平坦化する前のエッチングなので等方性エッチングが望ましい。タングステン及びリンを添加した結晶性珪素膜は、等方性エッチングが可能となる材料である。また、ソース電極及びドレイン電極は、ゲート電極上の一部を覆うように形成することが好ましい。この構造により、迷光(TF Tの上方に形成する遮光膜で遮られない光)がTF Tの半導体膜へ入射することを抑制することができ、TF Tのオフ電流を抑制することができる。(図1(D))。また、第2の導電膜はバッファ層として設けるが、導電性を有しているため、第3の容量電極23と同様に、容量電極としても機能する。

#### 【0037】

第3の絶縁膜24を形成した後、第3の絶縁膜24を部分的にエッチングし、TF Tのソース電極及びドレイン電極22を露呈してコンタクトホールを形成する。この後、第4の導電膜26を形成する。第4の導電膜の材料としては、アルミニウム(Al)、チタン(Ti)、タングステン(W)、銅(Cu)等を用いることができる。また、Tan膜上にAlやCuを形成し、さらにTi膜を形成した積層構造としてもよい。

#### 【0038】

なお、図示しないが、スタックキャパシタの半導体膜15と第3の容量電極23とは、電気的に接続され、所定の電位を与えられる構造となっている。

#### 【0039】

上記の工程により、TF Tとスタックキャパシタとを同時に形成することが可能である。なお、スタックキャパシタは、第1の容量素子及び第2の容量素子で構成されており、第1の容量素子の上に第2の容量素子が積層されている。すなわち、第1の容量素子は、第1の誘電体を介して形成された第1の容量電極及び第2の容量電極からなり、第2の容量素子は、第2の誘電体を介して形成された第2の容量電極及び第3の容量電極からなる。本実施の形態では、第1の容量素子と第2の容量素子とが積層されているため、容量素子の面積を縮小しながら十分な容量電荷が確保できる。

#### 【0040】

また、第2の絶縁膜34と第3の導電膜21の間にバッファ層として第2の導電膜20を形成するため、第3の導電膜21を成膜する際に生じるスパッタ衝撃から第2の絶縁膜34を保護することが可能であり、第2の絶縁膜34を薄膜化できる。この結果、誘電体の表面積を拡大しなくとも、十分な容量電荷を保つことが可能となる。

#### 【0041】

また、第2の導電膜を有することにより、第3の導電膜21を成膜する際に生じる応力を緩和することが可能である。このため、応力による半導体膜割れの現象を抑制することが可能であり、歩留まりの向上を実現することができる。

#### 【0042】

さらに、第2の導電膜は、TF Tの半導体膜と直接接続されない。このため、第2の導電膜は、n型半導体膜及びp型半導体膜を用いることができる。すなわち、nチャネル型TF T及びpチャネル型TF Tに合わせて、第2の導電膜の極性を合わせる必要がなく、最小限の工程数でバッファ層を形成することができる。

#### 【0043】

10

20

30

40

50

本発明を、プロジェクターのような投影型液晶表示装置に適応すると、画素の開口率を高めることができ、この結果、高輝度かつ高精細な表示を得ることができる表示装置を歩留まり高く作製することができる。

【0044】

以上の構成からなる本発明について、以下に示す実施例によりさらに詳細な説明を行うこととする。

【0045】

【実施例】

[実施例1]

本実施例ではアクティブマトリクス基板の作製方法について図3～図10を用いて説明する。なお、本明細書ではCMOS回路である駆動回路と、画素TFT及び容量素子を有する画素部とを同一基板上に形成した基板を、便宜上アクティブマトリクス基板と呼ぶ。

10

【0046】

はじめに、基板500上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜からなる膜厚10～150nm(好ましくは50～100nm)の第1の下地膜(図示しない)を形成する。下地膜は2層以上の積層構造としても良いし、形成しなくてもよい。次に、本実施例の処理温度に耐え得るTa、W、Cr、Mo、Si等の導電性材料で形成される導電膜を形成し、該導電膜を所望の形状とし、下部遮光膜を形成する。下部遮光膜はゲート配線としての機能も有する。本実施例では膜厚85nmの結晶性珪素膜を形成し、続いて膜厚170nmのタングステンシリサイド( $WSi_x$ ( $x=2.0\sim 2.8$ ))を成膜した後、不要な部分をエッチングして下部遮光膜501、502を形成する。なお、本実施例では、下部遮光膜として、2層の積層膜を用いるが単層膜で形成してもよい。

20

【0047】

本実施例では、基板500に合成石英ガラス基板を用いる。なお、基板にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、シリコン基板、金属元素基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0048】

次に、基板500および下部遮光膜501、502上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る膜厚10～650nm(好ましくは50～600nm)の第2の下地膜503を形成する。本実施例では第2の下地膜503として単層構造を用いるが、絶縁膜を2層以上積層させた構造を用いても良い。本実施例では、第2の下地膜503として、プラズマCVD法を用い、 $SiH_4$ 及び $N_2O$ を反応ガスとして成膜される膜厚100nmの酸化窒化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%)を形成する。

30

【0049】

次いで、第2の下地膜503上に半導体膜504を形成する。半導体膜504は、非晶質構造を有する半導体膜を公知の手段(スパッタリング法、LPCVD法、またはプラズマCVD法等)により、25～200nm(好ましくは30～100nm)の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム( $SiGe$ )合金などで形成すると良い。(図3(A))

40

【0050】

次に、公知の結晶化処理(レーザ結晶化法、熱結晶化法、ニッケルなどの触媒を用いた熱結晶化法等)により、半導体膜を結晶化する。本実施例では、酢酸ニッケル溶液(重量換算濃度5ppm)をスピコートにより膜上全面に塗布し、温度600の窒素雰囲気中に12時間曝す。(図3(B))

【0051】

また、非晶質半導体膜の結晶化方法にレーザ結晶化法も適用する場合には、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、YLFレーザ、YVO<sub>4</sub>レーザ、も

50

しくはY A l O<sub>3</sub>レーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~800mJ/cm<sup>2</sup>(代表的には200~700mJ/cm<sup>2</sup>)とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1~300Hzとし、レーザーエネルギー密度を300~1000mJ/cm<sup>2</sup>(代表的には350~800mJ/cm<sup>2</sup>)とすると良い。次に幅100~1000μm、例えば400μmで線状に集光したレーザビームを基板全面に渡って照射し、この時の線状レーザビームの重ね合わせ率(オーバーラップ率)を50~98%として行ってもよい。

10

#### 【0052】

続いて、活性領域となる半導体膜から、結晶化を助長するために用いた金属元素を除去または低減するために、ゲッターリングを行なう。ゲッターリングについては特開平10-270363号公報に開示している方法を適用すればよい。本実施例では、マスクとして、膜厚70nmの酸化珪素膜を形成し、エッチングを行って、所望の形状の酸化珪素膜508a~508dを得る。次に、半導体膜に選択的にAr(アルゴン)を注入して不純物領域510a~510fを形成し、熱処理を行うことで、活性領域となる半導体膜511a~511dから金属元素を除去または半導体特性に影響しない程度にまで低減することができる。511a~511dから除去された金属元素は、後の工程で510a~510fと共にエッチングされ除去される。このようにして作製した活性領域を有するTFETは、オフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られるため、良好な電流電圧特性を達成することができる。(図3(C))

20

#### 【0053】

次に、結晶性半導体膜をエッチングし、511a~511dを所望の形状の半導体膜に形成する。なお、この工程の詳細は図示していない。なお、半導体膜511a~511dを形成した後、TFETのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

#### 【0054】

次いで、半導体膜511a~511dを覆う第1のゲート絶縁膜512を形成する。(図4(A))。第1のゲート絶縁膜512はプラズマCVD法またはスパッタリング法を用い、厚さ20~150nmの絶縁膜を形成する。本実施例では、プラズマCVD法により膜厚35nmの酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)を形成する。なお、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の絶縁膜を用いても良い。

30

#### 【0055】

また、第1のゲート絶縁膜512に酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後の400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

40

#### 【0056】

次に、ゲート絶縁膜を部分的にエッチングして、容量素子の電極の一方となる半導体膜511dを露出させ、該半導体膜511dに不純物元素を導入し、第1の容量電極を形成する。(図4(B))。このとき、他の領域は、レジスト513で覆われているため、不純物元素は導入されない。本実施例では、不純物元素としてP(リン)を用い、加速電圧10keV、不純物原子のドーズ量5×10<sup>14</sup>/cm<sup>2</sup>としてドーピング処理を行う。

#### 【0057】

続いて、第2のゲート絶縁膜515を形成する。第2のゲート絶縁膜515はプラズマCVD法またはスパッタリング法を用い、厚さ20~150nmの絶縁膜で形成する。本実施例では、プラズマCVD法により50nmの厚さで酸化窒化珪素膜(組成比Si=32

50

%、O = 59%、N = 7%、H = 2%)を形成した。なお、第2のゲート絶縁膜は、酸化窒化珪素膜に限定されるものでなく、他の絶縁膜を用いても良い。

【0058】

本実施例では、容量素子において誘電体として機能する絶縁膜をTFTのゲート絶縁膜に比べて薄くするため、2回に分けてゲート絶縁膜を形成しているが、1回で形成しても良い。

【0059】

次に、下部遮光膜と接続するコンタクトホールを形成した後、膜厚20~100nmの第1の導電膜516aと、膜厚100~400nmの第2の導電膜516bとを積層形成する。(図4(C))。本実施例では、膜厚150nmのn型結晶性珪素膜からなる第1の導電膜516aと、膜厚150nmのタングステンシリサイド( $WSi_x$ )膜からなる第2の導電膜516bを積層する。n型結晶性珪素膜はプラズマCVD法で形成する。また、タングステンシリサイド( $WSi_x$ )膜は、タングステンシリサイド( $WSi_x$ )のターゲットを用いてスパッタリング法で形成する。

【0060】

なお、本実施例では、第1の導電膜516aをn型結晶性珪素膜、第2の導電膜516bを $WSi_x$ としたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、AgPdCu合金を用いてもよい。

【0061】

次に、ゲート電極及び第2の容量電極を形成するためのエッチング処理を行う。(図5(A))。本実施例ではエッチング条件として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに $CF_4$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を25:25:10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行い、導電膜517~521を形成する。なお、該工程には、RIE法、ECR法などの他の公知のエッチング法を適用することも可能である。

【0062】

次に、第2のドーピング処理を行い、半導体膜にn型を付与する不純物元素を導入する。ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件は不純物原子のドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}/cm^2$ とし、加速電圧を30~80keVとして行う。本実施例では、不純物原子のドーズ量を $1.5 \times 10^{13}/cm^2$ とし、加速電圧を70keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電膜517~521がn型を付与する不純物元素に対するマスクとなり、自己整合的に低濃度不純物領域523、524が形成される。低濃度不純物領域523、524には $1 \times 10^{18} \sim 1 \times 10^{20}/cm^3$ の濃度範囲のn型を付与する不純物元素を導入する。ここで、pチャネル型TFTを形成する半導体膜にはレジストによるマスク522が形成されており、n型を付与する不純物元素は導入されない。

【0063】

次いで、図5(B)に示すように、第3のドーピング処理を行う。イオンドーピング法の条件は不純物原子のドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15}/cm^2$ とし、加速電圧を30~120keVとして行う。このとき、pチャネル型TFTを形成する半導体膜にn型を付与する不純物元素を導入しないためにマスク525bを形成し、また、nチャネル型TFTを形成するための半導体膜に選択的に高濃度不純物領域を形成するためにマスク525a、525cを形成する。本実施例では不純物原子のドーズ量を $1 \times 10^{15}/cm^2$ とし、加速電圧を40keVとして行った。こうして、高濃度不純物領域526、529が形成される。

【0064】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク532a

10

20

30

40

50

および532bをパターニングして、図5(C)に示すように、第4のドーピング処理を行う。この第4のドーピング処理により、pチャネル型TFTの活性層となる半導体膜に、p型を付与する不純物元素が導入された不純物領域533を形成する。第2の導電膜518を不純物元素に対するマスクとして用い、p型を付与する不純物元素を導入して自己整合的に不純物領域を形成する。本実施例では、イオンドーピング法によりジボラン( $B_2H_6$ )を半導体膜に添加して、不純物領域533を形成する。イオンドーピング法の条件を、不純物原子のドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14}/cm^2$ とし、加速電圧30~120keVとして行う。この第4のドーピング処理の際には、nチャネル型TFTを形成する半導体膜はレジストからなるマスク532aおよび532bで覆われている。

【0065】

10

次に、図6(A)に示すように、第5のドーピング処理を行う。イオンドーピング法の条件は不純物原子のドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15}/cm^2$ とし、加速電圧を20~120keVとして行う。このとき、nチャネル型TFTを形成する半導体層にp型を付与する不純物元素を導入しないためにマスク534a、534cを形成し、また、pチャネル型TFTを形成するための半導体層に選択的に高濃度不純物領域を形成するためにマスク534bを形成する。本実施例では不純物原子のドーズ量を $1 \times 10^{15}/cm^2$ とし、加速電圧を40keVとして行う。こうして、高濃度不純物領域535及び低濃度不純物領域536が形成される。

【0066】

以上の工程により、それぞれの半導体膜に高濃度不純物領域および低濃度不純物領域が形成される。

20

【0067】

次いで、図6(B)に示すように、レジストからなるマスク534a~534cを除去して第1の層間絶縁膜538を形成する。この第1の層間絶縁膜538としては、プラズマCVD法またはスパッタリング法を用い、厚さを100~200nmの絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成する。もちろん、第1の層間絶縁膜538は酸化窒化珪素膜に限定されるものでなく、窒化珪素膜など他の絶縁膜を単層または積層構造として用いても良い。

【0068】

次いで、第3の熱処理を行って、半導体膜の結晶性の回復、および、それぞれの半導体膜に導入された不純物元素の活性化を行う。ここでは、電気炉を用いて、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で950、30分の加熱処理を施す。なお、該加熱処理の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。本実施例では、基板に合成石英を用いているため第3の熱処理を高温で行えるが、耐熱温度が低いガラスやプラスチック等を基板に用いた場合は、基板の耐熱温度より低い温度で第3の加熱処理をする必要がある。

30

【0069】

また、第1の層間絶縁膜538を形成する前に熱処理を行っても良い。ただし、第1の導電膜及び第2の導電膜材料が熱に弱い場合には、本実施例のように第1の導電膜及び第2の導電膜等を保護するため第1の層間絶縁膜(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

40

【0070】

次に、熱処理(300~550で1~12時間の熱処理)を行うと水素化を行うことができる。この工程は第1の層間絶縁膜538に含まれる水素により半導体膜のダングリングボンドを終端する工程である。なお、第1の層間絶縁膜の存在に関係なく半導体膜を水素化することもできる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)や、3~100%の水素を含む雰囲気中にて300~450で1~12時間の熱処理を行っても良い。

【0071】

次に、図6(C)に示すように、第1の層間絶縁膜538上に第3の導電膜600を形成

50

する。第3の導電膜600の材料としては、膜厚10~100nmのリン等のn型不純物元素をドーピングした結晶性珪素膜に代表される導電膜が好ましい。第3の導電膜の膜厚が10nm未満では、後ほど形成する第3の導電膜であるタングステン膜を形成する際に生じるの応力の緩和の効果が低い。又、第3の導電膜の膜厚が100nm以上では、後ほど形成するソース電極及びドレイン電極および第2の容量電極を形成する際、それぞれの線の幅を均一に制御することが困難である。本実施例では、第3の導電膜600として、LPCVD法により膜厚50nmのn型結晶性珪素膜を形成する。

#### 【0072】

次いで、図6(C)に示すように、TFTの半導体膜の各高濃度不純物領域に達するコンタクトホールを形成する。本実施例では、エッチング条件として、RIEエッチング法により、エッチング用ガスに $CF_4$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を25:25:10(sccm)とし、106.4Paの圧力で電極に500WのRF(13.56MHz)電力を投入してエッチングを行う。

10

#### 【0073】

次に、第3の導電膜600および半導体膜上に、スパッタリング法を用いて第4の導電膜607であるタングステン膜を形成する。第4の導電膜607の厚さは50~150nmが好ましい。これは、第4の導電膜の膜厚が50nmより薄いと、後ほど形成するコンタクトホールのエッチングストッパーとしての機能がなくなるためであり、また、膜厚が150nm以上だと、ソース電極及びドレイン電極および第3の容量電極を形成する際、等方性のエッチングを行うため、それぞれの線の幅を均一に制御することが困難であるためである。本実施例では、膜厚100nmのタングステン膜を形成する。なお、第4の導電膜607の材料としては、タングステンに限らない。例えば、窒化タンタル(TaN)膜上にアルミニウム(Al)膜や銅(Cu)膜を形成し、さらにチタン(Ti)膜を形成した積層膜をエッチングして配線を形成してもよい。

20

#### 【0074】

次に、図7(A)に示すように、第3の導電膜及び第4の導電膜を選択的にエッチングして接続配線であるソース電極及びドレイン電極608~613及び第3の容量電極614aを形成する。まず、第1のエッチング条件として、RIEエッチング法により、エッチング用ガスに $SF_6$ とHeを用い、それぞれのガス流量比を20:20(sccm)とし、電極に300WのRF(13.56MHz)電力を投入して第4の導電膜607を部分的にエッチングする。続いて、第2のエッチング条件として、RIEエッチング法により、エッチング用ガスに $SF_6$ とHeを用い、それぞれのガス流量比を20:20(sccm)とし、電極に300WのRF(13.56MHz)電力を投入して第3の導電膜を部分的にエッチングする。なお、エッチングされた第3の導電膜614bは、バッファ層として設けるが、導電性であるため、第4の導電膜と共に容量電極としても機能する。

30

#### 【0075】

次に、図7(B)に示すように、第2の層間絶縁膜615を形成する。第2の層間絶縁膜615は、プラズマCVD法またはスパッタリング法を用い、厚さを100~200nmの絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚120nmの窒化珪素膜を形成する。

40

#### 【0076】

次いで、第2の層間絶縁膜615上に無機絶縁材料または有機絶縁材料からなる第3の層間絶縁膜539を形成する。本実施例では、膜厚0.45 $\mu$ mの窒化酸化珪素膜を形成する。

#### 【0077】

次に、ソース電極及びドレイン電極608~613に達するコンタクトホールを形成し、ソース電極及びドレイン電極608~613とそれぞれ電氣的に接続する配線540~544を形成する。

#### 【0078】

これらの配線は、膜厚60nmのチタン(Ti)膜、膜厚40nmの窒化チタン(TiN

50

)膜、膜厚300の合金膜(A1とSiとの合金膜)及び膜厚100nmのタングステン(W)膜の積層膜をエッチングして形成する。

【0079】

次いで、図8(A)に示すように、第3の層間絶縁膜539および配線540~544上に無機絶縁膜材料または有機絶縁物材料から成る第4の層間絶縁膜560を形成する。本実施例では、膜厚0.45μmの窒化酸化珪素膜を形成する。

【0080】

次に、第4の層間絶縁膜560上にAl、Ti、W、Cr、または黑色樹脂等の高い遮光性を持つ膜を所望の形状にエッチングして遮光膜561、562を形成する。この遮光膜561、562は画素の開口部以外を遮光するように網目状に配置する。

10

【0081】

次に、図8(B)に示すように、遮光膜561、562を覆うように第5の層間絶縁膜563を形成する。こののち、接続配線544に通じるコンタクトホールを形成し、導電膜を100nm形成し、所望の形状にエッチングして画素電極564、565を形成する。本実施例では、ITOからなる膜を用いて画素電極を形成する。後にこの基板を用いて形成する液晶表示装置は、透過型液晶表示装置である。一方、画素電極に、銀やアルミニウム等反射性の高い元素からなる膜を用いると、反射型液晶表示装置用の基板を形成することができる。

【0082】

以上の様にして、nチャネル型TF551とpチャネル型TF552からなる駆動回路555、画素TF553及び容量素子554とを有する画素部556を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

20

【0083】

[実施例2]

本実施例では、実施例1で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図9を用いる。

【0084】

まず、実施例1に従い、図8(B)の状態のアクティブマトリクス基板を得た後、図8(B)のアクティブマトリクス基板上、少なくとも画素電極564、565上に配向膜567を形成しラビング処理を行う。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をエッチングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成してもよい。本実施例においては、反射型液晶表示装置を形成するため、画素電極を、アルミニウム膜で形成する。

30

【0085】

次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、平坦化膜573を形成する。

【0086】

次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜577を形成し、ラビング処理を施す。

【0087】

次に、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材568で貼り合わせる。シール材568にはフィラーが混入されており、このフィラーと柱状スペーサによって2枚の基板の間隔を均一に保ちながら貼り合わせることができる。その後、両基板の間に液晶材料575を注入し、封止剤(図示せず)によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図9に示す反射型液晶表示装置が完成する。次に、必要があれば、アクティブマトリクス基板及び対向基板を所望の形状に分断する。さらに、対向基板569のみに偏光板(図示しない)を貼りつける。次に、公知の技術を用いてFPCを貼りつける(図示しない)。

40

【0088】

以上のようにして作製される液晶表示装置は、複数の容量素子を縦に積層して形成してお

50

り、十分な容量を確保しつつ開口率を上げるができる。このため、高輝度かつ高精細な表示を実現することが可能である。

【0089】

また、容量電極となる導電膜と誘電体との間にバッファ層を形成するため、容量電極となる導電膜を形成するときに発生する応力を緩和することができる。このため、応力による半導体膜割れの現象を抑制することが可能であり、歩留まりよく動作特性や信頼性を向上させた液晶表示装置を作製することも可能となる。

【0090】

すなわち、高輝度かつ高精細な表示を得ることができる液晶表示装置を歩留まり高く作製することができる。特に、プロジェクターのような投影型表示装置に本発明の液晶表示装置を用いると、輝度を高めることができ、高輝度かつ高精細な表示が可能となる。

【0091】

また、このような液晶表示装置は各種電子機器の表示部として用いることができる。

【0092】

[実施例3]

本実施例では、本発明を用いて発光装置を作製した例について説明する。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られる化合物を含む層 (以下、EL層と示す。) と陽極層と、陰極層とを有する。また、ルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) があり、これらのうちどちらか、あるいは両方の発光を含む。

【0093】

なお、本明細書中では、発光素子において陽極と陰極の間に形成される全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層及び電子輸送層等が含まれる。基本的に発光素子は、陽極層、発光層及び陰極層が順に積層された構造を有しており、この構造に加えて、陽極層、正孔注入層、発光層及び陰極層や、陽極層、正孔注入層、発光層、電子輸送層及び陰極層の順に積層した構造を有していることもある。

【0094】

図10は本実施例の発光装置の断面図である。基板700上に設けられた駆動回路は図7(B)の駆動回路555を用いて形成される。従って、構造の説明は実施例1のnチャンネル型TFT551とpチャンネル型TFT552の説明を参照すれば良い。なお、本実施例ではTFTをシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0095】

配線701~703はCMOS回路のソース配線及びドレイン配線として機能する。また、配線704及び705はソース配線とスイッチングTFTのソース領域とを、ドレイン配線とスイッチングTFTのドレイン領域とをそれぞれ電氣的に接続する配線として機能する。図10において、基板上に設けられたスイッチングTFT603は図7(B)のnチャンネル型TFT551を用いて形成される。したがって、構造の説明は、実施例1に記載のnチャンネル型TFT551の説明を参照すれば良い。

【0096】

なお、本実施例では、スイッチングTFT603をチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0097】

容量素子605は図7(B)の容量素子554を用いて形成される。従って、構造の説明は、実施例1の容量素子554の説明を参照すれば良い。

10

20

30

40

50

## 【0098】

電流制御TFT604は図7(B)のpチャネル型TFT552を用いて形成される。従って、構造の説明は実施例1のpチャネル型TFT552の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

## 【0099】

また、配線706は電流制御TFTのソース配線(電源線に相当する)であり、配線707は電流制御TFTの画素電極711を上重ねることで画素電極711と電流制御TFT604とを電氣的に接続する電極である。

## 【0100】

なお、画素電極711は、透明導電膜からなる画素電極(発光素子の陽極)である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、透明導電膜にガリウムを導入したものをを用いても良い。画素電極711は、上記配線を形成する前に平坦な層間絶縁膜710上に形成する。後に形成される発光層は、膜厚が非常に薄いため、段差が存在することによって発光不良を起こす場合がある。このため、画素電極を形成する前に層間絶縁膜を平坦化しておくことが望ましい。

## 【0101】

配線701~708を形成後、図10に示すようにバンク712を形成する。バンク712は100~400nmの無機絶縁膜もしくは有機樹脂膜をエッチングして形成すれば良い。

## 【0102】

なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属元素粒子を導入して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12}$  m(好ましくは $1 \times 10^8 \sim 1 \times 10^{10}$  m)となるようにカーボン粒子や金属元素粒子の導入量を調節すれば良い。

## 【0103】

画素電極711の上にはEL層713が形成される。本実施例では、有機発光材料を用いる。なお、図10では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を用いてEL層を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(Alq<sub>3</sub>)膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を導入することで発光色を制御することができる。

## 【0104】

但し、以上の例はEL層として用いることのできる発光材料の一例であって、これに限定する必要はない。有機材料及び無機材料を用いて発光層を形成してもよい。また、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機発光材料をEL層として用いる例を示したが、中分子系有機発光材料や高分子系有機発光材料を用いても良い。なお、本明細書中において、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10μm以下の有機発光材料を中分子系有機発光材料とする。また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造としても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

10

20

30

40

50

## 【0105】

次に、EL層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を導入した導電膜を用いれば良い。

## 【0106】

この陰極714まで形成された時点で発光素子715が完成する。なお、ここでいう発光素子715は、画素電極（陽極）711、EL層713及び陰極714で形成されたダイオードを指す。

10

## 【0107】

発光素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い発光層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、有機発光層713の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間にEL層713が酸化するといった問題を防止できる。

20

## 【0108】

さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や合成石英ガラス基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものをを用いる。

## 【0109】

こうして図10に示すような構造の発光装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

30

## 【0110】

こうして、基板にnチャンネル型TFT601、pチャンネル型TFT602、スイッチングTFT（nチャンネル型TFT）603、電流制御TFT（pチャンネル型TFT）604および容量素子605が形成される。

## 【0111】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

40

## 【0112】

さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図11を用いて説明する。なお、必要に応じて図10で用いた符号を引用する。

## 【0113】

図11（A）は、発光素子の封止までを行った状態を示す上面図、図11（B）は図11（A）をC-C'で切断した断面図である。図11（A）において、点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、90

50

1はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0114】

904はソース側駆動回路801及びゲート側駆動回路807にされる信号を伝送するための配線であり、外部端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0115】

次に、図11（A）におけるC-C'の断面構造について、図11（B）を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電氣的に接続された画素電極711を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャンネル型TFT601とpチャンネル型TFT602とを組み合わせたCMOS回路（実施例1及び図10参照）を用いて形成される。

【0116】

画素電極711は発光素子の陽極として機能する。また、画素電極711の両端にはバンク712が形成され、画素電極711上にはEL層713および発光素子の陰極714が形成される。

【0117】

陰極714は全画素に共通の配線としても機能し、接続配線904を經由してFPC905に電氣的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜716で覆われている。

【0118】

また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。次に、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0119】

発光素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901の材料としてFRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリルを用いることができる。

【0120】

また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露呈面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0121】

以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の有機発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

【0122】

以上のようにして作製される発光装置における配線は、半導体膜との十分な接触がなされており、発光装置の動作特性や信頼性も十分なものとなり得る。また、本発明の構成を用いたアクティブマトリクス基板を発光装置に用いることにより、発光装置を歩留まりよく作製することが出来る。次に、このような発光装置は各種電子機器の表示部として用いることができる。

10

20

30

40

50

## 【 0 1 2 3 】

なお、本実施例は実施例 1 と自由に組み合わせることが可能である。

## [ 実施例 4 ]

本発明を適用して、様々な表示装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型発光装置）を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

## 【 0 1 2 4 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの例を図 1 2、図 1 3 及び図 1 4 に示す。

10

## 【 0 1 2 5 】

図 1 2 ( A ) はパーソナルコンピュータであり、本体 3 0 0 1、画像入力部 3 0 0 2、表示部 3 0 0 3、キーボード 3 0 0 4 等を含む。本発明を適用することにより、歩留まり高く高精細な表示が可能である低消費電力のパーソナルコンピュータを作製することが出来る。

## 【 0 1 2 6 】

図 1 2 ( B ) はビデオカメラであり、本体 3 1 0 1、表示部 3 1 0 2、音声入力部 3 1 0 3、操作スイッチ 3 1 0 4、バッテリー 3 1 0 5、受像部 3 1 0 6 等を含む。本発明を適用することで、歩留まり高く高精細な表示が可能なビデオカメラを作製することが出来る。

20

## 【 0 1 2 7 】

図 1 2 ( C ) はモバイルコンピュータ（モービルコンピュータ）であり、本体 3 2 0 1、カメラ部 3 2 0 2、受像部 3 2 0 3、操作スイッチ 3 2 0 4、表示部 3 2 0 5 等を含む。本発明を適用することで、歩留まり高く高精細な表示が可能である低消費電力のモバイルコンピュータ（モービルコンピュータ）を作製することが出来る。

## 【 0 1 2 8 】

図 1 2 ( D ) はゴーグル型ディスプレイであり、本体 3 3 0 1、表示部 3 3 0 2、アーム部 3 3 0 3 等を含む。本発明を適用することで、歩留まり高く高精細な表示が可能なゴーグル型ディスプレイを作製することが出来る。

30

## 【 0 1 2 9 】

図 1 2 ( E ) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 3 4 0 1、表示部 3 4 0 2、スピーカ部 3 4 0 3、記録媒体 3 4 0 4、操作スイッチ 3 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD ( Digital Versatile Disc )、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明を適用することで、歩留まり高く高精細な表示が可能なプレーヤーを作製することが出来る。

## 【 0 1 3 0 】

図 1 2 ( F ) はデジタルカメラであり、本体 3 5 0 1、表示部 3 5 0 2、接眼部 3 5 0 3、操作スイッチ 3 5 0 4、受像部（図示しない）等を含む。本発明を適用することで、歩留まり高く高精細な表示が可能である低消費電力のデジタルカメラを作製することが出来る。

40

## 【 0 1 3 1 】

図 1 3 ( A ) はフロント型プロジェクターであり、投射装置 3 6 0 1、スクリーン 3 6 0 2 等を含む。本発明を適用すること、歩留まり高く高輝度フロント型プロジェクターを作製することが出来る。

## 【 0 1 3 2 】

図 1 3 ( B ) はリア型プロジェクターであり、本体 3 7 0 1、投射装置 3 7 0 2、ミラー 3 7 0 3、スクリーン 3 7 0 4 等を含む。本発明を適用することで、歩留まり高く高輝度リア型プロジェクターを作製することが出来る。

50

## 【 0 1 3 3 】

なお、図 1 3 ( C ) は、図 1 3 ( A ) 及び図 1 3 ( B ) 中における投射装置 3 6 0 1、3 7 0 2 の構造の一例を示した図である。投射装置 3 6 0 1、3 7 0 2 は、光源光学系 3 8 0 1、ミラー 3 8 0 2、3 8 0 4 ~ 3 8 0 6、ダイクロミックミラー 3 8 0 3、プリズム 3 8 0 7、液晶表示装置 3 8 0 8、位相差板 3 8 0 9、投射光学系 3 8 1 0 で構成される。投射光学系 3 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 1 3 ( C ) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

## 【 0 1 3 4 】

また、図 1 3 ( D ) は、図 1 3 ( C ) 中における光源光学系 3 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 3 8 0 1 は、リフレクター 3 8 1 1、光源 3 8 1 2、レンズアレイ 3 8 1 3、3 8 1 4、偏光変換素子 3 8 1 5、集光レンズ 3 8 1 6 で構成される。なお、図 1 3 ( D ) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

## 【 0 1 3 5 】

ただし、図 1 3 に示したプロジェクターにおいては、透過型の液晶表示装置を用いた場合を示しており、反射型の液晶表示装置での適用例は図示していない。

## 【 0 1 3 6 】

図 1 4 ( A ) は携帯電話であり、本体 3 9 0 1、音声出力部 3 9 0 2、音声入力部 3 9 0 3、表示部 3 9 0 4、操作スイッチ 3 9 0 5、アンテナ 3 9 0 6 等を含む。本発明を適用することで、歩留まり高く高精細な表示が可能である低消費電力の携帯電話を作製することが出来る。

## 【 0 1 3 7 】

図 1 4 ( B ) は携帯書籍（電子書籍）であり、本体 4 0 0 1、表示部 4 0 0 2、4 0 0 3、記憶媒体 4 0 0 4、操作スイッチ 4 0 0 5、アンテナ 4 0 0 6 等を含む。本発明を適用することすることで、歩留まり高く高精細な表示が可能である低消費電力の携帯書籍を作製することが出来る。

## 【 0 1 3 8 】

図 1 4 ( C ) はディスプレイであり、本体 4 1 0 1、支持台 4 1 0 2、表示部 4 1 0 3 等を含む。本発明を適用したディスプレイは、特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

## 【 0 1 3 9 】

以上の様に、本発明の適用範囲は極めて広く、さまざま分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 4 のどのような組み合わせからなる構成を用いても実現することができる。

## 【 0 1 4 0 】

## 【 発明の効果 】

本発明の構成を採用することにより、以下に示すような有意性を得ることが出来る。

## 【 0 1 4 1 】

T F T と、基板に対して縦に複数の容量素子を積層した半導体装置において、容量素子の誘電体である絶縁膜上に、後に形成する導電膜の応力を緩和するバッファ層である導電膜を形成し、該バッファ層及び絶縁膜の一部にコンタクトホールを形成する。この後、導電膜を成膜し、エッチングしてソース電極及びドレイン電極を形成する。この構造により、半導体膜や容量配線等の応力割れを抑制しつつ、T F T と複数の容量素子を有する半導体装置を形成することが可能である。

## 【 0 1 4 2 】

T F T と、基板に対して縦に容量素子を積層した半導体装置において、バッファ層を誘電体である絶縁膜上に形成することによって、スパッタリング衝撃から誘電体である絶縁

10

20

30

40

50

膜を保護することが可能となる。このため、スパッタリング法により容量電極を形成することが可能となり、容量電極を形成するための形成方法及び材料の選択比が増加する。

【0143】

TFTのゲート電極上の一部を覆うようにソース電極及びドレイン電極を形成することで、該電極が遮光膜として機能するため、迷光を遮ることができ、TFTのオフ電流を抑制することができる。

【0144】

すなわち、本発明により、高容量を保持することが可能な半導体装置を歩留まり高く作製することができる。特に、半導体装置が表示装置の場合、開口率を高めることが可能となるため、十分な容量を確保しつつ、高輝度かつ高精細な表示を実現することが可能な表示装置を、歩留まり高く作製することができる。

10

【図面の簡単な説明】

【図1】 本発明の概念の一例を示す図。

【図2】 従来例を示す図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図7】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図8】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

20

【図9】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図10】 発光装置の駆動回路及び画素部の断面構造図。

【図11】 (A) 発光装置の上面図。

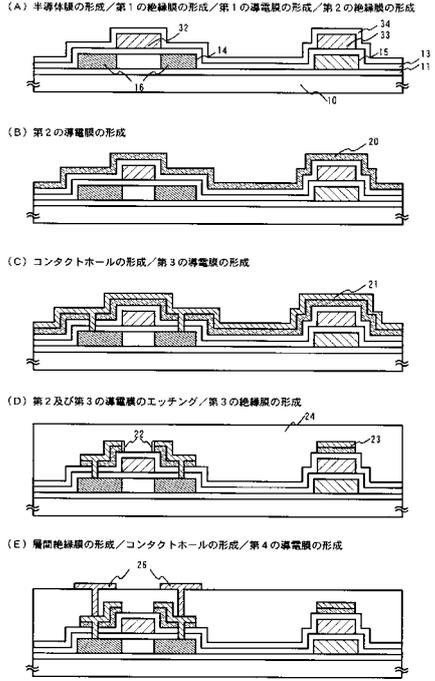
(B) 発光装置の駆動回路及び画素部の断面構造図。

【図12】 電子機器の例を示す図。

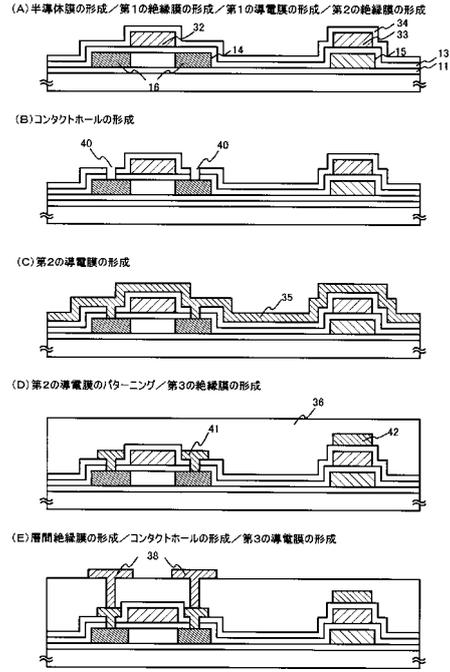
【図13】 電子機器の例を示す図。

【図14】 電子機器の例を示す図。

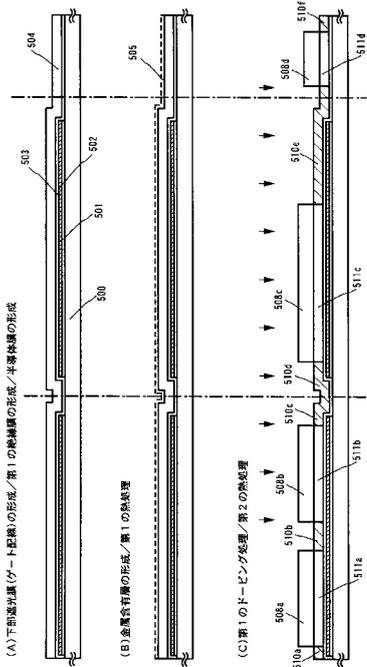
【図1】



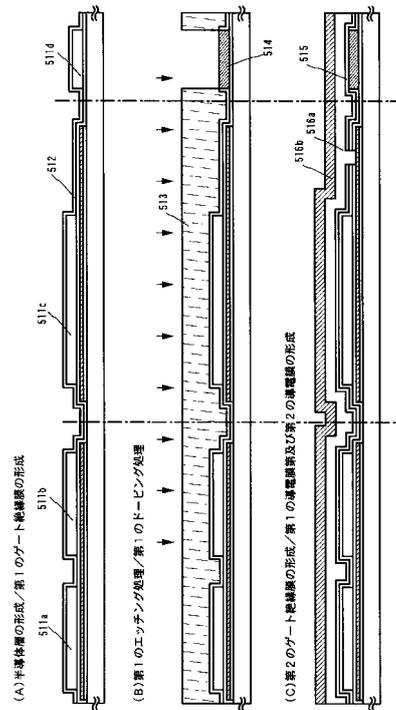
【図2】



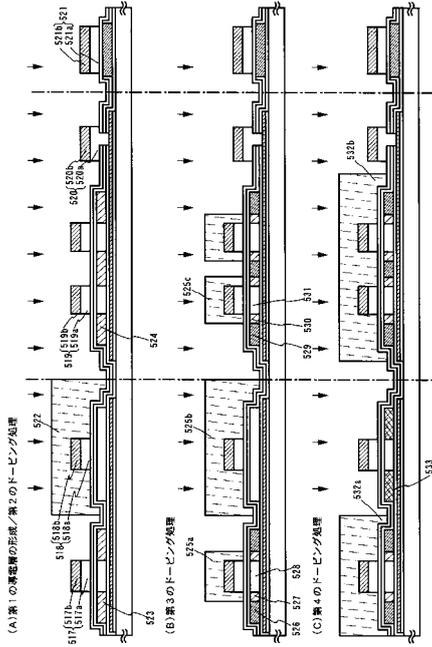
【図3】



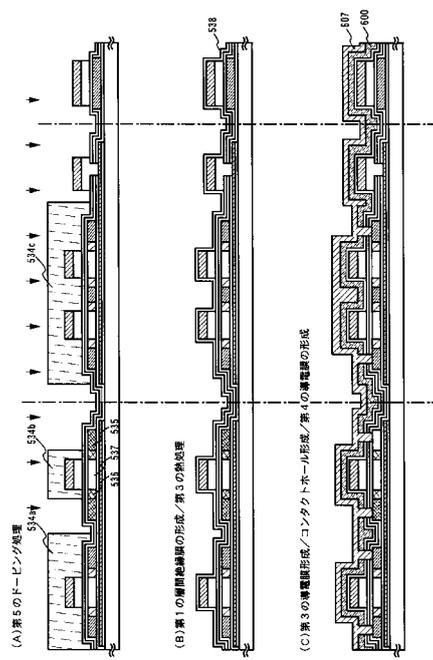
【図4】



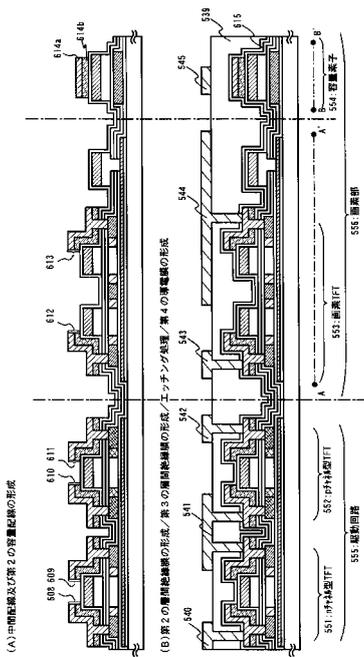
【図5】



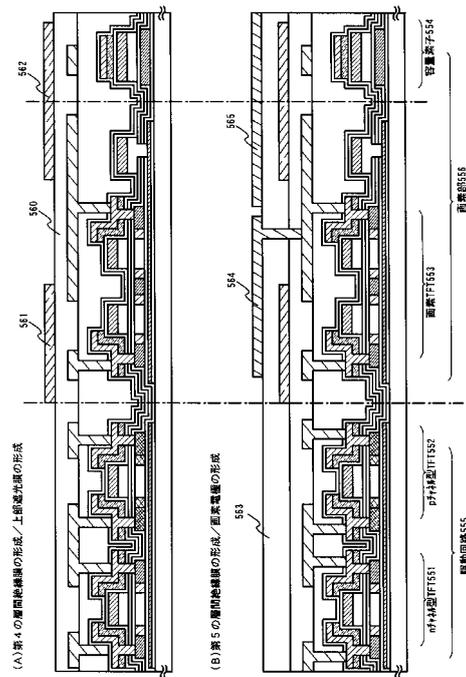
【図6】



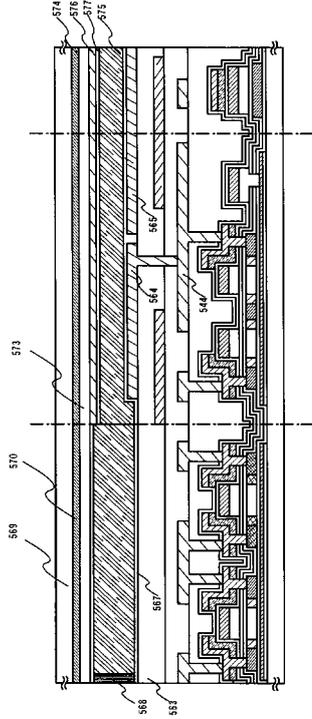
【図7】



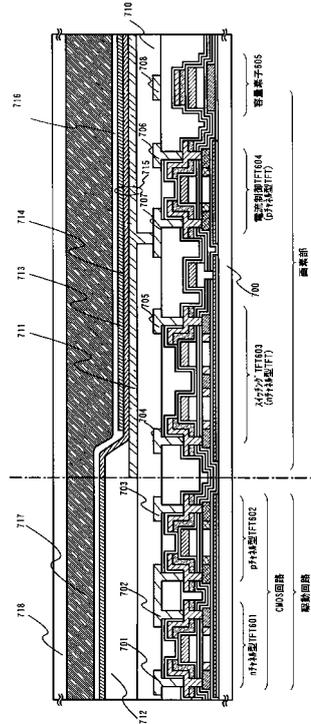
【図8】



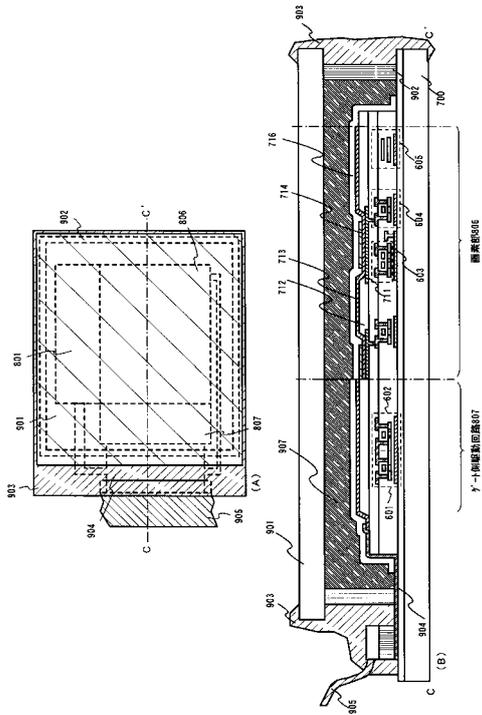
【図9】



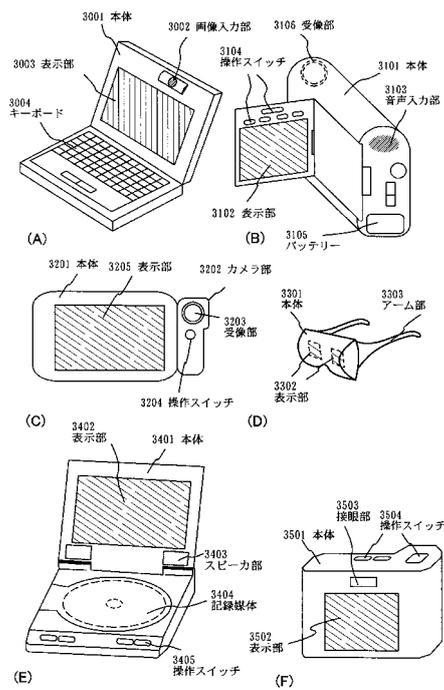
【図10】



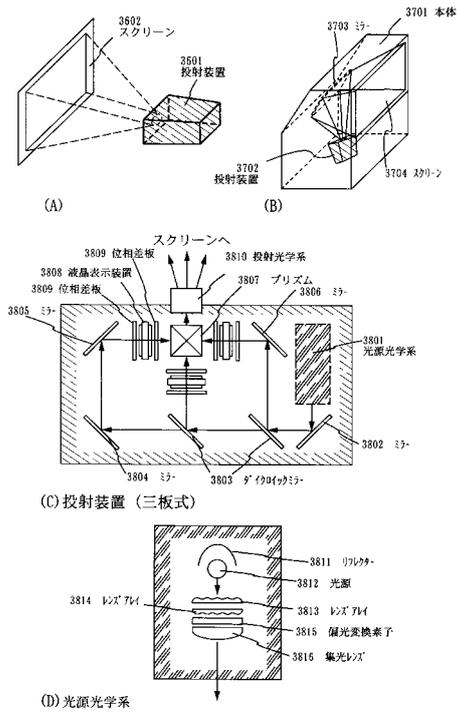
【図11】



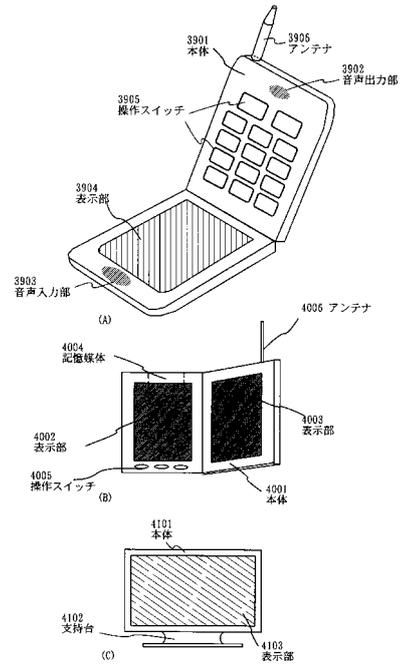
【図12】



【図13】



【図14】



---

フロントページの続き

- (56)参考文献 特開平9 - 172183 (JP, A)  
特開2000 - 349301 (JP, A)  
特開2000 - 269511 (JP, A)  
特開2000 - 269512 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L21/336  
H01L29/786