

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|--|-------------------------------------|--|
| (51) 。 Int. Cl. H01L 21/336 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2006년04월26일 10-0574317 2006년04월20일 |
|--|-------------------------------------|--|

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2004-0010882 | (65) 공개번호 | 10-2005-0082460 |
| (22) 출원일자 | 2004년02월19일 | (43) 공개일자 | 2005년08월24일 |

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 윤재만
 서울특별시관악구신림6동352-12

 박동건
 경기도성남시분당구구미동무지개마을제일아파트801-401호

 이충호
 경기도성남시분당구구미동까치마을신원아파트305-503

 요시다
 경기도수원시팔달구영통동963-2번지쌍용아파트544-905

 이철
 서울특별시서초구잠원동신반포한신아파트207동710호

(74) 대리인 박영우

심사관 : 정회환

(54) 게이트 구조물, 이를 갖는 반도체 장치 및 그 형성 방법

요약

반도체 기판으로부터 수직 방향으로 연장된 게이트 구조물을 갖는 MOS 트랜지스터가 개시되어 있다. 상기 게이트 구조물은 반도체 기판으로부터 수직 방향으로 연장되는 게이트 전극과, 상기 게이트 전극을 감싸도록 배치된 게이트 절연막을 포함한다. 채널 패턴은 게이트 절연막을 감싸도록 배치되고, 제1도전 패턴은 채널 패턴의 하부로부터 제1수평 방향으로 연장되며, 제2도전 패턴은 채널 패턴으로부터 제2수평 방향으로 연장된다. 따라서, 상기 MOS 트랜지스터의 채널 길이는 상기 제1도전 패턴과 제2도전 패턴 사이의 거리에 따라 결정될 수 있으며, 채널 폭은 상기 게이트 구조물의 직경에 따라 결정될 수 있다.

대표도

도 9

명세서

도면의 간단한 설명

도 1a 내지 도 1i는 본 발명의 제1실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 2는 도 1i에 도시된 게이트 구조물을 설명하기 위한 사시도이다.

도 3a 내지 도 3e는 본 발명의 제2실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 4는 도 3e에 도시된 게이트 구조물을 설명하기 위한 사시도이다.

도 5a 내지 도 5d를 본 발명의 제3실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 6a 내지 도 6f를 본 발명의 제4실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 7a 및 도 7b는 게이트 구조물의 다른 예를 설명하기 위한 개략적인 단면도들이다.

도 8a 내지 도 8z는 본 발명의 제5실시예에 따른 MOS 트랜지스터 반도체 장치 형성 방법을 설명하기 위한 단면도들이다.

도 9는 본 발명의 제5실시예에 따른 반도체 장치 형성 방법을 이용하여 형성된 MOS 트랜지스터를 설명하기 위한 사시도이다.

도 10은 본 발명의 제5실시예에 따른 반도체 장치 형성 방법을 이용하여 형성된 MOS 트랜지스터의 다른 예를 설명하기 위한 사시도이다.

도 11a 및 도 11b는 본 발명의 제5실시예에 따른 반도체 장치 형성 방법을 이용하여 형성된 MOS 트랜지스터의 다른 예를 설명하기 위한 단면도 및 사시도이다.

도 12 및 도 13은 본 발명의 제5실시예에 따른 반도체 장치 형성 방법을 이용하여 형성된 다수의 MOS 트랜지스터들을 설명하기 위한 사시도들이다.

도 14a 내지 도 14k는 본 발명의 제6실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 15a 내지 도 15e는 본 발명의 제7실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 16a 내지 도 16e는 본 발명의 제8실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 17a 내지 도 17f는 본 발명의 제9실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 반도체 기판 502 : 제1희생층

504 : 제1단결정 실리콘층 506 : 제1도전층

508 : 제1도전 패턴 510 : 제2희생층

512 : 제3희생층 514 : 제2단결정 실리콘층

518 : 제2도전층 520 : 제2도전층

522 : 캡핑층 524 : 제1개구부

526 : 제2개구부 528 : 채널 패턴

530 : 게이트 절연막 532 : 제3도전층

534 : 게이트 전극 536 : 하드 마스크

538 : 층간 절연층 540a, 540b : 콘택홀

542 : 금속층 544a, 544b, 544c : 금속 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명의 반도체 장치와 그 제조 방법에 관한 것이다. 보다 상세하게는, 게이트 구조물과 이를 갖는 MOS(metal oxide semiconductor) 트랜지스터 반도체 장치 및 상기 게이트 구조물과 상기 MOS 트랜지스터의 제조 방법들에 관한 것이다.

반도체 장치가 고집적화됨에 따라, 소자형성영역, 즉 액티브 영역의 크기가 감소하게 되었고, 액티브 영역에 형성되는 MOS 트랜지스터의 채널 길이가 줄어들게 되었다. MOS 트랜지스터의 채널 길이가 작아지면, 채널 영역에서의 전계나 전위에 미치는 소스 및 드레인의 영향이 현저해지는데 이러한 현상을 단채널 효과(short channel effect)라 한다. 또한, 액티브 영역의 축소에 따라 채널의 폭도 감소하게 되어 문턱 전압(threshold voltage)이 증가하는 협채널 효과(narrow channel effect) 또는 협폭 효과(narrow width effect)가 나타난다.

따라서, 기판 상에 형성되는 소자들의 크기를 축소시키면서 소자의 성능을 극대화시키기 위한 여러 가지 방법들이 연구 개발되고 있다. 그 대표적인 것으로, 핀(fin) 구조, DELTA(fully Depleted Lean-channel Transistor) 구조, GAA(Gate All Around) 구조와 같은 수직형 트랜지스터(vertical transistor) 구조를 들 수 있다.

예를 들면, 미합중국 특허 제6,413,802호에는 평행한 복수개의 얇은 채널 핀(fin)이 소스/드레인 영역 사이에 제공되고 상기 채널의 상면 및 측벽 상으로 게이트 전극이 확장되는 구조의 핀형 MOS 트랜지스터가 개시되어 있다. 상기 핀형 MOS 트랜지스터에 의하면, 채널 핀의 양 측면 상에 게이트 전극이 형성되어 상기 양 측면으로부터 게이트 제어가 이루어짐으로써 단채널 효과(short-channel effect)를 감소시킬 수 있다. 그러나, 핀형 MOS 트랜지스터는 복수개의 채널 핀이 게이트의 폭 방향을 따라 평행하게 형성되기 때문에 채널 영역 및 소스/드레인 영역이 차지하는 면적이 커지게 되고, 채널 수가 늘어남에 따라 소스/드레인 접합 커패시턴스(junction capacitance)가 증가하는 문제가 있다.

DELTA 구조의 MOS 트랜지스터 예는 미합중국 특허공보 제4,996,574호 등에 개시되어 있다. DELTA 구조에서는 채널을 형성하는 액티브층이 일정 폭을 가지고 수직으로 돌출되도록 형성된다. 또한, 게이트 전극이 수직으로 돌출된 채널 영역을 감싸도록 형성된다. 따라서, 돌출된 부분의 높이가 채널의 폭을 이루고, 돌출된 부분의 폭이 채널층의 두께가 형성된다. 이렇게 형성된 채널에서는 돌출된 부분의 양면을 모두 이용할 수 있으므로, 채널의 폭이 두 배로 되는 효과를 얻을 수 있어 협채널 효과를 방지할 수 있다. 또한, 돌출된 부분의 폭을 줄일 경우, 양면에 형성되는 채널의 공핍층이 서로 겹치도록 만들어 채널 도전성을 증가시킬 수 있다.

그러나, 이러한 DELTA 구조의 MOS 트랜지스터를 벌크형 실리콘 기판에 구현하는 경우, 기판에 채널을 이루게 될 부분이 돌출되도록 기판을 가공하고 돌출된 부분을 산화 방지막으로 덮은 상태에서 기판 산화를 실시하여야 한다. 이때, 산화를 과도하게 실시하면 채널을 이루 돌출부와 기판 본체를 연결하는 부분이 산화 방지막으로 보호되지 않은 부분으로부터 측면 확산된 산소에 의해 산화됨으로써, 채널과 기판 본체가 격리된다. 이와 같이 과도한 산화에 의해 채널 격리가 이루어지면서 연결부쪽 채널의 두께가 좁아지고, 단결정층이 산화 과정에서 응력을 받아 손상을 입는 문제가 발생한다.

반면에, 이러한 DELTA 구조의 MOS 트랜지스터를 SOI(Silicon-On-Insulator)형 기판에 형성할 경우에는 SOI층을 좁을 폭을 갖도록 식각하여 채널 영역을 형성하므로 벌크형 기판을 사용할 때의 과도한 산화로 인한 문제가 없어진다. 그러나, SOI형 기판을 사용하면 채널의 폭이 SOI층의 두께에 의해 제한되는데, 완전 공핍 방식(fully depletion type)의 SOI형 기판은 SOI층의 두께가 수백 Å에 불과하므로 사용에 제한이 따르게 된다.

한편, GAA 구조의 MOS 트랜지스터 예는 미합중국 특허공보 제5,497,019호 등에 게시되어 있다. 상기 GAA 구조의 MOS 트랜지스터에서는, 통상적으로 SOI층으로 액티브 패턴을 형성하고 그 표면이 게이트 절연막으로 덮인 액티브 패턴의 채널 영역을 게이트 전극이 둘러싸도록 형성한다. 따라서, DELTA 구조에서 언급한 효과와 유사한 효과를 얻을 수 있다.

그러나, GAA 구조를 구현하기 위해서는 게이트 전극이 채널 영역에서 액티브 패턴을 둘러싸도록 형성하기 위해 액티브 패턴 아래쪽의 매몰 산화막을 등방성 식각의 언더 컷 현상을 이용하여 식각한다. 이때, 상기 SOI층이 그대로 채널 영역 및 소스/드레인 영역으로 이용되기 때문에, 이러한 등방성 식각 과정 동안 채널 영역의 하부뿐만 아니라 소스/드레인 영역의 하부도 상당 부분 제거된다. 따라서, 게이트 전극용 도전막을 증착할 때 채널 영역뿐만 아니라 소스/드레인 영역의 하부에도 게이트 전극이 형성됨으로써 기생 커패시턴스(parasitic capacitance)가 커지는 문제가 있다.

또한, 등방성 식각 과정에서 채널 영역의 하부가 수평 식각되어 후속 공정에서 게이트 전극으로 매립되어질 터널의 수평 길이(또는 폭)가 커지게 된다. 즉, 이 방법에 의하면 채널의 폭보다 작은 게이트 길이를 갖는 MOS 트랜지스터를 제조하는 것이 불가능해지고, 게이트 길이를 축소하는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 제1목적은 반도체 장치의 집적도 증가에 따른 단채널 효과 및 협채널 효과를 효과적으로 억제할 수 있는 게이트 구조물을 제공하는데 있다.

본 발명의 제2목적은 상술한 바와 같은 게이트 구조물을 갖는 반도체 장치를 제공하는데 있다.

본 발명의 제3목적은 상술한 바와 같은 게이트 구조물의 형성 방법을 제공하는데 있다.

본 발명의 제4목적은 상술한 바와 같은 반도체 장치의 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 제1 목적을 달성하기 위한 본 발명에 따르면, 게이트 구조물은, 기판 상에 형성되며 도전 물질로 이루어지는 게이트 전극과, 상기 게이트 전극의 측면을 감싸도록 형성된 게이트 절연막을 포함한다.

상기 제2 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 반도체 장치는, 기판 상에 형성되며 도전 물질로 이루어지는 게이트 전극 및 상기 게이트 전극의 측면을 감싸도록 형성된 게이트 절연막을 포함하는 게이트 구조물과, 상기 게이트 절연막의 측면을 감싸도록 형성된 채널 패턴과, 상기 채널 패턴의 하부로부터 연장된 제1도전 패턴과, 상기 채널 패턴의 상부로부터 연장된 제2도전 패턴을 포함한다.

상기 제2 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 반도체 장치는, 기판에 대하여 수직 방향으로 연장된 기둥(pillar) 형상을 갖는 게이트 전극 및 상기 도전 패턴의 측면 상에 형성된 게이트 절연막을 포함하는 게이트 구조물과, 내측면과 외측면을 갖는 실린더 형상을 갖고 상기 내측면이 상기 게이트 절연막의 외측면과 접하도록 배치되며 에피택셜 성장 공정을 통해 형성된 단결정 실리콘으로 이루어진 채널 패턴과, 상기 채널 패턴의 하부를 감싸며 상기 채널 패턴에 대하여 수직하는 제1방향으로 연장하는 불순물 도핑된 제1도전 패턴과, 상기 채널 패턴의 상부를 감싸며 상기 채널 패턴에 대하여 수직하는 제2방향으로 연장하는 불순물 도핑된 제2도전 패턴을 포함한다.

상기 제1도전 패턴과 제2도전 패턴은 MOS 전계 효과 트랜지스터의 소스와 드레인으로 기능하며, 불순물 도핑된 단결정 실리콘으로 이루어지는 것이 바람직하다. 상기 MOS 트랜지스터의 채널 영역은 상기 제1도전 패턴과 제2도전 패턴 사이의 채널 패턴에서 형성된다. 따라서, 상기 MOS 트랜지스터의 채널 길이는 상기 제1도전 패턴과 제2도전 패턴 사이의 거리에 따라 결정될 수 있으므로 단채널 효과에 의해 발생하는 문제점들에 대하여 효과적으로 대응할 수 있다. 또한, 상기 MOS 트랜지스터의 채널 폭은 상기 채널 패턴의 직경에 따라 결정될 수 있으므로 협채널 효과에 의해 발생하는 문제점들을 효과적으로 해결할 수 있다.

상기 제3 목적을 달성하기 위한 본 발명의 일 실시예에 따르면, 게이트 구조물 형성 방법은, 수직 방향으로 연장하며 상부가 개방된 환형 기둥 형태를 갖는 단결정 실리콘 패턴이 형성된 기판을 준비하는 단계와, 상기 단결정 실리콘 패턴의 내측면 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막의 내부를 채우는 게이트 전극을 형성하는 단계를 포함한다.

상기 제4목적 달성을 위한 본 발명의 다른 실시예에 따르면, 반도체 장치 형성 방법은, 기판 상에 제1도전 패턴을 형성하는 단계와, 상기 제1도전 패턴으로부터 수직 방향으로 이격된 제2도전 패턴을 형성하는 단계와, 상기 제1도전 패턴 및 상기 제2도전 패턴과 접하며, 내측면과 외측면을 갖는 채널 패턴을 형성하는 단계와, 상기 채널 패턴의 내측면 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막의 내부를 채우는 게이트 전극을 형성하는 단계를 포함한다.

상기 제4목적 달성을 위한 본 발명의 또 다른 실시예에 따르면, 반도체 장치 형성 방법은, 기판 상에 제1도전층을 형성하는 단계와, 제1도전 패턴을 형성하기 위해 상기 제1도전층을 패터닝하는 단계와, 상기 기판 및 상기 제1도전 패턴 상에 희생층을 형성하는 단계와, 상기 희생층 상에 제2도전층을 형성하는 단계와, 상기 제2도전층 및 상기 희생층을 통과하여 상기 제1도전 패턴과 접하며, 환형 기둥 형상을 갖는 채널 패턴을 형성하는 단계와, 상기 채널 패턴의 내측면 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막의 내부를 채우는 게이트 전극을 형성하는 단계와, 상기 채널 패턴과 접하는 제2도전 패턴을 형성하기 위해 상기 제2도전층을 패터닝하는 단계를 포함한다.

상술한 바에 의하면, 본 발명의 MOS 전계 효과 트랜지스터 반도체 장치는 채널 길이 및 폭을 적절하게 조절할 수 있으므로, 단채널 효과에 기인하는 펀치 스루(punch through), 채널 캐리어 이동도(carrier mobility) 등을 개선시킬 수 있으며, 협채널 효과에 기인하는 문턱 전압을 감소시킬 수 있다. 상기와 같은 단채널 효과 및 협채널 효과를 효율적으로 억제할 수 있으므로 MOS 트랜지스터의 동작 성능을 개선시킬 수 있다. 또한, 상기 제1도전 패턴 및 제2도전 패턴의 연장 방향들 사이의 각도를 다양하게 조절할 수 있으므로 상기 MOS 트랜지스터 반도체 장치를 포함하는 데이터 저장 또는 처리 장치의 레이아웃을 개선할 수 있다.

이하, 본 발명에 따른 바람직한 실시예들을 첨부된 도면을 참조하여 상세하게 설명하지만 본 발명이 하기 실시예들에 의해 제한되거나 한정되는 것은 아니다.

도 1a 내지 도 1i는 본 발명의 제1실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이고, 도 2는 도 1i에 도시된 게이트 구조물을 설명하기 위한 사시도이다.

도 1a를 참조하면, 실리콘 웨이퍼(silicon wafer, 100)와 같은 반도체 기판 상에 희생층(sacrificial layer, 102)을 형성한다. 상기 희생층(102)은 실리콘 게르마늄으로 이루어지는 것이 바람직하며, 화학 기상 증착 공정 또는 에피택셜 성장 공정을 통해 형성될 수 있다. 구체적으로, SiH₄ 가스와 같은 실리콘 소스 가스와, GeH₄ 가스와 같은 게르마늄 소스 가스 및 H₂ 가스와 같은 캐리어 가스를 이용하는 초고진공 화학 기상 증착(ultra high vacuum chemical vapor deposition; UVCVD) 공정 또는 저압 화학 기상 증착(low pressure chemical vapor deposition; LPCVD) 공정을 통해 형성될 수 있다. 또한, 상기 희생층(102)은 기체 원료 분자선 증착(gas source molecular beam epitaxy; GS-MBE) 공정을 통해서 형성될 수도 있다.

도 1b를 참조하면, 상기 희생층(102) 상에 버퍼 산화막(104) 및 캡핑층(106)을 순차적으로 형성한다. 상기 캡핑층(106)은 실리콘 질화물로 이루어질 수 있으며, SiH₂Cl₂ 가스, SiH₄ 가스, NH₃ 가스 등을 이용하는 LPCVD 공정 또는 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 공정을 통해 형성될 수 있다. 상기 버퍼 산화막(104)은 열산화 공정 또는 화학 기상 증착 공정을 통해 형성될 수 있다.

도 1c를 참조하면, 상기 캡핑층(106) 상에 상기 희생층(102)을 부분적으로 노출시키는 포토레지스트 패턴(108)을 통상의 포토 공정을 통해 형성하고, 상기 포토레지스트 패턴(108)을 식각 마스크로 하여 상기 캡핑층(106) 및 버퍼 산화막(104)을 식각하여 상기 희생층(102)을 노출시키는 제1개구부(110)를 형성한다. 예를 들면, 상기 제1개구부(110)는 상기 포토레지스트 패턴(108)을 식각 마스크로 사용하는 플라즈마 식각(plasma etching) 공정 또는 반응성 이온 식각(reactive ion etching) 공정 등을 통해 형성될 수 있다.

도 1d를 참조하면, 상기 포토레지스트 패턴(108)을 애싱 공정과 스트립 공정을 통해 제거하고, 상기 캡핑층(106)을 식각 마스크로 사용하여 상기 기판(100)을 노출시키는 제2개구부(112)를 형성하기 위해 상기 희생층(102)을 식각한다. 상기 제2개구부(112)를 형성하는 동안 상기 제2개구부(112)의 바닥면(112a)이 상기 기판(100)의 표면(100a)보다 낮게 위치하도록 상기 기판(100)의 일부도 함께 식각된다. 구체적으로, 상기 제2개구부(112)를 형성하기 위한 식각 공정은 식각 시간을 제어함으로써 상기 반도체 기판(100)의 표면 부위가 과식각되도록 하는 것이 바람직하다.

도 1e를 참조하면, 상기 제2개구부(112)의 내측면 상에 균일한 두께를 갖는 단결정 실리콘 패턴(114)을 형성한다. 상기 단결정 실리콘 패턴(114)은 상부가 개방된 실린더 형상을 가지며, 실리콘 소스 가스를 이용하는 선택적 에피택셜 성장 공

정을 통해 형성될 수 있다. 즉, 상기 선택적 에피택셜 성장 공정을 수행하는 동안 상기 단결정 실리콘 패턴(114)은 실리콘을 함유하는 기판(100) 및 희생층(102)으로부터 성장되기 때문에 상기 캡핑층(106)의 상부면 및 상기 제1개구부(110)의 내측면을 제외한 상기 제2개구부(112)의 내측면 상에만 형성된다. 상기 단결정 실리콘 패턴(114)의 두께는 약 100Å 내지 300Å 정도로 형성하는 것이 바람직하다.

도 1f를 참조하면, 상기 단결정 실리콘 패턴(114)의 내측면 및 상부면 상에 게이트 절연막(116)을 형성한다. 상기 게이트 절연막(116)은 실리콘 산화막 또는 실리콘 산질화막일 수 있다. 상기 게이트 절연막(116)은 O₂ 가스, NO 가스 또는 N₂O 가스를 이용하는 급속 열처리 공정(rapid thermal process; RTP)을 통해 형성될 수 있으며, 두께는 약 10Å 내지 70Å 정도로 형성되는 것이 바람직하다.

도 1g를 참조하면, 상기 게이트 절연막(116)의 내부 및 상기 제1개구부(110, 도 1f)의 내부를 채우는(filling) 도전층(118)을 형성한다. 상기 도전층(118)은 도핑된 폴리실리콘으로 이루어질 수 있다. 구체적으로, LPCVD 공정을 통해 폴리실리콘층을 형성하는 동안 인시튜 방법으로 불순물 도핑 공정을 동시에 수행함으로써 도핑된 폴리실리콘으로 이루어진 도전층(118)이 형성될 수 있다. 본 발명의 다른 실시예에 따르면, LPCVD 공정을 통해 상기 게이트 절연막(116)의 내부 및 상기 제1개구부(110)의 내부를 채우는 폴리실리콘층을 형성하고, 불순물 도핑 공정을 통해 상기 폴리실리콘층을 상기 도전층(118)으로 형성할 수 있다. 상기 불순물 도핑 공정은 통상적인 이온 주입(ion implantation) 공정 또는 불순물 확산(impurity diffusion) 공정일 수 있다.

본 발명의 다른 실시예에 따르면, 상기 도전층(118)은 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 코발트(Co), 몰리브덴(Mo), 니켈(Ni), 루테튬(Ru) 등과 같은 금속으로 이루어질 수 있다. 상기와 같이 금속으로 이루어진 도전층(118)은 금속 전구체를 이용하는 금속 유기 화학 기상 증착(metal organic chemical vapor deposition; MOCVD) 공정, 물리 기상 증착(physical vapor deposition; PVD) 공정 또는 원자층 증착(atomic layer deposition; ALD) 공정을 통해 형성될 수 있다.

도 1h를 참조하면, 상기 도전층(118, 도 1g)은 에치백(etch back) 공정 또는 화학적 기계적 연마(chemical mechanical polishing; CMP) 공정과 같은 평탄화 공정을 통해 게이트 전극(120)으로 형성된다. 상기 평탄화 공정은 상기 캡핑층(106)의 상부면이 노출되도록 상기 도전층(118)의 상부를 제거하기 위해 수행된다.

도 1i 및 도 2를 참조하면, 상기 캡핑층(106, 도 1h), 버퍼 산화막(104, 도 1h) 및 희생층(102, 도 1h)을 통상의 건식 식각 공정 및 습식 식각 공정을 통해 제거한다. 여기서, 상기 캡핑층(106) 및 버퍼 산화막(104)은 건식 식각 공정에 의해 제거될 수 있으며, 상기 희생층(102)은 실리콘 게르마늄과 단결정 실리콘에 대하여 약 50:1 이상의 식각 선택비를 갖는 에천트를 이용하는 습식 식각 공정에 의해 제거될 수 있다.

도 1i 및 도 2에 도시된 바와 같은 게이트 구조물(10)은 전체적으로 원형 기둥(pillar) 형상을 가지며, 게이트 구조물(10)의 하부는 반도체 기판(100)의 표면 부위에 매립되어 있다. 또한, 상기 게이트 구조물(10)은 상기 반도체 기판(100)으로부터 수직하는 방향으로 형성된 기둥 형상의 게이트 전극(120)과, 상기 게이트 전극(120)의 측면을 감싸도록 형성된 게이트 절연막(116)을 포함한다.

구체적으로, 상기 게이트 구조물(10)의 게이트 전극(120)은 제1직경을 갖는 하부의 제1기둥(120a)과, 상기 제1기둥(120a)의 상부면 상에 형성되며 상기 제1직경(120a)보다 큰 제2직경을 갖는 상부의 제2기둥(120b)을 포함한다. 상기 제1기둥(120a)과 제2기둥(120b)은 도전층 증착 공정을 통해 일체로 형성된다. 상기 게이트 구조물(10)의 게이트 절연막(116)은 상기 제1기둥(120a)의 측면과 하부면 및 상기 제2기둥(120b)의 하부면 상에 형성되어 있다.

상기와 같은 게이트 구조물(10)을 갖는 MOS 트랜지스터(미도시)의 채널 영역은 상기 게이트 절연막(116)과 접하는 단결정 실리콘 패턴(114)에 형성될 수 있다. 구체적으로, 상기 MOS 트랜지스터의 소스/드레인 영역들이 상기 게이트 구조물(10)의 상부 및 하부에 각각 연결되는 경우, 상기 MOS 트랜지스터의 채널 영역은 환형 기둥(pillar ring) 또는 원형 튜브(circular tube) 형상을 갖는 단결정 실리콘 패턴(114)의 중앙 부위에 형성된다.

따라서, 상기 MOS 트랜지스터의 채널 길이는 게이트 절연막(116)의 높이에 의해 결정될 수 있으며, 상기 MOS 트랜지스터의 채널 폭은 상기 게이트 절연막(116)의 외경에 의해 결정될 수 있다. 바꾸어 말하면, 상기 MOS 트랜지스터의 채널 길이는 상기 희생층(102)의 두께에 따라 결정될 수 있으며, MOS 트랜지스터의 채널 폭은 상기 제2개구부(112, 도 1f)의 내경과 상기 단결정 실리콘 패턴(114)의 두께에 따라 결정될 수 있다.

도 3a 내지 도 3e는 본 발명의 제2실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이고, 도 4는 도 3e에 도시된 게이트 구조물을 설명하기 위한 사시도이다.

도 3a를 참조하면, 반도체 기판(100) 상에 형성된 희생층(202)과 버퍼 산화막(204) 및 캡핑층(206)을 통과하는 개구부(208)를 형성하고, 상기 개구부(208)를 한정하는 희생층(102)의 내측면과 반도체 기판(100)의 표면 부위 상에 단결정 실리콘 패턴(210)을 형성한다. 상기 단결정 실리콘 패턴(210) 및 개구부(208)는 도 1a 내지 도 1e를 참조하여 기 설명된 바와 유사한 방법으로 형성될 수 있다.

도 3b를 참조하면, 상기 단결정 실리콘 패턴(210)이 형성된 개구부(208)의 내측면 및 상기 캡핑층(206) 상에 게이트 절연막(212)을 형성한다. 상기 게이트 절연막(212)은 실리콘 산화막, 실리콘 산질화막, 금속 산화막 또는 이들의 복합막일 수 있다. 상기 실리콘 산화막 및 실리콘 산질화막은 LPCVD 공정을 통해 형성될 수 있으며, 상기 금속 산화막은 MOCVD 공정 또는 ALD 공정을 통해 형성될 수 있다. 상기 금속 산화막의 예로는, Ta₂O₅막, TaON막, TiO₂막, Al₂O₃막, Y₂O₃막, ZrO₂막, HfO₂막, BaTiO₃막, SrTiO₃막 등이 있다.

도 3c를 참조하면, 상기 개구부(208, 도 3b)를 채우는 도전층(214)을 상기 게이트 절연막(212) 상에 형성한다. 상기 도전층(214)은 도핑된 폴리실리콘층 또는 금속층일 수 있다. 상기 도핑된 폴리실리콘층은 LPCVD 공정 및 불순물 도핑 공정을 통해 형성될 수 있으며, 상기 금속층은 MOCVD 공정 또는 ALD 공정을 통해 형성될 수 있다. 상기 금속층의 예로는 텅스텐층, 티타늄층, 탄탈층, 코발트층, 몰리브덴층, 니켈층, 루테튬층 등이 있다.

도 3d를 참조하면, 상기 도전층(214, 도 3c)을 게이트 전극(216)으로 형성하기 위해 상기 도전층(214)의 상부를 제거한다. 상기 도전층(214)의 상부는 에치백 공정 또는 화학적 기계적 연마 공정과 같은 평탄화 공정을 통해 제거될 수 있으며, 상기 평탄화 공정은 상기 캡핑층(206)의 상부면이 노출되도록 도전층(214)의 상부와 상기 캡핑층(206) 상에 형성된 게이트 절연막(212)의 일부를 제거하기 위해 수행된다.

도 3e 및 도 4를 참조하면, 상기 캡핑층(206, 도 3d), 버퍼 산화막(204, 도 3d) 및 희생층(202, 도 3d)을 통상의 건식 식각 공정 및 습식 식각 공정을 통해 제거한다. 상기 캡핑층(206) 및 버퍼 산화막(204)은 건식 식각 공정에 의해 제거될 수 있으며, 상기 희생층(202)은 실리콘 게르마늄과 단결정 실리콘에 대하여 약 50:1 이상의 식각 선택비를 갖는 에천트를 이용하는 습식 식각 공정에 의해 제거될 수 있다.

도 3e 및 도 4에 도시된 바와 같은 게이트 구조물(20)은 전체적으로 원형 기둥 형상을 가지며, 게이트 구조물(20)의 하부는 반도체 기판(100)의 표면 부위에 매립되어 있다. 상기 게이트 구조물(20)의 게이트 전극(216)은 제1직경을 갖는 하부의 제1기둥(216a)과, 상기 제1기둥(216a)의 상부면 상에 형성되며 상기 제1직경보다 큰 제2직경을 갖는 상부의 제2기둥(216b)을 포함한다. 상기 제1기둥(216a)과 제2기둥(216b)은 도전층 증착 공정을 통해 일체로 형성된다. 상기 게이트 구조물(20)의 게이트 절연막(212)은 상기 게이트 전극(216)의 상부면을 제외한 나머지 표면들에 전체적으로 형성되어 있다.

도 5a 내지 도 5d를 본 발명의 제3실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 5a를 참조하면, 반도체 기판(100) 상에 형성된 희생층(302)과 버퍼 산화막(304) 및 캡핑층(306)을 통과하는 개구부(308)를 형성하고, 상기 개구부(308)를 한정하는 희생층(302)의 내측면과 반도체 기판(100)의 표면 부위 상에 단결정 실리콘 패턴(310)을 형성한다. 상기 단결정 실리콘 패턴(310) 상에 게이트 절연막(312)을 형성하고, 상기 개구부(308)를 채우는 게이트 전극(314)을 형성한다. 상기 단결정 실리콘 패턴(310), 게이트 절연막(312) 및 게이트 전극(314)은 도 1a 내지 도 1h 또는 도 3a 내지 도 3d를 참조하여 기 설명된 방법들과 유사한 방법으로 형성될 수 있다.

도 5b를 참조하면, 상기 캡핑층(306) 및 게이트 전극(314) 상에 금속층(316)을 형성한다. 상기 금속층(316)은 MOCVD 공정 또는 ALD 공정을 통해 형성될 수 있으며, 상기 금속층(316)은 텅스텐, 티타늄, 탄탈, 코발트, 니켈, 루테튬 등으로 이루어질 수 있다.

도 5c를 참조하면, 상기 금속층(316)이 형성된 반도체 기판(100)을 열처리함으로써 상기 금속층(316)과 도핑된 폴리실리콘으로 이루어지는 게이트 전극(314)을 반응시켜 상기 게이트 전극(314)의 상부면 상에 금속 실리사이드층(318)을 형성한다.

도 5d를 참조하면, 상기 금속층(316, 도 5c), 캡핑층(306, 도 5c), 버퍼 산화막(304, 도 5c) 및 희생층(302, 도 5c)을 통상의 건식 식각 공정 및 습식 식각 공정을 통해 제거한다. 상기 금속층(316)과 금속 실리사이드층(318)에 대하여 식각 선택비를 갖는 에천트를 이용하는 습식 식각 공정을 통해 상기 금속층(316)을 제거할 수 있으며, 통상의 건식 식각 공정을 통해 상기 캡핑층(306) 및 버퍼 산화막(304)을 제거할 수 있다. 또한, 실리콘 게르마늄과 단결정 실리콘에 대하여 약 50:1 이상의 식각 선택비를 갖는 에천트를 이용하는 습식 식각 공정을 통해 상기 희생층(302)을 제거할 수 있다.

도 6a 내지 도 6f를 본 발명의 제4실시예에 따른 게이트 구조물 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 6a를 참조하면, 반도체 기판(100) 상에 형성된 희생층(402)과 버퍼 산화막(404) 및 캡핑층(406)을 통과하는 개구부(408)를 형성하고, 상기 개구부(408)의 내측면 상에 단결정 실리콘 패턴(410) 및 게이트 절연막(412)을 형성한다. 상기 단결정 실리콘 패턴(410) 및 게이트 절연막(412)은 도 1a 내지 도 1f 또는 도 3a 및 도 3b를 참조하여 기 설명된 방법들과 유사한 방법으로 형성될 수 있다.

도 6b를 참조하면, 상기 게이트 절연막(412)이 형성된 개구부(408)의 내측면과 상기 캡핑층(406) 상에 균일한 두께를 갖는 도전층(414)을 형성한다. 상기 도전층(414)은 도핑된 폴리실리콘으로 이루어지는 것이 바람직하며, 상기 도전층(414)은 LPCVD 공정 및 불순물 도핑 공정을 통해 형성될 수 있다.

도 6c를 참조하면, 상기 도전층(414)에 의해 한정되는 개구부(408, 도 6b)의 내부를 채우는 금속층(416)을 상기 도전층(414) 상에 형성한다. 상기 금속층(416)은 MOCVD 공정 또는 ALD 공정을 통해 형성될 수 있으며, 텅스텐, 티타늄, 탄탈, 코발트, 니켈, 루테튬 등으로 이루어질 수 있다.

도 6d를 참조하면, 열처리 공정을 이용하여 상기 금속층(416, 도 6c)을 금속 실리사이드층(418)으로 형성한다. 상기 금속층(416)은 상기 열처리 공정 동안에 도핑된 폴리실리콘과 반응하여 금속 실리사이드층(418)으로 변환된다.

도 6e를 참조하면, 게이트 전극(420)을 형성하기 위해 화학적 기계적 연마 공정 또는 에치백 공정과 같은 평탄화 공정을 통해 금속 실리사이드층(418, 도 6d)의 상부 및 도전층(414, 도 6d)의 상부를 제거한다. 이때, 상기 평탄화 공정은 캡핑층(406)의 상부면이 노출되도록 수행되는 것이 바람직하다.

도 6f를 참조하면, 통상의 건식 식각 공정 및 습식 식각 공정을 통해 상기 캡핑층(406, 도 6e), 버퍼 산화막(404, 도 6e) 및 희생층(402, 도 6e)을 제거한다. 이때, 상기 습식 식각 공정에는 실리콘 게르마늄과 단결정 실리콘에 대하여 약 50:1 이상의 식각 선택비를 갖는 에천트가 사용될 수 있다.

상술한 바와 같이 형성된 게이트 구조물(40)은 게이트 전극(420)과 게이트 절연막(412)을 포함한다. 구체적으로, 상기 게이트 전극(420)은 제1외경을 갖는 하부의 제1실린더(422a) 부위와 상기 제1외경보다 큰 제2외경을 갖는 상부의 제2실린더(422b) 부위로 구성되는 도전 패턴(422)과 및 상기 도전 패턴(422)의 내부를 채우는 금속 실리사이드 플러그(424)를 포함한다. 상기 게이트 절연막(412)은 상기 제1실린더(422a) 부위의 측면과 하부면 및 상기 제2실린더(422b) 부위의 하부면 상에 형성된다. 본 발명의 다른 실시예에 따르면, 상기 게이트 절연막(412)은 상기 게이트 전극(420)의 상부면을 제외한 나머지 표면들 상에 전체적으로 형성될 수도 있다.

상기 게이트 절연막(412)은 실리콘 산화물, 실리콘 산질화물 또는 금속 산화물로 이루어질 수 있으며, 상기 금속 산화물의 예로는 Ta_2O_5 , $TaON$, TiO_2 , Al_2O_3 , Y_2O_3 , ZrO_2 , HfO_2 , $BaTiO_3$, $SrTiO_3$ 등이 있다.

도 7a 및 도 7b는 게이트 구조물의 다른 예를 설명하기 위한 개략적인 단면도들이다.

도 7a를 참조하면, 제1실시예에 따른 게이트 구조물 형성 방법에서, 상기 평탄화 공정은 상기 희생층(102, 도 1g 및 도 1h 참조)이 노출되도록 수행될 수 있다. 즉, 상기 평탄화 공정을 수행하는 동안 도전층(118)의 상부와 캡핑층(106) 및 버퍼 산화막(104)이 제거되는 경우, 도 7에 도시된 바와 같이, 게이트 구조물(12)은 기둥 형상을 갖는 게이트 전극(14)과, 상기 게이트 전극(14)의 측면과 접하며 상기 게이트 전극(14)을 감싸도록 형성된 게이트 절연막(16)을 포함한다. 이때, 상기 희생층(102)은 습식 식각 공정을 통해 제거된다.

도 7b를 참조하면, 제4실시예에 따른 게이트 구조물 형성 방법에서, 상기 평탄화 공정은 상기 희생층(402, 도 6d 및 도 6e 참조)이 노출되도록 수행될 수 있다. 상기 평탄화 공정을 통해 금속 실리사이드층(418)의 상부, 도핑된 폴리실리콘으로 이

루어지는 도전층(414)의 상부, 캡핑층(406) 및 버퍼 산화막(404)이 제거되는 경우, 게이트 구조물(42)의 게이트 전극(44)은 실린더 형상을 갖고 도핑된 폴리실리콘으로 이루어지는 도전 패턴(44a)과, 기둥 형상을 갖고 상기 도전 패턴(44a)의 내부를 채우는 금속 실리콘사이드 플러그(44b)를 포함하며, 게이트 절연막(46)은 도전 패턴(44)의 측면을 감싸도록 상기 도전 패턴(44)의 측면 상에 형성된다.

도 8a 내지 도 8z는 본 발명의 제5실시예에 따른 MOS 트랜지스터와 같은 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 8a를 참조하면, 반도체 기판(100) 상에 제1회생층(502)을 형성한다. 상기 제1회생층(502)은 실리콘 게르마늄으로 이루어질 수 있으며, 통상의 에피택셜 성장 공정, 화학 기상 증착 공정 또는 초고진공 화학 기상 증착 공정을 통해 형성될 수 있다. 상기 제1회생층(502)은 약 400Å 내지 600Å 정도로 형성될 수 있으며, 바람직하게는 약 500Å 정도로 형성될 수 있다. 여기서, 상기 제1회생층(502)을 형성하기 전에 반도체 기판(100)의 표면 부위에 불순물 도핑 영역(미도시)을 형성할 수 있다. 즉, 이온 주입 공정 또는 확산 공정을 통해 N 타입 웰(well) 또는 P 타입 웰을 형성할 수 있다.

상기 제1회생층(502)을 형성하기 위한 공정 가스는 실리콘 소스 가스와, 게르마늄 소스 가스 및 캐리어 가스를 포함한다. 상기 실리콘 소스 가스의 예로는 실란(SiH_4), 디실란(Si_2H_6), 트리실란(Si_3H_8), 모노클로로실란(SiH_3Cl), 디클로로실란(SiH_2Cl_2), 트리클로로실란(SiHCl_3) 등이 있다. 상기 게르마늄 소스 가스의 예로는 저메인(GeH_4), 디저메인(Ge_2H_6), 모노클로로저메인(GeH_3Cl), 디클로로저메인($\text{Ge}_2\text{H}_2\text{Cl}_2$), 트리클로로저메인(Ge_3HCl_3) 등이 있다. 상기 캐리어 가스의 예로는 염소(Cl_2), 수소(H_2), 염화수소(HCl) 등이 있다.

도 8b를 참조하면, 상기 제1회생층(502) 상에 SiH_4 가스, $\text{Si}_2\text{H}_2\text{Cl}_2$ 가스와 같은 실리콘 소스 가스와 수소(H_2) 가스, 염소(Cl_2) 가스와 같은 반응 가스를 포함하는 공정 가스를 이용하는 통상의 에피택셜 성장 공정, 화학 기상 증착 공정 또는 초고진공 화학 기상 증착 공정을 통해 제1단결정 실리콘층(504)을 형성한다. 상기 제1단결정 실리콘층(504)은 약 400Å 내지 600Å 정도로 형성될 수 있으며, 바람직하게는 약 500Å 정도로 형성될 수 있다. 그러나, 상기 제1단결정 실리콘층(504)의 두께는 다양하게 변경될 수 있으며, 본 발명의 범위를 한정하지는 않는다.

도 8c를 참조하면, 상기 제1단결정 실리콘층(504, 도 8b)을 제1도전층(506)으로 형성하기 위해 상기 제1단결정 실리콘층(504)을 N 타입 불순물 또는 P 타입 불순물로 도핑한다. 상기 제1단결정 실리콘층(504)에 대한 불순물 도핑 공정은 이온 주입 공정 또는 확산 공정일 수 있다.

이와 대조적으로, 상기 제1도전층(506)은 SiH_4 가스와 같은 실리콘 소스 가스와 상기 제1단결정 실리콘층(504)을 인시튜 도핑하기 위한 도펀트 소스를 포함하는 공정 가스를 이용하는 에피택셜 성장 공정 또는 화학 기상 증착 공정을 통해 형성될 수도 있다. 상기 도펀트 소스 가스로는 포스핀(PH_3), 아신(AsH_3) 등과 같은 N 타입 도핑 가스 및 디보란(B_2H_6)과 같은 P 타입 도핑 가스가 사용될 수 있다.

도 8d를 참조하면, 제1도전 패턴(508)을 형성하기 위해 통상의 건식 식각 공정(예를 들면, 플라즈마 식각 공정, 반응성 이온 식각 공정 등)을 통해 상기 제1도전층(506, 도 8c)을 패터닝한다. 도시되지는 않았으나, 상기 건식 식각 공정에는 포토레지스트 패턴(미도시)이 식각 마스크로써 사용될 수 있으며, 상기 포토레지스트 패턴은 통상의 포토리소그래피 공정을 통해 상기 제1도전층(506) 상에 형성되며, 애싱 공정 또는 스트립 공정을 통해 제거된다.

도 8e를 참조하면, 상기 제1도전 패턴(508) 및 상기 제1회생층(502) 상에 제2회생층(510)을 형성한다. 상기 제2회생층(510)은 실리콘 소스 가스와 게르마늄 소스 가스 및 캐리어 가스를 이용하는 통상의 에피택셜 성장 공정, CVD 공정 또는 UVCVD 공정을 통해 형성되며, 실리콘 게르마늄으로 이루어진다. 상기 제2회생층(510)은 상기 제1도전 패턴(508)의 두께와 실질적으로 같거나 상기 제1도전 패턴(508)보다 두껍게 형성되는 것이 바람직하다.

도 8f를 참조하면, 상기 제2회생층(510)을 평탄화시키기 위한 평탄화 공정을 수행한다. 상기 평탄화 공정으로는 CMP 공정이 채용될 수 있으며, 상기 평탄화 공정은 상기 제1도전 패턴(508)의 상부면이 노출되도록 수행된다.

한편, 도시되지는 않았으나, 상기 제1단결정 실리콘층(504, 도 8b) 상에는 제1버퍼 산화막이 더 형성될 수 있으며, 상기 제1버퍼 산화막은 상기 제1단결정 실리콘층(504)에 대한 도핑 공정 후에 제거될 수 있으며, 또한, 상기 제2회생층(510)에 대한 평탄화 공정을 수행하는 동안 제거될 수도 있다.

도 8g를 참조하면, 상기 제1도전 패턴(508) 및 제2회생층(510) 상에 통상의 에피택셜 성장 공정, CVD 공정 또는 UVCVD 공정을 통해 제3회생층(512)을 형성한다. 상기 제3회생층(512)은 실리콘 게르마늄으로 이루어지며, 상기 제3회생층(512)을 형성하기 위한 공정 가스는 실리콘 소스 가스와 게르마늄 소스 가스 및 캐리어 가스를 포함한다. 상기 제3회생층(512)의 두께는 약 1000Å 정도로 형성하는 것이 바람직하다. 그러나, 제3회생층(512)의 두께는 목적하는 MOS 트랜지스터의 채널 길이에 따라 다양하게 변경될 수 있다.

도 8h를 참조하면, 상기 제3회생층(512) 상에 제2단결정 실리콘층(514) 및 제2버퍼 산화막(516)을 형성한다. 상기 제2단결정 실리콘층(514)은 SiH_4 가스, $\text{Si}_2\text{H}_2\text{Cl}_2$ 가스와 같은 실리콘 소스 가스와 수소(H_2) 가스, 염소(Cl_2) 가스와 같은 반응 가스를 포함하는 공정 가스를 이용하는 통상의 에피택셜 성장 공정, 화학 기상 증착 공정 또는 초고진공 화학 기상 증착 공정을 통해 형성될 수 있다. 상기 제2단결정 실리콘층(514)은 약 400Å 내지 600Å 정도의 두께로 형성될 수 있으며, 목적하는 MOS 트랜지스터의 특성에 따라 다양하게 변경될 수 있으므로 상기 제2단결정 실리콘층(514)의 두께가 본 발명의 범위를 한정하지는 않는다.

도 8i를 참조하면, 상기 제2단결정 실리콘층(514, 도 8h)을 제2도전층(518)으로 형성하기 위해 상기 제2단결정 실리콘층(514)을 N 타입 불순물 또는 P 타입 불순물로 도핑한다. 상기 제2단결정 실리콘층(514)에 대한 불순물 도핑 공정은 이온 주입 공정 또는 확산 공정일 수 있다.

이와 대조적으로, 상기 제2도전층(518)은 실리콘 소스 가스와 반응 가스 및 상기 제2단결정 실리콘층(514)을 인시튜 도핑하기 위한 도펀트 소스를 포함하는 공정 가스를 이용하는 에피택셜 성장 공정 또는 화학 기상 증착 공정을 통해 형성될 수도 있다. 상기 도펀트 소스 가스로는 PH_3 가스, AsH_3 가스 등과 같은 N 타입 도핑 가스 및 B_2H_6 가스와 같은 P 타입 도핑 가스가 사용될 수 있다.

도 8j를 참조하면, 제2도전 패턴(520)을 형성하기 위해 통상의 건식 식각 공정(예를 들면, 플라즈마 식각 공정, 반응성 이온 식각 공정 등)을 통해 상기 제2버퍼 산화막(516)과 제2도전층(518, 도 8i)을 패터닝한다. 도시되지는 않았으나, 상기 건식 식각 공정에는 포토레지스트 패턴(미도시)이 식각 마스크로써 사용될 수 있으며, 상기 포토레지스트 패턴은 통상의 포토리소그래피 공정을 통해 상기 버퍼 산화막(516) 상에 형성되며, 제2도전 패턴(520)이 형성된 후 애싱 공정 또는 스트립 공정을 통해 제거된다. 이때, 상기 제2도전 패턴(520)은 상기 제1도전 패턴(508)과 부분적으로 오버랩되도록 형성되는 것이 바람직하다. 그러나, 상기 제2버퍼 산화막(516)은 상기 제2단결정 실리콘층(514, 도 8h)에 대한 도핑 공정을 수행한 후 통상의 식각 공정에 의해 제거될 수도 있다.

도 8k를 참조하면, 상기 제3회생층(512) 및 상기 제2버퍼 산화막(516) 상에 캡핑층(522)을 형성한다. 상기 캡핑층(522)은 실리콘 질화물로 이루어질 수 있으며, SiH_2Cl_2 가스, SiH_4 가스, NH_3 가스를 이용하는 LPCVD 공정 또는 PECVD 공정을 통해 형성될 수 있다.

도 8l을 참조하면, 상기 캡핑층(522)을 평탄화하기 위해 화학적 연마 공정 또는 에치백 공정과 같은 평탄화 공정을 수행한다.

도 8m을 참조하면, 상기 제2도전 패턴(520)을 노출시키는 제1개구부(524)를 형성하기 위해 평탄화된 캡핑층(522) 및 제2버퍼 산화막(516)을 부분적으로 식각한다. 상기 제1개구부(524)는 상기 캡핑층(522) 상에 상기 포토레지스트 패턴(미도시)을 통상의 포토리소그래피 공정을 통해 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하는 통상의 이방성 식각 공정(예를 들면, 플라즈마 식각 공정)을 통해 형성된다. 상기 제1개구부(524)는 상기 제1도전 패턴(508)과 오버랩된 상기 제2도전 패턴(520)의 일부분을 노출시키도록 형성되는 것이 바람직하다. 상기 포토레지스트 패턴은 애싱 공정 또는 스트립 공정을 통해 제거된다.

도 8n을 참조하면, 상기 제1개구부(524)를 갖는 캡핑층(522)을 식각 마스크로 사용하는 통상의 이방성 식각 공정을 통해 상기 반도체 기판(100)의 표면 부위를 노출시키는 제2개구부(526)를 형성한다. 상기 제2개구부(526)는 상기 제2도전 패턴(520), 제3회생층(512), 제1도전 패턴(508) 및 제1회생층(502)을 통해 형성되며, 상기 제2개구부(526)를 형성하는데 소요되는 식각 시간은 상기 반도체 기판(100)의 표면 부위를 과식각하도록 제어되는 것이 바람직하다. 즉, 상기 제2개구부(526)의 바닥면(526a)은 과식각에 의해 상기 반도체 기판(100)의 표면(100a)보다 낮게 형성되는 것이 바람직하다.

도 8o를 참조하면, 상기 제2개구부(526)를 한정하는 표면들 상에 단결정 실리콘으로 이루어지는 채널 패턴(528)을 형성한다. 상기 채널 패턴(528)은 SiH_4 가스, $\text{Si}_2\text{H}_2\text{Cl}_2$ 가스와 같은 실리콘 소스 가스와 수소(H_2) 가스, 염소(Cl_2) 가스와 같은 반응 가스를 포함하는 공정 가스를 이용하는 통상의 에피택셜 성장 공정, 화학 기상 증착 공정 또는 초고진공 화학 기상 증착 공정을 통해 형성될 수 있다. 구체적으로, 상기 채널 패턴(528)은 상기 제2개구부(526)의 내부에 노출된 반도체 기판(100)의 표면 부위, 제1회생층(502), 제1도전 패턴(508), 제3회생층(512) 및 제2도전 패턴(520) 상에 균일하게 형성되는 것이 바람직하다.

상기 채널 패턴(528)의 두께는 약 100Å 내지 300Å 정도의 두께로 형성될 수 있으며, 바람직하게는 약 150Å 내지 200Å 정도의 두께로 형성될 수 있다. 그러나, 채널 패턴(528)의 두께는 목적하는 MOS 트랜지스터의 특성에 따라 다양하게 변경될 수 있으므로 상기 채널 패턴(528)의 두께가 본 발명의 범위를 한정하지는 않는다.

한편, 상기 채널 패턴(528)을 형성하기 위한 공정 가스에는 상기 채널 패턴(528)을 인시튜 방법으로 불순물 도핑하기 위한 N 타입 도핑 가스 또는 P 타입 도핑 가스가 첨가될 수 있다.

도 8p를 참조하면, 상기 채널 패턴(528)의 표면들 상에 게이트 절연막(530)을 형성한다. 상기 게이트 절연막(530)은 실리콘 산화물 또는 실리콘 산질화물로 이루어질 수 있으며, O_2 가스, NO 가스 또는 N_2O 가스를 이용하는 급속 열처리 공정(rapid thermal process; RTP)을 통해 형성될 수 있다. 상기 게이트 절연막(530)의 두께는 약 10Å 내지 70Å 정도로 형성되는 것이 바람직하다.

도 8q를 참조하면, 상기 게이트 절연막(530)의 내부 및 상기 제1개구부(524, 도 8p)의 내부를 채우는(filling) 제3도전층(532)을 형성한다. 상기 제3도전층(532)은 도핑된 폴리실리콘으로 이루어질 수 있다. 구체적으로, LPCVD 공정을 통해 폴리실리콘층을 형성하는 동안 인시튜 방법으로 불순물 도핑 공정을 동시에 수행함으로써 도핑된 폴리실리콘으로 이루어진 제3도전층(532)이 형성될 수 있다. 본 발명의 다른 실시예에 따르면, LPCVD 공정을 통해 상기 게이트 절연막(530)의 내부 및 상기 제1개구부(524)의 내부를 채우는 폴리실리콘층을 형성하고, 불순물 도핑 공정을 통해 상기 폴리실리콘층을 상기 제3도전층(532)으로 형성할 수 있다. 상기 불순물 도핑 공정은 통상적인 이온 주입 공정 또는 불순물 확산 공정일 수 있다.

또한, 상기 제3도전층(532)은 텅스텐, 티타늄, 탄탈륨, 코발트, 몰리브덴, 니켈, 루테튬 등과 같은 금속으로 이루어질 수 있다. 상기와 같이 금속으로 이루어진 제3도전층(532)은 금속 전구체를 이용하는 MOCVD 공정, PVD 공정 또는 ALD 공정을 통해 형성될 수 있다.

상기 제3도전층(532)의 재질은 목적하는 MOS 트랜지스터의 게이트 전극이 갖는 일함수(work function)에 따라 다양하게 변경될 수 있다. 즉, 상기 MOS 트랜지스터의 문턱 전압(V_{th})은 상기 게이트 전극의 일함수에 따라 변화되므로, 상기 제3도전층(532)의 재질은 상기 목적하는 MOS 트랜지스터의 동작 특성을 고려하여 적절하게 선택될 수 있다.

상기 게이트 전극이 도핑된 폴리실리콘으로 이루어지는 경우, 상기 게이트 전극의 일함수는 상기 폴리실리콘층에 주입되는 불순물의 농도에 의해 변화된다. 따라서, 상기 불순물 도핑 공정을 수행하는 동안 상기 불순물의 농도를 적절하게 조절함으로써 상기 게이트 전극의 일함수를 조절할 수 있다.

또한, 상기 게이트 전극이 금속으로 이루어지는 경우, 이온 주입 공정을 통해 질소 또는 아르곤을 주입함으로써 게이트 전극의 일함수를 조절할 수 있다. 통상적으로, 게이트 전극의 일함수는 질소의 농도에 비례하여 증가한다.

한편, 상기 게이트 전극의 일함수를 조절하기 위해 수행되는 이온 주입 공정은 후속하는 제3도전층(532)에 대한 평탄화 공정 이후에 상기 캡핑층(522)을 이온 주입 마스크로 사용하여 수행될 수도 있다.

도 8r을 참조하면, 상기 제3도전층(532, 도 8q)은 에치백(etch back) 공정 또는 화학적 기계적 연마 공정과 같은 평탄화 공정을 통해 게이트 전극(534)으로 형성된다. 상기 평탄화 공정은 상기 캡핑층(522)의 상부면이 노출되도록 상기 제3도전층(532)의 상부를 제거하기 위해 수행된다.

도 8s를 참조하면, 상기 게이트 전극(534) 및 캡핑층(522) 상에 상기 제2도전 패턴(520)과 대응하는 하드 마스크(536)를 형성한다. 상기 하드 마스크(536)는 상기 게이트 전극(534)과 캡핑층(522) 상에 하드 마스크층(미도시)과 상기 제2도전 패턴(520)과 대응하는 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 하드

마스크층을 이방성 식각함으로써 형성될 수 있다. 상기 하드 마스크층은 실리콘 질화물 또는 실리콘 산화물로 이루어질 수 있으며, 통상의 화학 기상 증착 공정, LPCVD 공정 또는 PECVD 공정을 통해 형성될 수 있고, 상기 포토레지스트 패턴은 통상의 포토 공정을 통해 형성될 수 있다.

도 8t를 참조하면, 상기 하드 마스크(536)를 식각 마스크로 사용하는 통상의 이방성 식각 공정을 통해 상기 캡핑층(522)을 식각한다. 상기 캡핑층(522)에 대한 식각 공정은 상기 실리콘 게르마늄으로 이루어진 제3회생층(512)을 노출시키기 위해 수행된다. 상기 캡핑층(522)에 대한 식각 공정 시간은 상기 제3회생층(512)을 과식각하기 위해 적절하게 조절될 수 있다.

도 8u를 참조하면, 상기 제1 내지 제3회생층(502, 510, 512, 도 8t)을 습식 식각 방법으로 제거한다. 상기 제1 내지 제3회생층(502, 510, 512)의 식각 공정에는 실리콘 게르마늄과 단결정 실리콘에 대하여 약 50:1 이상의 식각 선택비를 갖는 에천트가 사용될 수 있다. 여기서, 상기 하드 마스크(536)와 캡핑층(522)은 게이트 전극(534)을 상기 에천트로부터 보호하는 보호층으로 사용된다.

도 8v를 참조하면, 상기 제1 내지 제3회생층(502, 510, 512, 도 8t)이 제거됨으로써 형성된 공간을 채우는 층간 절연층(538)을 형성한다. 상기 층간 절연층(538)은 SOG(spin on glass) 또는 HDP(high density plasma) 산화물로 이루어질 수 있다. 상기 층간 절연층(538)은 도 8u에 도시된 MOS 트랜지스터 구조물이 완전히 매몰되도록 형성되는 것이 바람직하다.

도 8w를 참조하면, 상기 층간 절연층(538)의 상부 및 하드 마스크(536, 도 8v)를 에치백 공정 또는 화학적 기계적 연마 공정과 같은 평탄화 공정을 통해 제거한다. 상기 평탄화 공정은 게이트 전극(534)의 상부면이 노출되도록 수행되는 것이 바람직하다.

도시되지는 않았으나, 상기 게이트 전극(534)이 도핑된 폴리실리컨으로 이루어지는 경우, 상기 게이트 전극(534) 상에는 금속 실리사이드층이 더 형성될 수 있다. 상기 금속 실리사이드층은 금속층을 형성하기 위한 증착 공정과 상기 금속층을 금속 실리사이드층으로 형성하기 위한 실리사이드이션 공정과, 상기 금속층을 제거하기 위한 식각 공정에 의해 형성될 수 있다.

또한, 상술한 바에 의하면, 상기 층간 절연층(538)은 상기 회생층들(502, 510, 512, 도 8t)을 제거한 후에 형성된다. 그러나, 상기 층간 절연층(538)은 상기 회생층들(502, 510, 512), 제2버퍼 산화막(516), 캡핑층(522) 및 하드 마스크(536)를 모두 제거한 후에 형성될 수도 있다.

도 8x를 참조하면, 상기 제1도전 패턴(508)과 제2도전 패턴(520)을 각각 노출시키는 콘택홀들(540a, 540b)을 형성한다. 상기 콘택홀들(540a, 540b)은 상기 층간 절연층(538) 상에 형성된 포토레지스트 패턴(미도시)을 식각 마스크로 이용하는 통상의 플라즈마 식각 또는 반응성 이온 식각 공정을 통해 형성될 수 있다. 상기 포토레지스트 패턴은 통상의 포토 공정을 통해 형성될 수 있으며, 상기 콘택홀들(540a, 540b)을 형성하기 위한 식각 공정 이후에 제거된다.

도 8y를 참조하면, 상기 콘택홀들(540a, 540b, 도 8x)을 채우는 금속층(542)을 상기 층간 절연층(538), 캡핑층(522) 및 게이트 전극(534) 상에 형성한다. 상기 금속층(542)은 MOCVD 또는 PVD 방법으로 형성될 수 있으며, 알루미늄, 구리, 텅스텐, 탄탈륨, 티타늄 등으로 이루어질 수 있다.

도 8z를 참조하면, 상기 금속층(542, 도 8y)을 상기 제1도전 패턴(508), 제2도전 패턴(520) 및 게이트 전극(534)과 각각 연결되는 금속 배선들(544a, 544b, 544c)로 형성한다. 상기 금속 배선들(544a, 544b, 544c)은 통상의 포토리소그래피 공정과 통상의 이방성 식각 공정에 의해 형성될 수 있다.

도 9는 본 발명의 제5실시예에 따른 반도체 장치의 형성 방법을 이용하여 형성된 MOS 트랜지스터를 설명하기 위한 사시도이다.

도 8z와 도 9를 참조하면, 상기 MOS 트랜지스터(50)는 반도체 기판(100)으로부터 수직 방향으로 연장된 게이트 구조물(52)과, 상기 게이트 구조물(52)을 감싸도록 상기 게이트 구조물(52)의 외측면에 접하는 채널 패턴(528)과, 상기 채널 패턴(528)의 하부로부터 제1수평 방향으로 연장된 제1도전 패턴(508)과, 상기 채널 패턴(528)의 상부로부터 제2수평 방향으로 연장된 제2도전 패턴(520)을 포함한다.

상기 제1도전 패턴(508)과 제2도전 패턴(520)은 소스 또는 드레인으로써 기능하고, 상기 채널 패턴(528)을 감싸도록 형성되며, 상기 채널 패턴(528)으로부터 서로 반대 방향으로 연장된다.

상기 게이트 구조물(52)은 원형 단면을 갖는 기둥(pillar) 형상을 갖고 도전성 물질로 이루어지는 게이트 전극(534)과, 상기 게이트 전극(534)의 외측면 상에 형성된 게이트 절연막(530)을 포함한다. 상기 채널 패턴(528)은 상기 게이트 절연막(530)의 외경과 대응하는 내경을 갖는 상부가 개방된 실린더 형상을 갖고 상기 게이트 절연막(530)의 외측면 상에 형성되어 있다. 또한, 채널 패턴(528)은 상기 게이트 절연막(530)의 외측면과 접하는 내측면을 갖고, 상기 제1도전 패턴(508) 및 제2도전 패턴(520)과 접하는 외측면을 갖는다.

구체적으로, 상기 게이트 전극(534)은 제1직경을 갖는 하부의 제1기둥(534a)과 상기 제1직경보다 큰 제2직경을 갖는 상부의 제2기둥(534b)을 포함한다. 상기 채널 패턴(528)의 외경은 상기 제2직경과 동일하며 상기 제1기둥(534a)을 감싸도록 형성되고, 상기 게이트 절연막(530)은 상기 제1기둥(534a)과 채널 패턴(528) 사이에 형성된다.

상기 MOS 트랜지스터(50)의 채널 영역은 상기 제1도전 패턴(508)과 제2도전 패턴(520) 사이에 위치되는 채널 패턴(528)의 일부에 형성되며, 원형 튜브 형상 또는 환형 기둥 형상을 갖는다. 따라서, 상기 MOS 트랜지스터(50)의 채널 길이는 제1도전 패턴(508)과 제2도전 패턴(520) 사이의 거리에 따라 결정될 수 있다. 즉, 상기 MOS 트랜지스터(50)의 채널 길이는 제3회생층(512, 도 8g 참조)의 두께에 따라 결정될 수 있다.

한편, 상기 MOS 트랜지스터(50)의 채널 폭은 상기 게이트 전극(534)의 제1직경에 따라 결정될 수 있다. 즉, 상기 MOS 트랜지스터(50)의 채널 폭은 상기 제2개구부(526, 도 8n 참조)의 내경 및 상기 채널 패턴(528)의 두께에 따라 결정될 수 있다.

따라서, 상기 채널 길이 및 폭을 적절하게 조절함으로써 단채널 효과 및 협채널 효과를 효과적으로 억제할 수 있으며, 반도체 장치의 고집적화에 따른 채널 사이즈의 감소에 따른 단채널 효과 및 협채널 효과에 용이하게 대처할 수 있다.

한편, 도시된 바에 따르면, 상기 게이트 전극(534)은 원형 단면을 갖는다. 그러나, 상기 게이트 전극(534)의 단면 형상은 다양하게 변형될 수 있으며, 단면 형상을 변화시킴으로써 채널 폭을 조절할 수도 있다.

도 10은 본 발명의 제5실시예에 따른 반도체 장치의 형성 방법을 이용하여 형성된 MOS 트랜지스터의 다른 예를 설명하기 위한 사시도이다.

도 10을 참조하면, 도시된 MOS 트랜지스터(550)는 기둥 형상을 갖는 게이트 구조물(552)과, 상기 게이트 구조물(552)의 측면을 감싸도록 형성된 채널 패턴(554) 및 상기 채널 패턴(554)의 하부와 상부로부터 각각 연장되는 제1도전 패턴(556) 및 제2도전 패턴(558)을 포함한다.

도시된 바에 의하면, 상기 제1도전 패턴(556)과 제2도전 패턴(558)은 각각 제1수평 방향 및 제2수평 방향으로 연장되며, 제1 및 제2수평 방향들 사이의 각도는 약 90° 정도이다. 그러나, 상기 각도는 다양하게 변경될 수 있다. 즉, 제1 및 제2도전 패턴들(556, 558)이 연장되는 방향들을 적절하게 조절함으로써 상기 MOS 트랜지스터(550)를 포함하는 데이터 저장 또는 처리 장치의 레이아웃을 개선할 수 있다.

도 11a 및 도 11b는 본 발명의 제5실시예에 따른 반도체 장치 형성 방법을 이용하여 형성된 MOS 트랜지스터의 다른 예를 설명하기 위한 단면도 및 사시도이다.

도 11a 및 도 11b를 참조하면, 도시된 MOS 트랜지스터(560)는 기둥 형상을 갖는 게이트 구조물(562)과, 상기 게이트 구조물(562)의 측면을 감싸도록 형성된 채널 패턴(564) 및 상기 채널 패턴(564)의 하부와 상부로부터 각각 연장되는 제1도전 패턴(566) 및 제2도전 패턴(568)을 포함한다.

도시된 바에 의하면, 상기 제1도전 패턴(566)과 제2도전 패턴(568)은 상기 채널 패턴(564)으로부터 동일한 수평 방향으로 각각 연장된다. 상기 제1도전 패턴(566)은 상기 제2도전 패턴(568)보다 긴 연장 길이를 갖는다.

상기와 같이 제1도전 패턴(566)과 제2도전 패턴(568)의 방향들과 길이들을 적절하게 조절함으로써 상기 MOS 트랜지스터(560)를 포함하는 데이터 저장 또는 처리 장치의 레이아웃을 개선할 수 있다.

도 12 및 도 13은 본 발명의 제5실시예에 따른 반도체 장치 형성 방법을 이용하여 형성된 다수의 MOS 트랜지스터들을 설명하기 위한 사시도들이다.

도 12를 참조하면, MOS 트랜지스터들(570a, 570b)은 기둥 형상의 게이트 구조물들(572a, 572b)과, 상기 게이트 구조물들(572a, 572b)을 감싸도록 형성된 채널 패턴들(574a, 574b)과, 상기 채널 패턴들(574a, 574b)의 상부를 감싸도록 형성되는 제2도전 패턴들(578a, 578b)을 포함한다. 상기 제2도전 패턴들(578a, 578b)은 서로 다른 수평 방향으로 각각 연장된다. 제1MOS 트랜지스터(570a)와 제2MOS 트랜지스터(570b)는 상기 채널 패턴들(574a, 574b)의 하부를 서로 연결하는 제1도전 패턴(576a)을 공통으로 사용하고 있다. 상기와 같이 제1도전 패턴(576a)을 공통으로 사용함으로써 다수의 MOS 트랜지스터들(570a, 570b)을 직렬로 연결할 수 있으며, 데이터 저장 또는 처리 장치의 레이아웃을 개선할 수 있다.

도시된 바에 의하면, 채널 패턴들(574a, 574b)의 하부와 연결된 제1도전 패턴(576a)이 두 개의 MOS 트랜지스터들 사이에서 공통으로 사용되고 있으나, 이와는 다르게 제2도전 패턴들(578a, 578b) 중에서 하나를 공통으로 사용할 수도 있다.

도 13을 참조하면, MOS 트랜지스터들(570c, 570d)은 게이트 구조물들(572c, 572d)과, 채널 패턴들(574c, 574d)과, 제2도전 패턴들(578c, 578d)을 포함한다. 상기 제2도전 패턴들(578c, 578d)은 서로 평행한 방향으로 각각 연장된다. 제1MOS 트랜지스터(570c)와 제2MOS 트랜지스터(570d)는 상기 채널 패턴들(574c, 574d)의 하부를 서로 연결하는 제1도전 패턴(576b)을 공통으로 사용하고 있다.

상기와 같은 구성 요소들에 대한 추가적인 상세 설명은 도 12를 참조하여 기 설명된 MOS 트랜지스터들(570a, 570b)과 유사하므로 생략한다.

도 14a 내지 도 14k는 본 발명의 제6실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 14a를 참조하면, 반도체 기판(100) 상에 실리콘 게르마늄으로 이루어진 제1회생층(602)을 형성한다. 상기 제1회생층(602) 상에 도핑된 단결정 실리콘으로 이루어진 제1도전 패턴(608)과 실리콘 게르마늄으로 이루어진 제2회생층(610)을 형성한다. 상기 제1도전 패턴(608) 및 상기 제2회생층(610) 상에 실리콘 게르마늄으로 이루어진 제3회생층(612)을 형성하고, 상기 제3회생층(612) 상에 제2실리콘 단결정층(미도시)을 형성한다. 상기 제2실리콘 단결정층 상에 제2버퍼 산화막(616)을 형성하고, 상기 제2실리콘 단결정층을 제2도전층(618)으로 형성하기 위한 불순물 도핑 공정을 수행한다. 상기와 같은 구성 요소들은 도 8a 내지 도 8i를 참조하여 기 설명된 방법과 유사한 방법을 통해 형성될 수 있다.

도 14b를 참조하면, 상기 제2버퍼 산화막(616) 상에 캡핑층(620)을 형성한다. 상기 캡핑층(620)은 실리콘 질화물로 이루어질 수 있으며, SiH_2Cl_2 가스, SiH_4 가스, NH_3 가스 등을 이용하는 LPCVD 공정 또는 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 공정을 통해 형성될 수 있다.

도 14c를 참조하면, 상기 제2도전층(618)을 노출시키는 제1개구부(622)를 형성하기 위해 상기 캡핑층(620) 및 제2버퍼 산화막(616)을 식각한다. 상기 제1개구부(622)는 상기 캡핑층(620) 상에 형성된 포토레지스트 패턴(미도시)을 식각 마스크로 사용하는 통상의 이방성 식각 공정에 의해 형성될 수 있다. 상기 포토레지스트 패턴은 에칭 공정 및 스트립 공정을 통해 제거될 수 있다.

도 14d를 참조하면, 상기 제1개구부(622)를 갖는 캡핑층(620)을 식각 마스크로 사용하는 통상의 이방성 식각 공정을 통해 상기 반도체 기판(100)의 표면 부위를 노출시키는 제2개구부(624)를 형성한다. 상기 제2개구부(624)는 제2도전층(618), 제3회생층(612), 제1도전 패턴(608) 및 제1회생층(602)을 통해 형성되는 것이 바람직하며, 상기 제2개구부(624)를 형성하는데 소요되는 식각 시간은 상기 반도체 기판(100)의 표면 부위를 과식각하도록 제어되는 것이 바람직하다. 따라서, 상기 제2개구부(624)의 바닥면(624a)은 과식각에 의해 상기 반도체 기판(100)의 표면(100a)보다 낮게 형성될 수 있다.

도 14e를 참조하면, 상기 제2개구부(624)를 한정하는 표면들 상에 단결정 실리콘으로 이루어지는 채널 패턴(626)을 형성한다. 상기 채널 패턴(626)은 SiH_4 가스, $\text{Si}_2\text{H}_2\text{Cl}_2$ 가스와 같은 실리콘 소스 가스와 수소(H_2) 가스, 염소(Cl_2) 가스와 같은 반응 가스를 포함하는 공정 가스를 이용하는 통상의 에피택셜 성장 공정, 화학 기상 증착 공정 또는 초고진공 화학 기상 증착 공정을 통해 형성될 수 있다. 구체적으로, 상기 채널 패턴(626)은 상기 제2개구부(624)의 내부로 노출된 반도체 기판(100)의 표면 부위, 제1회생층(602), 제1도전 패턴(608), 제3회생층(612) 및 제2도전층(618) 상에 균일하게 형성되는 것이 바람직하다.

상기 채널 패턴(626)의 두께는 약 100Å 내지 300Å 정도의 두께로 형성될 수 있으며, 바람직하게는 약 150Å 내지 200Å 정도의 두께로 형성될 수 있다. 그러나, 채널 패턴(626)의 두께는 목적하는 MOS 트랜지스터의 특성에 따라 다양하게 변경될 수 있으므로 상기 채널 패턴(626)의 두께가 본 발명의 범위를 한정하지는 않는다.

한편, 상기 채널 패턴(626)을 형성하기 위한 공정 가스에는 상기 채널 패턴(626)을 인시튜 방법으로 불순물 도핑하기 위한 N 타입 도핑 가스 또는 P 타입 도핑 가스가 첨가될 수 있다.

도 14f를 참조하면, 상기 채널 패턴(626)의 표면들 상에 게이트 절연막(628)을 형성한다. 상기 게이트 절연막(628)은 실리콘 산화물 또는 실리콘 산질화물로 이루어질 수 있으며, O₂ 가스, NO 가스 또는 N₂O 가스를 이용하는 금속 열처리 공정(RTP)을 통해 형성될 수 있다. 상기 게이트 절연막(628)의 두께는 약 10Å 내지 70Å 정도로 형성되는 것이 바람직하다.

도 14g를 참조하면, 상기 게이트 절연막(628)의 내부 및 상기 제1개구부(622, 도 14f)의 내부를 채우는 제3도전층(630)을 형성한다. 상기 제3도전층(630)은 도핑된 폴리실리콘으로 이루어질 수 있다. 구체적으로, LPCVD 공정을 통해 폴리실리콘층을 형성하는 동안 인시튜 방법으로 불순물 도핑 공정을 동시에 수행함으로써 상기 도핑된 폴리실리콘으로 이루어진 제3도전층(630)이 형성될 수 있다. 이와는 다르게, LPCVD 공정을 통해 상기 게이트 절연막(628)의 내부 및 상기 제1개구부(622)의 내부를 채우는 폴리실리콘층을 형성하고, 불순물 도핑 공정을 통해 상기 폴리실리콘층을 상기 제3도전층(630)으로 형성할 수 있다. 상기 불순물 도핑 공정은 통상적인 이온 주입 공정 또는 불순물 확산 공정일 수 있다.

또한, 상기 제3도전층(630)은 텅스텐, 티타늄, 탄탈, 코발트, 몰리브덴, 니켈, 루테튬 등과 같은 금속으로 이루어질 수 있다. 상기와 같이 금속으로 이루어진 제3도전층(630)은 금속 전구체를 이용하는 MOCVD 공정, PVD 공정 또는 ALD 공정을 통해 형성될 수 있다.

상기 제3도전층(630)의 재질은 목적하는 MOS 트랜지스터의 게이트 전극이 갖는 일함수(work function)에 따라 다양하게 변경될 수 있다. 상기 게이트 전극이 금속으로 이루어지는 경우, 이온 주입 공정을 통해 아르곤 또는 질소를 주입함으로써 게이트 전극의 일함수를 조절할 수 있다.

또한, 상기 게이트 전극이 도핑된 폴리실리콘으로 이루어지는 경우, 상기 게이트 전극의 일함수는 상기 폴리실리콘층에 주입되는 불순물의 농도에 의해 변화된다. 따라서, 상기 불순물 도핑 공정을 수행하는 동안 상기 불순물의 농도를 적절하게 조절함으로써 상기 게이트 전극의 일함수를 조절할 수 있다.

한편, 상기 게이트 전극의 일함수를 조절하기 위해 수행되는 이온 주입 공정은 후속하는 제3도전층(630)에 대한 평탄화 공정 이후에 상기 캡핑층(620)을 이온 주입 마스크로 사용하여 수행될 수도 있다.

도 14h를 참조하면, 상기 제3도전층(630, 도 14g)은 에치백(etch back) 공정 또는 화학적 기계적 연마 공정과 같은 평탄화 공정을 통해 게이트 전극(632)으로 형성된다. 상기 평탄화 공정은 상기 캡핑층(620)의 상부면이 노출되도록 상기 제3도전층(630)의 상부를 제거하기 위해 수행된다.

도 14i를 참조하면, 상기 게이트 전극(632)의 상부면 및 상기 게이트 전극(632)과 인접하는 상기 캡핑층(620)의 일부분 상에 하드 마스크(634)를 형성한다. 상기 하드 마스크(634)는 상기 게이트 전극(632)과 캡핑층(620) 상에 하드 마스크층(미도시)과 대응하는 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층을 이방성 식각함으로써 형성될 수 있다. 상기 하드 마스크(634)는 상기 제1도전 패턴(608)과 부분적으로 오버랩되도록 형성되는 것이 바람직하며, 상기 하드 마스크층은 실리콘 질화물 또는 실리콘 산화물로 이루어질 수 있다. 통상의 화학 기상 증착 공정, LPCVD 공정 또는 PECVD 공정을 통해 형성될 수 있으며, 상기 포토레지스트 패턴은 통상의 포토 공정을 통해 형성될 수 있다.

도 14j를 참조하면, 제2도전 패턴(636)을 형성하기 위해 상기 하드 마스크(634)를 식각 마스크로 사용하는 통상의 이방성 식각 공정을 통해 상기 캡핑층(620), 제2버퍼 산화막(616) 및 제2도전층(618, 도 14i)을 식각한다. 상기 제2도전 패턴(636)을 형성하기 위한 식각 공정은 상기 실리콘 게르마늄으로 이루어진 제3회생층(612)을 노출시키도록 수행되며, 상기 제3회생층(612)이 과식각되도록 식각 시간을 적절하게 조절할 수 있다.

도 14k를 참조하면, 상기 제1 내지 제3회생층(602, 610, 612, 도 14j)을 습식 식각 방법으로 제거한다. 상기 제1 내지 제3회생층(602, 610, 612)의 식각 공정에는 실리콘 게르마늄과 단결정 실리콘에 대하여 약 50:1 이상의 식각 선택비를 갖는 에천트가 사용될 수 있다. 여기서, 상기 하드 마스크(634)와 캡핑층(620)은 게이트 전극(632)을 상기 에천트로부터 보호하는 보호층으로 사용된다.

이어서, 상기 제1 내지 제3회생층(602, 610, 612)이 제거됨으로써 형성된 공간을 채우는 층간 절연층(미도시)을 형성하고, 상기 제1도전 패턴(608), 게이트 전극(632) 및 제2도전 패턴(636)과 연결되는 금속 배선들(미도시)을 형성한다. 상기 층간 절연층과 금속 배선들은 도 8v 내지 도 8z를 참조하여 기 설명된 반도체 장치의 형성 방법과 유사한 방법을 이용하여 형성될 수 있다.

도 15a 내지 도 15e는 본 발명의 제7실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 15a를 참조하면, 반도체 기판(100)의 표면 부위에 불순물 도핑 영역(100b)을 형성한다. 구체적으로, 반도체 기판(100) 상에 버퍼 산화막(미도시)을 형성하고, 이온 주입 공정 또는 확산 공정을 통해 N 타입 웰 또는 P 타입 웰을 형성한다.

도 15b를 참조하면, 상기 반도체 기판(100) 상에 제1단결정 실리콘층(702)을 형성한다. 상기 제1단결정 실리콘층(702)은 SiH_4 가스, $\text{Si}_2\text{H}_2\text{Cl}_2$ 가스와 같은 실리콘 소스 가스와 수소(H_2) 가스, 염소(Cl_2) 가스와 같은 반응 가스를 포함하는 공정 가스를 이용하는 통상의 에피택셜 성장 공정, 화학 기상 증착 공정 또는 초고진공 화학 기상 증착 공정을 통해 형성될 수 있다. 상기 제1단결정 실리콘층(702)은 약 400Å 내지 600Å 정도로 형성될 수 있으며, 바람직하게는 약 500Å 정도로 형성될 수 있다. 그러나, 상기 제1단결정 실리콘층(702)의 두께는 다양하게 변경될 수 있으며, 본 발명의 범위를 한정하지는 않는다. 한편, 상기 반도체 기판(100)의 표면 상에 형성된 버퍼 산화막은 상기 제1단결정 실리콘층(702)을 형성하기 전에 제거되는 것이 바람직하다.

도 15c를 참조하면, 상기 제1단결정 실리콘층(702, 도 15b)을 제1도전층(704)으로 형성하기 위해 상기 제1단결정 실리콘층(702)을 N 타입 불순물 또는 P 타입 불순물로 도핑한다. 상기 제1단결정 실리콘층(702)에 대한 불순물 도핑 공정은 이온 주입 공정 또는 확산 공정일 수 있다.

이와 대조적으로, 상기 제1도전층(704)은 SiH_4 가스와 같은 실리콘 소스 가스와 상기 제1단결정 실리콘층(702)을 인시튜 도핑하기 위한 도펀트 소스를 포함하는 공정 가스를 이용하는 에피택셜 성장 공정 또는 화학 기상 증착 공정을 통해 형성될 수도 있다. 상기 도펀트 소스 가스로는 포스핀(PH_3), 아신(AsH_3) 등과 같은 N 타입 도핑 가스 및 디보란(B_2H_6)과 같은 P 타입 도핑 가스가 사용될 수 있다.

도 15d를 참조하면, 제1도전 패턴(706)을 형성하기 위해 통상의 건식 식각 공정을 통해 상기 제1도전층(704, 도 15c)을 패터닝한다. 도시되지는 않았으나, 상기 건식 식각 공정에는 포토레지스트 패턴(미도시)이 식각 마스크로써 사용될 수 있으며, 상기 포토레지스트 패턴은 통상의 포토 공정을 통해 상기 제1도전층(704) 상에 형성되며, 애싱 공정 또는 스트립 공정을 통해 제거된다.

도 15e를 참조하면, 도 8e 내지 도 8z를 참조하여 기 설명된 반도체 장치의 형성 방법 또는 도 14a 내지 도 14k를 참조하여 기 설명된 반도체 장치의 형성 방법과 유사한 방법으로 상기 반도체 기판(100) 상에 MOS 트랜지스터와 같은 반도체 장치(70)가 형성될 수 있다.

상기 반도체 장치(70)는 반도체 기판으로부터 수직 방향으로 연장된 게이트 구조물(72)과, 상기 게이트 구조물(72)을 감싸도록 형성된 채널 패턴(728)과, 상기 채널 패턴(728)의 하부를 감싸도록 상기 반도체 기판(100) 상에 형성된 제1도전 패턴(706)과, 상기 채널 패턴(728)의 상부를 감싸도록 형성된 제2도전 패턴(720)을 포함한다. 또한, 층간 절연층(738)은 상기 채널 패턴(728), 제1도전 패턴(706) 및 제2도전 패턴(720)을 에워싸도록 형성되며, 금속 배선들(744a, 744b, 744c)은 게이트 전극(734), 제1도전 패턴(706) 및 제2도전 패턴(720)과 연결되도록 형성된다.

상기 게이트 구조물(72)은 게이트 전극(734)과 게이트 절연막(730)을 포함한다. 상기 게이트 전극(734)은 제1직경을 갖는 하부의 제1기둥(734a)과 상기 제1직경보다 큰 제2직경을 갖는 상부의 제2기둥(734b)을 포함하며, 상기 게이트 절연막(730)은 상기 제1기둥(734a)의 측면과 하부면 및 상기 제2기둥(734b)의 하부면 상에 형성된다. 상기 채널 패턴(728)은 상기 제2기둥(734b)의 직경과 동일한 외경을 갖는 실린더 형상을 갖고, 상기 게이트 절연막(730)의 측면 및 하부면을 감싸도록 배치된다.

도 16a 내지 도 16e는 본 발명의 제8실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 16a를 참조하면, 반도체 기판(100) 상에 실리콘 게르마늄으로 이루어진 제1회생층(802)을 형성한다. 상기 제1회생층(802) 상에 도핑된 단결정 실리콘으로 이루어진 제1도전 패턴(808)과 실리콘 게르마늄으로 이루어진 제2회생층(810)을

형성한다. 상기 제1도전 패턴(808) 및 상기 제2회생층(810) 상에 실리콘 게르마늄으로 이루어진 제3회생층(812)을 형성하고, 상기 제3회생층(812) 상에 제2실리콘 단결정층(미도시)을 형성한다. 상기 제2실리콘 단결정층 상에 제2버퍼 산화막(816)을 형성하고, 상기 제2실리콘 단결정층을 제2도전층(818)으로 형성하기 위한 불순물 도핑 공정을 수행한다. 상기 제2버퍼 산화막(816) 상에 제1개구부(822)를 갖는 캡핑층(820)을 형성하고, 상기 캡핑층(820)을 식각 마스크로 사용하여 상기 반도체 기판(100)의 표면 부위를 노출시키는 제2개구부(824)를 형성한다. 상기 제2개구부(824)의 내측면 상에 단결정 실리콘으로 이루어지는 채널 패턴(826)을 형성한다. 상기와 같은 구성 요소들은 도 14a 내지 도 14e를 참조하여 기 설명된 반도체 장치의 형성 방법과 유사한 방법을 이용하여 형성될 수 있다.

도 16b를 참조하면, 상기 채널 패턴(826)의 내측면, 상기 제1개구부(822)의 내측면 및 상기 캡핑층(820) 상에 게이트 절연막(828)을 형성한다. 상기 게이트 절연막(828)은 실리콘 산화막, 실리콘 산질화막, 금속 산화막 또는 이들의 복합막일 수 있다. 상기 실리콘 산화막 및 실리콘 산질화막은 LPCVD 공정을 통해 형성될 수 있으며, 상기 금속 산화막은 MOCVD 공정 또는 ALD 공정을 통해 형성될 수 있다. 상기 금속 산화막의 예로는, Ta_2O_5 막, TaON막, TiO_2 막, Al_2O_3 막, Y_2O_3 막, ZrO_2 막, HfO_2 막, $BaTiO_3$ 막, $SrTiO_3$ 막 등이 있다.

도 16c를 참조하면, 상기 게이트 절연막(828) 상에 상기 제1개구부(822, 도 16b) 및 제2개구부(824, 도 16b)의 내부를 채우는 제3도전층(830)을 형성한다. 상기 제3도전층(830)은 도핑된 폴리실리콘 또는 금속으로 이루어질 수 있다. 구체적으로, LPCVD 공정을 통해 폴리실리콘층을 형성하는 동안 인시튜 방법으로 불순물 도핑 공정을 동시에 수행함으로써 상기 도핑된 폴리실리콘으로 이루어진 제3도전층(830)이 형성될 수 있다. 이와는 다르게, LPCVD 공정을 통해 폴리실리콘층을 형성하고, 불순물 도핑 공정을 통해 상기 폴리실리콘층을 상기 제3도전층으로 형성할 수 있다.

상기 금속의 예로는 텅스텐, 티타늄, 탄탈, 코발트, 몰리브덴, 니켈, 루테튬 등이 있으며, 상기와 같이 금속으로 이루어진 제3도전층(830)은 금속 전구체를 이용하는 MOCVD 공정, PVD 공정 또는 ALD 공정을 통해 형성될 수 있다.

도 16d를 참조하면, 상기 제3도전층(830, 도 16c)은 에치백(etch back) 공정 또는 화학적 기계적 연마 공정과 같은 평탄화 공정을 통해 게이트 전극(832)으로 형성된다. 상기 평탄화 공정은 상기 캡핑층(820)의 상부면이 노출되도록 상기 제3도전층(830)의 상부 및 상기 캡핑층(820) 상의 게이트 절연막(828)의 일부를 제거하기 위해 수행된다.

도 16e를 참조하면, 도 14i 내지 도 14k를 참조하여 기 설명된 반도체 장치의 형성 방법과 유사한 방법으로 상기 반도체 기판 상에 MOS 트랜지스터와 같은 반도체 장치(80)가 형성될 수 있다.

상기 반도체 장치(80)는 반도체 기판(100)으로부터 수직 방향으로 연장된 게이트 구조물(82)과, 상기 게이트 구조물(82)을 감싸도록 형성된 채널 패턴(826)과, 상기 채널 패턴(826)의 하부를 감싸도록 상기 반도체 기판(100)으로부터 수직 방향으로 이격되어 형성된 제1도전 패턴(808)과, 상기 채널 패턴(826)의 상부를 감싸도록 형성된 제2도전 패턴(836)을 포함한다. 또한, 층간 절연층(838)은 상기 채널 패턴(826), 제1도전 패턴(808) 및 제2도전 패턴(836)을 에워싸도록 형성되며, 금속 배선들(844a, 844b, 844c)은 상기 게이트 전극(832), 제1도전 패턴(808) 및 제2도전 패턴(836)과 연결되도록 형성된다.

상기 게이트 구조물(82)은 게이트 전극(832)과 게이트 절연막(828)을 포함한다. 상기 게이트 전극(832)은 제1직경을 갖는 하부의 제1기둥 부위(832a)와 상기 제1직경보다 큰 제2직경을 갖는 상부의 제2기둥 부위(832b)를 포함하며, 상기 게이트 절연막(828)은 상기 제1기둥 부위(832a)의 측면과 하부면 및 상기 제2기둥 부위(832b)의 측면과 하부면 상에 형성된다. 상기 채널 패턴(826)은 상기 제2기둥 부위(832b)의 직경과 동일한 외경을 갖는 실린더 형상을 갖고, 상기 게이트 전극(832)의 제1기둥 부위(832a)를 감싸는 게이트 절연막(828)의 일부분 및 하부면을 감싸도록 배치된다.

도 17a 내지 도 17f는 본 발명의 제9실시예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

도 17a를 참조하면, 반도체 기판(100) 상에 실리콘 게르마늄으로 이루어진 제1회생층(902)을 형성한다. 상기 제1회생층(902) 상에 도핑된 단결정 실리콘으로 이루어진 제1도전 패턴(908)과 실리콘 게르마늄으로 이루어진 제2회생층(910)을 형성한다. 상기 제1도전 패턴(908) 및 상기 제2회생층(910) 상에 실리콘 게르마늄으로 이루어진 제3회생층(912)을 형성하고, 상기 제3회생층(912) 상에 제2실리콘 단결정층(미도시)을 형성한다. 상기 제2실리콘 단결정층 상에 제2버퍼 산화막(916)을 형성하고, 상기 제2실리콘 단결정층을 제2도전층(918)으로 형성하기 위한 불순물 도핑 공정을 수행한다. 상기 제2버퍼 산화막(916) 상에 제1개구부(922)를 갖는 캡핑층(920)을 형성하고, 상기 캡핑층(920)을 식각 마스크로 사용하여 상기 반도체 기판(100)의 표면 부위를 노출시키는 제2개구부(924)를 형성한다. 상기 제2개구부(924)의 내측면 상에 단결정

정 실리콘으로 이루어지는 채널 패턴(926)을 형성하고, 상기 채널 패턴(926) 상에 게이트 절연막(928)을 형성한다. 상기 와 같은 구성 요소들은 도 14a 내지 도 14f를 참조하여 기 설명된 반도체 장치의 형성 방법과 유사한 방법을 이용하여 형성될 수 있다.

도 17b를 참조하면, 상기 게이트 절연막(928) 및 상기 제1개구부(924, 도 17a)를 갖는 캡핑층(920) 상에 균일한 두께를 갖는 제3도전층(930)을 형성한다. 상기 제3도전층(930)은 도핑된 폴리실리콘으로 이루어지는 것이 바람직하며, 상기 제3도전층(930)은 LPCVD 공정 및 불순물 도핑 공정을 통해 형성될 수 있다.

도 17c를 참조하면, 상기 제3도전층(930)에 의해 한정되는 제1개구부(922, 도 17a) 및 제2개구부(924, 도 17a)의 내부를 채우는 금속층(932)을 상기 도전층(930) 상에 형성한다. 상기 금속층(932)은 MOCVD 공정 또는 ALD 공정을 통해 형성될 수 있으며, 텅스텐, 티타늄, 탄탈, 코발트, 니켈, 루테튬 등으로 이루어질 수 있다.

도 17d를 참조하면, 열처리 공정을 이용하여 상기 금속층(932, 도 17c)을 금속 실리사이드층(934)으로 형성한다. 상기 금속층(932)은 상기 열처리 공정 동안에 도핑된 폴리실리콘과 반응하여 금속 실리사이드층(934)으로 변환된다.

도 17e를 참조하면, 게이트 전극(936)을 형성하기 위해 화학적 기계적 연마 공정 또는 에치백 공정과 같은 평탄화 공정을 통해 금속 실리사이드층(934, 도 17d)의 상부 및 제3도전층(930)의 상부를 제거한다. 이때, 상기 평탄화 공정은 캡핑층(920)의 상부면이 노출되도록 수행되는 것이 바람직하다.

도 17f를 참조하면, 도 14i 내지 도 14k를 참조하여 기 설명된 반도체 장치의 형성 방법과 유사한 방법으로 상기 반도체 기판 상에 MOS 트랜지스터와 같은 반도체 장치(90)가 형성될 수 있다.

상기 반도체 장치(90)는 반도체 기판(100)으로부터 수직 방향으로 연장된 게이트 구조물(92)과, 상기 게이트 구조물(92)을 감싸도록 형성된 채널 패턴(926)과, 상기 채널 패턴(926)의 하부를 감싸도록 상기 반도체 기판(100)으로부터 수직 방향으로 이격되어 형성된 제1도전 패턴(908)과, 상기 채널 패턴(926)의 상부를 감싸도록 형성된 제2도전 패턴(942)을 포함한다. 또한, 층간 절연층(944)은 상기 채널 패턴(926), 제1도전 패턴(908) 및 제2도전 패턴(942)을 에워싸도록 형성되며, 금속 배선들(946a, 946b, 946c)은 상기 게이트 전극(936), 제1도전 패턴(908) 및 제2도전 패턴(942)과 연결되도록 형성된다.

상기 게이트 구조물(92)은 게이트 전극(936)과 게이트 절연막(928)을 포함한다. 구체적으로, 상기 게이트 전극(936)은 제1외경을 갖는 하부의 제1실린더(938a) 부위와 상기 제1외경보다 큰 제2외경을 갖는 상부의 제2실린더(938b) 부위로 구성되는 제3도전 패턴(938)과 및 상기 제3도전 패턴(938)의 내부를 채우는 금속 실리사이드 플러그(940)를 포함한다. 상기 게이트 절연막(928)은 상기 제1실린더(938a) 부위의 측면과 하부면 및 상기 제2실린더(938b) 부위의 하부면 상에 형성된다. 이와는 다르게, 상기 게이트 절연막(928)은 상기 게이트 전극(936)의 상부면을 제외한 나머지 표면들 상에 전체적으로 형성될 수도 있다.

발명의 효과

상기와 같은 본 발명의 실시예들에 따르면, 상기 채널 패턴은 실린더 형상을 가지며, 반도체 기판으로부터 수직 방향으로 형성된 게이트 구조물의 측면을 감싸도록 형성된다. 상기 채널 패턴의 하부와 상부로부터 각각 연장되는 상기 제1도전 패턴과 제2도전 패턴은 MOS 트랜지스터의 소스와 드레인으로 기능한다.

상기 MOS 트랜지스터의 채널 길이는 제1도전 패턴과 제2도전 패턴 사이의 거리에 따라 결정될 수 있으며, 채널 폭은 상기 게이트 구조물의 직경에 따라 결정될 수 있다. 따라서, 단채널 효과에 의해 발생하는 문제점들과 협채널 효과에 의해 발생하는 문제점들을 효과적으로 해결할 수 있다.

구체적으로, 본 발명의 MOS 전계 효과 트랜지스터 반도체 장치는 채널 길이 및 폭을 적절하게 조절할 수 있으므로, 단채널 효과에 기인하는 펀치 스루(punch through), 채널 캐리어 이동도(carrier mobility) 등을 개선시킬 수 있으며, 협채널 효과에 기인하는 문턱 전압을 감소시킬 수 있다.

상술한 바와 같이, 단채널 효과 및 협채널 효과를 효율적으로 억제할 수 있으므로 MOS 트랜지스터의 동작 성능을 개선시킬 수 있다. 또한, 상기 제1도전 패턴 및 제2도전 패턴의 연장 방향들 사이의 각도를 다양하게 조절할 수 있으므로 상기 MOS 트랜지스터를 포함하는 데이터 저장 또는 처리 장치의 레이아웃을 개선할 수 있다.

상기에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기관 상에 형성되며 도전 물질로 이루어지는 게이트 전극; 및

상기 게이트 전극의 측면을 감싸도록 형성된 게이트 절연막을 포함하는 것을 특징으로 하는 게이트 구조물.

청구항 2.

제1항에 있어서, 상기 게이트 전극은 상기 기관으로부터 수직 방향으로 연장된 기둥(pillar) 형상을 갖는 것을 특징으로 하는 게이트 구조물.

청구항 3.

제2항에 있어서, 상기 게이트 절연막은 환형 기둥(pillar ring) 형상을 갖고, 상기 게이트 전극의 측면과 전체적으로 접하도록 형성되는 것을 특징으로 하는 게이트 구조물.

청구항 4.

제2항에 있어서, 상기 게이트 절연막은 실린더 형상을 갖고, 상기 게이트 전극의 측면 및 하부면과 전체적으로 접하도록 형성된 것을 특징으로 하는 게이트 구조물.

청구항 5.

제1항에 있어서, 상기 게이트 전극은 제1직경을 갖는 제1기둥과, 상기 제1기둥의 상부면 상에 형성되며 상기 제1직경보다 큰 제2직경을 갖는 제2기둥을 포함하며, 상기 제1기둥과 제2기둥은 일체로 형성되는 것을 특징으로 하는 게이트 구조물.

청구항 6.

제5항에 있어서, 상기 게이트 절연막은 상기 제1기둥의 측면과 하부면, 및 상기 제2기둥의 측면과 하부면 상에 형성되는 것을 특징으로 하는 게이트 구조물.

청구항 7.

제1항에 있어서, 상기 게이트 전극의 하부는 상기 기관에 매립되어 있는 것을 특징으로 하는 게이트 구조물.

청구항 8.

제1항에 있어서, 상기 게이트 전극은 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하는 게이트 구조물.

청구항 9.

제8항에 있어서, 상기 게이트 전극의 상부면 상에 형성된 금속 실리사이드층을 더 포함하는 것을 특징으로 하는 게이트 구조물.

청구항 10.

제9항에 있어서, 상기 금속 실리사이드층은 텅스텐 실리사이드, 티타늄 실리사이드, 탄탈 실리사이드, 코발트 실리사이드 및 니켈 실리사이드로 이루어지는 군으로부터 선택된 어느 하나로 이루어지는 것을 특징으로 하는 게이트 구조물.

청구항 11.

제1항에 있어서, 상기 게이트 전극은, 상기 게이트 절연막의 내측면 상에 형성되며 도핑된 폴리실리콘으로 이루어진 도전 패턴과, 상기 도전 패턴의 내부를 채우는 금속 실리사이드 플러그를 포함하는 것을 특징으로 하는 게이트 구조물.

청구항 12.

제1항에 있어서, 상기 게이트 전극은 텅스텐, 티타늄, 탄탈, 코발트, 니켈, 몰리브데늄 및 루테튬으로 이루어진 군으로부터 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 게이트 구조물.

청구항 13.

제1항에 있어서, 상기 게이트 절연막은 실리콘 산화막, 실리콘 산질화막, Ta₂O₅막, TaON막, TiO₂막, Al₂O₃막, Y₂O₃막, ZrO₂막, HfO₂막, BaTiO₃막, SrTiO₃막 또는 이들의 복합막인 것을 특징으로 하는 게이트 구조물.

청구항 14.

기판 상에 형성되며 도전 물질로 이루어지는 게이트 전극 및 상기 게이트 전극의 측면을 감싸도록 형성된 게이트 절연막을 포함하는 게이트 구조물;

상기 게이트 절연막의 측면을 감싸도록 형성된 채널 패턴;

상기 채널 패턴의 하부로부터 연장된 제1도전 패턴; 및

상기 채널 패턴의 상부로부터 연장된 제2도전 패턴을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 15.

제14항에 있어서, 상기 게이트 전극은 상기 기판으로부터 수직 방향으로 형성된 기둥(pillar) 형상을 갖고, 상기 게이트 절연막은 환형 기둥(pillar ring) 형상을 가지며 상기 게이트 전극의 측면과 전체적으로 접하도록 형성되는 것을 특징으로 하는 반도체 장치.

청구항 16.

제14항에 있어서, 상기 채널 패턴은 환형 기둥 형상을 갖고, 상기 게이트 절연막은 상기 채널 패턴의 내측면 상에 형성되며, 상기 게이트 전극은 상기 게이트 절연막의 내측면과 접하는 기둥 형상을 갖는 것을 특징으로 하는 반도체 장치.

청구항 17.

제14항에 있어서, 상기 채널 패턴은 내측면과 외측면을 가지며 상부가 개방된 실린더 형상을 갖고, 상기 게이트 전극은 기둥 형상을 가지며 상기 채널 패턴의 내부에 수용되고, 상기 게이트 절연막은 상기 게이트 전극과 상기 채널 패턴과 접하도록 상기 채널 패턴과 상기 게이트 전극 사이에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 18.

제14항에 있어서, 상기 채널 패턴은 에피택셜 성장 공정을 통해 형성된 단결정 실리콘으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 19.

제14항에 있어서, 상기 채널 패턴은 에피택셜 성장 공정을 수행하는 동안 인시튜 방법으로 도핑되는 것을 특징으로 하는 반도체 장치.

청구항 20.

제14항에 있어서, 상기 제1도전 패턴 및 상기 제2도전 패턴은 상기 채널 패턴의 하부 및 상부를 각각 감싸도록 형성되는 것을 특징으로 하는 반도체 장치.

청구항 21.

제14항에 있어서, 상기 제1도전 패턴 및 상기 제2도전 패턴은 상기 채널 패턴으로부터 서로 다른 방향으로 연장되는 것을 특징으로 하는 반도체 장치.

청구항 22.

제14항에 있어서, 상기 제1도전 패턴 및 상기 제2도전 패턴은 상기 게이트 구조물로부터 수평 방향으로 연장된 것을 특징으로 하는 반도체 장치.

청구항 23.

제14항에 있어서, 상기 제1도전 패턴 및 상기 제2도전 패턴은 상기 게이트 구조물로부터 동일한 수평 방향으로 연장되며, 상기 제1도전 패턴의 연장 길이가 상기 제2도전 패턴의 연장 길이보다 긴 것을 특징으로 하는 반도체 장치.

청구항 24.

제14항에 있어서, 상기 제1도전 패턴 및 상기 제2도전 패턴은 에피택셜 성장 공정 및 불순물 도핑 공정을 통해 형성된 도핑된 단결정 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 25.

제14항에 있어서, 상기 게이트 구조물의 하단부는 상기 기판에 매립된 것을 특징으로 하는 반도체 장치.

청구항 26.

제14항에 있어서, 상기 제1도전 패턴은 상기 기판의 표면 상에 형성된 것을 특징으로 하는 반도체 장치.

청구항 27.

제26항에 있어서, 상기 기판의 표면 부위에는 불순물 도핑 영역이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 28.

제14항에 있어서, 상기 제1도전 패턴은 상기 기판의 표면으로부터 이격되어 형성된 것을 특징으로 하는 반도체 장치.

청구항 29.

제28항에 있어서, 상기 제1도전 패턴과 상기 기판의 표면 사이에 형성된 층간 절연층을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 30.

제29항에 있어서, 상기 기판의 표면 부위에는 불순물 도핑 영역이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 31.

기판에 대하여 수직 방향으로 연장된 기둥(pillar) 형상을 갖는 게이트 전극과, 상기 도전 패턴의 측면 상에 형성된 게이트 절연막을 포함하는 게이트 구조물;

내측면과 외측면을 갖는 실린더 형상을 갖고 상기 내측면이 상기 게이트 절연막의 외측면과 접하도록 배치되며 에피택셜 성장 공정을 통해 형성된 단결정 실리콘으로 이루어진 채널 패턴;

상기 채널 패턴의 하부를 감싸며, 상기 채널 패턴에 대하여 수직하는 제1방향으로 연장하는 불순물 도핑된 제1도전 패턴; 및

상기 채널 패턴의 상부를 감싸며, 상기 채널 패턴에 대하여 수직하는 제2방향으로 연장하는 불순물 도핑된 제2도전 패턴을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 32.

제31항에 있어서, 상기 채널 패턴의 두께는 약 100Å 내지 약 300Å인 것을 특징으로 하는 반도체 장치.

청구항 33.

제31항에 있어서, 상기 채널 패턴을 감싸도록 상기 제1도전 패턴과 제2도전 패턴 사이에 형성된 층간 절연층을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 34.

제31항에 있어서, 상기 게이트 전극은 제1직경을 갖는 제1기둥과, 상기 제1기둥의 상부면 상에 형성되며 상기 제1직경보다 큰 제2직경을 갖는 제2기둥을 포함하며, 상기 제1기둥과 제2기둥은 일체로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 35.

제34항에 있어서, 상기 채널 패턴은 상기 제1기둥을 감싸도록 형성된 것을 특징으로 하는 반도체 장치.

청구항 36.

제35항에 있어서, 상기 게이트 절연막은 상기 제1기둥과 상기 채널 패턴 사이 및 상기 제2기둥과 상기 채널 패턴 사이에 형성된 것을 특징으로 하는 반도체 장치.

청구항 37.

제35항에 있어서, 상기 제2기둥을 감싸도록 형성된 캡핑층을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 38.

제37항에 있어서, 상기 게이트 절연막은 상기 채널 패턴과 상기 게이트 전극 사이 및 상기 캡핑층과 상기 게이트 전극 사이에 형성된 것을 특징으로 하는 반도체 장치.

청구항 39.

제37항에 있어서, 상기 캡핑층은 실리콘 질화물로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 40.

수직 방향으로 연장하며 상부가 개방된 환형 기둥 형태를 갖는 단결정 실리콘 패턴이 형성된 기판을 준비하는 단계;

상기 단결정 실리콘 패턴의 내측면 상에 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막의 내부를 채우는 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 41.

제40항에 있어서, 상기 기판을 준비하는 단계는,

상기 기판 상에 희생층을 형성하는 단계;

상기 기판을 노출시키는 개구부를 형성하기 위해 상기 희생층을 식각하는 단계; 및

상기 개구부 내측면 상에 상기 단결정 실리콘 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 42.

제41항에 있어서, 상기 희생층 상에 상기 희생층의 표면을 노출시키는 제2개구부를 갖는 캡핑층을 형성하는 단계를 더 포함하며, 상기 희생층을 식각하는 단계는 상기 캡핑층을 식각 마스크로 하여 수행되는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 43.

제42항에 있어서, 상기 희생층을 식각하는 단계는, 상기 개구부의 바닥면이 상기 기판의 표면보다 낮게 위치하도록 수행되는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 44.

제43항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 개구부 및 제2개구부를 채우는 도전층을 형성하는 단계; 및

상기 캡핑층의 표면이 노출되도록 상기 도전층의 상부를 식각하는 단계를 포함하는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 45.

제41항에 있어서, 상기 희생층은 에피택셜 성장 공정을 통해 형성된 실리콘 게르마늄층인 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 46.

제41항에 있어서, 상기 단결정 실리콘 패턴은 에피택셜 성장 공정을 통해 형성되는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 47.

제40항에 있어서, 상기 게이트 절연막은 실리콘 산화막, 실리콘 산질화막, Ta₂O₅막, TaON막, TiO₂막, Al₂O₃막, Y₂O₃막, ZrO₂막, HfO₂막, BaTiO₃막, SrTiO₃막 또는 이들의 복합막인 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 48.

제40항에 있어서, 상기 게이트 절연막의 두께는 약 10Å 내지 70Å 정도인 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 49.

제40항에 있어서, 상기 게이트 전극은 불순물 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 50.

제49항에 있어서, 상기 게이트 전극의 상부면 상에 금속 실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 51.

제50항에 있어서, 상기 금속 실리사이드층은 텅스텐 실리사이드, 티타늄 실리사이드, 탄탈 실리사이드, 코발트 실리사이드 및 니켈 실리사이드로 이루어지는 군으로부터 선택된 어느 하나로 이루어지는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 52.

제40항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 게이트 절연막의 내측면 상에 실린더 형상을 갖는 도핑된 폴리실리콘 패턴을 형성하는 단계; 및

상기 폴리실리콘 패턴의 내부를 채우는 금속 실리사이드 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 53.

제40항에 있어서, 상기 게이트 전극은 텅스텐, 티타늄, 탄탈, 코발트, 니켈, 몰리브덴 및 루테튬으로 이루어진 군으로부터 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 게이트 구조물 형성 방법.

청구항 54.

기판 상에 제1도전 패턴을 형성하는 단계;

상기 제1도전 패턴으로부터 수직 방향으로 이격된 제2도전 패턴을 형성하는 단계;

상기 제1도전 패턴 및 상기 제2도전 패턴과 접하며, 내측면과 외측면을 갖는 채널 패턴을 형성하는 단계;

상기 채널 패턴의 내측면 상에 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막의 내부를 채우는 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 55.

제54항에 있어서, 상기 제1도전 패턴과 상기 제2도전 패턴은 부분적으로 오버랩되도록 형성되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 56.

제55항에 있어서, 상기 채널 패턴은 상기 기판에 대하여 수직 방향으로 연장된 환형 기둥 형상을 갖는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 57.

제56항에 있어서, 상기 채널 패턴은 상기 기판에 대하여 수직 방향으로 연장된 환형 기둥 형상을 갖고, 상기 제1도전 패턴과 상기 제2도전 패턴을 통해 형성되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 58.

제55항에 있어서, 상기 제1도전 패턴과 상기 제2도전 패턴은 서로 다른 수평 방향으로 연장되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 59.

제55항에 있어서, 상기 제1도전 패턴과 상기 제2도전 패턴은 동일한 수평 방향으로 연장되며, 상기 제1도전 패턴의 연장 길이가 상기 제2도전 패턴의 연장 길이보다 긴 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 60.

제54항에 있어서, 상기 제1도전 패턴을 형성하는 단계는,

상기 기판 상에 단결정 실리콘층을 에피택셜 성장 공정을 통해 형성하는 단계;

상기 단결정 실리콘층을 제1도전층으로 형성하기 위해 상기 단결정 실리콘층을 불순물로 도핑하는 단계; 및

상기 제1도전 패턴을 형성하기 위해 상기 제1도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 61.

제60항에 있어서, 상기 단결정 실리콘층 상에 버퍼 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 62.

제61항에 있어서, 상기 도핑 단계는 이온 주입 공정에 의해 수행되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 63.

제60항에 있어서, 상기 단결정 실리콘층의 두께는 약 400Å 내지 약 600Å 정도인 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 64.

제60항에 있어서, 상기 단결정 실리콘층을 형성하는 단계 전에 수행되며, 상기 제1도전층에 포함된 불순물과 다른 타입의 불순물을 이용하여 상기 기판의 표면 부위를 도핑하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 65.

제54항에 있어서, 상기 제1도전 패턴을 형성하는 단계는,

상기 반도체 기판 상에 실리콘 게르마늄층을 에피택셜 성장 방법으로 형성하는 단계;

상기 실리콘 게르마늄층 상에 단결정 실리콘층을 에피택셜 성장 방법으로 형성하는 단계;

상기 단결정 실리콘층을 제1도전층으로 형성하기 위해 상기 단결정 실리콘층을 불순물로 도핑하는 단계; 및

상기 제1도전 패턴을 형성하기 위해 상기 제1도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 66.

제65항에 있어서, 상기 제1도전 패턴을 형성하는 단계 전에 수행되며, 상기 제1도전 패턴에 포함된 불순물과 다른 타입의 불순물을 이용하여 상기 기판의 표면 부위를 도핑하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 67.

제54항에 있어서, 상기 제1도전 패턴이 형성된 기판 상에 희생층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 68.

제67항에 있어서, 상기 희생층은 실리콘 게르마늄층이며, 상기 실리콘 게르마늄층은 에피택셜 성장 공정을 통해 형성되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 69.

제67항에 있어서, 상기 희생층을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 70.

제67항에 있어서, 상기 희생층을 형성하는 단계는,

상기 제1도전 패턴이 형성된 기판 상에 제1희생층을 형성하는 단계;

상기 제1희생층을 평탄화하는 단계; 및

상기 제1희생층 상에 제2희생층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 71.

제70항에 있어서, 상기 제1희생층을 평탄화하는 단계는 화학적 기계적 연마 방법에 의해 수행되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 72.

제70항에 있어서, 상기 제1희생층을 평탄화하는 단계는 상기 제1도전 패턴이 노출될 때까지 수행되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 73.

제70항에 있어서, 상기 제2희생층의 두께는 1000Å인 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 74.

제67항에 있어서, 상기 제2도전 패턴을 형성하는 단계는,

상기 희생층 상에 단결정 실리콘층을 에피택셜 성장 방법으로 형성하는 단계;

상기 단결정 실리콘층을 제2도전층으로 형성하기 위해 상기 단결정 실리콘층을 불순물로 도핑하는 단계; 및

상기 제2도전 패턴을 형성하기 위해 상기 제2도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 75.

제74항에 있어서, 상기 단결정 실리콘층의 두께는 400Å 내지 600Å인 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 76.

제74항에 있어서, 상기 단결정 실리콘층 상에 버퍼 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 77.

제67항에 있어서, 상기 희생층 및 상기 제2도전 패턴 상에 캡핑층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 78.

제77항에 있어서, 상기 캡핑층은 실리콘 질화물로 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 79.

제77항에 있어서, 상기 캡핑층을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 80.

제77항에 있어서, 상기 캡핑층의 상부면으로부터 상기 제2도전 패턴, 상기 희생층 및 상기 제1도전 패턴을 통해 통과하는 개구부를 형성하는 단계를 더 포함하며, 상기 채널 패턴은 상기 개구부의 내측면 상에 형성되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 81.

제80항에 있어서, 상기 채널 패턴은 상기 제1도전 패턴, 상기 희생층 및 상기 제1도전 패턴에 의해 한정되는 개구부의 내측면 상에 선택적 에피택셜 성장 공정을 통해 형성되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 82.

제81항에 있어서, 상기 채널 패턴은 단결정 실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 83.

제82항에 있어서, 상기 채널 패턴은 상기 선택적 에피택셜 성장 공정을 수행하는 동안 인시튜 방법으로 도핑되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 84.

제81항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 개구부를 채우는 제3도전층을 형성하는 단계; 및

상기 게이트 전극을 형성하기 위해 상기 캡핑층의 상부면이 노출되도록 상기 제3도전층의 상부를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 85.

제84항에 있어서, 상기 제3도전층의 상부는 화학적 기계적 연마 공정을 통해 제거되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 86.

제84항에 있어서, 상기 캡핑층 상에 상기 제2도핑 패턴과 대응하는 하드 마스크를 형성하는 단계;

상기 하드 마스크를 이용하여 상기 제2도핑 패턴의 상부에 위치하는 상기 캡핑층의 제1부위를 제외한 제2부위를 제거하는 단계;

상기 희생층을 제거하는 단계;

상기 하드 마스크를 제거하는 단계; 및

상기 희생층 및 상기 캡핑층의 제2부위가 제거된 공간에 층간 절연층을 필링하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 87.

제86항에 있어서, 상기 희생층을 제거하는 단계는 상기 희생층과 상기 채널 패턴에 대한 식각 선택비가 50:1 이상인 에천트를 이용하는 습식 식각 방법을 이용하여 제거되는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 88.

제80항에 있어서, 상기 개구부를 형성하는 단계는, 상기 개구부의 바닥면이 상기 기판의 표면보다 낮게 위치하도록 수행되는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 89.

제54항에 있어서, 상기 채널 패턴의 두께는 100Å 내지 300Å 정도인 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 90.

제54항에 있어서, 상기 게이트 절연막은 실리콘 산화막, 실리콘 산질화막, Ta₂O₅막, TaON막, TiO₂막, Al₂O₃막, Y₂O₃막, ZrO₂막, HfO₂막, BaTiO₃막, SrTiO₃막 또는 이들의 복합막인 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 91.

제54항에 있어서, 상기 게이트 전극은 불순물 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 92.

제91항에 있어서, 상기 게이트 전극의 상부면 상에 금속 실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 93.

제54항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 게이트 절연막의 내측면 상에 실린더 형상을 갖는 도핑된 폴리실리콘 패턴을 형성하는 단계; 및

상기 폴리실리콘 패턴의 내부를 채우는 금속 실리사이드 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 94.

제54항에 있어서, 상기 게이트 전극은 텅스텐, 티타늄, 탄탈, 코발트, 니켈, 몰리브데늄 및 루테튬으로 이루어진 군으로부터 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

청구항 95.

기판 상에 제1도전층을 형성하는 단계;

제1도전 패턴을 형성하기 위해 상기 제1도전층을 패터닝하는 단계;

상기 기판 및 상기 제1도전 패턴 상에 희생층을 형성하는 단계;

상기 희생층 상에 제2도전층을 형성하는 단계;

상기 제2도전층 및 상기 희생층을 통과하여 상기 제1도전 패턴과 접하며, 환형 기둥 형상을 갖는 채널 패턴을 형성하는 단계;

상기 채널 패턴의 내측면 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막의 내부를 채우는 게이트 전극을 형성하는 단계; 및

상기 채널 패턴과 접하는 제2도전 패턴을 형성하기 위해 상기 제2도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 96.

제95항에 있어서, 상기 제1도전 패턴 및 상기 제2도전 패턴은 상기 채널 패턴의 하부와 상부를 각각 감싸도록 형성되는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 97.

제95항에 있어서, 상기 제2도전층 상에 캡핑층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 98.

제97항에 있어서, 상기 채널 패턴을 형성하는 단계는,

상기 캡핑층의 상부면으로부터 상기 제2도전층, 상기 희생층 및 상기 제1도전 패턴을 통과하는 개구부를 형성하는 단계; 및

상기 개구부의 내측면 상에 에피택셜 성장 방법을 이용하여 단결정 실리콘으로 이루어지는 상기 채널 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 99.

제98항에 있어서, 상기 게이트 전극을 형성하는 단계는,

상기 개구부를 채우는 제3도전층을 형성하는 단계; 및

상기 게이트 전극을 형성하기 위해 상기 캡핑층의 상부면이 노출되도록 상기 제3도전층의 상부를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 100.

제97항에 있어서, 상기 제2도전층을 패터닝하는 단계는,

상기 제2도전 패턴을 형성하기 위한 하드 마스크를 상기 캡핑층 상에 형성하는 단계; 및

상기 하드 마스크를 이용하여 상기 캡핑층 및 상기 제2도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 101.

제100항에 있어서, 상기 희생층과 상기 채널 패턴에 대하여 50:1 이상의 식각 선택비를 갖는 에천트를 이용하여 상기 희생층을 제거하는 단계;

상기 희생층이 제거된 공간과, 상기 제2도전층을 패터닝하는 단계를 수행하는 동안 상기 캡핑층 및 제2도전층이 제거된 공간들을 채우는 층간 절연층을 형성하는 단계; 및

상기 하드 마스크를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 102.

제100항에 있어서, 상기 희생층과 상기 채널 패턴에 대하여 50:1 이상의 식각 선택비를 갖는 에천트를 이용하여 상기 희생층을 제거하는 단계;

상기 하드 마스크 및 상기 제2도전 패턴 상의 캡핑층을 제거하는 단계; 및

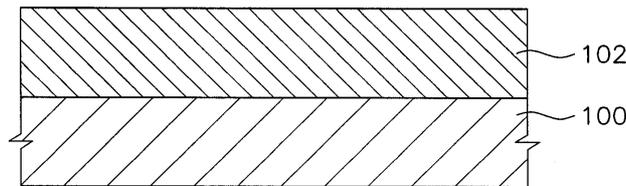
상기 희생층이 제거된 공간과, 상기 제2도전층을 패터닝하는 단계를 수행하는 동안 상기 제2도전층이 제거된 공간과, 상기 캡핑층이 제거된 공간을 채우는 층간 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 형성 방법.

청구항 103.

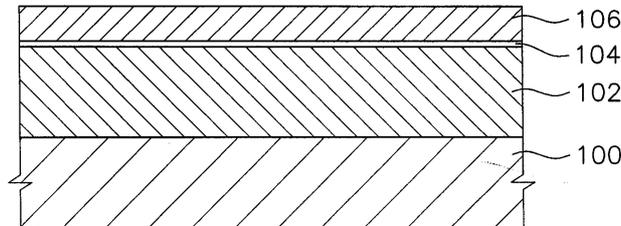
제95항에 있어서, 상기 제1도전층 및 상기 제2도전층은 실리콘 소스 가스와 도펀트 소스를 포함하는 공정 가스를 이용하는 에피택셜 성장 공정을 통해 형성되는 것을 특징으로 하는 반도체 장치의 형성 방법.

도면

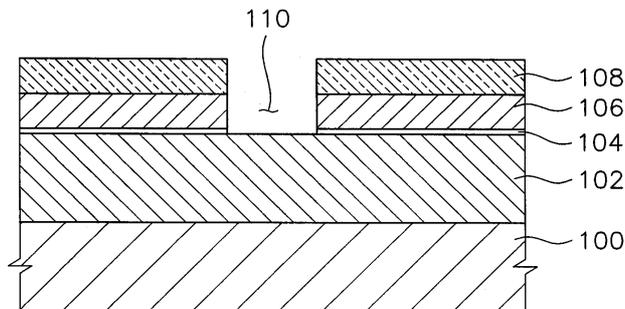
도면1a



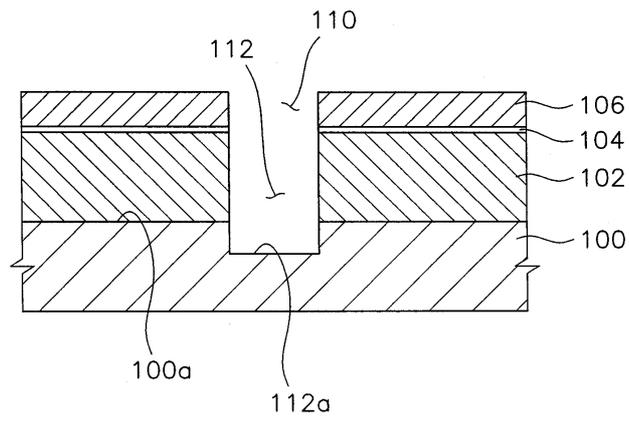
도면1b



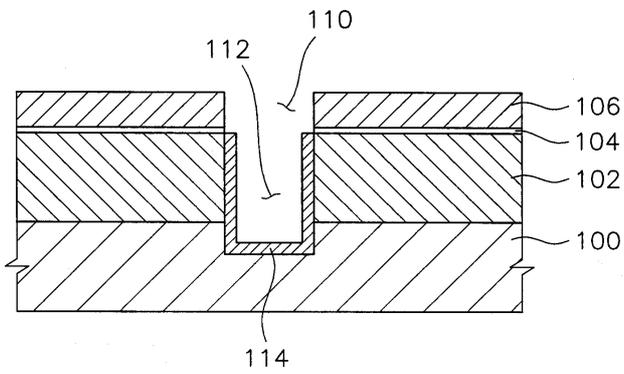
도면1c



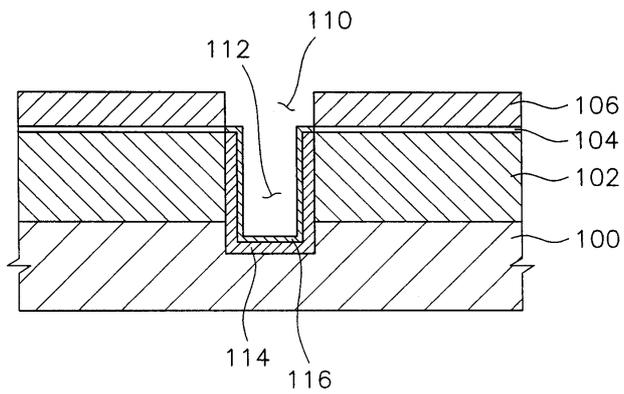
도면1d



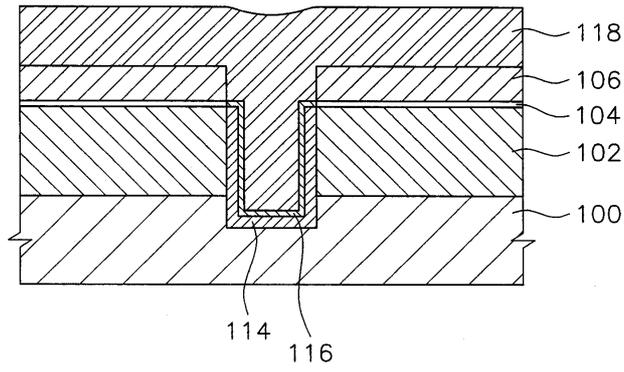
도면1e



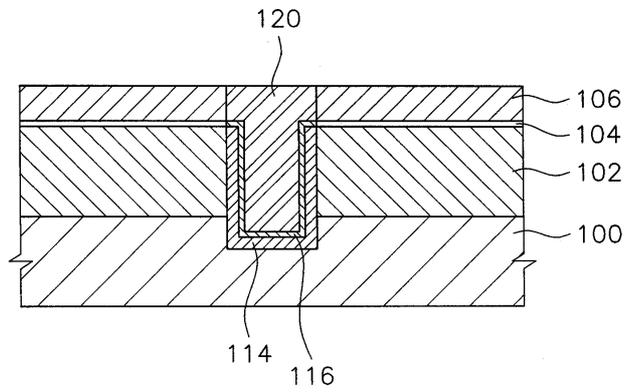
도면1f



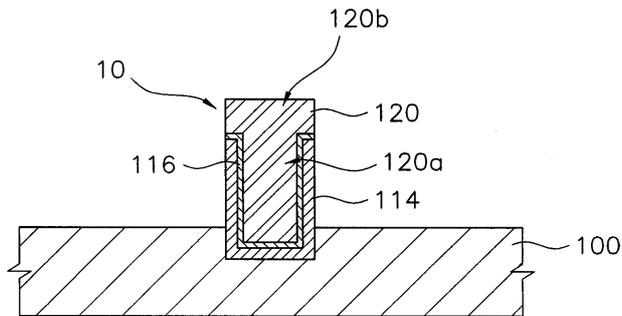
도면1g



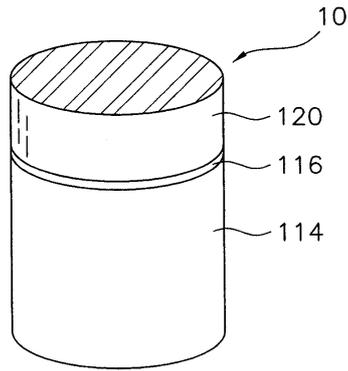
도면1h



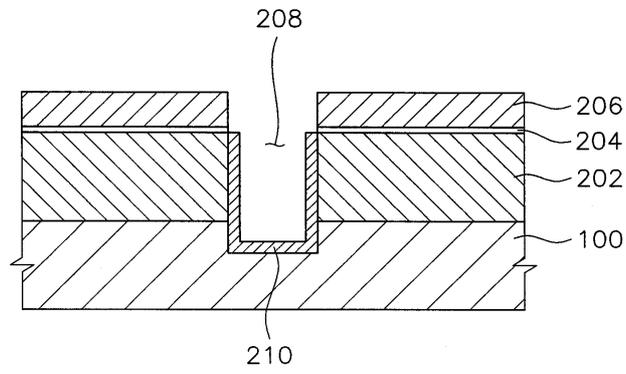
도면1i



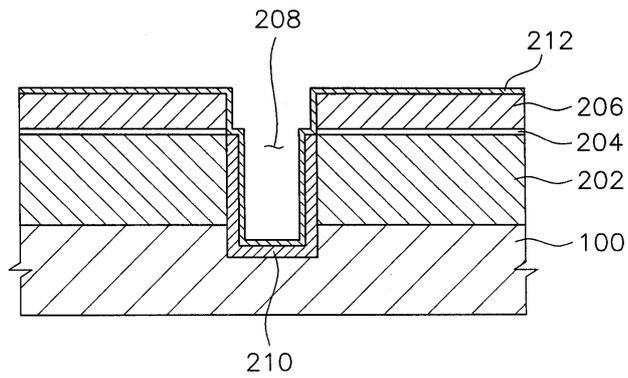
도면2



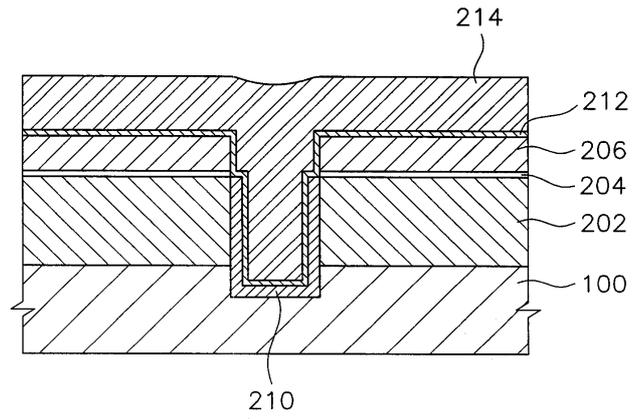
도면3a



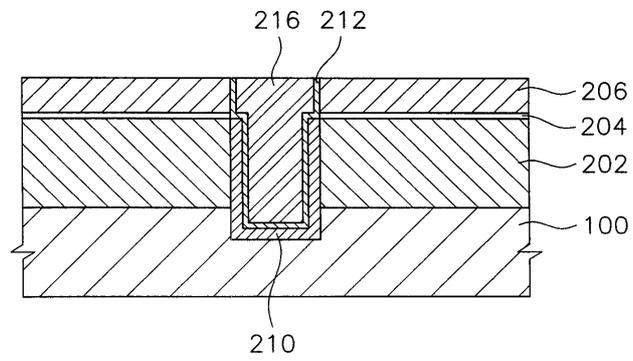
도면3b



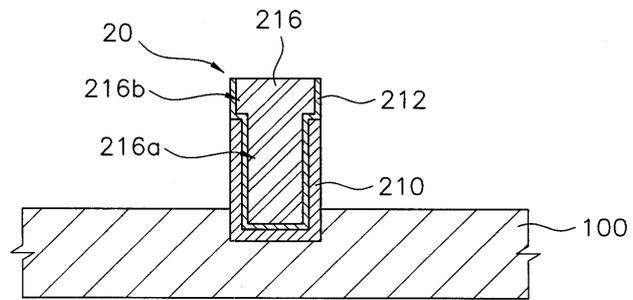
도면3c



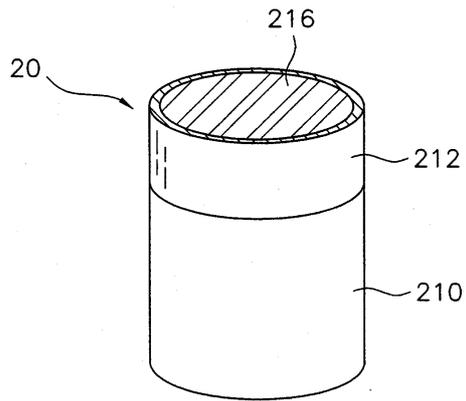
도면3d



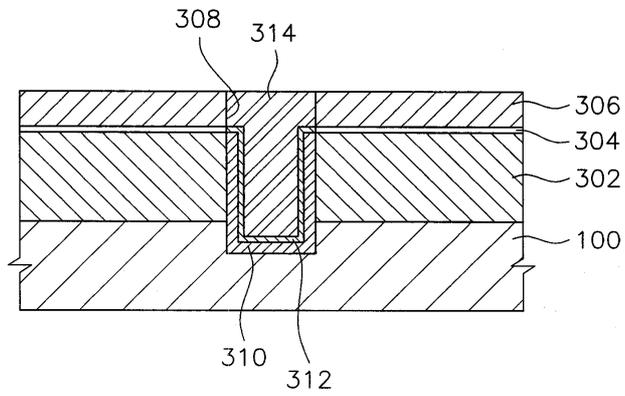
도면3e



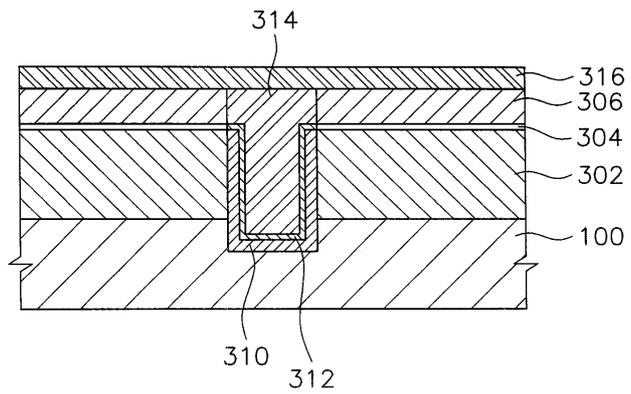
도면4



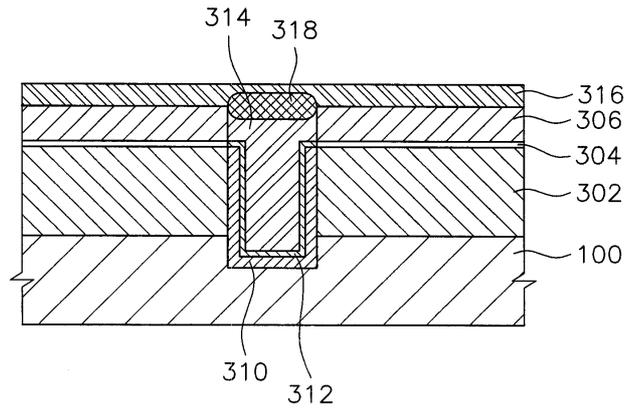
도면5a



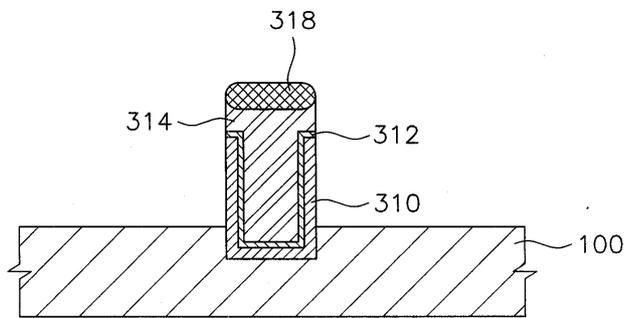
도면5b



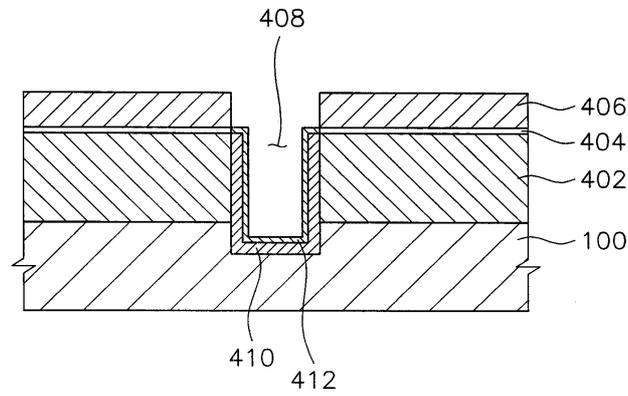
도면5c



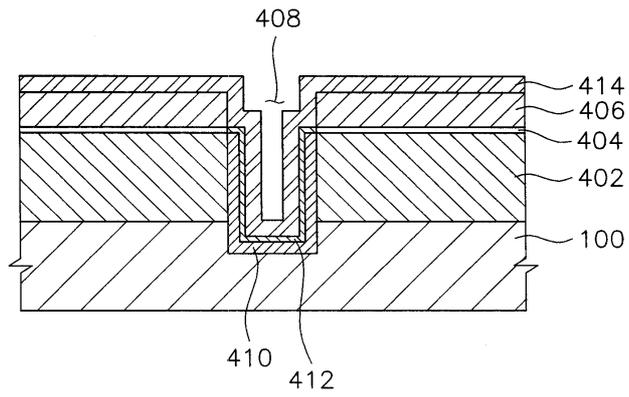
도면5d



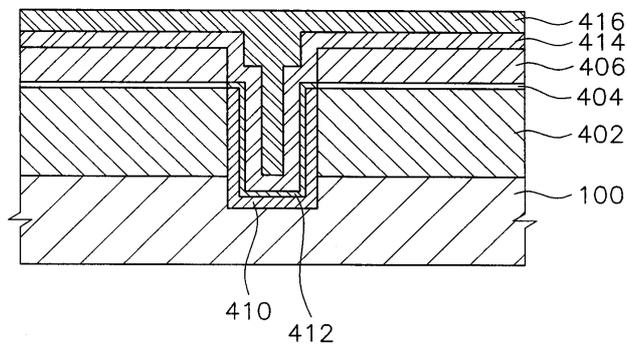
도면6a



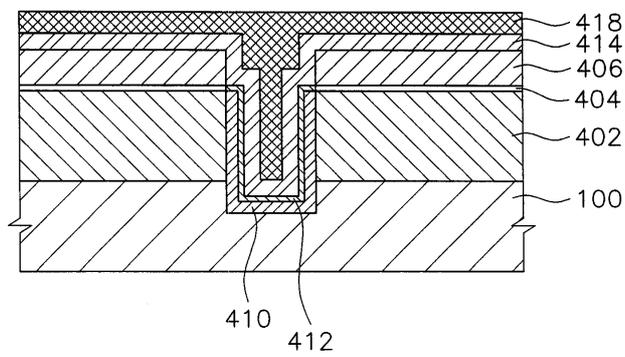
도면6b



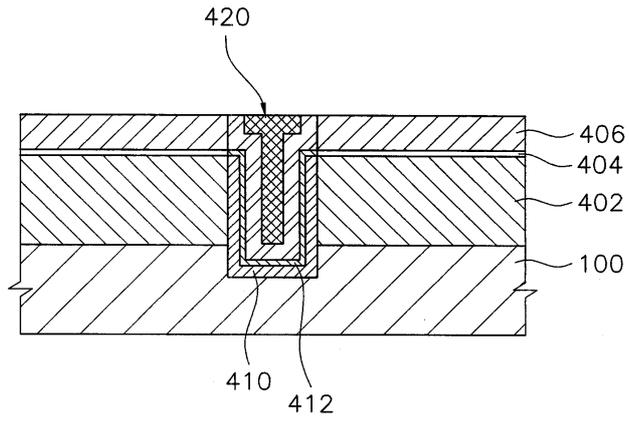
도면6c



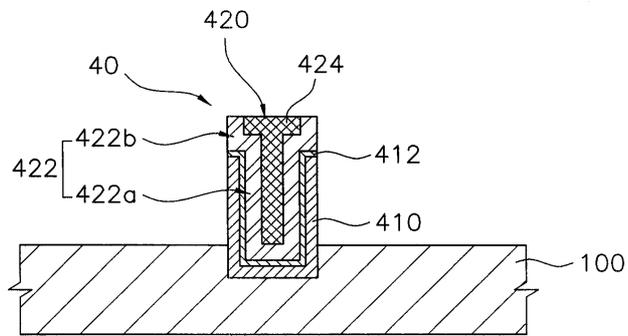
도면6d



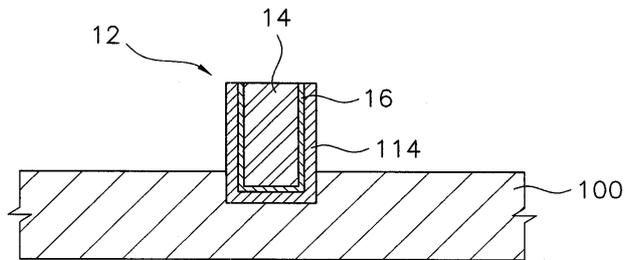
도면6e



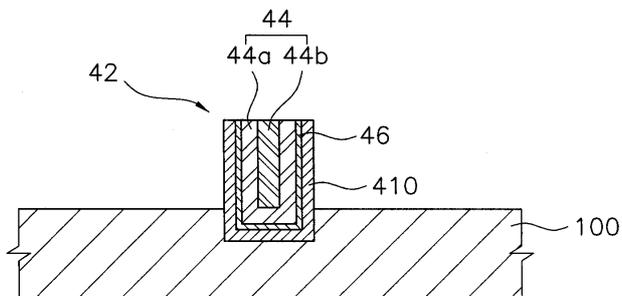
도면6f



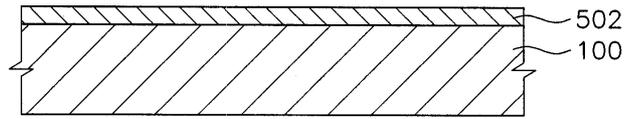
도면7a



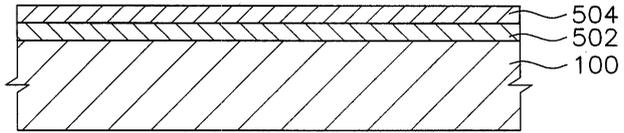
도면7b



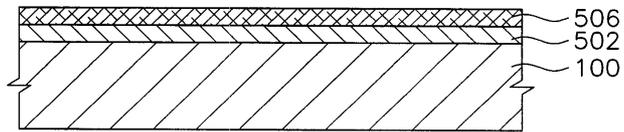
도면8a



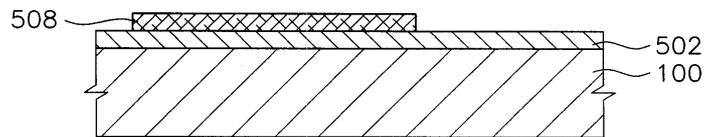
도면8b



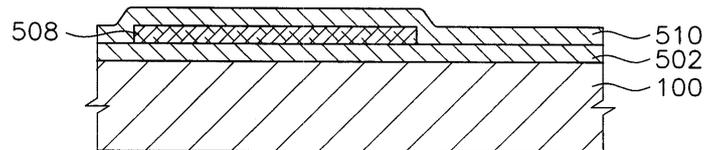
도면8c



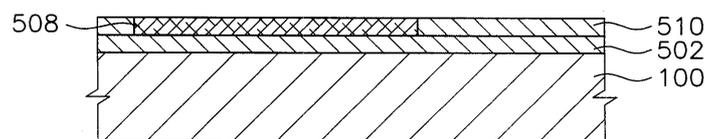
도면8d



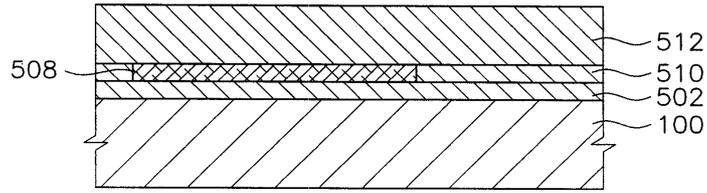
도면8e



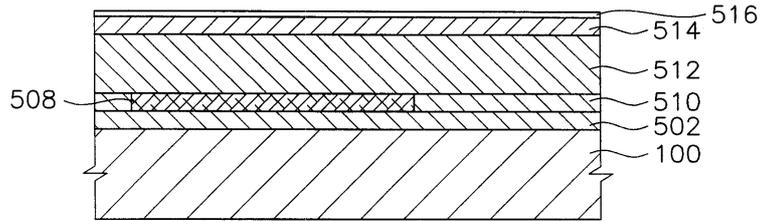
도면8f



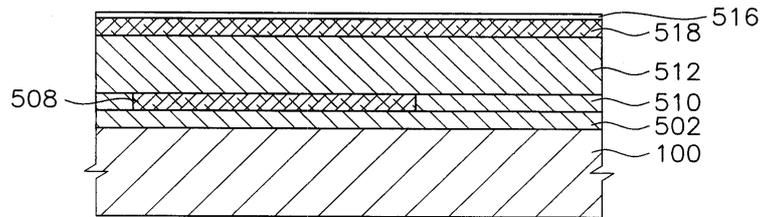
도면8g



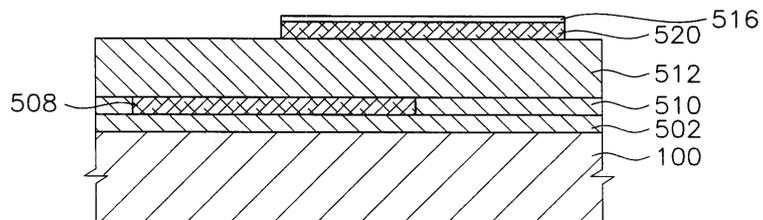
도면8h



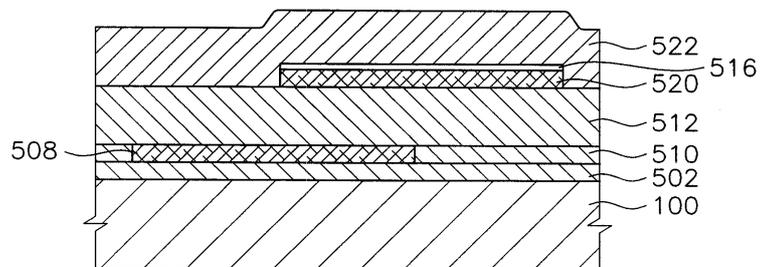
도면8i



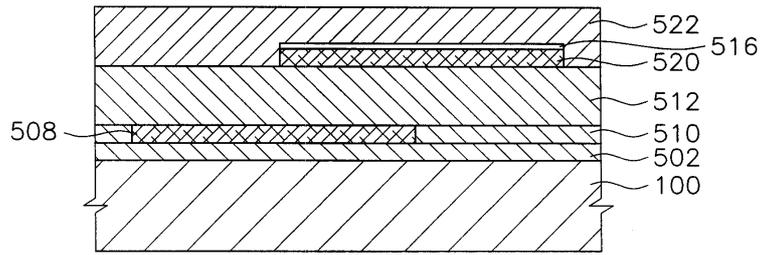
도면8j



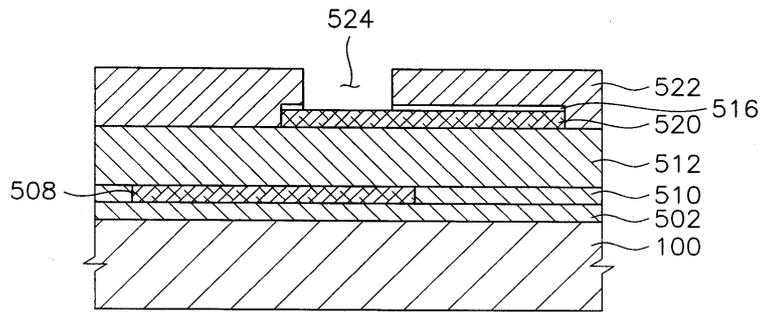
도면8k



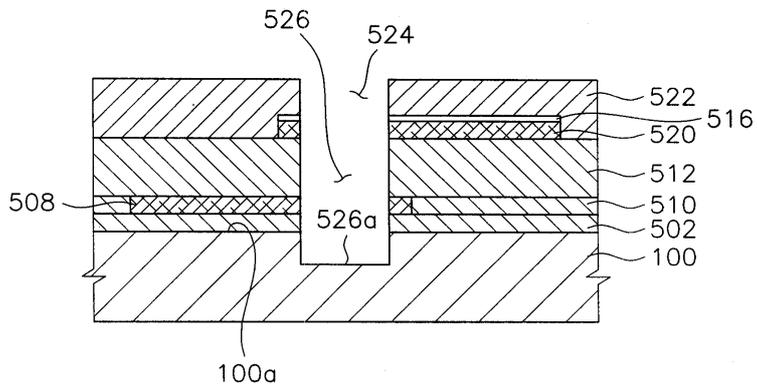
도면8l



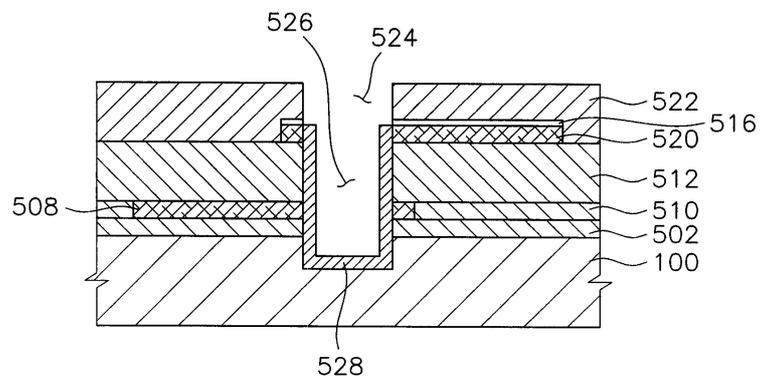
도면8m



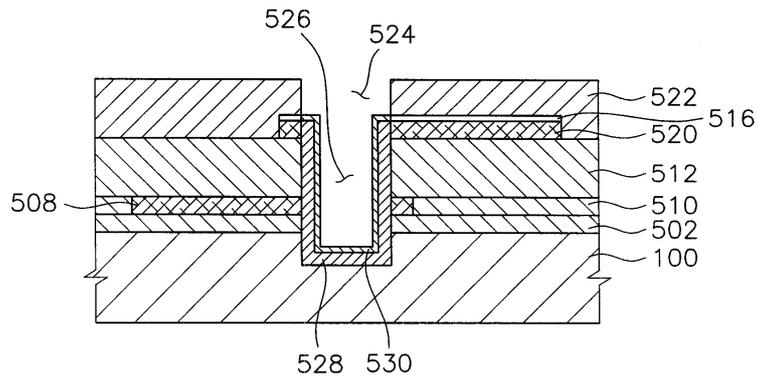
도면8n



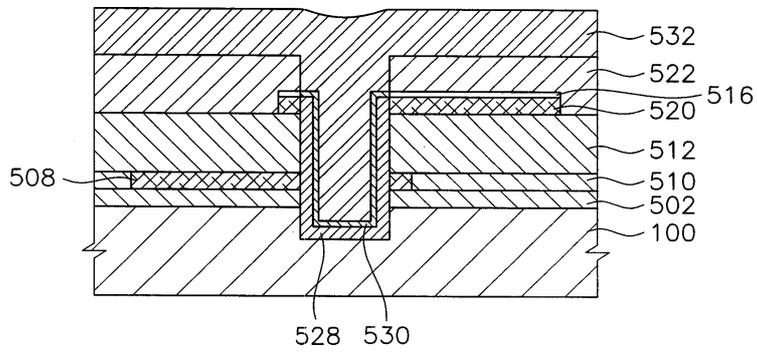
도면8o



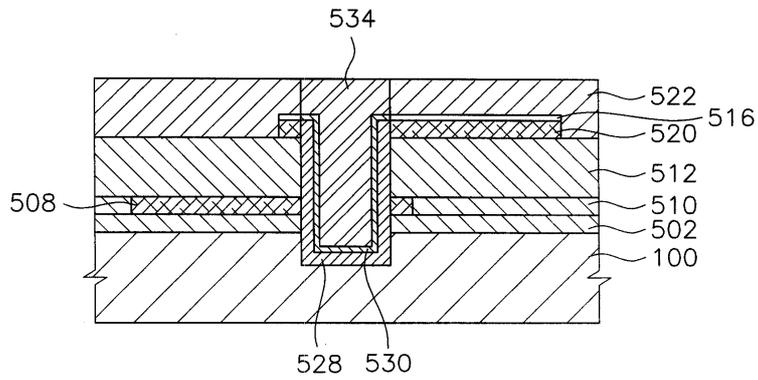
도면8p



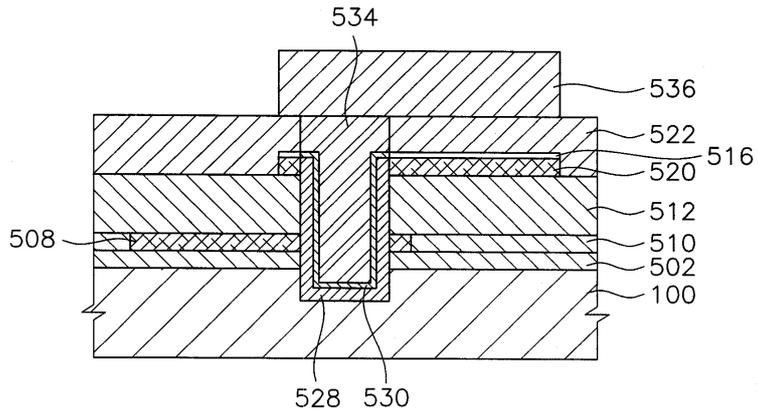
도면8q



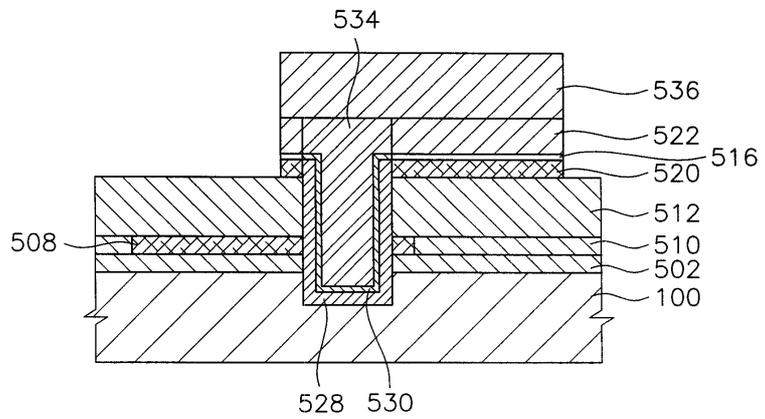
도면8r



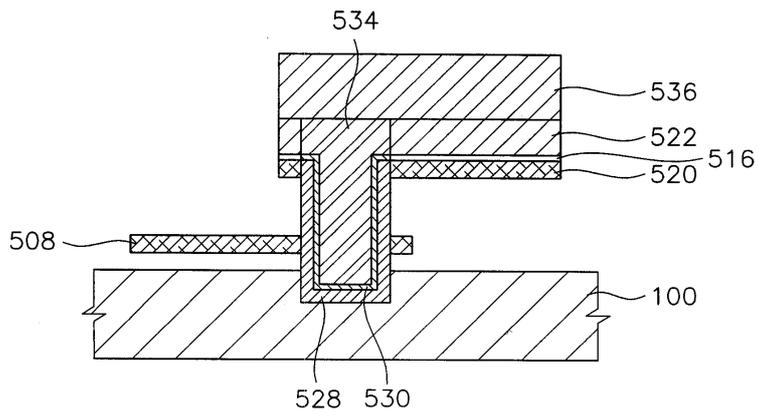
도면8s



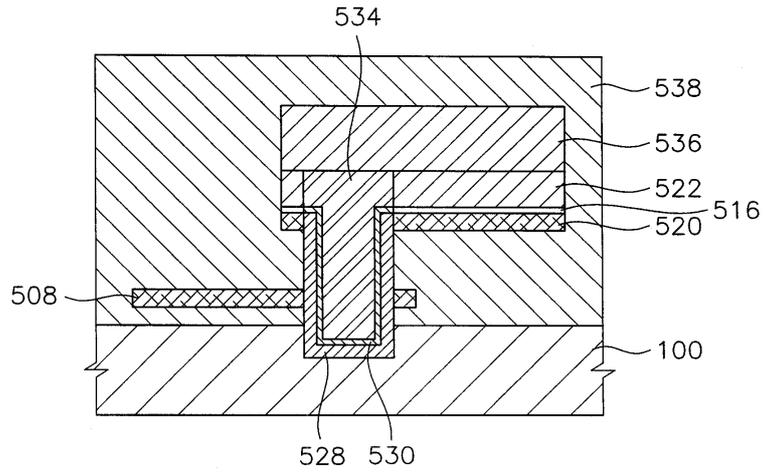
도면8t



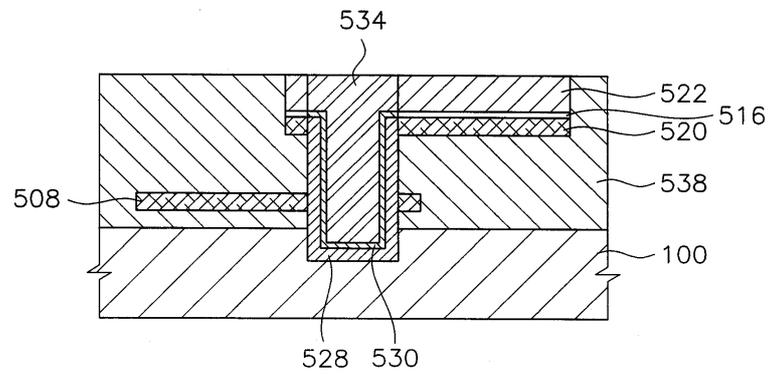
도면8u



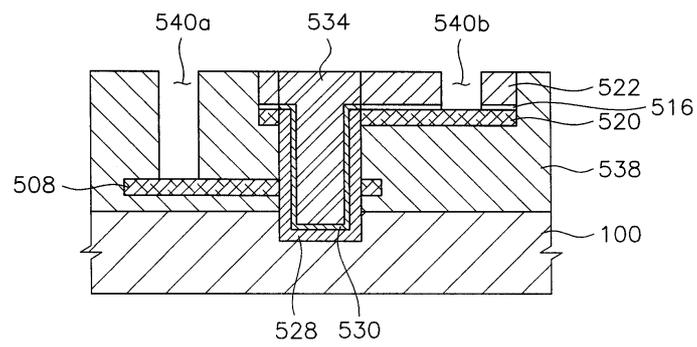
도면8v



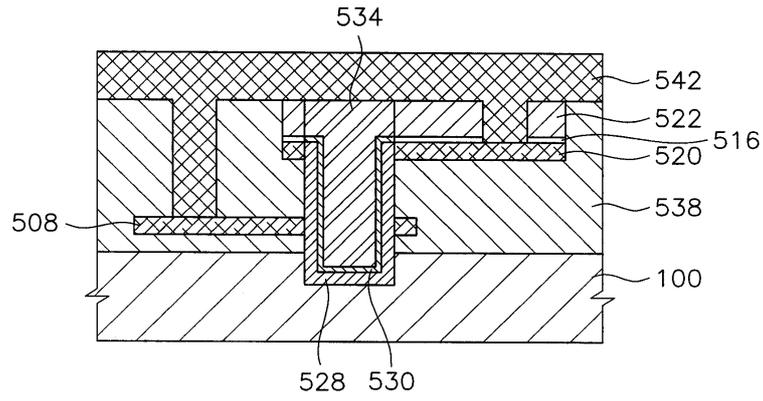
도면8w



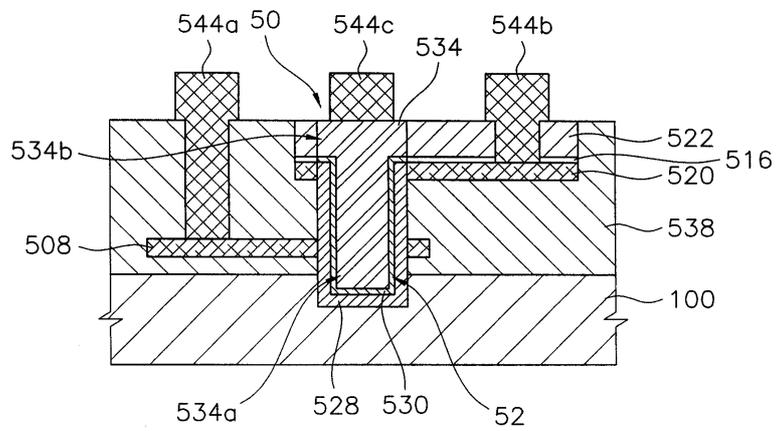
도면8x



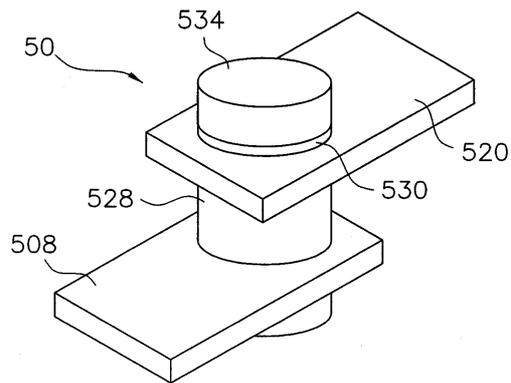
도면8y



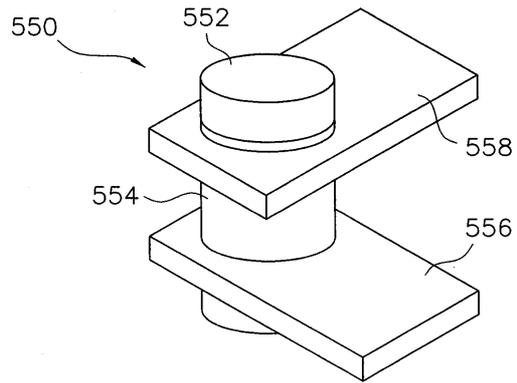
도면8z



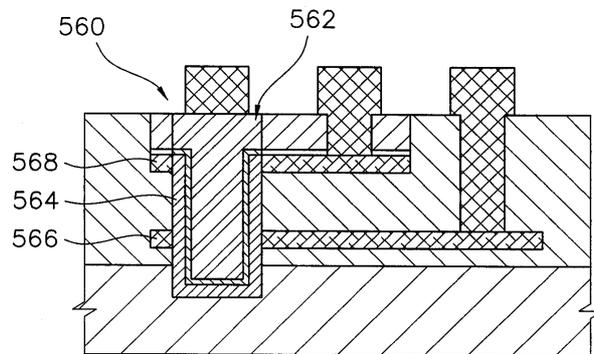
도면9



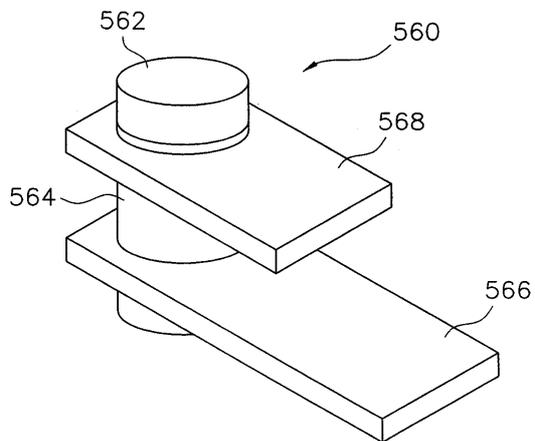
도면10



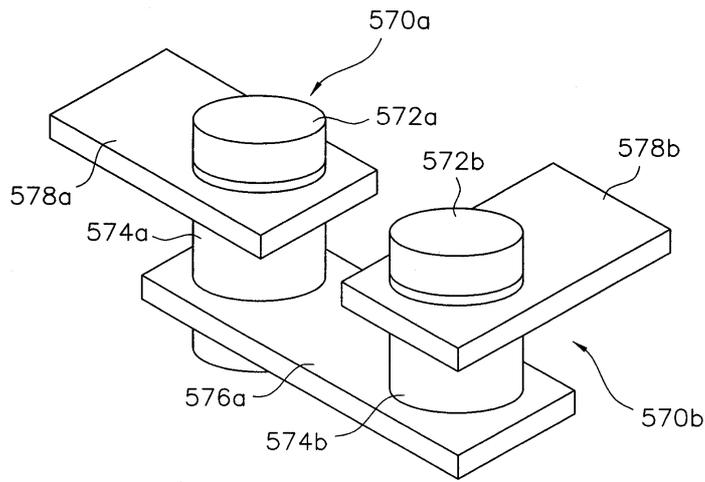
도면11a



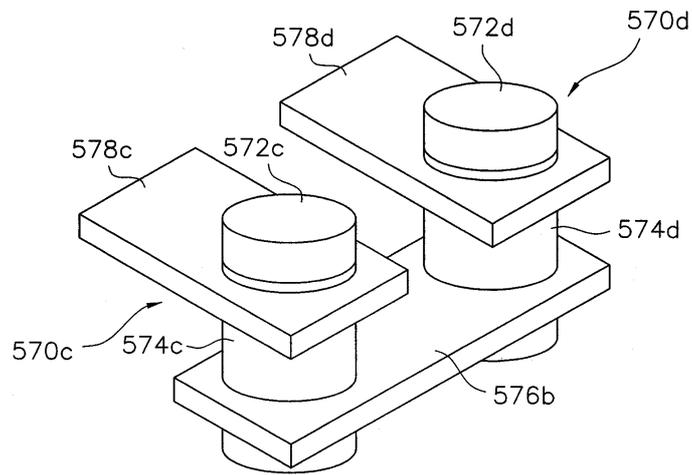
도면11b



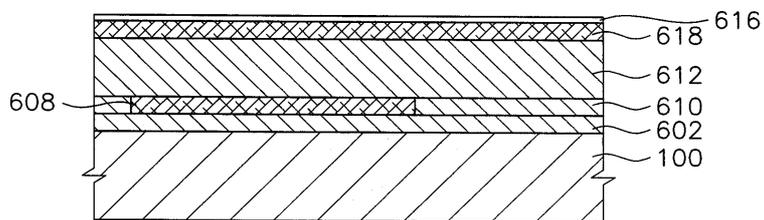
도면12



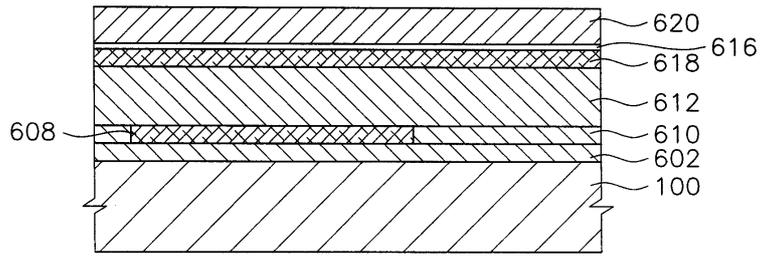
도면13



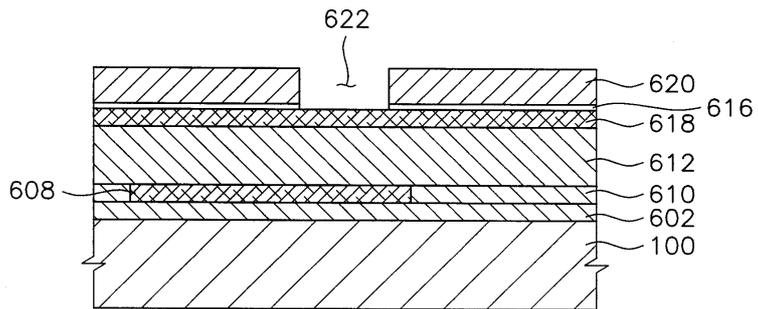
도면14a



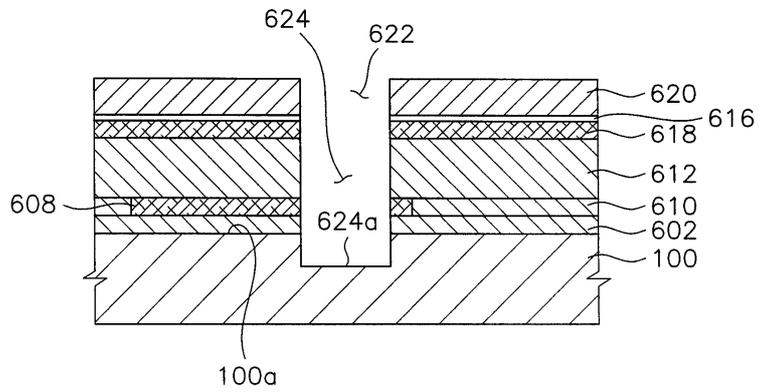
도면14b



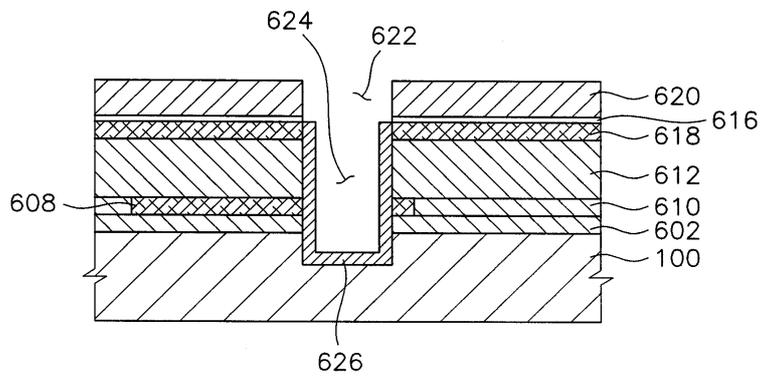
도면14c



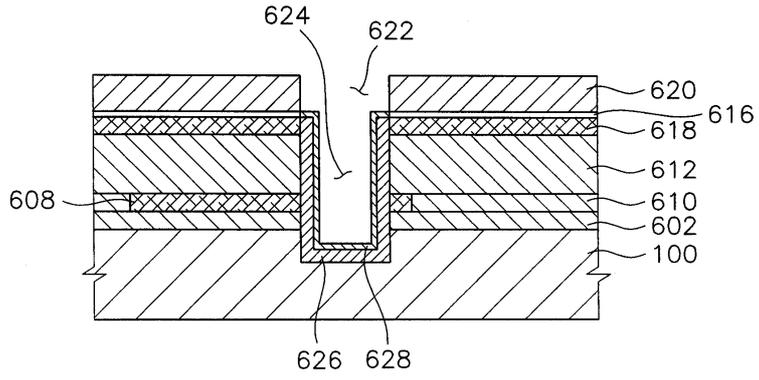
도면14d



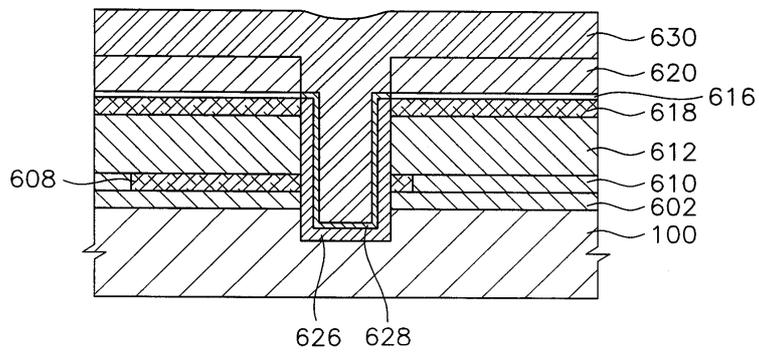
도면14e



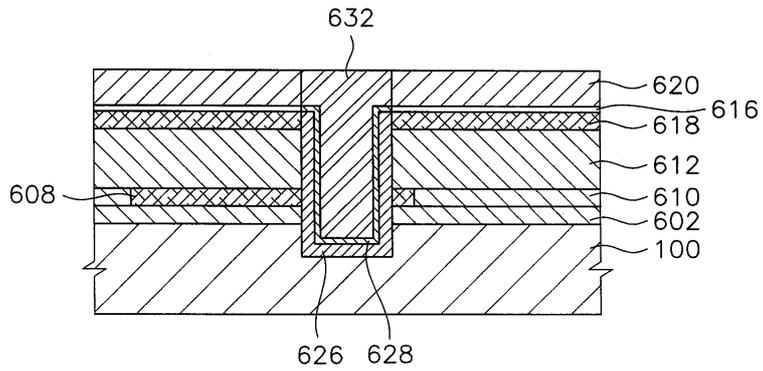
도면14f



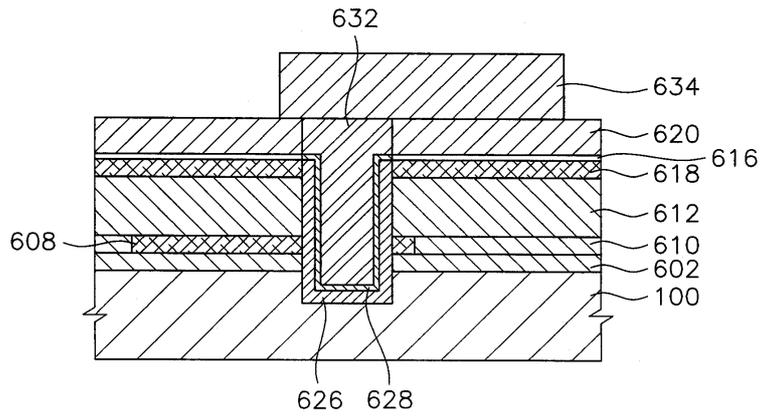
도면14g



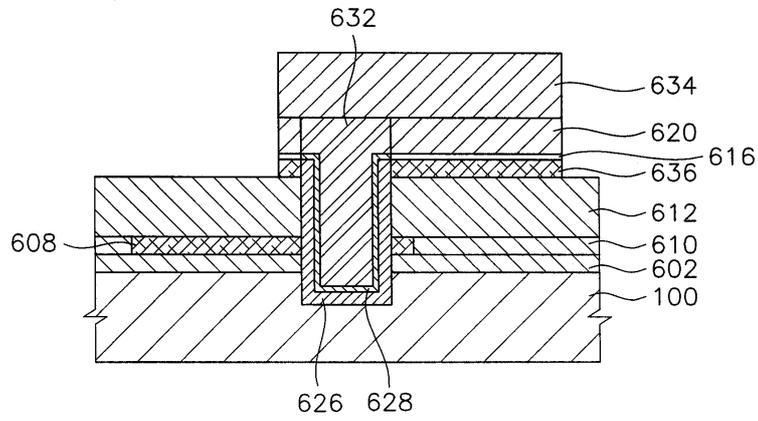
도면14h



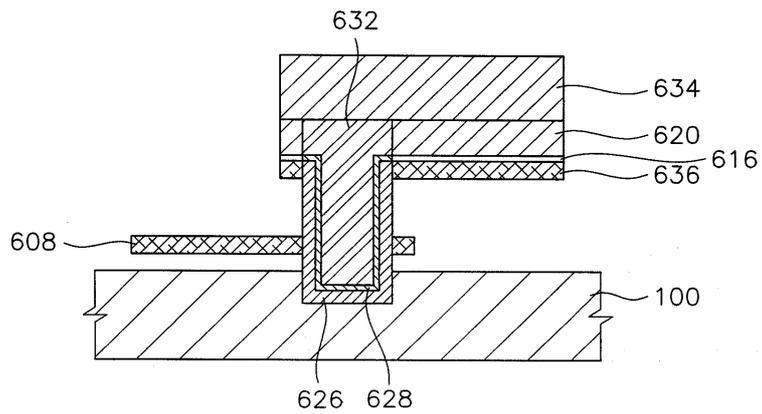
도면14i



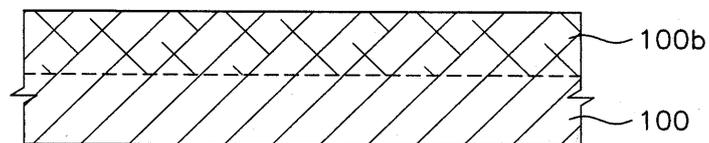
도면14j



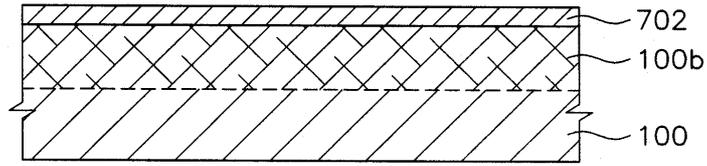
도면14k



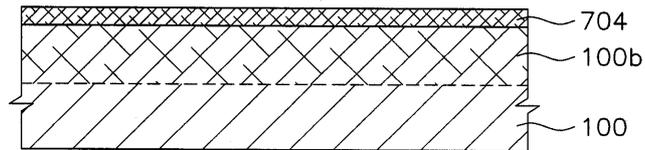
도면15a



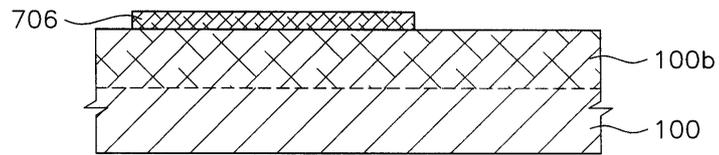
도면15b



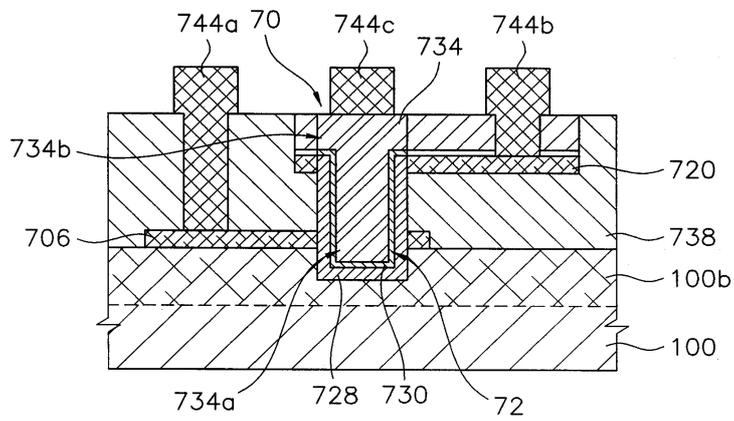
도면15c



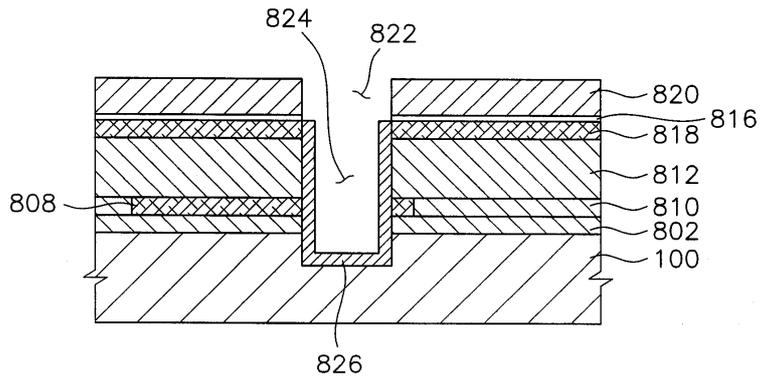
도면15d



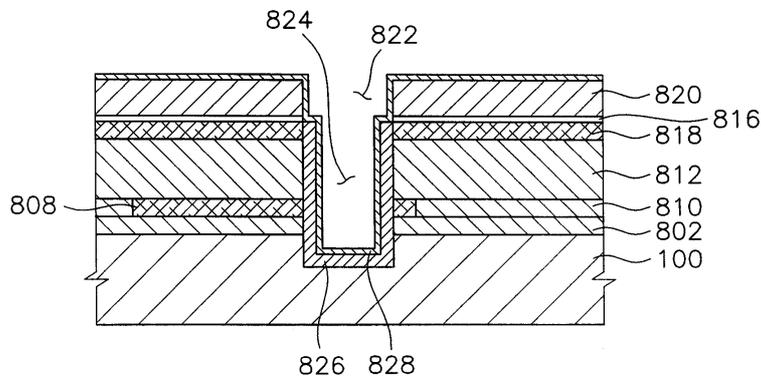
도면15e



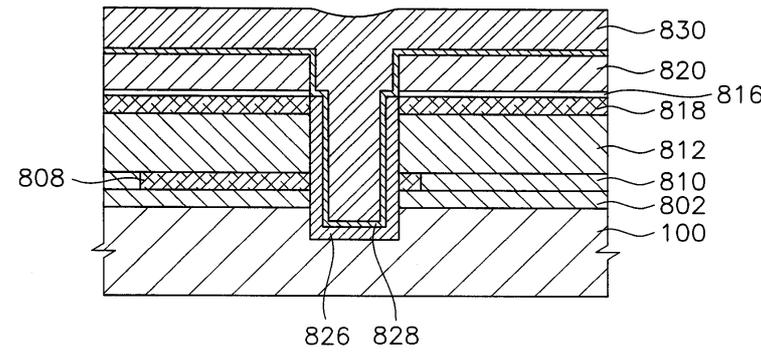
도면16a



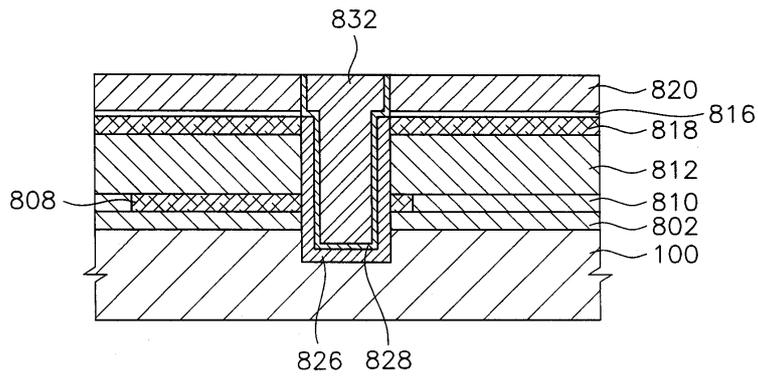
도면16b



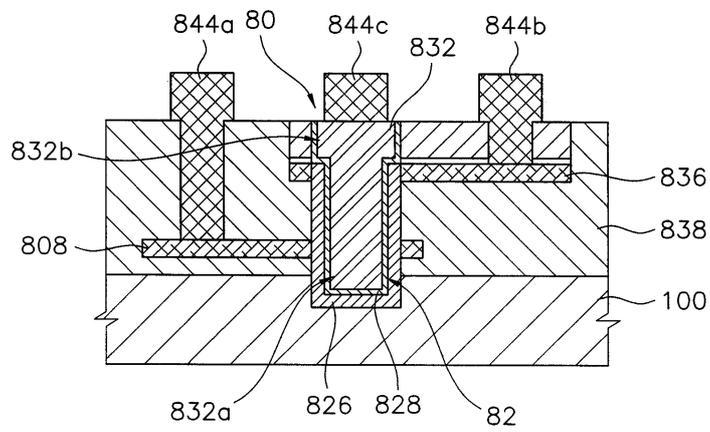
도면16c



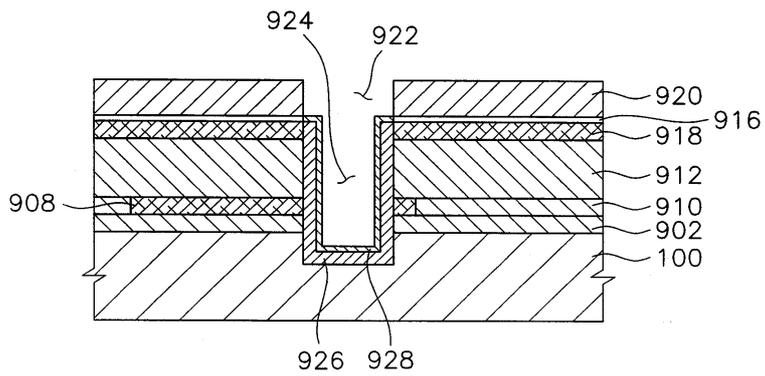
도면16d



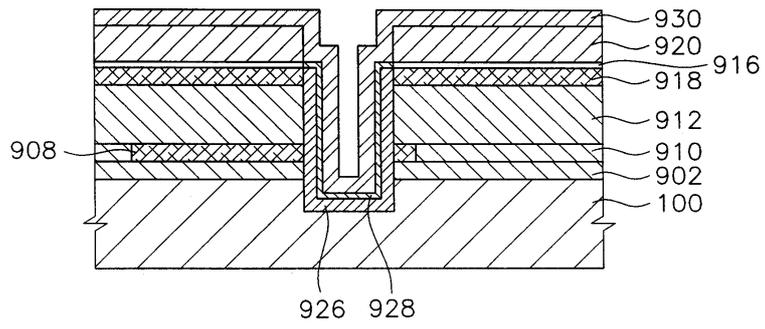
도면16e



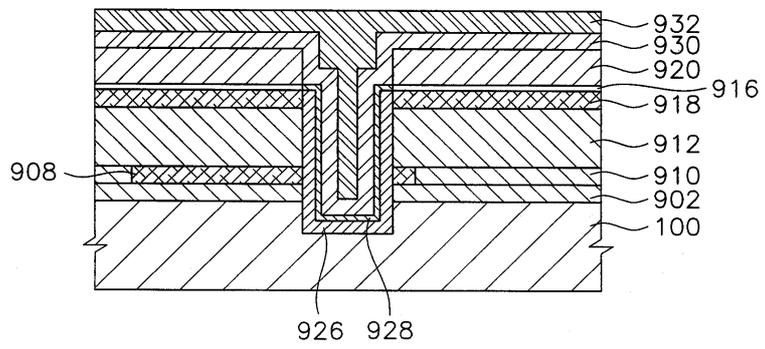
도면17a



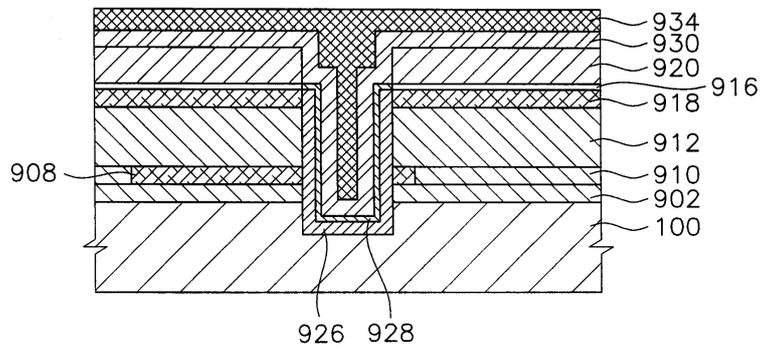
도면17b



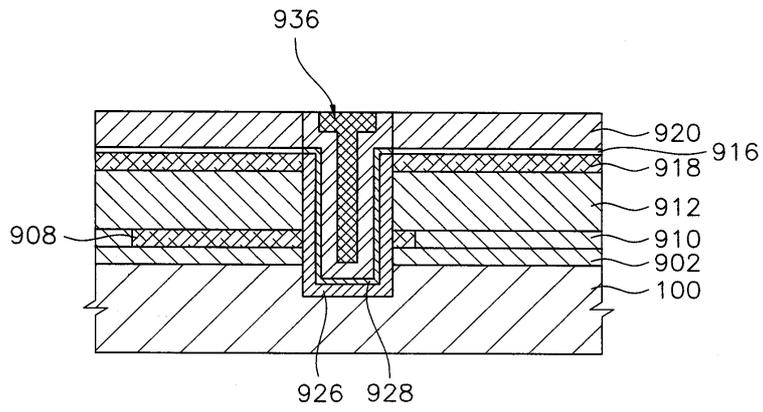
도면17c



도면17d



도면17e



도면17f

