



(12)发明专利申请

(10)申请公布号 CN 110349982 A

(43)申请公布日 2019.10.18

(21)申请号 201910226781.9

(22)申请日 2019.03.25

(30)优先权数据

15/945,490 2018.04.04 US

(71)申请人 安华高科技股份有限公司

地址 新加坡新加坡市

(72)发明人 克劳迪奥·皮耶蒙特

(74)专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

代理人 林斯凯

(51)Int.Cl.

H01L 27/144(2006.01)

H01L 27/146(2006.01)

H01L 31/107(2006.01)

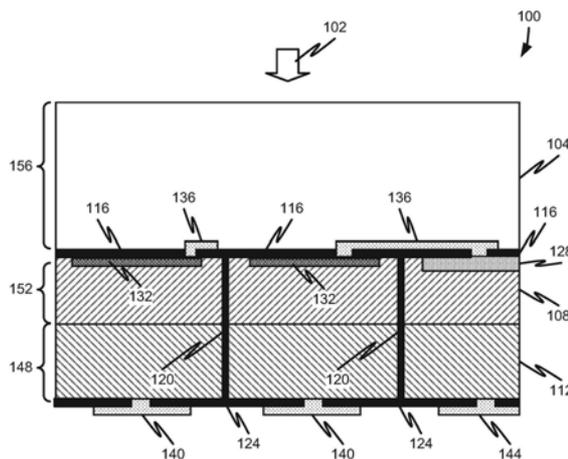
权利要求书2页 说明书9页 附图11页

(54)发明名称

包含单个光子雪崩二极管SPAD结构的半导体装置及传感器

(57)摘要

本发明涉及包含单个光子雪崩二极管SPAD结构的半导体装置及传感器。描述一种半导体装置、传感器及SPAD立方体阵列。揭示的所述传感器的一个实例包含：至少一个SPAD立方体，其建立在衬底中，所述至少一个SPAD立方体包含：光敏区，其经配置以响应于光撞击所述光敏区产生电信号，其中所述光敏区被定位在所述至少一个SPAD立方体的第一侧处；接点，其接收所述电信号，其中所述接点被定位在所述至少一个SPAD立方体的第二侧处，所述第二侧与所述至少一个SPAD立方体的所述第一侧相对；及至少一个沟槽，其跨越所述衬底的整个厚度，借此电及光学隔离所述至少一个SPAD立方体与邻近SPAD立方体。



1. 一种半导体装置,其包括:
  - 硅衬底,其具有第一侧及相对的第二侧;
  - 第一单光子雪崩二极管SPAD,其提供于所述硅衬底中;
  - 第二SPAD,其提供于所述硅衬底中且还经定位邻近所述第一SPAD;
  - 至少一个沟槽,其通过从所述硅衬底的所述第一侧延伸到所述硅衬底的所述第二侧电隔离所述第一SPAD与所述第二SPAD;及
  - 至少一个背侧接点,其经定位接近所述硅衬底的所述第二侧,其中所述至少一个SPAD接点接收电信号,所述电信号是响应于所述第一SPAD或第二SPAD接收光子。
2. 根据权利要求1所述的半导体装置,其中所述衬底包括高度掺杂硅材料。
3. 根据权利要求1所述的半导体装置,其中所述第一侧与所述第二侧之间的距离不超过大约50微米。
4. 根据权利要求1所述的半导体装置,其中所述至少一个沟槽开始于所述硅衬底的所述第一侧处且延伸穿过所述硅衬底的n掺杂部分及所述硅衬底的p掺杂部分,一直穿过所述硅衬底。
5. 根据权利要求4所述的半导体装置,其进一步包括:
  - 电介质层,其基本上邻近所述硅衬底的所述第二侧,其中所述至少一个沟槽延伸到所述电介质层且接触所述电介质层。
6. 根据权利要求5所述的半导体装置,其中所述至少一个背侧接点直接形成在所述电介质层上。
7. 根据权利要求1所述的半导体装置,其中所述至少一个背侧接点包括第一接点及第二接点,其中所述第一接点从所述第一SPAD接收第一电信号,其中所述第二接点从所述第二SPAD接收第二电信号,且其中所述第一接点与所述第二接点电隔离。
8. 根据权利要求1所述的半导体装置,其中所述第一SPAD属于第一迷你硅光电倍增管SiPM,其中所述第二SPAD属于第二迷你SiPM,且其中所述第一迷你SiPM通过所述至少一个沟槽与所述第二迷你SiPM电隔离。
9. 根据权利要求8所述的半导体装置,其中所述至少一个沟槽包括第一沟槽,所述第一沟槽在所述第一迷你SiPM与所述第二迷你SiPM之间提供电及光学隔离,且其中所述至少一个沟槽进一步包括第二沟槽,所述第二沟槽在属于所述第一迷你SiPM的至少两个SPAD之间提供单侧电及光学隔离。
10. 根据权利要求9所述的半导体装置,其中所述第一沟槽比所述第二沟槽长。
11. 根据权利要求1所述的半导体装置,其进一步包括:
  - 额外接点,其经定位接近所述硅衬底的所述第二侧,其中所述额外接点通过穿硅通孔TSV电连接到所述硅衬底的所述第一侧,且其中所述TSV通过所述至少一个沟槽与所述第一SPAD及第二SPAD隔离。
12. 一种传感器,其包括:
  - 至少一个单光子雪崩二极管SPAD立方体,其建立在衬底中,所述至少一个SPAD立方体包括:
    - 光敏区,其经配置以响应于光撞击所述光敏区产生电信号,其中所述光敏区被定位在所述至少一个SPAD立方体的第一侧处;

接点,其接收所述电信号,其中所述接点被定位在所述至少一个SPAD立方体的第二侧处,所述第二侧与所述至少一个SPAD立方体的所述第一侧相对;及

至少一个沟槽,其延伸穿过所述衬底的整个厚度,借此电及光学隔离所述至少一个SPAD立方体与邻近SPAD立方体。

13. 根据权利要求12所述的传感器,其进一步包括:

外部电路,其通过所述接点连接到所述至少一个SPAD立方体。

14. 根据权利要求13所述的传感器,其中所述外部电路包括接触垫,所述接触垫电及物理地连接到所述至少一个SPAD立方体的所述接点。

15. 根据权利要求12所述的传感器,其中所述电信号行进穿过所述衬底,且其中所述衬底包括掺杂硅。

16. 根据权利要求15所述的传感器,其中从所述至少一个SPAD立方体的所述第一侧到所述至少一个SPAD立方体的所述第二侧的距离不超过50微米。

17. 根据权利要求12所述的传感器,其中所述至少一个沟槽包括基本上等于所述衬底的厚度的长度。

18. 根据权利要求12所述的传感器,其中所述至少一个沟槽围绕所述至少一个SPAD立方体的所有四个侧延伸,其将所述至少一个SPAD立方体的所述第一侧连接到所述至少一个SPAD立方体的所述第二侧。

19. 一种单光子雪崩二极管SPAD立方体阵列,其包括:

硅衬底;

光敏区阵列,其遍及所述硅衬底的第一侧分布,其中所述光敏区阵列中的每一光敏区能够响应于接收光产生电信号;

多个接点,其遍及所述硅衬底的第二侧分布,其中所述多个接点中的至少一些经配置以从所述光敏区中的一些而非所述光敏区中的其它光敏区接收电信号;及

至少一个沟槽,其从所述硅衬底的第一侧一直延伸到所述硅衬底的第二侧,所述至少一个沟槽在所述光敏阵列中的邻近光敏区之间提供光学隔离,且在所述多个接点中的邻近接点之间提供电隔离。

20. 根据权利要求19所述的SPAD立方体阵列,其中所述至少一个沟槽的长度基本上等于所述硅衬底的厚度,且其中所述硅衬底的所述厚度不超过大约50微米。

## 包含单个光子雪崩二极管SPAD结构的半导体装置及传感器

### 技术领域

[0001] 本发明大体上涉及半导体装置,且特定来说,涉及硅光电倍增管(SiPM)及/或单光子雪崩二极管(SPAD)结构。

### 背景技术

[0002] 单光子雪崩光电二极管(SPAD)正在许多领域中广泛使用,例如核医学、安全及保安中的辐射检测、生物学及激光雷达.SPAD可以定制微制造技术以及标准CMOS生产。第一种方法允许旨在优化传感器在效率及噪声方面的性能技术开发。第二种方法允许将智能直接集成在光电传感器上。

[0003] 通过高密度三维(3D)互连提供了一种非常有趣的解决方案,其融合了上述两种技术的优点,所述3D互连广泛用于图像传感器中。阵列的每一SPAD可独立地读出,其中连接经放置与光入射侧相对。3D方法的一个具有挑战性的方面是提供与照明侧相对的独立SPAD接入口。当前,主要存在两种方法:穿硅通孔(TSV)及背侧照明(BSI)。在第一情况中(TSV),从一侧到另一侧的导电柱靠近每一元件放置,从而使独立的前侧电极向后。所述柱与其周围的硅隔离。在第二种情况中(BSI),入射窗与结构化侧相对放置。

[0004] TSV方法需要许多技术步骤,且其通常会导致敏感区域的损失,特别是对于小的SPAD.BSI要求对当前SPAD技术进行全面重新设计,且可导致一些缺点,例如光学串扰增加及检测效率损失。

### 发明内容

[0005] 本发明的一个方面涉及一种半导体装置,其包括:硅衬底,其具有第一侧及相对的第二侧;第一单光子雪崩二极管(SPAD),其提供于所述硅衬底中;第二SPAD,其提供于所述硅衬底中且还经定位邻近所述第一SPAD;至少一个沟槽,其通过从所述硅衬底的所述第一侧延伸到所述硅衬底的所述第二侧电隔离所述第一SPAD与所述第二SPAD;及至少一个背侧接点,其经定位接近所述硅衬底的所述第二侧,其中所述至少一个SPAD接点接收电信号,所述电信号是响应于所述第一SPAD或第二SPAD接收光子。

[0006] 本发明的另一方面涉及一种传感器,其包括:至少一个单光子雪崩二极管(SPAD)立方体,其建立在衬底中,所述至少一个SPAD立方体包括:光敏区,其经配置以响应于光撞击所述光敏区产生电信号,其中所述光敏区被定位在所述至少一个SPAD立方体的第一侧处;接点,其接收所述电信号,其中所述接点被定位在所述至少一个SPAD立方体的第二侧处,所述第二侧与所述至少一个SPAD立方体的所述第一侧相对;及至少一个沟槽,其延伸穿过所述衬底的整个厚度,借此电及光学隔离所述至少一个SPAD立方体与邻近SPAD立方体。

[0007] 本发明的又另一方面涉及一种单光子雪崩二极管(SPAD)立方体阵列,其包括:硅衬底;光敏区阵列,其遍及所述硅衬底的第一侧分布,其中所述光敏区阵列中的每一光敏区能够响应于接收光产生电信号;多个接点,其遍及所述硅衬底的第二侧分布,其中所述多个接点中的至少一些经配置以从所述光敏区中的一些而非所述光敏区中的其它光敏区接收

电信号；及至少一个沟槽，其从所述硅衬底的所述第一侧一直延伸到所述硅衬底的所述第二侧，所述至少一个沟槽在所述光敏阵列中的邻近光敏区之间提供光学隔离，且在所述多个接点中的邻近接点之间提供电隔离。

### 附图说明

[0008] 结合附图描述本发明，所述附图不一定按比例绘制：

[0009] 图1是根据本发明的至少一些实施例的半导体装置的横截面图；

[0010] 图2A是根据本发明的至少一些实施例的用于构造第一实例传感器的第一中间产物的横截面图；

[0011] 图2B是用于构造第一实例传感器的第二中间产物的横截面图；

[0012] 图2C是用于构造第一实例传感器的第三中间产物的横截面图；及

[0013] 图2D是第一实例传感器的横截面图；

[0014] 图3A是根据本发明的至少一些实施例的用于构造第二实例传感器的第一中间产物的横截面图；

[0015] 图3B是用于构造第二实例传感器的第二中间产物的横截面图；

[0016] 图3C是用于构造第二实例传感器的第三中间产物的横截面图；及

[0017] 图3D是第二实例传感器的横截面图；

[0018] 图4A是根据本发明的至少一些实施例的用于构造第三实例传感器的第一中间产物的横截面图；

[0019] 图4B是用于构造第三实例传感器的第二中间产物的横截面图；

[0020] 图4C是用于构造第三实例传感器的第三中间产物的横截面图；

[0021] 图4D是第三实例传感器的横截面图；及

[0022] 图5是根据本发明的至少一些实施例的替代半导体装置的横截面图。

### 具体实施方式

[0023] 随后的描述仅提供实施例，且不希望限制权利要求书的范围、适用性或配置。而是，随后的描述将为所属领域的技术人员提供用于实施所描述的实施例的启发性描述。应理解，在不脱离所附权利要求书的精神及范围的情况下，可对元件的功能及布置进行各种改变。

[0024] 本文将参考作为理想化配置的示意性说明的图来描述本发明的各个方面。因而，应预期由于例如制造技术及/或公差而导致的说明的形状的变化。因此，贯穿本文献呈现的本发明的各个方面不应被解释为限于本文说明及描述的元件的特定形状（例如，区域、层、区段、衬底等），而是应包括例如制造造成的形状的偏差。通过实例，说明或描述为矩形的元件可在其边缘处具有圆化或弯曲的特征及/或梯度浓度，而非从一个元件到另一元件的离散变化。因此，图中说明的元件本质上是示意性的，且其形状不希望说明元件的精确形状，且不希望限制本发明的范围。

[0025] 应理解，当例如区域、层、区段、衬底或类似物的元件被称为“在另一元件上”时，其可直接在另一元件上，或也可存在中间元件。相比之下，当元件被称为“直接在另一元件”上时，不存在中间元件。应进一步理解，当元件被称为在另一元件上“形成”或“建立”时，其可

在另一元件或中间元件上生长、沉积、蚀刻、附接、连接、耦合或以其它方式制备或制造。

[0026] 此外,本文可使用例如“下”或“底部”及“上”或“顶部”的相对术语来描述一个元件与另一元件的关系,如图中说明。应理解,除了图中描绘的定向之外,相对术语希望涵盖设备的不同定向。通过实例,如果图中的设备被翻转,那么描述为位于其它元件的“下”侧的元件将定向在其它元件的“上”侧。因此,术语“下”可涵盖取决于设备的特定定向的“下”及“上”定向两者。类似地,如果图中的设备被翻转,那么描述为位于其它元件的“下面”或“下方”的元件将定向在其它元件的“上方”。因此,术语“下面”或“下方”可涵盖上方及下面的定向。

[0027] 除非另外定义,否则本文使用的所有术语(包括技术及科学术语)具有与本发明所属的所述领域的一般技术人员通常理解的含义相同的含义。应进一步理解,术语(例如在常用词典中定义的术语)应被解译为具有与其在相关领域及本发明的上下文中的含义一致的含义。

[0028] 如本文使用,单数形式“一(a/an)”及“所述”希望同样也包含复数形式,除非上下文另外明确指示。应进一步理解,当术语“包括(comprise/comprises/comprising)”用于此说明书中时,其指定存在所述特征、整数、步骤、操作、元件及/或组件,但不排除存在或添加一或多个其它特征、整数、步骤、操作、元件、组件及/或其群组。术语“及/或”包含所列相关项中的一或多者的任何及所有组合。

[0029] 现参考图1到5,描绘及描述半导体装置、硅光电倍增管、硅光电倍增管电路、光传感器及类似物的各种配置。尽管图中描绘的部分装置对应于中间装置或装置的部分,但所属领域的一般技术人员应了解,装置或系统中的任何者可被认为是半导体装置、传感器或硅光电倍增管/SPAD而不背离本发明的范围。

[0030] 本发明的一个方面是提供简单且有效的解决方案来从背侧独立地连接阵列的前侧照明的SPAD或一小群SPAD(例如,迷你SiPM),从而允许3D互连到CMOS专用集成电路(ASIC)以保持当前装置的相同电光性能。

[0031] 在一些实施例中,揭示一种硅光电倍增管(SiPM)。SiPM是并联连接的紧凑SPAD阵列。每平方毫米仅需要两个连接。此简单方案允许最大化敏感区:最新装置具有大于70%的填充系数。

[0032] 在一个实例中,起始材料是由高度掺杂衬底及顶部上的轻掺杂层构造的硅晶片。此晶片可称为外延(epi)晶片,这是因为其是最实用的实现方法。epi层可指代epi晶片的低掺杂部分。epi层是硅的有源区,且由于epi层内产生了结,epi层被完全耗尽。在一些实施例中,SPAD通过沟槽分离,所述沟槽提供顶部层(结)的电隔离以及光学隔离(减轻光学串扰)。每一SPAD还可具有集成在顶部表面上的串联猝熄电阻器。所述电阻器通过金属层连接在一起,所述金属层是电可接近的以偏压二极管。在底部侧上,衬底产生用于所有SPAD的第二共同电极。金属电极放置在底部表面上。

[0033] 本文揭示的SiPM架构是简单的但经设想及开发以最大化电光性能。出于此原因,在设计具有独立SPAD可接近性的高密度互连的结构时,保留主要特征非常重要。特定来说,所关注特征包含:前侧照明、沟槽及高度掺杂硅衬底。

[0034] 在本发明的一个方面中,SPAD之中的电隔离通过物理地分割衬底以形成所谓的SPAD“立方体”获得。用于前侧照明的相同沟槽可用于此目的。举一非限制实例,沟槽可到达

背侧表面,从而从顶部到底部中断SPAD之间的硅层。沟槽可被填充有隔离材料,且有可能,还被填充有反射/吸收材料。

[0035] 可如下实现SPAD的电连接。因为衬底是高度掺杂的,所以其从有源区的下侧到背侧表面产生良好导电通道,每一SPAD的金属电极被放置在所述背侧表面上。SPAD之间的前侧(例如,光入射侧)连接可以与普通SiPM相同的方式完成(例如,通过将SPAD全都短接在一起)。取决于接合到背侧上的电子架构,前侧上可存在或可不存在猝熄电阻器。

[0036] 此穿硅沟槽隔离方案实现关于前侧层连接的另一有趣的可能性。特定来说,一(或多个)SPAD可被转换成从前侧到背侧的导电通道。在可能实施方案中,这可通过用欧姆接触替换浅结来简单地实现。前部上来自每一SPAD的金属线可收敛到可从背侧接触到的此“接触立方体”。epi层可添加可例如通过适当的扩散/植入层减小的不合意的串联电阻,扩散/植入层将局部增加掺杂剂浓度。

[0037] 在另一可能实施方案中,用于光学隔离的沟槽在SPAD阵列制造过程期间被蚀刻到约10到30um的深度且被填充有电介质层。沟槽可以略微V形为特征以便于完全填充。在SPAD制造结束时,硅晶片从前侧被永久接合到玻璃晶片。玻璃晶片用作用于下列步骤以及光入射窗的机械支撑件。在此点处,硅晶片经减薄以到达沟槽的底部。此允许产生立方体。背侧上的最终工艺步骤旨在产生接触垫,例如:电介质沉积、接触开口、金属沉积及图案化。

[0038] 作为玻璃晶片的替代,可使用硅晶片但通过临时接合附接。接着,此硅晶片将在将背侧混合接合到CMOS晶片之后移除。CMOS晶片还将用作用于SPAD阵列的机械支撑件。

[0039] 作为外延硅晶片的可能替代,可使用绝缘体上硅(SOI)晶片。SOI晶片的顶部硅层将具有与前一epi层相同的特征但进一步包含靠近掩埋二氧化硅的高度掺杂区域。用于SPAD隔离的沟槽将在内部氧化物层处或附近着陆。掩埋氧化物层下方的硅不具有经预先确定电特性,这是因为其将在晶片减薄期间被完全移除。使用SOI材料的主要优点是立方体具有经预定义且可控的厚度。此外,从机械视点,在减薄工艺完成时,存在平坦且连续氧化物层,从而使结构更稳定。

[0040] 本发明的另一方面是提供一种半导体装置,其具有延伸到SPAD或迷你SiPM结构中的一些或多个导电通孔。在一些实施例中,导电柱可从装置的背侧延伸到晶片的掺杂区域中。导电柱可通过部分延伸穿过晶片的沟槽与彼此分离。导电柱可被填充有导电材料且可在其侧上由电介质材料环绕以隔离导电材料与晶片中的其它掺杂区域。

[0041] 本发明的另一方面是产生具有在从约0.1到1mm的范围的间距的迷你SiPM阵列(并联SPAD)。在可能实施方案中,硅中的专用沟槽用于分离迷你SiPM。用于迷你SiPM内的光学隔离的沟槽具有与普通SiPM中相同的深度及配置。用于立方体分离的沟槽(其环绕每一迷你SiPM)独立于此目的被优化。工艺技术可遵循与本文描绘及描述的SPAD实施方案中的任何者中相同的步骤。

[0042] 现参考图1,将描述根据本发明的至少一些实施例的第一说明性半导体装置100。展示装置100包含晶片104,其对电磁辐射透明,除其它层外,晶片104尤其支撑外延硅。在一些实施例中,epi硅被划分成硅衬底108(例如,“epi”层)的第一部分及硅衬底112的第二部分。在描绘的实施例中,晶片104具有第一侧及相对的第二侧。第一侧面向入射光102,且因此,可称为半导体装置100的光入射侧。晶片104的第二侧邻近epi层,且在一些实施例中,可对硅衬底的部分108、112提供结构支撑。

[0043] 在硅衬底108的第二部分与晶片104之间提供多个结132。展示每一结132驻留在部分108的顶部处,但无需此配置。而是,结132可驻留在部分108内的任何地方。举例来说,结132可定位于部分108的中间中或定位在部分108的底部处,其比晶片104更靠近部分112。每一结132可操作作为电子倍增区域或类似物。换句话说,结132可被放置在部分108内的任何地方,其也可称为外延硅的有源区域。如本文将更详细论述,结132可被提供于每一SPAD中,其中SPAD通过沟槽120与彼此分离。在一些实施例中,每一SPAD可与延伸穿过电介质层116中的中断的顶侧接点136电连通。顶侧接点136中的一者也可与共同顶侧电极128电连通。电极128的构造可类似于结132,其中差异是电极128被提供于不操作作为SPAD的硅体积中。

[0044] 结132可通过一或多个沟槽120与彼此电及光学隔离。一或多个沟槽120完全延伸穿过硅衬底108的第一部分及硅衬底112的第二部分。因此,每一SPAD还可与邻近SPAD电及光学隔离。沟槽120可从电介质层116延伸到背侧电介质124。在一些实施例中,除了界定SPAD外,沟槽120提供电及光学隔离机构。更具体来说,一对沟槽120可具有在其之间界定的三维硅体积。夹置于沟槽120之间的硅体积可包含第一部分108及第二部分112且延伸于单个结132与单个(对应)接点140之间。因此,当光子触发SPAD时,电流在接收光子的SPAD下面的对应接点140处生成。因为沟槽120一直延伸穿过SPAD的体积向下到背侧电介质124,所以一SPAD与另一SPAD之间的光学串扰可能性被最小化。

[0045] 沟槽120的形状及性质可具有数个不同特性。举例来说,SPAD的3D体积可由彼此正交相交的四(4)个离散沟槽120界定。也就是说,当从装置100的顶部来看时,沟槽120可能看起来产生正方形SPAD立方体结构阵列。在其它实施例中,沟槽120可能不一定是延伸穿过epi层的直壁。例如,当从上方来看时,沟槽120可为圆形或椭圆形,这意味着单个沟槽120可环绕3D SPAD体积,接着,所述体积可具有不同于立方体形状的形状。举例来说,沟槽120可具有任何类型的多边形结构或形状而不会背离本发明的范围。应了解,立方体形状可能最适合最大化装置100的填充系数。

[0046] 在一些实施例中,SPAD立方体结构可具有在5与100 $\mu\text{m}$ 之间的宽度及长度。此宽度及长度可对应于邻近沟槽120之间的线性距离,且可称为SPAD间距。第一厚度152及第二厚度148的经组合维度可在5与100 $\mu\text{m}$ 之间。

[0047] 个别结132还能够独立地产生电子,所述电子行进到其对应接点140,接着,对应接点140可将电流载送到外部电路元件,例如专用集成电路(ASIC)。背侧电介质124可用于围封SPAD的底部,且所述背侧电介质可具有设置于其中的通孔或孔,其将每一独立SPAD暴露到其对应接点140。在一些实施例中,多个SPAD经由顶侧接点136连接在一起。每一SPAD可经由专用猝熄电阻器或类似物(未展示)连接到顶侧接点136。共同顶部电极136经由穿过硅的低电阻路径连接到电极144。此低电阻路径与SPAD一起产生,但用欧姆接触128替换结132。还应注意,在近红外光(其在Si中具有长吸收长度)的情况中,用于接点140的金属层可用作反射器以提高epi层108中的吸收概率。为此目的,金属可经配置以超过装置100的背面的50%。还应了解,多个SPAD可与金属层140连接在一起以形成迷你SiPM。

[0048] 晶片104可对应于一结构,其使半导体装置100的其它组件免于环境危害,但准许光(例如,光子)或类似物穿过其且由SPAD的光敏区(例如,部分108)检测。如本文将更详细论述,晶片104可对应于玻璃或其它类型的材料,其帮助生产装置100,而且还使能够将结

132能够定位在硅的顶侧处(例如,硅衬底108的第一部分内的某处),其更靠近入射光102。此被认为是比将结132掩埋在硅侧背侧处(更像BSI方法)更好的替代。然而,有利地,半导体装置100经制造使得每一SPAD可通过接点140以外电路接触,接点140被定位在硅112的第二部分的背侧上。此有效地实现装置100与外部电路装置(例如ASIC)之间的焊料凸块连接性。此外,在无须使导电TSV延伸穿过整个衬底108、112的情况下实现了此背侧连接性,使导电TSV延伸穿过整个衬底108、112将显著消耗更多空间且降低装置100对光102的整体敏感性。支撑晶片104的厚度156可大于第一厚度148与第二厚度152的组合。例如,支撑晶片104的厚度156可为至少50um,且可大到300um,而不会背离本发明的范围。

[0049] 根据至少一些实施例,硅晶片可对应于具有第一掺杂(例如,n或p型掺杂)的半导体材料。第一部分108可对应于第一掺杂(例如,n或p型掺杂)的低掺杂区域,且第二部分112可对应于第一掺杂(例如,n或p型掺杂)的高度掺杂区域。举一非限制实例,一或两个部分108、112可由任何已知类型的半导体材料(例如,GaAs、GAP或任何其它IV族或V族半导体)形成,且在一些实施例中,第一部分108与第二部分112之间的相同材料层可被不同地掺杂。任何合适类型的已知掺杂工艺或步骤序列可用于产生部分108、112。

[0050] 结132可对应于任何材料或材料组合(呈分层或未分层格式),其使能够响应于在光敏区(例如,第一部分108)处接收一或多个光子产生大量载子。可用于结132的合适的材料的实例可包含(无限制)Si、Ge、InGaAs、PbS、MCT或类似物。

[0051] 当光子行进穿过硅时,光子可被吸收且将能量传送到第一部分108内的束缚电子。此被吸收能量导致电子从价带移动到导带中,从而产生电子空穴对。硅可在数十微米的深度内吸收广泛范围波长的光且所以很适合作为光电检测器材料。

[0052] 将反向偏压施加到光电二极管跨耗尽区域(例如,部分108)建立电场,其将导致这些电荷载子朝向阳极(空穴)或阴极(电子)加速。因此,被吸收的光子将在反向偏压的光电二极管中产生净电流。

[0053] 当在结132内生成了足够高的电场( $>3 \times 10^5 \text{V/cm}$ )时,电荷载子将经加速到在其处其载送足够的动能以通过称为碰撞电离的过程产生次级电荷对的点。当倍增发散时,耗尽区域(例如,部分108)中被吸收的单个光子可触发SPAD内界限的电离级联(例如,由沟槽120、背侧电介质124及电介质116围封的硅体积)。硅将分解且变为导电的,从而将原始电子空穴对有效地放大成宏观电流。结132中产生的电流将向下行进穿过SPAD(例如,硅部分108、112)且接着接点140将通过背侧电介质124中产生的通孔接收电流。

[0054] 尽管在横截面图中可不见,所属领域的一般技术人员将了解,接点136可为将全部不同SPAD一起连接于电路中的更大金属网格的部分。具体来说,半导体装置100可包含以阵列或网格类型图案布局的多个SPAD,且金属线或迹线136的对应网格可遍及所述阵列提供。

[0055] 现参考图2A到D,将描述根据本发明的至少一些实施例的制造半导体装置100且接着制造包含半导体装置100的传感器的一种可能但非限制方法。如图2A中展示,第一中间产物200包含图1中描绘的数个组件。特定来说,第一中间产物200包含顶侧接点136,其以网格类型图案布置在半导体层(例如,部分108、112)之上。接点136被定位在顶侧电介质层116上。提供于顶侧电介质层116内的数个通孔提供个别SPAD及顶侧接点136之间的接触。多个沟槽120延伸穿过第一部分108及第二部分112。多个沟槽120可对应于硅材料中的空隙且可被填充有非导电及/或不透光材料。举一个实例,沟槽120可由与电介质层116相同或类似材

料构造。

[0056] 所属领域的一般技术人员可了解,第一中间产物200类似“标准”SiPM,其中沟槽120不会完全延伸穿过部分108、112到第二部分112的底侧。而是,第一部分108可具有其第一厚度152,但第二部分112可具有原始厚度204,其大于其在半导体装置100中的最终厚度148。在一些实施例中,厚度152、204的组合可在500与800um之间。

[0057] 如图2B中展示,部分108可具有附接到其的晶片104,且接着,部分112经减薄(例如,经由蚀刻、研磨或任何其它化学/机械工艺)到其第二厚度148以产生第二中间产物208。第二部分112被减薄直到到达沟槽120。在一些实施例中,在将第二部分112减薄作为epi层的支撑结构前(第二部分112现在比原始要薄得多),将支撑晶片104连接到epi层的顶侧。支撑晶片104的暴露表面可对应于光入射侧216,而第二部分112的减薄的表面可对应于背侧212。

[0058] 如图2C中展示,生产过程通过在第二中间产物208的背侧212上产生电介质继续以产生第三中间产物220。第三中间产物220可对应于半导体装置100。过程可进一步包含在背侧电介质124中建立通孔及接着在那些通孔之上产生背侧金属接点140、144。在此制造步骤期间产生的组件可利用已知CMOS工艺或任何其它类型的已知工艺。

[0059] 图2D描绘说明性传感器220,其可包含半导体装置100。特定来说,背侧金属接点140、144经放置成与彼此及/或外部电路装置236电连通。因为接点140、144被定位在装置100的背侧212处,装置100与外部电路装置236之间的电连接可用焊料凸块228(例如,焊料球或离散的导电材料沉积物)或混合接合实现。外部电路装置236可具有多个接触垫232,其与部分或全部背侧金属接点140、144介接。外部电路装置236可对应于ASIC或其它类型的集成电路装置。在其中存在通过背侧接点140与彼此并联连接的一或多个SPAD的设计中,借此形成一或多个迷你SiPM,到外部电路装置236的连接将具有低球密度,这意味着外部电路装置236可经由焊料凸块228仅连接到背侧接点140、144的子集。

[0060] 现参考图3A到D,将描述根据本发明的至少一些实施例的制造半导体装置100且接着制造包含半导体装置100的传感器的另一可能但非限制方法。如图3A中展示,第一中间产物300具备与第一中间产物200类似的数个特征。中间产物200、300之间的一个差异是第一中间产物300包含建立在牺牲硅部分302的顶部上的氧化硅层308。在此实施例中,建立在氧化物层308的顶部上的硅(例如,部分108及112)具有从高到低变化的掺杂。因此,第二部分112表示硅的高度掺杂部分,而第一部分108表示硅的低掺杂部分。牺牲硅部分302可具有在600与800um之间的厚度304。此特定构造可表示SOI晶片方法,其中氧化硅层308可被预定位在硅内而非在蚀刻硅之后产生。

[0061] 如图3B中展示,晶片104可附接到硅,且接着,牺牲部分302可经减薄或移除(例如,经由蚀刻、研磨或任何其它化学/机械工艺)以产生第二中间产物312。牺牲部分302被减薄直到到达氧化硅308。因此,氧化硅308可表示蚀刻工艺的终止点,且第二部分112的最终厚度324可与第二厚度148类似(例如,在几微米内)或相同。氧化硅308还可在结构上加固硅结构。晶片104的暴露表面可对应于光入射侧320,而氧化硅308可被定位在背侧316处。

[0062] 如图3C中展示,过程通过产生第三中间产物328继续。第三中间产物328可对应于半导体装置100。所述过程可进一步包含在背侧氧化硅层308中建立通孔及接着在那些通孔之上创建背侧金属接点140、144。应了解,氧化硅308有效地操作为背侧电介质124。在此制

造步骤期间产生的组件可利用已知CMOS工艺或任何其它类型的已知工艺。

[0063] 图3D描绘说明性传感器332,其可包含半导体装置100。特定来说,背侧金属接点140、144经放置成与外部电路装置236电连通。再次,接点140、144的定位有利于与外部电路装置236的倒装芯片类型的连接,而不需要导电线或类似物。此外,正如本文描绘及描述的其它传感器设计,SPAD中的一或多者可经由背侧接点与彼此并联连接,且接着,接点104、144中的其它者可与外部电路装置236连接。

[0064] 现参考图4A到D,将描述根据本发明的至少一些实施例的制造半导体装置且接着制造包含半导体装置的传感器的另一可能但非限制方法。如图4A中展示,第一中间产物400具备与第一中间产物200类似的数个特征。中间产物200、400之间的一个差异是第一中间产物400包含第一掺杂部分404、第二掺杂部分408及第三掺杂部分412。这些不同掺杂部分可各自分别具有原始厚度416、420、424。展示沟槽120完全延伸穿过第一掺杂部分404及第二掺杂部分408,且接着,部分延伸到第三掺杂部分412。416、420及424的经组合厚度可为大约500到800um。第三掺杂部分412的起始厚度424大于的第三掺杂部分412的最终厚度。

[0065] 在一些实施例中,第一掺杂部分404对应于具有第一类型掺杂(例如,n-型掺杂)的硅的区域。第二掺杂部分408可对应于具有与第一掺杂部分404相同类型(例如,n+型掺杂)的更重掺杂的区域。第三掺杂部分412可对应于具有与第一部分404及第二部分408相反(例如,p-型掺杂或p+型掺杂)的掺杂的区域。

[0066] 如图4B中展示,支撑晶片104可连接到硅,且接着,第三部分412可经减薄(例如,经由蚀刻、研磨或任何其它化学/机械工艺)到其最终厚度432以产生第二中间产物428。第三部分412被减薄直到厚度416、420、432的组合是大约10到50um。晶片104的暴露表面可对应于光入射侧440,而epi层的第三部分412的减薄的表面可对应于背侧436。

[0067] 如图4C中展示,过程通过产生第三中间产物444继续。第三中间产物444可对应于半导体装置的另一变化。所述过程可进一步包含在背侧氧化硅层452中产生通孔及接着在那些通孔之上产生背侧金属接点140、144。在此特定实施例中,背侧氧化硅层452中产生的通孔可延伸到导电柱448以到达部分408。导电柱448可被填充有导电材料且在其侧上由电介质材料452环绕以将其与部分412隔离。应了解,氧化硅452有效地操作为背侧电介质124。导电柱448可完全延伸穿过第三掺杂部分412且被暴露在第二掺杂部分408中。在一些实施例中,柱448的导电端被暴露在第二掺杂部分408内。在此生产方法中,SPAD的背侧之间的电隔离通过由层408及412形成的结提供。这是接点的金属与层412之间的隔离是合意的原因。隔离接点与两个SPAD共同的层412的另一方式是通过围绕到达层408的每一接点产生沟槽。

[0068] 在此制造步骤期间产生的组件可利用已知CMOS工艺或任何其它类型的已知工艺。

[0069] 图4D描绘说明性传感器,其可包含半导体装置产物作为第三中间产物444。特定来说,背侧金属接点140、144经放置成与外部电路装置236电连通。再次,接点140、144的定位有利于与外部电路装置236的倒装芯片类型的连接,而不需要导电线或类似物。此外,装置444的SPAD中的一或多者可并联连接在一起。因此,仅接点140、144的子集可用于与外部电路装置236连接。

[0070] 图5描绘可根据本发明的至少一些实施例生产的说明性半导体装置500。半导体装置500可用作传感器的部分而非在本文描绘及描述的传感器中的任何者中使用装置100。例如,传感器224及/或332可利用半导体装置500而非装置100。

[0071] 半导体装置500包含多个迷你SiPM 516a、516b。尽管仅展示了两个迷你SiPM,但应了解,半导体装置500可包含大量(例如,20或20个以上)迷你SiPM而不背离本发明的范围。此应用是其中希望用一或多个背侧接点140接触多个SPAD的应用。属于迷你SiPM 516的SPAD并联连接,在前侧上通过电阻器及金属136并联连接,而在背侧上通过层112并联连接。在一些实施例中,不同迷你SiPM 516a、516b的顶侧也全都通过层136连接在一起。

[0072] 此特定实施例的一个方面是使用利用浅沟槽512的标准处理及接着另外利用更深隔离沟槽508分离每一迷你SiPM,更深隔离沟槽508完全延伸穿过半导体(例如,整体第一部分108及第二部分112)。隔离沟槽508及更浅沟槽512的构造可类似,但隔离沟槽508的深度大于隔离沟槽512的深度。在一些实施例中,可每200、500um或甚至更大间距重复隔离沟槽508,而更浅沟槽512之间的间距是大约5到100um。此在单个像素内有效地产生多个SPAD。每一迷你SiPM 516a、516b有效地表示装置500的不同像素或包含装置500的传感器。在一些实施例中,每一迷你SiPM利用单个接点可为可能的。在此实例中,更浅隔离沟槽512可用于SPAD之间的光学隔离,而更深隔离沟槽508用于装置隔离(例如,以电隔离邻近像素与彼此)。也就是说,更浅隔离沟槽512可用于属于共同迷你SiPM的至少两个SPAD之间的单侧式电及光学隔离,而更深沟槽508可用于电及光学隔离属于不同迷你SiPM的SPAD。

[0073] 如可了解,本文描绘及描述的半导体装置中的任何者可经实施为芯片上解决方案(例如,作为单个硅晶片)。在一些实施例中,硅光电倍增管可实施于其中提供有的其它电路元件的集成电路(IC)芯片中。

[0074] 在描述中给出特定细节以提供实施例的透彻理解。然而,所属领域的一般技术人员应理解,实践实施例可无需这些特定细节。在其它例子中,可在无不必要的细节的情况下展示众所周知的电路、过程、算法、结构及技术以避免使实施例模糊。

[0075] 虽然本文详细描述了本发明的说明性实施例,但应理解,除非受现有技术限制,否则本发明概念可以其它方式不同地体现及运用,且所附权利要求书希望被解释为包含此类变化。

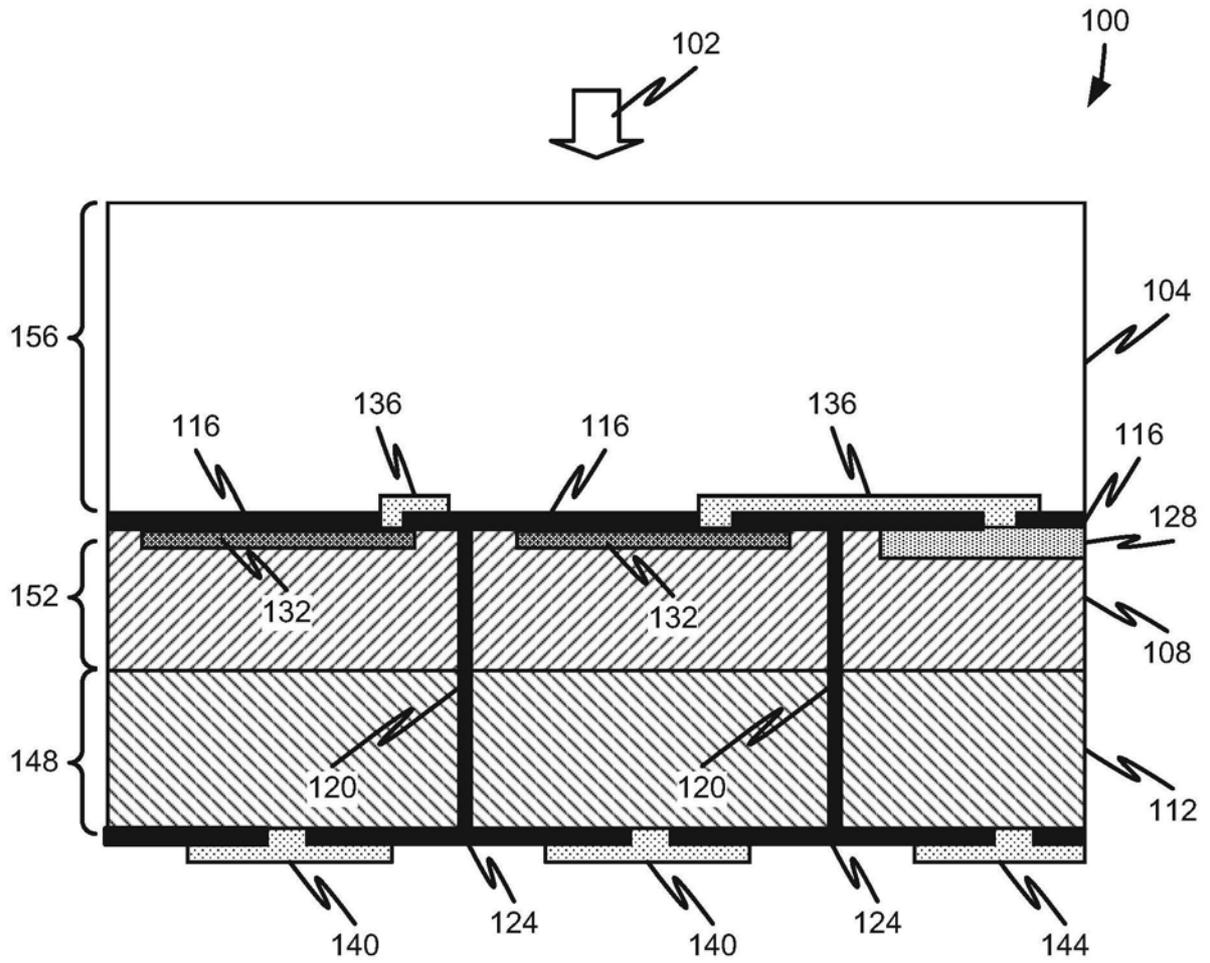


图1

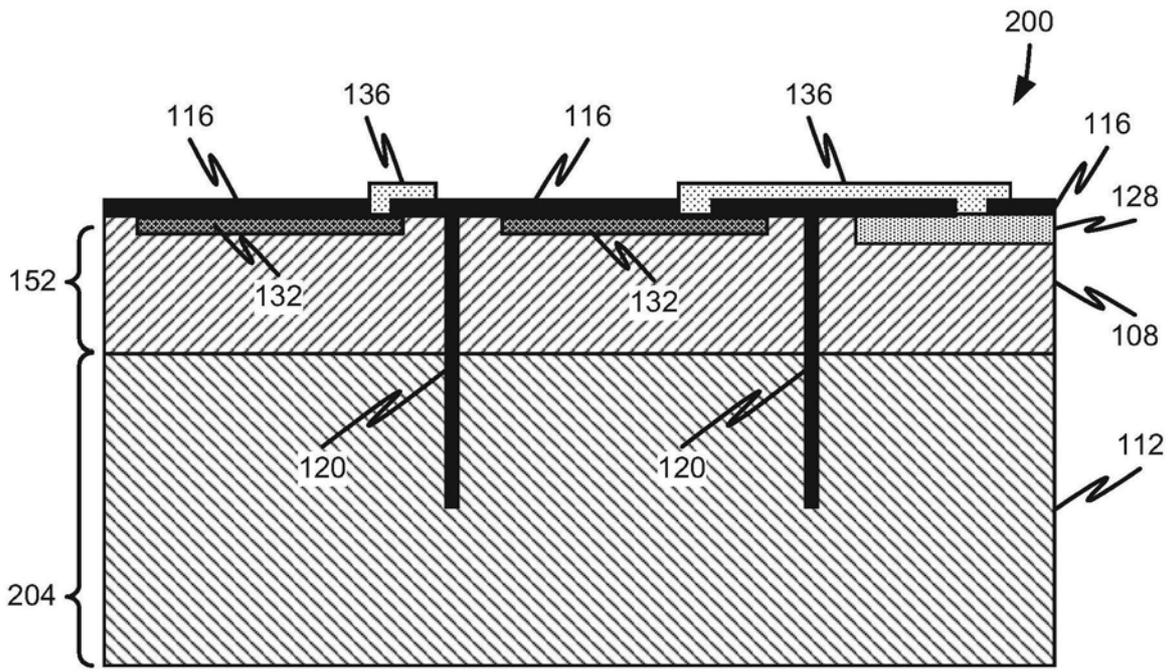


图2A

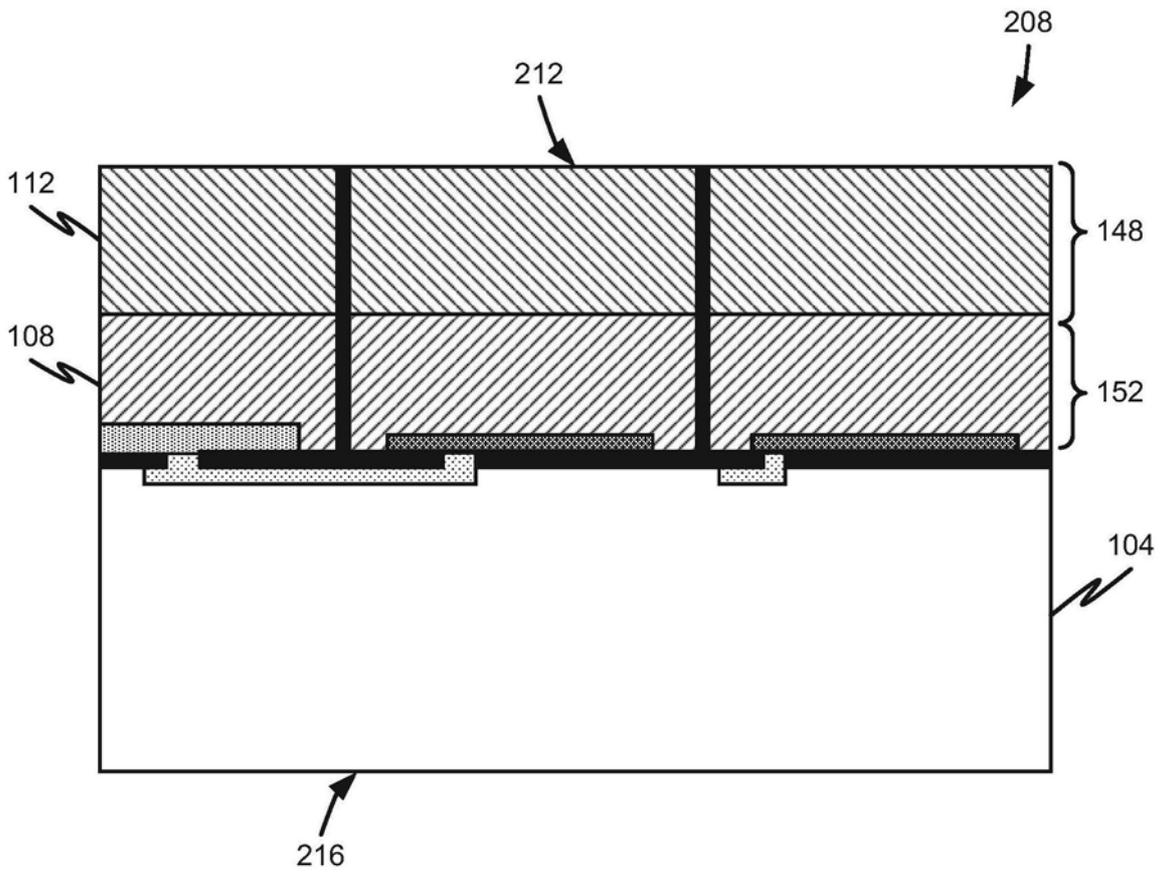


图2B

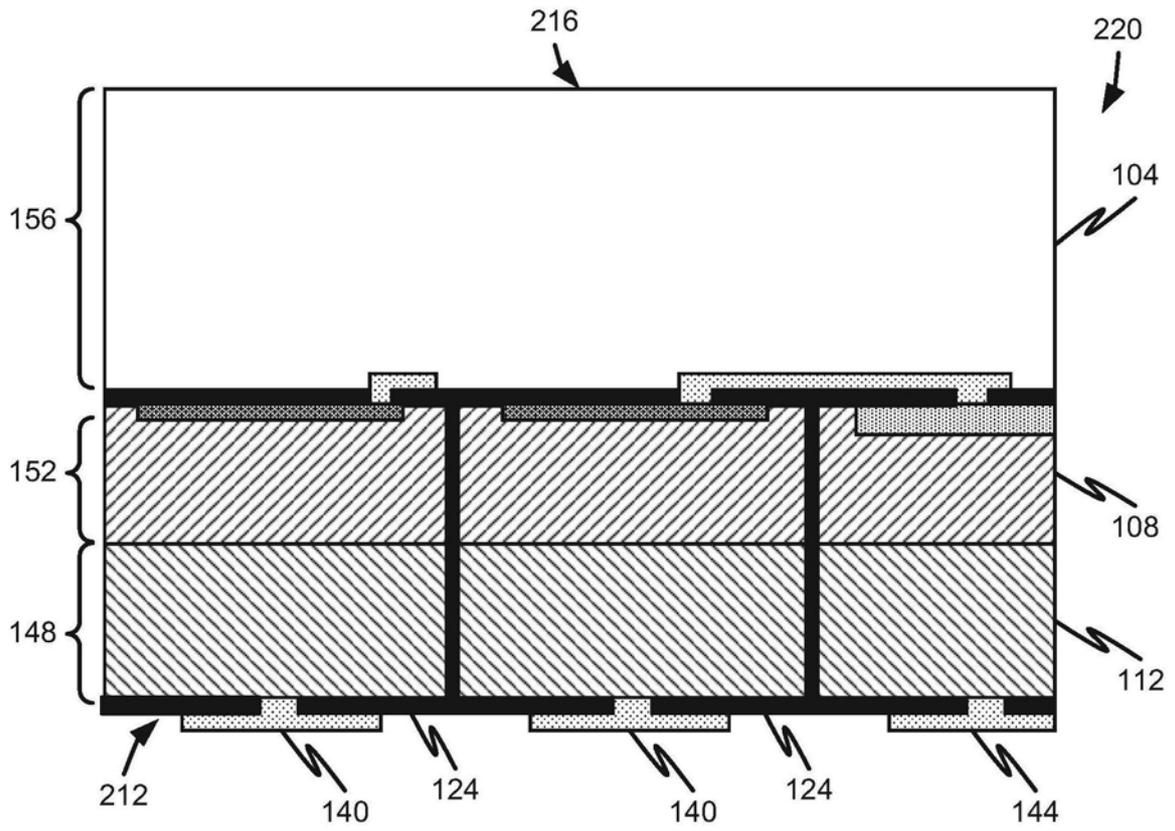


图2C

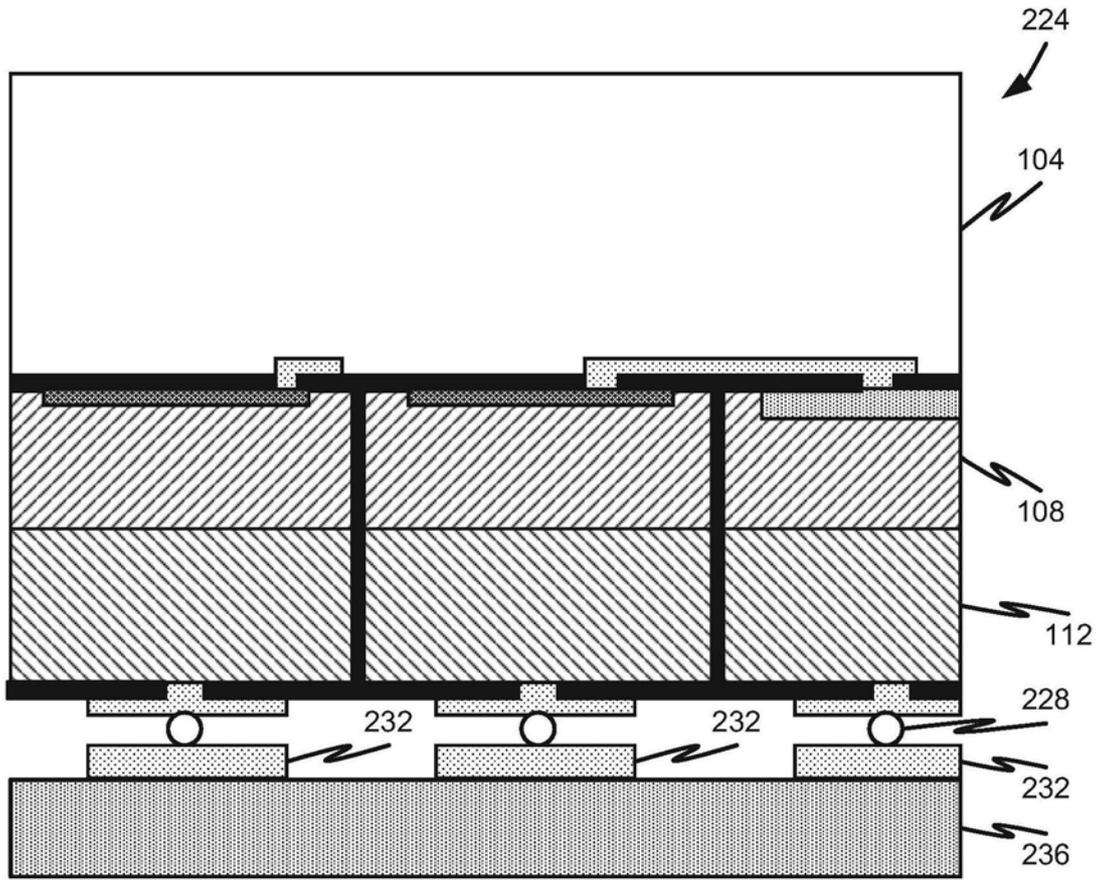


图2D

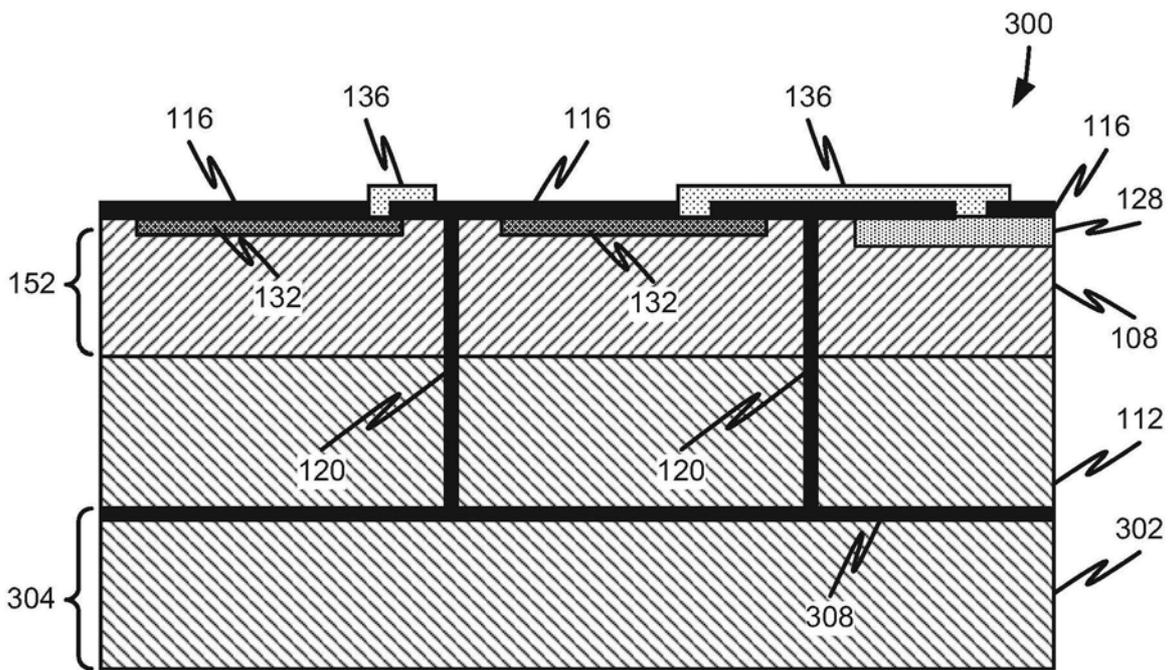


图3A

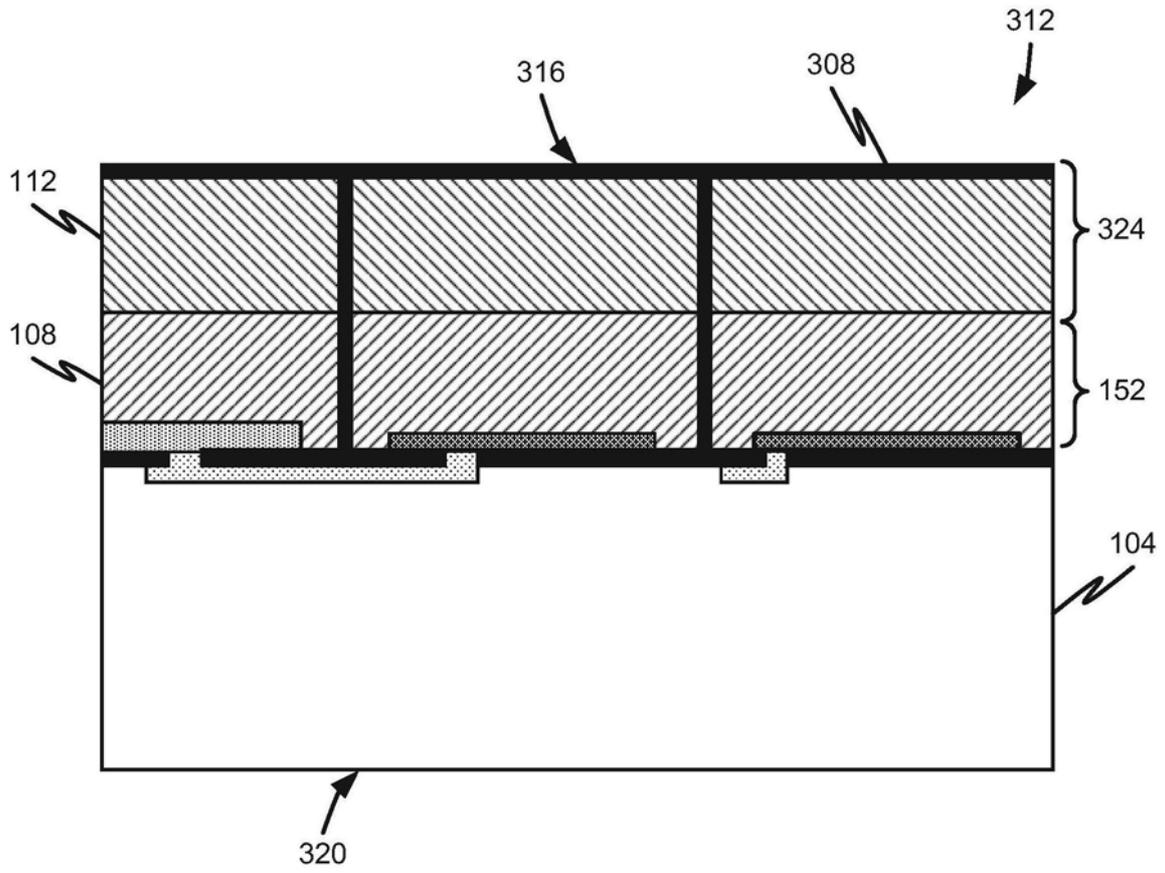


图3B

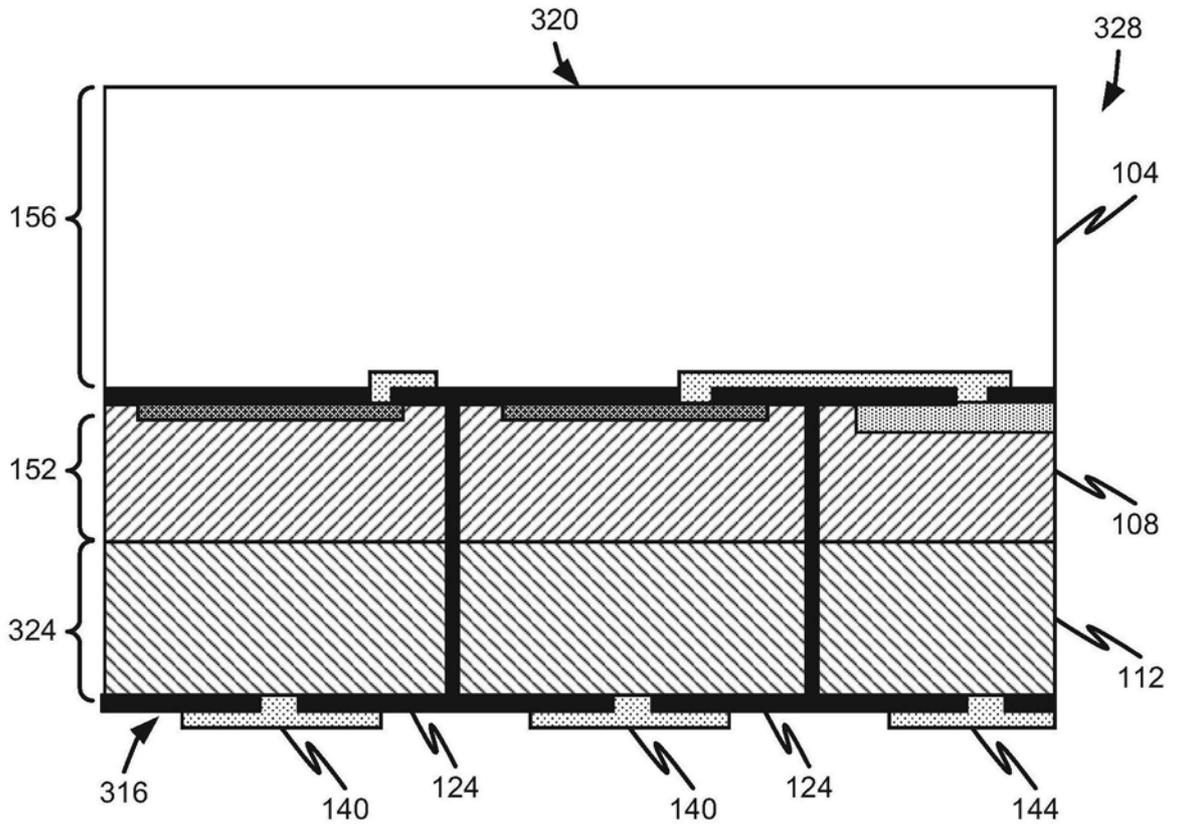


图3C

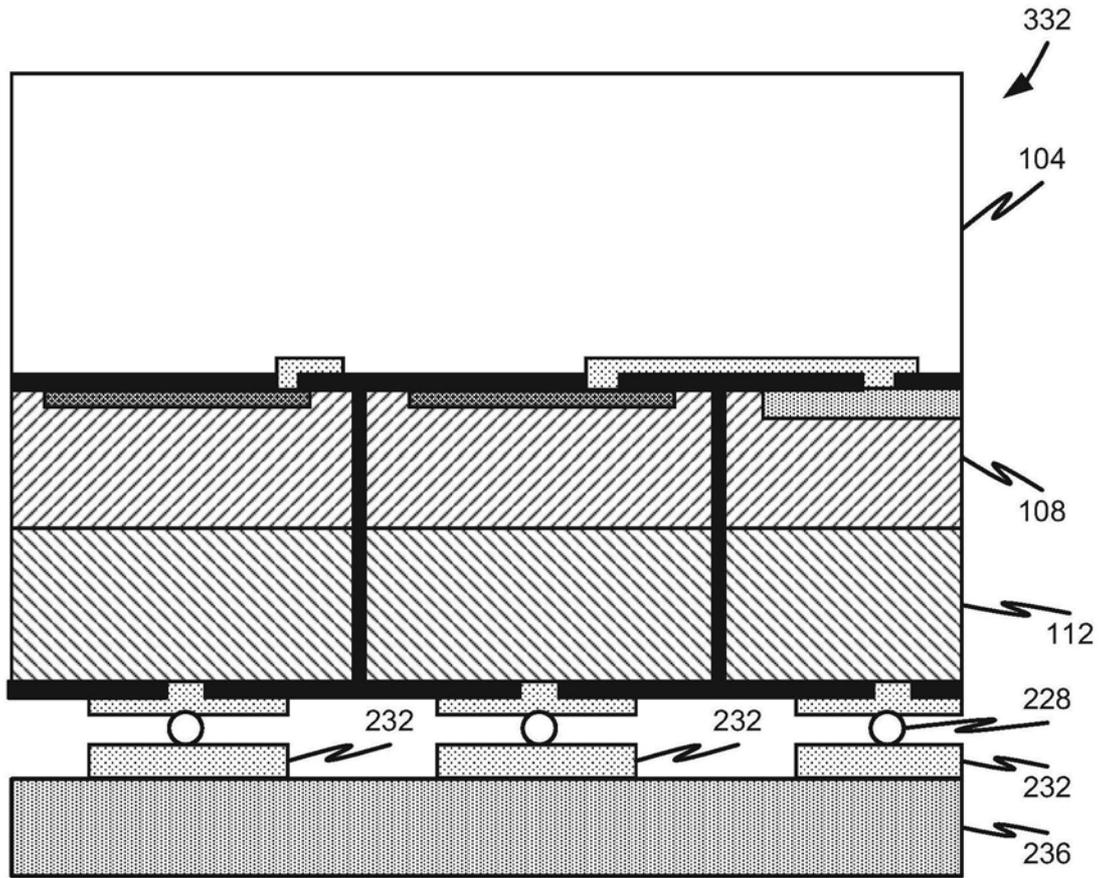


图3D

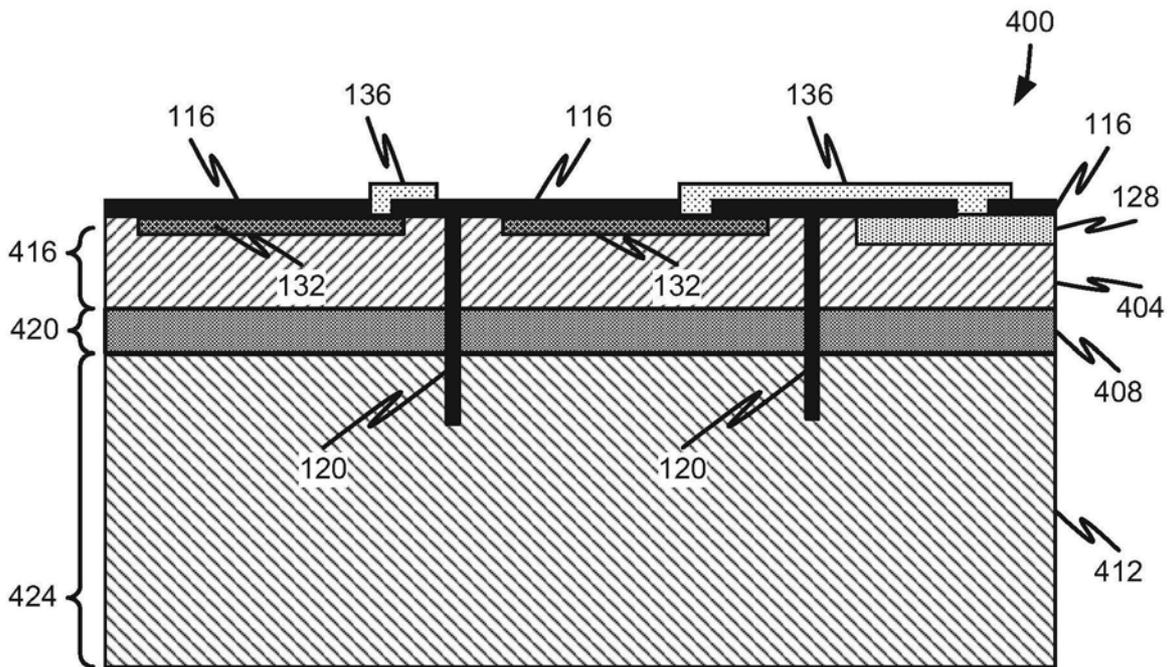


图4A

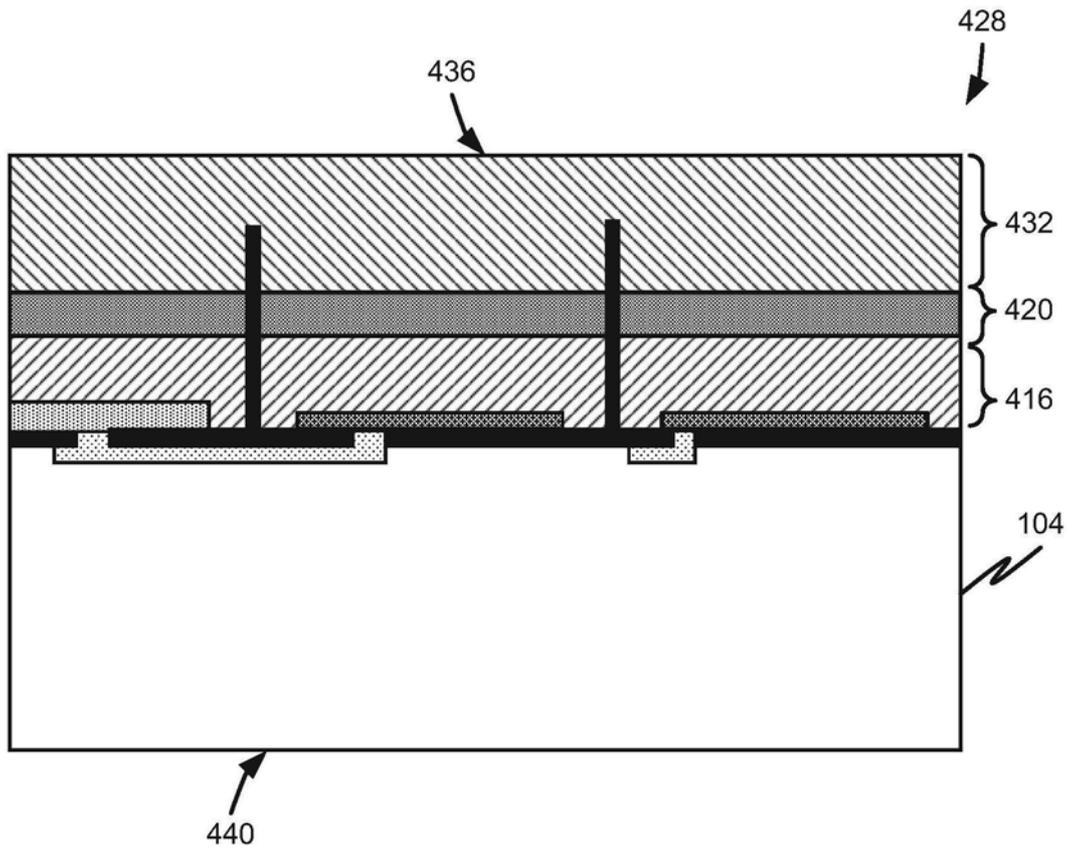


图4B

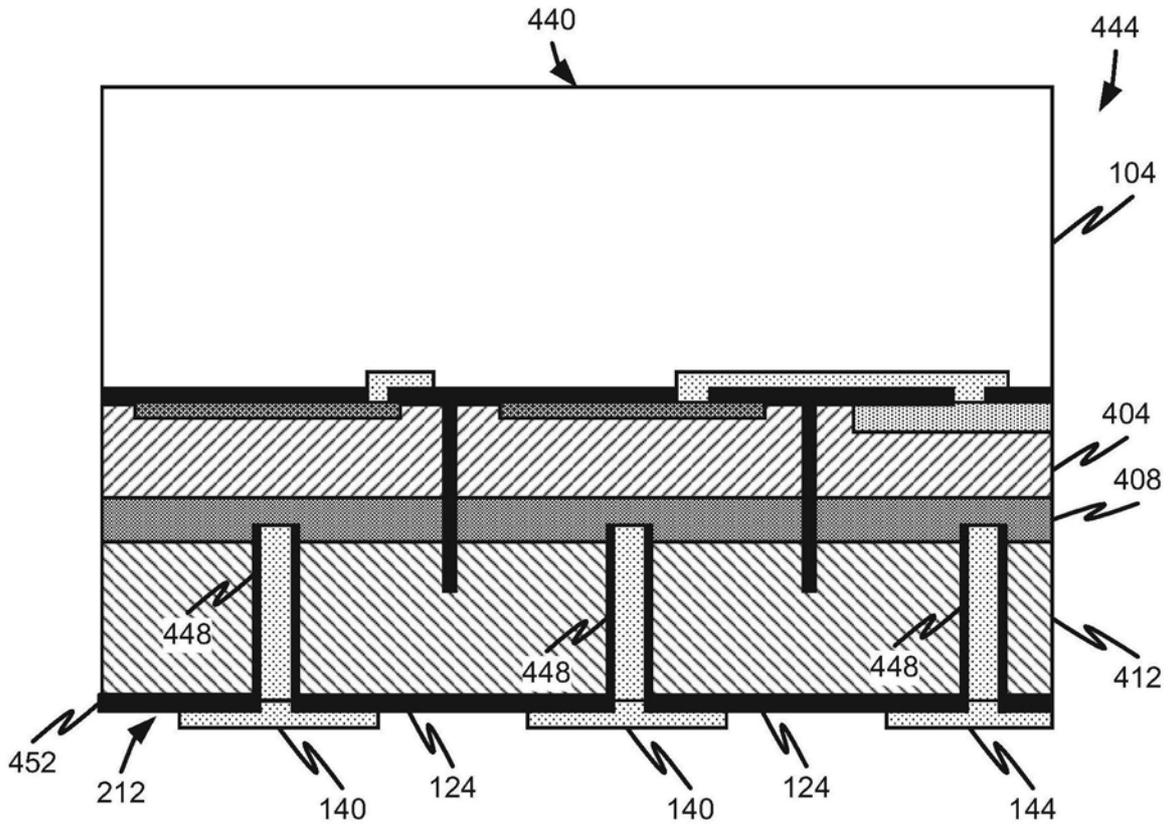


图4C

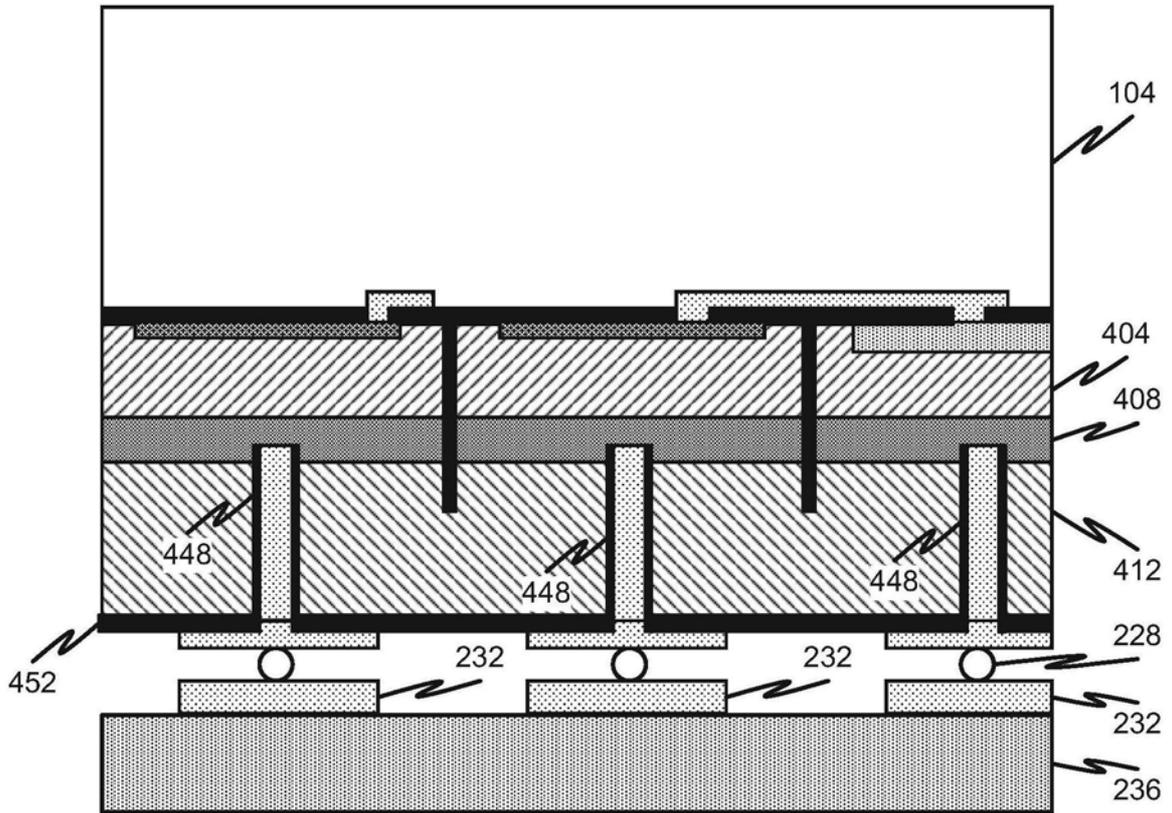


图4D

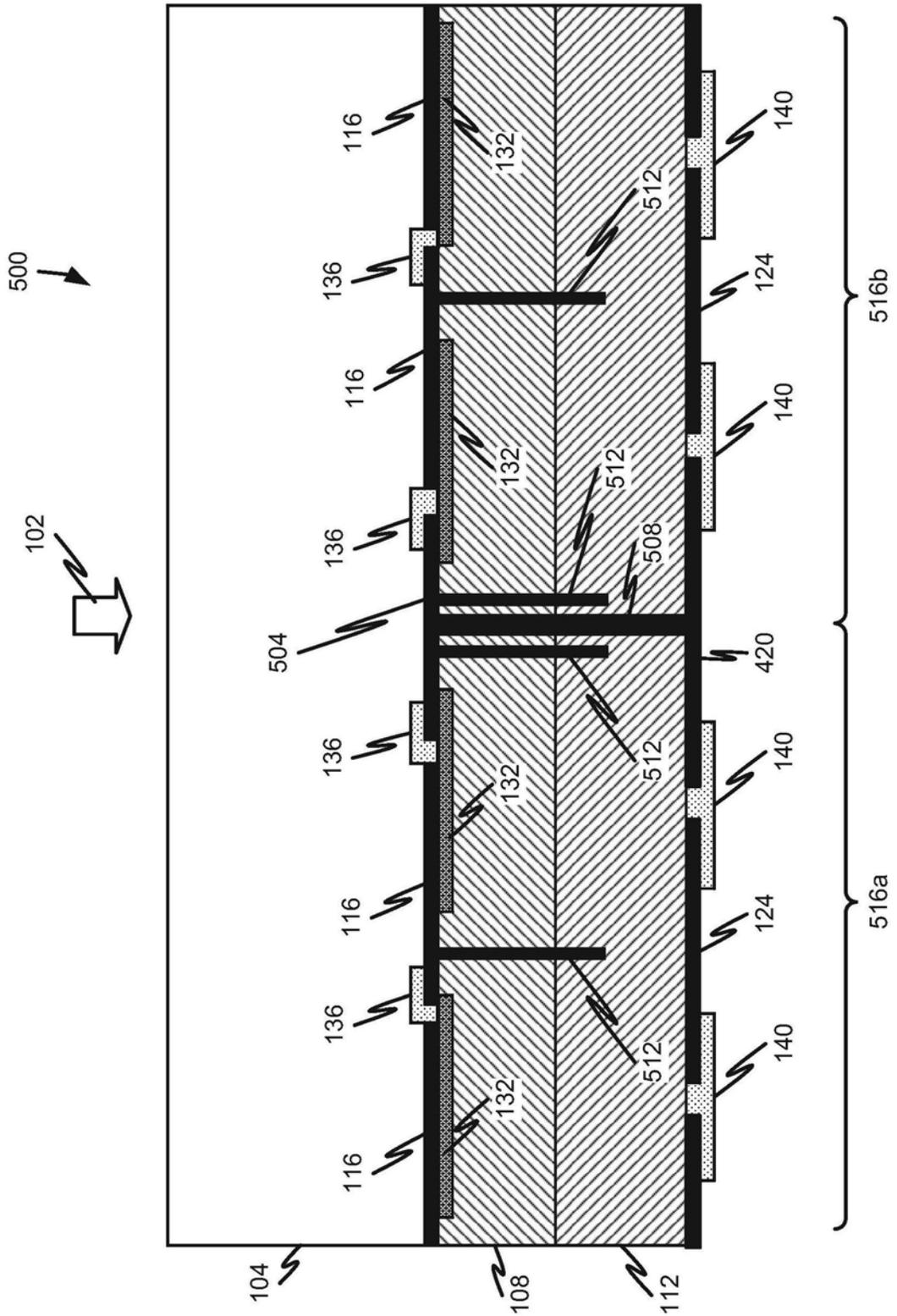


图5